

特長

チャージバランスA/Dコンバータ

16ビット・ノーマス・コード

0.003%非直線性

高レベル(±10V)と低レベル(±10mV)の入力チャンネル
チャージポンプなしで、低レベル入力チャンネルで真のバ
イポーラ ±100mV性能

プログラマブル・ゲイン・フロントエンド

ゲイン範囲：1 ~ 128

3線式シリアル・インターフェース

SPI™/QSPI™/MICROWIRE™/DSP 互換

SCLKはSchmittトリガ入力

アナログ入力をバッファ可能

動作範囲：2.7 ~ 3.3V、4.75 ~ 5.25V

低消費電力：1mW max@3V

スタンバイ電流：8 μA max

20ピンSOIC / TSSOPパッケージ

概要

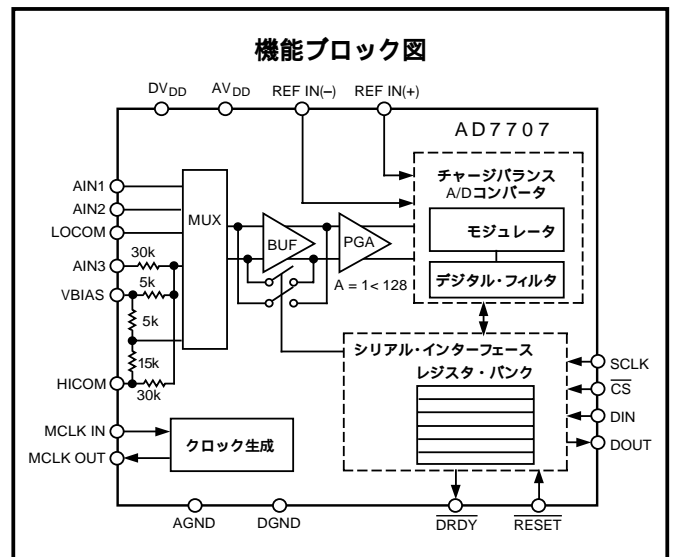
AD7707は、低周波数測定用の、完全なアナログ・フロントエンドです。トランスデューサからの低レベル入力信号の直接入力、または高レベル(±10V)信号を受け取って、シリアル・デジタル出力を生成する、3チャンネルのA/Dコンバータです。シグマ・デルタ変換技術を用いて、最大16ビットのノーマス・コード性能を実現しています。選択した入力信号は、アナログ・モジュレータ周辺の専用プログラマブル・ゲイン・フロントエンドに加えられます。モジュレータ出力は内部デジタル・フィルタで処理されます。このデジタル・フィルタの最初のノッチは、内蔵の制御レジスタ経由でプログラムできるので、フィルタ・カットオフと出力アップデート・レートを調整できます。

AD7707は、単電源2.7 ~ 3.3Vまたは4.75 ~ 5.25Vで動作します。低レベル疑似差動アナログ入力チャンネル×2、高レベル入力チャンネル×1、差動リファレンス入力を備えています。V_{DD} = 5V、2.5Vリファレンスで動作した場合、低レベル入力チャンネル両方で、0 ~ +20mV、0 ~ +2.5Vの入力信号範囲が可能です。また、LCOM入力を基準として、±20mV ~ ±2.5Vの範囲のバイポーラ信号も入力できます。3V電源、1.225Vリファレンスでは、0 ~ +10mVから0 ~ +1.225Vのユニポーラ入力信号範囲を実現。同じ条件のバイポーラ入力信号範囲は±10mV ~ ±1.225Vです。高レベル入力チャンネルでは、±10V、±5V、0 ~ +10Vと、0 ~ +5Vの入力信号範囲が可能です。このようにAD7707は、3チャンネル・システムでのあらゆる信号調整と変換を実行できます。AD7707は、スマート、マイクロコントローラ、DSPなどをベースとし

SPI、QSPIはMotorola, Inc.の商標です。

MICROWIREはNational Semiconductor Corporationの商標です。

REV.0



たシステムでの使用に理想的です。3線式動作可能なシリアル・インターフェースを備えています。ゲイン設定、信号極性、アップデート・レート設定は、入力シリアル・ポート経由でソフトウェア設定可能です。セルフ・キャリブレーション、システムのゲイン誤差とオフセット誤差を除去するシステム・キャリブレーションのオプションを内蔵しています。

CMOS構造は、極めて低消費電力を実現し、パワーダウン・モードでは、スタンバイ消費電力を20 μW maxに低減します。AD7707は、20ピン広体SOIC(0.3インチ幅)、薄型20ピンTSSOPパッケージで供給されます。

製品のハイライト

1. AD7707は、3V電源と1MHzマスター・クロックで、消費電力1mW未満なので、低電力システムでの使用に最適です。スタンバイ電流は8 μA未満です。
2. 内部の薄膜抵抗により、±10V、±5V、0 ~ +10V、0 ~ +5Vまでの高レベル入力信号を、スプリット電源やチャージポンプを使わず、アナログ入力に入力できます。
3. 低レベル入力チャンネルでは、歪みゲージやトランスデューサから直接入力信号を受け取ることで、信号調整を大幅に減らせます。
4. 16ビット、ノーマス・コード、±0.003%精度、ローrmsノイズなど、優れたスタティック性能を備えています。エンドポイント誤差と、温度ドリフトの影響は、ゼロ・スケールとフル・スケールの誤差を除く内部のキャリブレーションによって除去できます。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD7707-仕様

(特に指定しない場合、 $AV_{DD} = DV_{DD} = +3V/5V$ 、 $REFIN(+) = +1.225V$ ($AV_{DD} = 3V$ 時)、または $+2.5V$ ($AV_{DD} = 5V$ 時)、 $REFIN(-) = GND$ 、 $VBIAS = REFIN(+)$ 、 $MCLKIN = 2.4576MHz$ 、 $T_{MAX} \sim T_{MIN}$ で全仕様を規定)

パラメータ	Bバージョン ¹	単位	テスト条件/備考
スタティック性能 低レベル入力チャンネル(AIN1、AIN2) ノーミス・コード 出力ノイズ 積分非直線性 ² ユニポーラ・オフセット誤差 ユニポーラ・オフセット・ドリフト ⁴ バイポーラ・ゼロ誤差 バイポーラ・ゼロ・ドリフト ⁴ 正のフルスケール誤差 ⁵ フルスケール・ドリフト ^{4、6} ゲイン誤差 ⁷ ゲイン・ドリフト ^{4、8} バイポーラ負のフルスケール誤差 ² バイポーラ負のフルスケール・ドリフト ⁴	16 表I、表III参照 ± 0.003 注3参照 0.5 注3参照 0.1 注3参照 0.5 注3参照 ± 0.003 1 0.6	ビット min FSRの% max $\mu V/$ typ $\mu V/$ typ $\mu V/$ typ $\mu V/$ typ $\mu V/$ typ FSR/ typのppm FSRの%typ $\mu V/$ typ $\mu V/$ typ	設計により保証。フィルタ・ノッチ < 60Hz フィルタ・カットオフと選択ゲインに依存 フィルタ・ノッチ < 60Hz。 $\pm 0.0003\%$ typ ゲイン1、2、4の場合 ゲイン8、16、32、64、128の場合 $\pm 0.0007\%$ typ ゲイン1~4の場合 ゲイン8~128の場合
高レベル入力チャンネル(AIN3) ノーミス・コード 出力ノイズ 積分非直線性 ² ユニポーラ・オフセット誤差 ⁹ ユニポーラ・オフセット・ドリフト バイポーラ・ゼロ誤差 ⁹ バイポーラ・ゼロ・ドリフト ゲイン誤差 ゲイン・ドリフト 負のフルスケール誤差 ²	16 表IV、表VI参照 ± 0.003 ± 10 4 ± 10 4 1 ± 0.2 0.5 ± 0.0012	ビット min FSRの% max mV max $\mu V/$ typ mV max $\mu V/$ typ $\mu V/$ typ % typ FSR/ typのppm FSRの% typ	設計により保証。フィルタ・ノッチ < 60Hz フィルタ・カットオフと選択ゲインに依存 フィルタ・ノッチ < 60Hz。 $\pm 0.0003\%$ typ $\pm 1.5mV$ 以内 typ $\pm 1.5mV$ 以内typ ゲイン1、2、4の場合 ゲイン8、16、32、64、128の場合 $\pm 0.05\%$ 以内 typ
低レベルアナログ入力/リファレンス入力 入力コモン・モード除去比(CMR) ² $AV_{DD} = 5V$ ゲイン = 1 ゲイン = 2 ゲイン = 4 ゲイン = 8 ~ 128 $AV_{DD} = 3V$ ゲイン = 1 ゲイン = 2 ゲイン = 4 ゲイン = 8 ~ 128 通常モード50Hz除去比 ² 通常モード60Hz除去比 ² コモン・モード50Hz除去比 ² コモン・モード60Hz除去比 ² 絶対/コモン・モードREFIN電圧 ² 絶対/コモン・モードAIN電圧 ^{2、10} AIN DC入力電流 ² AINサンプリング容量 ² AIN差動電圧範囲 ¹¹ AIN入力サンプリング速度、 f_s リファレンス入力範囲 REF IN(+) - REF IN(-)電圧 REF IN(+) - REF IN(-)電圧 REFIN入力サンプリング速度、 f_s	100 105 110 130 105 110 120 130 98 98 150 150 AGND ~ AV_{DD} AGND - 100mV $AV_{DD} + 30mV$ AGND + 50mV $AV_{DD} - 1.5V$ 1 10 0 ~ $+V_{REF}/GAIN$ ¹² $\pm V_{REF}/GAIN$ GAIN $\times f_{CLKIN}/64$ $f_{CLKIN}/8$ 1/1.75 1/3.5 $f_{CLKIN}/64$	dB typ dB typ dB typ dB typ dB typ dB typ dB typ dB typ dB typ dB typ dB typ V min ~ V max V min V max V min V max nA max pF max nom nom V min/max V min/max	注記しない場合、AINとREFINの仕様 低レベル入力チャンネル、AIN1とAIN2 フィルタ・ノッチ10Hz、25Hz、50Hz、 $\pm 0.02 \times f_{NOTCH}$ の場合 フィルタ・ノッチ10Hz、20Hz、60Hz、 $\pm 0.02 \times f_{NOTCH}$ の場合 フィルタ・ノッチ10Hz、25Hz、50Hz、 $\pm 0.02 \times f_{NOTCH}$ の場合 フィルタ・ノッチ10Hz、20Hz、60Hz、 $\pm 0.02 \times f_{NOTCH}$ の場合 セットアップ・レジスタのBUFビット = 0 セットアップレジスタのBUFビット = 1 BUF = 0 ユニポーラ入力範囲(セットアップ・レジスタのB/Uビット = 1) バイポーラ入力範囲(セットアップ・レジスタのB/Uビット = 0) ゲイン1~4の場合 ゲイン8~128の場合 $AV_{DD} = 2.7 \sim 3.3V$ 、 $V_{REF} = 1.225V \pm 1\%$ で仕様の性能を実現 $AV_{DD} = 4.75 \sim 5.25V$ 、 $V_{REF} = 2.5V \pm 1\%$ で仕様の性能を実現
$\pm 100mV$ 入力範囲 INL ² 入力コモン・モード除去比(CMR) ² 電源除去比(PSR) ²	 ± 0.003 80 90	 FSRの% max dB typ dB typ	低レベル入力チャンネル(AIN1、AIN2) ゲイン = 16、バッファなしモード フィルタ・ノッチ < 60Hz

パラメータ	Bバージョン ¹	単位	テスト条件 / 備考
高レベル・アナログ入力チャンネル(AIN3) AIN3電圧範囲 通常モード50Hz除去比 通常モード60Hz除去比 AIN3入力サンプリング速度、 f_s AIN3入力インピーダンス ² AIN3サンプリング容量 ² VBIAS入力範囲	+ 10 - 10 78 78 GAIN $\times f_{CLKIN}/64$ $f_{CLKIN}/8$ 27 10 0V/AV _{DD}	V max V min dB typ dB typ k min pF max V min/max	HICOMに関するAIN3 フィルタ・ノッチ10Hz、25Hz、50Hz、 $\pm 0.02 \times f_{NOTCH}$ の場合 フィルタ・ノッチ10Hz、20Hz、60Hz、 $\pm 0.02 \times f_{NOTCH}$ の場合 ゲイン1~4の場合 ゲイン8~128の場合 30k $\pm 10\%$ typ、抵抗温度係数typ値は - 30ppm/ typ = REFIN (+) = 2.5V
ロジック入力 入力電流 MCLKIN以外の全入力 MCLK SCLKとMCLKIN以外の全入力 V _{INL} 、入力ロー電圧 V _{INH} 、入力ハイ電圧 SCLKのみ(シュミット・トリガ入力) V _{T+} V _{T-} V _{T+} - V _{T-} SCLKのみ(シュミット・トリガ入力) V _{T+} V _{T-} V _{T+} - V _{T-} MCLKINのみ V _{INL} 、入力ロー電圧 V _{INH} 、入力ハイ電圧 MCLKINのみ V _{INL} 、入力ロー電圧 V _{INH} 、入力ハイ電圧	± 1 ± 10 0.8 0.4 2.0 1.4/3 0.8/1.4 0.4/0.8 1/2.5 0.4/1.1 0.375/0.8 0.8 3.5 0.4 2.5	μ A max μ A max V max V max V min V min/V max V min/V max V min/V max V min/V max V min/V max V min/V max V max V min V max V min	± 20 nA typ ± 2 μ A typ DV _{DD} = 5V DV _{DD} = 3V DV _{DD} = 3V/5V DV _{DD} = 公称5V DV _{DD} = 公称3V DV _{DD} = 公称5V DV _{DD} = 公称3V
ロジック出力(MCLKOUT出力を含む) V _{OL} 、出力ロー電圧 V _{OH} 、出力ハイ電圧 フロート状態リーク電流 フロート状態出力容量 ¹⁴ データ出力コーディング	0.4 0.4 4 DV _{DD} - 0.6 ± 10 9 バイナリ オフセット・バイナリ	V max V max V min V min μ A max pF typ	I _{SINK} = 800 μ A (MCLKOUTを除いて) ¹³ . DV _{DD} = 5V I _{SINK} = 100 μ A (MCLKOUTを除いて) ¹³ . DV _{DD} = 3V I _{SOURCE} = 200 μ A (MCLKOUTを除いて) ¹³ . DV _{DD} = 5V I _{SOURCE} = 100 μ A (MCLKOUTを除いて) ¹³ . DV _{DD} = 3V ユニポーラ・モード バイポーラ・モード
システム・キャリブレーション 低レベル入力チャンネル (AIN1、AIN2) 正のフルスケール・キャリブレーション・リミット ¹⁵ 負のフルスケール・キャリブレーション・リミット ¹⁵ オフセット・キャリブレーション・リミット ¹⁶ 入力スパン ¹⁶ 高レベル入力チャンネル (AIN3) 正のフルスケール・キャリブレーション・リミット ¹⁵ 負のフルスケール・キャリブレーション・リミット ¹⁵ オフセット・キャリブレーション・リミット ¹⁶ 入力スパン ¹⁶	(1.05 $\times V_{REF}$) / ゲイン -(1.05 $\times V_{REF}$) / ゲイン -(1.05 $\times V_{REF}$) / ゲイン (0.8 $\times V_{REF}$) / ゲイン (2.1 $\times V_{REF}$) / ゲイン (8.4 $\times V_{REF}$) / ゲイン -(8.4 $\times V_{REF}$) / ゲイン -(8.4 $\times V_{REF}$) / ゲイン (6.4 $\times V_{REF}$) / ゲイン (16.8 $\times V_{REF}$) / ゲイン	V max V max V max V min V max V max V max V max V min V max	ゲインはPGAで選択 (1 ~ 128) ゲインはPGAで選択 (1 ~ 128) ゲインはPGAで選択 (1 ~ 128) ゲインはPGAで選択 (1 ~ 128) ゲインはPGAで選択 (1 ~ 128) ゲインはPGAで選択 (1 ~ 128) ゲインはPGAで選択 (1 ~ 128) ゲインはPGAで選択 (1 ~ 128) ゲインはPGAで選択 (1 ~ 128) ゲインはPGAで選択 (1 ~ 128)
電源要件 電源電圧 AV _{DD} 電圧 DV _{DD} 電圧 電源電流 AV _{DD} 電流	+ 2.7 ~ + 3.3、または + 4.75 ~ + 5.25 + 2.7 ~ + 5.25 0.27 0.6 0.5 1.1	V V mA max mA max mA max mA max	規定の性能が得られる範囲 規定の性能が得られる範囲 AV _{DD} = 3Vまたは5V、ゲイン = 1 ~ 4 0.22mA typ、BUF = 0、 f_{CLKIN} = 1MHz、または2.4576MHz 0.45mA typ、BUF = 1、 f_{CLKIN} = 1MHz、または2.4576MHz、 AV _{DD} = 3Vまたは5V、ゲイン = 8 ~ 128 0.38mA typ、BUF = 0、 f_{CLKIN} = 2.4576MHz 0.81mA typ、BUF = 1、 f_{CLKIN} = 2.4576MHz

AD7707

パラメータ	Bバージョン1	単位	テスト条件 / 備考
電源要件 (つづき) DV _{DD} 電流 ¹⁷	0.080 0.15 0.18 0.35	mA max mA max mA max mA max	デジタルI/P = 0VまたはDV _{DD} 。外部MCLKIN 0.06mA typ、DV _{DD} = 3V、f _{CLKIN} = 1MHz 0.13mA typ、DV _{DD} = 5V、f _{CLKIN} = 1MHz 0.15mA typ、DV _{DD} = 3V、f _{CLKIN} = 2.4576MHz 0.3mA typ、DV _{DD} = 5V、f _{CLKIN} = 2.4576MHz
電源除去比 ¹⁹ 通常モード消費電力 ¹⁷	注20参照	dB typ	AV _{DD} = DV _{DD} = +3V。デジタルI/P = 0VまたはDV _{DD} 、AIN3の損失を除き、外部MCLKIN減衰器
通常モード消費電力 ¹⁷	1.05 2.04 1.35 2.34	mW max mW max mW max mW max	0.84mW typ、BUF = 0、f _{CLKIN} = 1MHz、全ゲイン 1.53mW typ、BUF = 1、f _{CLKIN} = 1MHz、全ゲイン 1.11mW typ、BUF = 0、f _{CLKIN} = 2.4576MHz、ゲイン = 1~4 1.9mW typ、BUF = 1、f _{CLKIN} = 2.4576MHz、ゲイン = 1~4
通常モード消費電力 ¹⁷	2.1 3.75 3.1 4.75	mW max mW max mW max mW max	AV _{DD} = DV _{DD} = +5V、デジタルI/P = 0VまたはDV _{DD} 、外部MCLKIN 1.75mW typ、BUF = 0、f _{CLKIN} = 1MHz、全ゲイン 2.9mW typ、BUF = 1、f _{CLKIN} = 1MHz、全ゲイン 2.6mW typ、BUF = 0、f _{CLKIN} = 2.4576MHz 3.75mW typ、BUF = 1、f _{CLKIN} = 2.4576MHz
スタンバイ(パワーダウン)電流 ¹⁸	18 8	μA max μA max	外部MCLKIN IN = 0VまたはDV _{DD} 、4 μA typ、AV _{DD} = +5V 外部MCLKIN IN = 0VまたはDV _{DD} 、4 μA typ、AV _{DD} = +3V

注

- 温度範囲は以下の通り：Bバージョン、-40 ~ +85。
- これらの数字は、最初の製品リリース時の特性決定、または設計で確定。
- キャリブレーションは、実際は変換なので、これらの誤差は、低レベル入力チャンネルAIN1とAIN2において、表I、IIIに表示した変換ノイズの大きさにあたる。これは、対象となる温度で、キャリブレーション後に適用します。
- 任意の温度での再キャリブレーションによって、これらのドリフト誤差を除去できます。
- 正のフルスケール誤差はゼロスケール誤差を含み(ユニポーラ・オフセット誤差またはバイポーラ・ゼロ誤差)、ユニポーラとバイポーラ両入力範囲に適用されます。
- フルスケール・ドリフトはゼロスケール誤差を含み(ユニポーラ・オフセット・ドリフトまたはバイポーラ・ゼロ・ドリフト)ユニポーラとバイポーラ両入力範囲に適用されます。
- ゲイン誤差はゼロスケールを含まない。ユニポーラ範囲では、フルスケール、誤差ユニポーラ・オフセットとして計算され、バイポーラ範囲では、フルスケール誤差、バイポーラ・ゼロ誤差として計算されます。
- ゲイン誤差ドリフトは、ユニポーラ・オフセット・ドリフト/バイポーラ・ゼロドリフトを含まない。ゼロスケール・キャリブレーションのみを行うと、事実上製品のドリフトです
- システム・キャリブレーションの後、誤差は除去される。
- このコモン・モード電圧範囲は、アナログ入力の入力電圧がAV_{DD} + 30mV以上になるか、AGND - 100mV以下にならない限り許容されます。製品は最低AGND - 200mVの電圧まで機能できますが、高温ではリーク電流が増えます。
- AIN(+)の入力電圧範囲は、低レベル入力チャンネル(AIN1、AIN2)では、LCOMの電圧に関連して決定し、高レベル入力チャンネルAIN3ではHCOMの電圧に関連して決定します。仕様の性能を得るには、低レベル・アナログ入力の絶対電圧は、AV_{DD} + 100mV以上、またはGND - 100mV以下にならないようにします。入力電圧はAGND - 200mVまで可能ですが、高温ではリーク電流が増えます。
- V_{REF} = REFIN(+) - REFIN(-)
- これらのロジック出力レベルは、CMOS負荷1つを設けている場合のみ、MCLKOUTに適用します。
- 正確な結果を得るため、サンプルを+25 でテストしています
- キャリブレーション後、アナログ入力为正のフルスケールを超えると、コンバータの出力はすべて1になります。アナログ入力が負のフルスケールを下回ると、出力はすべて0になります。
- これらのキャリブレーションとスパンのリミットは、アナログ入力の絶対電圧が、AV_{DD} + 30mVを超えず、AGND - 30mVを下回らない場合に適用します。オフセット・キャリブレーション・リミットは、ユニポーラ・ゼロポイントとバイポーラ・ゼロポイント両方に適用します。
- デバイスのクロックソースとして、MCLKピン経由でクリスタルまたはセラミック共振器を用いる場合、DV_{DD}電流と消費電力は、クリスタルまたは共振器のタイプに応じて変わります(クロックと共振器回路の項参照)。
- 外部マスター・クロックをスタンバイ・モードに動作させると、スタンバイ電流は、5Vで150 μA typまで、3Vで75 μAまで増加します。クロックソースとして、MCLKピン経由でクリスタルまたはセラミック共振器を用いる場合、内部オシレータはスタンバイ・モードで動作し、消費電力はクリスタルまたは共振器のタイプに応じて変わります(スタンバイ・モードの項参照)。
- DCで測定し、選択した通過帯域で適用。50HzのPSRRは、フィルタ・ノッチ25Hzまたは50Hzで、120dBを超えます。60HzでのPSRRは、フィルタ・ノッチ20Hzまたは60Hzで、120dBを超えます。
- PSRRは、ゲインとAV_{DD}両方によって決定します。

低レベル入力チャンネル、AIN1、AIN2

ゲイン	1	2	4	8 ~ 128
AV _{DD} = 3V	86	78	85	93
AV _{DD} = 5V	90	78	84	91

高レベル入力チャンネル、AIN3

ゲイン	1	2	4	8 ~ 128
AV _{DD} = 3V	68	60	67	75
AV _{DD} = 5V	72	60	66	73

仕様は予告なく変更することがあります。

タイミング特性^{1, 2} (特に指定しない限り、 $AV_{DD} = DV_{DD} = +2.7 \sim +5.25V$ 、 $AGND = DGND = 0V$ 、 $f_{CLKIN} = 2.4576MHz$ 、入力ロジック = 0、ロジック1 = DV_{DD})

パラメータ	T_{MIN} 、 T_{MAX} におけるリミット (Bバージョン)	単位	テスト条件 / 備考
$f_{CLKIN}^{3, 4}$	400	kHz min	マスター・クロック周波数
	5	MHz max	(仕様の性能を得るには、クリスタル・オシレータまたは外部供給を使用)
$t_{CLKIN LO}$	$0.4 \times t_{CLKIN}$	ns min	マスター・クロック入力ロー時間、 $t_{CLKIN} = 1/f_{CLKIN}$
$t_{CLKIN HI}$	$0.4 \times t_{CLKIN}$	ns min	マスター・クロック入力ハイ時間
t_1	$500 \times t_{CLKIN}$	ns nom	\overline{DRDY} ハイ時間
t_2	100	ns min	RESETパルス幅
読み出し動作			
t_3	0	ns min	$\overline{DRDY} \sim \overline{CS}$ のセットアップ時間
t_4	120	ns min	\overline{CS} 立ち下がりエッジからSCLK立ち上がりエッジのセットアップ時間
t_5^5	0	ns min	SCLK立ち下がりエッジからデータ有効までの遅延
	80	ns max	$DV_{DD} = +5V$
	100	ns max	$DV_{DD} = +3.0V$
t_6	100	ns min	SCLK高パルス幅
t_7	100	ns min	SCLK低パルス幅
t_8	0	ns min	\overline{CS} 立ち上がりエッジからSCLK立ち上がりエッジのホールド時間
t_9^6	10	ns min	SCLK立ち上がりエッジ後のバス解放時間
	60	ns max	$DV_{DD} = +5V$
	100	ns max	$DV_{DD} = +3.0V$
t_{10}	100	ns max	SCLK立ち下がりエッジから \overline{DRDY} ハイ ⁷
書き込み動作			
t_{11}	120	ns min	\overline{CS} 立ち下がりエッジからSCLK立ち上がりエッジのセットアップ時間
t_{12}	30	ns min	データ有効から、SCLK立ち上がりエッジのセットアップ時間
t_{13}	20	ns min	データ有効からSCLK立ち上がりエッジのホールド時間
t_{14}	100	ns min	SCLKハイ・パルス幅
t_{15}	100	ns min	SCLKロー・パルス幅
t_{16}	0	ns min	\overline{CS} 立ち上がりエッジからSCLK立ち上がりエッジのホールド時間

注：

- 正確な結果を得るため、サンプルを+25 でテスト。全入力信号は、 $t_r = t_f = 5ns$ (DV_{DD} の10~90%)に規定され、電圧レベル1.6Vから時間測定しています。
- 図16、17参照。
- f_{CLKIN} デューティ・サイクルは、45~55%。AD7707がスタンバイ・モードでないときは、必ず f_{CLKIN} を供給してください。クロック供給がない場合、仕様より高い電流を引き出すことができ、非キャリアレート状態となります。
- AD7707は、 $f_{CLKIN} = 2.4576MHz$ として生産テストされています (I_{DD} テストの一部では1MHz)。特性により、400kHzで動作することが保証されています。
- これらの数値は図1の負荷回路で測定し、出力が V_{OL} または V_{OH} の限度を超えるのに必要な時間として定義されています。
- これらの数値は、図1の回路に負荷を加えたときに、データ出力が0.5V変化するのにかかる測定時間から引き出します。次に、測定した数字を外挿して、50pFコンデンサの充/放電による影響を除去します。つまり、タイミング特性を表す時間は、デバイスの真のバス解放時間であり、外部バス負荷容量の影響を受けていません。
- \overline{DRDY} は、出力アップデートの後で、デバイスから最初の読み出しをしてからハイに戻ります。必要なら同じデータの読み出しも可能ですが、 \overline{DRDY} がハイになっている間、次の出力アップデートの近くで次の読み出しが起こらないように注意してください。

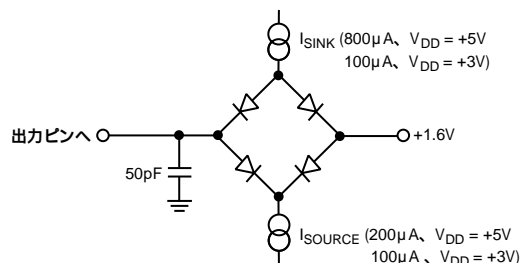


図1 アクセス時間とバス解放時間テスト用の負荷回路

AD7707

絶対最大定格*

(とくに指定しない場合、 $T_A = +25$)

$AV_{DD} \sim AGND$	- 0.3 ~ + 7V
$AV_{DD} \sim DGND$	- 0.3 ~ + 7V
$DV_{DD} \sim AGND$	- 0.3 ~ + 7V
$DV_{DD} \sim DGND$	- 0.3 ~ + 7V
$DV_{DD} \sim AGND$	- 0.3V ~ $AV_{DD} + 0.3V$
$DGND \sim AGND$	- 0.3 ~ + 0.3V
AIN1、AIN2入力電圧 ~ LOCOM	- 0.3V ~ $AV_{DD} + 0.3V$
AIN3 ~ HICOM入力電圧	- 11 ~ + 30V
$V_{BIAS} \sim AGND$	- 0.3V ~ $AV_{DD} + 0.3V$
HICOM、LOCOM ~ AGND	- 0.3V ~ $AV_{DD} + 0.3V$
REF(+)、REF(-) ~ AGND	- 0.3V ~ $DV_{DD} + 0.3V$
DGNDへのデジタル入力電圧	- 0.3V ~ $DV_{DD} + 0.3V$
DGNDへのデジタル出力電圧	- 0.3V ~ $DV_{DD} + 0.3V$

動作温度範囲

工業用 (Bバージョン)	- 40 ~ + 85
保管温度範囲	- 65 ~ + 150
接合温度	+ 150
SOICパッケージ、ワット損	450mW
JA熱インピーダンス	75 /W
ピン温度 (ハンダ付け)	
蒸着 (60秒)	+ 215
赤外線 (15秒)	+ 220
TSSOPパッケージ、ワット損	450mW
JA熱インピーダンス	139 /W
ピン温度 (ハンダ付け)	
蒸着 (60秒)	+ 215
赤外線 (15秒)	+ 220
ESD定格	3kV

*上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。

オーダー・ガイド

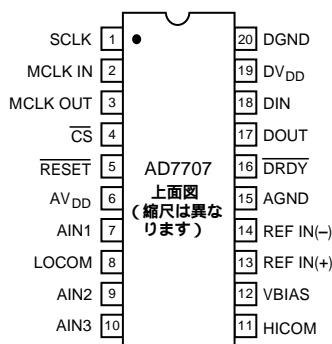
モデル	V_{DD} 電源	温度範囲	パッケージ	パッケージ・オプション
AD7707BR	2.7 ~ 5.25V	- 40 ~ + 85	SOIC	R-20
AD7707BRU	2.7 ~ 5.25V	- 40 ~ + 85	TSSOP	RU-20
EVAL-AD7707EB		評価ボード		

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



ピン配置



ピン機能の説明

ピン番号	記号	機能
1	SCLK	シリアルクロック。シュミット・トリガ・ロジック入力。AD7707からシリアルデータにアクセスするために、外部シリアルクロックをこの入力に適用します。このシリアルクロックは、全データを連続パルス列で送信する、連続クロックとすることも、小さいパッチデータでAD7707に情報を送信する、非連続クロックとすることもできます。
2	MCLK IN	デバイスのマスター・クロック信号。これは、クリスタル/共振器または外部クロックから供給されます。クリスタル/共振器は、MCLKINとMCLKOUTピンにまたがって接続されます。別の方法として、MCLKINピンを、CMOS対応クロックとMCLKOUTを非接続にして、ドライブすることも可能です。AD7707は、500kHz~5MHzのクロック周波数で動作できます。
3	MCLK OUT	デバイスのマスター・クロックがクリスタル/共振器の場合、クリスタル/共振器をMCLKINとMCLKOUTの間に接続します。外部クロックをMCLKINに適用した場合、MCLKOUTからは反転クロック信号が供給されます。このクロックは、外部回路へのクロックソース供給に使用でき、1つのCMOS負荷をドライブできます。不要な場合、MCLKOUTは、クロック・レジスタのCLKDISビットを介してオフにできます。これにより、MCLKOUTでの不要な容量性負荷駆動による電力浪費をなくせます。
4	$\overline{\text{CS}}$	チップ選択。AD7707を選択するのに用いるアクティブ・ロー・ロジック入力。この入力をローにハード設定してあると、AD7707は、デバイスにインターフェースするのに用いられる、SCLK、DIN、DOUTによる3線式インターフェース・モードで動作できます。CSは、シリアルバスに複数のデバイスを接続したシステムでデバイスを選択するのに用いたり、AD7707と通信する際のフレーム同期信号として用いたりできます。
5	$\overline{\text{RESET}}$	ロジック入力。部品のコントロール・ロジック、インターフェース・ロジック、キャリブレーション係数、デジタル・フィルタ、アナログ・モジュレータを、電源オンの状態にリセットする、アクティブ・ロー入力。
6	AV _{DD}	アナログ電源電圧、+2.7~+5.25Vで動作。
7	AIN1	低レベル・アナログ入力チャンネル1。LOCOMに対する疑似差動入力として使用します。
8	LOCOM	低レベル・入力チャンネルのCOMMON入力。AIN1、AIN2のアナログ入力はこの入力を基準とします。
9	AIN2	低レベル・アナログ入力チャンネル2。LOCOMに対する疑似差動入力として使用します。
10	AIN3	HICOMに対するシングルエンド高レベル・アナログ入力チャンネル。
11	HICOM	高レベル入力チャンネルのCOMMON入力。AIN3のアナログ入力はこの入力を基準とします。
12	VBIAS	VBIASは、ハイ・レベル入力チャンネル信号のレベル・シフトに使用します。この信号は、内部モジュレータに見られるAIN(+)とAIN(-)信号が、コモン・モード範囲に入るように使用します。VBIASは、通常、AV _{DD} =5Vのとき2.5V、AV _{DD} =3Vのとき1.225Vに接続します。
13	REF IN(+)	リファレンス入力。AD7707の差動リファレンス入力の正の入力。リファレンス入力は、REFIN(+)がREFIN(-)より大きくなければならないという前提で、区別されます。REFIN(-)は、AV _{DD} とAGNDの間の、任意の場所が可能です。

AD7707

ピン番号	記号	機能
14	REF IN (-)	リファレンス入力。AD7707の差動リファレンス入力の負の入力。REFIN(-)は、REFIN(+)がREFIN(-)より大きければ、AV _{DD} とAGNDの間の任意の地点が可能です。
15	AGND	AD7707の内部アナログ回路のグラウンド・リファレンス・ポイント。
16	$\overline{\text{DRDY}}$	ロジック出力。この出力がロジック・ローの場合、AD7707データ・レジスタから新たな出力ワードが得られることを示します。 $\overline{\text{DRDY}}$ ピンは、フル出力ワードの読み出し動作終了時にハイに戻ります。出力アップデート中にデータ読み出しが行われないと、 $\overline{\text{DRDY}}$ ラインは、次の出力アップデートの500 × t _{CLKIN} サイクル前に、ハイに戻ります。 $\overline{\text{DRDY}}$ がハイの間は、アップデートされているデータ・レジスタからの読み出しを防ぐため、読み出し動作を試みたり、開始しないようにしてください。 $\overline{\text{DRDY}}$ ラインは、アップデートが発生した場合、再びローに戻ります。 $\overline{\text{DRDY}}$ は、AD7707が内部キャリブレーション・シーケンスを終えた時間の表示にも使用します。
17	DOUT	出力シフト・レジスタからシリアルデータを読み出すシリアル・データ出力。この出力シフト・レジスタは、通信レジスタのレジスタ選択ビットに応じて、セットアップレジスタ、通信レジスタ、クロック・レジスタ、データ・レジスタの情報を収集できます。
18	DIN	入力シフト・レジスタに、シリアル・データを書き込むシリアルデータ入力。この入力のデータは、通信レジスタのレジスタ選択ビットに応じて、セットアップ・レジスタ、クロック・レジスタ、通信レジスタに伝送されます。
19	DV _{DD}	デジタル電源電圧、+2.7 ~ +5.25Vで動作。
20	DGND	AD7707の内部デジタル回路のグラウンド・リファレンス・ポイント。

低レベル入力チャンネルの出力ノイズ (5V動作)

表Iは、非バッファ・モードでの選択ノッチと -3dB周波数における、AD7707の出力rmsノイズと、ピークtoピーク分解能を示します。ノッチはクロック・レジスタのFS0、FS1、FS2によって選択されます。数値は、V_{REF} = +2.5V、AV_{DD} = 5Vにおけるバイポーラ入力範囲です。これらの数値はtyp値で、アナログ入力電圧0Vで生成されています。表IIは、非バッファ・モード動作時の、rmsノイズとピークtoピーク分解能を表します。ピークtoピークの数値が、コード・フリッカーのない分解能を表していることに注意してください。これらは、rmsノイズではなく、ピークtoピーク・ノイズに基づいて、計算されています。これはV_{REF} = +2.5Vのバイポーラ入力範囲の数値です。これらの数値はtyp値で、最も近いLSBに丸め込みされています。数値は、0に設定されたクロック・レジスタのCLKDIVビットに適用されます。出力ノイズは、2つのノイズ源から発生します。第1は、モジュレータの実現に使用する、半導体デバイスの電気ノイズ(デバイス・ノイズ)。第2に、アナログ入力力がデジタル領域に変換される時の定量化ノイズが加わります。デバイス・ノイズは低レベルで、周波数と無関係です。定量化ノイズはさらに低いレベルで始まりますが、周波数の増大に伴って急激に上昇して、主要なノイズ源となります。表の数値は、バイポーラ入力範囲についてです。ユニポーラ範囲については、rmsノイズ数値はバイポーラ範囲と同じになりますが、ピークtoピーク分解能は信号範囲の半分に基づくので、事実上、分解能1ビットを失うことになります。

表I. 出力RMSノイズ/ピークtoピーク分解能 対 ゲインと出力アップデート・レート (+5V)
(AIN1、AIN2非バッファ・モード時のみ)

フィルタ第1 ノッチとO/P データ速度	- 3dB 周波数	μV単位の出力RMSノイズtyp値(ピークtoピーク分解能、ビット)							
		ゲイン 1	ゲイン 2	ゲイン 4	ゲイン 8	ゲイン 16	ゲイン 32	ゲイン 64	ゲイン 128
MCLK IN = 2.4576 MHz									
10Hz	2.62Hz	1.2 (16)	0.7 (16)	0.7 (16)	0.54 (16)	0.28 (16)	0.28 (16)	0.28 (15.5)	0.27 (14.5)
50Hz	13.1Hz	3.6 (16)	2.1 (16)	1.25 (16)	0.89 (16)	0.62 (16)	0.60 (15)	0.56 (14.5)	0.56 (13.5)
60Hz	15.72Hz	4.7 (16)	2.6 (16)	1.5 (16)	0.94 (16)	0.73 (16)	0.68 (15)	0.66 (14)	0.63 (13)
250Hz	65.5Hz	95 (13)	65 (13)	23.4 (13)	11.6 (13)	6.5 (13)	3.4 (13)	2.1 (13)	1.5 (12.5)
500Hz	131Hz	600 (10.5)	316 (10.5)	138 (10.5)	71 (10.5)	38 (10.5)	18 (10.5)	10 (10)	5.7 (10)
MCLK IN = 1 MHz									
4.05Hz	1.06Hz	1.26 (16)	0.716 (16)	0.703 (16)	0.653 (16)	0.3 (16)	0.3 (16)	0.28 (15.5)	0.27 (14.5)
20Hz	5.24Hz	1.76 (16)	0.95 (16)	0.61 (16)	0.46 (16)	0.29 (16)	0.29 (16)	0.29 (15.5)	0.28 (14.5)
25Hz	6.55Hz	2.5 (16)	1.3 (16)	0.74 (16)	0.51 (16)	0.35 (16)	0.33 (16)	0.32 (15)	0.32 (14)
100Hz	26.2Hz	43 (14)	26.4 (14)	12.2 (14)	5.8 (14)	3.2 (14)	1.7 (14)	1.06 (13.5)	0.78 (13)
200Hz	52.4Hz	267 (11.5)	151 (11.5)	72 (11.5)	33 (11.5)	15.4 (11.5)	9 (11.5)	4.8 (11.5)	2.9 (11.5)

表II. 出力RMSノイズ/ピークtoピーク分解能 対 ゲインと出力アップデート・レート (+5V時)
(AIN1、AIN2バッファ・モード時のみ)

フィルタ第1 ノッチとO/P データ速度	- 3dB 周波数	μV 単位の出力RMSノイズtyp値(ピークtoピーク分解能、ビット)							
		ゲイン 1	ゲイン 2	ゲイン 4	ゲイン 8	ゲイン 16	ゲイン 32	ゲイン 64	ゲイン 128
MCLK IN = 2.4576MHz									
10Hz	2.62Hz	1.47 (16)	0.95 (16)	0.88 (16)	0.55 (16)	0.42 (16)	0.42 (16)	0.42 (14)	0.41 (14)
50Hz	13.1Hz	4.2 (16)	2.6 (16)	1.6 (16)	1 (16)	0.89 (15.5)	0.94 (14.5)	0.9 (14)	0.9 (13)
60Hz	15.72Hz	4.9 (16)	3 (16)	1.8 (16)	1.1 (16)	1 (15.5)	1 (14.5)	0.94 (14)	0.94 (13)
250Hz	65.5Hz	104 (13)	52 (13)	26 (13)	14 (13)	6.5 (13)	4.1 (12.5)	2.7 (12)	2.3 (11)
500Hz	131Hz	572 (10.5)	293 (10.5)	125 (10.5)	69 (10.5)	40 (10)	19 (10)	10 (10)	5.9 (10)
MCLK IN = 1MHz									
4.05Hz	1.06Hz	1.35 (16)	0.967 (16)	0.83 (16)	0.66 (16)	0.45 (16)	0.43 (16)	0.43 (15)	0.43 (14)
20Hz	5.24Hz	2.27 (16)	1.41 (16)	1 (16)	0.8 (16)	0.49 (16)	0.46 (16)	0.45 (14.5)	0.45 (13.5)
25Hz	6.55Hz	2.82 (16)	1.79 (16)	1.18 (16)	0.9 (16)	0.56 (16)	0.56 (15.5)	0.49 (14.5)	0.49 (13.5)
100Hz	26.2Hz	51 (14)	26 (14)	11 (14)	6.5 (14)	3.48 (13.5)	1.9 (13.5)	1.35 (13)	1.1 (12.5)
200Hz	52.4Hz	254 (11.5)	132 (11.5)	60 (11.5)	34 (11.5)	16.5 (11.5)	8.7 (11.5)	4.9 (11)	2.8 (11)

低レベル入力チャンネルの出力ノイズ (3V動作)

表IIIは、非バッファ・モード時での選択ノッチと - 3dB周波数における、AD7707の出力rmsノイズと、ピークtoピーク分解能を示します。ノッチはクロック・レジスタのFS0、FS1、FS2によって選択されます。数値は、 $V_{REF} = +1.225\text{V}$ 、 $AV_{DD} = 3\text{V}$ におけるバイポーラ入力範囲です。これらの数値はtyp値で、アナログ入力電圧0Vで生成されています。表IVは、非バッファ・モード動作時の、rmsノイズとピークtoピーク分解能を表します。ピークtoピークの数値が、コード・フリッカーのない分解能を表していることに注意してください。これらは、rmsノイズではなく、ピークtoピークノイズに基づいて計算されます。数値は $V_{REF} = +1.225\text{V}$ のバイポーラ入力範囲のもので、バッファ・モード、非バッファ・モード両方のもので、これらの数値はtyp値で、最も近い1LSBに丸め込みされます。数値は、0に設定されたクロック・レジスタのCLKDIVビットに適用されます。出力ノイズには2つのノイズ源があります。第1は、モジュレータの実現に使用する、半導体デバイスの電気ノイズ(デバイス・ノイズ)。第2に、アナログ入力デジタル領域に変換される時の定量化ノイズが加わります。デバイスノイズは低レベルで、周波数と無関係です。定量化ノイズはさらに低いレベルで始まりますが、周波数増大に伴って急激に上昇して、主要なノイズ源となります。表の数値は、バイポーラ入力範囲についてです。ユニポーラ範囲については、rmsノイズ数値はバイポーラ範囲と同じになりますが、ピークtoピーク分解能は信号範囲の半分に基づくので、事実上、分解能1ビットを失うこととなります。

表III. 出力RMSノイズ/ピークtoピーク分解能 対 ゲインと出力アップデート・レート (+3V)
(AIN1、AIN2非バッファ・モードのみ)

フィルタ第1 ノッチとO/P データ速度	- 3dB 周波数	μV 単位の出力RMSノイズtyp値(ピークtoピーク分解能、ビット)							
		ゲイン 1	ゲイン 2	ゲイン 4	ゲイン 8	ゲイン 16	ゲイン 32	ゲイン 64	ゲイン 128
MCLK IN = 2.4576MHz									
10Hz	2.62Hz	1.60 (16)	0.8 (16)	0.48 (16)	0.29 (16)	0.29 (16)	0.27 (15.5)	0.26 (14.5)	0.26 (13.5)
50Hz	13.1Hz	3.8 (16)	1.9 (16)	1.1 (16)	0.64 (16)	0.60 (15)	0.6 (14)	0.6 (13)	0.6 (12)
60Hz	15.72Hz	4.4 (16)	2.2 (16)	1.35 (16)	0.78 (16)	0.7 (15)	0.68 (14)	0.64 (13)	0.64 (12)
250Hz	65.5Hz	53 (13)	24 (13)	15 (12.5)	6.8 (13.5)	3.6 (12.5)	2.1 (12.5)	1.5 (12)	1.3 (11)
500Hz	131Hz	300 (10.5)	138 (10.5)	80 (10.5)	34 (10.5)	18 (10.5)	8.7 (10.5)	4.8 (10)	3.4 (10)
MCLK IN = 1MHz									
4.05Hz	1.06Hz	1.45 (16)	0.713 (16)	0.494 (16)	0.273 (16)	0.252 (16)	0.30 (15)	0.24 (15)	0.24 (14)
20Hz	5.24Hz	1.98 (16)	1.04 (16)	0.56 (16)	0.33 (16)	0.3 (16)	0.3 (15)	0.3 (14)	0.3 (13)
25Hz	6.55Hz	2.3 (16)	1.2 (16)	0.66 (16)	0.41 (16)	0.34 (16)	0.33 (15)	0.32 (14)	0.32 (13)
100Hz	26.2Hz	24.6 (14)	14 (14)	6.4 (14)	3.3 (14)	1.63 (14)	1 (13.5)	0.8 (13)	0.65 (12)
200Hz	52.4Hz	136 (11.5)	67 (11.5)	32.5 (11.5)	17.3 (11.5)	8.9 (11.5)	4.4 (11.5)	2.3 (11.5)	1.6 (11)

AD7707

表IV. 出力RMSノイズ/ピークtoピーク分解能 対 ゲインと出力アップデート・レート (+3V)
(AIN1、AIN2バッファ・モードのみ)

フィルタ第1 ノッチとO/P データ速度	- 3dB 周波数	μV 単位の出力RMSノイズ typ 値 (ピークtoピーク分解能、ビット)							
		ゲイン 1	ゲイン 2	ゲイン 4	ゲイン 8	ゲイン 16	ゲイン 32	ゲイン 64	ゲイン 128
MCLK IN = 2.4576 MHz									
10Hz	2.62Hz	1.80 (16)	1 (16)	0.7 (16)	0.41 (16)	0.41 (16)	0.41 (15)	0.41 (14)	0.41 (13)
50Hz	13.1Hz	4.1 (16)	2.4 (16)	1.5 (16)	1 (15.5)	0.91 (14.5)	0.89 (13.5)	0.86 (12.5)	0.83 (12)
60Hz	15.72Hz	5.1 (16)	3 (16)	1.8 (16)	1.1 (15.5)	0.94 (14.5)	0.94 (13.5)	0.99 (12.5)	0.99 (11.5)
250Hz	65.5Hz	50 (13)	27 (13)	12.3 (13)	6.4 (13)	4 (12.5)	2.7 (12)	2.2 (11.5)	1.8 (11)
500Hz	131Hz	275 (10.5)	125 (10.5)	80 (10.5)	39 (10.5)	16 (10.5)	8.9 (10.5)	5.2 (10)	4.2 (9.5)
MCLK IN = 1 MHz									
4.05Hz	1.06Hz	7.72 (16)	1.3 (16)	0.73 (16)	0.41 (16)	0.41 (16)	0.41 (15)	0.41 (14)	0.41 (13)
20Hz	5.24Hz	2.14 (16)	1.22 (16)	0.71 (16)	0.5 (16)	0.47 (15.5)	0.47 (14.5)	0.45 (13.5)	0.42 (13)
25Hz	6.55Hz	2.5 (16)	1.4 (16)	0.88 (16)	0.54 (16)	0.53 (15.5)	0.50 (14.5)	0.50 (13.5)	0.50 (12.5)
100Hz	26.2Hz	24.5 (14)	12.6 (14)	6.3 (14)	3.1 (14)	1.87 (13.5)	1.2 (13)	1.1 (12.5)	1 (11.5)
200Hz	52.4Hz	133 (11.5)	70 (11.5)	37 (11.5)	18 (11.5)	8.4 (11.5)	4.2 (11.5)	2.4 (11)	2.1 (10.5)

高レベル入力チャンネルAIN3の出力ノイズ (5V動作)

表Vは、非バッファ・モード時での選択ノッチと - 3dB周波数におけるAD7707の出力rmsノイズと、ピークtoピーク分解能を示しています。ノッチはクロックレジスタのFS0、FS1、FS2で選別します。数値は、 $V_{\text{REF}} = +2.5\text{V}$ 、 $\text{HBIAS} = 2.5\text{V}$ 、 $\text{HICOM} = \text{AGND}$ 、 $\text{AV}_{\text{DD}} = 5\text{V}$ で、 $\pm 10\text{V}$ 、 $\pm 5\text{V}$ 、 $0 \sim 5\text{V}$ 、 $0 \sim +10\text{V}$ の範囲でのものです。これらの数値は typ 値で、アナログ入力電圧0Vで生成されています。一方、表VIIは、バッファ・モードにおける、出力rmsノイズとピークtoピーク分解能を示しています。ピークtoピーク数値が、コード・フリッカーのない分解能を表していることに注意してください。これらは、rmsノイズではなく、ピークtoピーク・ノイズに基づいて計算されます。バイポーラ・モードで、ゲイン2で高レベル・チャンネルを動作させると、 $\pm 10\text{V}$ の動作範囲が得られます。ユニポーラ・モードで、ゲイン2で動作させると、 $0 \sim +10\text{V}$ の動作範囲が得られます。バイポーラ・モードで、ゲイン4で高レベル・チャンネルを動作させると、 $\pm 5\text{V}$ の動作範囲が得られます。ユニポーラ・モードで、ゲイン4で動作させると、 $0 \sim 5\text{V}$ の動作範囲が得られます。すべての入力範囲でのノイズは、付属書1に掲載されています。出力ノイズは、2つのノイズ源から発生します。第1は、モジュレータの実現に使用する、半導体デバイスの電気ノイズ(デバイス・ノイズ)。第2に、アナログ入力デジタル領域に変換される時の定量化ノイズが加わります。デバイス・ノイズは低レベルで、周波数と無関係です。定量化ノイズはさらに低いレベルで始まりますが、周波数の増大に伴って急激に上昇して、主要なノイズ源となります。表の数値は、バイポーラ入力範囲についてです。ユニポーラ範囲については、rmsノイズ数値はバイポーラ範囲と同じになりますが、ピークtoピーク分解能は信号範囲の半分に基づくので、事実上、分解能1ビットを失うこととなります。

表V. 出力RMSノイズ/ピークtoピーク分解能 対 ゲインと出力アップデート・レート (+5V)
(AIN3非バッファ・モードのみ)

フィルタ第1 ノッチとO/P データ速度	- 3dB 周波数	$\pm 10\text{V}$ 範囲		$\pm 5\text{V}$ 範囲		$0 \sim +10\text{V}$ 範囲		$0 \sim +5\text{V}$ 範囲	
		RMSノイズ (μV)	P-P(ビット) 分解能	RMSノイズ (μV)	P-P(ビット) 分解能	RMSノイズ (μV)	P-P(ビット) 分解能	RMSノイズ (μV)	P-P(ビット) 分解能
MCLK IN = 2.4576 MHz									
10Hz	2.62Hz	5.10	16	3.52	16	5.10	16	3.52	16
50Hz	13.1Hz	15.82	16	9.77	16	15.82	16	9.77	16
60Hz	15.72Hz	20.36	16	12.29	16	20.36	16	12.29	16
250Hz	65.5Hz	430	13	212	13	430	12	212	12
500Hz	131Hz	2350	10	1287	10	2350	9	1287	9
MCLK IN = 1 MHz									
4.05Hz	1.06Hz	5.13	16	3.53	16	5.13	16	3.53	16
20Hz	5.24Hz	18.9	16	13.25	16	18.9	16	13.25	16
25Hz	6.55Hz	23.7	16	15.3	16	23.7	16	15.3	15.5
100Hz	26.2Hz	406	13	174	13	406	12	174	12
200Hz	52.4Hz	2184	10.5	1144	10.5	2184	9.5	1144	9.5

表VI. 出力RMSノイズ/ピークtoピーク分解能 対 ゲインと出力アップデート・レート (+5V)
(AIN3バッファ・モードのみ)

フィルタ第1 ノッチとO/P データ速度 周波数	±10V範囲		±5V範囲		0~+10V範囲		0~+5V範囲		
	RMSノイズ (μ V)	P-P(ビット) 分解能	RMSノイズ (μ V)	P-P(ビット) 分解能	RMSノイズ (μ V)	P-P(ビット) 分解能	RMSノイズ (μ V)	P-P(ビット) 分解能	
MCLK IN = 2.4576MHz									
10Hz	2.62Hz	7.4	16	5.2	16	7.4	16	5.2	16
50Hz	3.1Hz	22.2	16	14.3	16	22.2	16	14.3	16
60Hz	15.72Hz	26.6	16	15.85	16	26.6	16	15.85	16
250Hz	65.5Hz	475	13	187	13	475	12	18	12
500Hz	131Hz	2423	10.5	1097	10.5	2423	9.5	1097	9.5
MCLK IN = 1MHz									
4.05Hz	1.06Hz	7.63	16	5.45	16	7.63	16	5.45	16
20Hz	5.24Hz	20.25	16	13.3	16	20.25	16	13.3	16
25Hz	6.55Hz	23.5	16	14.6	16	23.5	16	14.6	15.5
100Hz	26.2Hz	377	13	210	13	377	12	210	12
200Hz	52.4Hz	2226	10.5	1132	10.5	2226	9.5	1132	9.5

高レベル入力チャンネルAIN3の出力ノイズ (5V動作)

表VIIIは、選択ノッチと-3dB周波数におけるAD7707の出力rmsノイズと、ピークtoピーク分解能を示しています。ノッチはクロック・レジスタのFS0、FS1、FS2で選別します。数値は、 $V_{REF} = +1.225V$ 、 $HBIAS = 1.225V$ 、 $HICOM = AGND$ 、 $AV_{DD} = 3V$ で、 $\pm 5V$ 、 $0 \sim +5V$ 、 $0 \sim +10V$ の範囲でのものです。これらの数値はtyp値で、非バッファ・モード動作のアナログ入力電圧0Vで生成されています。上述の動作範囲は、入力アンプのコモン・モードの制限のため、3V動作の場合、非バッファ・モードのみで実現できます。ピークtoピーク数値が、コード・フリッカーのない分解能を表していることに注意してください。これらは、rmsノイズではなく、ピークtoピーク・ノイズに基づいて計算されます。ユニポーラ・モードで、ゲイン1で動作させると、 $0 \sim +10V$ の動作範囲が得られます。バイポーラ・モードで、ゲイン2で高レベル・チャンネルを動作させると、 $\pm 5V$ の動作範囲が得られます。ユニポーラ・モードで、ゲイン2で動作させると、 $0 \sim +5V$ の動作範囲が得られます。出力ノイズは、2つのノイズ源から発生します。第1は、モジュレータの実現に使用する、半導体デバイスの電気ノイズ(デバイス・ノイズ)。第2に、アナログ入力デジタル領域に変換される時の定量化ノイズが加わります。デバイス・ノイズは低レベルで、周波数と無関係です。定量化ノイズはさらに低いレベルで始まりますが、周波数の増大に伴って急激に上昇して、主要なノイズ源となります。表の数値は、バイポーラ入力範囲についてです。ユニポーラ範囲については、rmsノイズ数値は、バイポーラ範囲と同じになりますが、ピークtoピーク分解能は信号範囲の半分に基づくので、事実上、分解能1ビットを失うことになります。

表VII. 出力RMSノイズ/ピークtoピーク分解能 対 ゲインと出力アップデート・レート (+3V)
(AIN3バッファ・モードのみ)

フィルタ第1 ノッチとO/P データ速度 周波数	0~+10V範囲		±5V範囲		0~+5V範囲		
	RMSノイズ (μ V)	P-P(ビット) 分解能	RMSノイズ (μ V)	P-P(ビット) 分解能	RMSノイズ (μ V)	P-P(ビット) 分解能	
MCLK IN = 2.4576MHz							
10Hz	2.62Hz	12.4	16	7.02	16	7.02	16
50Hz	13.1Hz	30.35	16	16.4	16	16.4	15.5
60Hz	15.72Hz	34.55	16	19.13	16	19.13	15
250Hz	65.5Hz	498	12.5	204	13	204	12
500Hz	131Hz	2266	10.5	1151	10.5	1151	9.5
MCLK IN = 1MHz							
4.05Hz	1.06Hz	13.9	16	7.3	16	7.3	16
20Hz	5.24Hz	32.2	16	17.4	16	17.4	15
25Hz	6.55Hz	33.4	16	18.57	16	18.57	15
100Hz	26.2Hz	430	13	200	13	200	12
200Hz	52.4Hz	2207	10.5	1048	10.5	1048	9.5

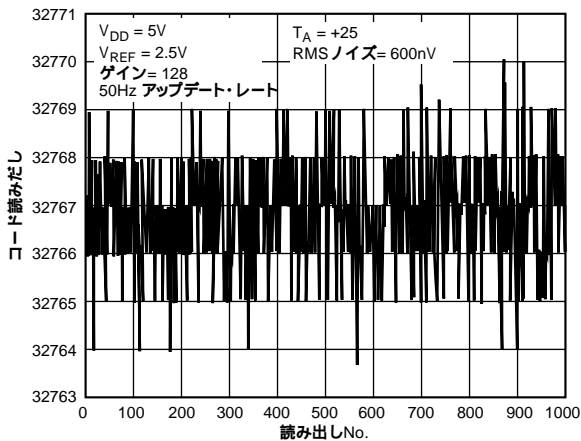


図2 代表的ノイズ・プロット (低レベル入力チャンネル、アップデート・レート50Hz、ゲイン=128)

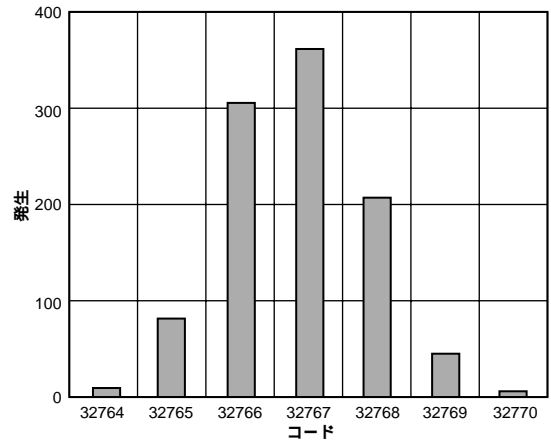


図5 図2のデータ・ヒストグラム

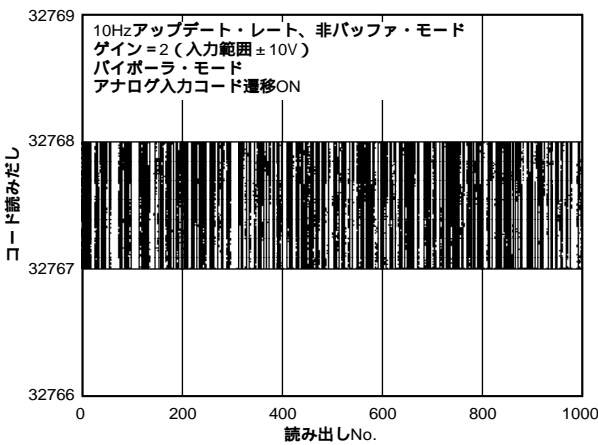


図3 高レベル入力チャンネルAIN3の代表的ノイズ・プロット

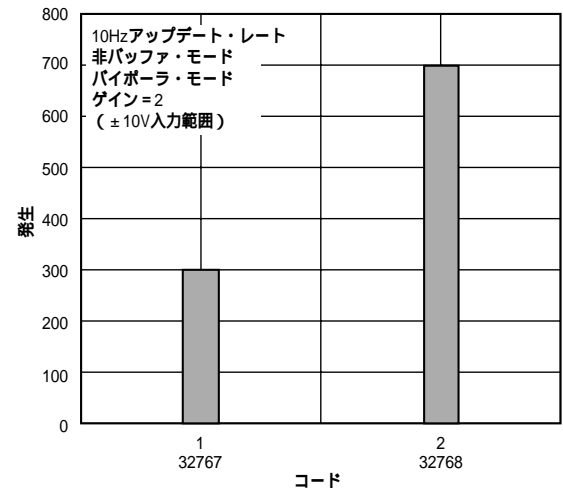


図6 図3のデータ・ヒストグラム

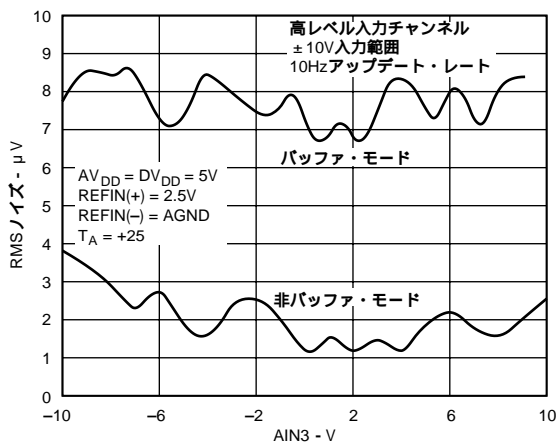


図4 高レベル入力チャンネルAIN3の代表的RMSノイズ対アナログ入力電圧

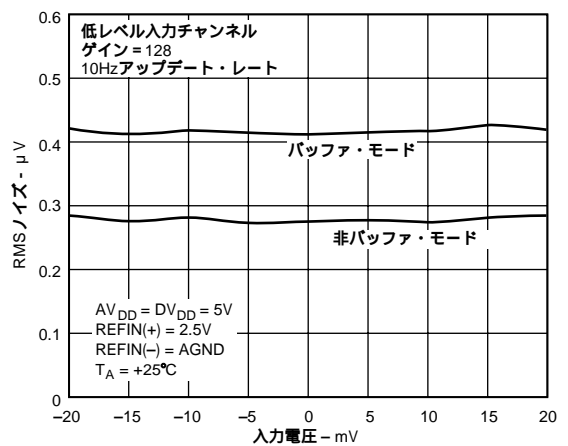


図7 低レベル入力チャンネルAIN1、AIN2の代表的RMSノイズ対アナログ入力電圧

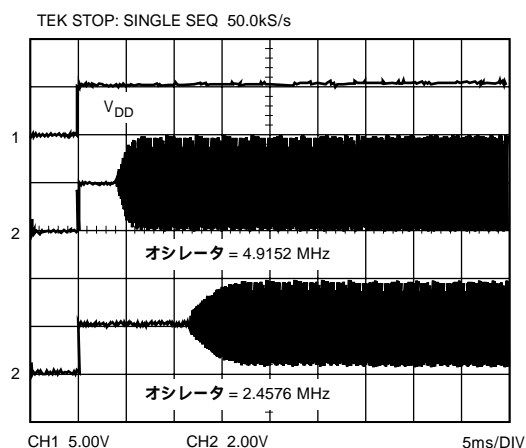


図8 代表的なクリスタル・オシレータのパワーアップ時間

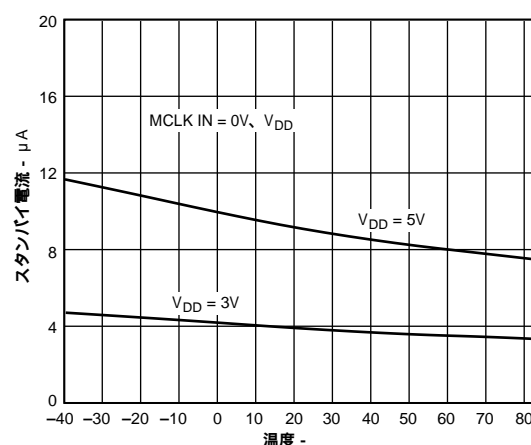


図9 スタンバイ電流対温度

内部レジスタ

AD7707は、シリアル・ポート経由でアクセスできる、8個のレジスタを内蔵しています。第1はチャンネル選択を制御する通信レジスタで、次の動作が読み出し / 書き込みのどちらかを決定し、どのレジスタに次の読み出し / 書き込み動作がアクセスするかを決定します。AD7707へのすべての通信は、通信レジスタへの書き込み動作から始まります。電源オンまたはRESETの後、デバイスは通信レジスタへの書き込みを予想します。このレジスタに書き込まれたデータによって、次の動作が書き込み / 読み出しのどちらかが決定され、また、どのレジスタにこの読み出し / 書き込み動作が発生するかも決定します。従って、AD7707の他のレジスタへの書き込みアクセスは、通信レジスタへの書き込みで始まり、その後を選択したレジスタへの書き込みが行われます。また、他のレジスタからの読み出し動作(通信レジスタ自体と、出力データ・レジスタを含む)は、通信レジスタへの書き込み動作で始まり、その後を選択したレジスタからの読み出し動作が行われます。通信レジスタはまた、スタンバイ・モードとチャンネル選択を制御し、通信レジスタからの読み出しによってDRDY状態も得られます。第2のレジスタはキャリブレーション・モード、ゲイン設定、バイポーラ / ユニポーラ動作、バッファ・モードを判定する、セットアップ・レジスタです。第3のレジスタは、クロック・レジスタと呼ばれ、フィルタ選択ビットとクロック制御ビットを内蔵しています。第4のレジスタは、AD7707の出力データにアクセスできる、データ・レジスタです。最後のレジスタは、チャンネル・キャリブレーション・データを保存する、キャリブレーション・レジスタです。レジスタについては、次項で詳しく扱います。

通信レジスタ (RS2, RS1, RS0 = 0, 0, 0)

通信レジスタは、データの読み出し / 書き込みができる、8ビットレジスタです。AD7707とのすべての通信は、通信レジスタへの書き込み動作から始めなければなりません。通信レジスタに書き込まれるデータによって、次の動作が読み出し / 書き込みのどちらかと、どのレジスタで動作が発生するかが決定します。選択したレジスタへの、次の読み出し / 書き込み動作が終了すると、インターフェースは通信レジスタへの書き込み動作を予想する場所へ戻ります。これはインターフェースのデフォルト状態で、AD7707は電源オン時やRESET後にこのデフォルト状態になり、通信レジスタへの書き込み動作を待ちます。インターフェース・シーケンスが失われている状態で、DINハイで、十分な長さの書き込み動作(最低32シリアル・クロック・サイクル)が発生すると、AD7707がこのデフォルト状態に戻ります。表VIIIは、通信レジスタのビット指定を表しています。

表VIII. 通信レジスタ

0/DRDY (0)	RS2 (0)	RS1 (0)	RS0 (0)	R/W (0)	STBY (0)	CH1 (0)	CH0 (0)
------------	---------	---------	---------	---------	----------	---------	---------

0/DRDY 書き込み動作では、通信レジスタへの書き込み動作を発生させるために、このビットに「0」を書き込む必要があります。このビットに「1」を書き込むと、AD7707はレジスタの後続ビットへクロック・オンしません。このビットに「0」が書き込まれるまで、このビット位置に留まります。このビットに「0」が書き込まれると、次の7つのビットが通信レジスタにロードされます。読み出し動作では、このビットは、DRDYフラグの状態を提供します。このビットの状態は、DRDY出力ピンと同じです。

RS2 ~ RS0 レジスタ選択ビット。これら3ビットは、8個の内蔵レジスタの内、どれに次の読み出し / 書き込み動作が行われるかを、表IXの通りレジスタ・サイズに従って選択します。選択したレジスタの読み出し / 書き込み動作が終わると、AD7707は通信レジスタへの書き込み動作を待っている状態に戻ります。AD7707は、レジスタにアクセスし続ける状態には留まりません。

AD7707

表IX. レジスタ選択

RS2	RS1	RS0	レジスタ	レジスタ・サイズ
0	0	0	通信レジスタ	8ビット
0	0	1	セットアップ・レジスタ	8ビット
0	1	0	クロック・レジスタ	8ビット
0	1	1	データ・レジスタ	16ビット
1	0	0	テスト・レジスタ	8ビット
1	0	1	動作なし	
1	1	0	オフセット・レジスタ	24ビット
1	1	1	ゲイン・レジスタ	24ビット

R/W Read/Write選択。このビットは、選択したレジスタの次の動作が読み出し / 書き込み動作のどちらかを選択します。「0」は、該当レジスタの次の動作の書き込みサイクルを表し、「1」は、該当レジスタの読み出し動作を表します。

STBY スタンバイ。このビットに「1」を書き込むと、AD7707はスタンバイまたはパワーダウン・モードになります。このモードでのAD7707の消費電力は、わずか8 μ Aです。AD7707は、スタンバイ状態でもキャリブレーション係数と制御ワード情報を保持します。このビットに「0」を書き込むと、AD7707は通常動作モードに入ります。AD7707のシリアル・インターフェースは、STBYモードでも動作できます。

CH1 ~ CH0 チャンネル選択。これら2つのビットは、表Xの通り、変換または、キャリブレーション係数にアクセスするチャンネルを選択します。チャンネルのキャリブレーションの後、キャリブレーション係数を保存するために3対のキャリブレーション・レジスタを使用します。これらは表VIIに掲載され、どのチャンネル組み合わせが、独立のキャリブレーション係数を備えているかを示します。CH1をロジック1、CH0をロジック0にすると、AD7707はそれ自体に内部ショートされたLOCOM入力を調べます。これは、外部ノイズ源のない状態で部品のノイズ性能を評価する試験法として用いられます。このモードでは、LOCOM入力をAD7707の許容コモン・モード範囲内の外部電源に接続します。

表X. AD7707のチャンネル選択

CH1	CH0	AIN	リファレンス	キャリブレーション・レジスタ・ペア
0	0	AIN1	LOCOM	レジスタ・ペア0
0	1	AIN2	LOCOM	レジスタ・ペア1
1	0	LOCOM	LOCOM	レジスタ・ペア0
1	1	AIN3	HICOM	レジスタ・ペア2

セットアップ・レジスタ (RS2, RS1, RS0=0, 0, 1) ; 電源オン/リセット状態 : 01Hex

セットアップ・レジスタは、データを読み出し / 書き込みできる、8ビット・レジスタです。表XIは、セットアップレジスタのビット指定を示します。

表XI セットアップ・レジスタ

MD1 (0)	MD0 (0)	G2 (0)	G1 (0)	G0 (0)	\overline{B}/U (0)	BUF (0)	FSYNC (1)
---------	---------	--------	--------	--------	----------------------	---------	-----------

MD1	MD0	動作モード
0	0	通常モード：これは、デバイスが通常の変換を実行している、デバイス動作の通常モードです。
0	1	セルフ・キャリブレーション：これは、通信レジスタのCH1とCH0が選択したチャンネルで、セルフ・キャリブレーションを起動します。ワンステップのキャリブレーション・シーケンスなので、完了すると部品は通常モードに戻り、MD1とMD0はそれぞれ0に戻ります。 \overline{DRDY} 出力またはビットは、キャリブレーションが始まるとハイになり、キャリブレーションが終わるとローに戻り、データ・レジスタに新たに有効ワードが印加できます。ゼロスケール・キャリブレーションは、内部短絡（ゼロ）入力の選択ゲインで行われ、フルスケール・キャリブレーションは、内部生成の V_{REF} / 選択ゲインの選択ゲインで実行します。
1	0	ゼロスケール・システム・キャリブレーション。通信レジスタのCH1とCH0が選択するチャンネルで、ゼロスケール・システム・キャリブレーションを起動します。このキャリブレーション・シーケンス中、アナログ入力の入力電圧の選択ゲインで、キャリブレーションを実行します。入力電圧はキャリブレーションの期間中、安定していることが必要です。 \overline{DRDY} 出力またはビットは、キャリブレーションが始まるとハイになり、ゼロスケール・キャリブレーションが終わるとローに戻り、データ・レジスタに新たに有効ワードが印加できます。キャリブレーションが完了すると部品は通常モードに戻り、MD1とMD2はそれぞれ0に戻ります。
1	1	フルスケール・システム・キャリブレーション：選択した入力チャンネルで、フルスケール・システム・キャリブレーションを起動します。このキャリブレーション・シーケンス中、アナログ入力の入力電圧の選択ゲインで、キャリブレーションを行います。キャリブレーション期間中、この入力電圧は、安定していること。同じく、 \overline{DRDY} 出力またはビットは、キャリブレーションが始まると、ハイになり、フルスケール・システム・キャリブレーションが終わると、ローに戻り、データ・レジスタに新たに有効ワードが印加できます。キャリブレーションが完了すると部品は通常モードに戻り、MD1とMD2はそれぞれ0に戻ります。

G2~G0 ゲイン選択ビット。表XIIの通り、これらのビットは、内蔵PGAのゲイン設定を選択します。

表XII. ゲイン選択

G2	G1	G0	ゲイン設定
0	0	0	1
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

\overline{B}/U Bipolar/Unipolar動作。このビットが「0」の場合、 $\overline{Bipolar}$ 動作を選びます。このビットが「1」の場合、ユニポラ動作を選びます。

BUF バッファ制御。このビットが「0」では、アナログ入力のアナログオンチップ・バッファがショートします。バッファがショートすると、 V_{DD} ラインを流れる電流が減ります。このビットがハイの場合、内蔵バッファがアナログ入力と直列になり、入力がより高い電源インピーダンスを扱えます。

FSYNC フィルタ同期。このビットがハイの場合、デジタル・フィルタのノード、フィルタ制御ロジック、キャリブレーション制御ロジックはリセット状態に保持され、アナログ・モジュレータもリセット状態に保持されます。このビットがローになると、モジュレータとフィルタがデータ処理を開始し、有効なワードは、 $3 \times 1 / (\text{出力アップデート・レート})$ 、すなわちフィルタのセトリング・タイムで使用できます。FSYNCビットは、デジタル・インターフェースに影響せず、もしローなら、 \overline{DRDY} 出力をリセットしません。

AD7707

クロック・レジスタ (RS2, RS1, RS0=0, 1, 0) ; 電源オン/リセット状態 : 05Hex

クロック・レジスタは、データを読み出し/書き込みできる8ビット・レジスタです。XIIIは、クロック・レジスタのビット指定を示します。

表XIII. クロック・レジスタ

ZERO (0)	ZERO (0)	CLKDIS (0)	CLKDIS (0)	CLK (1)	FS2 (0)	FS1 (0)	FS0 (0)
----------	----------	------------	------------	---------	---------	---------	---------

- ZERO** ゼロ。AD7707の正しい動作を保証するために、これらのビットにゼロを書き込む必要があります。これをしないと、デバイスが仕様外の動作を行います。
- CLKDIS** マスター・クロック・ディスエーブル・ビット。このビットがロジック1の場合、マスター・クロックはMCLKOUTピンに現れません。MCLKOUTピンは、ディスエーブルの時、強制的にローになります。この機能により、MCLKOUTをシステムの他のデバイスのクロック・ソースとして使う柔軟性が得られ、またMCLKOUTをオフにして電力削減も可能です。MCLKINピンを外部マスター・クロックとして使う場合、AD7707は、内部クロックを保持し、通常CLKDISビットをアクティブにして変換します。MCKLINとMCLKOUTピンの間にクリスタル・オシレータかセラミック共振器を使用すると、AD7707のクロックは停止し、CLKDISビットがアクティブの時も変換は起こりません。
- CLKDIV** クロック分割ビット。このクロックがロジック1の場合、MCLKINに現れるクロック周波数は、AD7707が内部で使用する前に二分されます。例えば、このビットを1に設定すると、MCLKINとMCLKOUTの間に4.9152MHzクリスタルを配置でき、AD7707は内部で規定の2.4576MHzで動作します。このビットがロジック0の場合、MCLKINピンに現れるクロック周波数は、部品内部で用いる周波数になります。
- CLK** クロック・ビット。このビットは、AD7707の動作周波数に従って設定する必要があります。デバイスが、マスター・クロック周波数2.4576MHz (CLKDIV = 0) または4.9152MHz (CLKDIV = 1) を備える場合、このビットは「1」に設定します。デバイスのマスター・クロック周波数が1MHz (CLKDIV = 0) か、2MHz (CLKDIV = 1) の場合、このビットは「0」に設定します。このビットは、任意の動作周波数で適切にスケールされた電流を設定し、(FS2, FS1, FS0とともに) デバイスの出力アップデート・レートを選択します。このビットをデバイスのマスター・クロック周波数に基づいて正しく設定しないと、AD7707が仕様の通りに動作しません。
- FS2, FS1, FS0** フィルタ選択ビット。FS2, FS1, FS0は、CLKビットとともに、表XIVの通り、出力アップデート・レート、フィルタの第1ノッチと -3dB周波数を決定します。内蔵デジタル・フィルタは、 sinc^3 (または Sinx/x^3) のフィルタ応答を提供します。第1ノッチを10Hzにすると、他のノッチは50、60Hzの両方に設定され、これらの周波数で150dBより優れた除去が可能です。ゲイン選択とともに、フィルタ・カットオフもデバイスの出力ノイズを決定します。フィルタ・ノッチ周波数の変更も、選択ゲインの変更と同様に分解能に強い影響を与えます。表I~IVは、フィルタ・ノッチ周波数とゲインが、出力ノイズとデバイスの有効分解能に与える影響を表します。デバイスの出力データ速度 (または有効変換時間) は、フィルタの第1ノッチで選択する周波数に等しくなります。例えば、フィルタの第1ノッチに50Hzを選択すると、アップデート・レート50Hz、または20ms毎に、新たなワードが得られます。第1ノッチが500Hzの場合、2ms毎に新たなワードが得られます。これらのビットのどれかを変更すると、キャリブレーションが開始します。フィルタのフルスケール・ステップ入力へのセトリング・タイムは、最悪の場合で 4×1 (出力データ速度) になります。例えば、フィルタの第1ノッチが50Hzの場合、フィルタのフルスケール・ステップ入力へのセトリング・タイムは80ms maxです。第1ノッチが500Hzの場合、セトリング・タイムは8ms maxです。このセトリング・タイムは、ステップ入力変化をデジタル・フィルタのリセットに同期させることによって、 $3 \times 1 / (\text{出力データ速度})$ に短縮できます。言い換えると、FSYNCビットがハイの状態ではステップ入力がかかると、セトリング・タイムは、FSYNCビットがローに戻ってから $3 \times 1 / (\text{出力データ速度})$ となります。
- 3dB周波数は、次式の関係で、設定された第1ノッチ周波数によって決定されます。

$$\text{フィルタ - 3dB周波数} = 0.262 \times \text{フィルタ第1ノッチ周波数}$$

表XIV 出力アップデート・レート

CLK*	FS2	FS1	FS0	出力アップデート・レート	- 3dBフィルタ・カットオフ
0	0	0	0	20Hz	5.24Hz
0	0	0	1	25Hz	6.55Hz
0	0	1	0	100Hz	26.2Hz
0	0	1	1	200Hz	52.4Hz
1	0	0	0	50Hz	13.1Hz
1	0	0	1	60Hz	15.7Hz
1	0	1	0	250Hz	65.5Hz
1	0	1	1	500Hz	131Hz
0	1	0	0	4.054Hz	1.06Hz
0	1	0	1	4.23Hz	1.11Hz
0	1	1	0	4.84Hz	1.27Hz
0	1	1	1	4.96Hz	1.3Hz
1	1	0	0	10Hz	2.62Hz
1	1	0	1	10.34Hz	2.71Hz
1	1	1	0	11.90Hz	3.13Hz
1	1	1	1	12.2Hz	3.2Hz

*CLKDIVビットを適切に設定し、MCLKINピンに正しいクロック周波数をとった場合

データ・レジスタ (RS2, RS1, RS0=0, 1, 1)

このデータ・レジスタは、AD7707の最新の変換結果を備える、16ビットのリード・オンリー・レジスタです。通信レジスタがをこのレジスタへの書き込み動作にセットアップすると、書き込み動作が実際に発生して、通信レジスタへの書き込み動作を予測している状態に戻ります。ただし、ここに書き込まれるデータのうち16ビットは、AD7707に無視されます。

テスト・レジスタ (RS2, RS1, RS0=1, 0, 0) ; 電源オン/リセット状態 : 00Hex

AD7707は、デバイスのテストに用いるテスト・レジスタを内蔵しています。このレジスタのすべてのビットの状態を、デフォルトの0 (電源オンまたはRESET) 状態から変えないようにしてください。テスト・モードの1つに入って、正しく動作しないからです。

ゼロスケール・キャリブレーション・レジスタ (RS2, RS1, RS0=1, 1, 0) ; 電源オン/リセット状態 : 1F400Hex

AD7707は、独立のゼロスケール・レジスタ・セットを、各入力チャンネルに1つずつ内蔵しています。それぞれ24ビット読み出し/書き込みレジスタです。24ビットのデータを書き込む必要があります。そうでないと、データがレジスタに転送されません。このレジスタは、関連するフルスケール・レジスタと結合して用いられ、レジスタ・ペアを形成します。これらのレジスタ・ペアは、表VIIの通り、入力チャンネル・ペアと関連しています。デバイスはデジタル・インターフェース経由でこれらのレジスタへアクセスできるようにセットアップされていますが、デバイス自体は出力データを正しくスケールするために、もうレジスタ係数にアクセスしません。この結果、キャリブレーション・レジスタにアクセスした後 (読み出しまたは書き込み動作) 部品から読み出した最初の出力データに、不正なデータが含まれている可能性があります。さらに、キャリブレーション中は、キャリブレーション・レジスタへの書き込みを試みないでください。これらの事態は、キャリブレーション・レジスタ動作の前にモード・レジスタのFSYNCビットをハイにし、動作終了後にローにすることで防げます。

フルスケール・キャリブレーション・レジスタ (RS2, RS1, RS0=1, 1, 1) ; 電源オン/リセット状態 : 5761AB Hex

AD7707は、独立のフルスケール・レジスタ・セットを、各入力チャンネルに1つずつ内蔵しています。それぞれ24ビット読み出し/書き込みレジスタです。24ビットのデータを書き込む必要があります。そうでないと、データがレジスタに転送されません。このレジスタは、関連するゼロスケール・レジスタと結合して用いられ、レジスタ・ペアを形成します。これらのレジスタ・ペアは、表Xの通り、入力チャンネル・ペアと関連しています。デバイスはデジタル・インターフェース経由でこれらのレジスタへアクセスできるようにセットアップされていますが、デバイス自体は出力データを正しくスケールするために、もうレジスタ係数にアクセスしません。この結果、キャリブレーション・レジスタにアクセスした後 (読み出しまたは書き込み動作) 部品から読み出した最初の出力データに不正なデータが含まれている可能性があります。さらに、キャリブレーション中は、キャリブレーション・レジスタへの書き込みを試みないでください。これらの事態は、キャリブレーション・レジスタ動作の前にモード・レジスタのFSYNCビットをハイにし、動作終了後にローにすることで防げます。

AD7707

キャリブレーション・シーケンス

前述の通り、AD7707は多数のキャリブレーション・オプションを備えています。表XVは、キャリブレーションの種類、関連する動作、動作時間をまとめてあります。キャリブレーションの完了を判定するには、2つの方法があります。第1は、シーケンスの最後にDRDYがローに戻る時を監視することです。DRDYは、シーケンスの終了を知らせるだけでなく、データ・レジスタに、有効な新しいサンプルが存在するかどうかも知らせます。この有効な新サンプルは、キャリブレーション・シーケンス後の通常変換によるものです。キャリブレーション終了を判定する第2の方法は、セットアップ・レジスタのMD1とMD0を監視することです。これらのビットが0に戻ると（キャリブレーション・コマンド後の0）、キャリブレーション・シーケンスが終了したことが分かります。この方法では、データ・レジスタに有効な新たな結果があるかが分かりません。ただし、 $\overline{\text{DRDY}}$ を使った方法より、キャリブレーションの終了が早く分かります。モード・ビット（MD1、MD0）が000に戻るまでの経過時間は、実施されたキャリブレーションの時間を表します。 $\overline{\text{DRDY}}$ がローになるまでのシーケンスには、この最初の変換の結果を正しくスケールするために、通常の変換とパイプライン遅延 t_p があります。 t_p が $2000 \times t_{\text{CLKIN}}$ を超えることは決してありません。両方法の時間を、表に示します。

表XV. キャリブレーション・シーケンス

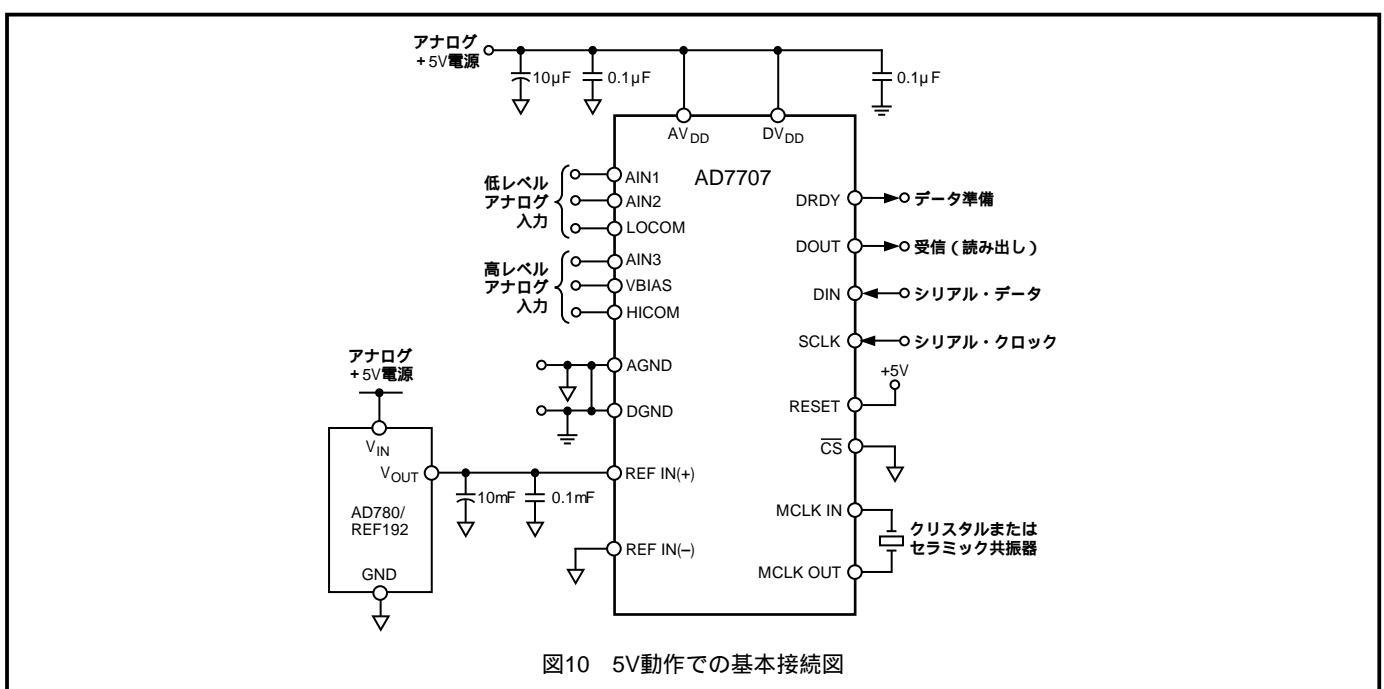
キャリブレーションの種類	MD1、MD0	キャリブレーション・シーケンス	モード・ビットの経過時間	DRDYまでの経過時間
セルフ・キャリブレーション	0、1	内部ZSキャリブレーション@選択ゲイン 内部FSキャリブレーション@選択ゲイン	6×1 / 出力レート	9×1 / 出力レート + t_p
ZSシステム・キャリブレーション	1、0	AINのZSキャリブレーション@選択ゲイン	3×1 / 出力レート	4×1 / 出力レート + t_p
FSシステム・キャリブレーション	1、1	AINのFSキャリブレーション@選択ゲイン	3×1 / 出力レート	4×1 / 出力レート + t_p

回路の説明

AD7707は、工業制御やプロセス・コントロールなど、広ダイナミックレンジで低周波信号の計測アプリケーションを対象にした、デジタル・フィルタ内蔵のシグマ・デルタA/Dコンバータです。シグマ・デルタ（またはチャージバランス）A/Dコンバータ、静的RAM内蔵のキャリブレーション・マイクロコントローラ、クロック・オシレータ、デジタル・フィルタ、双方向シリアル通信ポートを内蔵しています。消費電流がわずか320 μ Aなので、バッテリー駆動機器、ループ電源計器に理想的です。内部薄膜抵抗によって、分離電源、DC/DCコンバータ、チャージポンプを使わずに、 ± 10 V、 ± 5 V、 $0 \sim +10$ V、 $0 \sim +5$ Vの高レベル入力信号を、アナログ入力に直接入力できます。AD7707は、電源電圧2.7 \sim 3.3Vまたは4.75 \sim 5.25Vで動作します。

AD7707は、2つの低レベル（AIN1、AIN2）プログラマブル・ゲインの疑似差動アナログ入力チャンネル、1つの高レベル（AIN3）シングルエンド入力チャンネルを備えています。低レベル入力チャンネルでは、ゲインは、1、2、4、8、16、32、64、128から選択でき、入力リファレンス電圧が $+2.5$ Vの時、 $0 \sim +20$ mVと、 $0 \sim +2.5$ Vの間のユニポーラ信号、 ± 20 mVから ± 2.5 Vの範囲のバイポーラ信号を入力できます。リファレンス電圧 $+1.225$ Vでの入力範囲は、ユニポーラ・モードで $0 \sim +10$ mV、 $0 \sim +1.225$ V、バイポーラ・モードでは、 ± 10 mV \sim ± 1.225 Vです。ただし、信号は、LOCOM入力に関するものであることに注意してください。高レベル入力チャンネルは、5V電源、リファレンス2.5Vで動作するとき、HICOMに関して ± 10 Vの入力信号を直接入力できます。3V電源では、 ± 5 VをAIN3に入力できます。アナログ入力への入力信号は、マスター・クロックMCLKINの周波数と選択ゲインが決定する速度で、連続サンプル処理されます。チャージ・バランスA/Dコンバータ

（シグマ・デルタ・モジュレータ）が、サンプルした信号を、デューティ・サイクルにデジタル情報を備えたデジタル・パルス列に変換します。このシグマ・デルタ・モジュレータはアナログ入力のプログラマブル・ゲイン機能も内蔵しており、入力サンプリング周波数が修正され、より高いゲインが得られます。sinc³デジタル・ローパス・フィルタはシグマ・デルタ・モジュレータの出力を処理し、フィルタの第1ノッチ周波数が決定したレートで出力レジスタをアップデートします。出力データは、出力レジスタ・アップデート・レート範囲の任意の速度で、ランダムあるいは定期的にシリアルポートから読み出せます。このデジタル・フィルタの第1ノッチ（及びその-3dB周波数）は、セットアップ・レジスタ・ビットFS0とFS1を介してプログラムできます。2.4576MHzのマスター・クロック周波数の場合、第1ノッチ周波数のプログラム可能範囲は、10 \sim 500Hzで、-3dB周波数のプログラム可能範囲は2.62 \sim 131Hzとなります。1MHzのマスター・クロック周波数の場合、第1ノッチ周波数のプログラム可能範囲は、4 \sim 200Hzで、-3dB周波数のプログラム可能範囲は1.06 \sim 52.4Hzとなります。AD7707の基本接続図は、図10の通りです。高精度 $+2.5$ VリファレンスAD780またはREF192がリファレンス源として使用されています。デジタル側では、CSをDGNDに接続して3線式動作に設定しています。クォーツ・クリスタルやセラミック共振器が、マスター・クロック・ソースを提供します。殆どの場合、クリスタルや共振器にコンデンサを接続して、基本動作周波数のオーバー・トーンで振動が起きないようにする必要があります。コンデンサの値はメーカーの仕様によって異なります。3V電源での動作にも同様の回路を適用しますが、この場合、1.225Vリファレンス（AD1580）を用いて仕様の性能が得られます。



AD7707

アナログ入力

アナログ入力範囲

AD7707は、低レベル疑似差動アナログ入力チャンネルAIN1とAIN2を内蔵しています。これらの入力ペアは、ユニポーラまたは疑似バイポーラ入力信号を扱える、プログラマブル・ゲインと差動入力チャンネルを提供します。バイポーラ入力信号がLOCOM入力を基準とすることに注意してください。AD7707はまた、HICOMを基準とする高レベル・アナログ入力チャンネルAIN3も備えています。図11は、ハイレベル入力チャンネルの入力構造を表します。通常の5V動作では、VBIASは通常2.5Vに接続し、HICOMはAGNDに接続します。このキャリブレーションでは、内部電圧は、バッファ・モードではバッファのコモン・モード範囲に、非バッファ・モードでは電源範囲に入るよう保証されます。AD7707は、セットアップ・レジスタのBUFを介して、バッファ・モードまたは非バッファ・モードのどちらでもプログラムできます。AIN3の信号が、AGNDやDGNDではなく、HICOM入力を基準していることに留意してください。

高レベル入力チャンネルを用いた場合にAD7707に見られる電圧差は、図11に示すマルチプレクサのAIN3(+)とAIN3(-)の間の差です。

$$AIN3(+/-) = (AIN3 + 6 \times VBIAS + V(HICOM)) / 8$$

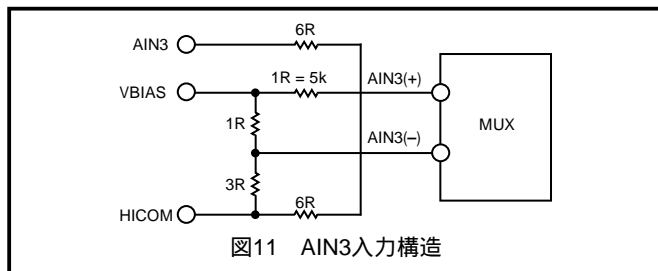


図11 AIN3入力構造

非バッファ・モードでは、低レベル入力チャンネルのコモン・モード範囲は、AGND - 100mV ~ AV_{DD} + 30mVです。従って、非バッファ・モードでは、AD7707はすべてのゲインについて、ユニポーラとバイポーラ入力範囲の両方を扱えます。アナログ入力には、性能の低下なしに、AGNDの絶対電圧 - 100mVを入力できますが、リーク電流は、温度の上昇に伴ってかなり増加します。バッファ・モードでは、アナログ入力は遙かに大きい電源インピーダンスを扱えますが、絶対入力電圧範囲は、AGND + 50mV ~ AV_{DD} - 1.5Vに限定されます。これは、コモン・モード範囲にも制限を加えます。すなわち、バッファ・モードでは、バイポーラ入力範囲の許容ゲインが制限されます。コモン・モード電圧と入力電圧範囲を設定する場合、上記の限度を超えないよう注意すべきです。そうしないと、直線性性能が低下します。

非バッファ・モードでは、アナログ入力は、7pF入力サンプリング・コンデンサC_{SAMP}を直接調べます。この非バッファ・モードのDC入力リーク電流は1nA maxです。この結果、アナログ入力に、入力サンプル速度で切り替わるダイナミック負荷が加わります(図12参照)。このサンプル速度は、マスター・クロック周波数と選択ゲインに依存します。C_{SAMP}は、入力サンプル・サイクル毎に、AIN(+)に充電し、AIN(-)に放電します。スイッチR_{SW}の有効オン抵抗は一般に7k です。

C_{SAMP}は、入力サンプル・サイクル毎に、R_{SW}と追加電源インピーダンスを通じて、充電します。このため、非バッファ・モードでは、電源インピーダンスは、C_{SAMP}での長い充電時間となり、AD7707のゲイン誤差につながります。表XVIは、非バッファ・モードで、AD7707に輸入される16ビット・レベルのゲイン誤差が含まれない、許容できる外部抵抗 / 容量の値を表します。これらの容量がアナログ入力の全容量であることに注意してください。この外部容量にはAD7707のピンとリード線フレームの10pFが含まれます。

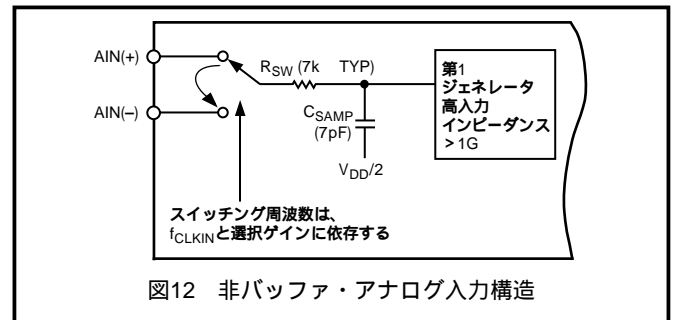


図12 非バッファ・アナログ入力構造

表XVI. 低レベル入力チャンネルの16ビット誤差のない外部R、C(抵抗 / 容量)組み合わせ(非バッファ・モードのみ)

ゲイン	外部容量 (pF)					
	0	50	100	500	1000	5000
1	368k	90.6k	54.2k	14.6k	8.2k	2.2k
2	177.2k	44.2k	26.4k	7.2k	4k	1.12k
4	82.8k	21.2k	12.6k	3.4k	1.94k	540
8 ~ 128	35.2k	9.6k	5.8k	1.58	880	240

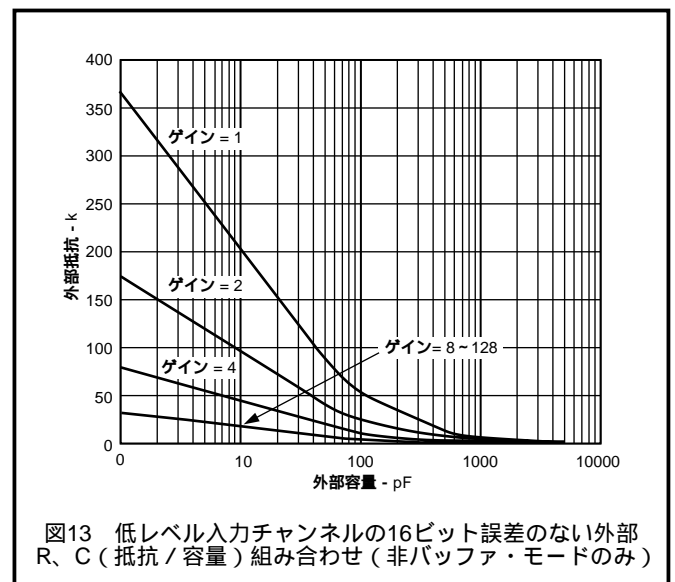


図13 低レベル入力チャンネルの16ビット誤差のない外部R、C(抵抗 / 容量)組み合わせ(非バッファ・モードのみ)

バッファ・モードでは、アナログ入力は内蔵バッファ・アンプの高インピーダンス入力ステージを調べます。C_{SAMP}は、電源インピーダンスがC_{SAMP}の充電に影響しないよう、このバッファ・アンプを通じて充電されます。このバッファ・アンプは、1nAのオフセット・リーク電流を備えます。バッファ・モードでは、大きい電源インピーダンスの結果、電源インピーダンスを横切って小さいDCオフセット電圧が生成されますが、ゲイン誤差は生成されません。

入力サンプリング速度

AD7707のモジュレータ・サンプリング周波数は、選択ゲインと無関係に、 $f_{CLKIN} / 128$ (19.2kHz@ $f_{CLKIN} = 2.4576$ MHz)のままです。ただし、各モジュレータ・サイクルの複数の入力サンプルの組み合わせと、リファレンス・コンデンサと入力コンデンサの比率の変倍によって、1より大きいゲインが達成されます。複数サンプリングの結果、AD7707の入力サンプリング比率は、選択したゲインによって変わります(表XVII参照)。バッファ・モードでは、入力インピーダンスは一定です。非バッファ・モードでは、アナログ入力に直接サンプリング・コンデンサを調べ、有効入力インピーダンスは、 $1/C_{SAMP} \times f_s$ となります。 C_{SAMP} は入力サンプリング容量で、 f_s は、入力サンプリング速度です。

表XVII. 入力サンプリング周波数 対 ゲイン

ゲイン	入力サンプリング周波数 (f_s)
1	$f_{CLKIN}/64$ (38.4kHz@ $f_{CLKIN} = 2.4576$ MHz)
2	$2 \times f_{CLKIN}/64$ (76.8kHz@ $f_{CLKIN} = 2.4576$ MHz)
4	$4 \times f_{CLKIN}/64$ (76.8kHz@ $f_{CLKIN} = 2.4576$ MHz)
8-128	$8 \times f_{CLKIN}/64$ (307.2kHz@ $f_{CLKIN} = 2.4576$ MHz)

バイポーラ / ユニポーラ入力

AD7707の低レベル入力チャンネルのアナログ入力は、LOCOMIに関して、ユニポーラまたはバイポーラの両方の入力電圧範囲を受け入れられます。

高レベル入力チャンネルは、保証動作において、最大 ± 10 Vの真のバイポーラ信号を扱います。

バイポーラ / ユニポーラ・オプションは、セットアップ・レジスタのB/Uビットを設定して選択します。これは、ユニポーラまたはバイポーラ動作のどちらかのチャンネルをプログラムします。ユニポーラまたはバイポーラ動作のチャンネルをプログラムしても、チャンネル条件は変わらず、データ出力コーディングとキャリブレーションが発生する伝達関数のポイントだけが変わります。ユニポーラ動作では、出力コーディングはストレート・バイナリです。バイポーラモードでは、出力コーディングはオフセット・バイナリです。

リファレンス入力

AD7707のリファレンス入力、REFIN(+)とREFIN(-)は、差動リファレンス入力機能を提供します。これらの差動入力のコモン・モード範囲はGND ~ AV_{DD} です。仕様の動作における公称リファレンス電圧(V_{REF})、REFIN(+)とREFIN(-)は、 $AV_{DD} = 5$ V動作では+2.5V、 $AV_{DD} = +3$ V動作では+1.225Vです。AD7707は、最低1Vまでの V_{REF} 電圧で機能しますが、LSBサイズが小さいので性能は低下します。AD7707の正しい動作のためには、REFIN(+)は必ずREFIN(-)より大きくなければなりません。

両リファレンス入力ともに、高インピーダンス、非バッファ・モードのアナログ入力に近いダイナミック負荷を提供します。最大DC入力リーク電流は全温度で ± 1 nAで、電源抵抗がゲイン誤差を起こすことがあります。この場合、サンプリング・スイッチ抵抗はtyp値5kで、リファレンス容量(C_{REF})はゲインによって変わります。リファレンス入力のサンプリング速度は $f_{CLKIN} / 64$ で、ゲインによって変わります。ゲイン1と2において、 C_{REF} は8pF。ゲイン16では5.5pF。ゲイン32では4.25pF。ゲイン64では3.625pF。ゲイン128では3.3125pFです。

表I~IVに掲載した出力ノイズ性能はアナログ入力0Vのもので、リファレンスからノイズの影響を効果的に除去します。入力範囲全体でノイズ表に示すのと同じノイズ性能を実現するには、AD7707に低ノイズのリファレンス源が必要です。対象帯域幅のリファレンス・ノイズが過剰な場合、AD7707の性能を劣化させます。ブリッジ・トランスデューサなど、励磁電圧からA/Dコンバータのリファレンス電圧を引き出すアプリケーションでは、アプリケーションがメーター比例なので、励起電圧のノイズの影響は除去されます。 $AV_{DD} = 5$ Vで推奨されるリファレンスには、AD780、REF43、REF192があり、 $AV_{DD} = 3$ V動作で推奨されるリファレンスには、AD589とAD1580があります。さらにノイズ・レベルを下げるため、これらのリファレンスの出力はデカップリングすることが一般に推奨されます。

デジタル・フィルタリング

AD7707は、内部シグマ・デルタ・モジュレータの出力を処理する、ローパス・デジタル・フィルタを内蔵しています。従って、AD7707はA/D変換機能だけでなく、あるレベルのフィルタ機能も備えています。デジタル領域にフィルタリング機能がある場合、アナログ領域より多数のシステム差があるので、これに注意する必要があります。まず、デジタル・フィルタ処理は、A/D変換後に発生するので、変換プロセスで発生したノイズを除去できます。アナログ・フィルタではこれではできません。また、デジタル・フィルタは、アナログ・フィルタより、はるかに速くプログラマブルにできます。デジタル・フィルタ構造に応じて、カットオフ周波数と出力アップデート・レートをプログラムする機能が得られます。

一方、アナログ・フィルタ処理はアナログ信号に乗ったノイズを、A/Dコンバータに入力する前に除去できます。デジタル・フィルタリングではこれを行わず、フルスケール近くの信号に乗ったノイズ・ピークは、信号の平均値は限度以内ですが、アナログ・モジュレータとデジタル・フィルタを飽和させる電圧を備えています。この問題を解決するために、AD7707は、シグマ・デルタ・モジュレータとデジタル・フィルタに、範囲外ヘッドルーム機能を組み込んでいます。これで、アナログ入力範囲より35%上の範囲外偏差が可能になります。ノイズ信号がこれより大きい場合、アナログ入力フィルタ処理、または入力チャンネル電圧の低減に考慮する必要があります。入力チャンネルのフルスケールが、アナログ入力チャンネルフルスケールの半分になるよう注意しましょう。これにより、ダイナミックレンジを1ビット(50%)下げる代わりに、100%を超える範囲外性能が得られます。

さらに、デジタル・フィルタは、デジタル・フィルタのサンプリング周波数の整数倍の周波数では、除去を行いません。ただし、AD7707の入力サンプルはデジタル・フィルタのサンプリング周波数の複数倍で減衰を起こすので、減衰を起こさない帯域は、実際はサンプリング周波数 f_s の整数倍付近(表XVで定める)になります。従って、減衰のない帯域は、 $n \times f_s$ で求められます(ここで $n = 1, 2, 3, \dots$)。これらの周波数では、ノイズが非減衰で出力を通過する両側の $\pm f_3$ dB帯域(f_3 dBはデジタル・フィルタのカットオフ周波数)に周波数帯域があります。

AD7707

AD7707デジタル・フィルタは、 $(\sin/x)^3$ 応答 (sinc^3 とも呼ばれる) のローパス・フィルタです。このフィルタの伝達関数は、 z 領域では以下の数式で記述されます。

$$H(z) = \left| \frac{1}{N} \times \frac{1 - Z^{-N}}{1 - Z^{-1}} \right|^3$$

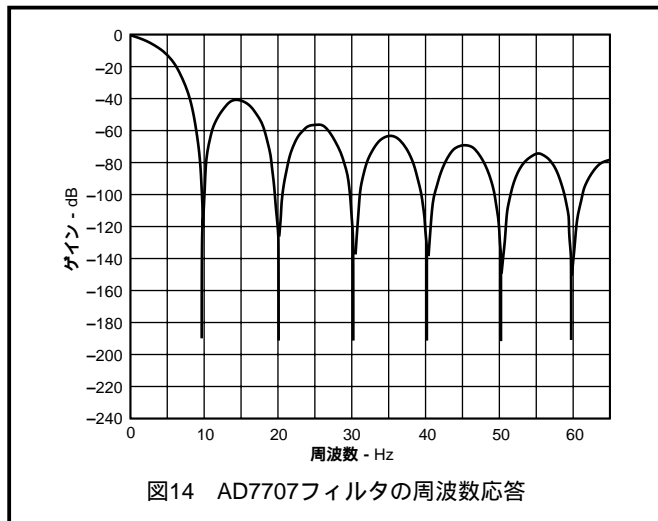
周波数領域では次の通り表されます

$$H(f) = \left| \frac{1}{N} \times \frac{\text{SIN}(N \times \pi \times f/f_s)}{\text{SIN}(\pi \times f/f_s)} \right|^3$$

ここで、 N は、モジュレータと出力の速度の比率です。
位相応答：

$$H = -3(N - 2) \times \pi \times f/f_s \text{ Rad}$$

図14は、カットオフ周波数2.62Hzでのフィルタ周波数応答を表し、これは第1フィルタ・ノッチ周波数10Hzに対応します。プロットはDC ~ 65Hzを示します。この応答は、デジタル・フィルタ・サンプルの両側と、複数のフィルタ・サンプル周波数の両側で、繰り返されます。フィルタの応答は、平均化フィルタの応答に似ていますが、より鋭いロールオフ・減衰となります。デジタル・フィルタの出力レートは、フィルタの周波数応答の第1ノッチの位置と対応します。このように、出力レートが10Hzとなる図14のプロットでは、フィルタの第1ノッチは10Hzです。この $(\sin/x)^3$ フィルタのノッチは、第1ノッチの複数倍、繰り返します。フィルタは、これらのノッチで100dBより優れた減衰を提供します。



同期50Hz、60Hz除去は、第1ノッチを10Hzにすることで行われます。アップデート・レートを10Hzにして動作させると、ノッチを50Hz、60Hzの両方にし、これらの周波数、100dB以上の除去を行います。

デジタル・フィルタのカットオフ周波数は、クロック・レジスタのビットFS0とFS2に負荷された値で決定します。FS0とFS1を介して、異なるカットオフ周波数をプログラムしても、フィルタ応答のプロファイルを変えずにノッチの周波数を変えられます。AD7707の出力アップデートと第1ノッチの周波数は対応します。

AD7707は、内蔵ローパス・フィルタを備えているので、セトリング・タイムはステップ機能入力に関係し、ステップ変更の後には、セトリング・タイムが経過するまで出力データは無効になります。セトリング・タイ

ムはフィルタに選択した出力に依存します。フルスケール・ステップ入力までのフィルタのセトリング・タイムは、出力データ期間の4倍までに長くなります。同期したステップ入力 (FSYNC機能を用いる) では、セトリング・タイムは出力データ期間の3倍です。

ポスト・フィルタリング

内部モジュレータは、 $f_{\text{CLKIN}} = 2.4576\text{MHz}$ で、出力レート19.2kHzのサンプルを提供します。内部デジタル・フィルタは、これらのサンプルを10分の1にし、フィルタの設定した出力レートに対応してデータを出力します。出力データはナイキスト基準より高いので、任意の帯域幅の出力レートは大半のアプリケーションの要求基準を満たします。ただし、任意の帯域幅とノイズ性能において、より高いデータ速度を要求する用途もあります。この高いデータ速度を要するアプリケーションでは、AD7707のデジタル・フィルタの後ポスト・フィルタ処理を必要とします。

例えば、必要な帯域幅は7.86Hzだが、必要なアップデート・レートが100Hzの場合、26.2Hzの-3dB帯域幅をAD7707に与えることによって、100Hz速度でデータが得られます。ポスト・フィルタリングによって、出力レートを100Hzに維持しながら、帯域幅と出力ノイズを7.86Hzの帯域幅レベルまで下げられます。

ポストフィルタリングは、2.62Hz未満の帯域幅で、デバイスの出力ノイズを下げる場合にも使います。ゲイン128、帯域幅2.62Hzでは、出力rmsノイズは、450nVです。これは、実質的にはデバイス・ノイズか、ホワイト・ノイズで、入力をチョップしているため、ノイズは、主にフラットな周波数応答を備えています。帯域幅を2.62Hz未満に下げることによって、得られる通過帯域のノイズを低減できます。係数2で帯域幅が減ると、出力rmsノイズは約1.25減ります。この追加フィルタリングにより、セトリング・タイムが長くなります。

アナログ・フィルタリング

先述の通り、デジタル・フィルタは、モジュレータのサンプル周波数の整数倍では、除去を行いません。ただし、AD7707の高いオーバーサンプリング比によって、これらの帯域が占めるスペクトル部は小さく抑えられ、大半の広帯域ノイズはフィルタ処理されます。つまり、AD7707のフロントのアナログ・フィルタの要求水準は、内部フィルタのない通常のコンバータに比べて相当低くなっています。さらに、AD7707の100dBのコモン・モード除去比は数kHzまで広がるので、この周波数でのコモン・モード・ノイズは、相当に低下します。

ただし、用途によっては、デジタル・フィルタを通過するこれらの帯域から不要な周波数を除去するために、AD7707より前段で減衰を行うことが必要な場合もあります。アプリケーションによっては、対象帯域外の差動ノイズ信号がアナログ・モジュレータを飽和させないために、AD7707の前段でアナログ・フィルタ処理を行う必要もあります。

非バッファ・モードで、AD7707の前面に受動部品を配置する場合、システムにゲイン誤差を導入しない程度に電源インピーダンスを抑えるよう注意が必要です。これにより、非バッファ・モードで使用する場合にAD7707の前面に備えることのある、受動アンチエイリアシング・フィルタ処理の量を著しく抑えられます。ただし、AD7707をバッファ・モードで用いる場合、電源インピーダンスが大きいと、DCオフセット誤差を簡単に小さくできます(10kΩの電源抵抗では、オフセット誤差は10μV未満となる) 従って、AD7707の前面で大きな電源インピ

ータンスに対して、受動アナログ・フィルタ処理を行うようなシステム要件ならば、AD7707をバッファ・モードで動作させることを推奨します。

キャリブレーション

AD7707は、セットアップ・レジスタのMD1とMD0ビット経由でプログラムできる、多数のキャリブレーション・オプションを備えています。キャリブレーション・オプションの詳細は、セットアップ・レジスタとキャリブレーション・シーケンスの項に掲載します。セットアップ・レジスタのこれらのビットに書き込むことにより、いつでもキャリブレーション・サイクルを開始できます。AD7707のキャリブレーションによって、デバイスからオフセットとゲイン誤差を除去できます。周辺動作温度または電源電圧に変化が起きると、必ずキャリブレーション・ルーティンが開始します。選択したゲイン、フィルタ・ノッチ、バイポーラ / ユニポーラ入力範囲に変化がある場合にも開始します。

AD7707は、セルフ・キャリブレーションとシステム・キャリブレーション機能を備えています。選択したチャンネルで十分なキャリブレーションが行われるためには、内蔵マイクロコントローラが、2つの異なる入力条件でのモジュレータ出力を記録する必要があります。これらは「ゼロスケール」「フルスケール」ポイントです。これらのポイントは、キャリブレーション中に、モジュレータ入力に加えらる別の入力電圧で変換を行って得られます。この結果、キャリブレーションの精度は、通常モードで実現するノイズレベルと、同程度にしかありません。「ゼロスケール」「キャリブレーション変換の結果はゼロスケール・キャリブレーション・レジスタに保存され、「フルスケール」キャリブレーション変換の結果はフルスケール・キャリブレーション・レジスタに保存されます。マイクロコントローラは、これらを読み出して、コンバータの入 / 出力伝達関数に関するオフセットとゲインスローブを計算できます。

セルフ・キャリブレーション

セルフ・キャリブレーションは、セットアップレジスタのMD1とMD0ビットに、適切な値 (0、1) を書き込んで開始されます。ユニポーラ入力範囲のセルフ・キャリブレーション・モードでは、キャリブレーション係数を決定するのに用いるゼロスケール・ポイントは、内部短絡する差動ペアの入力によります (すなわち、AD7707の場合、AIN1 = LOCOM = 内部バイアス電圧)。このゼロスケール・キャリブレーション変換では、PGAが選択したゲインに設定されます (通信レジスタのG1とG0ビットに従う)。V_{REF} / 選択ゲインの内部生成電圧の選択したゲインで、フルスケール・キャリブレーション変換が行われます。

キャリブレーションの継続時間は、6x1 / 出力レートです。これは、ゼロスケール・キャリブレーションの3x1 / 出力レートと、フルスケール・キャリブレーションの3x1 / 出力レートの和で成り立ちます。この時、セットアップ・レジスタのMD1とMD0ビットは、ともに0に戻ります。これがキャリブレーション・シーケンス完了の、最も早い指標となります。DRDYラインは、キャリブレーションが開始されてデータ・レジスタに新たな有効ワードが入力されるまで、ローに戻りません。キャリブレーション命令が出てから、DRDYがローになるまでの時間は、9x1 / 出力レートです。これは、ゼロスケール・キャリブレーションの3x1 / 出力レートと、フルスケール・キャリブレーションの3x1 / 出力レート、アナログ入力変換の3x1 / 出力レート、係数を正しくセットアップするオーバーヘッドから成り立ちます。セットアップ・レジスタにキャリブレーション命令が書き込まれる前にDRDYがローになる (または書き込み中にローになると、DRDYがハイになってキャリブレーションが進

行していることを表示する前に、最高1モジュレータ・サイクル (MCLKIN / 128) を要します。このため、DRDYは、キャリブレーション命令のセットアップ・レジスタに最後のビットが書かれてから、最高1モジュレータ・サイクルまでは無視されます。

セルフ・キャリブレーション・モードのバイポーラ入力範囲でも、シーケンスは上記のユニポーラと非常に似ています。この場合、2つのポイントは上記と全く同じですが、AD7707はバイポーラ動作向けに設定しているため、短絡入力ポイントは、実際は伝達関数の中間です。

高レベル入力チャンネルAIN3の減衰器の抵抗ミスマッチによる誤差は、セルフ・キャリブレーションでは除去できません。

システム・キャリブレーション

AD7707は、システム・キャリブレーションにより、システム・ゲインとオフセット誤差をAD7707内部の誤差と同様に修正できます。システム・キャリブレーションでは、セルフ・キャリブレーションと同じスローブ係数計算を行います。ゼロスケールおよびフルスケール・ポイントにおいてシステムがAIN入力に提供した電圧値を使用します。フル・システム・キャリブレーションには2ステップ・プロセスが必要で、ZSシステム・キャリブレーションの後に、FSシステム・キャリブレーションを行います。

フル・システム・キャリブレーションでは、まず、ゼロスケール・ポイントをコンバータに提供させるべきです。キャリブレーション・ステップを開始する前にコンバータに適用し、ステップが完了するまで安定させる必要があります。システムのゼロスケール電圧がセットされると、セットアップ・レジスタのMD1、MD0ビットに、適切な値 (1、0) を書き込むことにより、ZSシステム・キャリブレーションが開始します。ゼロスケール・システム・キャリブレーションは、選択したゲインで行われます。キャリブレーションの時間は、3x1 / 出力レートです。その後、セットアップ・レジスタのMD1とMD0ビットは (0、0) に戻ります。これがキャリブレーション・シーケンス完了の最初の知らせになります。DRDYラインはキャリブレーションを開始するとハイになり、データ・レジスタに新しいワードが入るまでローに戻りません。キャリブレーション命令が出てからDRDYがローに戻るまでの時間は、DRDYがローになる前にAD7707がAIN電圧の通常変換を行うため、4x1 / 出力レートになります。キャリブレーション命令がセットアップ・レジスタに書き込まれる前 (または最中) にDRDYがローになると、DRDYがハイになってキャリブレーションが進行中であることを知らせるまでに、最大1モジュレータ・サイクル (MCLKIN / 128) を要します。このため、DRDYは、キャリブレーション命令下のセットアップ・レジスタに最後のビットが書き込まれてから、最高1モジュレータ・サイクルまで無視されます。ゼロスケール・ポイントをキャリブレーションした後、フルスケール・ポイントがAINに適用され、MD1とMD0に適切な値 (1、1) を再び書き込んで、キャリブレーション・プロセスの第2ステップを開始します。キャリブレーションを再び開始する前にフルスケール電圧を立ち上げ、キャリブレーション・プロセス全体で安定させる必要があります。フルスケール・システム・キャリブレーションは、選択したゲインで行われます。キャリブレーションの時間は、3x1 / 出力レートです。その後、セットアップ・レジスタのMD1とMD0ビットは (0、0) に戻ります。これがキャリブレーション・シーケンス完了の最初の知らせになります。DRDYラインはキャリブレーションを開始するとハイになり、データ・レジスタに新しいワードが入るまでローに戻りません。キャリブレーション命令が

AD7707

出してからDRDYがローに戻るまでの時間は、DRDYがローになる前にAD7707がAIN電圧の通常変換を行うため、 $4 \times 1 / \text{出力レート}$ になります。キャリブレーション命令がセットアップ・レジスタに書き込まれる前(または最中)にDRDYがローになると、DRDYがハイになってキャリブレーションが進行中であることを知らせるまでに、最大1モジュレータ・サイクル(MCLKIN / 128)を要します。このため、DRDYは、キャリブレーション命令下のセットアップ・レジスタに最後のビットが書き込まれてから、最高1モジュレータ・サイクルまで無視されます。システム・キャリブレーションは、ユニポーラ・モードでは、伝達関数の2つのエンドポイントの間で行われます。バイポーラ・モードでは、ミッド・スケール(ゼロ差動電圧)と正のフル・スケールの間で行われます。システム・キャリブレーションが2ステップで行われることによって、別の特徴も生じます。フルシステム・キャリブレーションのシーケンス終了後、システムのゼロ基準点やシステム・ゲインを調整するため、追加のオフセット / ゲイン・キャリブレーションが独自に行えます。システム・オフセットであれシステム・ゲインであれ、パラメータの1つをキャリブレートしても別のパラメータには影響しません。

AD7707を非バッファ・モードで用いる場合、アナログ入力の電源インピーダンスの誤差の除去にもシステム・キャリブレーションを使用できます。フロントエンドの単純なR,Cアンチエイリアス・フィルタは、アナログ入力電圧に誤差を生じる可能性があります。システム・キャリブレーションは、この誤差の除去に用いられます。

低レベル入力チャンネルAIN1、AIN2のスパン / オフセット・リミット
システム・キャリブレーション・モードを用いる場合は、受け入れられるオフセットとスパンの量に必ず制限が生じます。AD7707が受け入れられるオフセットとゲインの量を決定する場合、正のフルスケール・キャリブレーション・リミットが $< 1.05 \times V_{REF} / \text{GAIN}$ であることが、優先的な要求基準になります。これにより、入力範囲が公称値より5%上になります。AD7707アナログ・モジュレータの組み込みヘッドルームにより、正のフルスケール電圧の公称値の上5%で正確に動作できます。

ユニポーラ、バイポーラ両モードの入力スパンは、min値で $0.8 \times V_{REF} / \text{GAIN}$ 、max値で $2.1 \times V_{REF} / \text{GAIN}$ です。ただし、スパン(AD7707入力範囲のmin ~ maxの差)は、正のフルスケール電圧の制限を考慮する必要があります。受入可能なオフセットの量は、ユニポーラ / バイポーラのどちらのモードかで変わります。オフセットもまた、正のフルスケール電圧の制限を考慮せねばなりません。ユニポーラ・モードでは、負のオフセットを取り扱う時に、かなりの柔軟性があります。ユニポーラ / バイポーラの両モードでAD7707が扱える正のオフセットの範囲は、選択したスパン次第です。従って、システムのゼロスケール / フルスケール・キャリブレーションの限度を決定する場合、オフセット範囲とスパン範囲の和が、実際に $1.05 \times V_{REF} / \text{GAIN}$ を超えているかを確認しなければなりません。実際にいくつかの事例を見ればよく分かります。

AD7707をユニポーラ・モードで、必要スパン $0.8 \times V_{REF} / \text{GAIN}$ で使用すると、システム・キャリブレーションが受入可能なオフセット範囲は、 $-1.05 \times V_{REF} / \text{GAIN} \sim +2.05 \times V_{REF} / \text{GAIN}$ です。ユニポーラ・モードで、必要スパン V_{REF} / GAIN として使用した場合、システム・キャリブレーションが受入可能なオフセット範囲は、 $-1.05 \times V_{REF} / \text{GAIN} \sim +0.05 \times V_{REF} / \text{GAIN}$ です。同様に、ユニポーラ・

モードで $0.2 \times V_{REF} / \text{GAIN}$ のオフセットを除去する必要がある場合、システム・キャリブレーションが扱えるスパン範囲は、 $0.85 \times V_{REF} / \text{GAIN}$ です。

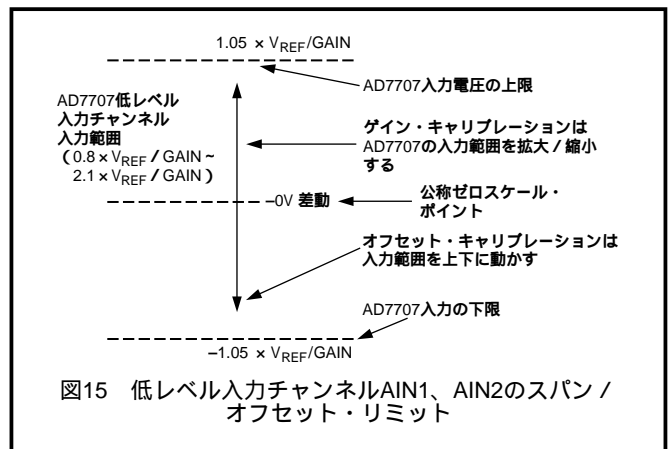


図15 低レベル入力チャンネルAIN1、AIN2のスパン / オフセット・リミット

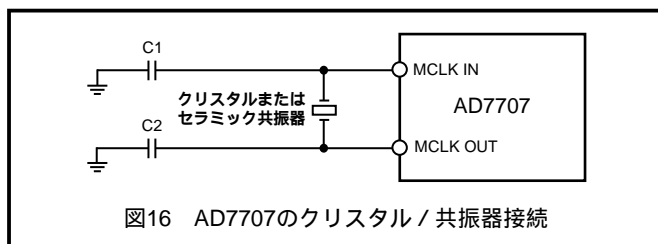
AD7707をバイポーラ・モードで、必要スパン $\pm 0.4 \times V_{REF} / \text{GAIN}$ で使用すると、システム・キャリブレーションが扱えるオフセット範囲は、 $-0.65 \times V_{REF} / \text{GAIN} \sim +0.65 \times V_{REF} / \text{GAIN}$ です。バイポーラ・モードで、必要スパン $\pm V_{REF} / \text{GAIN}$ で使用すると、システム・キャリブレーションが扱えるオフセット範囲は、 $-0.05 \times V_{REF} / \text{GAIN} \sim +0.05 \times V_{REF} / \text{GAIN}$ です。同様に、AD7707をバイポーラ・モードで使用し、 $\pm 0.2 \times V_{REF} / \text{GAIN}$ のオフセットを除去する必要がある場合、システム・キャリブレーションが扱えるスパン範囲は、 $\pm 0.85 \times V_{REF} / \text{GAIN}$ です。図15は、低レベル入力チャンネルのスパン / オフセット・リミットをグラフで表しています。

高レベル入力チャンネルAIN3のスパン / オフセット・リミット
高レベル入力チャンネルにも、低レベル入力チャンネルと同じ理論を適用できます。高レベル・チャンネルを用いると、減衰器の減衰係数は8になります。スパン / オフセット限度はすべて係数8を乗算して求めます。従って、ユニポーラ / バイポーラ両モードの入力スパン範囲は、min値 $6.4 \times V_{REF} / \text{GAIN}$ 、max値 $16.8 \times V_{REF} / \text{GAIN}$ になります。オフセット範囲とスパン範囲の和は $8.4 \times V_{REF} / \text{GAIN}$ を超えることはできません。

電源立ち上げとキャリブレーション

電源立ち上げ時には、AD7707は内部リセットを行い、内部レジスタの内容を既知状態に設定します。電源オンリセット後、全レジスタにデフォルト値がロードされます。デフォルト値は、キャリブレーション・レジスタの公称キャリブレーション係数を含みます。ただし、デバイスの正しいキャリブレーションを保証するため、電源立ち上げ後にキャリブレーション・ルーティンが実施されます。アップデート・レートまたはゲインを変えた場合も、キャリブレーションを行います。

AD7707はワット損と温度ドリフトが低いので、初回キャリブレーションを行う前のウォーム・アップ時間が不要です。ただし、外部リファレンスを用いている場合、キャリブレーションを開始する前に、このリファレンスを安定させる必要があります。同様に、MCLKピン間のクリスタルや共振器からクロック・ソースを生成する場合、オシレータ回路の立ち上げ時間が経過してから、キャリブレーションを開始してください。(次項参照)



AD7707の使用にあたって

クロックとオシレータ回路

AD7707はマスター・クロック入力が必要とし、これはMCLKOUTピンを無接続にしておき、MCLKINピンに外部CMOS互換のクロック信号を入力して得ます。また、代わりに図16のように、適切な周波数のクリスタルまたはセラミック共振器を、MCLKINとMCLKOUTの間に接続することもできます。この場合、クロック回路はオシレータとして機能して、AD7707にクロック・ソースを供給します。入力サンプリング周波数、モジュレータ・サンプリング周波数、-3dB周波数、出力アップデート・レート、キャリアレーション時間は、すべてマスター・クロック周波数 f_{CLKIN} に直接関係します。マスター・クロック周波数を係数2で割ると、上記の周波数とアップデート・レート、キャリアレーション時間の2倍となります。DV_{DD}電源からの電流も、 f_{CLKIN} に関係します。 f_{CLKIN} を係数2で割ると、DV_{DD}電流が半分になりますが、AV_{DD}からの電流には影響しません。

AD7707を、MCLKINとMCLKOUTの両ピン間にクリスタルまたは共振器を接続して用いた場合、MCLKINピンでドライブされたクロック信号からクロックを供給した場合より、一般的により多くの電流をDV_{DD}から引き出します。これは、クリスタルやセラミック共振器の場合、内部オシレータ回路がアクティブになるためです。従って、MCLKOUTを無接続、無負荷、ディスエーブルにして、MCLKINピンに外部クロックを接続したときに、AD7707の最低消費電流が実現します。オシレータが受け取る追加電流の量は、部品の数値で変わります。まず、MCLKIN、MCLKOUTピンに配置するコンデンサC1とC2の値が大きいほど、AD7707の消費電流が大きくなります。不要な電流を消費しないよう、クリスタルやセラミック共振器のメーカーが推奨するコンデンサ値を超えないよう注意してください。クリスタルやセラミック共振器のメーカーが推奨するC1、C2のtyp値は30～50pFの範囲にあり、MCLKINとMCLKOUTのコンデンサ値をこの範囲に保てば過剰な電流は生じません。電流に影響するもう1つの要因として、AD7707のMCLKINとMCLKOUTの間に現れる有効シリーズ抵抗(ESR)があります。原則として、ESRの値が低いほど、オシレータ回路の電流が低くなります。

クロック周波数2.4576MHzで動作させた場合、DV_{DD} = +3V動作のクリスタル共振器の電流は、外部クロックに比べて50 μ Aの差があります。DV_{DD} = +5V、 f_{CLKIN} = 2.4576MHzの場合、クリスタル/共振器でクロックを供給した場合の電流のtyp値は、外付けクロックに比べて250 μ A増加します。この周波数域でのクリスタルと共振器のESR値は低めなので、クリスタルや共振器のタイプによる差は殆どありません。

クロック周波数1MHzで動作させる場合、クリスタルの種類によって、ESR値は著しく異なります。その結果、クリスタルの種類によって電流ドレインが異なります。ESR値700のクリスタルまたはセラミック

共振器を使う場合の外部クロックに比した電流typ値の増加は、DV_{DD} = +3Vで20 μ A、DV_{DD} = +5Vで200 μ Aです。3kのESR値でクリスタルを用いる場合、外部クロックに比した電流typ値の増加は、DV_{DD} = +3Vで100 μ A、DV_{DD} = +5Vでは400 μ Aです。また、内部オシレータ回路は、正しい周波数と電圧レベルで発振する前に、回路に関係した立ち上げ時間があります。DV_{DD} = 5Vでの代表的な立ち上げ時間は、4.9512MHzクリスタルで6ms、2.4576MHzで16ms、1MHzクリスタル発振器では20msです。電源電圧を3Vに下げると、立ち上げ時間は一般に20%遅くなります。3V電源では、MCLKピンの負荷容量に応じて、立ち上げ時間を20ms程度に抑えるために、クリスタルまたは共振器に1Mのフィードバック抵抗が必要な場合もあります。

AD7707のマスター・クロックはMCLKOUTピンに現れます。このピンの最大推奨負荷は、CMOS負荷1つです。AD7707のクロック生成に、クリスタルまたはセラミック共振器を使用した場合、このクロックをシステムのクロック・ソースとして用いることを推奨します。この場合、MCLKOUT信号を回路の残りの箇所に加える前に、CMOSバッファでバッファすることを奨めます。

システムの同期

立ち上げレジスタのFSYNCビットにより、AD7707のセットアップ条件に影響なく、モジュレータとデジタル・フィルタをリセットできます。従って、既知の時間点、すなわちFSYNCが1から0に変わる時点から、アナログ入力のサンプルの収集を開始できます。

セットアップ・レジスタのFSYNCビットに1があると、デジタル・フィルタとアナログ・モジュレータが既知のリセット状態に保たれ、AD7707は入力サンプルを処理しません。FSYNCビットに0を書き込むと、モジュレータとフィルタはリセット状態から脱出して、AD7707は次のマスター・クロック・エッジで再度サンプルを収集開始します。

FSYNC入力はソフトウェア・スタートの変換命令にも用いられ、AD7707は通常のコンバータ方式で動作します。このモードでは、FSYNCビットへの書き込みによって変換を開始し、DRDYの立ち下がりがエッジが変換終了を示します。この方式の欠点として、データ・レジスタのアップデート毎にフィルタのセッティング・タイムを考慮する必要があります。つまり、このモードでは、データ・レジスタをアップデートする速度が3倍遅くなります。

FSYNCビットがデジタル・フィルタをリセットするので、AD7707の出力レジスタに新たなワードが現れるまでに、 $3 \times 1 / \text{出力レート}$ の総セッティング・タイムが経過している必要があります。FSYNCが0になってDRDY信号がローの場合、DRDY信号は、FSYNCコマンドによってハイにリセットされません。これは、AD7707が、読み出していないデータ・レジスタにワードがあることを認識するためです。DRDYラインは、データ・レジスタのアップデートが始まるまではローのままです。アップデートが始まると、再びローに戻る前に、 $500 \times t_{CLKIN}$ でハイになります。データ・レジスタの読み出しによってDRDY信号がハイにリセットされ、フィルタのセッティング・タイムが経過してFSYNCコマンドからデータ・レジスタに新たにワードが現れるまで、ローには戻りません。FSYNCコマンドが出された時にDRDYラインがハイの場合、フィルタのセッティング・タイムが経過するまで、DRDYラインはローに戻りません。

AD7707

リセット入力

AD7707のRESET入力は、全内部レジスタがデフォルト状態にリセットされますが、すべてのロジック、デジタル・フィルタ、アナログ・モジュレータをリセットします。DRDYはハイにドライブされ、RESET入力がローである限り、AD7707は任意のレジスタへのすべての通信を無視します。RESET入力がハイになると、AD7707はデータ処理を開始し、DRDYは3x1 / 出力レートでローに戻り、データ・レジスタの有効な新ワードを表示します。ただし、RESET後、AD7707はデフォルトのセットアップ条件で動作するので、RESETコマンド後は、一般的にすべてのレジスタをセットアップし、キャリブレーションを実施する必要があります。

AD7707の内部オシレータ回路は、RESET入力がローになっても機能しつづけます。MCLKOUTピンにはマスター・クロック信号が存続します。このため、AD7707のクロックによってシステム・クロックを供給するアプリケーションでは、AD7707は、RESETコマンド中にも割り込まれないマスター・クロックを供給します。

スタンバイ・モード

AD7707の通信レジスタのSTBYビットによって、変換結果を供給する必要がない場合には、パワーダウン・モードが可能です。スタンバイ・モードでは、内部レジスタの内容はすべて(データ・レジスタを含む)保持されます。スタンバイ・モードから抜けるとデータ処理が開始し、STBYビットに0を書き込んだ時点から3x1 / 出力レートで、データ・レジスタに新しいワードが現れます。

STBYビットは、デジタル・インターフェースにもDRDYラインの状態にも影響しません。STBYがローになった時にDRDYがハイなら、データ・レジスタに有効な新ワードが入るまでハイが保たれます。STBYがローになった時にDRDYがローなら、データ・レジスタがアップデートされるまでローが保たれます。アップデートされた時、DRDYラインは、再びローに戻る500x1_{CLKIN}前にハイに戻ります。AD7707がスタンバイ・モードに入った時にDRDYがローなら(データ・レジスタに読み出していない有効ワードが存在)スタンバイ中でもデータ・レジスタの読み出しが可能です。この読み出し動作の終了時に、DRDYは通常通りハイにリセットされます。

AD7707をスタンバイ・モードにすると、外部マスター・クロック動作でマスター・クロックを止めていると、5V電源で9 μ A typ、3V電源で4 μ A typ、総電流を節減できます。外部クロックが、スタンバイ・モードでMCLKINピンをドライブし続けると、スタンバイ電流は、5V電源で150 μ A typ、3V電源で75 μ A typ増大します。クロック・ソースとして水晶またはセラミック共振器を使用すると、スタンバイ・モードの総電流は5V電源で400 μ A typ、3V電源で90 μ A typとなります。これは、スタンバイ・モード中でも内部オシレータ回路が動作しつづけるためです。AD7707がシステム・クロックを供給するアプリケーションでは、スタンバイ・モードでも割り込みのないマスター・クロックを供給するのが重要だからです。シリアル・インターフェースはスタンバイ・モードでも動作し続けるので、マスター・クロックが停止していても、スタンバイ中の出力レジスタからのデータ読み出しが可能です。

精度

シグマ・デルタA/Dコンバータは、VFCや他のADC ICと同じく非単調性のソースを備えず、本来ノミス・コード性能を提供しません。AD7707は、容量 / 電圧係数が非常に低い高品質の内部コンデンサを利用して、優れた非直線性を実現します。また、入力段でチョッパ安定技術を使用し、低い入力ドリフトを実現しています。経年と温度変化を通じて優れた性能を保証するために、AD7707は、オフセットとゲイン誤差を最小化するデジタル・キャリブレーション技術を使用します。

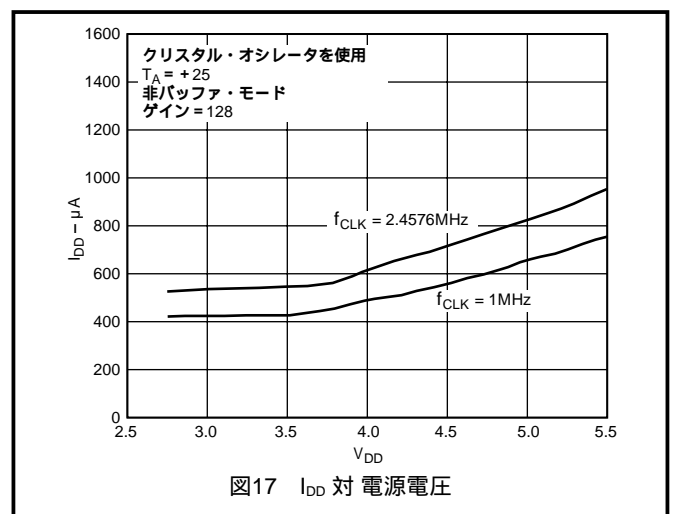
ドリフトの考察

アナログ・スイッチにおけるチャージ注入、サンプリング・モードでのDCリーク電流などが、コンバータのオフセット電圧ドリフトの主要源です。DC入力リーク電流は、本来、選択したゲインとは無関係です。コンバータ内のゲイン・ドリフトは、主に内部コンデンサの温度トラッキングによって決まります。リーク電流の影響は受けません。

オフセット・ドリフトやゲイン・ドリフトに起因する測定誤差は、コンバータをキャリブレートし直していつでも除去できます。システム・キャリブレーション・モードを使うと、信号コンディショニング回路のオフセット及びゲイン誤差を最小にできます。積分 / 微分直線性誤差は、温度変化によっても著しい影響を受けません。

電源

AD7707は、2.7 ~ 5.25V電源で動作します。AD7707には、特定の電源シーケンスは必要なく、AV_{DD}またはDV_{DD}のどちらから最初に入力しても構いません。通常動作では、DV_{DD}はAV_{DD}を0.3V上回ってはいけません。AD7707は優れたラッチアップ性能を備えていますが、過剰電流を防ぐために、信号がREFIN、AIN、ロジック入力ピンに印加される前に、AD7707に電源を供給することが重要です。これができない場合、これらのピンを流れる電流が100mA未満に制限されます。AD7707とシステムのデジタル回路に分離した電源を用いる場合、先にAD7707をパワー・アップします。これが保証できない場合、再度電流が制限されるため、ロジック入力と直列に電流制限抵抗を配置します。ラッチアップ電流は100mA以上です。



消費電流

AD7707の消費電流は、+2.7~+3.3V、+4.75~+5.25Vの電源範囲で仕様規定されています。AD7707は+2.7~+5.25Vの電源範囲で動作し、この範囲内での電源電圧の変化に従って、 I_{DD} も変わります。AD7707は、動作条件に従って内部設定される、内部電流ブースト・ビットを備えています。これは、デバイス内部のアナログ回路が使う電流に影響します。AD7707の最低消費電力は、 $f_{CLKIN} = 1\text{MHz}$ で動作、または $f_{CLKIN} = 2.4575\text{MHz}$ 、ゲイン1~4で動作させた時に実現します。内部ブースト・ビットは、アナログ消費電流を節減させるためにオフになるからです。図17は、1MHzと2.4576MHzのクリスタル・オシレータの、+25°Cでの代表的な I_{DD} と V_{DD} 電圧の変化を表します。AD7707は非バッファ・モード動作です。AD7707を低い V_{DD} 電圧で動作させると I_{DD} も最小になることが、グラフから分かります。外部マスター・クロックを用いるか、内部オシレータ回路を用いる時には外部部品を最適化することによって、AD7707の I_{DD} を最小にできます。図3、4、6、7は、外部クロックを用いた、ゲイン、 V_{DD} 、クロック周波数に対する I_{DD} の変化を表します。

接地とレイアウト

アナログ入力とリファレンス入力は差動なので、アナログ・モジュレータの電圧の大半は、コモン・モード電圧です。AD7707は優れたコモン・モード除去比を備えており、これらの入力のコモン・モード・ノイズを除去できます。デジタル・フィルタは、モジュレータ・サンプリングの整数倍の周波数を除いて、電源の広帯域ノイズを除去します。デジタル・フィルタは、アナログ・モジュレータを飽和させないように、アナログ、リファレンス入力のノイズも除去できます。この結果、AD7707は、通常の高分解能コンバータに比べて、強いノイズ耐性を実現します。ただし、AD7707は高分解能で、AD7707からのノイズ・レベルは低いので、接地とレイアウトには注意が必要です。

AD7707を組み込むプリント回路基板は、アナログ部とデジタル部を絶縁して、基板の特定区域に置くように設計します。これにより、グラウンド面を容易に分割して使用できます。最小限のエッチング技術で、グラウンド面に最適な絶縁が得られます。デジタルとアナログのグラウンド面は、グラウンド・ループを防ぐため、一個所のみで接続します。AGND~DGND接続を要するデバイスが複数あるシステムでAD7707を使う時は、AD7707のできるだけ近くで、星形グラウンド・ポイント1個所のみで接続します。

AD7707の下にデジタル・ラインを通すと、ノイズがAD7707のアナログ回路に結合する可能性があるため、避けてください。アナログ接地面は、ノイズの伝達を抑えるため、AD7707の下を通します。AD7707への電源ラインは、低インピーダンス・パスを実現して、電源ラインへのグリッチの影響を抑えるため、広いトレースを用います。クロックなどの素早いスイッチング信号はデジタル・グラウンドで絶縁して、基板の他の部分にノイズが放散しないようにし、クロック信号がアナログ入力の近くを通らないようにします。デジタルとアナログ信号のクロスオーバーを防ぎます。基板の反対側のトレースは、互いに直角になるようにします。これによって、基板を通るフィードスルーの影響が減ります。マイクロストップ技術は格段に優れていますが、両面ボードでは対応できないときもあります。この方式では、基板のコンポーネント側は必ず接地面に置かれ、信号はトレースはハンダ側に接地されます。

高分解能のA/Dコンバータを使用する時には、優れたデカップリングが重要です。全アナログ電源は、0.1 μF セラミック・コンデンサと並列に配置した10 μF タンタル・コンデンサを使って、GNDからデカップリングします。これらのデカップリング部品から最高性能を引き出すには、できるだけデバイスの近く、理想的にはデバイスの上に配置します。全ロジック・チップは、0.1 μF ディスク・セラミック・コンデンサを使い、DGNDからデカップリングします。

AD7707の性能評価

AD7707の推奨レイアウトは、評価ボードの項で説明しています。評価ボード・パッケージには、アSEMBル/テスト済みの評価ボード、文書、PCのプリンタ・ポート経由でボードを制御するソフトウェア、PCで性能を分析するソフトウェアが含まれます。

AD7707に印加される信号のノイズ・レベルも性能に影響します。AD7707ソフトウェア評価パッケージでは、アナログ入力信号から独立して、AD7707の真の性能評価が可能です。この方式ではテスト・モードを使用し、AD7707への入力を内部で短絡し、アナログ・モジュレータのゼロ差動電圧が得られます。デバイス外部では、LOCOMとHICOM入力を、部品の許容コモン・モード範囲内の電圧に接続してください。この方法は、部品のキャリブレーション後に使用してください。

デジタル・インターフェース

先述の通り、AD7707のプログラマブルな機能は、内蔵レジスタのセットを使って制御します。データはシリアル・インターフェース経由でこれらのレジスタに書き込まれ、内部レジスタへの読み出しアクセスも、このインターフェース経由で実現します。AD7707との通信は、すべて通信レジスタへの書き込み動作から始まる必要があります。パワー・オンまたはRESET後、デバイスは、通信レジスタへの書き込みを待ちます。このレジスタに書き込まれたデータによって、次の動作が読み出し/書き込みのどちらかが決定し、どのレジスタに読み出し/書き込み動作が発生するかも決定します。従って、他のレジスタへの書き込み動作は、通信レジスタへの書き込み動作から始まり、その後に選んだレジスタへの書き込みが続きます。レジスタからの読み出し動作(出力データ・レジスタを含む)は、通信レジスタへの書き込み動作で始まり、その後に選んだレジスタからの読み出し動作が起こります。

AD7707のシリアル・インターフェースは、5つの信号、 \overline{CS} 、SCLK、DIN、DOUT、 \overline{DRDY} で構成されます。DINラインはデータを内部レジスタに転送するのに用い、DOUTラインは内部レジスタからデータにアクセスするのに用います。SCLKはシリアル・クロック入力で、すべてのデータ転送(DIN、DOUT)は、SCLK信号に対して発生します。 \overline{DRDY} ラインは、いつデータ・レジスタからデータを読み出せるかを示す、ステータス信号として用いられます。 \overline{DRDY} は、出力レジスタに新たなデータ・ワードが加わるとローになります。データ・レジスタからの読み出し動作が完了するとハイにリセットされます。出力レジスタのアップデート前にもハイになり、レジスタのアップデート中にデータ読み出しを試みないよう、読み出し不可の期間を示します。 \overline{CS} はデバイス選択です。数多くの部品がシリアル・バスに接続されているシステムで、AD7707をデコードするのに用いられます。

AD7707

図18、19は、 \overline{CS} をデコードに用いて、AD7707とインターフェースするタイミング図を示します。図17はAD7707の出力シフトレジスタからの読み出し動作で、図18は入力シフトレジスタへの書き込み動作を表します。最初の読み出し動作後にDRDYラインがハイに戻っても、出力レジスタから同じデータを2回読むことが可能です。ただし、次の出力アップデートが発生する前に読み出しを完了するように注意してください。

AD7707のシリアルインターフェースは、 \overline{CS} 入力をローにして3線式モードで動作できます。この場合、SCLK、DIN、DOUTラインがAD7707との通信に使われ、DRDYの状態は、通信レジスタのMSBに問い合わせ得られます。この方式は、マイクロコントローラとのインターフェースに適しています。デコード信号として \overline{CS} が必要な場合、ポートビットからの生成も可能です。マイクロコントローラとのインターフェースでは、データ転送中、SCLKをハイにアイドルングすることを推奨します。

AD7707は、 \overline{CS} をフレーム同期信号として用いた動作も可能です。この方式は、DSPとのインターフェースに適しています。この場合、第1ビット(MSB)は、 \overline{CS} によって効果的にクロックアウトされます。 \overline{CS} は、通常DSPのDIN入力の立ち下がりエッジ後に発生するからです。タイミング数に従う場合、SCLKはデータ転送中も、動作を継続できます。

シリアルインターフェースは、AD7707のRESET入力を実行して、リセットできます。また、DIN入力に1のビット列を書き込んでリセットできます。DINラインに、最低32シリアルクロックサイクル分のロジック1を書き込むと、シリアルインターフェースがリセットされます。これによって、3線式システムの場合、ソフトウェアエラーやシステムグリッチによってインターフェースが失われても、既知の状態にリセットできます。これは、AD7707が通信レジスタへの書き込み動作を待っている状態に、インターフェースを戻します。この動作自体はレジスタ

の内容をリセットしませんが、インターフェースが失われて、レジスタに書き込まれた情報は未知のものなので、全レジスタを再びセットアップする方が良いでしょう。

マイクロプロセッサまたはマイクロコントローラのシリアルインターフェースによっては、単独のシリアルデータラインを備えたものもあります。この場合、AD7707のDATAOUTとDATAINラインを一緒につなぎ、プロセッサのシングルデータラインに接続することも可能です。このシングルデータラインでは、10kプルアップ抵抗を使ってください。この場合、インターフェースが失われると、読み出し/書き込み動作が同じラインを共有するので、既知状態にリセットする方法は、前に述べたものと少し異なります。24シリアルクロックの読み出し動作の後に書き込み動作が必要で、最低32シリアルクロックサイクル分、ロジック1を書き込み、シリアルインターフェースが確実に既知状態に戻るようになります。

AD7707の接続

AD7707は、シリアルインターフェース経由でアクセスできる、6つのレジスタを内蔵しています。すべてのレジスタとの通信は、まず通信レジスタへの書き込みから開始します。図20は、AD7707のパワーアップまたはリセット後に、全レジスタを設定するためのシーケンスのフローチャートです。また、図には2つの読み出しオプションも示されています。第1は、DRDYピンをポーリングして、データレジスタのアップデート発生のを判定し、第2は、通信レジスタのDRDYビットに問い合わせ、データレジスタにアップデートが発生したかどうかを知るものです。また、図には特定の動作条件セットでレジスタに書き込むべきワードの列も含まれます。この場合、ゲイン1、フィルタ同期なし、バイポーラモード、バッファなし、クロック4.9512MHz、出力レート50Hzという条件下です。

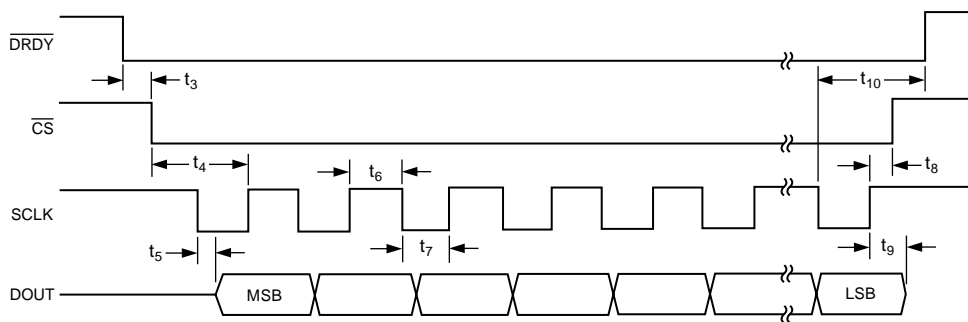


図18 読み出しサイクル・タイミング図

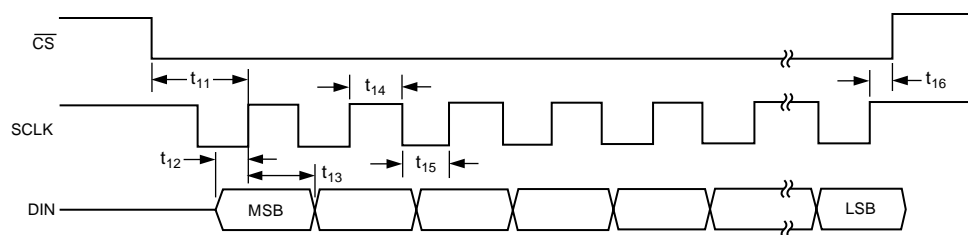


図19 書き込みサイクル・タイミング図

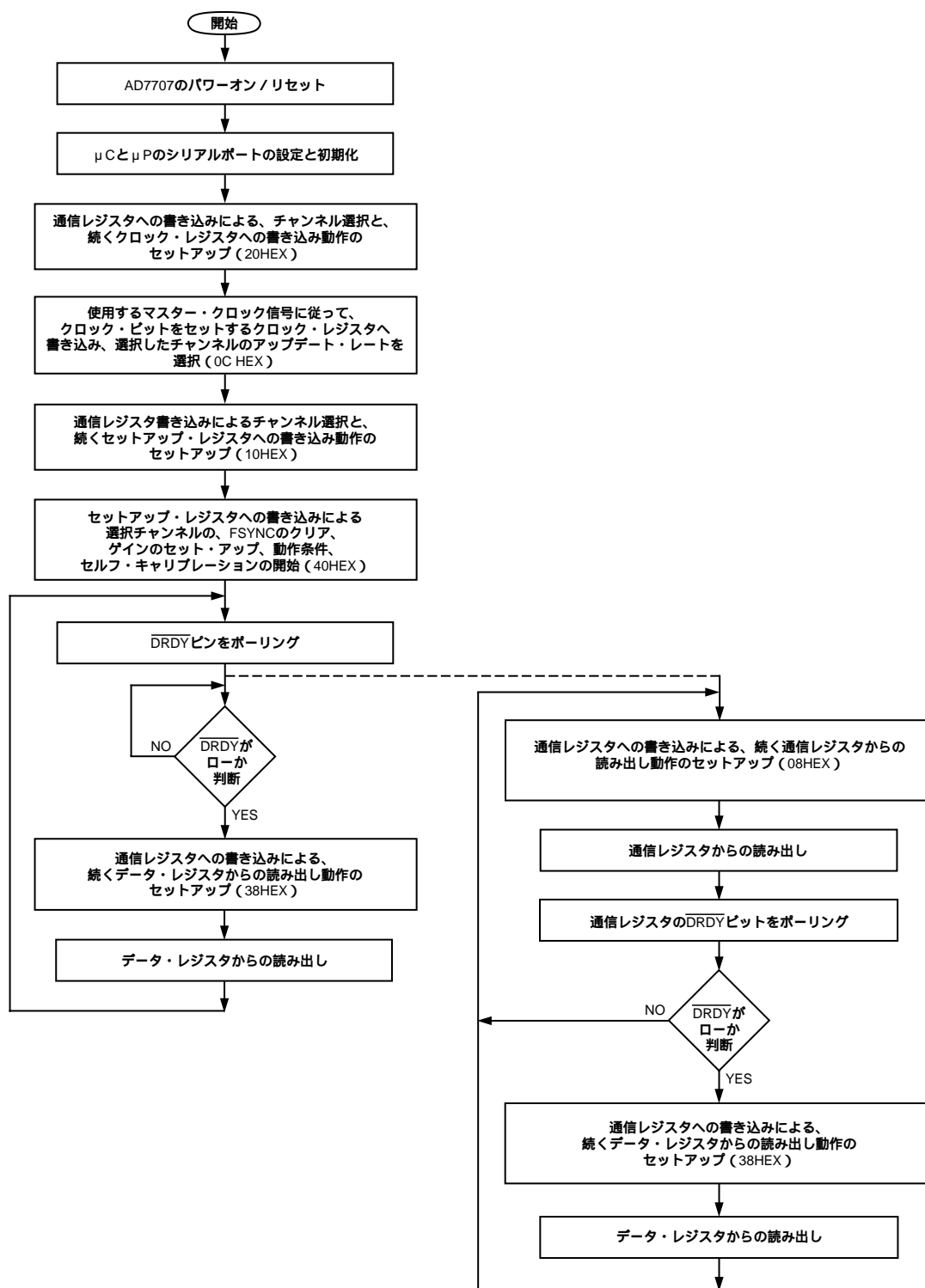


図20 AD7707のセットアップと読み出しのフローチャート

AD7707

マイクロコンピュータ/マイクロプロセッサとのインターフェース
AD7707は柔軟なシリアル・インターフェースを備えており、あらゆるマイクロコンピュータおよびマイクロプロセッサと、容易にインターフェースできます。図20のフローチャートには、AD7707がマイクロコントローラ/マイクロプロセッサとインターフェースする場合の手順が略述されています。図21、22、23に、一般的なインターフェースの例を表します。

AD7707のシリアル・インターフェースは、3線だけで動作でき、SPIインターフェース・プロトコル互換です。3線式動作のAD7707は、インターフェース・ラインの数を最小にしてシステムに必要な光アイソレータの数を最小に抑えたい、絶縁システムに理想的です。シリアル・クロック入力、フォト・カプラからの遅いエッジを受け入れる、シュミット・トリガー入力です。AD7707の他のデジタル入力の立ち上がり/立ち下がり時間は、1 μ s以内です。

AD7707のレジスタの大半は8ビット・レジスタなので、マイクロコントローラの8ビット・シリアルポートとのインターフェースが容易です。AD7707のデータ・レジスタは16ビットで、オフセット及びゲイン・レジスタは24ビット・レジスタですが、これらのレジスタへのデータ転送は、マイクロコントローラのシリアルポートへの、8ビット転送を複数組み合わせることで可能です。DSPプロセッサとマイクロプロセッサは、一般にシリアル・データ動作で16ビットのデータを転送します。ADSP-2105など一部のプロセッサでは、シリアル転送でのサイクルの量をプログラムできる性能を備えています。これにより、各転送におけるビット数を、AD7707の必要レジスタのレジスタ長に合うよう調節できます。

AD7707のレジスタの一部は長さがわずか8ビットですが、これらレジスタの内2つとの通信は、必要なら連続書き込み動作で1回の16ビット転送として処理できます。例えば、セットアップ・レジスタをアップデートする場合、プロセッサは、まず通信レジスタに書き込み(次の動作がセットアップ・レジスタであるという趣旨)、その後セットアップ・レジスタに8ビットを書き込む必要があります。必要なら、すべて1回の16ビット転送で処理できます。通信レジスタへの書き込み動作の8シリアル・クロックが完了すると、直ちにセットアップ・レジスタへの書き込み動作の準備がなされるからです。

AD7707から68HC11へのインターフェース

図21は、AD7707とマイクロコントローラ68HC11間のインターフェースを示します。図は、AD7707のCSをローにハード設定した、最小(3線式)インターフェースを表します。この方式では、通信レジスタのDRDYビットを監視し、データ・レジスタをアップデートする時期を判定します。インターフェース・ラインの数を4つに増やした別方式では、AD7707からのDRDY出力ラインを監視します。DRDYラインの監視には、2つの方法があります。1つは、DRDYを68HC11のポート・ビットの1つ(PC0など)に接続し、入力として設定します。次にこのビットをポーリングし、DRDYの状態を判定します。2つ目は、割り込みドライブ・システムを使用し、この場合、DRDY出力を68HC11のIRQ入力に接続します。AD7707のCS入力の制御を必要とするインターフェースでは、68HC11のポートビットの1つ(PC1など)を出力として設定し、CS入力のドライブに用います。

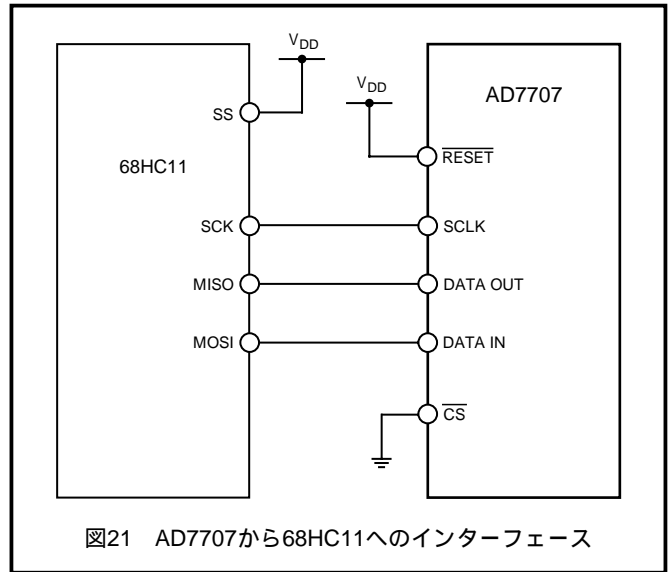


図21 AD7707から68HC11へのインターフェース

68HC11は、CPOLビットをロジック1、CPHAビットをロジック1に設定し、マスター・モードに設定できます。68HC11をこのように設定すると、SCLKラインは、データ転送の間、ハイにアイドルリングします。AD7707は、全二重動作ができません。AD7707を書き込み動作に設定すると、SCLK入力がアクティブでも、DATAOUTにはデータが現れません。同様に、AD7707を読み出し動作に設定していると、SCLKがアクティブでも、AD7707のDATAINラインのデータは無視されます。

68HC11とAD7707間のインターフェースのコードを表XVに示します。この例では、AD7707のDRDY出力ラインを、68HC11のPC0ポート・ビットに接続し、ポーリングして状態を判定します。

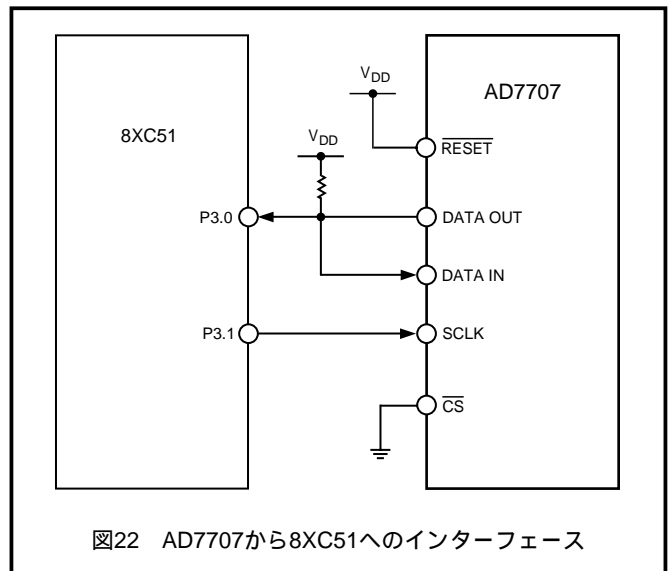


図22 AD7707から8XC51へのインターフェース

AD7707から8051へのインターフェース

AD7707と8XC51マイクロコントローラ間のインターフェース回路を、図22に示します。この図は、AD7707の \overline{CS} をローにハード設定した、最低数のインターフェース接続を表します。8XC51とのインターフェースの場合、相互接続の最低数は、わずか2つです。この方式では、通信レジスタの \overline{DRDY} ビットを監視して、データ・レジスタのアップデートの時期を判定します。インターフェース・ラインの数を3つに増やした別方式では、AD7707からの \overline{DRDY} 出力ラインを監視します。 \overline{DRDY} ラインの監視には、2つの方法があります。1つは、 \overline{DRDY} を8XC51のポート・ビットの1つ（P1.0など）に接続し、入力として設定します。次にこのビットをポーリングし、 \overline{DRDY} の状態を判定します。2つ目は、割り込みドライブ・システムを使用し、この場合、 \overline{DRDY} 出力を8XC51のINT1入力に接続します。AD7707の \overline{CS} 入力の制御を必要とするインターフェースでは、8XC51のポート・ビットの1つ（P1.1など）を出力として設定し、 \overline{CS} 入力のドライブに用います。8XC51は、モード0のシリアル・インターフェース・モードに設定します。8XC51のシリアル・インターフェースは、1本のデータ・ラインを内蔵しています。従って、AD7707のDATAOUTとDATAINピンは、一緒に10kプルアップ抵抗と接続する必要があります。8XC51のシリアル・クロックは、データ転送の間、ハイにアイドリングします。8XC51は、書き込み動作でまずLSBを出力しますが、AD7707は、送信するデータを出力シリアル・レジスタに書き込む前に再配列するために、まずMSBを予測します。同様に、AD7707は読み出し動作中にまずMSBを出力しますが、8XC51はまずLSBを予測します。このため、シリアル・バッファに読み込まれるデータは、AD7707の正しいデータ・ワードが累算器に入力できるまでに、再配列する必要があります。

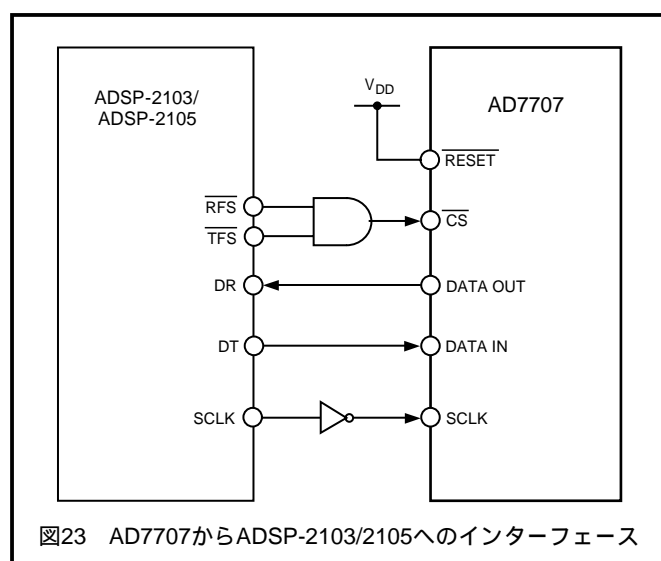


図23 AD7707からADSP-2103/2105へのインターフェース

AD7707からADSP-2103/2105へのインターフェース

図23は、AD7707と、DSPプロセッサADSP-2103/2105間のインターフェースを示します。図のインターフェースでは、通信レジスタの \overline{DRDY} ビットをもう1度監視して、データ・アップデートの時期を判定します。別の方式として、割り込みドライブ・システムを使用し、この場合、 \overline{DRDY} 入力をADSP-2103/2105のIRQ2入力に接続します。別のフレーム・モードでは、ADSP-2103/2105のシリアル・インターフェースをセットアップします。ADSP-2103/2105のRFSとTFSピンをアクティブ・ロー出力として設定し、ADSP-2103/2105シリアル・クロック・ラインとSCLKも出力に設定します。ADSP-2103/2105のRFSまたはTFS出力がアクティブの時、AD7707の \overline{CS} はアクティブです。ADSP-2103/2105のシリアル・クロック速度は、AD7707の正確な動作のため3MHzに制限してください。

AD7707をセットアップするコード

表XVIIIは、マイクロコントローラ68HC11とAD7707をインターフェースする、Cコードの読み出し/書き込みルーティンを表しています。サンプル・プログラムは、AD7707の各種レジスタをセットアップし、68HC11に1000のサンプルを読み出します。AD7707のセットアップ条件は、図20のフローチャートで略述したものと全く同じです。ここに掲げるコード例では、 \overline{DRDY} 出力をポーリングし、データ・レジスタに新たな有効ワードがあるかどうかを、判定します。このプログラムのイベントのシーケンスは、以下の通りです。

1. 通信レジスタへの書き込み。チャンネル1をアクティブ・チャンネルに選択し、続くクロック・レジスタへの書き込み動作を設定。
2. 外部クロックを、内部で2つに分割するCLKDIVビットを設定する、クロック・レジスタへの書き込み。この場合、外部クリスタルが4.9512MHzと前提しています。アップデート・レートは50Hzに選択する。
3. 通信レジスタへの書き込み。チャンネル1をアクティブ・チャンネルに選択し、続くセットアップ・レジスタへの書き込み動作を設定。
4. セットアップ・レジスタへの書き込み。ゲイン=1、バイポーラ・モード、非バッファを設定し、フィルタ同期をクリアし、セルフ・キャリブレーションを開始する。
5. \overline{DRDY} 出力をポーリングする。
6. データ・レジスタからのデータ読み出し。
7. 選択チャンネルから指定した数のサンプルを採取するまで、ステップ5と6をループする。

AD7707

表XVIII. AD7707と68HC11をインターフェースするCコード

```
/* This program has read and write routines for the 68HC11 to interface to the AD7707 and the sample program sets the various registers and then reads 1000 samples from one channel. */
#include <math.h>
#include <io6811.h>
#define NUM_SAMPLES 1000 /* change the number of data samples */
#define MAX_REG_LENGTH 2 /* this says that the max length of a register is 2 bytes */
Writetoreg (int);
Read (int,char);
char *datapointer = store;

char store[NUM_SAMPLES*MAX_REG_LENGTH + 30];
void main ()
{
    /* the only pin that is programmed here from the 68HC11 is the /CS and this is why the PC2 bit of PORTC is made as an output */
    char a;
    DDRC = 0x04; /* PC2 is an output the rest of the port bits are inputs */
    PORTC |= 0x04; /* make the / CS line high */
    Writetoreg (0x20); /* Active Channel is AIN1/LOCOM, next operation as write to the clock register */
    Writetoreg (0x18); /* master clock enabled, 4.9512MHz Clock, set output rate to 50Hz*/
    Writetoreg (0x10); /* Active Channel is AIN1/LOCOM, next operation as write to the setup register */
    Writetoreg (0x40); /* gain = 1, bipolar mode, buffer off, clear FSYNC and perform a Self Calibration*/
    while (PORTC & 0x10); /* wait for / DRDY to go low */
    for (a=0;a<NUM_SAMPLES;a++)
    {
        Writetoreg (0x38); /*set the next operation for 16 bit read from the data register */
        Read (NUM_SAMPLES,2);
    }
}
Writetoreg (int byteword);
{
    int q;
    SPCR = 0x3f;
    SPCR = 0x7f; /* this sets the WiredOR mode (DWOM=1), Master mode (MSTR=1), SCK idles high (CPOL=1), /SS can be low always (CPHA=1), lowest clock speed (slowest speed which is master clock /32 */
    DDRD = 0x18; /* SCK, MOSI outputs */
    q = SPSR;
    q = SPDR; /* the read of the status register and of the data register is needed to clear the interrupt which tells the user that the data transfer is complete */
    PORTC &= 0xfb; /* / CS is low */
    SPDR = byteword; /* put the byte into data register */
    while (! (SPSR & 0x80)); /* wait for / DRDY to go low */
    PORTC |= 0x4; /* / CS high */
}
Read (int amount, int reglength)
{
    int q;
    SPCR = 0x3f;
    SPCR = 0x7f; /* clear the interrupt */
    DDRD = 0x10; /* MOSI output, MISO input, SCK output */
    while (PORTC & 0x10); /* wait for / DRDY to go low */
    PORTC & 0xfb; /* / CS is low */
    for (b=0;b<reglength;b++)
    {
        SPDR = 0;
        while (! (SPSR & 0x80)); /* wait until port ready before reading */
        *datapointer++=SPDR; /* read SPDR into store array via datapointer */
    }
}
PORTC|=4; /* / CS is high */
}
```


アプリケーション

AD7707は、低コストで高分解能の、低レベル入力2チャンネルと、高レベル入力1チャンネルのA/D変換機能を提供します。A/D変換機能はシグマ・デルタ・アーキテクチャを採用しているため、ノイズの多い環境での耐性が強く、工業やプロセス・コントロールに理想的です。また、プログラマブル・ゲイン・アンプ、デジタル・フィルタ、キャリブレーションのオプションも備えています。従って、高品質のコンデンサICの追加が不要で、従来のA/DコンバータICよりも遙かに優れたシステム・レベル機能を提供します。さらに、AD7707はA/DコンバータICより優れたノイズ性能を備えているため、システムに使用すると、遙かに高レベルの分解能を実現できます。

内部PGAによって、AD7707は、フル・スケール10mVという低レベルのアナログ入力電圧範囲を $V_{REF} = +1.25V$ で処理できます。低レベル・チャンネルでの疑似差動入力性能によって、非バッファ・モードでの動作時に、このアナログ入力範囲でAGND - 100mVと $AV_{DD} + 30mV$ の間の任意の数値で絶対的な値を得られます。このため、トランスデューサを直接AD7707の入力に接続できます。

さらに、AD7707の3線式デジタル・インターフェースにより、データ・アキュイジションのフロントエンドをわずか3線で絶縁できます。AD7707は、単電源3V/5Vで動作でき、低電力動作なので、絶縁アプリケーションにおいて、絶縁バリアを横切る電力がわずかで済みます。

データ・アキュイジション

図24は、低レベル入力チャンネルを用いて熱電対からの信号をデジタル化し、高レベル入力チャンネルが振幅 $\pm 10V$ までのプロセス・コントロール信号を変換する、データ・ア

キュイジション・システムを示します。このアプリケーションは、システムのマイクロコントローラが制御する外部マルチプレクサから提供される大量の入力信号を、高レベル入力チャンネルを用いて変換するのに用いられているのを示しています。外部マルチプレクサでのチャンネル切り換えは、AIN3入力にステップ変更を行うことと同等です。新しいアナログ入力に対応する正しい出力コードが出力に現れるまで、3、4回のアップデートを要します。このため、外部マルチプレクサのチャンネルを切り換える時、チャンネル変更後から最初の3回の出力は無視します。またはセットアップ・レジスタのFSYNCビットを用いてデジタル・フィルタをリセットし、出力レジスタに有効な結果が現れるまで、 \overline{DRDY} をハイにセットしておくようにします。

スマートバルブ/アクチュエータ制御

AD7707の低電力、単電源、高電圧入力性能は、スマートバルブ/アクチュエータ制御回路にも好適です。AD7707は、制御バルブからの信号を監視します。コントローラとAD7707は、クローズド・ループ回路を形成します。図25は、AD7707を使った、スマート・アクチュエータまたは制御回路のブロック図です。AD7707は、出力 $\pm 10V$ の高品質サーボ・ポットを介して、バルブの位置を監視します。

AD7707の同様のアプリケーションとして、スマート送信器の分野があります。ただし、スマート送信器全体を4~20mAループで動作させてください。

ループの公差は、トランスミッタに電力を送るのに必要な電流の量がわずか3.5mAであることによります。AD7707の消費電力はわずか280 μA で、最低3mAを残りのトランスミッタのために残します。図26は、AD7707を使用したスマート送信器を表します。

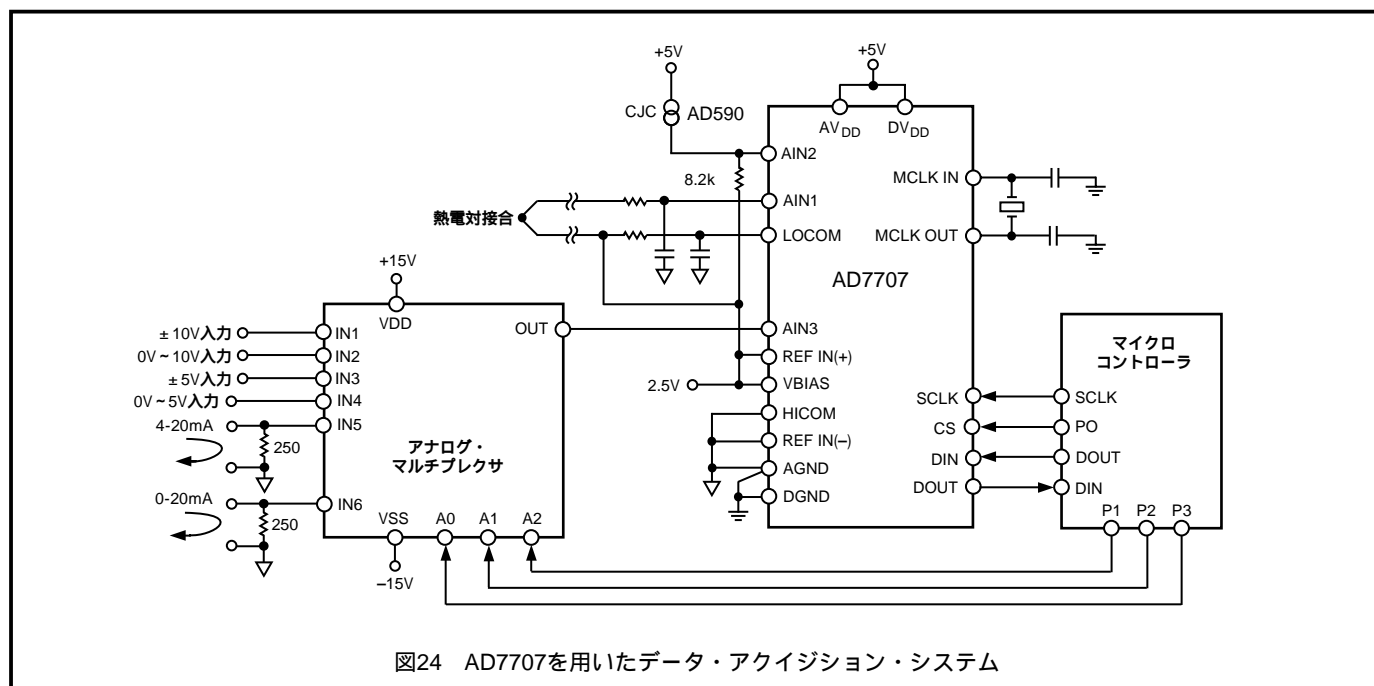


図24 AD7707を用いたデータ・アキュイジション・システム

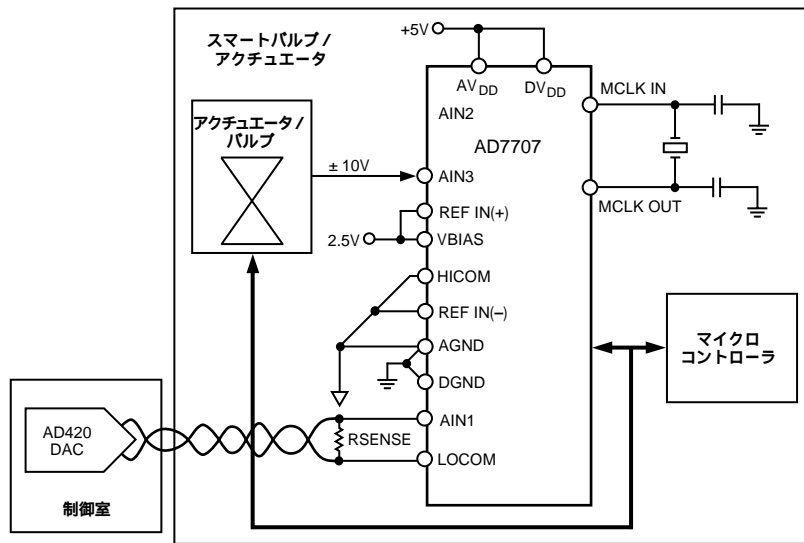


図25 AD7707を用いたスマートバルブ/アクチュエータ制御

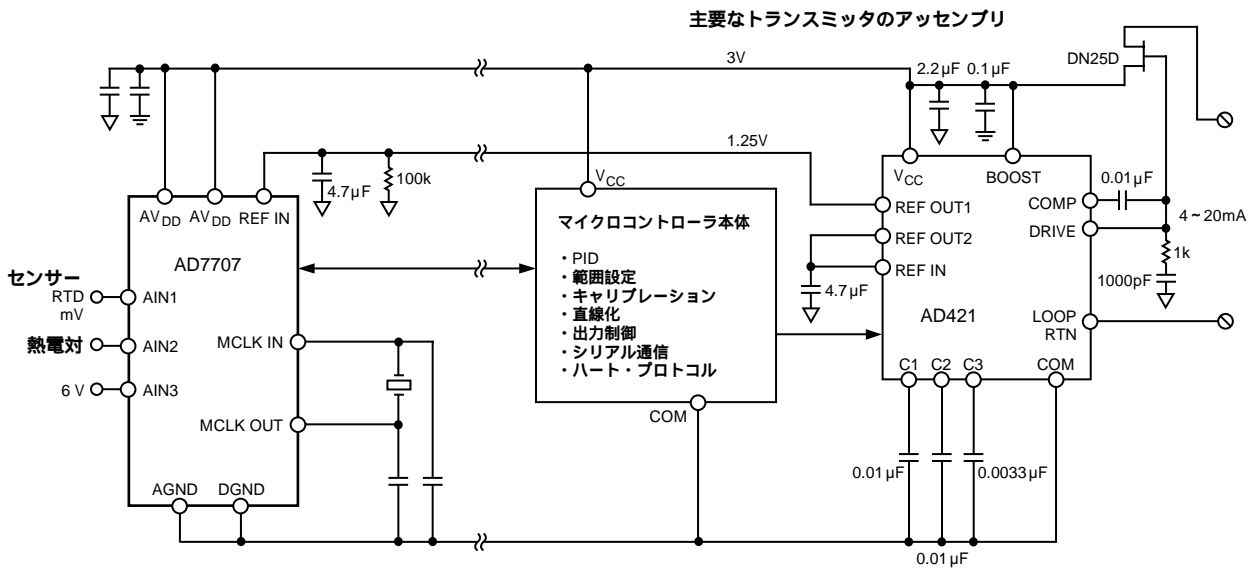
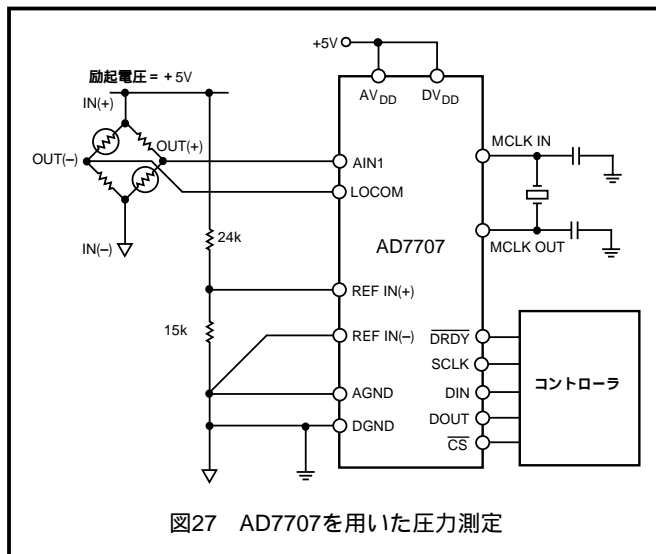


図26 AD7707を用いたスマート送信器

圧力測定

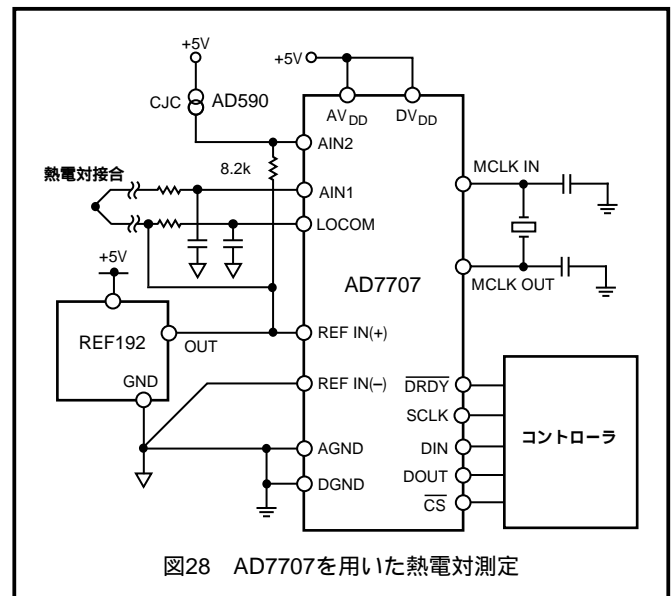
AD7707の他の代表的アプリケーションとして、温度と圧力の測定があります。図27は、AD7707を用いたSensymの圧力トランスデューサBP01です。圧力トランスデューサは、ブリッジ・ネットワークに配置し、OUT (+) とOUT (-) 端子間の差動出力電圧を与えます。トランスデューサに定格フルスケール圧力（この場合300mmHg）を入力すると、差動出力電圧は、入力電圧の3mV/Vになります（IN (+) とIN (-) 端子間の電圧）。励起電圧が5Vとすると、トランスデューサからのフルスケール出力範囲は15mVです。この種類の低信号測定アプリケーションでは、低レベル入力チャンネルが理想的です。ブリッジの励起電圧は、AD7707のリファレンス電圧の生成にも用いられます。このため、励起電圧が変化しても、システムに誤差が持ち込まれません。図27のように抵抗値を24k と15k にすると、励起電圧が5Vのとき、AD7707のリファレンス電圧は1.92Vになります。

ゲインを128に設定して使用した場合、AD7707のフルスケール入カスパンは15mVとなり、これはトランスデューサからの出力スパンに対応します。



熱電対測定

AD7707は、温度測定アプリケーション分野にも使用できます。図28は、熱電対からAD7707への接続の概略図です。このアプリケーションではAD7707を非バッファ・モードで動作させ、フロントエンドに±100mVの信号を印加します。絶対温度に比例する出力電流を生成する温度トランスデューサAD590を用いて、コールド・コンジャンクション補償を実現させます。



AD7707

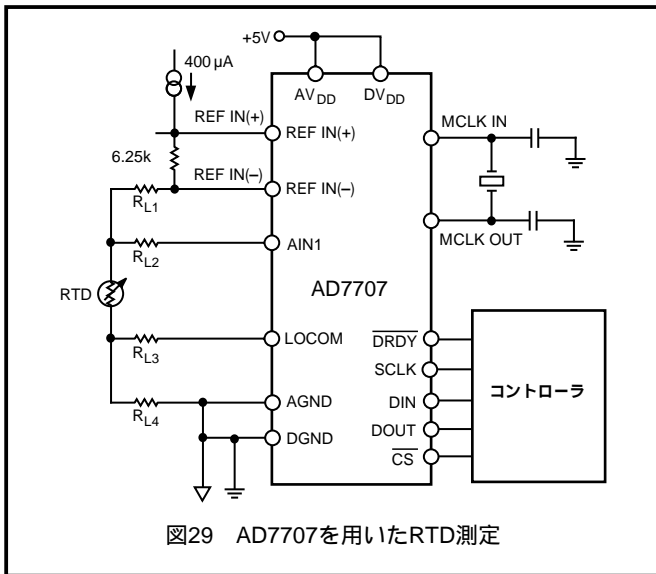
RTD測定

図29は、AD7707を使った温度測定アプリケーションの別な例です。この場合、トランスデューサとしてRTD（抵抗温度デバイス）PT100を使います。配置は、リード線4本を使ってRTDと接続します。リード線の抵抗 R_{L1} と R_{L4} の間で電圧降下が起きますが、これは単純にコモン・モード電圧をずらすだけです。AD7707への入力電流が極めて低いので、リード線抵抗 R_{L2} と R_{L1} の間には電圧降下は起きません。リード線抵抗のインピーダンス源は小さいので、一般にAD7707のバッファをオンにする必要はありません。

バッファが必要な場合、RTDのボトムエンドとAD7707のGNDの間に小さい抵抗を挿入して、適切なコモン・モード電圧を設定します。このアプリケーション例では、外部400 μ A電流ソースがPT100に励起電流を供給し、6.25k の抵抗を介して、AD7707にリファレンス電圧を供給します。入力電圧とリファレンス電圧は、ともに励起電流に比例して変化するので、励起電流の変化は回路に影響しません。ただし、6.25k 抵抗は、温度によるリファレンス電圧の誤差を防ぐために、温度係数の低いものを選ぶ必要があります。

チャート・レコーダ

高レベルと低レベル両方の入力チャンネルが使用できる分野として、チャート・レコーダ・アプリケーションがあります。円状のチャート・レコーダには、一般に2つの要件があります。第1の、熱電対、RTD、圧力センサーからの入力の測定は、AD7707の低レベル入力チャンネルを利用して可能です。第2の要件は、 ± 10 VまでのDC入力電圧範囲を測定できることです。AD7707は、外部の信号コンディショニング不要で高レベル信号入力が可能なので、この測定に理想的です。



各種高レベル入力範囲

高レベル入力チャンネルAIN3は、-11~+30Vの入力信号が可能です。これは、AIN3の信号をAD7707の可能な範囲にマッピングする、内蔵の薄膜抵抗を用いて実現します。入力構造は、シグマ・デルタ・コンバータが、AIN(+)とAIN(-)入りに同じインピーダンスを得るように、設計されています。AIN3入りの信号はHICOM入力を基準として、VBIAS信号はモジュレータ入力のコモン・モード電圧の調整に用いられます。通常の5V動作では、VBIASは通常2.5Vに接続され、HICOMはAGNDに接続します。この配置によって、モジュレータ入力に存在する電圧がバッファのコモン・モード範囲に入りよう保証されます。

AD7707の高レベル入力チャンネルを用いた場合の差動電圧AINは、図30の通り、AIN3(+)とAIN3(-)間の差であり、モジュレータの絶対コモン・モード範囲におさめる必要があります。

$$\text{AIN3}(+) = (\text{AIN3} + 6 \times \text{VBIAS} + \text{V}(\text{HICOM})) / 8$$

$$\text{AIN3}(-) = 0.75 \times \text{VBIAS} + 0.25\text{V}(\text{HICOM})$$

$$\text{AIN} = (\text{AIN3} - \text{V}(\text{HICOM})) / 8$$

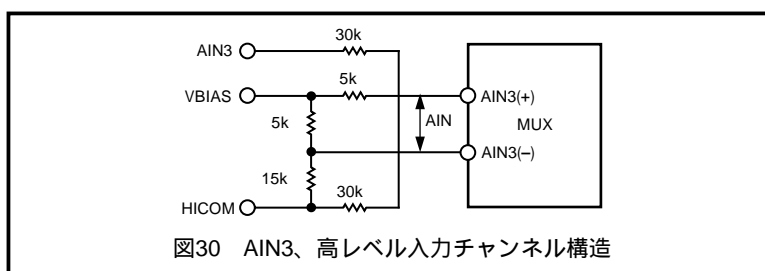


図30 AIN3、高レベル入力チャンネル構造

高レベル入力チャンネルの入力範囲を各種の入力範囲に合うように調整するには、VBIASとHICOM入力を用います。表XIXは、 $AV_{DD} = 5V$ 、 $REF(+) - REF(-) = 2.5V$ の動作での入力値を表します。

表XIX.

AIN3範囲	VBIAS	HICOM	ゲイン	バッファ/非バッファ	AIN範囲
±10V	2.5V	AGND	2	バッファ/非バッファ	$1.875 \pm 1.25V$
±5V	2.5V	AGND	4	バッファ/非バッファ	$1.875 \pm 0.625V$
0~10V	2.5V	AGND	2	バッファ/非バッファ	$1.875 \sim 3.125V$
0~20V	AGND	AGND	1	非バッファ	0~2.5V
	2.5V	AGND	1	非バッファ	$1.875 \sim 4.375V$
-5~+10V	2.5V	2.5V	2	バッファ/非バッファ	$2.5 \pm 0.9375V$

表XXは、 $AV_{DD} = 3V$ 、 $REF(+) - REF(-) = 1.25V$ 動作に該当します。

表XX.

AIN3範囲	VBIAS	HICOM	ゲイン	バッファ/非バッファ	AIN範囲
±5V	1.25V	AGND	2	非バッファ	$0.9375 \pm 0.625V$
0~10V	1.25V	AGND	1	非バッファ	$0.9375 \sim 2.1875V$
-5~+10V	1.25V	2.5V	1	非バッファ	$1.5625 \pm 0.9375V$
-7.5~+10V	1.25V	0	1	非バッファ	0~2.1875V
±10V	1.666V	AGND	1	非バッファ	$1.25 \pm 1.25V$

代表的な入力電圧

高レベル入力チャンネルを用いた場合、消費電力は、AIN3、VBIAS、HICOM入力を流れる電流で決定されます。これらの入力をドライブする外部ソースが電源電流をシンクする必要があるかどうかを、これらの入力に印加される電圧レベルが判定します。下の表は、入力範囲±10Vでの電流を示します。著しいゲイン誤差が入り込まないように、これらの入力は、すべてのアプリケーションで、低インピーダンス源からドライブします。

表XXI.

AIN3	VBIAS	HICOM	I(AIN3)	I(VBIAS)	I(HICOM)
-10V	2.5V	AGND	-354 μA	500 μA	-146 μA
0V	2.5V	AGND	-62 μA	250 μA	-188 μA
+10V	2.5V	AGND	229 μA	0	-229 μA

AD7707

付属書1 高レベル入力チャンネルAIN3の出力ノイズ (5V動作)

規定の高レベル入力電圧範囲 $\pm 10V$ 、 $\pm 5V$ 、 $0 \sim +10V$ 、 $0 \sim +5V$ では、PGAで得られる8つの設定のうち、2種類のゲイン設定 (ゲイン2と4) のみを利用します。この表は、全ゲイン設定範囲にわたる、実際の高レベル・チャンネル性能を表します。表XXIIは、クロック・レジスタFS0、FS1、FS2で選択したノッチと-3dB周波数における、AD7707の出力rmsノイズと、ピークtoピーク分解能を表します。 $V_{REF} = +2.5V$ 、 $HBIAS = 2.5V$ 、 $HICOM = AGND$ 、 $AV_{DD} = 5V$ での、全入力範囲の数値です。これらの数値はtyp値で、バッファ・モード動作のアナログ入力電圧0Vで生成されたものです。一方、表XXIIIは、バッファ・モード動作の出力rmsノイズとピークtoピーク分解能を表します。これらの数値は、コード・フリッカーの生じない分解能を表していることに注意してください。数値は、rmsノイズではなく、ピークtoピーク・ノイズに基づいて、計算されています。出力ノイズは、2つのノイズ源から発します。第1は、モジュレータの実現に使用する半導体デバイスの電気ノイズ (デバイス・ノイズ) です。第2に、アナログ入力が入力領域に変換される時の定量化ノイズが加わります。デバイス・ノイズは低レベルで、周波数と無関係です。定量化ノイズはさらに低いレベルで始まりますが、周波数の増大に伴って急激に上昇して、主要なノイズ源となります。表の数値は、バイポーラ入力範囲についてです。ユニポーラ範囲については、rmsノイズ数値はバイポーラ範囲と同じになりますが、ピークtoピーク分解能は信号範囲の半分に基づくので、事実上、1ビットの分解能を失うこととなります。

表XXII. AIN3の出力RMSノイズ/ピークtoピーク分解能 対 ゲインと出力アップデート・レート (+5V)
(非バッファ・モード)

フィルタ第1 ノッチとO/P データ速度	- 3dB 周波数	μV 単位の出力RMSノイズtyp値 (ピークtoピーク分解能)							
		ゲイン 1	ゲイン 2	ゲイン 4	ゲイン 8	ゲイン 16	ゲイン 32	ゲイン 64	ゲイン 128
MCLK IN = 2.4576 MHz									
10Hz	2.62Hz	10.90 (16)	5.10 (16)	3.52 (16)	2.62 (16)	2.34 (16)	2.34 (16)	2.34 (15)	2.30 (14)
50Hz	13.1Hz	31.34 (16)	15.82 (16)	9.77 (16)	6.00 (16)	5.12 (16)	5.36 (15)	4.84 (14)	4.75 (13)
60Hz	15.72Hz	36.74 (16)	20.36 (16)	12.29 (16)	7.33 (16)	5.84 (16)	5.65 (15)	5.1 (14)	5.3 (13)
250Hz	65.5Hz	690 (13)	430 (13)	212 (13)	100 (13)	42 (13)	30 (13)	18.5 (12)	13.8 (12)
500Hz	131Hz	4679 (10)	2350 (10)	1287 (10)	564 (10)	294 (10)	137 (10)	73 (10)	53 (10)

表XXIII. AIN3の出力RMSノイズ/ピークtoピーク分解能 対 ゲインと出力アップデート・レート (+5V)
(バッファ・モード)

フィルタ第1 ノッチとO/P データ速度	- 3dB 周波数	μV 単位の出力RMSノイズtyp値 (ピークtoピーク分解能)							
		ゲイン 1	ゲイン 2	ゲイン 4	ゲイン 8	ゲイン 16	ゲイン 32	ゲイン 64	ゲイン 128
MCLK IN = 2.4576 MHz									
10Hz	2.62Hz	14.28 (16)	7.4 (16)	5.2 (16)	3.35 (16)	3.35 (16)	3.34 (15.5)	3.34 (15)	2.34 (14.5)
50Hz	13.1Hz	37.4 (16)	22.2 (16)	14.3 (16)	8.7 (16)	7.33 (15.5)	7.7 (14.5)	7.6 (13.5)	7.5 (12.5)
60Hz	15.72Hz	48.8 (16)	26.6 (16)	15.88 (16)	10.17 (16)	8.78 (15.5)	8.1 (14.5)	8.1 (13.5)	8.1 (12.5)
250Hz	65.5Hz	778 (12.5)	475 (13)	187 (13)	98 (13)	60 (12.5)	31.7 (12.5)	23 (12)	18.3 (11.5)
500Hz	131Hz	4716 (10.5)	2423 (10.5)	1097 (10.5)	551 (10.5)	288 (10.5)	150 (10)	81 (10)	49 (10)

高レベル入力チャンネルAIN3の出力ノイズ (3V動作)

表XXIVは、クロック・レジスタFS0、FS1、FS2で選択したノッチと-3dB周波数における、AD7707の出力rmsノイズとピークtoピーク分解能を表します。 $V_{REF} = +1.25V$ 、 $HBIAS = 1.25V$ 、 $HICOM = AGND$ 、 $AV_{DD} = 3V$ での、全入力範囲の数値です。これらの数値はtyp値で、非バッファ・モード動作のアナログ入力電圧0Vで生成されたものです。一方、表XXVは、上記と同じ条件でバッファ・モード動作時の、出力rmsノイズとピークtoピーク分解能を表します。これらの数値は、コード・フリッカーの生じない分解能を表していることに注意してください。数値は、rmsノイズではなく、ピークtoピークノイズに基づいて計算されています。出力ノイズは、2つのノイズ源から発します。第1は、モジュレータの実現に用いる半導体デバイスの電気ノイズ (デバイス・ノイズ) です。第2に、アナログ入力が入力領域に変換される時の定量化ノイズが加わります。デバイス・ノイズは低レベルで、周波数と無関係です。定量化ノイズはさらに低いレベルで始まりますが、周波数の増大に伴って急激に上昇して、主要なノイズ源となります。表の数値は、バイポーラ入力範囲についてです。ユニポーラ範囲については、rmsノイズ数値はバイポーラ範囲と同じになりますが、ピークtoピーク分解能は、信号範囲の半分に基づき、事実上、1ビットの分解能を失うこととなります。

表XXIV. AIN3の出力RMSノイズ/ピークtoピーク分解能 対 ゲインと出力アップデート・レート (+3V)
(非バッファ・モード)

フィルタ第1 ノッチとO/P データ速度	- 3dB 周波数	μV 単位の出力RMSノイズtyp値 (ピークtoピーク分解能)							
		ゲイン 1	ゲイン 2	ゲイン 4	ゲイン 8	ゲイン 16	ゲイン 32	ゲイン 64	ゲイン 128
MCLK IN = 2.4576MHz									
10Hz	2.62Hz	12.4 (16)	7.02 (16)	3.87 (16)	2.41 (16)	2.39 (16)	2.3 (15.5)	2.29 (14.5)	2.13 (13.5)
50Hz	13.1Hz	30.35 (16)	16.4 (16)	9.4 (16)	5.85 (16)	5.2 (15)	4.5 (14.5)	4.5 (13.5)	5.09 (12)
60Hz	15.72Hz	34.55 (16)	19.13 (16)	10.9 (16)	6 (16)	5.8 (15)	5.62 (14)	5.2 (13)	6.14 (12)
250Hz	65.5Hz	498 (13)	204 (13)	105 (13)	57.5 (13)	27.5 (13)	17.4 (12.5)	12.7 (12)	11.42 (11)
500Hz	131Hz	2266 (10.5)	1151 (10.5)	554 (10.5)	280 (10.5)	136 (10.5)	83 (10)	39 (10)	27.5 (9.5)

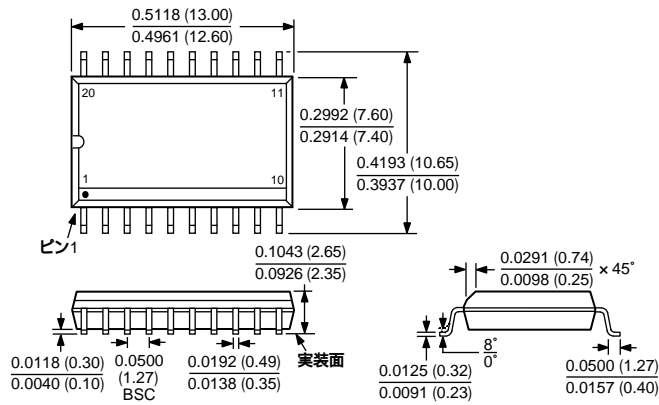
表XXV. AIN3の出力RMSノイズ/ピークtoピーク分解能 対 ゲインと出力アップデート・レート (+3V)
(バッファ・モード)

フィルタ第1 ノッチとO/P データ速度	- 3dB 周波数	μV 単位の出力RMSノイズtyp値 (ピークtoピーク分解能)							
		ゲイン 1	ゲイン 2	ゲイン 4	ゲイン 8	ゲイン 16	ゲイン 32	ゲイン 64	ゲイン 128
MCLK IN = 2.4576MHz									
10Hz	2.62Hz	14.84 (16)	8.39 (16)	5.56 (16)	3.45 (16)	3.3 (16)	3.2 (15)	3.2 (14)	3.3 (13)
50Hz	13.1Hz	36.1 (16)	18.8 (16)	11.5 (16)	7.5 (15.5)	7.4 (14.5)	7.43 (13.5)	6.8 (12.5)	7 (12)
60Hz	15.72Hz	38.8 (16)	21.55 (16)	13.39 (16)	8.5 (15.5)	8.36 (14.5)	8 (13.5)	8.2 (12.5)	7.7 (12)
250Hz	65.5Hz	420 (13)	194 (13)	97.6 (13)	54.5 (12.5)	30 (12.5)	22 (12)	18 (11.5)	16.7 (10.5)
500Hz	131Hz	2234 (10.5)	1231 (10.5)	534 (10.5)	275 (10.5)	145 (10.5)	71 (10.5)	48 (10)	31 (9.5)

外形寸法

サイズはインチと (mm) で示します。

20ピンSSOP (R-20)



20ピンTSSOP (RU-20)

