

この製品の和文データシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2014年6月27日現在、アナログ・デバイセズ株式会社で確認した誤りを
記したものです。

なお、英語のデータシートは訂正されております。

正誤表作成年月日：2014年6月27日

製品名：AD7699

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：

P.5

和文データシートの表3 tSDIN と tHDIN の条件で Falling Edge とありますが、正しくは Rising Edge
となります。

誤) DIN Valid Setup Time from SCK Falling Edge
 DIN Valid Hold Time from SCK Falling Edge

正) DIN Valid Setup Time from SCK Rising Edge
 DIN Valid Hold Time from SCK Rising Edge

P.27

和文データシートのオーダー・ガイドの注意書きの付き方とコントロールボードの型名が変更になり
ました。

注意書きについては、全ての Model に対し RoHS 対応であることの表記が変更。また、「このコン
トローラ・ボードを使うと、PC からの制御とモデル番号に EB サフィックスが付く全てのアナログ・
デバイセス評価ボードとの通信が可能です」と EB サフィックスになる点が変更箇所です。

コントロールボードの型名変更

古) EVAL-CONTROL BRD3Z

新) EVAL-CED1Z

特長

- ノーマス・コードの 16 ビット分解能
- 次の入力を選択可能な 8 チャンネル・マルチプレクサ
 - ユニポーラ・シングルエンド
 - 差動(GND 検出)
 - 疑似バイポーラ
- スループット: 500 kSPS
- INL: ± 0.5 LSB typ, ± 1.5 LSB max (FSR の ± 23 ppm)
- ダイナミック・レンジ: 93.3 dB
- SINAD: 20 kHz で 91.5 dB
- THD: 20 kHz で -97 dB
- アナログ入力範囲: $0\text{ V} \sim V_{\text{REF}}$ (V_{REF} は最大 VDD まで)
- 複数のリファレンス・タイプ
 - 内蔵 4.096 V
 - バッファ付き外付け(最大 4.096 V まで)
 - 外付け(最大 VDD まで)
- 温度センサーを内蔵
- チャンネル・シーケンサ、選択可能な 1 極フィルタ、ビジー・インジケータ
- パイプライン遅延なし(SAR アーキテクチャ)
- 1.8 ~ 5 V ロジック・インターフェースによる単電源 5 V 動作
- SPI、MICROWIRE、QSPI、DSP と互換のシリアル・インターフェース
- 消費電力
 - 500 kSPS で 26 mW
 - 100 SPS で 5.2 μ W
- スタンバイ電流: 50 nA
- 20 ピン 4 mm x 4 mm の LFCSP パッケージを採用

アプリケーション

- バッテリー駆動の装置
- 医用機器: ECG/EKG
- モバイル通信: GPS
- パーソナル・デジタル・アシスタント
- 電源ラインのモニタリング
- データ・アクイジション
- 地震データ・アクイジション・システム
- 計装機器
- プロセス・コントロール

機能ブロック図

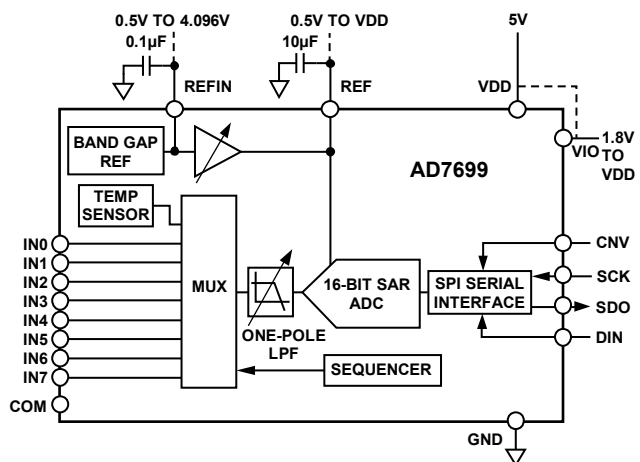


図 1.

表 1. マルチチャンネル 14/16 ビット PuISAR[®] ADC

Type	Channels	250 kSPS	500 kSPS	ADC Driver
14-Bit	8	AD7949		ADA4841-x
16-Bit	4	AD7682		ADA4841-x
16-Bit	8	AD7689	AD7699	ADA4841-x

概要

AD7699 は、電荷再配分逐次比較レジスタ(SAR)を採用した 8 チャンネル 16 ビット A/D コンバータ(ADC)で、5 V の単電源(VDD)で動作します。

AD7699 は、マルチチャンネルの低消費電力データ・アクイジション・システムで使用するすべてのコンポーネントを内蔵しています。内蔵コンポーネントとしては、ノー・ミッシング・コードの真の 16 ビット SAR ADC;入力をシングルエンド(グラウンド検出あり/なし)、差動、またはバイポーラとして構成する際に便利な 8 チャンネル低クロストーク・マルチプレクサ; 4.096 V の低ドリフト・リファレンス電圧とバッファ;温度センサー;選択可能な 1 極フィルタ;チャンネルを順次連続スキャンする際に便利なシーケンサなどがあります。

AD7699 では、シンプルなシリアル・ポート・インターフェース(SPI)を使って、設定レジスタへの書き込みと変換結果の受信を行います。SPI インターフェースでは別電源 VIO を使っています。この VIO はホストのロジック・レベルに設定されます。消費電力はスループットに比例します。

AD7699 は、小型の 20 ピン LFCSP パッケージを採用し、動作は $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ で規定されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	ドライバ・アンプの選択.....	18
アプリケーション.....	1	リファレンス電圧の出力/入力.....	18
機能ブロック図.....	1	電源.....	19
概要.....	1	リファレンス電圧からADCへの電源供給.....	19
改訂履歴.....	2	デジタル・インターフェース.....	20
仕様.....	3	変換中の読出し/書込み、高速ホスト.....	20
タイミング仕様.....	5	アクイジション中の読出し/書込み、任意速度のホスト.....	20
絶対最大定格.....	6	読出し/書込みスパンニング変換、任意速度のホスト.....	20
ESDの注意.....	6	設定レジスタ、CFG.....	20
ピン配置およびピン機能説明.....	7	全体タイミング、ビジー・インジケータなし.....	22
代表的な性能特性.....	8	読出し/書込みスパンニング変換、 ビジー・インジケータなし.....	23
用語.....	12	全体タイミング、ビジー・インジケータあり.....	24
動作原理.....	13	読出し/書込みスパンニング変換、ビジー・インジケータあり	25
概要.....	13	アプリケーション情報.....	26
コンバータの動作.....	13	レイアウト.....	26
伝達関数.....	14	AD7699の性能評価.....	26
代表的な接続図.....	15	外形寸法.....	27
アナログ入力.....	16	オーダー・ガイド.....	27

改訂履歴

10/08—Revision 0: Initial Version

仕様

特に指定がない限り、VDD = 4.5 V ~ 5.5 V、VREF = 4.096 ~ VDD、VIO = 1.8 V ~ VDD、すべての仕様は TMIN ~ TMAX。

表 2.

Parameter	Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		16			Bits
ANALOG INPUT					
Voltage Range	Unipolar mode	0		+VREF	V
	Bipolar mode	-VREF/2		+VREF/2	V
Absolute Input Voltage	Positive input, unipolar and bipolar modes	-0.1		VREF + 0.1	V
	Negative or COM input, unipolar mode	-0.1		+0.1	V
	Negative or COM input, bipolar mode	VREF/2 - 0.1	VREF/2	VREF/2 + 0.1	V
Analog Input CMRR	fIN = 250 kHz		68		dB
Leakage Current at 25°C Input Impedance ¹	Acquisition phase		1		nA
THROUGHPUT					
Conversion Rate					
Full Bandwidth ²		0		500	kSPS
¼ Bandwidth ²		0		125	kSPS
Transient Response	Full-scale step, full bandwidth			400	ns
	Full-scale step, ¼ bandwidth			1600	ns
ACCURACY					
No Missing Codes		16			Bits
Integral Linearity Error		-1.5	±0.5	+1.5	LSB ³
Differential Linearity Error		-1	±0.25	+1.5	LSB
Transition Noise	REF = VDD = 5 V		0.5		LSB
Gain Error ⁴	All modes	-10	±1	+10	LSB
Gain Error Match		-3	±1	+3	LSB
Gain Error Temperature Drift			±0.3		ppm/°C
Offset Error ⁴	All modes	-10	±1	+10	LSB
Offset Error Match		-3	±1	+3	LSB
Offset Error Temperature Drift			±0.3		ppm/°C
Power Supply Sensitivity	VDD = 5 V ± 5%		±1.5		LSB
AC Accuracy					
Dynamic Range			93.3		dB ⁵
Signal-to-Noise	fIN = 20 kHz, VREF = 5 V	92	92.5		dB
	fIN = 20 kHz, VREF = 4.096 V internal REF	89.5	91.5		dB
SINAD	fIN = 20 kHz, VREF = 5 V	90	91.5		dB
	fIN = 20 kHz, VREF = 5 V, -60 dB input		33.5		dB
	fIN = 20 kHz, VREF = 4.096 V internal REF	89	90.5		dB
Total Harmonic Distortion	fIN = 20 kHz		-97		dB
Spurious-Free Dynamic Range	fIN = 20 kHz		112		dB
Channel-to-Channel Crosstalk	fIN = 100 kHz on adjacent channel(s)		-125		dB
SAMPLING DYNAMICS					
-3 dB Input Bandwidth	Full bandwidth		14		MHz
	¼ bandwidth		3.6		MHz
Aperture Delay	VDD = 5 V		2.5		ns

Parameter	Conditions/Comments	Min	Typ	Max	Unit
INTERNAL REFERENCE					
REF Output Voltage	@ 25°C	4.086	4.096	4.106	V
REFIN Output Voltage ⁶	@ 25°C		2.3		V
REF Output Current			±300		μA
Temperature Drift			±10		ppm/°C
Line Regulation	VDD = 5 V ± 5%		±15		ppm/V
Long-Term Drift	1000 hours		50		ppm
Turn-On Settling Time	CREF = 10 μF		5		ms
EXTERNAL REFERENCE					
Voltage Range	REF input	0.5		VDD + 0.3	V
	REFIN input (buffered)	0.5		VDD - 0.2	V
Current Drain	500 kSPS, REF = 5 V		100		μA
TEMPERATURE SENSOR					
Output Voltage ⁷	@ 25°C		283		mV
Temperature Sensitivity			1		mV/°C
DIGITAL INPUTS					
Logic Levels					
V _{IL}		-0.3		+0.3 × VIO	V
V _{IH}		0.7 × VIO		VIO + 0.3	V
I _{IL}		-1		+1	μA
I _{IH}		-1		+1	μA
DIGITAL OUTPUTS					
Data Format ⁸					
Pipeline Delay ⁹					
V _{OL}	I _{SINK} = +500 μA			0.4	V
V _{OH}	I _{SOURCE} = -500 μA	VIO - 0.3			V
POWER SUPPLIES					
VDD	Specified performance	4.5		5.5	V
VIO	Specified performance	1.8		VDD + 0.3	V
Standby Current ^{10, 11}	VDD and VIO = 5 V, @ 25°C		50		nA
Power Dissipation	VDD = 5 V, 100 kSPS throughput		5.2		μW
	VDD = 5 V, 500 kSPS throughput		26	29	mW
	VDD = 5 V, 500 kSPS throughput with internal reference		28	32	mW
Energy per Conversion			52		nJ
TEMPERATURE RANGE ¹²					
Specified Performance	T _{MIN} to T _{MAX}	-40		+85	°C

¹ アナログ入力セクションを参照

² 帯域幅は、設定レジスタで設定されます。

³ LSBは最下位ビットを意味します。入力範囲が5Vの場合、1LSB = 76.3μV。

⁴ 用語のセクションを参照してください。これらの仕様にはすべての温度範囲の変動が含まれますが、リファレンス電圧の誤差成分は含まれません。

⁵ デシベル値で表すすべての仕様はフル・スケール入力FSRを基準とし、特に指定がない限り、フル・スケールより0.5dB低い入力信号を使ってテスト。

⁶ これは、内蔵バンド・ギャップからの出力です。

⁷ 出力電圧は内部電圧で、専用マルチプレクサ入力に現れます。

⁸ ユニポーラ・モード: 16ビットのストレート・バイナリ。

バイポーラ・モード: シリアル16ビット2の補数。

⁹ 変換結果は、変換完了後直ちに使用可能

¹⁰ すべてのデジタル入力を必要に応じてVIOまたはGNDに接続。

¹¹ アクイジション・フェーズ時。

¹² 拡張温度範囲については営業にご相談ください。

タイミング仕様

特に指定がない限り、 $V_{DD} = 4.5\text{ V} \sim 5.5\text{ V}$ 、 $V_{REF} = 4.096 \sim V_{DD}$ 、 $V_{IO} = 1.8\text{ V} \sim V_{DD}$ 、すべての仕様は $T_{MIN} \sim T_{MAX}$ 。

表 3.

Parameter ¹	Symbol	Min	Typ	Max	Unit
Conversion Time: CNV Rising Edge to Data Available	t_{CONV}			1.6	μs
Acquisition Time	t_{ACQ}	400			ns
Time Between Conversions	t_{CYC}	2			μs
CNV Pulse Width	t_{CNVH}	10			ns
Data Write/Read During Conversion	t_{DATA}			1.2	μs
SCK Period	t_{SCK}	$t_{DSDO} + 2$			ns
SCK Low Time	t_{SCKL}	11			ns
SCK High Time	t_{SCKH}	11			ns
SCK Falling Edge to Data Remains Valid	t_{HSDO}	4			ns
SCK Falling Edge to Data Valid Delay	t_{DSDO}				
VIO Above 4.5 V				16	ns
VIO Above 3 V				17	ns
VIO Above 2.7 V				18	ns
VIO Above 2.3 V				21	ns
VIO Above 1.8 V				28	ns
CNV Low to SDO D15 MSB Valid	t_{EN}				
VIO Above 4.5 V				15	ns
VIO Above 3 V				17	ns
VIO Above 2.7 V				18	ns
VIO Above 2.3 V				22	ns
VIO Above 1.8 V				25	ns
CNV High or Last SCK Falling Edge to SDO High Impedance	t_{DIS}			32	ns
CNV Low to SCK Rising Edge	t_{CLSCK}	10			ns
DIN Valid Setup Time from SCK Falling Edge	t_{SDIN}	5			ns
DIN Valid Hold Time from SCK Falling Edge	t_{HDIN}	5			ns

¹ 負荷条件については、図 2 と図 3 を参照してください。

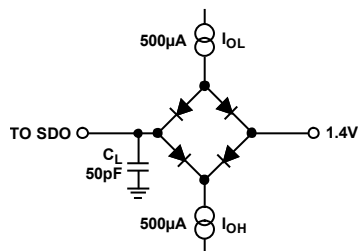
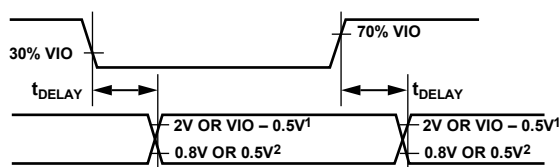


図 2. デジタル・インターフェース・タイミングの負荷回路



¹ 2V IF VIO ABOVE 2.5V, VIO - 0.5V IF VIO BELOW 2.5V.
² 0.8V IF VIO ABOVE 2.5V, 0.5V IF VIO BELOW 2.5V.

図 3. タイミングの電圧レベル

絶対最大定格

表 4.

Parameter	Rating
Analog Inputs INx, ¹ COM ¹	GND - 0.3 V to VDD + 0.3 V or VDD ± 130 mA
REF, REFIN	GND - 0.3 V to VDD + 0.3 V
Supply Voltages	
VDD, VIO to GND	-0.3 V to +7 V
VDD to VIO	±7 V
DIN, CNV, SCK to GND	-0.3 V to VIO + 0.3 V
SDO to GND	-0.3 V to VIO + 0.3 V
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
θ_{JA} Thermal Impedance (LFCSP)	47.6°C/W
θ_{JC} Thermal Impedance (LFCSP)	4.4°C/W

¹ アナログ入力のセクションを参照

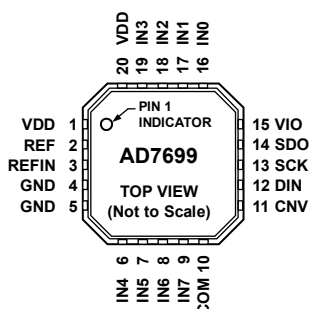
上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES

1. THE EXPOSED PADDLE IS NOT CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS, IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO THE GND PLANE.

07354-004

図 4. ピン配置

表 5. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
1、20	VDD	P	電源。公称 4.5~5.5 V であり、10 μ F と 100 nF のコンデンサでデカップリングする必要があります。
2	REF	AI/O	リファレンス電圧入力/出力。リファレンス電圧の出力/入力のセクションを参照してください。内蔵リファレンス電圧をイネーブルした場合、このピンに 4.096 V が出力されます。内蔵リファレンス電圧をディスエーブルし、かつバッファをイネーブルした場合、REF には、REFIN ピンの電圧をバッファした電圧(最大 VDD - 0.5 V) が出力されます。これは、低価格低消費電力リファレンス電圧を使う場合に便利です。ドリフト性能を向上させるためには、高精度リファレンス電圧を REF に接続してください(0.5 V ~ VDD)。すべてのリファレンス方式で、10 μ F のコンデンサを REF ピンのできるだけ近くに接続して、デカップリングする必要があります。リファレンス電圧のデカップリングのセクションを参照してください。
3	REFIN	AI/O	内蔵リファレンス出力/リファレンス・バッファ入力。リファレンス電圧の出力/入力のセクションを参照してください。内部リファレンス電圧を使う場合は、バッファなしの内蔵リファレンス電圧が出力されるため、0.1 μ F のコンデンサでデカップリングする必要があります。内蔵リファレンス・バッファを使用する場合は、前述のように REF ピンに対してバッファされた 0.5 V ~ 4.096 V の電源を供給してください。
4、5	GND	P	電源グラウンド。
6~9	IN4~IN7	AI	アナログ入力チャンネル 4、アナログ入力チャンネル 5、アナログ入力チャンネル 6、アナログ入力チャンネル 7。
10	COM	AI	共通チャンネル入力。すべての入力チャンネル IN[7:0] は、同相モード・ポイント(0 V または V _{REF} /2 V) を基準とすることができます。
11	CNV	DI	変換入力。立上がりエッジで、CNV が変換を起動します。変換中、CNV をハイ・レベルに維持すると、ビジー・インジケータがイネーブルされます。
12	DIN	DI	データ入力。この入力は、14 ビット・コンフィギュレーション・レジスタの書込みに使われます。変換中および変換後に、設定レジスタへの書込みが可能です。
13	SCK	DI	シリアル・データ・クロック入力。この入力を使ってデータを SDO に出力し、DIN 上のデータを入力します(MSB ファースト)。
14	SDO	DO	シリアル・データ出力。変換結果がこのピンに出力され、SCK に同期化されます。変換結果は、ユニポーラ・モードではストレート・バイナリに、バイポーラ・モードでは 2 の補数に、それぞれなります。
15	VIO	P	入出力インターフェースのデジタル電源。公称では、ホスト・インターフェース(1.8 V、2.5 V、3 V、5 V) と同じ電源。
16~19	IN0~IN3	AI	アナログ入力チャンネル 0、アナログ入力チャンネル 1、アナログ入力チャンネル 2、アナログ入力チャンネル 3。
21 (EPAD)	エクスポーズド・パドル (EPAD)		エクスポーズド・パドルは内部で接続されていません。ハンダ接続の信頼性を向上させるために、このパドルを GND プレーンにハンダ付けすることが推奨されます。

¹AI = アナログ入力、AI/O = アナログ入力/出力、DI = デジタル入力、DO = デジタル出力、P = 電源。

代表的な性能特性

特に指定がない限り、VDD = 5V、VREF = 5V、VIO = VDD。

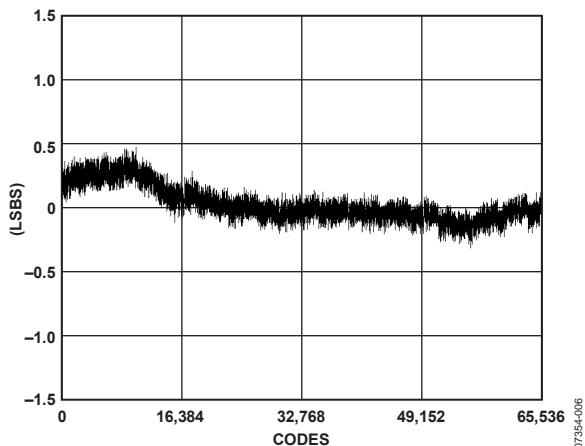


図 5.コード対積分非直線性

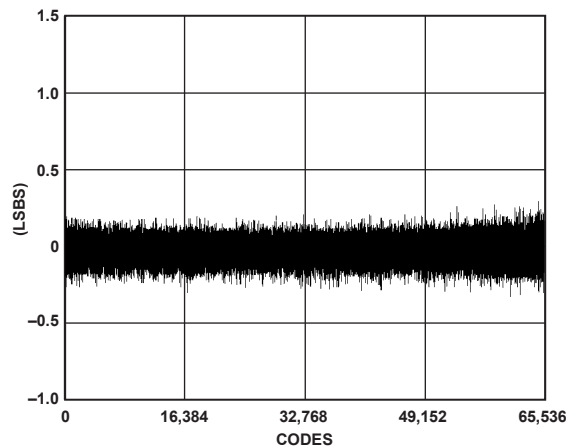


図 8.コード対微分非直線性

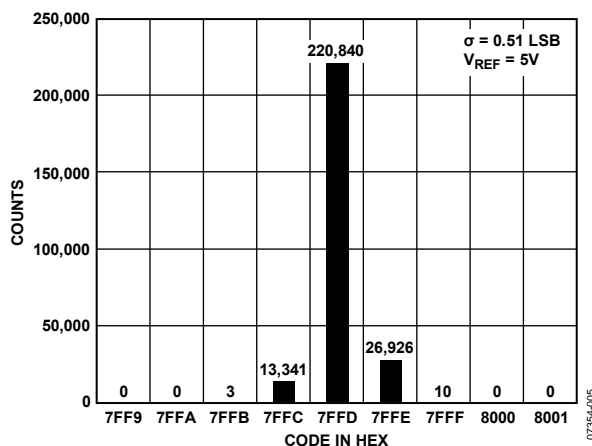


図 6.コード中心での DC 入力のヒストグラム

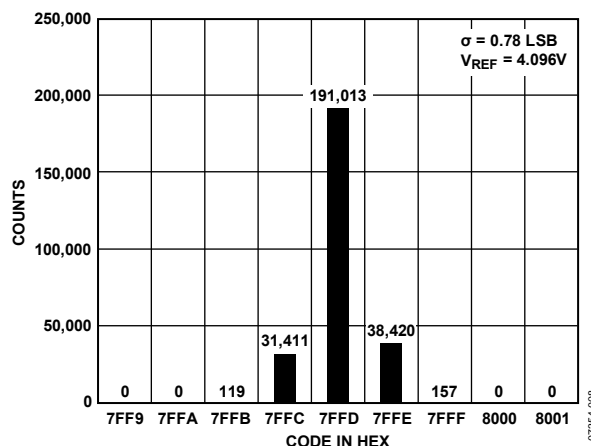


図 9.コード中心での DC 入力のヒストグラム

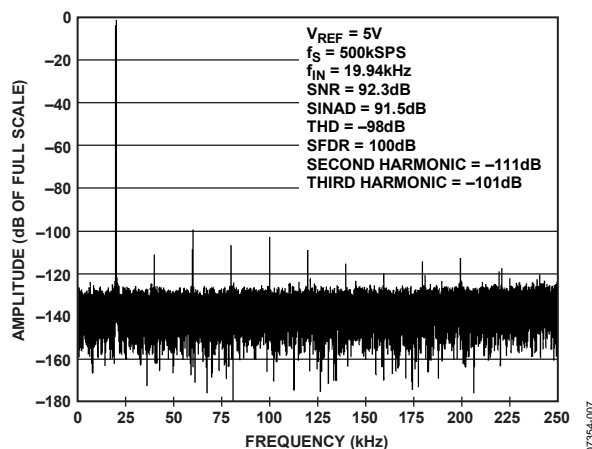


図 7.20 kHz FFT、VREF = 5 V

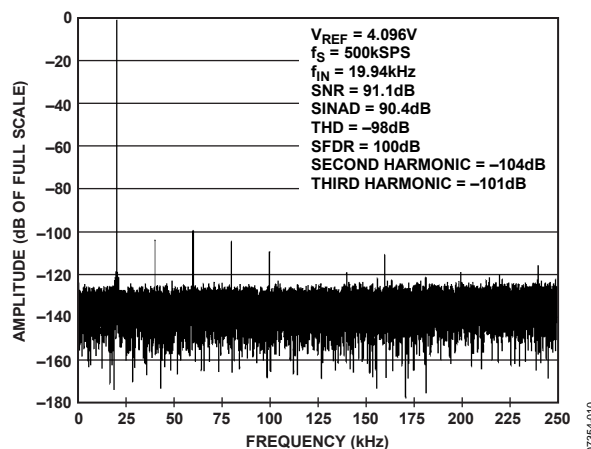


図 10.20 kHz FFT、VREF = 4.096 V

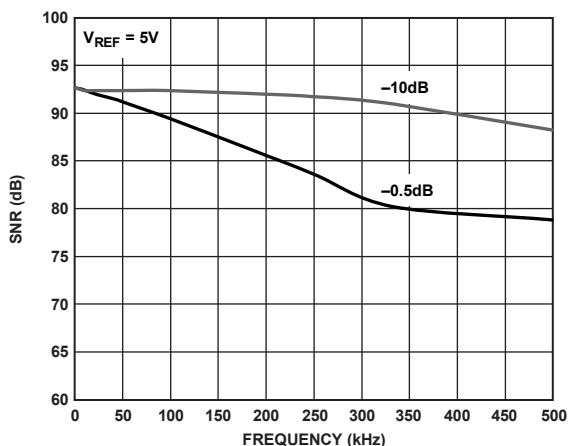


図 11.SNR の周波数特性

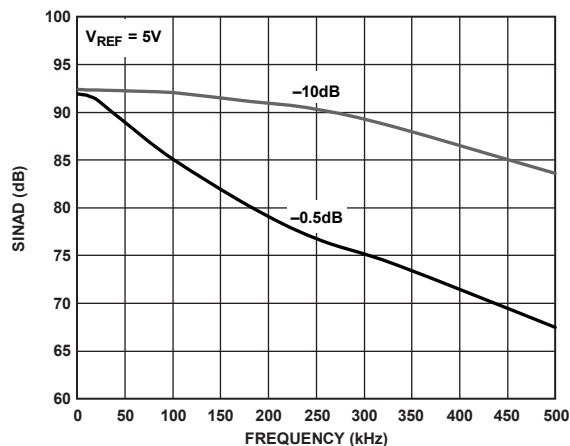


図 14.SINAD の周波数特性

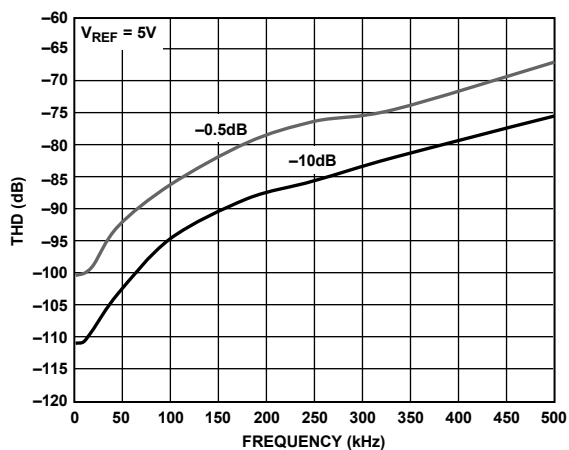


図 12.THД の周波数特性

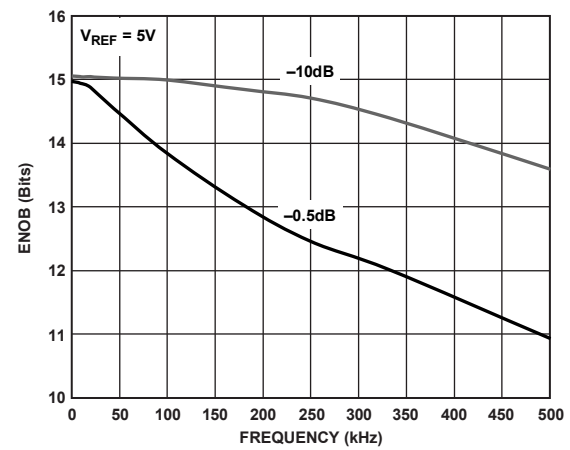


図 15.ENOB の周波数特性

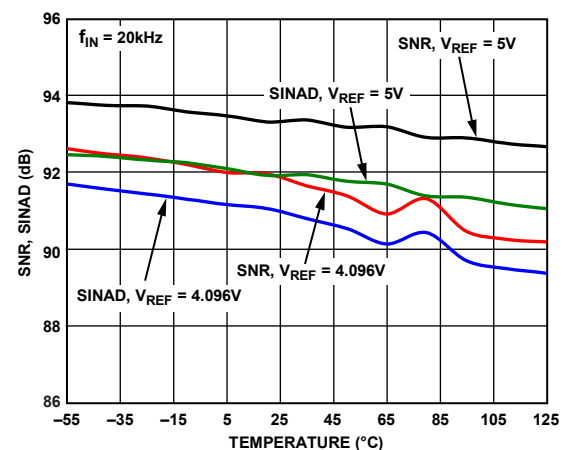


図 13.SNR、SINAD の温度特性

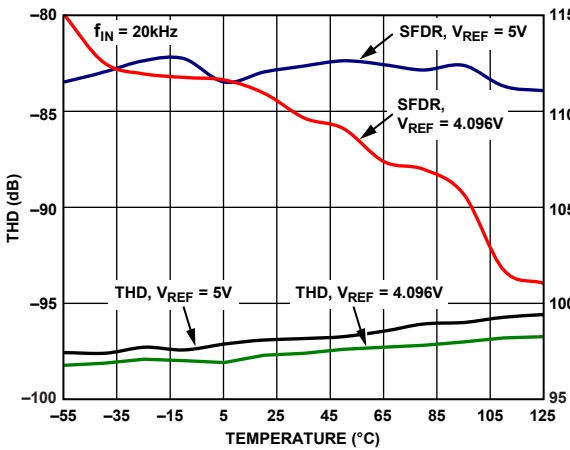


図 16.THД、SFDR の温度特性

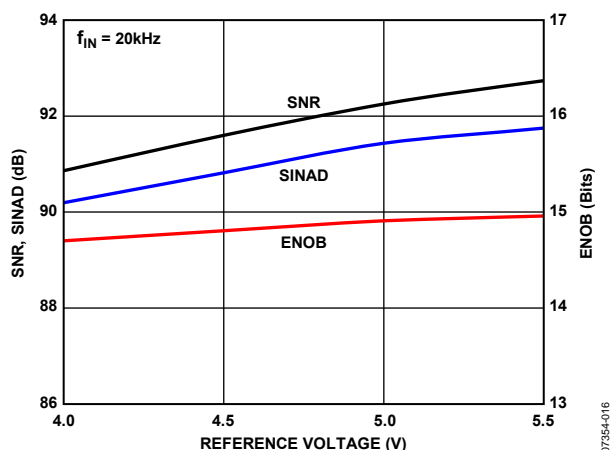


図 17.リファレンス電圧対 SNR、SINAD、ENOB

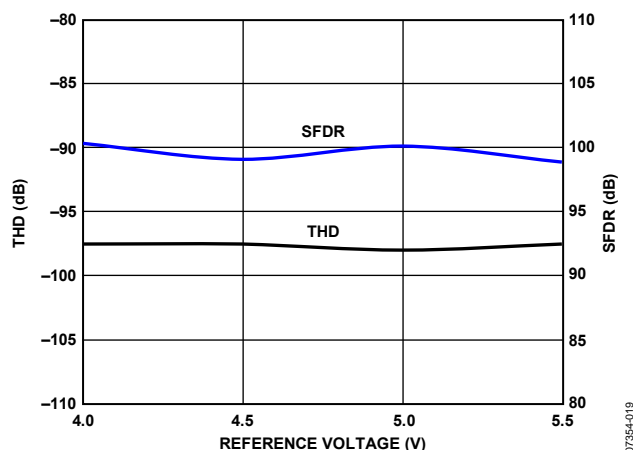


図 20.リファレンス電圧対 THD、SFDR

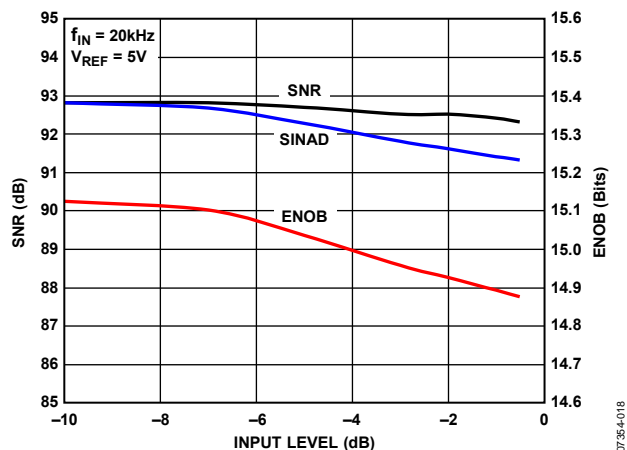


図 18.入力レベル対 SNR、SINAD、ENOB

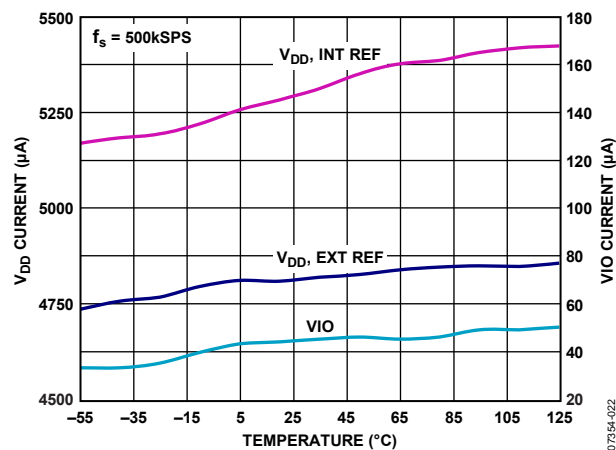


図 21.動作電流の温度特性

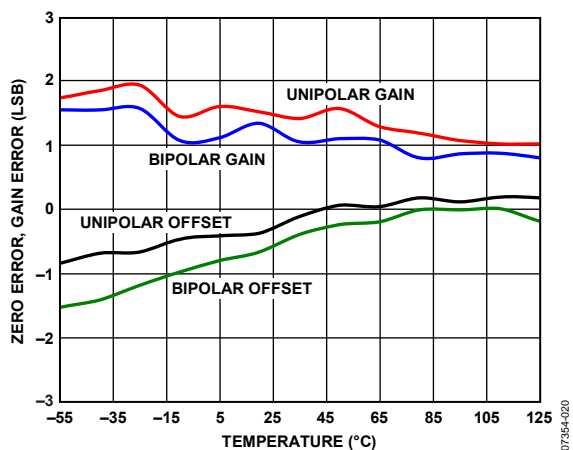


図 19.オフセットとゲイン誤差の温度特性、非正規化

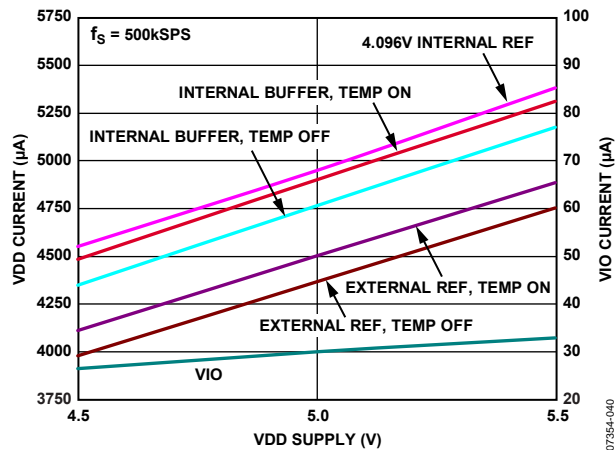


図 22.電源電圧対動作電流

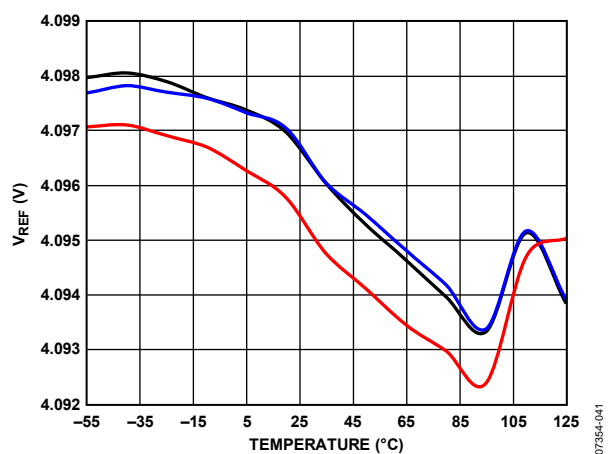


図 23. 内蔵リファレンス出力電圧の温度特性、3 個のデバイス

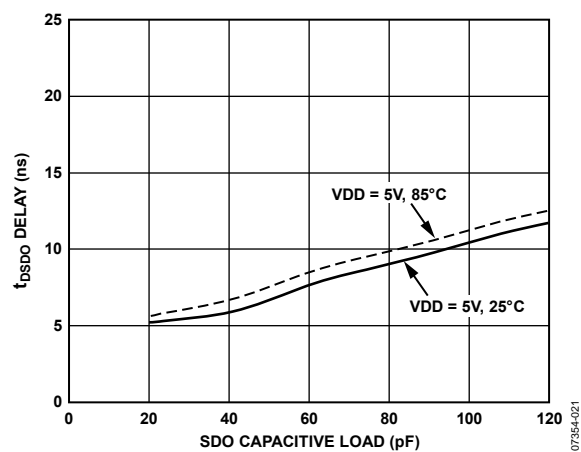


図 24. SDO 容量負荷および電源対 t_{DSO} 遅延

用語

最下位ビット(LSB)

LSBは、コンバータが表現できる最小増分です。Nビットの分解能を持つADCの場合、ボルトで表したLSBは次のようになります。

$$LSB(V) = \frac{V_{REF}}{2^N}$$

積分非直線性誤差(INL)

INLは、負側のフルスケールと正側のフルスケールを結ぶ直線と実際のコードとの誤差として定義されます。負側フルスケールとして使用されるポイントは、最初のコード遷移より 1/2 LSBだけ下に存在します。正フルスケールは、最後のコード遷移より 1+1/2 LSB だけ上のレベルと定義されます。偏差は各コードの中央と直線との間の距離として測定されます(図 26 参照)。

微分非直線性誤差(DNL)

理論ADCでは、コード遷移は 1 LSB だけ離れた位置で発生します。DNLは、この理論値からの最大偏差を意味します。微分非直線性は、ノーマス・コードが保証される分解能として規定されることがあります。

オフセット誤差

ユニポーラ・モードでは、最初の変化はアナログ・グラウンドより 1/2 LSB 上のレベルで発生する必要があります。ユニポーラ・オフセット誤差は、そのポイントと実際の変化との差を意味します。バイポーラ・モードでは、最初の変化は $V_{REF}/2$ より 1/2 LSB 上のレベルで発生する必要があります。バイポーラ・オフセット誤差は、そのポイントと実際の変化との差を意味します。

ゲイン誤差

最後の変化(111 ... 10 → 111 ... 11)は、公称フルスケールより 1.5 LSB 低いアナログ電圧に対して発生する必要があります。ゲイン誤差は、オフセット誤差を調整した後の、最後の変化の実際のレベルと対応する理論レベルとの間の差を LSB 数(またはフルスケール範囲のパーセント値)で表したものです。密接な関係があるのは、フルスケール誤差(LSB 数またはフルスケール範囲のパーセント値)で、これにはオフセット誤差の影響が含まれます。

アパーチャ遅延

アパーチャ遅延は、アクイジション性能を表します。CNV 入力の立上がりエッジから入力信号が変換用に保持されまでの時間を表します。

過渡応答

フルスケールのステップ関数が入力された後に ADC が正確に入力を取得するまでに要する時間を表します。

ダイナミック・レンジ

入力を短絡して測定した合計 rms ノイズに対するフルスケールの rms 値の比を表します。ダイナミック・レンジの値は dB で表されます。

信号対ノイズ比(SNR)

SNRは、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和から高調波成分と DC 成分を除いた分に対する比です。SNRは、デシベル値で表されます。

信号対ノイズおよび歪み比(SINAD)

SINADは、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和(DC 以外の高調波を含む)に対する比です。SINADは、デシベル値で表されます。

総合高調波歪み(THD)

THDは、基本波から 5 次高調波成分までの rms 値の総和の、フルスケール入力信号の rms 値に対する比を意味し、デシベル値で表します。

スプリアス・フリー・ダイナミック・レンジ(SFDR)

SFDRは入力信号の rms 振幅値とピーク・スプリアス信号との差を意味し、dB 値で表します。

実効ビット数(ENOB)

ENOBは、正弦波を入力したときの分解能を表します。SINAD との関係は次のようになります。

$$ENOB = (SINAD_{dB} - 1.76)/6.02$$

ビット数で表されます。

チャンネル間クロストーク

チャンネル間クロストークは、2つの隣接チャンネル間でのクロストークのレベルの大きさを表します。被テスト・チャンネルには DC を、隣接チャンネルにはフルスケールの 100 kHz 正弦波信号を、それぞれ入力して測定します。クロストークは、テスト・チャンネルに混入する信号の大きさで、デシベル値で表します。

リファレンス電圧の温度係数

リファレンス電圧の温度係数は、 T_{MIN} 、 $T(25^\circ\text{C})$ 、 T_{MAX} で測定された最大および最小リファレンス出力電圧(V_{REF})でのサンプル・デバイスの 25°C における出力電圧のシフト値(typ)から導出されます。次のように ppm/ $^\circ\text{C}$ で表されます。

$$TCV_{REF}(\text{ppm}/^\circ\text{C}) = \frac{V_{REF}(Max) - V_{REF}(Min)}{V_{REF}(25^\circ\text{C}) \times (T_{MAX} - T_{MIN})} \times 10^6$$

ここで、

$V_{REF}(Max) = T_{MIN}$ 、 $T(25^\circ\text{C})$ 、 T_{MAX} での最大 V_{REF} 。

$V_{REF}(Min) = T_{MIN}$ 、 $T(25^\circ\text{C})$ 、 T_{MAX} での最小 V_{REF} 。

$V_{REF}(25^\circ\text{C}) = 25^\circ\text{C}$ での V_{REF} 。

$T_{MAX} = +85^\circ\text{C}$ 。

$T_{MIN} = -40^\circ\text{C}$ 。

動作原理

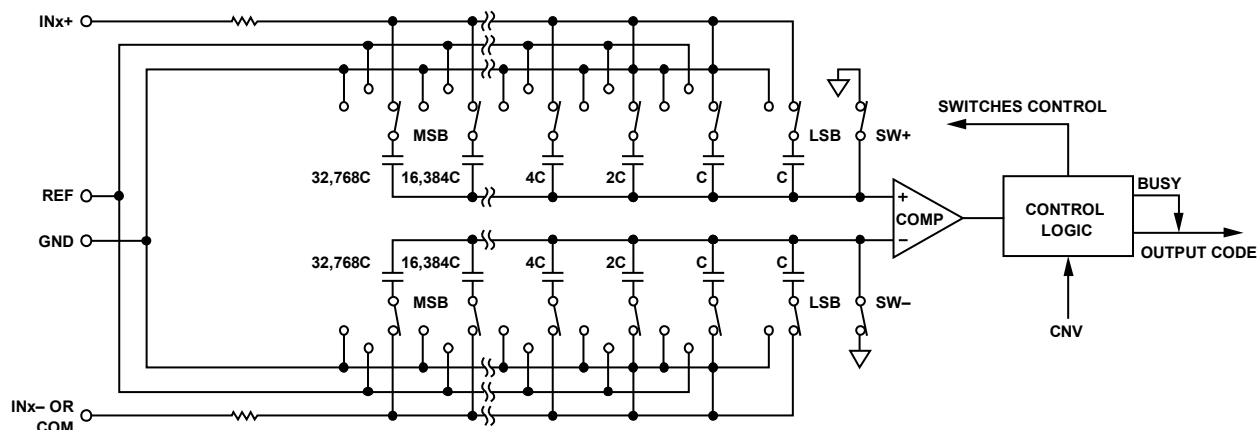


図 25.ADC の簡略化した回路図

概要

AD7699 は、電荷再分配逐次比較レジスタ(SAR)を採用した 8 チャンネル 16 ビット A/D コンバータ(ADC)です。AD7699 は毎秒 500,000 サンプル(500 kSPS)の変換が可能で、変換と変換の間にパワーダウンします。例えば、外付けリファレンス電圧を使った 1 kSPS 動作時の消費電力が 52 μ W (typ)であるため、バッテリー駆動のアプリケーションに最適です。

AD7699 は、マルチチャンネルの低消費電力データ・アキュイジション・システムで使用するすべてのコンポーネントを内蔵しており、これには次が含まれます。

- ノー・ミッシング・コードの 16 ビット SAR ADC
- 8 チャンネルの低クロストーク・マルチプレクサ
- 低ドリフト・リファレンスとバッファ
- 温度センサー
- 選択可能な 1 極フィルタ
- チャンネル・シーケンサ

これらのコンポーネントは、SPI 互換の 14 ビット・レジスタを使って設定します。変換結果も SPI 互換であり、設定リードバック・オプションを使って変換後または変換中に読出すことができます。

AD7699 はトラック・アンド・ホールドを内蔵し、パイプライン遅延またはレイテンシがありません。

AD7699 は 4.5~5.5 V の仕様であるため、1.8~5 V のデジタル・ロジック・ファミリーとインターフェースすることができます。このデバイスは、20 ピンの 4 mm \times 4 mm LFCSP パッケージを採用しています。このパッケージは、省スペースと柔軟な構成を可能にし、16 ビットの AD7682 および AD7689、さらに 14 ビットの AD7949 とピン互換です。

コンバータの動作

AD7699 は、電荷再配分式 DAC を採用した逐次比較型 A/D コンバータです。図 25 に、ADC の簡略化した回路図を示します。容量を使用するこの DAC は、2 進数の重みを持った 16 個のコンデンサで構成される 2 個の同じアレイで構成されており、各アレイは 2 個のコンパレータ入力に接続されています。

アキュイジション・フェーズでは、コンパレータ入力に接続されたアレイのピンは、SW+ と SW- を経由して GND に接続されます。独立なすべてのスイッチはアナログ入力に接続されます。

したがって、コンデンサ・アレイはサンプリング・コンデンサとして使用されて、INx+ 入力と INx- (または COM) 入力上のアナログ信号が取り込まれます。アキュイジション・フェーズが終わると、CNV 入力が高レベルになり、変換フェーズが開始されます。変換フェーズが開始されると、まず SW+ と SW- が開きます。2 個のコンデンサ・アレイは入力から切り離されて、GND 入力に接続されます。そのため、アキュイジション・フェーズの終わりに取り込まれた、入力 INx+ と INx- (または COM) の間の差動電圧がコンパレータ入力に接続されて、コンパレータは平衡しくなくなります。コンデンサ・アレイの各エレメントを GND と REF の間でスイッチングすることにより、コンパレータ入力を 2 進数重みの電圧ステップ ($V_{REF}/2$, $V_{REF}/4$... $V_{REF}/32,768$) で変えます。コントロール・ロジックがこれらのスイッチをトグルして (MSB から開始)、コンパレータが再度平衡するようにします。この処理が終了すると、デバイスはアキュイジション・フェーズに戻り、コントロール・ロジックが ADC 出力コードとビジー表示を発生します。

AD7699 は変換クロックを内蔵しているため、変換プロセスのためのシリアル・クロック、SCK は不要です。

伝達関数

入力がユニポーラ範囲に設定されている場合(シングルエンド、グラウンド検出付き COM、または $INx-$ をグラウンド検出とする差動対)、出力データはストレート・バイナリになります。

入力がバイポーラ範囲に設定されている場合($COM = V_{REF}/2$ または $INx- = V_{REF}/2$ とした差動対)、データ出力は2の補数になります。

内蔵 4.096 Vリファレンスを使用したユニポーラ範囲とバイポーラ範囲に対するAD7699の理論伝達特性を図 26に示します。

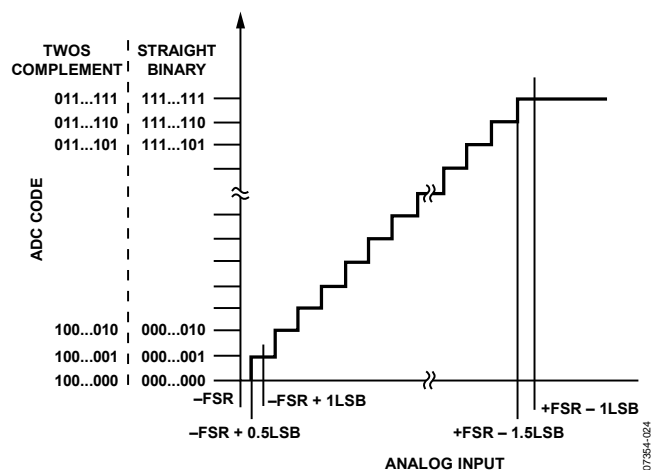


図 26.ADC の理論伝達関数

表 6.出力コードと理論入力電圧

Description	Unipolar Analog Input ¹ $V_{REF} = 4.096 \text{ V}$	Digital Output Code (Straight Binary Hex)	Bipolar Analog Input ² $V_{REF} = 4.096 \text{ V}$	Digital Output Code (Twos Complement Hex)
FSR - 1 LSB	4.095938 V	0xFFFF ³	2.047938 V	0x7FFF ³
Midscale + 1 LSB	2.048063 V	0x8001	62.5 μV	0x0001
Midscale	2.048 V	0x8000	0 V	0x0000
Midscale - 1 LSB	2.047938 V	0x7FFF	-62.5 μV	0xFFFF ⁴
-FSR + 1 LSB	62.5 μV	0x0001	-2.047938 V	0x8001
-FSR	0 V	0x0000 ³	-2.048 V	0x8000

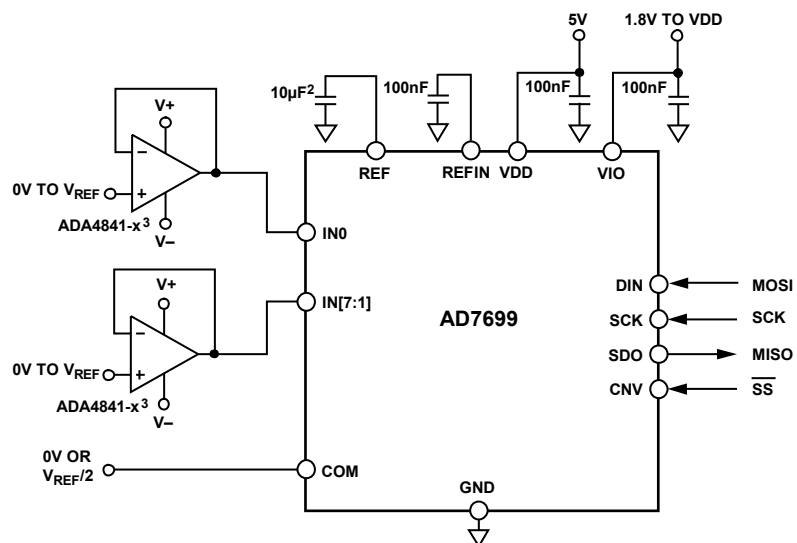
¹ COM または $INx- = 0 \text{ V}$ 、あるいはすべての INx が GND 基準。

² COM または $INx- = V_{REF}/2$ 。

³ これは、アナログ入力範囲より上に対するコードでもあります($V_{REF} - V_{GND}$ より上の $V_{XIN+} - V_{XIN-}$ または COM)。

⁴ これは、アナログ入力範囲より下に対するコードでもあります(V_{GND} より下の $V_{XIN+} - V_{XIN-}$ または COM)。

代表的な接続図

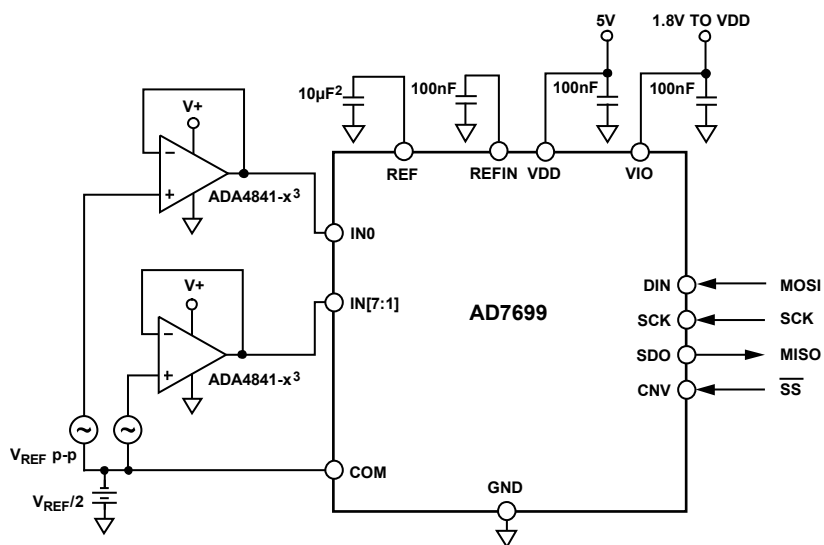


NOTES

1. INTERNAL REFERENCE SHOWN. SEE THE VOLTAGE REFERENCE OUTPUT/INPUT SECTION FOR REFERENCE SELECTION.
2. C_{REF} IS USUALLY A $10\mu\text{F}$ CERAMIC CAPACITOR (X5R).
3. SEE THE DRIVER AMPLIFIER CHOICE SECTION FOR ADDITIONAL RECOMMENDED AMPLIFIERS.
4. SEE THE DIGITAL INTERFACE SECTION FOR CONFIGURING AND READING CONVERSION DATA.

073854-025

図 27.複数の電源を使用する代表的なアプリケーション図



NOTES

1. INTERNAL REFERENCE SHOWN. SEE THE VOLTAGE REFERENCE OUTPUT/INPUT SECTION FOR REFERENCE SELECTION.
2. C_{REF} IS USUALLY A $10\mu\text{F}$ CERAMIC CAPACITOR (X5R).
3. SEE THE DRIVER AMPLIFIER CHOICE SECTION FOR ADDITIONAL RECOMMENDED AMPLIFIERS.
4. SEE THE DIGITAL INTERFACE SECTION FOR CONFIGURING AND READING CONVERSION DATA.

073854-026

図 28.バイポーラ入力を使用する代表的なアプリケーション図

ユニポーラまたはバイポーラ

図 27 に、複数の電源が使用可能な場合のAD7699 の推奨接続図例を示します。

バイポーラ単電源

図 28 に、バイポーラ入力、単電源、内蔵リファレンス電圧(オプションの異なるVIO電源)を使用したシステム例を示します。この回路は、アンプ/シグナル・コンデショニング回路が離れて存在し、同相モードが存在する場合にも役立ちます。すべての入力構成で、入力IN_xがユニポーラであり、常にGND基準であることに注意してください(バイポーラ範囲でも負電圧なし)。

この回路の場合、レールtoレールの入力/出力アンプを使うことができますが、オフセット電圧対入力同相モード範囲に注意する必要があります($V_{REF} = 4.096 \text{ V}$ で $1 \text{ LSB} = 62.5 \mu\text{V}$)。バイポーラ入力構成では、変換結果が 2 の補数フォーマットであることに注意してください。単電源アンプ使用の詳細については、<http://www.analog.com/jp> から提供しているAN-581 アプリケーション・ノート「*Biasing and Decoupling Op Amps in Single Supply Applications*」を参照してください。

アナログ入力

入力構造

図 29 に、AD7699 のアナログ入力構造の等価回路を示します。ダイオードD1 とD2 は、アナログ入力IN[7:0]とCOMに対するESD保護用です。アナログ入力信号が電源レールより 0.3V以上高くないよう注意する必要があります。これは、これらのダイオードが順方向にバイアスされてこの電圧から導通し始めるためです。

これらのダイオードは、最大 130 mA の順方向バイアス電流を処理することができます。例えば、この状態は入力バッファの電源がVDDと異なるときに発生します。このような場合(例えば入力バッファが短絡)、電流制限機能を使ってデバイスを保護することができます。

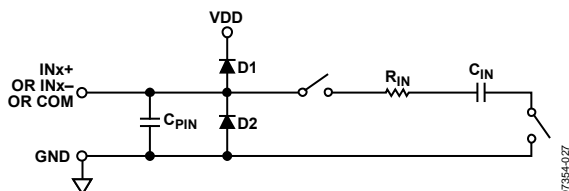


図 29.等価アナログ入力回路

このアナログ入力構造を使うと、IN_{x+}とCOMの間またはIN_{x+}とIN_{x-}の間の真の差動信号のサンプリングが可能になります(COMまたはIN_{x-} = GND ± 0.1 Vまたは $V_{REF} \pm 0.1 \text{ V}$)。この差動入力の採用により、両入力に共存する信号が除去されます(図 30 参照)。

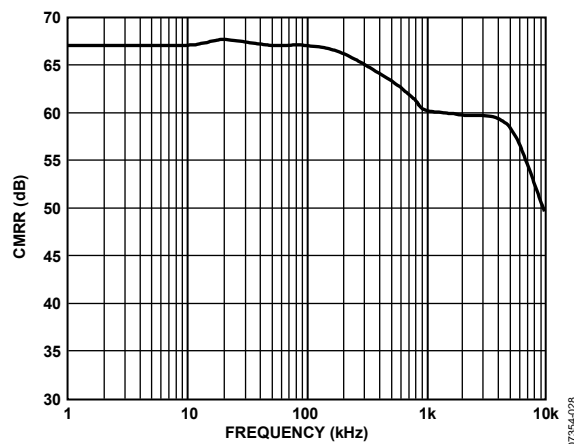


図 30.アナログ入力 CMRR の周波数特性

アクイジション・フェーズでは、アナログ入力のインピーダンスは、コンデンサ C_{PIN} と、 R_{IN} および C_{IN} の直列接続の回路との並列組み合わせとしてモデル化することができます。 C_{PIN} は主にピン容量です。 R_{IN} は 400Ω (typ)であり(1 極フィルタ使用の場合は $8.8 \text{ k}\Omega$)、直列抵抗とスイッチのオン抵抗から構成される集中定数です。 C_{IN} は 27 pF (typ)であり、主に ADC サンプリング・コンデンサから構成されています。

選択可能なローパス・フィルタ

スイッチが開いている変換フェーズでは、入力インピーダンスは C_{PIN} に制限されます。AD7699 のアクイジション中、 R_{IN} と C_{IN} により 1 極ローパス・フィルタが構成されるため、不要な折り返し効果が削減され、駆動回路からのノイズが制限されます。ローパス・フィルタは、フル帯域幅または帯域幅の 1/4 にCFG[6]を使って設定することができます(表 8)。フィルタを使うと、コンバータのスループットも 1/4 だけ低下することに注意してください。 $BW = 1/4$ で最大スループットを使用する場合は、コンバータ・アクイジション・タイム t_{ACQ} を満たさなくなるため、THDが大きくなります。

入力構成

図 31 に、設定レジスタ(CFG[12:10])を使ってアナログ入力を設定する別の方法を示します。詳細については、設定レジスタ、CFG のセクションを参照してください。

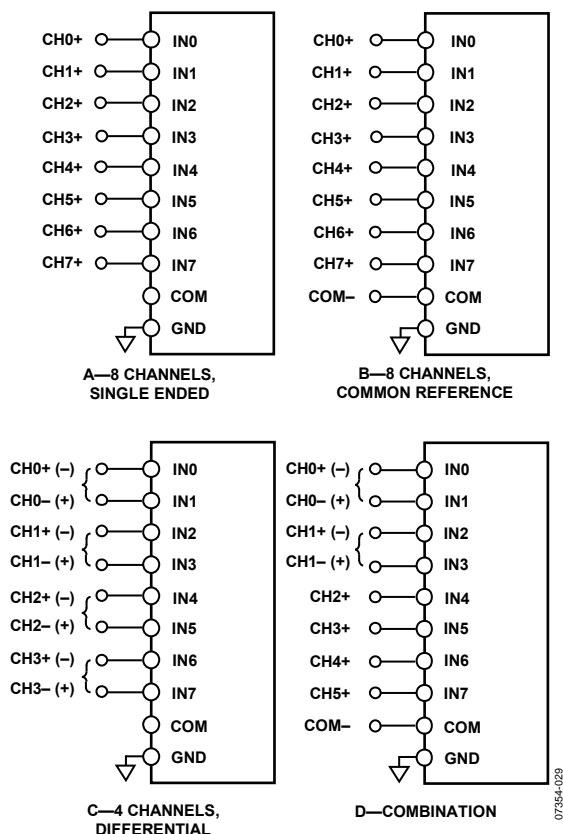


図 31. マルチプレクスするアナログ入力構成

アナログ入力は次のように構成することができます。

- 図 31A、システム・グラウンドを基準とするシングルエンド; $CFG[12:10] = 111_2$ 。
- 図 31B、共通基準ポイントを使用するバイポーラ差動; $COM = V_{REF}/2$; $CFG[12:10] = 010_2$ 。COMをグラウンド検出に接続したユニポーラ差動; $CFG[12:10] = 110_2$ 。
- 図 31C、 $V_{REF}/2$ を基準とした INx^- を使うバイポーラ差動対; $CFG[12:10] = 00X_2$ 。グラウンド検出を基準とした INx^- を使うユニポーラ差動対; $CFG[12:10] = 10X_2$ 。この構成では、 $INx+$ は $CFG[9:7]$ 内のチャンネルにより指定されます。例えば、 $IN0 = IN1+$ かつ $IN1 = IN1^-$ の場合、 $CFG[9:7] = 000_2$; $IN1 = IN1+$ かつ $IN0 = IN1^-$ の場合、 $CFG[9:7] = 001_2$ 。
- 図 31D、上記の任意の組み合わせで構成した入力(AD7699 はダイナミックに構成できることを示しています)。

シーケンサ

AD7699 は、 $IN0$ から $IN[7:0]$ へチャンネルをスキャンする際に便利なチャンネル・シーケンサを内蔵しています。チャンネルは、シーケンサ内の最後のチャンネルの後に、温度センサーありまたはなしで、単体または対としてスキャンされます。

シーケンサは、 $IN0$ から始めて $CFG[9:7]$ に設定された $IN[7:0]$ で終わります。チャンネル対の場合、 $CFG[9:7]$ 内に設定された最後のチャンネルに応じてチャンネル対が決定されます。チャンネル対は、 $CFG[7]$ に無関係に、常に IN (偶数) = $INx+$ かつ IN (奇数) = INx^- として構成されることに注意してください。

シーケンサをイネーブルするときは、 $CFG[2:1]$ に書き込みを行ってシーケンサを初期化します。 $CFG[13:0]$ を更新した後、データ読出し中(少なくともビット 13 まで)、または CFG レジスタの更新が再開されたとき、 DIN をロー・レベルに維持する必要があります。

シーケンサ動作中に、 01_2 を $CFG[2:1]$ に書き込むことにより、 CFG レジスタを変更できますが、 $CFG11$ (対または単体チャンネル)または $CFG[9:7]$ (シーケンサ内の最後のチャンネル)を変更すると、シーケンサが再初期化されるため、 CFG が更新された後に $IN0$ (または $IN1$) が変換されます。

例

ビット[13]、ビット[6:3]、ビット 0 が、入力とシーケンサに対して設定されます。

1 つ目の例として、温度センサーありで、 $COM = GND$ を基準とするすべての $IN[7:0]$ をスキャンします。

13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFG	INCC			INx			BW	REF			SEQ	RB	
	1	1	0	1	1	1					1	0	

2 つ目の例として、温度センサーなしで、 $V_{REF}/2$ を基準とする 3 対のチャンネルをスキャンします。

13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFG	INCC			INx			BW	REF			SEQ	RB	
	0	0	X ¹	1	0	X ¹					1	1	

¹ X = don't care

ソース抵抗

駆動回路のソース・インピーダンスが小さい場合は、AD7699 を直接駆動することができます。ソース・インピーダンスが大きい場合には、AC 性能、特に総合高調波歪み(THD)が大きい影響を受けます。DC 性能は、入力インピーダンスからあまり影響を受けません。最大ソース・インピーダンスは、許容可能な THD の大きさに依存します。THD は、ソース・インピーダンスと最大入力周波数の関数として性能低下します。

ドライバ・アンプの選択

AD7699 の駆動は簡単ですが、ドライバ・アンプは次の条件を満たす必要があります。

- AD7699 の SNR 性能と遷移ノイズ性能を維持するためには、ドライバ・アンプが発生するノイズをできるだけ低く抑える必要があります。大部分の他の 16 ビット ADC に比べて AD7699 のノイズはるかに小さいため、ノイズの多いアンプで駆動しても、与えられたシステム仕様を満たすことが可能なことに注目してください。アンプから発生するノイズは、AD7699 アナログ入力回路の R_{IN} と C_{IN} から構成される 1 極ローパス・フィルタまたは外付けフィルタ(使用した場合)により除去されます。AD7699 のノイズ(typ 値)は $35 \mu\text{V rms}$ ($V_{REF} = 5 \text{ V}$ の場合)であるため、アンプに起因する SNR の性能低下は、次式で与えられます。

$$SNR_{Loss} = 20 \log \left(\frac{35}{\sqrt{35^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

ここで、

f_{-3dB} は MHz で表した AD7699 の入力帯域幅(フル BW で 14.7 MHz または $\frac{1}{4}$ BW で 670 kHz)、または入力フィルタ(使用した場合)のカットオフ周波数。

N はアンプのノイズ係数(例えばバッファ構成の場合は 1)。

e_n は $n\text{V}/\sqrt{\text{Hz}}$ で表したオペアンプの等価入力ノイズ電圧。

- ACアプリケーションの場合、ドライバはAD7699 と釣り合う THD性能を持つ必要があります。図 12 に、AD7699 のTHD周波数特性を示します。
- 各入力または各入力対で多チャンネルをマルチプレクスするアプリケーションの場合、ドライバ・アンプと AD7699 アナログ入力回路は、コンデンサ・アレイへのフルスケール・ステップに対して 16 ビット・レベル(0.0015%)でセトリングする必要があります。アンプのデータシートでは、一般に 0.1~0.01%でのセトリングが規定されています。16 ビット・レベルでのセトリング・タイムから大幅に異なることがあるため、ドライバを選択する前に確認する必要があります。

表 7. 推奨ドライバ・アンプ

Amplifier	Typical Application
ADA4841-x	Very low noise, small, and low power
AD8655	5 V single supply, low noise
AD8021	Very low noise and high frequency
AD8022	Low noise and high frequency
OP184	Low power, low noise, and low frequency
AD8605, AD8615	5 V single supply, low power

リファレンス電圧の出力/入力

AD7699 では、温度ドリフトが非常に小さい内蔵リファレンス電圧、外付けリファレンス電圧または外付けのバッファ付きリファレンス電圧の使用を選択することができます。

AD7699 の内蔵リファレンス電圧は、優れた性能を提供するため、ほとんどすべてのアプリケーションで使用することができます。リファレンス電圧方式には 5 つの選択肢があります。表 8 に短く説明し、次のセクションで詳しく説明します。

内蔵リファレンス電圧/温度センサー

内蔵リファレンス電圧は、表 8 に示すように 4.096 V を出力するように設定することができます。内蔵リファレンス電圧をイネーブルすると、バンド・ギャップ電圧がREFINピンにも出力され、これには外付けの $0.1 \mu\text{F}$ コンデンサが必要です。REFINの電流出力には制限があるため、AD8605 のような適切なバッファを接続すると、電源として使うことができます。

リファレンス電圧をイネーブルすると、内部温度センサーもイネーブルされます。これは、AD7699 の内部温度を測定するため、システム・キャリブレーションを実行するときに役立ちます。温度センサーを使う場合、出力は AD7699 の GND ピンを基準とするストレート・バイナリになることに注意してください。

内部リファレンス電圧は、15 mV 以内になるように温度補償されています。リファレンス電圧は、3 ppm/°C(typ)のドリフトになるように調整されています。

外付けリファレンス電圧と内蔵バッファ

ドリフト性能を良くするために、内蔵バッファと組み合わせて外付けリファレンス電圧を使うこともできます。外付けリファレンス電圧をREFINに接続すると、REFピンに出力が得られます。外付けリファレンス電圧は、温度センサーのイネーブルあり、またはなしで、内蔵バッファと組み合わせて使うことができます。レジスタの詳細については、表 8 を参照してください。バッファをイネーブルすると、ゲイン=1 となり、4.096 V の入力/出力に限定されます。

内蔵リファレンス・バッファは、マルチコンバータ・アプリケーションで便利です。これらのアプリケーションでは一般にバッファが必要とされるためです。さらに、低消費電力リファレンス電圧を使用することができます。これは、内蔵バッファが AD7699 の SARアーキテクチャの駆動に必要な性能を提供するためです。

外付けリファレンス電圧

5 種類のリファレンス電圧方式では、REFの出力インピーダンスが $5 \text{ k}\Omega$ 以上であるため、外付けリファレンス電圧を直接REFピンに接続することができます。消費電力を減らすときは、リファレンス電圧とバッファを独立または一緒にパワーダウンして消費電力を削減することができますが、温度センサーの使用が必要なアプリケーションでは、リファレンス電圧をアクティブにしておく必要があります。レジスタの詳細については、表 8 を参照してください。ドリフト性能を良くするために、ADR43x または ADR44x のような外付けリファレンス電圧の使用が推奨されます。

リファレンス電圧のデカップリング

内蔵または外付けのリファレンス電圧の使用によらず、AD7699 のリファレンス電圧出力/入力REFは動的入力インピーダンスを持っています。このため、REF入力とGND入力との間で効果的にデカップリングした低インピーダンス・電源から駆動する必要があります。このデカップリングは電圧リファレンスの選択に依存しますが、一般に、REFとGNDに接続される最小寄生インダクタンスを持つ低ESRのコンデンサから構成されます。内蔵リファレンス電圧、ADR43x/ADR44x 外付けリファレンス電圧、または AD8031 や AD8605 のような低インピーダンス・バッファを使う場合には、 $10 \mu\text{F}$ のセラミック・チップ・コンデンサ(X5R、1206 サイズ)が適しています。

レイアウトのセクションで説明するように、リファレンス・デカップリング・コンデンサの配置もAD7699の性能にとって重要です。デカップリング・コンデンサはADCと同じ側に実装し、REFピンに太いPCBパターンで接続します。GNDもリファレンス・デカップリング・コンデンサに最短距離接続し、さらにアナログ・グラウンド・プレーンに複数のビアで接続する必要があります。

必要な場合には、2.2 μF までの小型なリファレンス・デカップリング・コンデンサを使うことができ、性能特にDNLへの影響は最小に抑えられます。

REFピンとGNDピンの間に小さい値のセラミック・デカップリング・コンデンサ(例えば、100 nF)を追加する必要はありません。

複数のAD7699または他のPulSARを使用するアプリケーションでは、内蔵バッファを使って外付けリファレンス電圧をバッファすることが効果的です。これによりSAR変換クロストークが減少します。

リファレンス電圧の温度係数(TC)はフルスケールに直接影響を与えるため、フルスケール精度が問題となるアプリケーションでは、TCに注意する必要があります。例えば、 $\text{TC} = \pm 15 \text{ ppm}/^\circ\text{C}$ のリファレンス電圧により、フルスケールは $\pm 1 \text{ LSB}/^\circ\text{C}$ で変化します。

電源

AD7699は、アナログおよびデジタル・コア電源(VDD)とデジタル入力/出力インターフェース電源(VIO)の2種類の電源ピンを使っています。VIOを使うと、1.8 V \sim DVDDで動作するロジックとの直接インターフェースが可能になります。必要な電源数を減らすときは、VIOピンとVDDピンを接続することができます。AD7699はVIOとVDDの間の電源シーケンスに依存しません。唯一の制約は、AD7699がパワーアップするときCNVがロー・レベルである必要があることです。さらに、広い周波数範囲で電源変動に対して安定です(図32参照)。

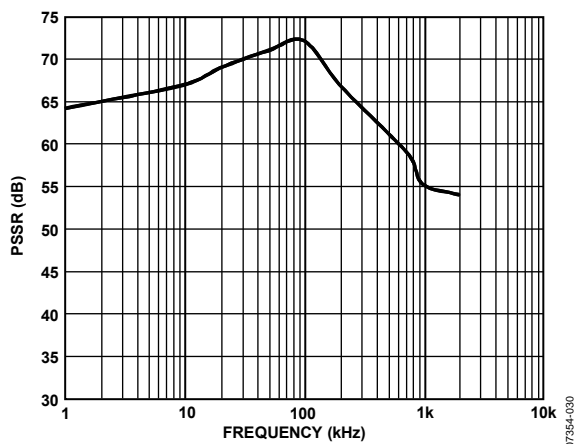


図 32.PSRR の周波数特性

AD7699は各変換フェーズの終わりに自動的にパワーダウンするため、動作電流と消費電力はサンプリング・レートに比例します。このため、低サンプリング・レート(例えば、数 Hz)とバッテリー駆動アプリケーションに最適なデバイスになっています。

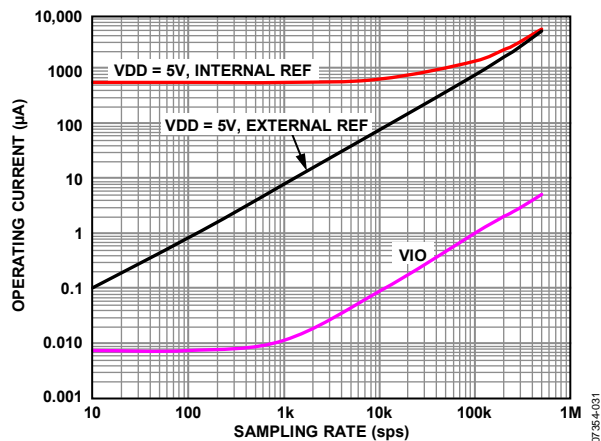


図 33.サンプリング・レート対動作電流

リファレンス電圧からADCへの電源供給

アプリケーションを簡素化するため、AD7699の動作電流は小さいので図34に示すリファレンス電圧回路から直接給電することができます。リファレンス・ラインは次から駆動することができます。

- システム電源から直接
- 十分な電流出力能力を持つ [ADR43x/ADR44x](#) のようなリファレンス電圧から
- 図34に示すようにシステム電源のフィルタもできる [AD8605](#) のようなリファレンス・バッファから

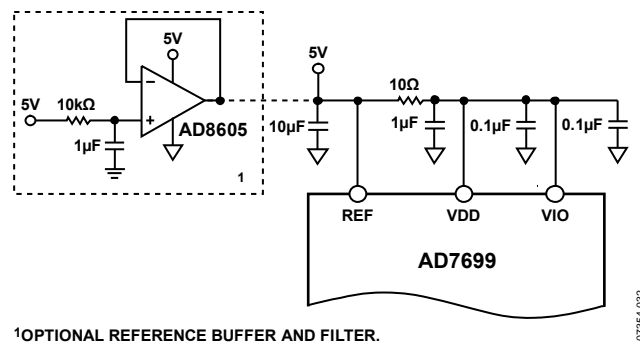


図 34.アプリケーション回路の例

デジタル・インターフェース

AD7699 ではシンプルな 4 線式インターフェースを採用し、SPI、MICROWIRE™、QSPI™、デジタル・ホスト、DSP(例えば Blackfin® ADSP-BF53x、SHARC®, ADSP-219x、ADSP-218x)と互換性を持ちます。

このインターフェースでは、CNV 信号、DIN 信号、SCK 信号、SDO 信号を使うため、CNV(変換を開始します)をリードバック・タイミングに依存しないようにすることができます。この機能は、低ジッタ・サンプリング・アプリケーションまたは同時サンプリング・アプリケーションで便利です。

14 ビットのレジスタ CFG[13:0]を使って、変換対象チャンネルに対して ADC を設定し、リファレンス電圧と他のコンポーネントを選択します。詳細については、設定レジスタ、CFG のセクションで説明します。

CNV がロー・レベルの場合、変換時に、アキュイジション時に、スパンニング変換時(アキュイジション+変換)に、書込み/読出しを行うことができます(次のセクション参照)。CFG ワードは SCK の最初の 14 個の立上がりエッジで更新され、変換結果は最初の 15 個(ビジー・モードを選択したときは 16 個)の SCK 立下がりエッジで出力されます。CFG リードバックがイネーブルされる場合、変換結果に対応する CFG ワードの出力にさらに 14 個の SCK 立下がりエッジが必要となり、変換結果の LSB の後ろに CFG MSB が続きます。

CNV =ロー・レベルでデバイスが選択され、SCK 動作により新しい設定ワードの書込みが開始され、データの出力が開始されるため、不連続な SCK の使用が推奨されます。

次のセクションで、タイミング図により変換時のデジタル動作(SCK、CNV、DIN、SDO)を示しますが、性能が低下する可能性があるため、デジタル動作は安全なデータ読出し/書込み時間 t_{DATA} の前にのみ発生する必要があります。これは、AD7699 がこの時間内に正しくないビットを訂正できる誤り訂正回路を持っているためです。 t_{DATA} から t_{CONV} までの間は誤り訂正がないため、変換結果が不正のままになることがあります。AD7699 を設定して、 t_{DATA} の前に必要に応じてビジー・インジケータを開始させます。サンプリング・タイミングの近くに SCK または DIN の変化を持ってくると、サンプルが破壊されることもあります。したがって、性能低下を回避できるときは不連続な SCK を使って、CNV の立上がりエッジの約 30 ns 前および 10 ns 後の間、デジタル・ピンを静止させておくことが推奨されます。

変換中の読出し/書込み、高速ホスト

変換(n)中の読出し/書込みでは、変換結果は前の(n-1)変換に対応し、CFG への書込みは、次の(n+1)アキュイジションと変換に対応します。

CNV をハイ・レベルにして変換を開始させた後、再度ロー・レベルにして、変換中の読出し/書込みを可能にする必要があります。読出し/書込みは t_{DATA} までに行う必要があります。この時間が制限されているため、ホストは高速な SCK を使う必要があります。

必要とされる SCK 周波数は次式で計算されます。

$$f_{SCK} \geq \frac{\text{Number_SCK_Edges}}{t_{DATA}}$$

t_{DATA} と t_{CONV} との間の時間は安全時間であり、この間にデジタル動作が発生しないようにする必要があります。そうしないと、ビット判定に誤りが発生する可能性があります。

アキュイジション中の読出し/書込み、任意速度のホスト

変換後またはアキュイジション中(n)の読出し/書込みでは、変換結果は前の(n-1)変換に対応し、書込みは、(n+1)アキュイジションに対応します。

最大スループットを得るためには、唯一の時間制約として、読出し/書込みを t_{ACQ} (最小)時間の間に行う必要があります。低速スループットの場合、時間制約はユーザ指定のスループットにより決まるため、ホストは任意の速度で動作できます。したがって、低速ホストの場合、データ・アクセスはアキュイジション・フェーズで発生する必要があります。

読出し/書込みスパンニング変換、任意速度のホスト

読出し/書込みスパンニング変換では、データのアクセスは現在のアキュイジション(n)で開始され、変換(n)まで続きます。変換結果は前の(n-1)変換に対応し、CFG レジスタへの書込みは、次の(n+1)アキュイジションと変換に対応します。

変換中の読出し/書込みと同様に、読出し/書込みは t_{DATA} までに発生する必要があります。最大スループットを得るためには、唯一の時間制約として、読出し/書込みを $t_{ACQ}(\text{min}) + t_{DATA}$ 時間の間に行う必要があります。

低速スループットの場合、時間制約はユーザ指定のスループットにより決まるため、ホストは任意の速度で動作できます。アキュイジション中の読出し/書込みと同様に、低速ホストの場合、データ・アクセスはアキュイジション・フェーズで発生する必要があり、残りの時間は変換まで続きます。

データ・アクセス・スパンニング変換では、CNV をハイ・レベルにして新しい変換を開始させるため、CNV がハイ・レベルのときデータ・アクセスを行うことはできないことに注意してください。このため、この方法を使うとき、ホストはデータ・アクセスを 2 パーストで行う必要があります。

設定レジスタ、CFG

AD7699 では、表 8 に示す 14 ビット設定レジスタ(CFG[13:0])を使って、入力、変換対象チャンネル、1 極フィルタ帯域幅、リファレンス電圧、チャンネル・シーケンサの設定を行います。CFG レジスタは、14 個の SCK 立上がりエッジを使って DIN 上でラッチされます(MSBファースト)。CFG の更新はエッジに依存するため、非同期ホストまたは同期ホストが可能です。

このレジスタは、変換中、アキュイジション中、またはスタンバイ・アキュイジション/変換中に書込むことができ、変換の終わり $t_{CONV}(\max)$ に更新されます。CFG レジスタへの書込みでは常に遅延 (1 ディープ・ディレイ) が存在します。パワーアップ時に CFG レジスタは不定で、レジスタの更新には 2 回のダミー変換が必要なことに注意してください。CFG レジスタに出荷時設定値をプリロードするときは、2 回の変換の間 DIN をハイ・レベルに維持してください。そうすると、CFG[13:0] = 0x3FFF になります。これにより AD7699 は次のように設定されます。

- IN[7:0] GND を基準とするユニポーラ、順にシーケンス
- 1 極フィルタはフル帯域幅
- 内蔵リファレンス/温度センサーをディスエーブル、バッファをイネーブル
- シーケンサをイネーブル
- CFG レジスタのリードバックなし

表 8 に、設定レジスタ・ビットの一覧を示します。詳細については、動作原理のセクションを参照してください。

13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFG	INCC	INCC	INCC	INx	INx	INx	BW	REF	REF	REF	SEQ	SEQ	RB

表 8. 設定レジスタの説明

Bit(s)	Name	Description																												
[13]	CFG	Configuration update. 0 = Keep current configuration settings. 1 = Overwrite contents of register.																												
[12:10]	INCC	Input channel configuration. Selection of pseudobipolar, pseudodifferential, pairs, single-ended, or temperature sensor. Refer to the Input Configurations section.																												
		<table border="1"> <thead> <tr> <th>Bit 12</th> <th>Bit 11</th> <th>Bit 10</th> <th>Function</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>X¹</td> <td>Bipolar differential pairs; INx- referenced to $V_{REF}/2 \pm 0.1$ V.</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Bipolar; INx referenced to $COM = V_{REF}/2 \pm 0.1$ V.</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Temperature sensor.</td> </tr> <tr> <td>1</td> <td>0</td> <td>X¹</td> <td>Unipolar differential pairs; INx- referenced to $GND \pm 0.1$ V.</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>Unipolar, IN0 to IN7 referenced to $COM = GND \pm 0.1$ V (GND sense).</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>Unipolar, IN0 to IN7 referenced to GND.</td> </tr> </tbody> </table>	Bit 12	Bit 11	Bit 10	Function	0	0	X ¹	Bipolar differential pairs; INx- referenced to $V_{REF}/2 \pm 0.1$ V.	0	1	0	Bipolar; INx referenced to $COM = V_{REF}/2 \pm 0.1$ V.	0	1	1	Temperature sensor.	1	0	X ¹	Unipolar differential pairs; INx- referenced to $GND \pm 0.1$ V.	1	1	0	Unipolar, IN0 to IN7 referenced to $COM = GND \pm 0.1$ V (GND sense).	1	1	1	Unipolar, IN0 to IN7 referenced to GND.
Bit 12	Bit 11	Bit 10	Function																											
0	0	X ¹	Bipolar differential pairs; INx- referenced to $V_{REF}/2 \pm 0.1$ V.																											
0	1	0	Bipolar; INx referenced to $COM = V_{REF}/2 \pm 0.1$ V.																											
0	1	1	Temperature sensor.																											
1	0	X ¹	Unipolar differential pairs; INx- referenced to $GND \pm 0.1$ V.																											
1	1	0	Unipolar, IN0 to IN7 referenced to $COM = GND \pm 0.1$ V (GND sense).																											
1	1	1	Unipolar, IN0 to IN7 referenced to GND.																											
[9:7]	INx	Input channel selection in binary fashion.																												
		<table border="1"> <thead> <tr> <th>Bit 9</th> <th>Bit 8</th> <th>Bit 7</th> <th>Channel</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>IN0</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>IN1</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>IN7</td> </tr> </tbody> </table>	Bit 9	Bit 8	Bit 7	Channel	0	0	0	IN0	0	0	1	IN1	1	1	1	IN7								
Bit 9	Bit 8	Bit 7	Channel																											
0	0	0	IN0																											
0	0	1	IN1																											
...																											
1	1	1	IN7																											
[6]	BW	Select bandwidth for low-pass filter. Refer to the Selectable Low-Pass Filter section. 0 = $1/4$ of BW, uses an additional series resistor to further bandwidth limit the noise. Maximum throughput must also be reduced to $1/4$. 1 = Full BW.																												
[5:3]	REF	Reference/buffer selection. Selection of internal, external, and external buffered references, and enabling of the on-chip temperature sensor. Refer to the Voltage Reference Output/Input section.																												
		<table border="1"> <thead> <tr> <th>Bit 5</th> <th>Bit 4</th> <th>Bit 3</th> <th>Function</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Not used</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Internal reference, REF = 4.096 V output.</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>External reference, temperature enabled.</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>External reference, internal buffer, temperature enabled.</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>External reference, temperature disabled.</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>External reference, internal buffer, temperature disabled.</td> </tr> </tbody> </table>	Bit 5	Bit 4	Bit 3	Function	0	0	0	Not used	0	0	1	Internal reference, REF = 4.096 V output.	0	1	0	External reference, temperature enabled.	0	1	1	External reference, internal buffer, temperature enabled.	1	1	0	External reference, temperature disabled.	1	1	1	External reference, internal buffer, temperature disabled.
Bit 5	Bit 4	Bit 3	Function																											
0	0	0	Not used																											
0	0	1	Internal reference, REF = 4.096 V output.																											
0	1	0	External reference, temperature enabled.																											
0	1	1	External reference, internal buffer, temperature enabled.																											
1	1	0	External reference, temperature disabled.																											
1	1	1	External reference, internal buffer, temperature disabled.																											
[2:1]	SEQ	Channel sequencer. Allows for scanning channels in an IN0 to IN[7:0] fashion. Refer to the Sequencer section.																												
		<table border="1"> <thead> <tr> <th>Bit 2</th> <th>Bit 1</th> <th>Function</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Disable sequencer.</td> </tr> <tr> <td>0</td> <td>1</td> <td>Update configuration during sequence.</td> </tr> <tr> <td>1</td> <td>0</td> <td>Scan IN0 to IN[7:0] (set in CFG[9:7]), then temperature.</td> </tr> <tr> <td>1</td> <td>1</td> <td>Scan IN0 to IN[7:0] (set in CFG[9:7]).</td> </tr> </tbody> </table>	Bit 2	Bit 1	Function	0	0	Disable sequencer.	0	1	Update configuration during sequence.	1	0	Scan IN0 to IN[7:0] (set in CFG[9:7]), then temperature.	1	1	Scan IN0 to IN[7:0] (set in CFG[9:7]).													
Bit 2	Bit 1	Function																												
0	0	Disable sequencer.																												
0	1	Update configuration during sequence.																												
1	0	Scan IN0 to IN[7:0] (set in CFG[9:7]), then temperature.																												
1	1	Scan IN0 to IN[7:0] (set in CFG[9:7]).																												
0	RB	Read back the CFG register. 0 = Read back current configuration at end of data. 1 = Do not read back contents of configuration.																												

¹ X = don't care

全体タイミング、ビジー・インジケータなし

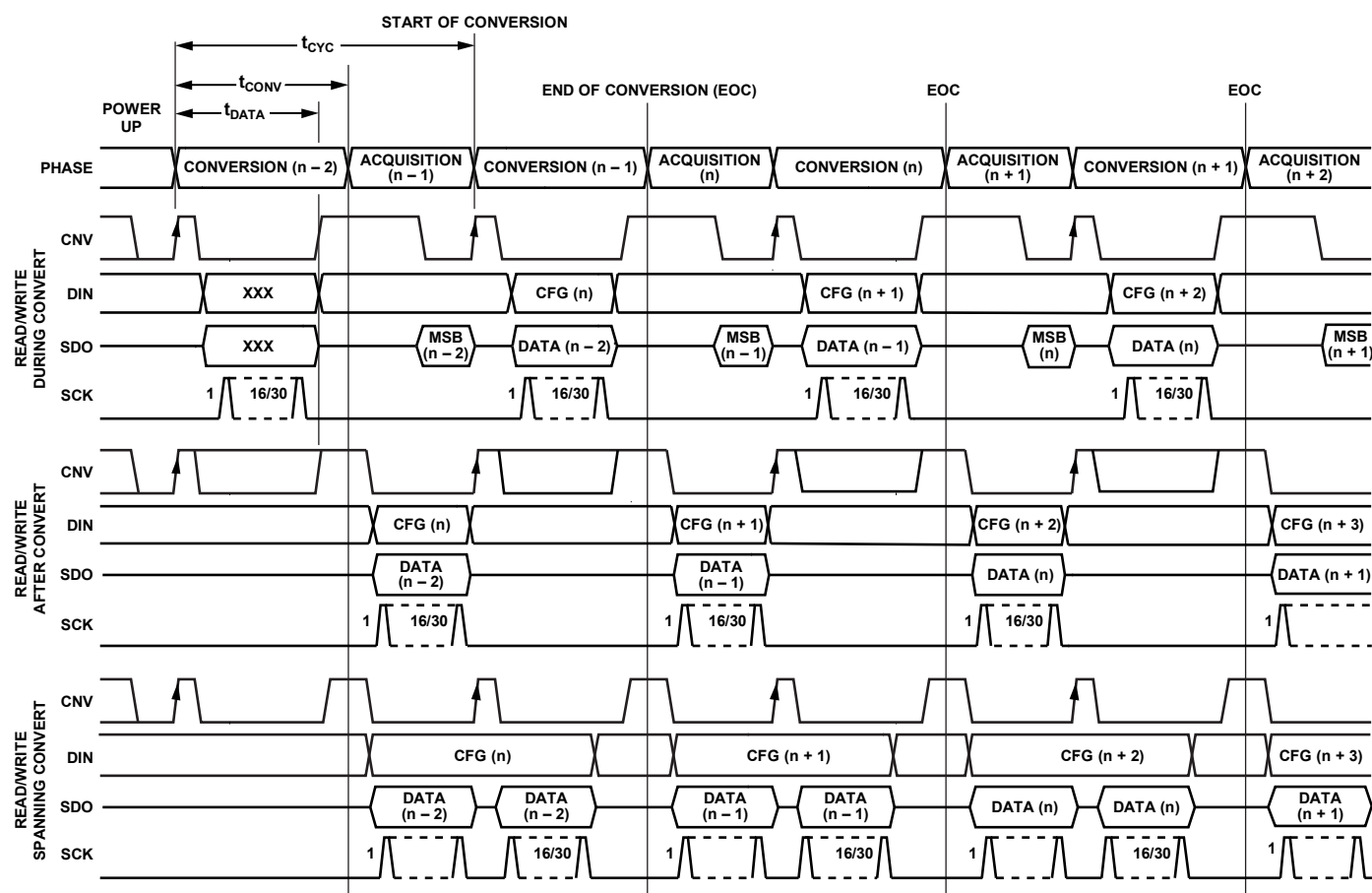
図 35 に、変換中、変換後、スパンニング変換の読出し/書込みの 3 モードすべてのタイミングを示します。CFG とデータ・リードバックのゲーティング項目は、変換の終わり (EOC) にあることに注意してください。変換の終わり (EOC) では、CNV がハイ・レベルの場合、ビジー・インジケータはディスエーブルされます。

前述のように、データ・アクセスは安全なデータ読出し/書込み時間 t_{DATA} までに行う必要があります。EOC の前にフル CFG ワードが書込まれなかった場合には無視され、現在の設定が維持されます。EOC の前に変換結果がすべて読出されない場合には無視されて、ADC が現在の変換の MSB で SDO を更新します。タイミングの詳細

については、図 36 と 図 37 を参照してください。これらの図では、読出し/書込みスパンニング変換を図示し、セットアップ、ホールド、SCK を含むすべてのタイミング詳細も示してあります。

EOC の後ろで、CNV をロー・レベルにすると、SDO はハイ・インピーダンスから MSB へ駆動されます。SCK の立下がりエッジにより、ビットの出力が MSB-1 から開始されます。

SPI を使用する場合のクロック極性 (CPOL) とクロック位相 (CPHA) の設定値に応じて、SCK はハイ・レベルまたはロー・レベルでアイドルすることができます。簡単なソリューションは、図 35 に示すように SCK がロー・レベルでアイドルする場合、CPOL = CPHA = 0 とすることです。



NOTES

1. CNV MUST BE HIGH PRIOR TO THE END OF CONVERSION (EOC) TO AVOID THE BUSY INDICATOR. A TOTAL OF 16 SCK FALLING EDGES IS REQUIRED TO RETURN SDO TO HIGH-Z. IF CFG READBACK IS ENABLED, A TOTAL OF 30 SCK FALLING EDGES IS REQUIRED TO RETURN SDO TO HIGH-Z.

07354-039

図 35. AD7699 インターフェースの全体タイミング、ビジー・インジケータなし

読出し/書込みスパンニング変換、ビジー・インジケータなし

このモードは、AD7699をSPI、シリアル・ポート、またはFPGAを使って任意のホストに接続するときに使います。接続図を図36に、対応するタイミングを図37に、それぞれ示します。SPIの場合、ホストはCPHA = CPOL = 0を使う必要があります。読出し/書込みスパンニング変換を示します。これには、デジタル・インターフェースのセクションで説明する3つのモードすべてが示してあります。このモードの場合、ホストは変換時間に基づいてデータ転送を行う必要があります。割り込み駆動の転送については、ビジー・インジケータを使用する次のセクションを参照してください。

CNVの立上がりエッジで変換が開始され、SDOはハイ・インピーダンスになり、DIN上のデータは無視されます。変換が開始されると、CNVの状態に関係なく完了するまで継続されます。安全データ転送時間 t_{DATA} の前に CNV がハイ・レベルに戻り、変換時間 t_{CONV} を超えてハイ・レベルを維持して、ビジー信号の発生を防止する必要があります。

変換が完了すると、AD7699はアキュイジション・フェーズに入りパワーダウンします。ホストが $t_{CONV}(\max)$ 後に CNV をロー・レベルにすると、MSBがSDO上でイネーブルされます。また、ホストはこの時点でCFGのMSBをイネーブルして、(必要に応じて)CFGの

更新を開始させる必要があります。CNVがロー・レベルの間、CFGの更新とデータのリードバックが実行されます。最初の14個のSCK立上がりエッジを使ってCFGが更新され、最初の15個のSCK立下がりエッジで変換結果がMSB-1から出力されます。設定と読出しの制約は、次の変換の t_{DATA} 時間が経過する前にこれらを実行することです。CFG[13:0]の全14ビットを書込む必要があります。そうしないと無視されます。さらに、 t_{DATA} が経過する前に16ビットの変換結果をリードバックしないと、失われてしまいます。

SDOデータは、両SCKエッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCKの立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。16番目(または30番目)のSCK立下がりエッジの後、またはCNVがハイ・レベルになったときのいずれか早い方で、SDOはハイ・インピーダンスに戻ります。

CFGリードバックがイネーブルされると、変換結果に対応するCFGがMSBファーストでリードバックされ、変換結果のLSBが後ろに続きます。この機能がイネーブルされた場合にSDOをハイ・インピーダンスに戻すためには、合計30個のSCK立下がりエッジが必要です。

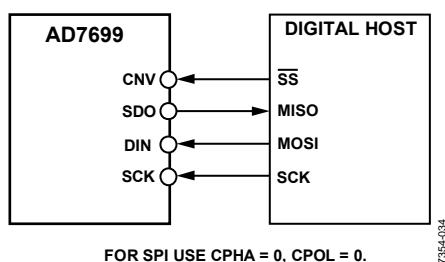


図36.AD7699の接続図、ビジー・インジケータなし

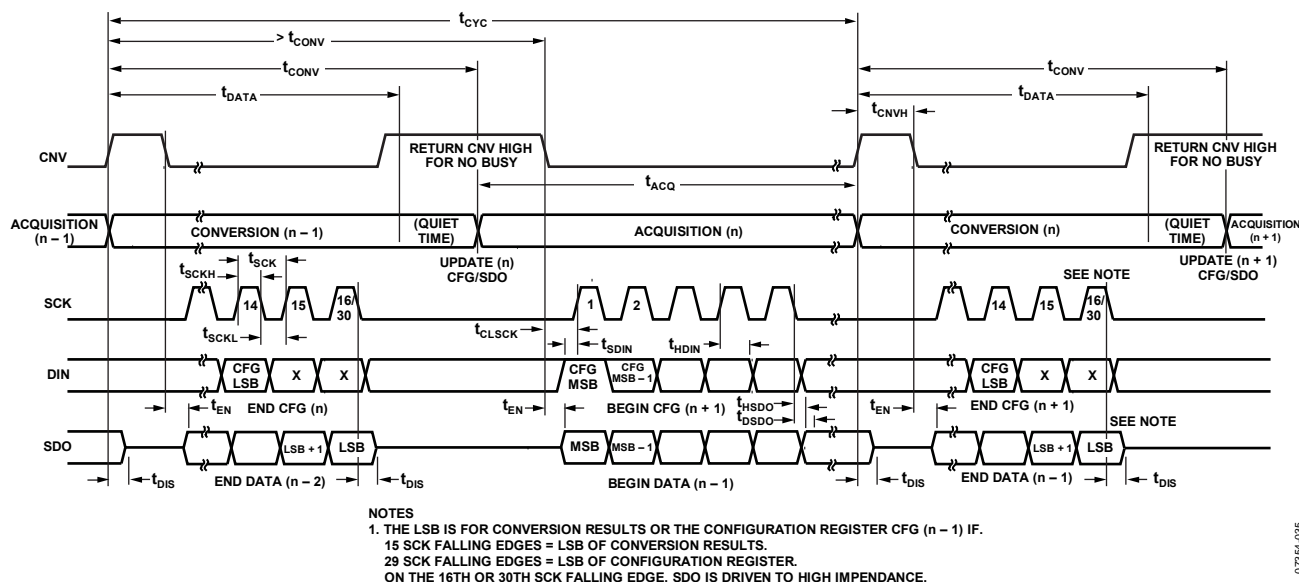


図37.AD7699のシリアル・インターフェース・タイミング、ビジー・インジケータなし

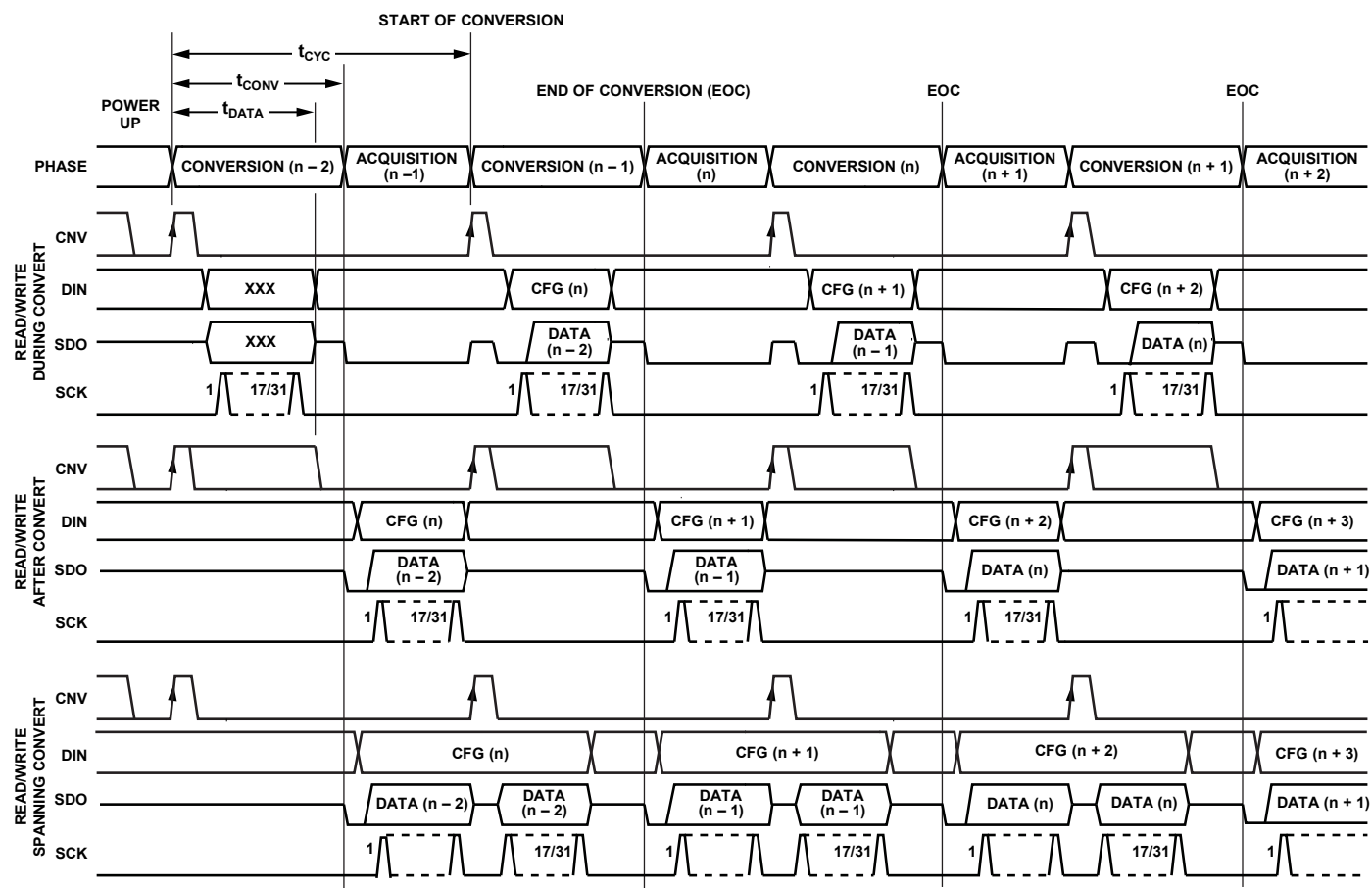
全体タイミング、ビジー・インジケータあり

図 38 に、変換中、変換後、スパンニング変換の読出し/書き込みの 3 モードすべてのタイミングを示します。CFGとデータ・リードバックのゲーティング項目は、変換の終わり(EOC)にあることに注意してください。前述のように、データ・アクセスは安全なデータ読出し/書き込み時間 t_{DATA} までに行う必要があります。EOCの前にフルCFGワードが書込まれなかった場合には無視され、現在の設定が維持されます。

変換の終わり(EOC)では、CNVがロー・レベルの場合、ビジー・インジケータがイネーブルされます。さらに、ビジー・インジケータが正しく発生されるためには、ホストが最小 17 個のSCK立下がりエッジをアサートして、SDOをハイ・インピーダンスに戻す必要があります。これはデータの最終ビットがSDO上でアクティブのままになっているためです。全体タイミング、ビジー・インジケータなしのセクションで説明したケースとは異なり、EOCの前に変換結果が完全に読出されない場合、出力された最終ビット

が残ります。このビットがロー・レベルの場合には、ビジー信号インジケータが発生することができません。これは、デジタル出力にはハイ・インピーダンスが必要なため、あるいはホストの割込み入力のため、ハイ・レベルで残ったビットがロー・レベルへ変化することが必要なためです。この例は、SPIホストが 16 個のSCKを送信するときに起こります。これらは通常 8 ビットまたは 16 ビットのバーストに制限されているので、LSBが残ってしまうためです。AD7699 の変化ノイズはピークtoピークで 4 LSB以上であるため、LSBは 50%の時間ロー・レベルです。このインターフェースの場合、SPIホストは 24 個のSCKバーストを必要とするか、またはQSPIインターフェースを使って、17 個のSCKを設定することができます。

SPIを使用する場合のCPOLとCPHAの設定値に応じて、SCKはハイ・レベルまたはロー・レベルでアイドルすることができます。簡単なソリューションは、SCKをハイ・レベルでアイドルさせて、CPOL = CPHA = 1(表示してありません)とすることです。



NOTES

1. CNV MUST BE HIGH PRIOR TO THE END OF CONVERSION (EOC) TO AVOID THE BUSY INDICATOR.
A TOTAL OF 17 SCK FALLING EDGES IS REQUIRED TO RETURN SDO TO HIGH-Z. IF CFG READBACK IS ENABLED, A TOTAL OF 31 SCK FALLING EDGES IS REQUIRED TO RETURN SDO TO HIGH-Z.

07354-036

図 38. AD7699 インターフェースの全体タイミング、ビジー・インジケータあり

読出し/書込みスパンニング変換、ビジー・インジケータあり

このモードは、割込み入力ありで、AD7699 をSPI、シリアル・ポート、またはFPGAを使って任意のホストに接続するときに使います。接続図を図 39 に、対応するタイミングを図 40 に、それぞれ示します。SPIの場合、ホストはCPHA = CPOL = 1 を使う必要があります。読出し/書込みスパンニング変換を示します。これには、デジタル・インターフェースのセクションで説明する 3 つのモードすべてが示してあります。

CNV の立上がりエッジで変換が開始され、SDO はハイ・インピーダンスになり、DIN 上のデータは無視されます。変換が開始されると、CNV の状態に関係なく完了するまで継続されます。安全データ転送時間 t_{DATA} の前に CNV がロー・レベルに戻り、変換時間 t_{CONV} を超えてロー・レベルを維持して、ビジー信号インジケータを発生させる必要があります。変換が完了すると、SDO はハイ・インピーダンスから VIO へのプルアップを持つロー・レベルに変化します。この変化は、データ転送を開始させるホストへの割込みとして使うことができます。

変換が完了すると、AD7699 はアキュイジション・フェーズに入りパワーダウンします。ホストはこの時点で CFG の MSB をイネーブルして、(必要に応じて) CFG の更新を開始させる必要があります。

CNV がロー・レベルの間、CFG の更新とデータのリードバックが実行されます。最初の 14 個の SCK 立上がりエッジを使って CFG レジスタが更新され、最初の 16 個の SCK 立下がりエッジで変換結果が MSB から出力されます。設定と読出しの制約は、次の変換の t_{DATA} 時間が経過する前にこれらを実行することです。CFG[13:0]の全 14 ビットを書込む必要があります。そうしないと無視されます。また、 t_{DATA} が経過する前に 16 ビットの変換結果をリードバックしないと、失われてしまいます。

SDO データは、両 SCK エッジで有効です。立上がりエッジを使ってデータを取込むことができますが、SCK の立下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読出しレートが可能になります。17 番目の SCK 立下がりエッジの後に、SDO はハイ・インピーダンスに戻ります。オプションの SCK 立下がりエッジを使わないと、変換の LSB がロー・レベルの場合、ビジー機能が検出できないことに注意してください。

CFG リードバックがイネーブルされると、変換結果 (n - 1) に対応する CFG レジスタが MSB ファーストでリードバックされ、変換結果の LSB が後ろに続きます。この機能がイネーブルされた場合に SDO をハイ・インピーダンスに戻すためには、合計 31 個の SCK 立下がりエッジが必要です。

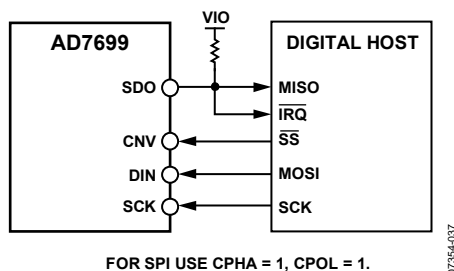


図 39. AD7699 の接続図、ビジー・インジケータあり

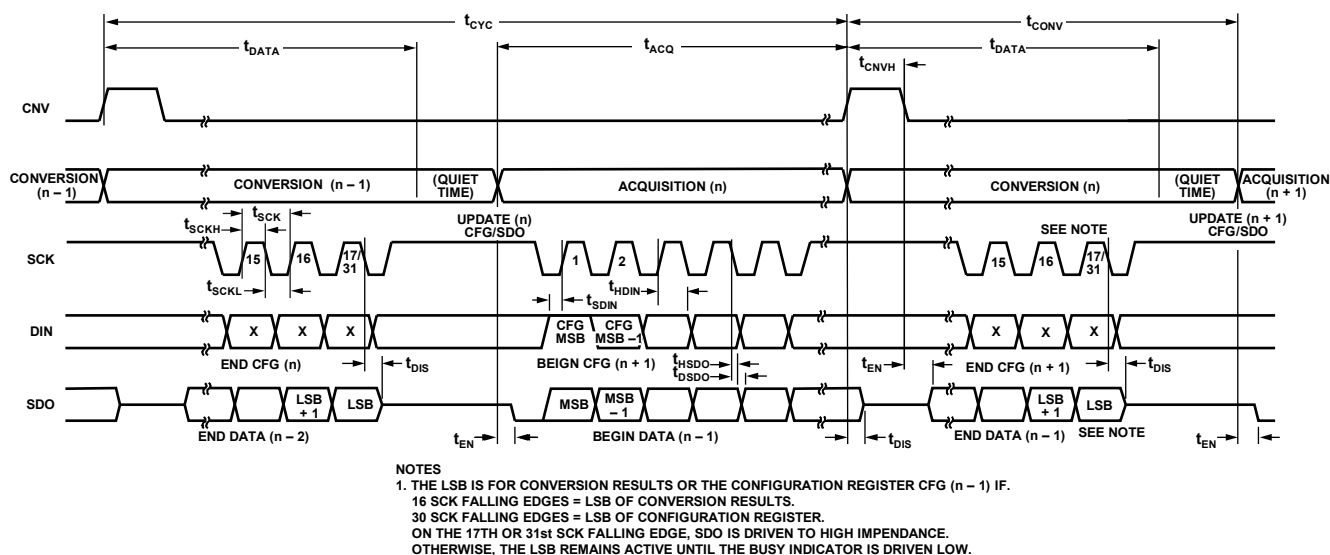


図 40. AD7699 のシリアル・インターフェース・タイミング、ビジー・インジケータあり

アプリケーション情報

レイアウト

AD7699 を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。AD7699 では、すべてのアナログ信号を左側に、すべてのデジタル信号を右側に配置しているため、この作業が容易になります。

AD7699 の下のグラウンド・プレーンがシールドして使われてない限り、ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。CNV やクロックのような高速なスイッチング信号は、アナログ信号バスの近くを通らないようにしてください。デジタル信号とアナログ信号の交差は回避する必要があります。

少なくとも 1 枚のグラウンド・プレーンを使う必要があります。デジタル部とアナログ部に共通または分けて使うことができます。後者の場合、各プレーンは AD7699 の下で接続する必要があります。

AD7699 のリファレンス電圧入力 REF は動的入力インピーダンスを持つため、最小の寄生インダクタンスでデカップリングする必要があります。これは、REF ピンと GND ピンの近くに、理想的には直接に、太い低インピーダンスのパターンでリファレンス電圧のデカップリング・セラミック・コンデンサを接続することにより行われます。

最後に、AD7699 の電源 VDD と VIO は AD7699 の近くに配置したセラミック・コンデンサ(一般に 100 nF)でデカップリングし、低インピーダンス・パスを提供する短く太いパターンで接続して、電源ライン上のグリッチの影響を軽減します。

AD7699 の性能評価

AD7699 のその他の推奨レイアウトは、AD7699 用評価ボード (EVAL-AD76MUXCBZ) のドキュメントにも記載してあります。評価ボードの梱包には、組み立て済みでテスト済みの評価ボード、ドキュメント、評価用コントローラ・ボード (EVAL-CONTROL BRD3) を介して PC からボードを制御するソフトウェアが添付されています。

外形寸法

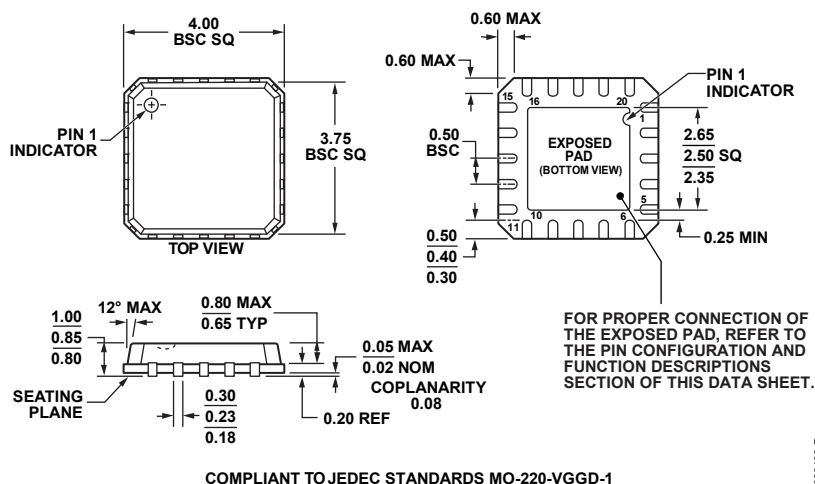


図 41.20 ピン・リード・フレーム・チップ・スケール・パッケージ(LFCSP_VQ)
4 mm × 4 mm ボディ、極薄クワッド
(CP-20-4)
寸法: mm

オーダー・ガイド

Model	Integral Nonlinearity	No Missing Code	Temperature Range	Package Description	Package Option	Ordering Quantity
AD7699BCPZ ¹	±1.5 LSB max	16 bits	-40°C to +85°C	20-Lead LFCSP_VQ	CP-20-4	Tray, 490
AD7699BCPZRL7 ¹	±1.5 LSB max	16 bits	-40°C to +85°C	20-Lead LFCSP_VQ	CP-20-4	Reel, 1500
EVAL-AD7699CBZ ¹				Evaluation Board		
EVAL-CONTROL BRD3Z ^{1,2}				Controller Board		

¹ RoHS 準拠製品。

² このコントローラ・ボードを使うと、PC からの制御とモデル番号に CB サフィックスが付くすべてのアナログ・デバイス評価ボードとの通信が可能です。