

特長

- ノーマス・コードの 16 ビット分解能
- スループット: 250 kSPS
- INL: ± 0.4 LSB (typ)、 ± 1.5 LSB (max) (FSR の ± 23 ppm)
- ダイナミック・レンジ: 96.5 dB
- S/(N + D): 20 kHz で 95.5 dB
- THD: 20 kHz で -118 dB
- 真の差動アナログ入力範囲
 $\pm V_{REF}$
両入力で $0\text{ V} \sim V_{REF}$ 、 V_{REF} は VDD まで
- パイプライン遅延なし
- 1.8 V/2.5 V/3 V/5 V ロジック・インターフェースで 2.3 V \sim 5.5 V の単電源動作
- シリアル・インターフェース: SPI/QSPI™/MICROWIRE™/DSP 互換
- 複数 ADC のディジーチェーン接続と BUSY 表示
- 消費電力
2.5 V/100 kSPS で 1.35 mW、5 V/100 kSPS で 4 mW
2.5 V/100 SPS で 1.4 μ W
- スタンバイ電流: 1 nA
- 10 ピン MSOP (MSOP-8 サイズ)または
3 mm \times 3 mm QFN¹ (LFCSP) (SOT-23 サイズ)を採用
AD7685、AD7686、AD7688 とピン・コンパチブル

アプリケーション

- バッテリー駆動の装置
- データ・アキュジション
- 計装機器
- 医用計測機器
- プロセス制御

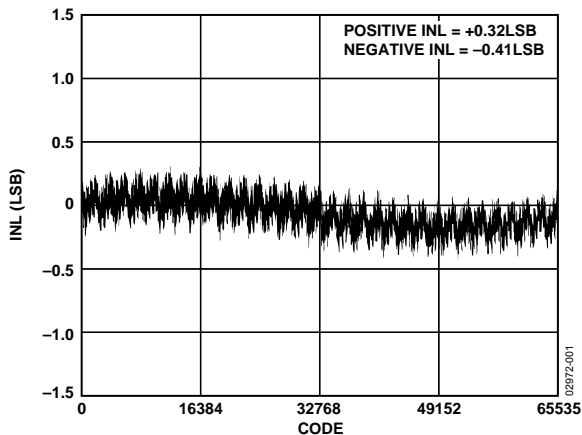


図1.コード対積分非直線性

アプリケーション図

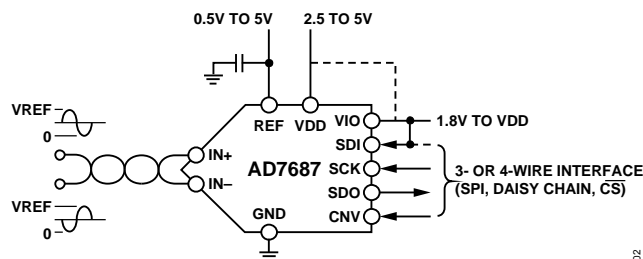


図2.

表1.MSOP、QFN (LFCSP)/SOT-23 の 16 ビット PuISAR ADC

Type	100 kSPS	250 kSPS	500 kSPS
True Differential	AD7684	AD7687	AD7688
Pseudo	AD7683	AD7685	AD7686
Differential/Unipolar		AD7694	
Unipolar	AD7680		

概要

AD7687 は、電荷再分配逐次比較型 ADC を採用した 16 ビット A/D コンバータで 2.3 \sim 5.5 V の単電源(VDD)で動作します。低消費電力、かつノーマス・コードで高速 16 ビット・サンプリングの ADC、内部変換クロック、多機能シリアル・インターフェース・ポートを内蔵しています。また、低ノイズで広帯域幅の、アパーチャ遅延が非常に小さいトラック&ホールド回路も内蔵しています。IN+ピンと IN-ピンとの間の電位差を CNV の立ち上がりエッジでサンプルします。両ピンの各電圧は $0\text{ V} \sim \text{REF}$ の範囲で逆位相です。リファレンス電圧 REF は外部から与え、電源電圧まで変えることができます。

消費電力はスループットに比例します。

また、SPI 互換のシリアル・インターフェースには、SDI 入力を使って、1 本の 3 線式バスで複数の ADC をディジーチェーン接続する機能があります。さらにオプションとして BUSY を表示することもできます。別電源 VIO を使って、1.8 V、2.5 V、3 V、または 5 V ロジックとインターフェースすることができます。

AD7987 は、10 ピン MSOP または 10 ピン QFN¹ (LFCSP)を採用し、動作は $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ で規定されています。

¹ QFN パッケージは開発中です。サンプルと供給状況については営業まで尋ねてください。

目次

特長.....	1	ドライバ・アンプの選択.....	16
アプリケーション.....	1	シングル/差動ドライバ.....	16
アプリケーション図.....	1	リファレンス電圧入力.....	16
概要.....	1	電源.....	16
目次.....	2	リファレンス電圧からADCへの電源供給.....	17
改訂履歴.....	2	デジタル・インターフェース.....	17
仕様.....	3	$\overline{\text{CS}}$ モード 3 線式、BUSY表示なし.....	18
タイミング仕様.....	5	$\overline{\text{CS}}$ モード 3 線式、BUSY表示あり.....	19
絶対最大定格.....	7	$\overline{\text{CS}}$ モード 4 線式、BUSY表示なし.....	20
ESDに関する注意.....	7	$\overline{\text{CS}}$ モード 4 線式、BUSY表示あり.....	21
ピン配置およびピン機能説明.....	8	チェーン・モード、BUSY表示なし.....	22
用語.....	9	チェーン・モード、BUSY表示あり.....	23
代表的な性能特性.....	10	アプリケーション情報.....	24
回路説明.....	13	レイアウト.....	24
コンバータの動作.....	13	AD7687の性能評価.....	24
代表的な接続図.....	14	外形寸法.....	25
アナログ入力.....	15	オーダー・ガイド.....	26

改訂履歴

4/05—Revision 0: Initial Version

仕様

特に指定がない限り、VDD = 2.3 V ~ 5.5 V、VIO = 2.3 V ~ VDD、VREF = VDD、TA = -40°C ~ +85°C。

表2.

Parameter	Conditions	Min	Typ	Max	Unit
RESOLUTION		16			Bits
ANALOG INPUT					
Voltage Range	IN+ - IN-	-VREF		+VREF	V
Absolute Input Voltage	IN+, IN-	-0.1		VREF + 0.1	V
Common-Mode Input Range	IN+, IN-	0	VREF/2	VREF/2 + 0.1	V
Analog Input CMRR	fIN = 250 kHz		65		dB
Leakage Current at 25°C	Acquisition phase		1		nA
Input Impedance		See the Analog Input section			
ACCURACY					
No Missing Codes		16			Bits
Differential Linearity Error		-1	±0.4	+1	LSB ¹
Integral Linearity Error		-1.5	±0.4	+1.5	LSB
Transition Noise	REF = VDD = 5 V		0.35		LSB
Gain Error ² , TMIN to TMAX			±2	±6	LSB
Gain Error Temperature Drift			±0.3		ppm/°C
Offset Error ² , TMIN to TMAX	VDD = 4.5 V to 5.5 V		±0.1	±1.6	mV
	VDD = 2.3 V to 4.5 V		±0.7	±3.5	mV
Offset Temperature Drift			±0.3		ppm/°C
Power Supply Sensitivity	VDD = 5 V ± 5%		±0.05		LSB
THROUGHPUT					
Conversion Rate	VDD = 4.5 V to 5.5 V	0		250	kSPS
	VDD = 2.3 V to 4.5 V	0		200	kSPS
Transient Response	Full-scale step			1.8	µs
AC ACCURACY					
Dynamic Range	VREF = 5 V	95.8	96.5		dB ³
Signal-to-Noise	fIN = 20 kHz, VREF = 5 V	94	95.5		dB
	fIN = 20 kHz, VREF = 2.5 V	92	92.5		dB
Spurious-Free Dynamic Range	fIN = 20 kHz		-118		dB
Total Harmonic Distortion	fIN = 20 kHz		-118		dB
Signal-to-(Noise + Distortion)	fIN = 20 kHz, VREF = 5 V	94	95.5		dB
	fIN = 20 kHz, VREF = 5 V, -60 dB input		36.5		dB
	fIN = 20 kHz, VREF = 2.5 V	92	92.5		dB
Intermodulation Distortion ⁴			115		dB

¹ LSBは最下位ビットを意味します。入力範囲が±5 Vの場合、1 LSB = 152.6 µV。

² 用語のセクションを参照してください。これらの仕様には全温度範囲での変動が含まれますが、外付けリファレンス電圧の誤差成分は含まれません。

³ dB表示のすべての仕様はフル・スケール入力FSRを基準とします。特に注記がない場合、フル・スケールより0.5 dB低い入力信号でテスト。

⁴ fIN1 = 21.4 kHz、fIN2 = 18.9 kHz、各トーンはフル・スケールより-7 dB下。

特に指定がない限り、VDD = 2.3 V ~ 5.5 V、VIO = 2.3 V ~ VDD、VREF = VDD、TA = -40°C ~ +85°C。

表3.

Parameter	Conditions	Min	Typ	Max	Unit
REFERENCE					
Voltage Range		0.5		VDD + 0.3	V
Load Current	250 kSPS, REF = 5 V		50		μA
SAMPLING DYNAMICS					
-3 dB Input Bandwidth			2		MHz
Aperture Delay	VDD = 5 V		2.5		ns
DIGITAL INPUTS					
Logic Levels					
V _{IL}		-0.3		+0.3 × VIO	V
V _{IH}		0.7 × VIO		VIO + 0.3	V
I _{IL}		-1		+1	μA
I _{IH}		-1		+1	μA
DIGITAL OUTPUTS					
Data Format		Serial 16-bits twos complement			
Pipeline Delay		Conversion results available immediately after completed conversion			
V _{OL}	I _{SINK} = +500 μA			0.4	V
V _{OH}	I _{SOURCE} = -500 μA	VIO - 0.3			V
POWER SUPPLIES					
VDD	Specified performance	2.3		5.5	V
VIO	Specified performance	2.3		VDD + 0.3	V
VIO Range		1.8		VDD + 0.3	V
Standby Current ^{1,2}	VDD and VIO = 5 V, 25°C		1	50	nA
Power Dissipation	VDD = 2.5 V, 100 SPS throughput		1.4		μW
	VDD = 2.5 V, 100 kSPS throughput		1.35		mW
	VDD = 2.5 V, 200 kSPS throughput		2.7		mW
	VDD = 5 V, 100 kSPS throughput		4	5.5	mW
	VDD = 5 V, 250 kSPS throughput			12.5	mW
TEMPERATURE RANGE ³					
Specified Performance	T _{MIN} to T _{MAX}	-40		+85	°C

¹ すべてのデジタル入力を必要に応じて VIO または GND に接続。

² アクイジション・フェーズ時。

³ 拡張温度範囲については最寄りの営業にご相談ください。

タイミング仕様

特に指定のない限り、 $-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$ 、 $\text{VDD} = 4.5\sim 5.5\text{ V}$ 、 $\text{VIO} = 2.3\sim 5.5\text{ V}$ または $\text{VDD} + 0.3\text{ V}$ (いずれか低い方)。

負荷条件については、図 3 と 図 4 を参照してください。

表 4.

Parameter	Symbol	Min	Typ	Max	Unit
Conversion Time: CNV Rising Edge to Data Available	t_{CONV}	0.5		2.2	μs
Acquisition Time	t_{ACQ}	1.8			μs
Time Between Conversions	t_{CYC}	4			μs
CNV Pulse Width ($\overline{\text{CS}}$ Mode)	t_{CNVH}	10			ns
SCK Period ($\overline{\text{CS}}$ Mode)	t_{SCK}	15			ns
SCK Period (Chain Mode)	t_{SCK}				
VIO Above 4.5 V		17			ns
VIO Above 3 V		18			ns
VIO Above 2.7 V		19			ns
VIO Above 2.3 V		20			ns
SCK Low Time	t_{SCKL}	7			ns
SCK High Time	t_{SCKH}	7			ns
SCK Falling Edge to Data Remains Valid	t_{HSDO}	5			ns
SCK Falling Edge to Data Valid Delay	t_{DSDO}				
VIO Above 4.5 V				14	ns
VIO Above 3 V				15	ns
VIO Above 2.7 V				16	ns
VIO Above 2.3 V				17	ns
CNV or SDI Low to SDO D15 MSB Valid ($\overline{\text{CS}}$ Mode)	t_{EN}				
VIO Above 4.5 V				15	ns
VIO Above 2.7 V				18	ns
VIO Above 2.3 V				22	ns
CNV or SDI High or Last SCK Falling Edge to SDO High Impedance ($\overline{\text{CS}}$ Mode)	t_{DIS}			25	ns
SDI Valid Setup Time from CNV Rising Edge ($\overline{\text{CS}}$ Mode)	t_{SSDICNV}	15			ns
SDI Valid Hold Time from CNV Rising Edge ($\overline{\text{CS}}$ Mode)	t_{HSDICNV}	0			ns
SCK Valid Setup Time from CNV Rising Edge (Chain Mode)	t_{SSCKCNV}	5			ns
SCK Valid Hold Time from CNV Rising Edge (Chain Mode)	t_{HSCKCNV}	5			ns
SDI Valid Setup Time from SCK Falling Edge (Chain Mode)	t_{SSDISCK}	3			ns
SDI Valid Hold Time from SCK Falling Edge (Chain Mode)	t_{HSDISCK}	4			ns
SDI High to SDO High (Chain Mode with BUSY indicator)	t_{DSDOSDI}				
VIO Above 4.5 V				15	ns
VIO Above 2.3 V				26	ns

特に指定のない限り、 $-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$ 、 $\text{VDD} = 2.3\sim 4.5\text{ V}$ 、 $\text{VIO} = 2.3\sim 4.5\text{ V}$ または $\text{VDD} + 0.3\text{ V}$ (いずれか低い方)。
負荷条件については、図3と図4を参照してください。

表5.

Parameter	Symbol	Min	Typ	Max	Unit
Conversion Time: CNV Rising Edge to Data Available	t_{CONV}	0.7		3.2	μs
Acquisition Time	t_{ACQ}	1.8			μs
Time Between Conversions	t_{CYC}	5			μs
CNV Pulse Width ($\overline{\text{CS}}$ Mode)	t_{CNVH}	10			ns
SCK Period ($\overline{\text{CS}}$ Mode)	t_{SCK}	25			ns
SCK Period (Chain Mode)	t_{SCK}				
VIO Above 3 V		29			ns
VIO Above 2.7 V		35			ns
VIO Above 2.3 V		40			ns
SCK Low Time	t_{SCKL}	12			ns
SCK High Time	t_{SCKH}	12			ns
SCK Falling Edge to Data Remains Valid	t_{HSDO}	5			ns
SCK Falling Edge to Data Valid Delay	t_{DSDO}				
VIO Above 3 V				24	ns
VIO Above 2.7 V				30	ns
VIO Above 2.3 V				35	ns
CNV or SDI Low to SDO D15 MSB Valid ($\overline{\text{CS}}$ Mode)	t_{EN}				
VIO Above 2.7 V				18	ns
VIO Above 2.3 V				22	ns
CNV or SDI High or Last SCK Falling Edge to SDO High Impedance ($\overline{\text{CS}}$ Mode)	t_{DIS}			25	ns
SDI Valid Setup Time from CNV Rising Edge ($\overline{\text{CS}}$ Mode)	t_{SSDICNV}	30			ns
SDI Valid Hold Time from CNV Rising Edge ($\overline{\text{CS}}$ Mode)	t_{HSDICNV}	0			ns
SCK Valid Setup Time from CNV Rising Edge (Chain Mode)	t_{SSCKCNV}	5			ns
SCK Valid Hold Time from CNV Rising Edge (Chain Mode)	t_{HSCKCNV}	8			ns
SDI Valid Setup Time from SCK Falling Edge (Chain Mode)	t_{SSDISCK}	5			ns
SDI Valid Hold Time from SCK Falling Edge (Chain Mode)	t_{HSDISCK}	4			ns
SDI High to SDO High (Chain Mode with BUSY indicator)	t_{DSDOSDI}			36	ns

絶対最大定格

表6.

Parameter	Rating
Analog Inputs IN ⁺ ¹ , IN ⁻ ¹	GND - 0.3 V to VDD + 0.3 V or ±130 mA
REF	GND - 0.3 V to VDD + 0.3 V
Supply Voltages VDD, VIO to GND	-0.3 V to +7 V
VDD to VIO	±7 V
Digital Inputs to GND	-0.3 V to VIO + 0.3 V
Digital Outputs to GND	-0.3 V to VIO + 0.3 V
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
θ_{JA} Thermal Impedance	200°C/W (MSOP-10)
θ_{JC} Thermal Impedance	44°C/W (MSOP-10)
Lead Temperature Range	JEDEC J-STD-20

¹アナログ入力のセクション参照。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

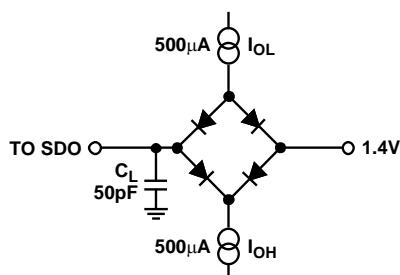
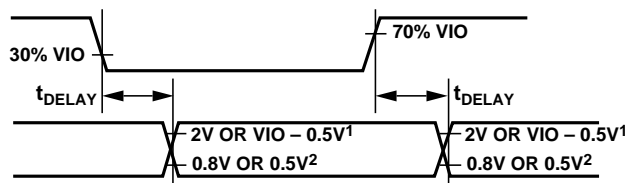


図3. デジタル・インターフェース・タイミングの負荷回路



¹12V IF VIO ABOVE 2.5V, VIO - 0.5V IF VIO BELOW 2.5V.
²0.8V IF VIO ABOVE 2.5V, 0.5V IF VIO BELOW 2.5V.

図4. タイミング測定のための電圧レベル

ピン配置およびピン機能説明

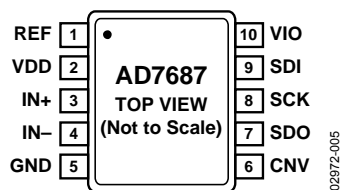
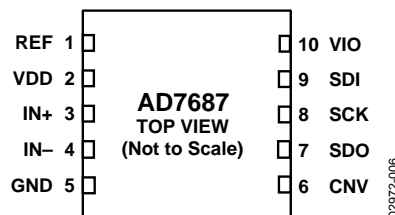


図5.10 ピン MSOP のピン配置

図6.10 ピン QFN¹ (LFCSP)のピン配置

¹ QFN パッケージは開発中です。サンプルと供給状況については営業にお尋ねください。

表7.ピン機能の説明

ピン番号	記号	タイプ ¹	機能
1	REF	AI	リファレンス電圧入力。REF の範囲は 0.5 V～VDD です。GND ピンを基準とします。このピンは、ピンの近くで 10 μ F のコンデンサにより GND にデカップリングする必要があります。
2	VDD	P	電源。
3	IN+	AI	差動正アナログ入力。
4	IN-	AI	差動負アナログ入力。
5	GND	P	電源グラウンド。
6	CNV	DI	変換入力。この入力は複数の機能を持っています。前縁エッジで、変換が開始され、インターフェース・モード(チェーンまたはCS)が選択されます。CSモードでは、このピンがロー・レベルのとき SDO ピンがイネーブルされます。チェーン・モードでは、CNV がハイ・レベルのときにデータを読み出す必要があります。
7	SDO	DO	シリアル・データ出力。変換結果がこのピンに出力されます。SCK に同期しています。
8	SCK	DI	シリアル・データ・クロック入力。デバイスが選択されたとき、変換結果がこのクロックでシフトアウトされます。
9	SDI	DI	シリアル・データ入力。この入力は複数の機能を持っています。これらのビットは、次のように ADC のインターフェース・モードを設定します。 CNV の立ち上がりエッジ時に SDI がロー・レベルになると、チェーン・モードが選択されます。このモードでは、SDI はデータ入力として使用されて、複数の ADC の変換結果を 1 本の SDO ラインにディジーチェーン接続します。SDI のデジタル・データ・レベルが SDO に出力され、SCK の 16 サイクル分の遅延が加わります。CNV の立ち上がりエッジ時に SDI がハイ・レベルになると、CSモードが選択されます。このモードでは、SDI または CNV がロー・レベルのとき、シリアル出力信号がイネーブルされ、変換が完了して SDI または CNV がロー・レベルになると、BUSY 表示機能がイネーブルされます。
10	VIO	P	入出力インターフェースのデジタル電源。公称では、ホスト・インターフェース(1.8 V、2.5 V、3 V、5 V)と同じ電源。

¹ AI=アナログ入力、DI=デジタル入力、DO=デジタル出力、P=電源。

用語

積分非直線性誤差(INL)

INLは、負側のフル・スケールと正側のフル・スケールを結ぶ直線と実際のコード出力との誤差として定義されます。負側フル・スケールとして使用されるポイントは、最初のコード遷移より 1/2 LSBだけ下に存在します。正フル・スケールは、最後のコード遷移より 1+1/2 LSBだけ上のレベルと定義されます。偏差は各コードの中央と直線との間の距離として測定されます(図 26参照)。

微分非直線性誤差(DNL)

理想的な ADC では、各コード変化が 1LSB 離れています。DNL は、この理論値からの最大偏差を意味します。微分非直線性は、ノミス・コードが保証される分解能として規定されることがあります。

ゼロ誤差

ゼロ誤差は、理論ミッドスケール値入力電圧(0 V)とミッドスケール値出力コード(0 LSB)を発生する実際の電圧との差を意味します。

ゲイン誤差

最初の変化(100 ... 00→100 ... 01)は公称負フル・スケール(±5 V レンジの場合は-4.999924 V)より 0.5 LSB 上のレベルで発生する必要があります。最後の変化(011 ... 10→011 ... 11)は、公称フル・スケール(±5 V レンジの場合は+4.999771 V)より 1.5 LSB 低いアナログ電圧で発生します。ゲイン誤差は、最後の変化の実際のレベルと最初の変化の実際のレベルとの差と、対応する両理論レベル間の差との間の違いを表します。

スプリアス・フリー・ダイナミック・レンジ(SFDR)

SFDR は入力信号の rms 振幅値とピーク・スプリアス信号との差を意味し、dB 値で表します。

実効ビット数(ENOB)

ENOB は、正弦波を入力したときの分解能を表します。S/(N+D)との関係は次式により示されます。

$$ENOB = (S/[N + D]_{dB} - 1.76)/6.02$$

ビット数で表されます。

総合高調波歪み(THD)

THD とは、基本波から 5 次高調波部品までの rms 値の総和の、フル・スケール入力信号の rms 値に対する比を意味し、デシベル値で表します。

ダイナミック・レンジ

入力を短絡して測定した合計 rms ノイズに対するフル・スケールの rms 値の比を表します。ダイナミック・レンジの値は dB で表されます。

信号対ノイズ比(SNR)

SNR は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和から高調波成分と DC 成分を除いた分に対する比です。SNR の値は、dB で表されます。

信号対(ノイズ+歪み)比(S/[N+D])

S/(N+D)は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和(DC 以外の高調波を含む)に対する比です。S/(N+D)値は dB で表します。

アパーチャ遅延

アパーチャ遅延は、アクイジション性能を表します。CNV 入力の立ち上がりエッジから入力信号が変換用に保持されまでの時間を表します。

過渡応答

フル・スケールのステップ関数が入力された後に ADC が正確に入力を取得するまでに要する時間を表します。

代表的な性能特性

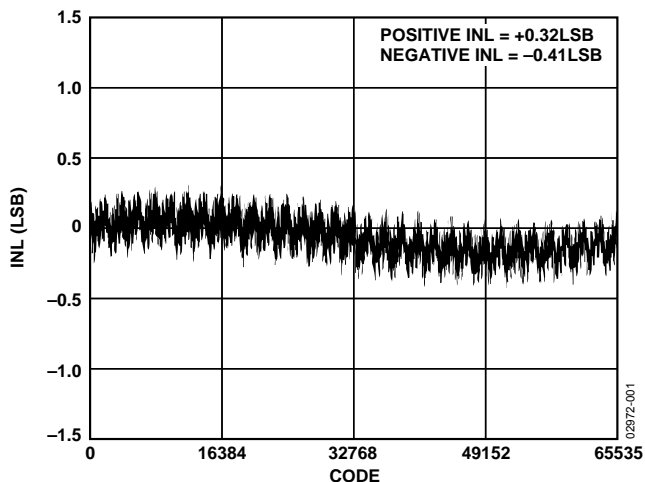


図7.コード対積分非直線性

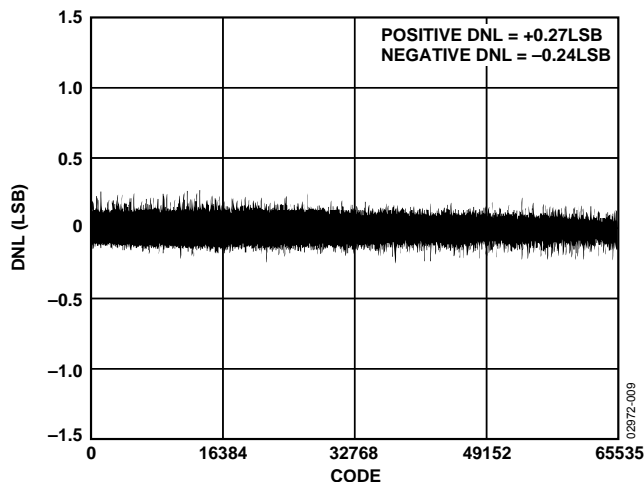


図10.コード対微分非直線性

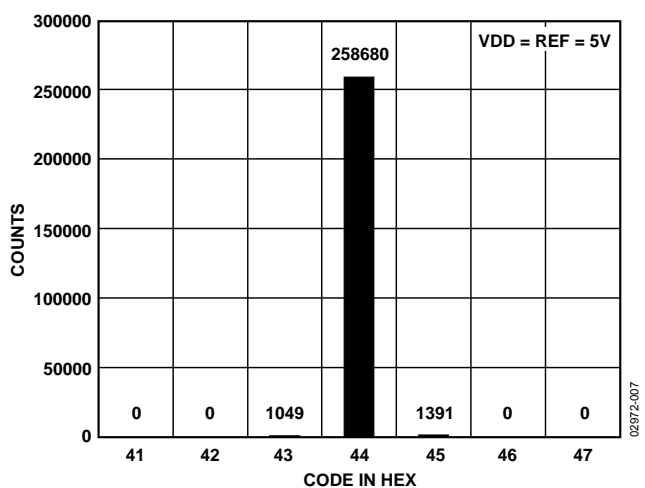


図8.コード中心でのDC入力のヒストグラム

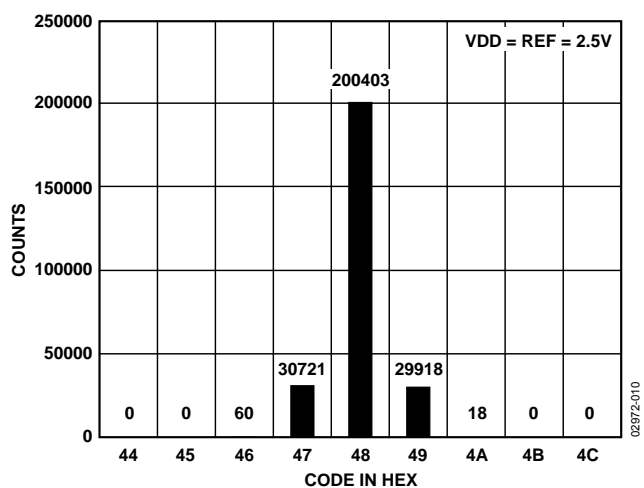


図11.コード中心でのDC入力のヒストグラム

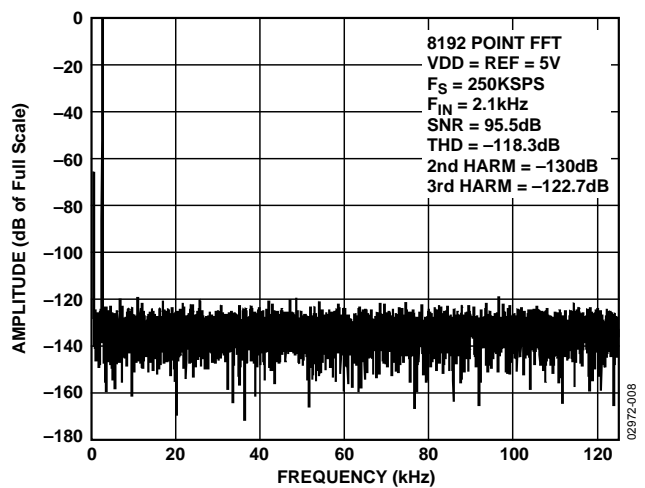


図9.FFT プロット

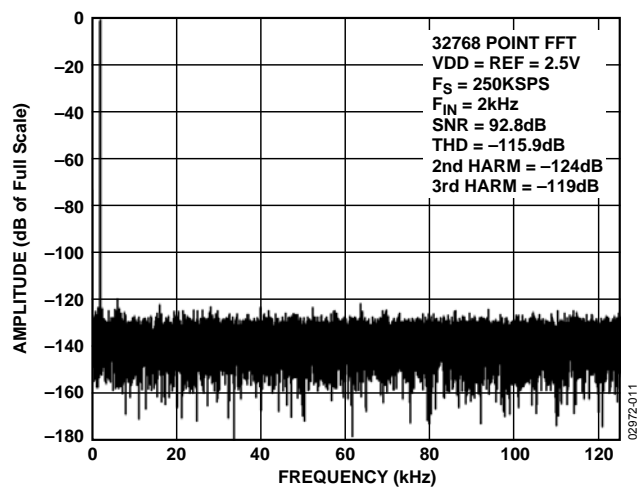


図12.FFT プロット

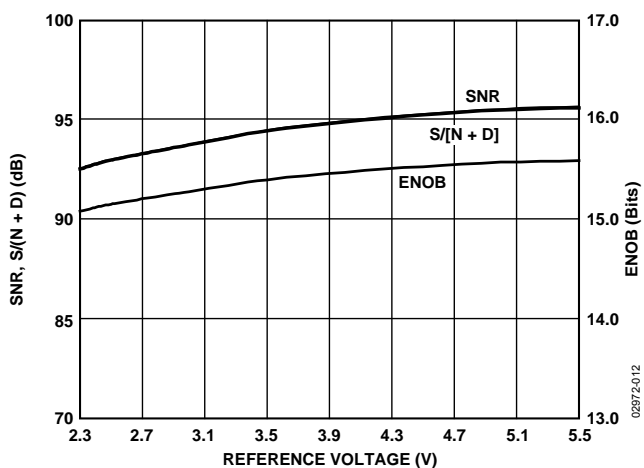


図13.リファレンス電圧対 SNR、S/(N + D)、ENOB

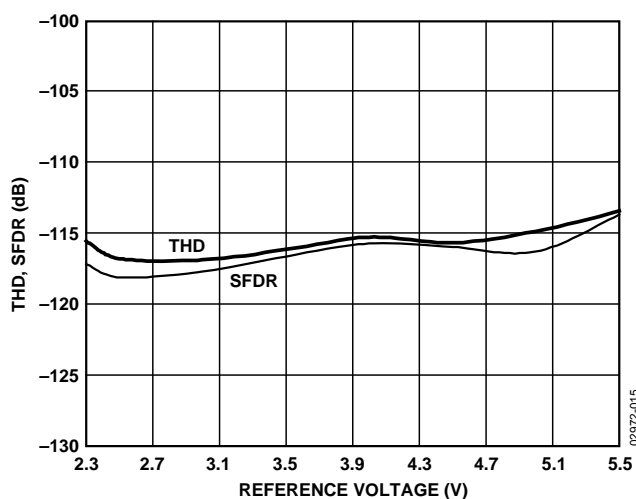


図16.リファレンス電圧対 THD、SFDR

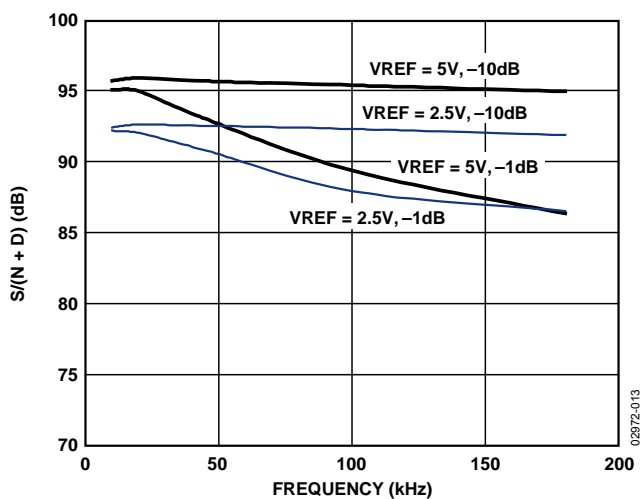


図14.S/(N + D)の周波数特性

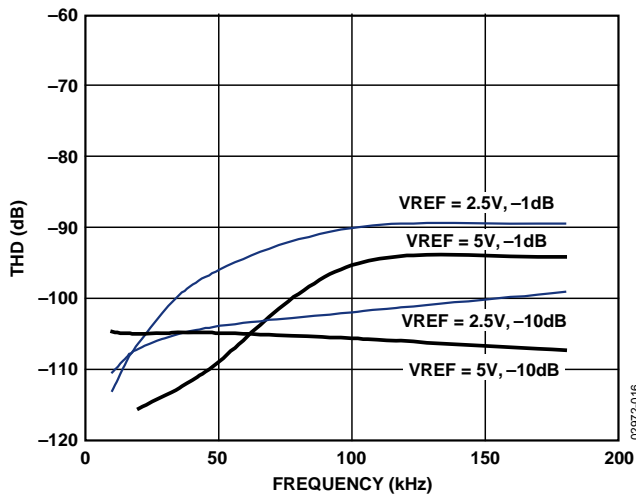


図17.THDの周波数特性

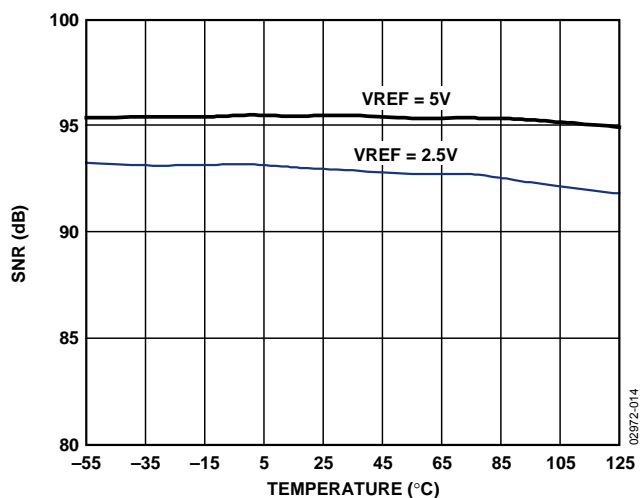


図15.SNRの温度特性

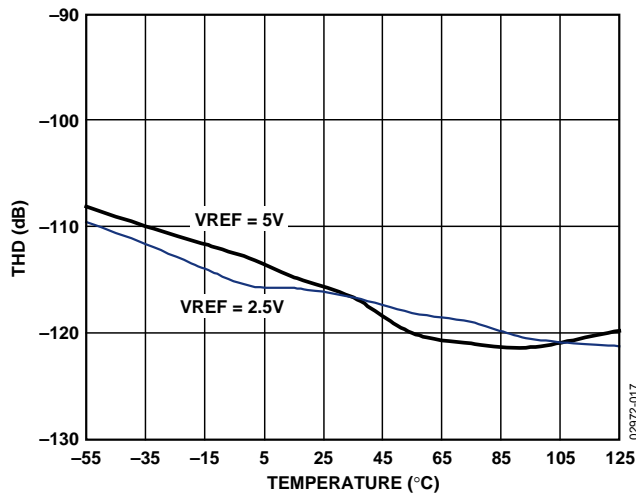


図18.THDの温度特性

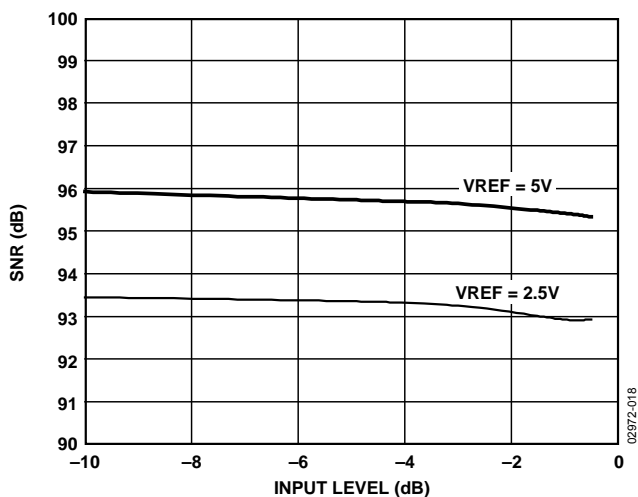


図19.SNR 対入力レベル

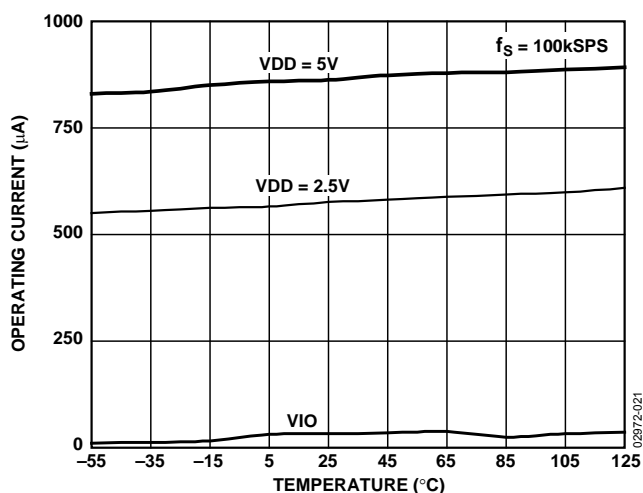


図22.動作電流の温度特性

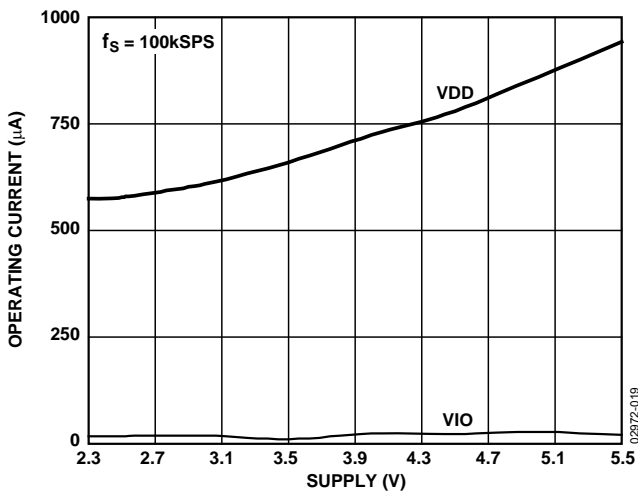


図20.電源電圧対動作電流

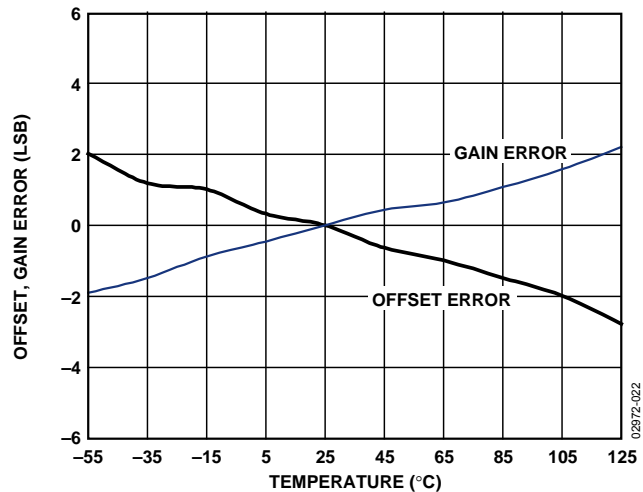


図23.オフセット誤差とゲイン誤差の温度特性

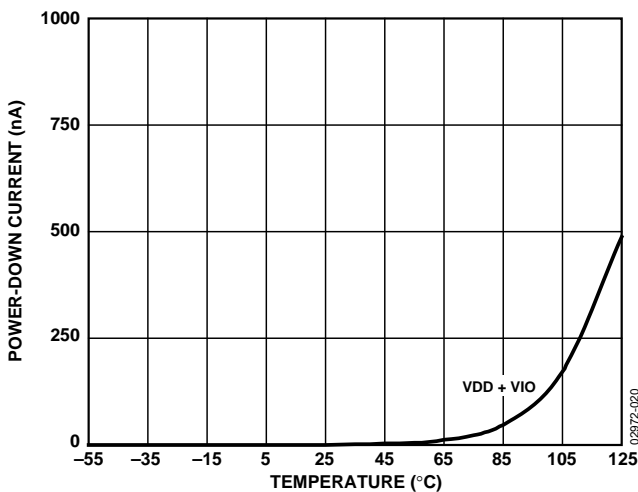


図21.パワーダウン電流の温度特性

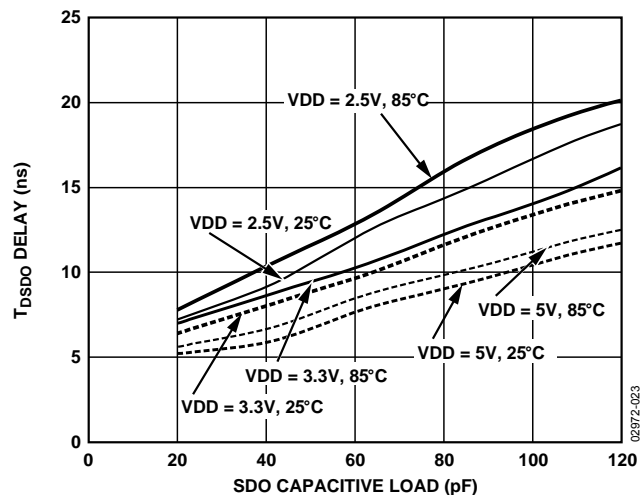


図 24.容量負荷 および電源対 t_{DSO} 遅延

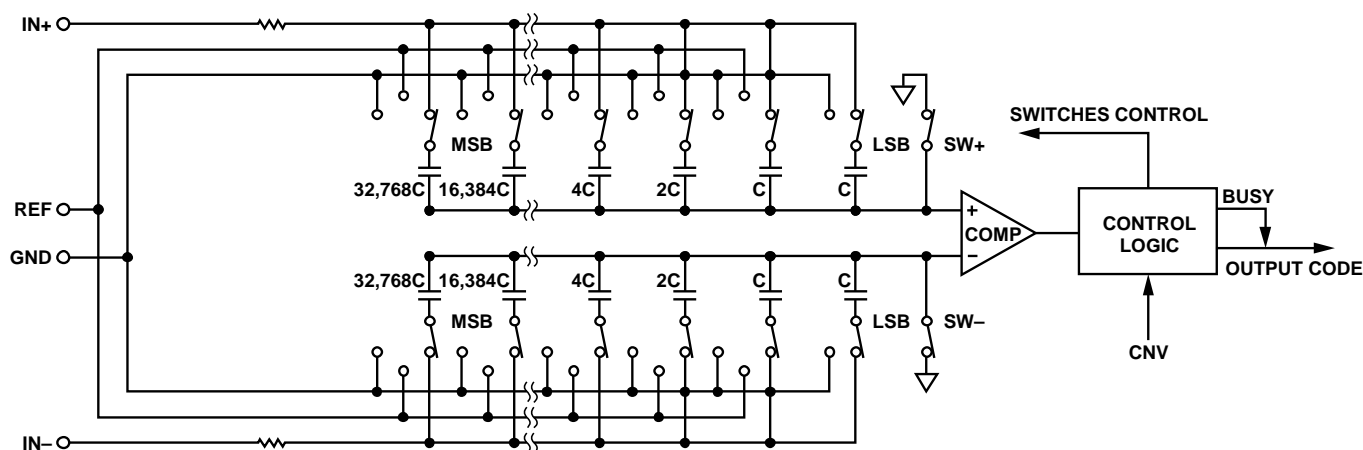


図25.ADCの簡略化した回路図

回路説明

AD7687 は単電源動作の逐次比較型アーキテクチャを採用した高速高精度低消費電力 16 ビット A/D コンバータ(ADC)です。

AD7687 は毎秒 250,000 サンプル(250 kSPS)の変換が可能で、変換と変換の間にパワーダウンします。たとえば、100 SPS 動作時の消費電力が 1.35 μ W (typ)であるため、バッテリー駆動のアプリケーションに最適です。

AD7687 はトラック&ホールドを内蔵し、パイプライン遅延またはレイテンシがないため、マルチプレクスされた複数チャンネルのアプリケーションに最適です。

AD7687 は 2.3~5.5 V の仕様であるため、1.8~5 V のデジタル・ロジック・ファミリーとインターフェースすることができます。10 ピン MSOP パッケージまたは省スペースと柔軟な構成を兼ね備えた小型の 10 ピン QFN¹ (LFCSP)パッケージを採用しています。

このデバイスは、[AD7685](#)、[AD7686](#)、[AD7688](#) とピン・コンパチブルです。

¹ QFN パッケージは開発中です。サンプルと供給状況については営業にお尋ねください。

コンバータの動作

AD7687 は、電荷再分配型DACを採用した逐次比較型A/Dコンバータです。図 25 に、ADCの簡略化した回路図を示します。容量を使用するこのDACは、2 進数の重みを持った 16 個コンデンサで構成される 2 個の同じアレイで構成されており、各アレイは 2 個のコンパレータ入力に接続されています。

アキュイジション・フェーズでは、コンパレータ入力に接続されたアレイのピンは、SW+と SW-を経由して GND に接続されます。独立なすべてのスイッチはアナログ入力に接続されます。したがって、コンデンサ・アレイはサンプリング・コンデンサとして使用されて、IN+入力と IN-入力上のアナログ信号が取り込まれます。アキュイジション・フェーズが終わると、CNV 入力が高レベルになり、変換フェーズが開始されます。変換フェーズが開始されると、まず SW+と SW-が開きます。2 個のコンデンサ・アレイは入力から切り離されて、GND 入力に接続されます。そのため、アキュイジション・フェーズの終わりに取り込まれた、入力 IN+と IN-の間の差動電圧がコンパレータ入力に接続されて、コンパレータは平衡しくなくなります。コンデンサ・アレイの各エレメントを GND と REF の間でスイッチングすることにより、コンパレータ入力を 2 進数重みの電圧ステップ($V_{REF}/2$ 、 $V_{REF}/4$... $V_{REF}/65536$)で変えます。コントロール・ロジックがこれらのスイッチをトグルして(MSB から開始)、コンパレータが再度平衡するようにします。この処理が終了すると、デバイスはアキュイジション・フェーズに戻り、コントロール・ロジックが ADC 出力コードと BUSY 表示を発生します。

AD7687 は変換クロックを内蔵しているため、変換プロセスのためのシリアル・クロック、SCK は不要です。

伝達関数

AD7687 の理論伝達特性を図 26 と表 8 に示します。

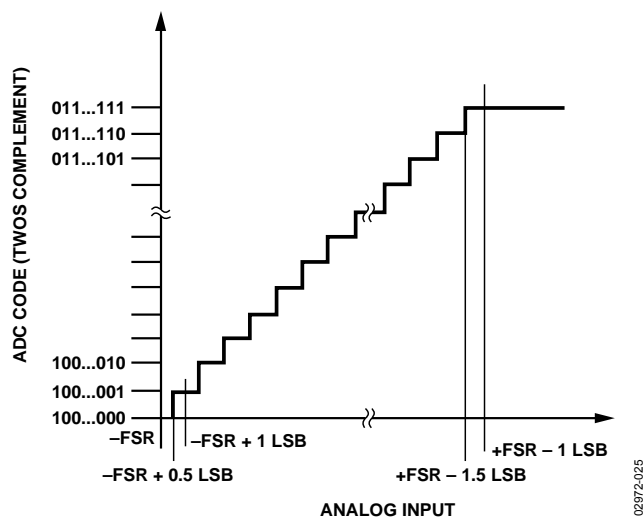


図26.ADC の理論伝達関数

代表的な接続図

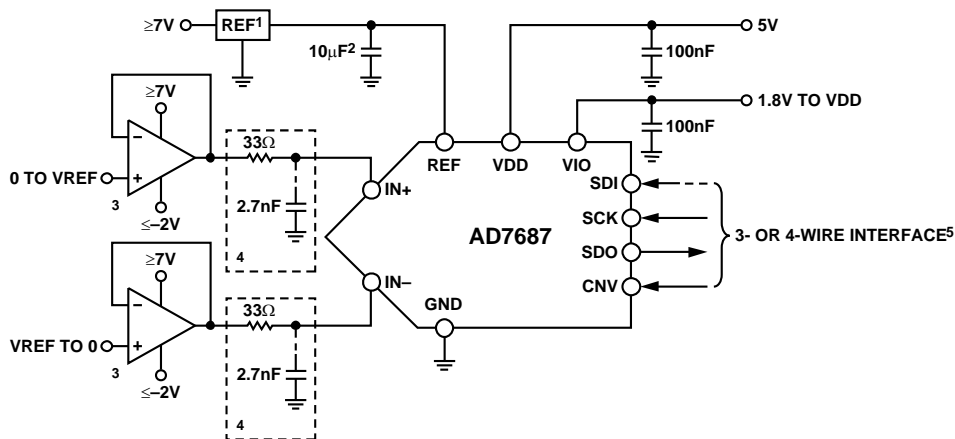
図 27 に、複数の電源が使用可能な場合の AD7687 の推奨接続図例を示します。

表8.出力コードと理論入力電圧

Description	Analog Input $V_{REF} = 5\text{ V}$	Digital Output Code Hexa
FSR - 1 LSB	+4.999847 V	7FFF ¹
Midscale + 1 LSB	+152.6 μV	0001
Midscale	0 V	0000
Midscale - 1 LSB	-152.6 μV	FFFF
-FSR + 1 LSB	-4.999847 V	8001
-FSR	-5 V	8000 ²

¹ これは、アナログ入力範囲より上に対するコードでもあります ($V_{REF} - V_{GND}$ より $V_{IN+} - V_{IN-}$ 上)。

² これは、アナログ入力範囲より下に対するコードでもあります ($-V_{REF} + V_{GND}$ より $V_{IN+} - V_{IN-}$ 下)。



¹SEE REFERENCE SECTION FOR REFERENCE SELECTION.

² C_{REF} IS USUALLY A 10 μF CERAMIC CAPACITOR (X5R).

³SEE DRIVER AMPLIFIER CHOICE SECTION.

⁴OPTIONAL FILTER. SEE ANALOG INPUT SECTION.

⁵SEE DIGITAL INTERFACE FOR MOST CONVENIENT INTERFACE MODE.

図27.複数の電源を使用する代表的なアプリケーション図

アナログ入力

図 28 に、AD7687 のアナログ入力構造の等価回路を示します。

ダイオード D1 と D2 は、アナログ入力 IN+ と IN- に対する ESD 保護用です。アナログ入力信号が電源レールより 0.3V 以上高くないよう注意する必要があります。これは、これらのダイオードが順方向にバイアスされてこの電圧から導通し始めるためです。これらのダイオードは、最大 130 mA の順方向バイアス電流を処理することができます。たとえば、この状態は入力バッファの (U1) 電源が VDD と異なるときに発生します。このような場合、短絡電流制限機能を持つ入力バッファを使ってデバイスを保護することができます。

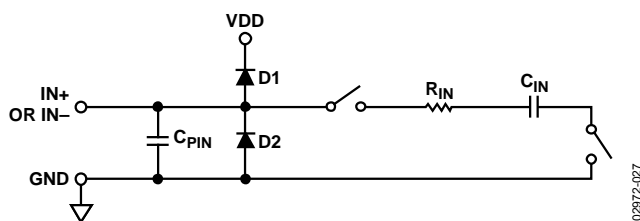


図28.等価アナログ入力回路

このアナログ入力構造を使うと、IN+ と IN- との間の差動信号のサンプリングが可能になります。これらの差動入力を使用することにより、両入力に共通の信号を阻止することができます(図 29)。この図には代表的な CMRR の周波数特性を示してあります。

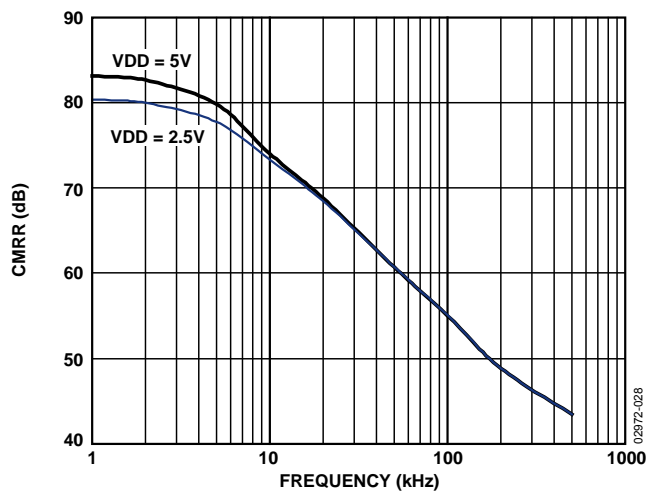


図29.アナログ入力 CMRR の周波数特性

アキュイジション・フェーズでは、アナログ入力(IN+または IN-)のインピーダンスは、コンデンサ C_{PIN} と、 R_{IN} および C_{IN} の直列接続の回路との並列組み合わせとしてモデル化することができます。 C_{PIN} は主にピン容量です。 R_{IN} は 3 k Ω (typ) であり、直列抵抗とスイッチのオン抵抗から構成される集中定数です。 C_{IN} は 30 pF(typ) であり、主に ADC サンプリング・コンデンサから構成されています。スイッチが開いている変換フェーズでは、入力インピーダンスは C_{PIN} に制限されます。 R_{IN} と C_{IN} により、1 次ローパス・フィルタが構成されるため、不要な折り返し効果が削減され、ノイズが制限されます。

駆動回路のソース・インピーダンスが小さい場合は、AD7687 を直接駆動することができます。ソース・インピーダンスが大きい場合には、AC性能、特に総合高調波歪み(THD)が大きい影響を受けます。DC性能は、入力インピーダンスからあまり影響を受けません。最大ソース・インピーダンスは、許容可能なTHDの大きさに依存します。THDは、ソース・インピーダンスと最大入力周波数の関数として性能低下します(図 30)。

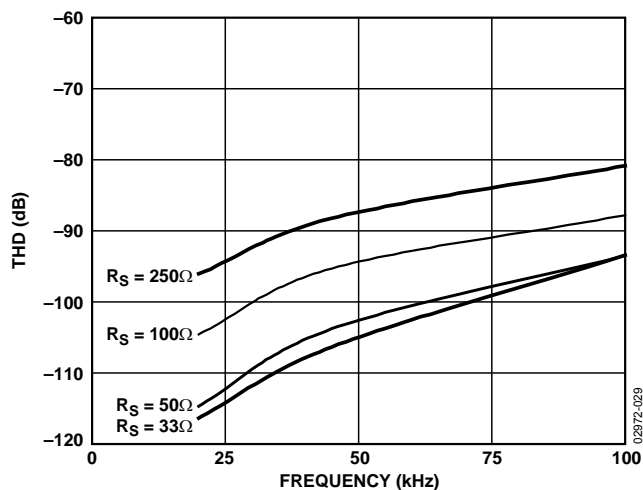


図30.アナログ入力周波数およびソース抵抗対 THD

ドライバ・アンプの選択

AD7687 の駆動は簡単ですが、ドライバ・アンプは次の条件を満たす必要があります。

- AD7687 の SNR 性能と遷移ノイズ性能を維持するためには、ドライバ・アンプが保証するノイズをできるだけ低く抑える必要があります。大部分の他の 16 ビット ADC に比べて AD7687 のノイズは遥かに小さいため、ノイズの多いオペアンプで駆動しても、それ以上のシステム性能を維持することが可能なことに注目してください。ドライバから発生するノイズは、AD7687 アナログ入力回路の R_{IN} と C_{IN} から構成される 1 次ローパス・フィルタまたは外付けフィルタ(使用した場合)により除去されます。AD7687 のノイズは $53 \mu\text{V rms (typ)}$ であるため、アンプに起因する SNR の性能低下は、次式で与えられます。

$$SNR_{LOSS} = 20 \log \left(\frac{53}{53^2 + \frac{\pi}{2} f_{-3dB} (2Ne_N)^2} \right)$$

ここで、

f_{-3dB} は MHz で表した AD7687 の -3 dB 入力帯域幅(2 MHz)、すなわち入力フィルタ(使用した場合)のカットオフ周波数。

N はアンプのノイズ・ゲイン(たとえば、バッファ構成では +1)。

e_N は、オペアンプの等価入力ノイズ電圧($\text{nV}/\sqrt{\text{Hz}}$)。

- ACアプリケーションの場合、ドライバはAD7687 と釣り合う THD性能を持つ必要があります。図 17 に、ドライバに必要なTHD周波数特性を示します。
- 多チャンネルをマルチプレクスするアプリケーションの場合、ドライバ・アンプと AD7687 アナログ入力回路は、コンデンサ・アレイへのフル・スケール・ステップに対して 16 ビット・レベル(0.0015%、15 ppm)でセトリングする必要があります。アンプのデータシートでは、一般に 0.1~0.01%でのセトリングが規定されています。16 ビット・レベルでのセトリング・タイムから大幅に異なることがあるため、ドライバを選択する前に確認する必要があります。

表9.推奨ドライバ・アンプ

Amplifier	Typical Application
AD8021	Very low noise and high frequency
AD8022	Low noise and high frequency
OP184	Low power, low noise, and low frequency
AD8605, AD8615	5 V single-supply, low power
AD8519	Small, low power and low frequency
AD8031	High frequency and low power

シングル/差動変換ドライバ

シングルエンド・アナログ信号(バイポーラまたはユニポーラ)を使うアプリケーションの場合、シングルエンド/差動変換ドライバを使うと、差動入力をデバイスに入力することができます(回路図については 図 31参照)。この構成でシングルエンド信号を入力すると、 $V_{REF}/2$ をミッドスケールとする $\pm V_{REF}$ の差動信号が得られます。

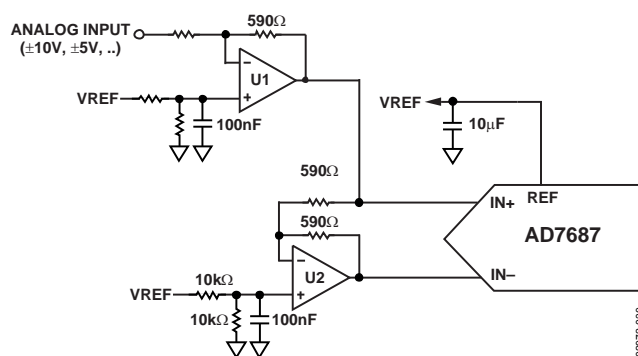


図31.シングルエンド/差動変換ドライバ回路

リファレンス電圧入力

AD7687 のリファレンス電圧入力REFは動の入力インピーダンスを持っています。このため、REF入力とGND入力との間を効果的にデカップリングした低インピーダンス・ソースから駆動する必要があります(レイアウトのセクション参照)。

REFを非常に小さいインピーダンス・ソースで駆動する場合は(たとえば AD8031または AD8605を使用するリファレンス・バッファ)、 $10 \mu\text{F}$ のセラミック・チップ・コンデンサ(X5R、0805 サイズ)は最適性能を得るために十分です。

バッファなしでリファレンス電圧を使う場合は、デカップリング値は使用するリファレンスに依存します。たとえば、 $22 \mu\text{F}$ のセラミック・チップ・コンデンサ(X5R、1206 サイズ)は、低温度ドリフト ADR43x リファレンスを使って最適性能を得るために十分です。

必要な場合には、 $2.2 \mu\text{F}$ までの小型なリファレンス・デカップリング・コンデンサ値を使うことができ、性能特に DNL への影響は最小に抑えられます。

REF ピンと GND ピンの間に小さい値のセラミック・デカップリング・コンデンサ(たとえば、 100 nF)を追加する必要はありません。

電源

AD7687 の仕様は、 $2.3 \sim 5.5 \text{ V}$ の広い動作範囲で規定されています。他の低電圧コンバータとは異なり、このデバイスは低電圧で優れた性能の 16 ビット分解能のシステムをデザインするために十分低いノイズを持っています。コア電源VDDとデジタル入力/出力インターフェース電源VIOの 2 種類の電源ピンを使っています。VIOを使うと、 $1.8 \text{ V} \sim \text{DVDD}$ で動作するロジックとの直接インターフェースが可能になります。必要な電源数を減らすときは、VIOとVDDを接続することができます。AD7687 はVIOとVDDの間の電源シーケンスに依存しません。さらに、広い周波数範囲で電源変動に対して安定しています。図 32に、PSRRの周波数特性を示します。

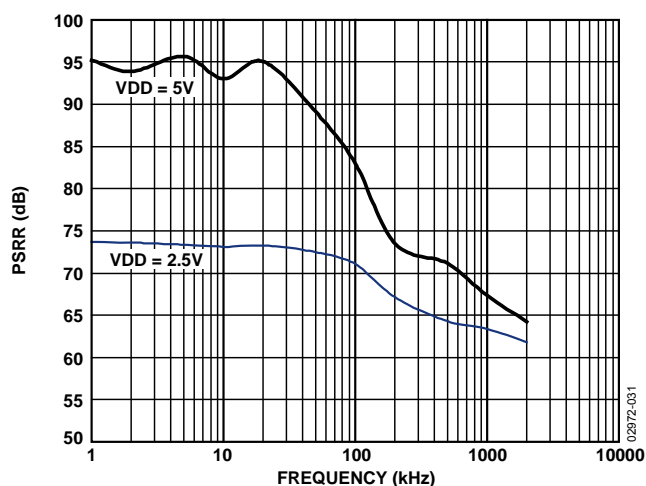


図32.PSRRの周波数特性

AD7687 は各変換フェーズの終わりに自動的にパワーダウンするため、消費電力はサンプリング・レートに比例します(図 33)。このため、低サンプリング・レート(たとえば、数Hz)とバッテリー駆動アプリケーションに最適なデバイスになっています。

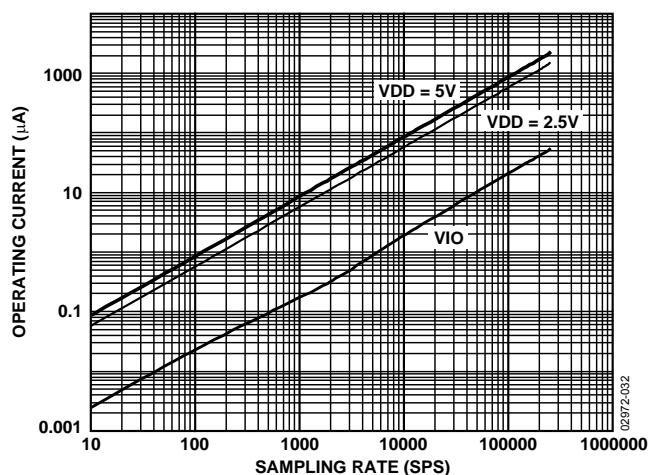
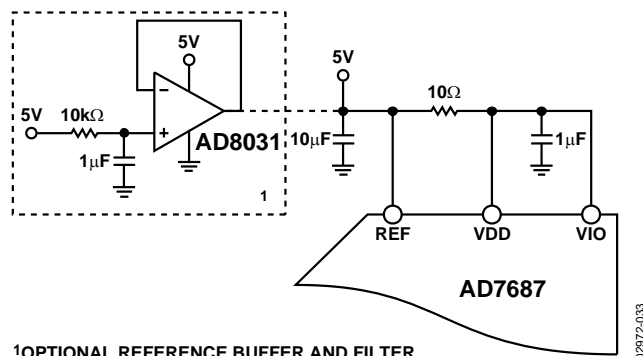


図33.サンプリング・レート対動作電流

リファレンス電圧からADCへの電源供給

アプリケーションを簡素化するため、AD7687 の動作電流は小さいので 図 34に示すリファレンス電圧回路から直接給電することができます。リファレンス・ラインは次から駆動することができます。

- システム電源から直接
- 十分な電流出力能力を持つ ADR43x のようなリファレンス電圧から
- 図 34に示すようにシステム電源のフィルタもできるAD8031のようなリファレンス・バッファから



1OPTIONAL REFERENCE BUFFER AND FILTER.

図34.アプリケーション回路の例

デジタル・インターフェース

AD7687 のピン数は少ないですが、シリアル・インターフェース・モードで柔軟性を提供します。

AD7687 は \overline{CS} モードのとき、SPI、QSPI、デジタル・ホスト、DSP(たとえば Blackfin[®] ADSP-BF53x または ADSP-219x)と互換性を持ちます。このインターフェースでは、3 線式または 4 線式を使用することができます。CNV 信号、SCK 信号、SDO 信号を使う 3 線式インターフェースは、配線数が少ないため、たとえば、孤立しているアプリケーションで便利です。SDI 信号、CNV 信号、SCK 信号、SDO 信号を使う 4 線式インターフェースを使用すると、CNV(変換を開始します)をリードバック・タイミング(SDI)に依存しないようにすることができます。この機能は、低ジッタ・サンプリング・アプリケーションまたは同時サンプリング・アプリケーションで便利です。

AD7687 をチェーン・モードで使うと、シフトレジスタに似たシングル・データ・ライン上での複数の ADC のカスケード接続に対して、SDI 入力を使うディジーチェーン機能を提供することができます。

デバイスが動作するモードは、CNV の立ち上がりエッジ時の SDI のレベルで決定されます。SDI がハイ・レベルのとき \overline{CS} モードが、SDI がロー・レベルときチェーン・モードが、それぞれ選択されます。SDI ホールド・タイムは、SDI と CNV が接続されているとき、チェーン・モードが常に選択されるようにします。

いずれのモードでも、AD7687 はデータ・ビットの前にスタート・ビットを発生できるようにする柔軟性があります。このスタート・ビットを BUSY 信号表示と組合せて使用して、デジタル・ホストに対して割り込みを行い、データの読み出しを開始させることができます。BUSY 表示を使わない場合は、リードバックの前に最大変換時間の経過を待たなければなりません。

BUSY 表示機能は、次の場合にイネーブルされます。

- \overline{CS} モードでは、ADC変換が終了したときにCNVまたはSDIがロー・レベルになった場合(図 38 と 図 42参照)。
- チェーン・モードでは、CNV立ち上がりエッジ時にSCKがハイ・レベルになった場合(図 46)。

CS モード 3 線式、BUSY 表示なし

このモードは、1 個の AD7687 を SPI 互換のデジタル・ホストに接続する際に使用されます。接続図を 図 35 に、対応するタイミングを 図 36 に、それぞれ示します。

SDI と VIO を接続した状態では、CNV の立ち上がりエッジで変換が開始され、CS モードが選択され、SDO は高インピーダンスになります。変換が開始されると、CNV の状態に関係なく完了するまで継続されます。例えば、CNV をロー・レベルにしてアナログ・マルチプレクサのような他の SPI デバイスを選択することは便利ですが、最小変換時間経過の前に CNV がハイ・レベルに戻る必要があり、かつ最大変換時間の間ハイ・レベルを維持して、BUSY 信号の発生を防止する必要があります。変換が完了すると、AD7687 はアキュイジション・フェーズに入りパワーダウンします。CNV がロー・レベルになると、MSB が SDO に出力されます。残りのデータ・ビットは、後続の SCK の立ち下がりエッジで出力されます。データは、両 SCK エッジで有効です。立ち上がりエッジを使ってデータを取込むことができますが、SCK の立ち下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容

できる限り、高速な読み出しレートが可能になります。16 番目の SCK 立ち下がりエッジの後、または CNV がハイ・レベルになったときのいずれか早い方で、SDO は高インピーダンスに戻ります。

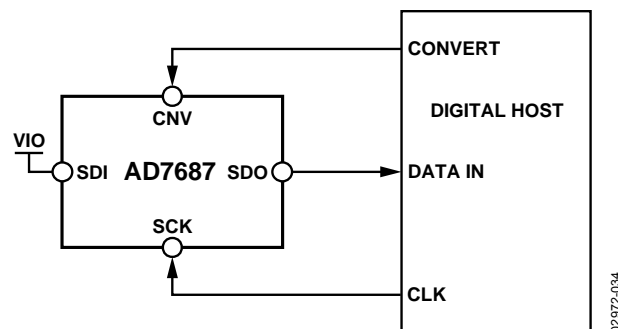


図 35. CS モード 3 線式、BUSY 表示なしの接続図(SDI ハイ・レベル)

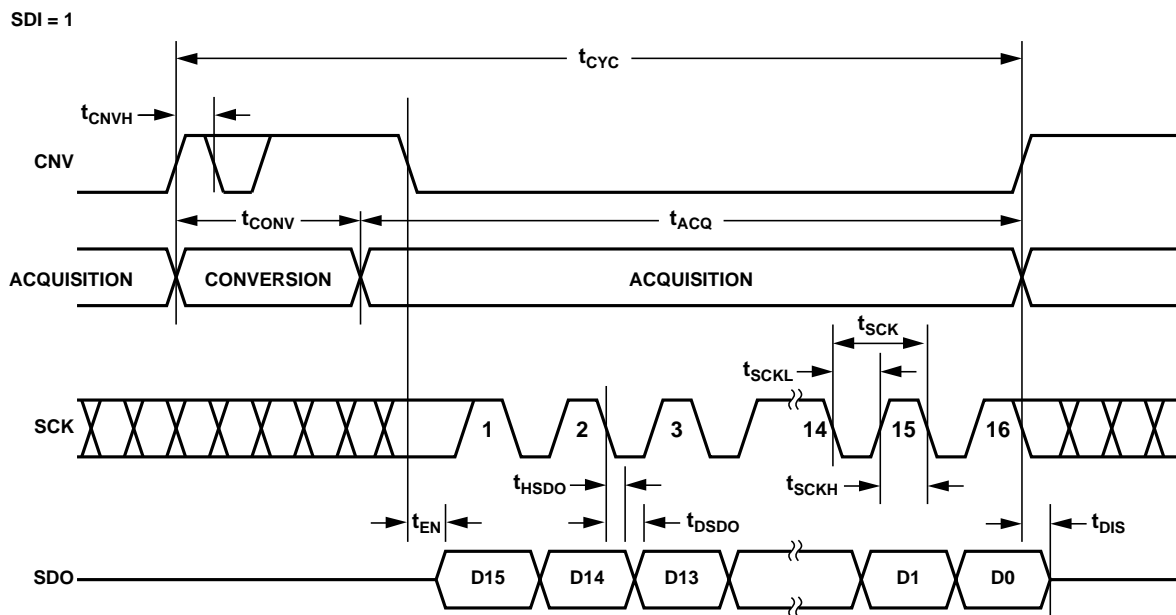


図 36. CS モード 3 線式、BUSY 表示なしのシリアル・インターフェース・タイミング(SDI ハイ・レベル)

\overline{CS} モード 3 線式、BUSY 表示あり

このモードは、1 個の AD7687 を割込み入力を持つ SPI 互換のデジタル・ホストに接続する際に使用されます。

接続図を図 37 に、対応するタイミングを図 38 に、それぞれ示します。

SDI と VIO を接続した状態では、CNV の立ち上がりエッジで変換が開始され、 \overline{CS} モードが選択され、SDO は高インピーダンスになります。CNV の状態に関係なく変換が完了するまで SDO は高インピーダンスを維持します。最小変換時間の前に、CNV を使ってアナログ・マルチプレクサのような他の SPI デバイスを選択することができますが、最小変換時間の前に CNV をロー・レベルに戻し、さらに BUSY 信号が確実に発生するように、最大変換時間の間ロー・レベルを維持する必要があります。変換が完了すると、SDO は高インピーダンスからロー・レベルになります。SDO ラインをプルアップして、この変化を割り込み信号として使って、デジタル・ホストにより制御されるデータの読み出しを開始させることができます。その後 AD7687 はアキュイジション・フェーズに入り、パワーダウンします。その後データ・ビットは MSB ファーストで、後続の SCK の立ち下がりエッジで出力されます。データは、両 SCK エッジで有効です。立ち上がりエッジを使ってデータを取込むことができますが、SCK の立ち下がりエッジを使うデジ

タル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読み出しレートが可能になります。オプションの 17 番目の SCK 立ち下がりエッジの後、または CNV がハイ・レベルになったときのいずれか早い方で、SDO は高インピーダンスに戻ります。

複数の AD7687 を同時に選択した場合、SDO 出力ピンが損傷またはラッチアップなしにこの接続を処理します。余分な電力消費を回避するためこの接続をできるだけ短くすることをお勧めします。

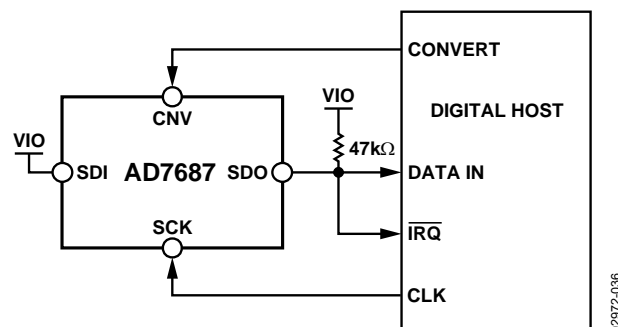


図37. \overline{CS} モード 3 線式、BUSY 表示ありの接続図(SDI ハイ・レベル)

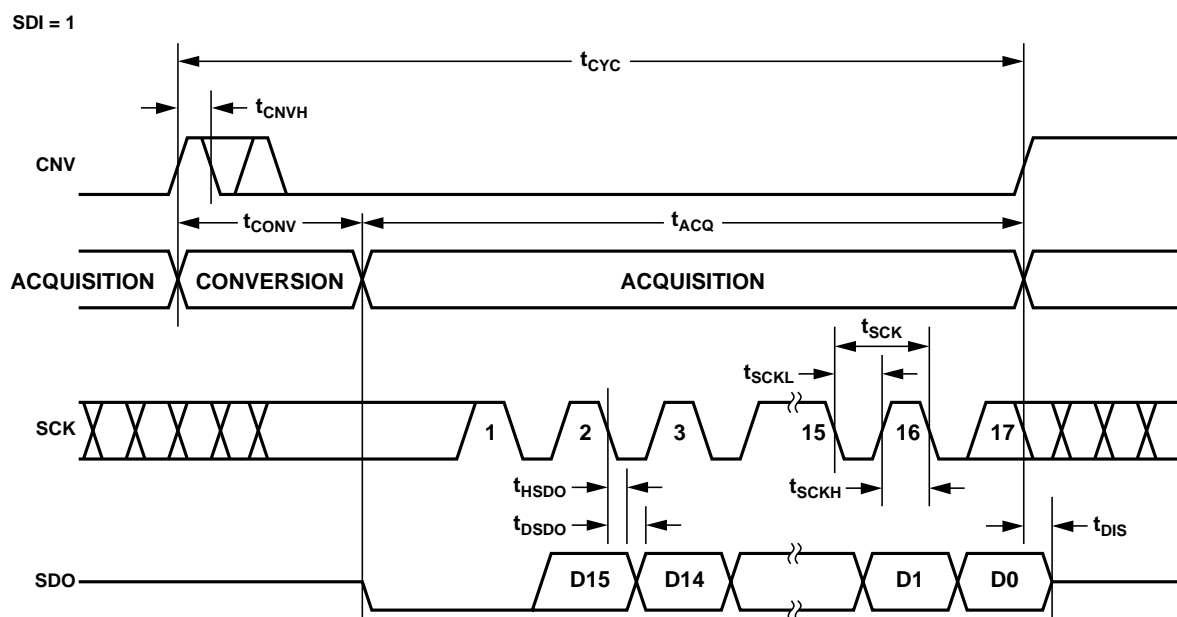


図38. \overline{CS} モード 3 線式、BUSY 表示ありのシリアル・インターフェース・タイミング(SDI ハイ・レベル)

CS モード 4 線式、BUSY 表示なし

このモードは、複数の AD7687 を SPI 互換のデジタル・ホストに接続する際に使用されます。

図 39 に 2 個の AD7687 を使った接続図を、図 40 に対応するタイミングを、それぞれ示します。

SDI にハイ・レベルを入力した状態では、CNV の立ち上がりエッジで変換が開始され、CS モードが選択され、SDO は高インピーダンスになります。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNV をハイ・レベルに維持する必要があります(SDI と CNV がロー・レベルの場合、SDO はロー・レベルに駆動されます)。最小変換時間の前に、SDI を使ってアナログ・マルチプレクサのような他の SPI デバイスを選択することができますが、最小変換時間の前に SDI をハイ・レベルに戻し、さ

らに最大変換時間の間ハイ・レベルを維持して、BUSY 信号の発生を防止する必要があります。変換が完了すると、AD7687 はアクイジション・フェーズに入りパワーダウンします。SDI 入力にロー・レベルを入力すると、各 ADC の変換結果を読み出すことができ、MSB が SDO へ出力されます。残りのデータ・ビットは、後続の SCK の立ち下がりエッジで出力されます。データは、両 SCK エッジで有効です。立ち上がりエッジを使ってデータを取込むことができますが、SCK の立ち下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読み出しレートが可能になります。16 番目の SCK 立ち下がりエッジの後、または SDI がハイ・レベルになったときのいずれか早い方で、SDO は高インピーダンスに戻り、もう一方の AD7687 を読み出すことができるようになります。

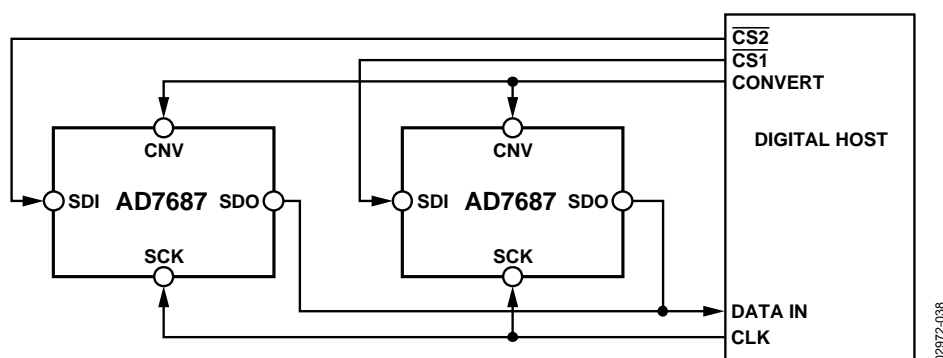


図39. CS モード 4 線式、BUSY 表示なしの接続図

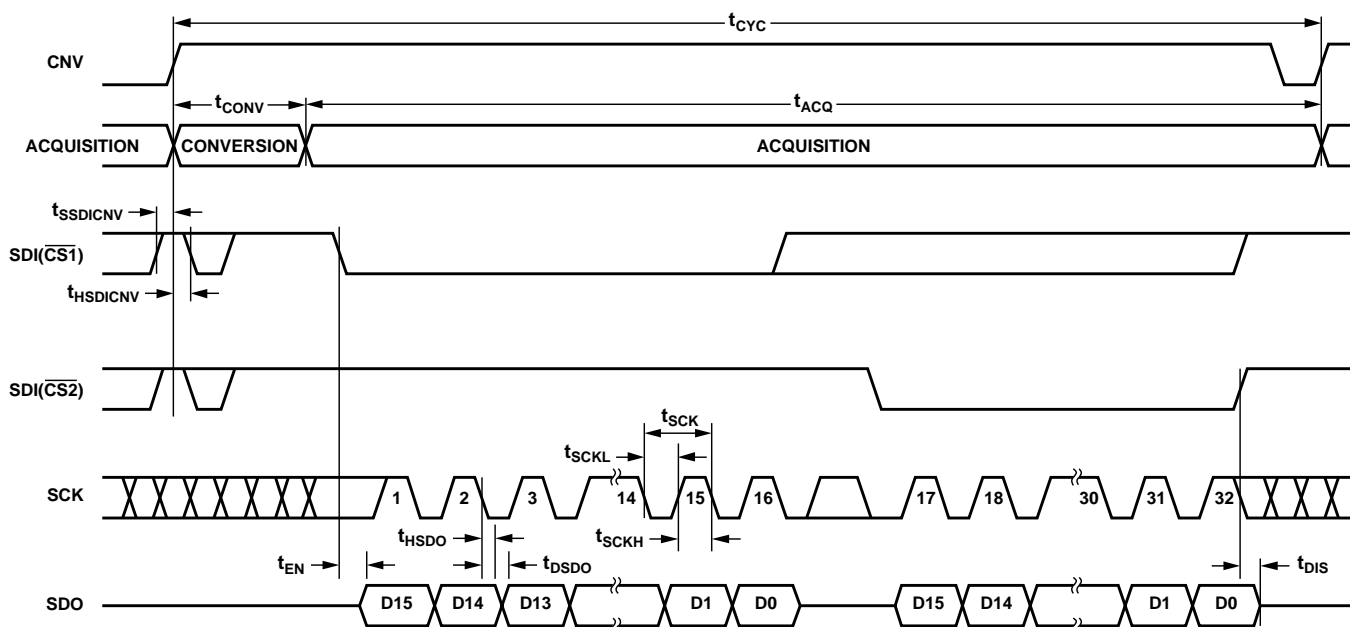


図40. CS モード 4 線式、BUSY 表示なしのシリアル・インターフェース・タイミング

CS モード 4 線式、BUSY 表示あり

このモードは、1 個の AD7687 を割り込み入力を持つ SPI 互換のデジタル・ホストに接続し、かつ CNV の使用が必要な場合に使われます。この CNV は、データの読み出しを選択する際に使われる信号とは独立に、アナログ入力をサンプルするために使われます。この条件は、CNV 上のジッタが小さいことが要求されるアプリケーションで特に重要です。

接続図を 図 41 に、対応するタイミングを 図 42 に、それぞれ示します。

SDI にハイ・レベルを入力した状態では、CNV の立ち上がりエッジで変換が開始され、CS モードが選択され、SDO は高インピーダンスになります。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNV をハイ・レベルに維持する必要があります(SDI と CNV がロー・レベルの場合、SDO はロー・レベルに駆動されます)。最小変換時間の前に、SDI を使ってアナログ・マルチプレクサのような他の SPI デバイスを選択することができますが、最小変換時間の前に SDI をロー・レベルに戻し、さらに最大変換時間の間ロー・レベルを維持して、BUSY 信号が確実に発生するようにする必要があります。変換が完了すると、SDO は高インピーダンスからロー・レベルになります。SDO ラインをプルアップして、この変化を割り込み信号として使って、デジタル・ホストにより制御されるデータのリードバックを開始さ

せることができます。その後 AD7687 はアキュイジション・フェーズに入り、パワーダウンします。その後データ・ビットは MSB ファーストで、後続の SCK の立ち下がりエッジで出力されます。データは、両 SCK エッジで有効です。立ち上がりエッジを使ってデータを取込むことができますが、SCK の立ち下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読み出しレートが可能になります。オプションの 17 番目の SCK 立ち下がりエッジの後、または SDI がハイ・レベルになったときのいずれか早い方で、SDO は高インピーダンスに戻ります。

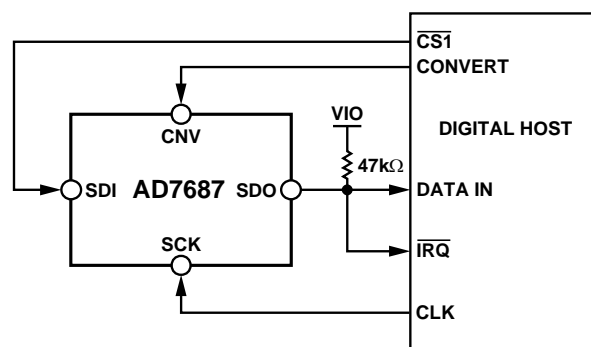


図41. CS モード 4 線式、BUSY 表示ありの接続図

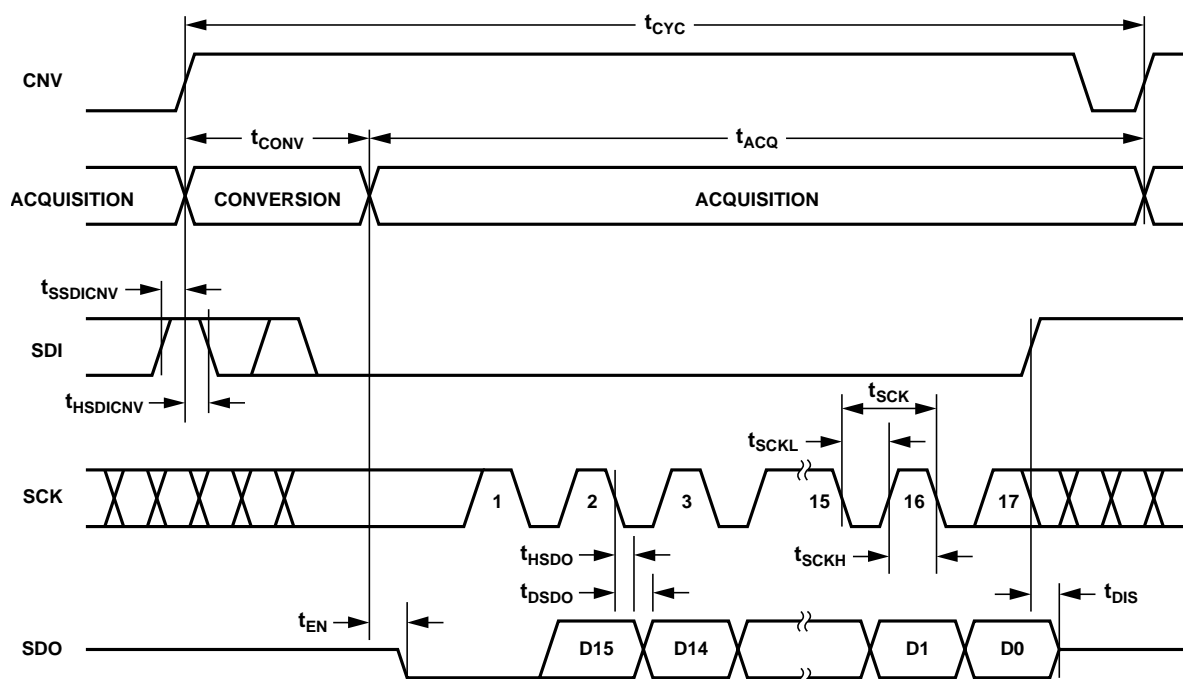


図42. CS モード 4 線式、BUSY 表示ありのシリアル・インターフェース・タイミング

チェーン・モード、BUSY表示なし

このモードを使って、3 線式シリアル・インターフェースに複数の AD7687 をディジーチェーン接続することができます。この機能は部品数と接続配線数の削減に役立ちます。たとえば、孤立した複数のコンバータを使用するアプリケーションまたはインターフェース能力が制限されているシステムではこの接続が使用されます。データのリードバックは、シフトレジスタをクロック駆動するのに似ています。

図 43 に 2 個の AD7687 を使った接続図を、図 44 に対応するタイミングを、それぞれ示します。

SDI と CNV をロー・レベルにすると、SDO がロー・レベルに駆動されます。SCK がロー・レベルのとき、CNV の立ち上がりエッジで変換が開始され、チェーン・モードが選択され、BUSY 表示がディスエーブルされます。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNV がハイ・レベルに維持されます。変換が完了すると、MSB が SDO に出力され、AD7687 は

アキュイジション・フェーズに入りパワーダウンします。内部シフトレジスタに保存されている残りのデータ・ビットは、後続の SCK の立ち下がりエッジで出力されます。各 ADC で、SDI が内部シフトレジスタの入力に接続され、SCK の立ち下がりエッジでクロック駆動されます。チェーン内の各 ADC はデータの MSB を先頭に出し、N 個の ADC をリードバックするためには $16 \times N$ 個のクロックが必要です。データは、両 SCK エッジで有効です。立ち上がりエッジを使ってデータを取込むことができますが、SCK の立ち下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読み出しレートが可能になり、かつチェーン内の AD7687 の数を増やすことができます。最大変換レートは、合計リードバック時間により低下することがあります。たとえば、3 ns のデジタル・ホスト・セットアップ・タイムと 3 V のインターフェースでは、220 kSPS の変換レートで動作する最大 8 個の AD7687 を 3 線式ポートにディジーチェーン接続することができます。

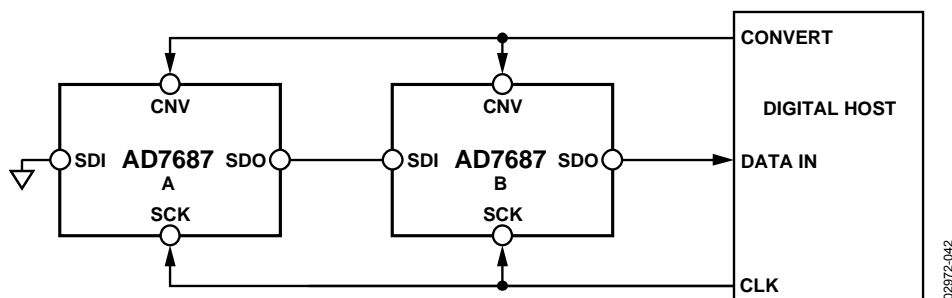


図43.チェーン・モード、BUSY 表示なしの接続図

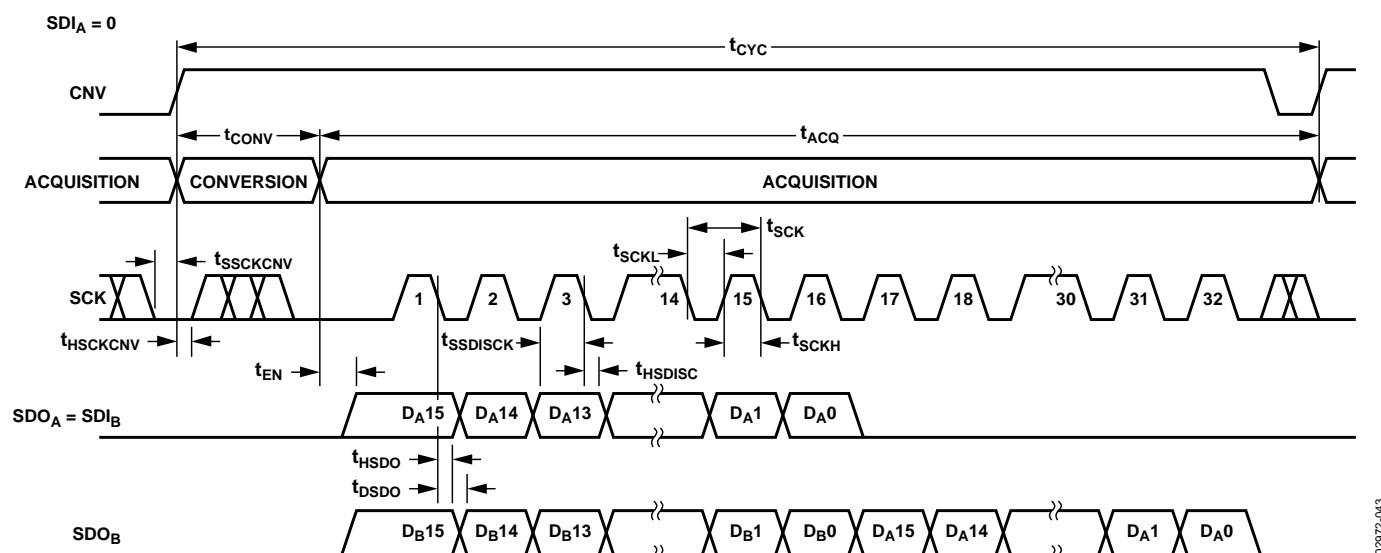


図44.チェーン・モード、BUSY 表示なしのシリアル・インターフェース・タイミング

チェーン・モード、BUSY表示あり

このモードを使うと、3線式シリアル・インターフェースに複数のAD7687をディジーチェーン接続することができると同時にBUSY表示も提供できます。この機能は部品数と接続配線数の削減に役立ちます。たとえば、孤立した複数のコンバータを使用するアプリケーションまたはインターフェース能力が制限されているシステムではこの接続が使用されます。データのリードバックは、シフトレジスタをクロック駆動するのに似ています。

図45に3個のAD7687を使った接続図の例を、図46に対応するタイミングを、それぞれ示します。

SDIとCNVをロー・レベルにすると、SDOがロー・レベルに駆動されます。SCKがハイ・レベルのとき、CNVの立ち上がりエッジで変換が開始され、チェーン・モードが選択され、BUSY表示機能がイネーブルされます。このモードでは、変換フェーズとそれに続くデータ・リードバックの間、CNVがハイ・レベルに維持されます。チェーン内のすべてのADCで変換が完了すると、近端のADC(図45ではADC C)のSDOがハイ・レベルに駆動されます。

SDO上のこの変化をBUSY表示として使って、デジタル・ホストから制御されるデータ・リードバックを開始することができます。その後AD7687はアキュイジション・フェーズに入り、パワーダウンします。内部シフトレジスタに保存されているデータ・ビットは、後続のSCKの立ち下がりエッジでMSBファーストで出力されます。各ADCで、SDIが内部シフトレジスタの入力に接続され、SCKの立ち下がりエッジでクロック駆動されます。チェーン内の各ADCはデータのMSBを先頭に出し、N個のADCをリードバックするためには $16 \times N + 1$ 個のクロックが必要です。立ち上がりエッジを使ってデータを取込むことができますが、SCKの立ち下がりエッジを使うデジタル・ホストを使うと、ホールド・タイムが許容できる限り、高速な読み出しレートが可能になり、かつチェーン内のAD7687の数を増やすことができます。たとえば、3 nsのデジタル・ホスト・セットアップ・タイムと3 Vのインターフェースでは、220 kSPSの変換レートで動作する最大8個のAD7687を1本の3線式ポートにディジーチェーン接続することができます。

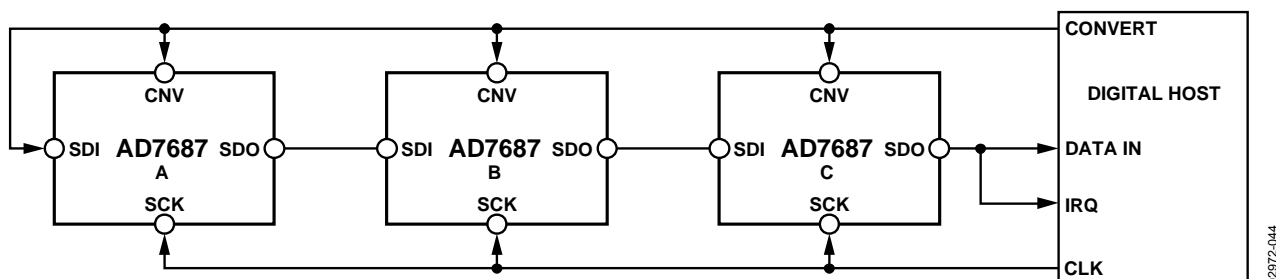


図45.チェーン・モード、BUSY表示ありの接続図

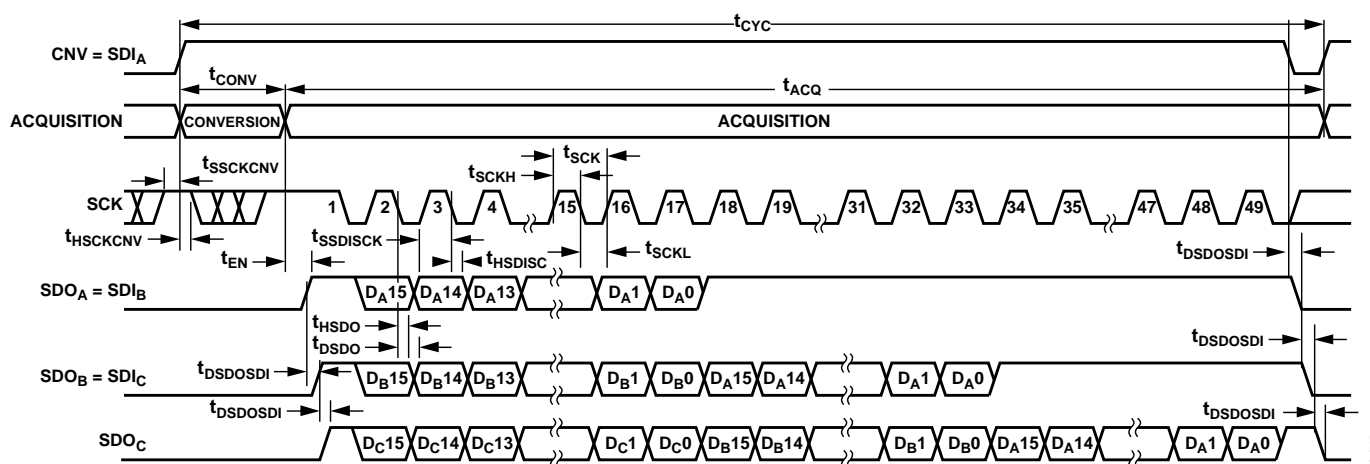


図46.チェーン・モード、BUSY表示ありのシリアル・インターフェース・タイミング

アプリケーション情報

レイアウト

AD7687 を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。AD7687 では、すべてのアナログ信号を左側に、すべてのデジタル信号を右側に配置しているため、この作業が容易になります。

AD7687 の下のグラウンド・プレーンがシールドして使われてない限り、ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。CNV やクロックのような高速なスイッチング信号は、アナログ信号パスの近くを絶対に通らないようにしてください。デジタル信号とアナログ信号の交差は回避する必要があります。

少なくとも 1 枚のグラウンド・プレーンを使う必要があります。デジタル部とアナログ部に共通または分けて使うことができます。後者の場合、各プレーンは AD7687 の下で接続する必要があります。

AD7687 の電圧リファレンス入力 REF は動的入力インピーダンスを持つため、最小の寄生インダクタンスでデカップリングする必要があります。これは、REF ピンと GND ピンの近くに、理想的には直接に、太い低インピーダンスのパターンでリファレンス電圧デカップリング・セラミック・コンデンサを接続することにより行われます。

最後に、AD7687 の電源 VDD と VIO は AD7687 の近くに配置したセラミック・コンデンサ(一般に 100 nF)でデカップリングし、低インピーダンス・パスを提供する短く太いパターンで接続して、電源ライン上のグリッチの影響を軽減します。

図 47と 図 48に、これらのルールに則ったレイアウトの例を示します。

AD7687 の性能評価

AD7687 のその他の推奨レイアウトは、AD7687(EVAL-AD7687)用評価ボードのドキュメントにも記載してあります。評価ボードの梱包には、組み立て済みでテスト済みの評価ボード、ドキュメント、EVAL-CONTROL BRD3を介してPCからボードを制御するソフトウェアが添付されています。

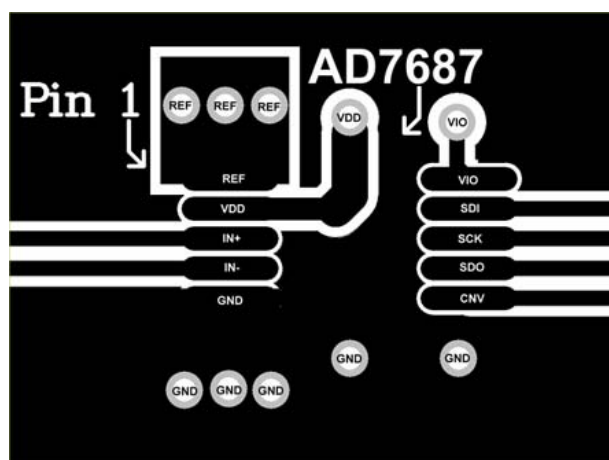


図47.AD7687 のレイアウト例(表面)

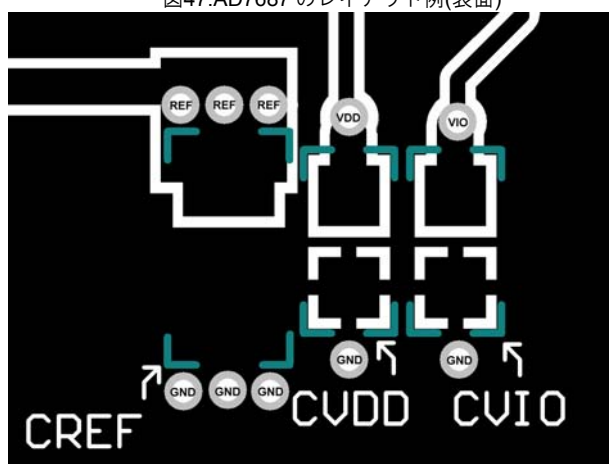
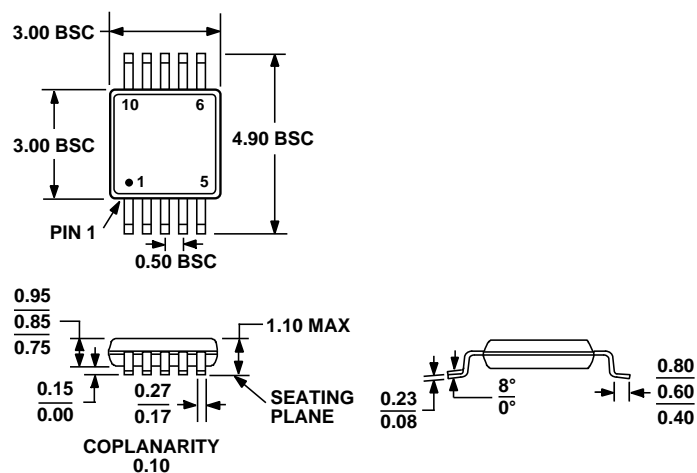


図48.AD7687 のレイアウト例(裏面)

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-187-BA

図 49.10 ピン・ミニモールド・アウトライン・パッケージ [MSOP]
(RM-10)
寸法: mm

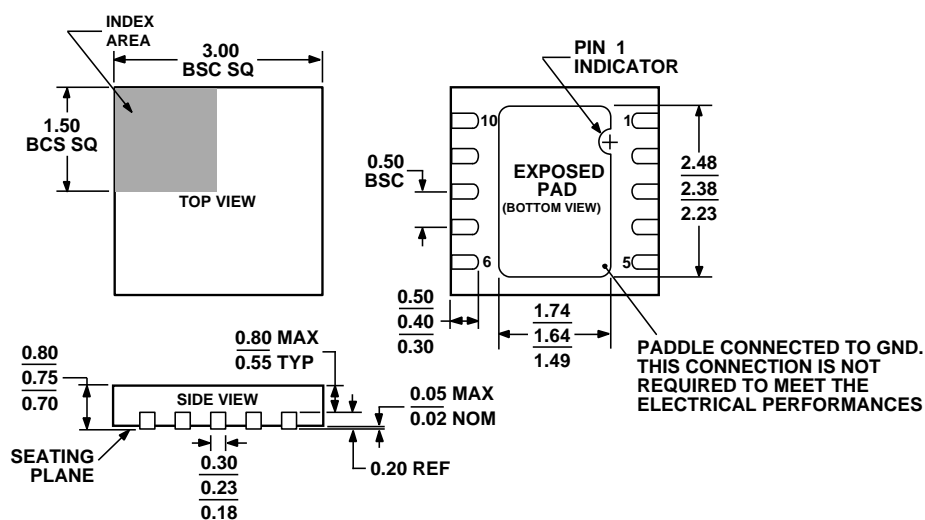


図50.10 ピン・リードフレーム・チップ・スケール・パッケージ [QFN¹ (LFCSP_WD)]
3 mm × 3 mm ボディ、超極薄デュアル・ピン
(CP-10-9)
寸法: mm

¹ QFN パッケージは開発中です。サンプルと供給状況については営業にお尋ねください。

オーダー・ガイド

Model	Integral Nonlinearity	Temperature Range	Transport Media, Quantity	Package Description	Package Option	Branding
AD7687BRM	±1.5 LSB max	−40°C to +85°C	Tube, 50	10-Lead MSOP	RM-10	C03
AD7687BRMRL7	±1.5 LSB max	−40°C to +85°C	Reel, 1,000	10-Lead MSOP	RM-10	C03
EVAL-AD7687CB ¹				Evaluation Board		
EVAL-CONTROL BRD2 ²				Controller Board		
EVAL-CONTROL BRD3 ²				Controller Board		

¹ これは単独の評価ボードとして、または評価/デモ目的の EVAL-CONTROL BRDx と組み合わせて、使用することができます。

² これらボードを使うと、CB サフィックスが付くすべてのアナログ・デバイセス評価ボードに対する PC からの制御と通信が可能です。