

### 特長

- ノー・ミスコードの16ビット分解能
- スループット・レート：250kSPS
- INL：±0.6LSB (typ)、±2LSB (max) (FSRの±0.003%)
- S/(N+D)：93.5dB (@20kHz)
- THD：-110dB (@20kHz)
- 疑似差動アナログ入力レンジ：
  - 0V~V<sub>REF</sub>、V<sub>REF</sub>はVDDまで設定可能
- パイプライン遅延なし
- 2.3~5.5Vの単電源動作、1.8~5Vのロジック・インターフェース電源
- SPI®/QSPI™/MICROWIRE™/DSP互換のシリアル・インターフェース
- 複数のADCのデジタイゼーション接続、BUSYインジケータ
- 消費電力
  - 1.35mW (@2.5V/100kSPS)、4mW (@5V/100kSPS)、1.4μW (@2.5V/100SPS)
- スタンバイ時の消費電流：1nA
- 10ピン・パッケージ：MSOP (MSOP-8サイズ) および 3mm×3mmのQFN<sup>1</sup> (LFCSP) (SOT-23サイズ)
- AD7686、AD7687、AD7688と完全にピン互換

### アプリケーション

- バッテリー駆動装置：
  - 医療用計測
  - 移動体通信
  - 携帯情報端末
- データ・アキュイジション
- 計測器
- プロセス制御

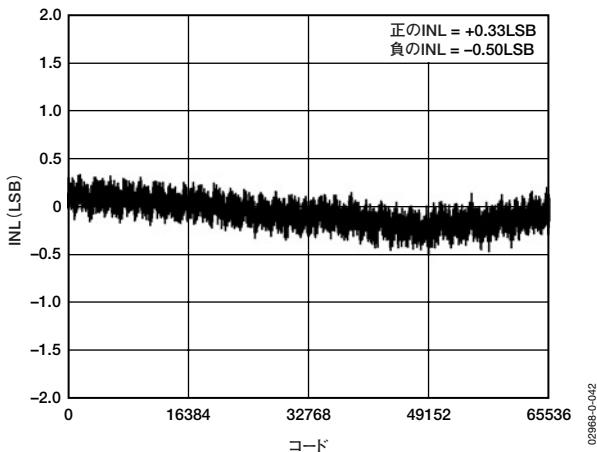


図1. コード対積分非直線性

### アプリケーション回路図

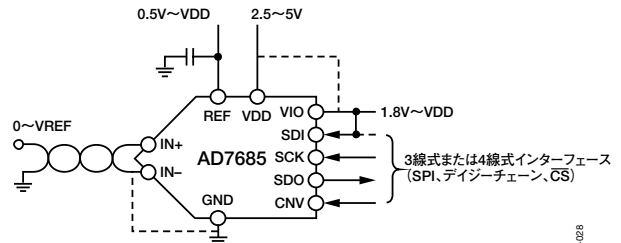


図2

表1. MSOP、QFN (LFCSP) / SOT-23パッケージの16ビットPuISAR ADC

タイプ	100kSPS	250kSPS	500kSPS
真の差動	AD7684	AD7687	AD7688
疑似差動	AD7683	AD7685	AD7686
差動/ユニポーラ		AD7694	
ユニポーラ	AD7680		

### 概要

AD7685は、2.3~5.5Vの単電源VDDで動作する16ビット、電荷再分配式の逐次比較型A/Dコンバータ (SAR ADC) です。ノー・ミスコードで低消費電力の高速16ビット・サンプリングADC、内部変換クロック、融通性に優れたシリアル・インターフェース・ポートを内蔵しています。また、低ノイズ、広帯域幅で、オーバーチャージ遅延の短いトラック&ホールド回路もあります。CNV信号の立上がりエッジで、ADCはグラウンド・センスIN-を基準とする0V~V<sub>REF</sub>のアナログ入力IN+をサンプリングします。リファレンス電圧REFは外部から供給し、電源電圧の範囲まで設定できます。

消費電力は、スループットと直線的に比例して変化します。

SPI互換のシリアル・インターフェースでは、SDI入力を使用し、単一の3線バス上で複数のADCをデジタイゼーション接続することができます。また、オプションでBUSYインジケータ信号を供給することもできます。AD7685は、別にVIO電源を使用する1.8V、2.5V、3V、5Vロジックと互換です。

AD7685は10ピンMSOPまたは10ピンQFN (LFCSP) のパッケージで提供しており、-40~+85℃の温度範囲で仕様が規定されています。

<sup>1</sup> このパッケージは現在開発中です。QFNパッケージのサンプルと入手については、弊社までお問い合わせください

# AD7685

## 目次

---

仕様	3	コンバータの動作	13
タイミング仕様	5	代表的な接続図	14
絶対最大定格	7	デジタル・インターフェース	18
ESDに関する注意	7	アプリケーションのヒント	24
ピン配置と機能の説明	8	レイアウト	24
用語の説明	9	AD7685の性能評価	24
代表的な性能特性	10	外形寸法	25
回路情報	13	オーダー・ガイド	26

## 改訂履歴

4/04—リビジョン0：初版

## 仕様

特に指定のない限り、VDD=2.3~5.5V、VIO=2.3V~VDD、V<sub>REF</sub>=VDD、T<sub>A</sub>=-40~+85℃

表2

パラメータ	条件	Bグレード			Cグレード <sup>1</sup>			単位
		Min	Typ	Max	Min	Typ	Max	
分解能		16			16			ビット
アナログ入力 電圧範囲 絶対入力電圧	IN+ - IN- IN+ IN-	0 -0.1 -0.1		V <sub>REF</sub> VDD+0.1 0.1	0 -0.1 -0.1		V <sub>REF</sub> VDD+0.1 0.1	V V V
アナログ入力CMRR 漏れ電流 (25℃時) 入力インピーダンス	f <sub>IN</sub> =250kHz アクイジションの実行期間		65 1			65 1		dB nA
		「アナログ入力」を参照						
精度		16			16			ビット
ノー・ミスコード		16			16			ビット
微分直線性誤差 (DNL)		-1	±0.7		-1	±0.5	+2	LSB <sup>2</sup>
積分直線性誤差 (INL)		-3	±1	+3	-2	±0.6	+2	LSB
遷移ノイズ	REF=VDD=5V		0.5			0.45		LSB
ゲイン誤差 <sup>3</sup> (T <sub>MIN</sub> ~T <sub>MAX</sub> )			±2	±30		±2	±15	LSB
ゲイン誤差温度ドリフト			±0.3			±0.3		ppm/°C
オフセット誤差 <sup>3</sup> (T <sub>MIN</sub> ~T <sub>MAX</sub> )	VDD=4.5~5.5V		±0.1	±1.6		±0.1	±1.6	mV
	VDD=2.3~4.5V		±0.7	±3.5		±0.7	±3.5	mV
オフセット温度ドリフト			±0.3			±0.3		ppm/°C
電源電圧変動感度	VDD=5V±5%		±0.05			±0.05		LSB
スループット 変換レート	VDD=4.5~5.5V	0		250	0		250	kSPS
	VDD=2.3~4.5V	0		200	0		200	kSPS
過渡応答時間	フルスケール・ステップ			1.8			1.8	μs
AC精度								
信号対ノイズ比 (S/N比)	f <sub>IN</sub> =20kHz、V <sub>REF</sub> =5V	90	92		92	93.5		dB <sup>4</sup>
	f <sub>IN</sub> =20kHz、V <sub>REF</sub> =2.5V	86	88		87.5	88.5		dB
スプリアスフリー・ダイナミック・レンジ	f <sub>IN</sub> =20kHz			-106			-110	dB
全高調波歪み (THD)	f <sub>IN</sub> =20kHz			-106			-110	dB
信号/ノイズ&歪み比 (SINAD)	f <sub>IN</sub> =20kHz、V <sub>REF</sub> =5V	90	92		92	93.5		dB
	f <sub>IN</sub> =20kHz、V <sub>REF</sub> =5V、 -60dB入力		32			33.5		dB
	f <sub>IN</sub> =20kHz、V <sub>REF</sub> =2.5V	85.5	87.5		87	88.5		dB
相互変調歪み <sup>5</sup>				-110			-115	dB

<sup>1</sup> この製品は現在開発中です。サンプルと入手については、弊社までお問い合わせください。

<sup>2</sup> LSBは最下位ビットを意味します。入力電圧範囲が5Vのときに1LSBは76.3μVです。

<sup>3</sup> 「用語の説明」を参照。仕様には全温度範囲の変動が含まれますが、外部電圧リファレンスから発生する誤差は含まれません。

<sup>4</sup> dB単位の仕様はすべてフルスケール入力を基準としています。特に指定のない限り、フルスケールより0.5dB低い入力信号でテストされています。

<sup>5</sup> f<sub>IN1</sub>=21.4kHz、f<sub>IN2</sub>=18.9kHzです。各トーンは、フルスケールよりも-7dB低いレベルです。

# AD7685

特に指定のない限り、VDD=2.3~5.5V、VIO=2.3V~VDD、V<sub>REF</sub>=VDD、T<sub>A</sub>=-40~+85℃

表3

パラメータ	条件	Min	Typ	Max	単位
電圧リファレンス 電圧範囲 負荷電流	250kSPS、REF=5V	0.5	50	VDD+0.3	V μA
サンプリング・ダイナミック特性 -3dB入力帯域幅 アパーチャ遅延	VDD=5V		2 2.5		MHz ns
デジタル入力 ロジック・レベル V <sub>IL</sub> V <sub>IH</sub> I <sub>IL</sub> I <sub>IH</sub>		-0.3 0.7×VIO -1 -1		0.3×VIO VIO+0.3 +1 +1	V V μA μA
デジタル出力 データ・フォーマット パイプライン遅延 V <sub>OL</sub> V <sub>OH</sub>	I <sub>SINK</sub> =+500μA I <sub>SOURCE</sub> =-500μA			シリアル16ビット・ストレート・バイナリ 変換終了後直ちに交換結果が得られます。 0.4	V V
電源 VDD VIO VIO範囲 スタンバイ時の消費電流 <sup>1, 2</sup> 消費電力	仕様性能 仕様性能 VDDとVIO=5V、25℃ VDD=2.5V、100SPSのスループット VDD=2.5V、100kSPSのスループット VDD=2.5V、200kSPSのスループット VDD=5V、100kSPSのスループット VDD=5V、250kSPSのスループット	2.3 2.3 1.8	1 1.4 1.35 2.7 4	5.5 VDD+0.3 VDD+0.3 50 2.4 4.8 6 15	V V V nA μW mW mW mW mW
温度範囲 <sup>3</sup> 仕様性能	T <sub>MIN</sub> ~T <sub>MAX</sub>	-40		+85	℃

<sup>1</sup> すべてのデジタル入力を必要に応じてVIOまたはGNDに強制設定。

<sup>2</sup> アクイジションの実行中。

<sup>3</sup> 拡張温度範囲については、弊社までお問い合わせください。

## タイミング仕様

特に指定のない限り、 $-40\sim+85^{\circ}\text{C}$ 、 $\text{VIO}=2.3\sim5.5\text{V}$ または $\text{VDD}+0.3\text{V}$ のいずれか低い電圧

表4.  $\text{VDD}=4.5\sim5.5\text{V}^{\dagger}$

	記号	Min	Typ	Max	単位
変換時間：CNVの立上がりエッジからデータが得られるまでの時間	$t_{\text{CONV}}$	0.5		2.2	$\mu\text{s}$
アクイジション時間	$t_{\text{ACQ}}$	1.8			$\mu\text{s}$
変換と変換の間隔	$t_{\text{CYC}}$	4			$\mu\text{s}$
CNVパルス幅 ( $\overline{\text{CS}}$ モード)	$t_{\text{CNVH}}$	10			ns
SCKサイクル時間 ( $\overline{\text{CS}}$ モード)	$t_{\text{SCK}}$	15			ns
SCKサイクル時間 (チェーン・モード)	$t_{\text{SCK}}$				
VIOが4.5Vを超えるとき		27			ns
VIOが3Vを超えるとき		28			ns
VIOが2.7Vを超えるとき		29			ns
VIOが2.3Vを超えるとき		30			ns
SCKのローレベル時間	$t_{\text{SCKL}}$	7			ns
SCKのハイレベル時間	$t_{\text{SCKH}}$	7			ns
SCKの立下がりエッジからデータの有効性が続く時間	$t_{\text{HSDO}}$	5			ns
SCKの立下がりエッジからデータ有効までの遅延	$t_{\text{DSDO}}$				
VIOが4.5Vを超えるとき				14	ns
VIOが3Vを超えるとき				15	ns
VIOが2.7Vを超えるとき				16	ns
VIOが2.3Vを超えるとき				17	ns
CNVまたはSDIのローレベルからSDO D15 MSB有効までの時間 ( $\overline{\text{CS}}$ モード)	$t_{\text{EN}}$				
VIOが4.5Vを超えるとき				15	ns
VIOが2.7Vを超えるとき				18	ns
VIOが2.3Vを超えるとき				22	ns
CNVまたはSDIのハイレベルあるいはSCKの最後の立下がりエッジからSDOハイ・インピーダンスまでの時間 ( $\overline{\text{CS}}$ モード)	$t_{\text{DIS}}$			25	ns
CNVの立上がりエッジからSDI有効までのセットアップ時間 ( $\overline{\text{CS}}$ モード)	$t_{\text{SSDICNV}}$	15			ns
CNVの立上がりエッジからSDI有効までのホールド時間 ( $\overline{\text{CS}}$ モード)	$t_{\text{HSDICNV}}$	0			ns
CNVの立上がりエッジからSCK有効までのセットアップ時間 (チェーン・モード)	$t_{\text{SSCKCNV}}$	5			ns
CNVの立上がりエッジからSCK有効までのホールド時間 (チェーン・モード)	$t_{\text{HSCKCNV}}$	5			ns
SCKの立下がりエッジからSDI有効までのセットアップ時間 (チェーン・モード)	$t_{\text{SSDISCK}}$	13			ns
SCKの立下がりエッジからSDI有効までのホールド時間 (チェーン・モード)	$t_{\text{HSDISCK}}$	4			ns

<sup>†</sup> 負荷条件については、図3と図4を参照。

# AD7685

特に指定のない限り、 $-40\sim+85^{\circ}\text{C}$ 、 $\text{VIO}=2.3\sim4.5\text{V}$ または $\text{VDD}+0.3\text{V}$ のいずれか低い電圧

表5.  $\text{VDD}=2.3\sim4.5\text{V}^1$

	記号	Min	Typ	Max	単位
変換時間：CNVの立上がりエッジからデータが得られるまでの時間	$t_{\text{CONV}}$	0.7		3.2	$\mu\text{s}$
アクイジション時間	$t_{\text{ACQ}}$	1.8			$\mu\text{s}$
変換と変換の間隔	$t_{\text{CYC}}$	5			$\mu\text{s}$
CNVパルス幅 ( $\overline{\text{CS}}$ モード)	$t_{\text{CNVH}}$	10			ns
SCKサイクル時間 ( $\overline{\text{CS}}$ モード)	$t_{\text{SCK}}$	25			ns
SCKサイクル時間 (チェーン・モード)	$t_{\text{SCK}}$				
VIOが3Vを超えるとき		54			ns
VIOが2.7Vを超えるとき		60			ns
VIOが2.3Vを超えるとき		65			ns
SCKのローレベル時間	$t_{\text{SCKL}}$	12			ns
SCKのハイレベル時間	$t_{\text{SCKH}}$	12			ns
SCKの立上がりエッジからデータの有効性が続く時間	$t_{\text{HSDO}}$	5			ns
SCKの立上がりエッジからデータ有効までの遅延	$t_{\text{DSDO}}$				
VIOが3Vを超えるとき				24	ns
VIOが2.7Vを超えるとき				30	ns
VIOが2.3Vを超えるとき				35	ns
CNVまたはSDIのローレベルからSDO D15 MSB有効までの時間 ( $\overline{\text{CS}}$ モード)	$t_{\text{EN}}$				
VIOが2.7Vを超えるとき				18	ns
VIOが2.3Vを超えるとき				22	ns
CNVまたはSDIのハイレベルあるいはSCKの最後の立上がりエッジから	$t_{\text{DIS}}$				
SDOハイ・インピーダンスまでの時間 ( $\overline{\text{CS}}$ モード)				25	ns
CNVの立上がりエッジからSDI有効までのセットアップ時間 ( $\overline{\text{CS}}$ モード)	$t_{\text{SSDICNV}}$	30			ns
CNVの立上がりエッジからSDI有効までのホールド時間 ( $\overline{\text{CS}}$ モード)	$t_{\text{HSDICNV}}$	0			ns
CNVの立上がりエッジからSCK有効までのセットアップ時間 (チェーン・モード)	$t_{\text{SSCKCNV}}$	5			ns
CNVの立上がりエッジからSCK有効までのホールド時間 (チェーン・モード)	$t_{\text{HSCKCNV}}$	8			ns
SCKの立上がりエッジからSDI有効までのセットアップ時間 (チェーン・モード)	$t_{\text{SSDISCK}}$	30			ns
SCKの立上がりエッジからSDI有効までのホールド時間 (チェーン・モード)	$t_{\text{HSDISCK}}$	4			ns

<sup>1</sup> 負荷条件については、図3と図4を参照。

## 絶対最大定格

表6

パラメータ	定格値
アナログ入力 IN <sup>+</sup> 、IN <sup>-</sup> 、REF	GND-0.3V~VDD+0.3V または±130mA
電源電圧	
GNDに対するVDD、VIO	-0.3~+7V
VIOに対するVDD	±7V
GNDに対するデジタル入力	-0.3V~VIO+0.3V
GNDに対するデジタル出力	-0.3V~VIO+0.3V
保存温度範囲	-65~150℃
ジャンクション温度	150℃
$\theta_{JA}$ 熱抵抗	200℃/W (MSOP-10)
$\theta_{JC}$ 熱抵抗	44℃/W (MSOP-10)
リードピン温度範囲	
ペーキング時間 (60秒)	215℃
赤外線 (15秒)	220℃

絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上のデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

<sup>1</sup> 「アナログ入力」を参照。

## 注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

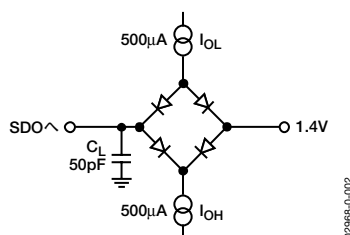
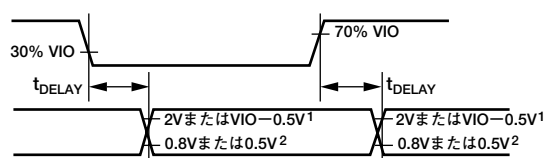


図3. デジタル・インターフェース・タイミングの負荷回路



注

1. VIOが2.5Vよりも高い場合は2V、VIOが2.5Vよりも低い場合はVIO-0.5Vです。
2. VIOが2.5Vよりも高い場合は0.8V、VIOが2.5Vよりも低い場合は0.5Vです。

図4. タイミングの電圧レベル

# AD7685

## ピン配置と機能の説明

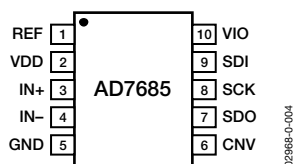


図5. 10ピンのMSOPおよびQFN (LFCSP) のピン配置

表7. ピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	機能
1	REF	AI	リファレンス入力電圧。REFの範囲は0.5V～VDDで、GNDピンを基準とします。このピンの近くに10μFのコンデンサを外付けして、デカップリングしてください。
2	VDD	P	電源
3	IN+	AI	アナログ入力。IN-を基準とします。電圧範囲はIN+とIN-間の差であり、0V～V <sub>REF</sub> です。
4	IN-	AI	アナログ入力グラウンド・センス。アナログ・グラウンド・プレーンまたはリモート・センス・グラウンドに接続します。
5	GND	P	電源グラウンド
6	CNV	DI	変換入力。この入力には複数の機能があります。立上がりエッジで変換を開始し、デバイスのインターフェース・モード（チェーン・モードかCSモード）を選択します。CSモードでは、CNVがローレベルのときにSDOピンがイネーブルになります。チェーン・モードでは、CNVがハイレベルのときにデータが読み出されます。
7	SDO	DO	シリアル・データ出力。このピンから変換結果を出力します。SCKと同期します。
8	SCK	DI	シリアル・データ・クロック入力。デバイスが選択されるときに、このクロックによって変換結果をシフト出力します。
9	SDI	DI	シリアル・データ入力。この入力には複数の機能があります。ADCのインターフェース・モードを次のように選択します。CNVの立上がりエッジのときにSDIがローレベルであれば、チェーン・モードが選択されます。このモードのとき、2個以上のADCの変換結果を1本のSDOライン上にデジタイズするためのデータ入力としてSDIを使用します。SDI上のデジタル・データ・レベルは、16 SCKサイクルの遅延でSDOから出力されます。CNVの立上がりエッジのときにSDIがハイレベルであれば、CSモードが選択されます。このモードでは、SDIまたはCNVのどちらかがローレベルになるときにシリアル出力信号をイネーブルにできます。変換の終了時にSDIまたはCNVがローレベルであれば、BUSYインジケータ機能がイネーブルになります。
10	VIO	P	入出力インターフェース用のデジタル電源。公称値は、ホスト・インターフェースと同じ電源電圧（1.8V、2.5V、3V、5V）です。

<sup>1</sup> AI=アナログ入力、DI=デジタル入力、DO=デジタル出力、P=電源



## 用語の説明

### 積分非直線性誤差 (INL)

この仕様は、負側のフルスケールと正側のフルスケールを結ぶ直線と実際の各コード出力との偏差を意味します。負側のフルスケールとして使用するポイントは、最初のコード遷移よりも1/2LSB下にあります。正側のフルスケールは、最後のコード遷移よりも1+1/2LSB上のレベルです。偏差とは、各コードの中心と真の直線との距離の測定値です (図25)。

### 微分非直線性誤差 (DNL)

理想的なADCでは、コード遷移は1LSB離れた位置で発生します。DNLは、この理想値からの最大偏差です。通常は、ノー・ミスコードが保証される分解能で規定します。

### オフセット誤差

最初の遷移は、アナログ・グラウンドよりも1/2LSB上のレベルで発生します (0~5Vで38.1μV)。オフセット誤差とは、そのポイントからの実際の遷移の偏差を意味します。

### ゲイン誤差

最後の遷移 (111...10から111...11) は、公称フルスケールよりも1+1/2LSB下のアナログ電圧で発生します (0~5Vで4.999886V)。ゲイン誤差とは、オフセットの調整が終了した後で、最後の遷移の実際のレベルが理想的なレベルと相違する偏差のことです。

### スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDRとは、入力信号のrms振幅値とピーク・スプリアス信号のrms値の差をデシベル (dB) の単位で表した数値です。

### 有効ビット数 (ENOB)

ENOBとは、正弦波を入力したときの分解能の測定値です。S/(N+D)に関係し、以下の式で求めます。単位はビットで表します。

$$ENOB = (S/[N+D]_{dB} - 1.76) / 6.02$$

### 全高調波歪み (THD)

THDとは、最初の5つの高調波成分のrms値の総和と、フルスケール入力信号のrms値との比であり、dB単位で表します。

### 信号対ノイズ比 (S/N比)

S/N比とは、実際の入力信号のrms値と、ナイキスト周波数よりも下の全スペクトル成分のrms値総和から高調波成分とDC成分を除いた値との比です。dB単位で表します。

### 信号/ノイズ&歪み (S/[N+D])

S/(N+D)とは、実際の入力信号のrms値と、ナイキスト周波数よりも下の全スペクトル成分のrms値総和 (DC以外の高調波成分を含む) との比です。dB単位で表します。

### アパーチャ遅延

アパーチャ遅延とはアクイジション性能の目安を表す仕様であり、CNV入力の立上がりエッジから入力信号が変換のためにホールドされるまでの時間の測定値です。

### 過渡応答

過渡応答とは、入力にフルスケール・ステップ関数が与えられてから、AD7685がその入力を高精度に収集するまでに要する時間を表します。

# AD7685

## 代表的な性能特性

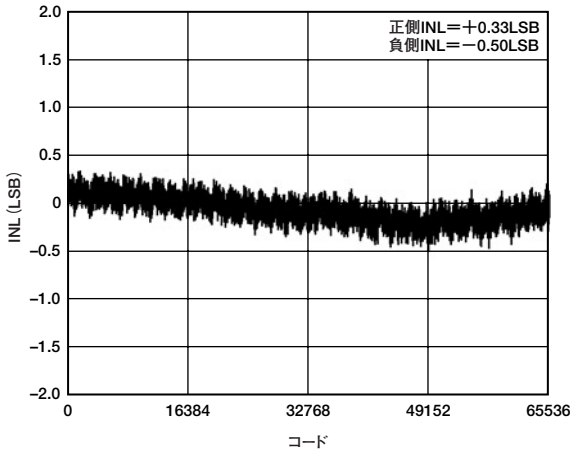


図6. コード 対 積分非直線性

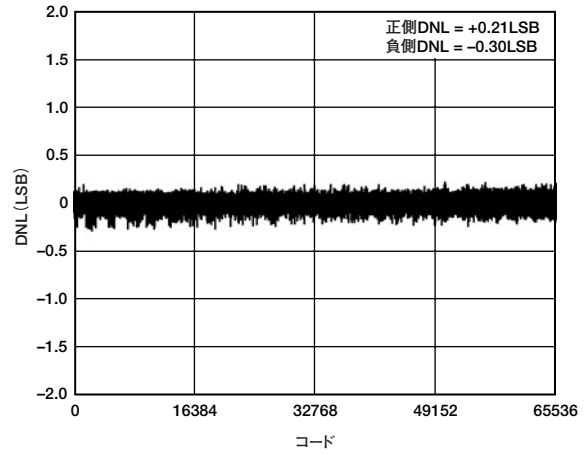


図9. コード 対 微分非直線性

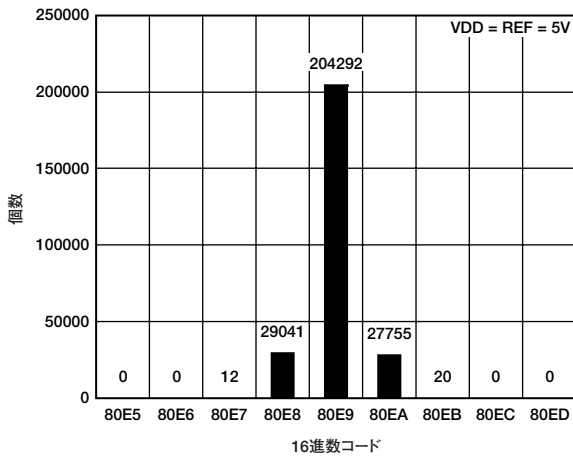


図7. コードの中心におけるDC入力のヒストグラム

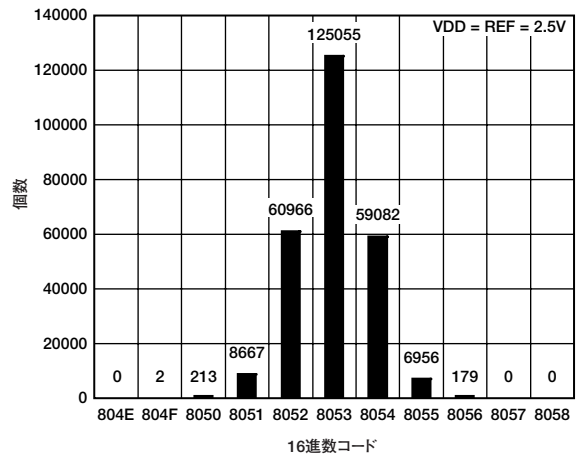


図10. コードの中心におけるDC入力のヒストグラム

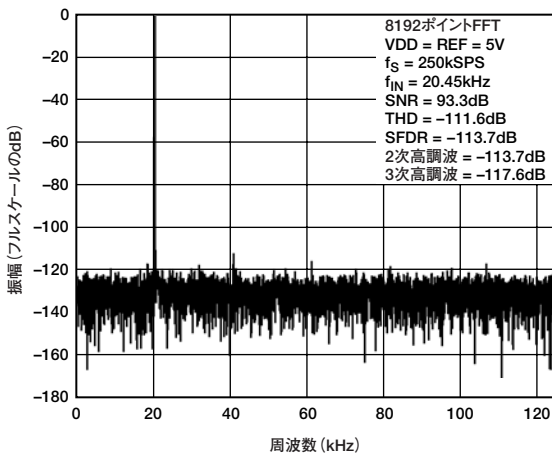


図8. FFTプロット

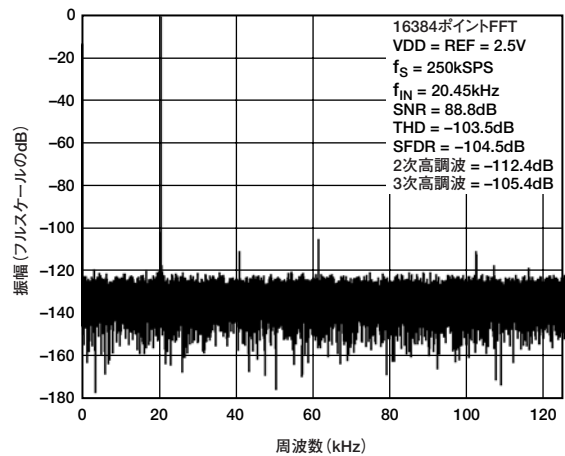


図11. FFTプロット

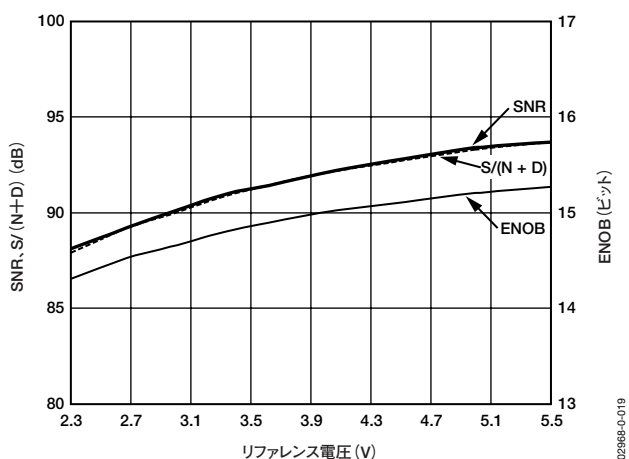


図12. リファレンス電圧 対 SNR、S/(N+D)、ENOB

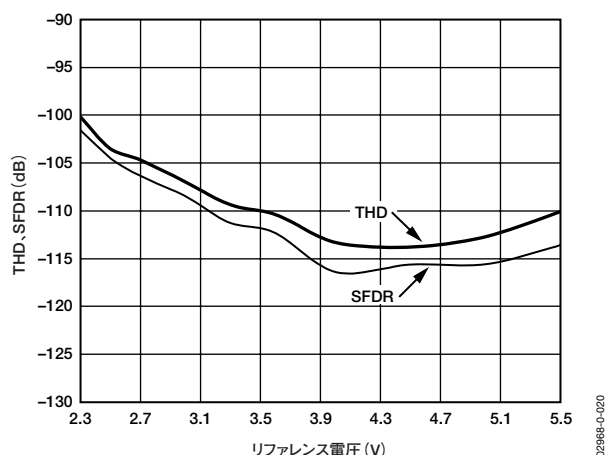


図15. リファレンス電圧 対 THD、SFDR

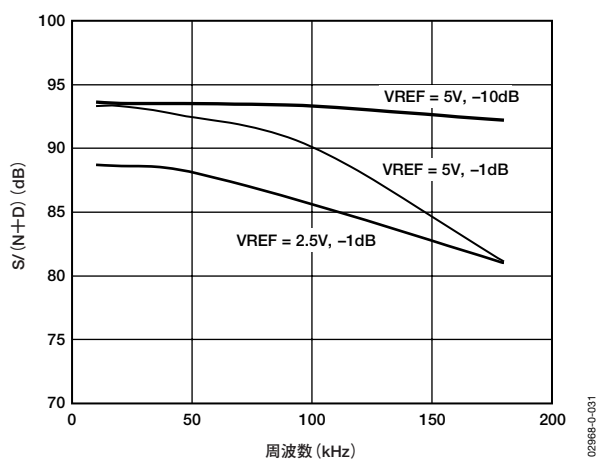


図13. S/(N+D) の周波数特性

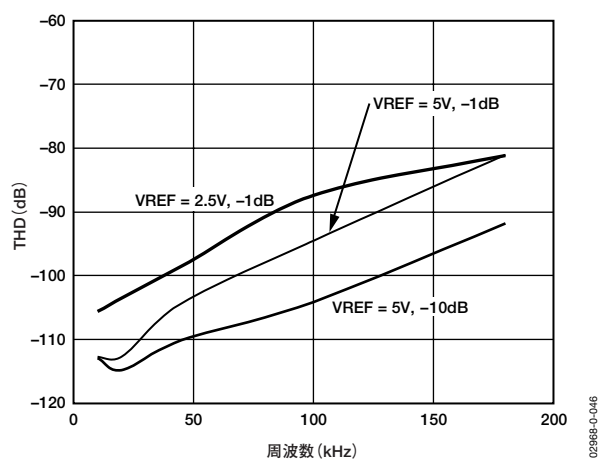


図16. THDの周波数特性

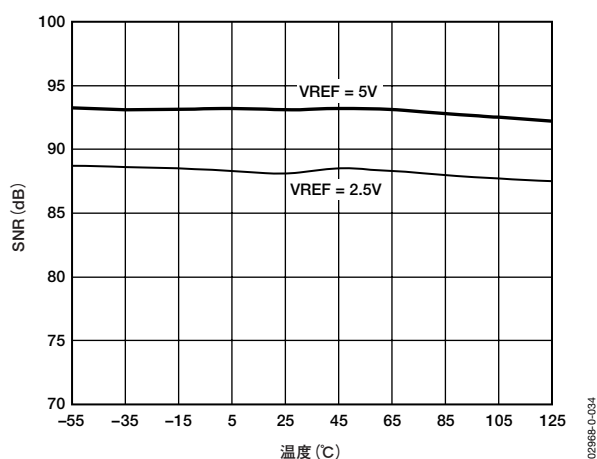


図14. SNRの温度特性

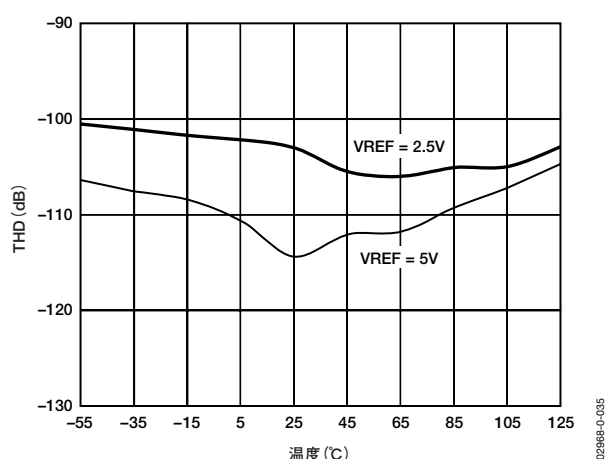


図17. THD、SFDRの温度特性

# AD7685

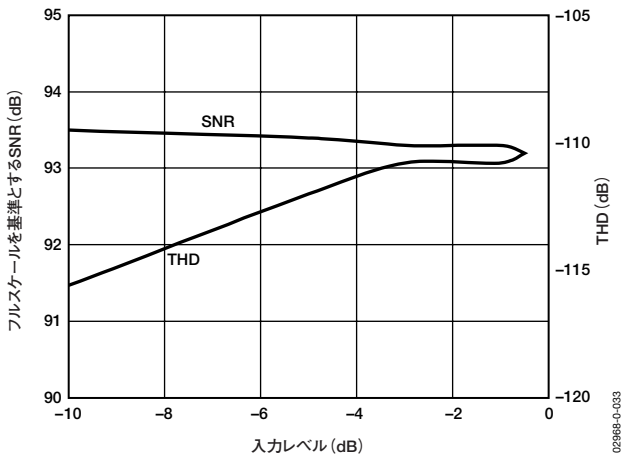


図18. 入力レベル 対 SNRおよびTHD

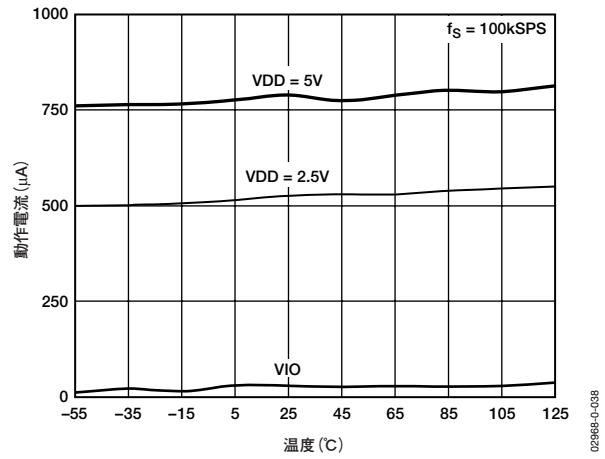


図21. 動作電流の温度特性

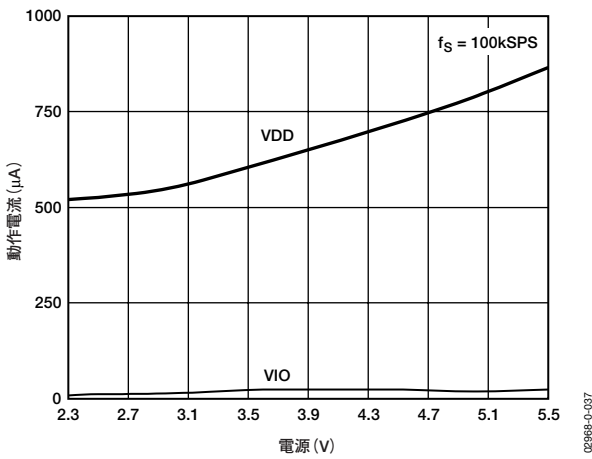


図19. 電源 対 動作電流

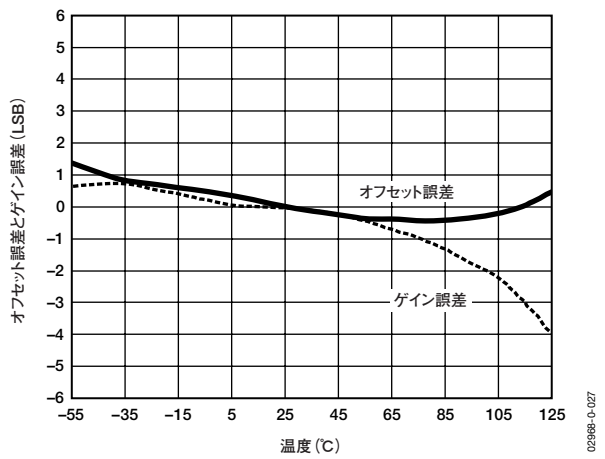


図22. オフセット誤差とゲイン誤差の温度特性

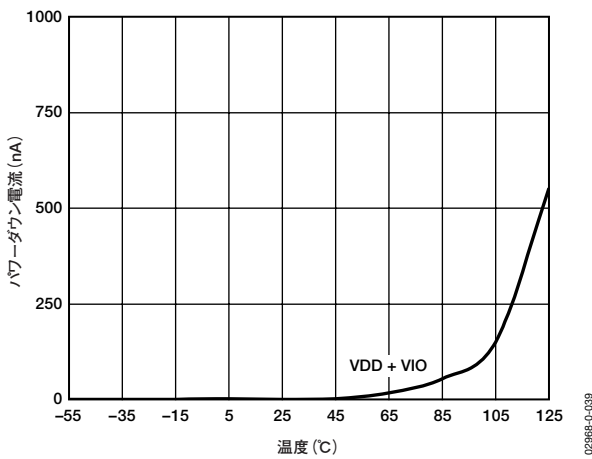


図20. パワーダウン電流の温度特性

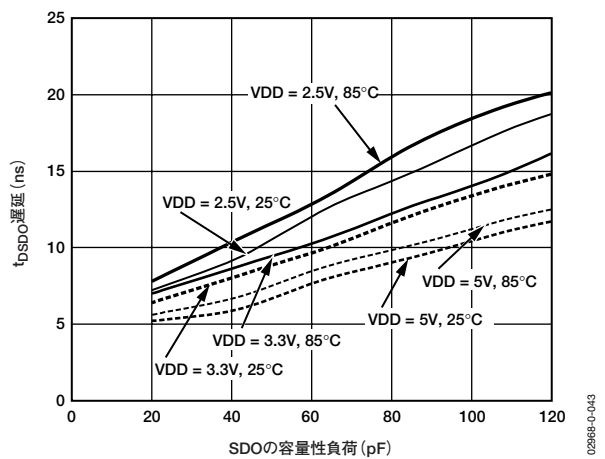


図23. 容量性負荷および電源 対  $t_{DSO}$

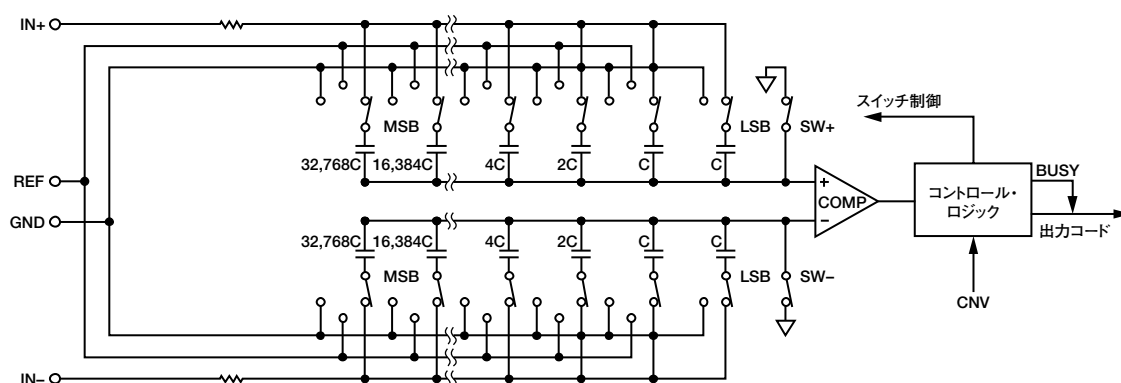


図24. ADCの簡略回路図

## 回路情報

AD7685は、逐次比較型アーキテクチャを採用する高速、低消費電力、単電源動作の高精度16ビットADCです。

AD7685は1秒あたり25万サンプル（250kSPS）を変換し、変換と変換の間にパワーダウン状態にすることができます。たとえば100SPSで動作するとき、消費電力は2.5Vの電源時でわずか1.35 $\mu$ W（typ）になるため、バッテリー駆動アプリケーションに最適です。

AD7685にはオンチップのトラック&ホールドがあり、パイプライン遅延やレイテンシがまったく発生しないため、マルチプレクサを使用した多チャンネル・アプリケーションに最適です。

AD7685は2.3~5.5Vの電圧範囲の電源動作で仕様が規定されており、1.8~5Vのどんなデジタル・ロジック・ファミリーともインターフェースが可能です。10ピンMSOPまたは小型サイズの10ピンQFN（LFCSP）パッケージの採用によって省スペースを実現し、柔軟な設定が可能になっています。

AD7685は、AD7686、AD7687、AD7688と完全にピン互換です。

## コンバータの動作

AD7685は、電荷再分配型DACをベースとする逐次比較型ADCです。図24に、このADCの簡略回路図を示します。容量性DACはバイナリの重付けをされた16個のコンデンサから成る2個の同一のアレイで構成され、2つのコンパレータ入力に接続されています。

アクイジション動作の実行中に、コンパレータの入力に接続されたアレイの端子がSW+とSW-によってGNDに接続します。独立したスイッチはすべて、アナログ入力に接続しています。このようにして、コンデンサ・アレイをサンプリング・コンデンサとして使用し、IN+およびIN-入力上でアナログ信号を取り込みます。アクイジションが終了して、CNV入力がハイレベルになると、変換動作を開始します。変換が始まると、最初にSW+とSW-が開きます。次いで、2個のコンデンサ・アレイが入力から切断され、GND入力に接続します。このため、アクイジションの最後に取り込まれた入力IN+とIN-間の差動電圧がコンパレータの入力に入り、コンパレータが不平衡の状態になります。コンデンサ・アレイの各エレメントをGNDとREFの間でスイッチングすることにより、コンパレータ入力がバイナリの重付けをされた電圧ステップ（ $V_{REF}/2$ 、 $V_{REF}/4$ 、... $V_{REF}/65536$ ）で変化します。コントロール・ロジックでこれらのスイッチをトグルして（MSBファースト）、コンパレータを再び平衡状態に戻します。このプロセスが終了すると、AD7685はパワーダウン状態になり、アクイジションの動作に戻り、コントロール・ロジックがADCの出力コードとBUSY信号インジケータを生成します。

AD7685には変換クロックが内蔵されているため、変換プロセスでシリアル・クロック（SCK）は必要ありません。

# AD7685

## 伝達関数

AD7685の理想的な伝達特性を図25と表8に示します。

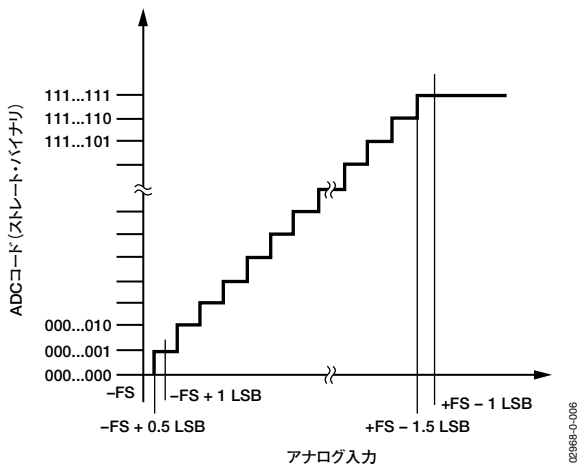


図25. ADCの理想的な伝達関数

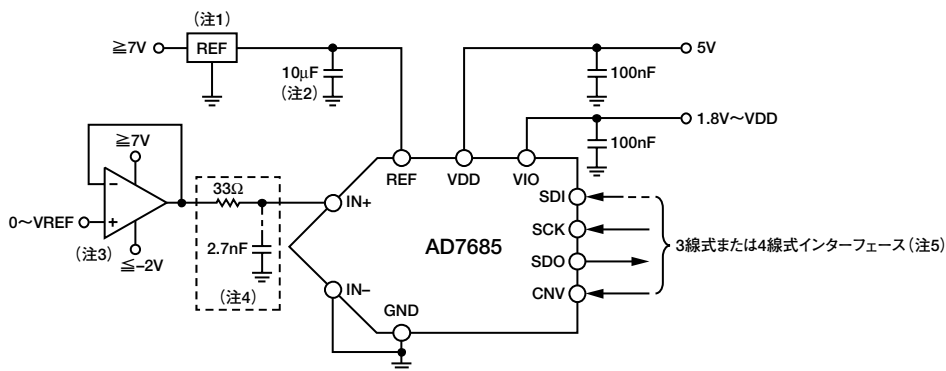
## 代表的な接続図

複数の電源を利用する場合のAD7685の推奨接続図の例を図26に示します。

表8. 出力コードと理想的な入力電圧

説明	アナログ入力 $V_{REF}=5V$	デジタル出力コード (16進数値)
FSR-1LSB	4.999924V	FFFF <sup>1</sup>
ミッドスケール+1LSB	2.500076V	8001
ミッドスケール	2.5V	8000
ミッドスケール-1LSB	2.499924V	7FFF
-FSR+1LSB	76.3 $\mu$ V	0001
-FSR	0V	0000 <sup>2</sup>

<sup>1</sup> これは、オーバーレンジのアナログ入力コードでもあります ( $V_{IN+} - V_{IN} > V_{REF} - V_{GND}$ )。  
<sup>2</sup> これは、アンダーレンジのアナログ入力コードでもあります ( $V_{IN+} - V_{IN} < V_{GND}$ )。



注1: 電圧リファレンスの選択については、「電圧リファレンス入力」を参照。  
 注2:  $C_{REF}$ は通常、10 $\mu$ Fのセラミック・コンデンサ (X5R) です。  
 注3: 「ドライバ・アンプの選択」を参照。  
 注4: オプションのフィルタです。「アナログ入力」を参照。  
 注5: 最も便利なインターフェース・モードについては、「デジタル・インターフェース」を参照。

図26. 複数の電源を使用する代表的なアプリケーション接続図

## アナログ入力

図27は、AD7685の入力構造の等価回路図です。

D1とD2の2個のダイオードが、IN+とIN-の各アナログ入力に対しESD保護を行います。アナログ入力信号が電源電圧範囲を0.3V以上超えないよう注意する必要があります。この値を超えると、上記のダイオードが順方向にバイアスされて、電流が流れ始めます。ダイオードは、最大130mAの順方向バイアス電流を処理できます。たとえば、入力バッファの(U1)電源がVDDと異なるときに、このような状況が発生する可能性があります。この場合、短絡電流制限機能がある入力バッファを使用してデバイスを保護してください。

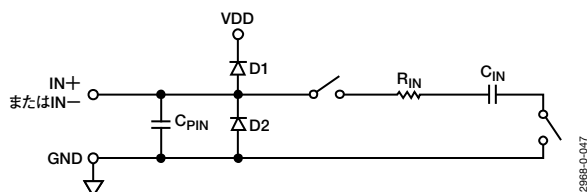


図27. アナログ入力等価回路

このアナログ入力構造により、IN+とIN-間の差動信号のサンプリングが可能になります。この差動入力を使用することによって、図28に示すように2つの入力に与えられた小さな同期信号が除去されます。図28に、代表的なCMRRの周波数特性を示します。たとえば、IN-入力を使用してリモート信号グラウンドをセンシングすることにより、センサーとADCのローカル・グラウンド間のグラウンド電位差が除去されます。

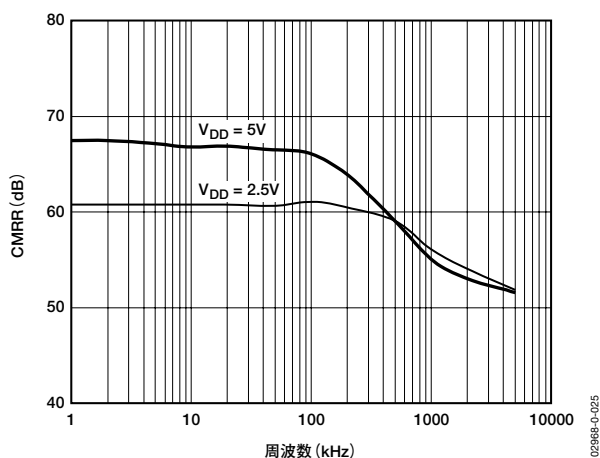


図28. アナログ入力CMRRの周波数特性

アクイジション動作では、コンデンサ $C_{PIN}$ と $R_{IN}$ および $C_{IN}$ の直列接続によって形成されるネットワークとの並列接続として、アナログ入力 (IN+またはIN-) のインピーダンスをモデル化できます。 $C_{PIN}$ は主としてピン容量です。 $R_{IN}$ は通常 $3k\Omega$ で、いくつかの直列抵抗とスイッチのオン抵抗を含みます。 $C_{IN}$ は通常 $30pF$ で、主にADCのサンプリング・コンデンサとなります。スイッチが開く変換動作の実行中、入力インピーダンスは $C_{PIN}$ に制限されます。 $R_{IN}$ と $C_{IN}$ は、望ましくない折り返し成分を低減し、ノイズを制限する単極ローパス・フィルタを構成します。

駆動回路の信号源インピーダンスが低いときに、AD7685を直接駆動できます。信号源インピーダンスが大きくなると、AC性能、特に全高調波歪み (THD) 特性に大きな影響を与えます。DC性能のほうは、入力インピーダンスによってそれほど影響を受けません。最大の信号源インピーダンスは、許容可能なTHDの大きさに依存します。図29に示すように、THDは信号源インピーダンスと最大入力周波数に比例して劣化します。

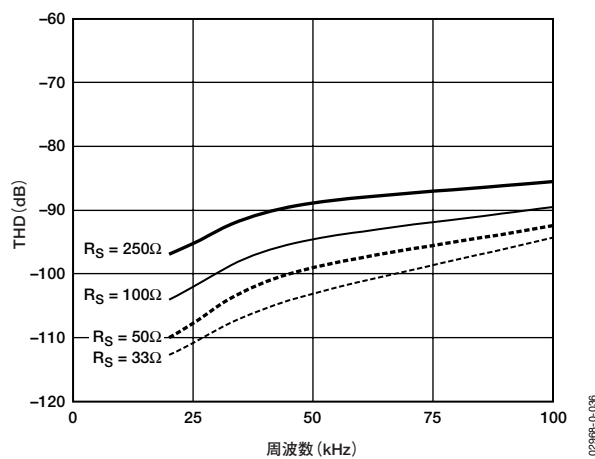


図29. アナログ入力周波数と信号源抵抗値 対 THD

# AD7685

## ドライバ・アンプの選択

AD7685は簡単に駆動できますが、ドライバ・アンプは次の条件を満たす必要があります。

- AD7685のSNRと遷移ノイズ性能を維持するには、ドライバ・アンプによるノイズを可能な限り低く抑える必要があります。ただし、AD7685のノイズはその他の16ビットADCよりも大幅に低いため、規定のシステム・ノイズ仕様を満たすためにノイズの比較的大きいアンプで駆動することができます。アンプから発生するノイズは、 $R_{IN}$ と $C_{IN}$ で構成されるAD7685のアナログ入力回路のローパス・フィルタや、外部フィルタがあればこれによって除去されます。AD7685のノイズの代表値は $35\mu\text{V rms}$ であることから、次の式によりアンプに起因するSNRの低下を求めることができます。

$$SNR_{Loss} = 20 \log \left( \frac{35}{\sqrt{35^2 + \frac{\pi}{2} f_{-3dB} (N_{eN})^2}} \right)$$

ここで、

$f_{-3dB}$ は、AD7685の-3dB入力帯域幅（2MHz）、または入力フィルタを使用する場合はそのカットオフ周波数です。

$N$ は、アンプのノイズ・ゲインです（たとえば、バッファ構成の場合は+1）。

$e_{nV}$ は、オペアンプの等価入力ノイズ電圧（ $nV/\sqrt{\text{Hz}}$ ）です。

- ACアプリケーションの場合、ドライバはAD7685に適したTHD性能を備えている必要があります。図16に、AD7685のTHDの周波数特性を示します。
- マルチチャンネルのマルチプレクサ・アプリケーションの場合、ドライバ・アンプとAD7685のアナログ入力回路は、コンデンサ・アレイのフルスケール・ステップに対して16ビット・レベル（0.0015%）でセトリングしなければなりません。アンプのデータシートでは、一般に0.1~0.01%でのセトリングが規定されています。これは16ビット・レベルでのセトリング・タイムと大幅に異なることがあるため、ドライバを選択する前に確認する必要があります。

表9. 推奨ドライバ・アンプ

アンプ	代表的なアプリケーション
AD8021	きわめて低ノイズで高周波数 低ノイズで高周波数
AD8022	
OP184	低消費電力、低ノイズ、低周波数 5V単電源、低消費電力
AD8605、AD8615	
AD8519	小型、低消費電力、低周波数 高周波数で低消費電力
AD8031	

## 電圧リファレンス入力

AD7685の電圧リファレンス入力（REF）は変動する入力インピーダンスをもっているため、「レイアウト」で説明するように、低インピーダンスの信号源で駆動し、REFとGNDのピンの間にコンデンサを外付けして、十分にデカップリングを行う必要があります。

AD8031やAD8605を使用するリファレンス・バッファなど、インピーダンスがきわめて低い信号源でREFを駆動するとき、最適な性能を得るためには $10\mu\text{F}$ （X5R、0805サイズ）のセラミック・チップ・コンデンサが適切です。

バッファしていないリファレンス電圧を使用する場合、デカップリングの値は、使用するリファレンスによって異なります。たとえば、温度ドリフトの低いリファレンスADR43xを使用する場合は、 $22\mu\text{F}$ （X5R、1206サイズ）のセラミック・チップ・コンデンサによって最適な性能が得られます。

必要に応じて、 $2.2\mu\text{F}$ までの小さいリファレンス・デカップリング用コンデンサを使用すれば、性能、特にDNLに対する影響を最小にすることができます。



## 電源

AD7685の仕様は、2.3~5.5Vの広い動作電圧範囲で規定されています。ほかの低電圧コンバータと異なりノイズが低いため、かなり高い性能の16ビット分解能システムを設計することができます。AD7685は、コア電源VDDとデジタル入出力インターフェース電源VIOの2本の電源ピンを使用します。VIOによって、1.8V~VDDの電源で動作するロジックと直接のインターフェースが可能になります。必要な電源の数を減らすために、VIOとVDDを接続することができます。VIOとVDDの電源シーケンスは、どちらが先でもかまいません。さらに、AD7685は、広い周波数範囲で電源変動に対しきわめて高い安定性があります。図30に、PSRRの周波数特性を示します。

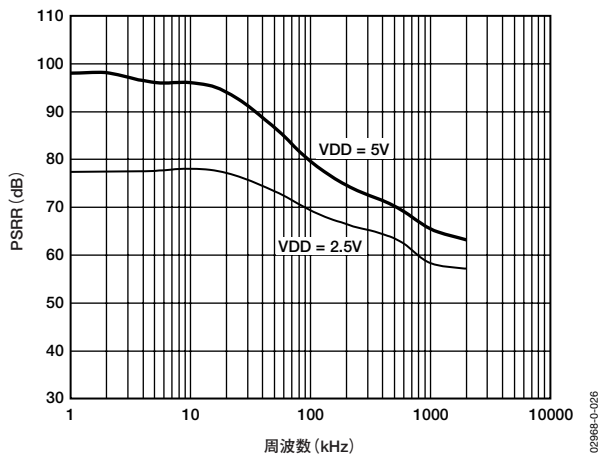


図30. PSRRの周波数特性

変換サイクルが終了するごとにAD7685は自動的にパワーダウンするため、図31に示すように消費電力がサンプリング・レートに比例して直線的に変化します。このため、サンプリング・レートが低く（数Hzにも対応）、低消費電力のバッテリー駆動アプリケーションに最適です。

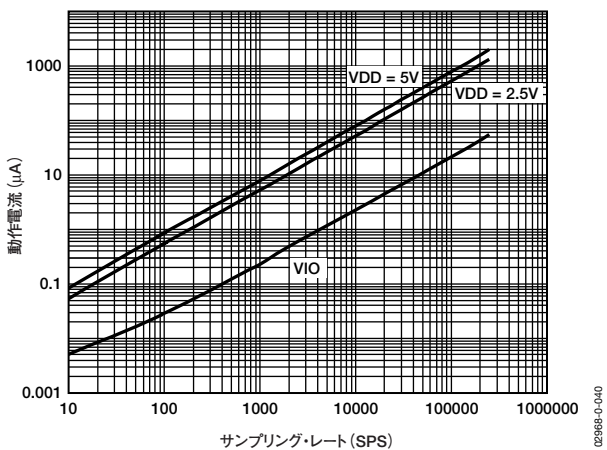
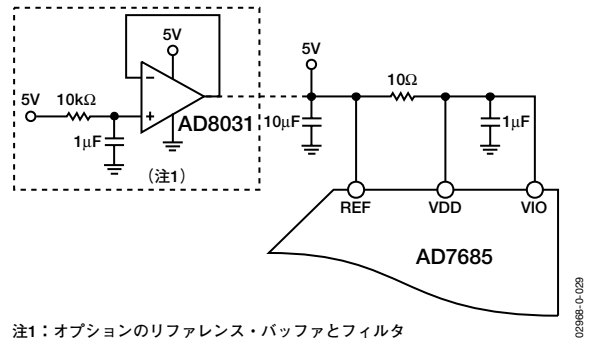


図31. サンプリング・レート 対 動作電流

## リファレンスからADCへの電源供給

簡単なアプリケーションでは、図32に示すリファレンス回路を使用し、動作電流が低いAD7685に直接電源を供給できます。リファレンス・ラインは、以下のいずれかによって駆動できます。

- システム電源から直接駆動
- ADR43xなどの高い電流出力能力を備えたリファレンス電圧
- 図32に示すような、システム電源のフィルタ処理機能も備えたAD8031などのリファレンス・バッファ



注1：オプションのリファレンス・バッファとフィルタ

図32. アプリケーション回路の例

# AD7685

## デジタル・インターフェース

AD7685のピンの数は少ないですが、シリアル・インターフェース・モードによりきわめて高い柔軟性があります。

AD7685は $\overline{\text{CS}}$ モードのときに、SPI、QSPI、デジタル・ホスト、Blackfin®ADSP-BF53xやADSP-219xなどのDSPと互換性があります。このインターフェースは、3線式または4線式のいずれも使用できます。CNV、SCK、SDOの信号を使用する3線式インターフェースでは、配線接続数が少ないため、絶縁アプリケーションなどに向いています。SDI、CNV、SCK、SDOの信号を使用する4線式インターフェースでは、変換を開始するCNV入力を読出しタイミング（SDI）と無関係にすることができます。これは、低ジッタのサンプリングや同時サンプリングのアプリケーションに向いています。

AD7685をチェーン・モードに設定すると、SDI入力を使用し、シフト・レジスタと同じ1本のデータ・ライン上に複数のADCをカスケード接続するダイジーチェーン機能を利用できます。

AD7685の動作モードは、CNVのエッジが立ち上がるときのSDIのレベルによって決まります。SDIがハイレベルのときは $\overline{\text{CS}}$ モード、SDIがローレベルのときはチェーン・モードが選択されます。SDIのホールド時間により、SDIとCNVが相互に接続されているときはチェーン・モードが常に選択されます。

$\overline{\text{CS}}$ モードのときは、オプションとしてデータビットの前に開始ビットを強制的に設定することもできます。この開始ビットをBUSY信号インジケータとして使用し、デジタル・ホストに割込みをかけ、データの読出し動作をトリガできます。BUSY信号インジケータを使用しない場合は、最大変換時間が経過した後で読出しを行わなければなりません。

BUSYインジケータ機能は、以下の条件のときにイネーブルになります。

- $\overline{\text{CS}}$ モードで、ADCの変換が終了するときにCNVまたはSDIがローレベル（図36）。

### BUSYインジケータを使用しない3線式の $\overline{CS}$ モード

このモードは通常、1個のAD7685をSPI互換のデジタル・ホストに接続するときに使用します。図33にこのモードの接続図、図34にそのタイミング図を示します。

SDIがVIOに接続されているとき、CNVの立上がりエッジで変換を開始し、 $\overline{CS}$ モードが選択され、SDOをハイ・インピーダンスの状態に強制設定します。変換を開始すると、CNVの状態に関係なく変換が完了するまで続けます。このような動作設定は、CNVをローレベルに設定して、たとえばアナログ・マルチプレクサなどの他のSPIデバイスを選択する場合に便利です。このとき、BUSY信号インジケータが発生しないように、最小変換時間が経過する前にCNVをハイレベルに戻し、最大変換時間が経過するまでCNVをハイレベルに保持する必要があります。変換が終了した時点でAD7685はアキュイジション・サイクルに入り、パワーダウンします。CNVがローレベルになると、MSBがSDOに出力されます。残りのデータビットは、その後のSCKの立下がりエッジで順次クロック出力されます。SCKの立上がりエッジと立下がりエッジの両方のエッジでデータが有効になります。立上がりエッジでデータを取り込むことも可能ですが、

SCKの立下がりエッジを使用するデジタル・ホストのほうが、十分なホールド時間があれば、読出しが速くできます。SCKの16番目の立下がりエッジ後、またはCNVがハイレベルになるときのいずれか早いほうの時点で、SDOがハイ・インピーダンスの状態に戻ります。

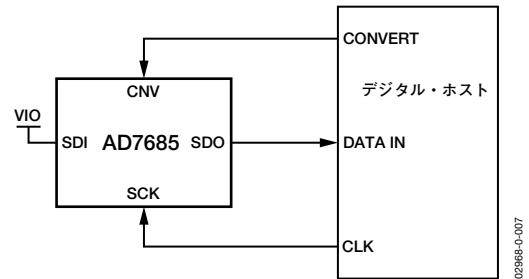


図33. BUSYインジケータを使用しない3線式 $\overline{CS}$ モードの接続図 (SDIがハイレベル)

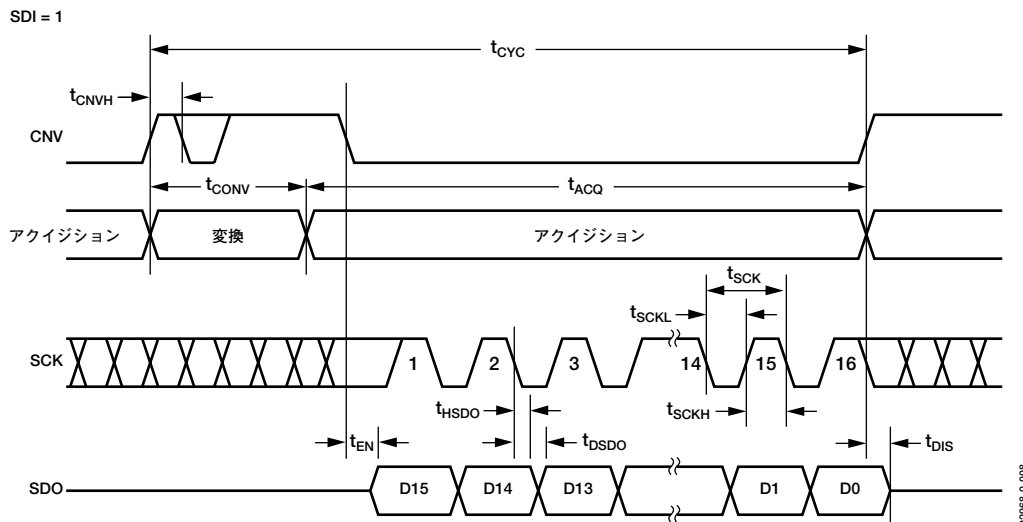


図34. BUSYインジケータを使用しない3線式 $\overline{CS}$ モードのシリアル・インターフェース・タイミング図 (SDIがハイレベル)

# AD7685

## BUSYインジケータを使用した3線式の $\overline{CS}$ モード

このモードは通常、1個のAD7685を割込み入力付きのSPI互換デジタル・ホストに接続するときに使用します。

図35にこのモードの接続図、図36にそのタイミング図を示します。

SDIがVIOに接続されているとき、CNVの立上がりエッジで変換を開始し、 $\overline{CS}$ モードが選択され、SDOをハイ・インピーダンスの状態に強制設定します。SDOはCNVの状態に関係なく、変換動作が完了するまでハイ・インピーダンスの状態に維持されます。最小変換時間が経過する前にCNVを使用して、アナログ・マルチプレクサなどのその他のSPIデバイスを選択することができます。このとき、BUSY信号インジケータが発生するように、最小変換時間が経過する前にCNVをローレベルに戻し、最大変換時間が経過するまでCNVをローレベルに保持する必要があります。変換が終了した時点で、SDOはハイ・インピーダンスの状態からローレベルに遷移します。SDOライン上のプルアップにより、この遷移を割込み信号として、デジタル・ホストが制御するデータの読出しを開始することができます。その後、AD7685はアクイジション・サイクルに入り、パワーダウンします。データビットは、その後のSCKの立下がりエッジで

MSBファーストで順次クロック出力されます。SCKの立上がり立下りの両方のエッジで、データが有効になります。立上がりエッジでデータを取り込むことも可能ですが、SCKの立下がりエッジを使用するデジタル・ホストのほうが、十分なホールド時間があれば、読出し速度が速くなります。オプションの17番目のSCK立下がりエッジ後、またはCNVがハイレベルになるときのいずれか早いほうの時点で、SDOがハイ・インピーダンスの状態に戻ります。

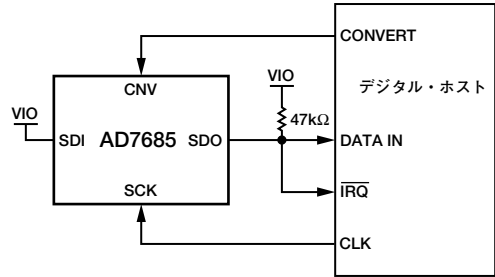


図35. BUSYインジケータを使用した3線式 $\overline{CS}$ モードの接続図 (SDIがハイレベル)

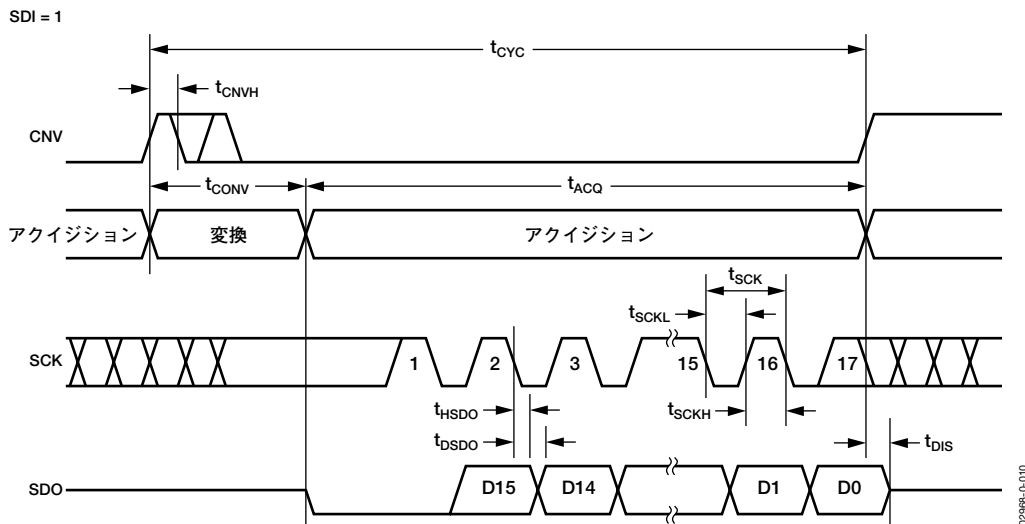


図36. BUSYインジケータを使用した3線式 $\overline{CS}$ モードのシリアル・インターフェース・タイミング図 (SDIがハイレベル)

### BUSYインジケータを使用しない4線式の $\overline{CS}$ モード

このモードは通常、複数のAD7685をSPI互換のデジタル・ホストに接続するときに使用します。

図37に2個のAD7685を使用する場合の接続図、図38にそのタイミング図を示します。

SDIがハイレベルのとき、CNVの立上がりエッジで変換を開始し、 $\overline{CS}$ モードが選択され、SDOをハイ・インピーダンスの状態に強制設定します。このモードのとき、変換サイクルとその後のデータ読出しの実行中はCNVをハイレベルに保持しなければなりません (SDIとCNVがローレベルであれば、SDOもローレベルに駆動されます)。最小変換時間が経過する前にSDIを使用して、アナログ・マルチプレクサなどのその他のSPIデバイスを選択できます。このとき、BUSY信号インジケータが発生

しないように、最小変換時間が経過する前にSDIをハイレベルに戻し、最大変換時間が経過するまでSDIをハイレベルに保持しなければなりません。変換が終了した時点でAD7685はアキュイジション・サイクルに入り、パワーダウンします。SDI入力をローレベルに設定し、MSBをSDOに出力することにより、各ADCの変換結果を読み出すことができます。残りのデータビットは、その後のSCKのエッジで順次クロック出力されます。SCKの立上がりエッジと立下がりエッジの両方のエッジで、データが有効になります。立上がりエッジでデータを取り込むことも可能ですが、SCKの立下がりエッジを使用するデジタル・ホストのほうが、十分なホールド時間があれば、読出し速度が速くなります。SCKの16番目の立下がりエッジ後、またはSDIがハイレベルになるときのいずれか早いほうの時点で、SDOがハイ・インピーダンスの状態に戻り、もう1個のAD7685の読出しができます。

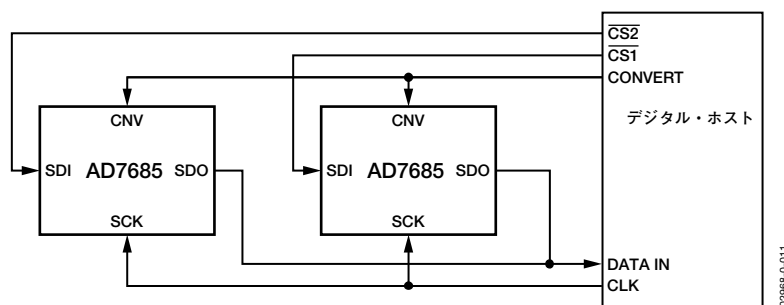


図37. BUSYインジケータを使用しない4線式 $\overline{CS}$ モードの接続図

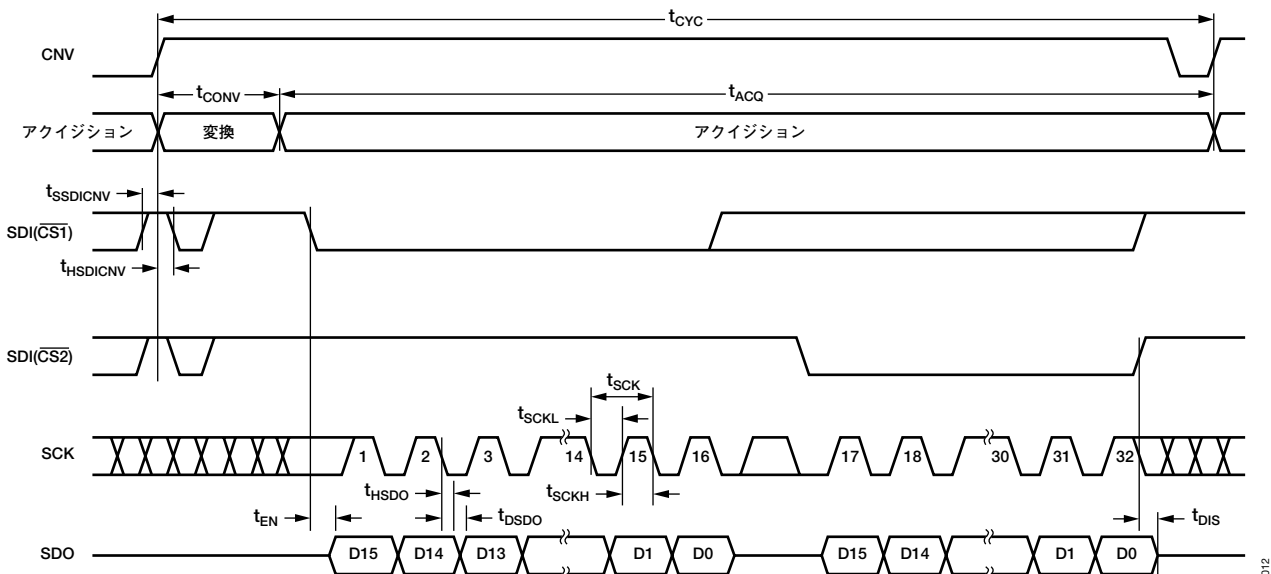


図38. BUSYインジケータを使用しない4線式 $\overline{CS}$ モードのシリアル・インターフェース・タイミング図

# AD7685

## BUSYインジケータを使用した4線式の $\overline{CS}$ モード

このモードは通常、1個のAD7685を割込み入力付きのSPI互換デジタル・ホストに接続し、アナログ入力のサンプリングに使用するCNV入力をデータ読出しの選択に使用する信号とは無関係に維持したい場合に使用します。これは、CNVに低いジッタが必要なアプリケーションで特に重要な条件となります。

図39にこのモードの接続図、図40にそのタイミング図を示します。

SDIがハイレベルのとき、CNVの立上がりエッジで変換を開始し、 $\overline{CS}$ モードが選択され、SDOをハイ・インピーダンスの状態に強制設定します。このモードのとき、変換サイクルとその後のデータ読出しの実行中はCNVをハイレベルに保持しなければなりません（SDIとCNVがローレベルであれば、SDOもローレベルに駆動されます）。最小変換時間が経過する前にSDIを使用して、アナログ・マルチプレクサなどのその他のSPIデバイスを選択できます。このとき、BUSY信号インジケータが発生するように、最小変換時間が経過する前にSDIをローレベルに戻し、最大変換時間が経過するまでSDIをローレベルに保持しなければなりません。変換が終了した時点で、SDOはハイ・インピーダンスの状態からローレベルに遷移します。SDOライン上のプルアップにより、この遷移を割込み信号として、デジタル・ホストが制御するデータ読出しを開始することができます。

その後、AD7685はアキュイジション・サイクルに入り、パワーダウンします。データビットは、その後のSCKの立下がりエッジでMSBファーストで順次クロック出力されます。SCKの立上がりりと立下がりの両方のエッジで、データが有効になります。立上がりエッジでデータを取り込むことも可能ですが、SCKの立下がりエッジを使用するデジタル・ホストのほうが、十分なホールド時間があれば、読出し速度が速くなります。オプションの17番目のSCK立下がりエッジ後、またはSDIがハイレベルになるときのいずれか早いほうの時点で、SDOがハイ・インピーダンスの状態に戻ります。

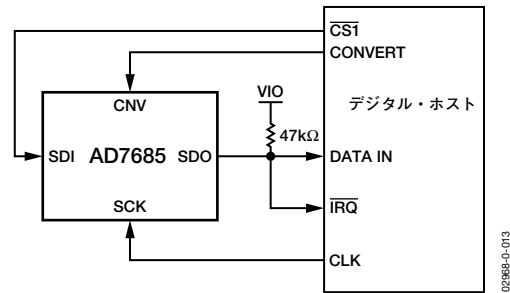


図39. BUSYインジケータを使用した4線式 $\overline{CS}$ モードの接続図

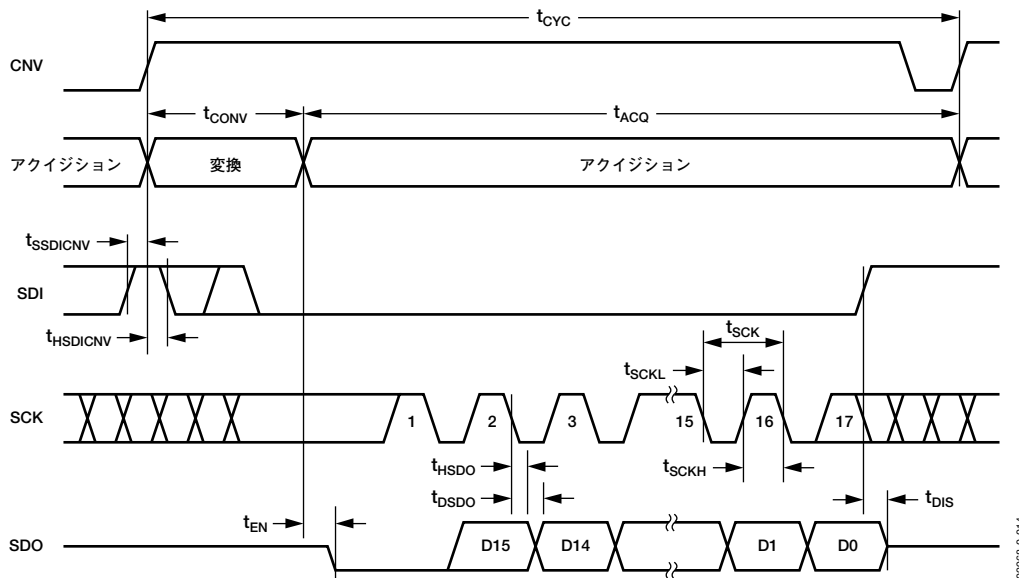


図40. BUSYインジケータを使用した4線式 $\overline{CS}$ モードのシリアル・インターフェース・タイミング図

## チェーン・モード

このモードでは、複数のAD7685を3線式シリアル・インターフェース上でデジチェーン接続できます。複数のコンバータを使用する絶縁アプリケーションやインターフェースに限界のあるシステムで部品数と配線数を少なくしなければならない場合に、この機能は便利です。データの読出しは、シフト・レジスタのクロック動作と同じです。

図41に2個のAD7685を使用する場合の接続図、図42にこの場合のタイミング図を示します。

SDIとCNVがローレベルのときに、SDOがローレベルに駆動されます。SCKがローレベルのとき、CNVの立上がりエッジで変換を開始し、チェーン・モードが選択されます。このモードのとき、変換サイクルとその後のデータ読出しの実行中、CNVがハイレベルに保持されます。変換が終了した時点で、MSBがSDOに出力され、AD7685はアクイジション・サイクルに入り、

パワーダウンします。内部シフト・レジスタに格納されている残りのデータビットは、その後のSCKの立下がりエッジでクロック出力されます。各ADCで、SDIが内部シフト・レジスタにデータを入力し、SCKの立下がりエッジでクロック入力されます。チェーン内の各ADCはデータをMSBファーストで出力しますが、N個のADCの読出しには $16 \times N$ 個のクロックが必要です。SCKの立上がりとし、SCKの立下がりエッジの両方で、データが有効になります。立上がりエッジでデータを取り込むことも可能ですが、SCKの立下がりエッジを使用するデジタル・ホストのほうが、十分なホールド時間があれば、読出し速度が速くなり、その結果多くのAD7685をチェーン内に接続できます。最大変換レートは、合計読出時間のために低速化することがあります。たとえば、デジタル・ホストのセットアップ時間を5nsとし、3Vインターフェースを使用する場合、200kSPSの変換レートでAD7685を最大5個まで3線ポート上でデジチェーン接続できます。

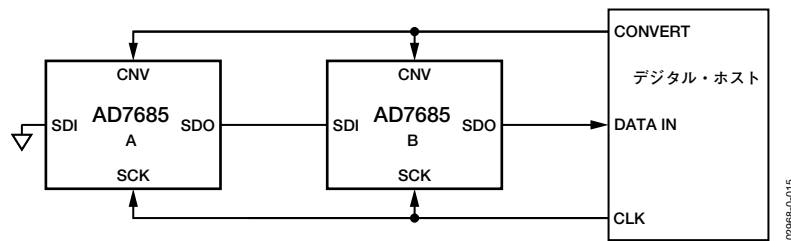


図41. チェーン・モードの接続図

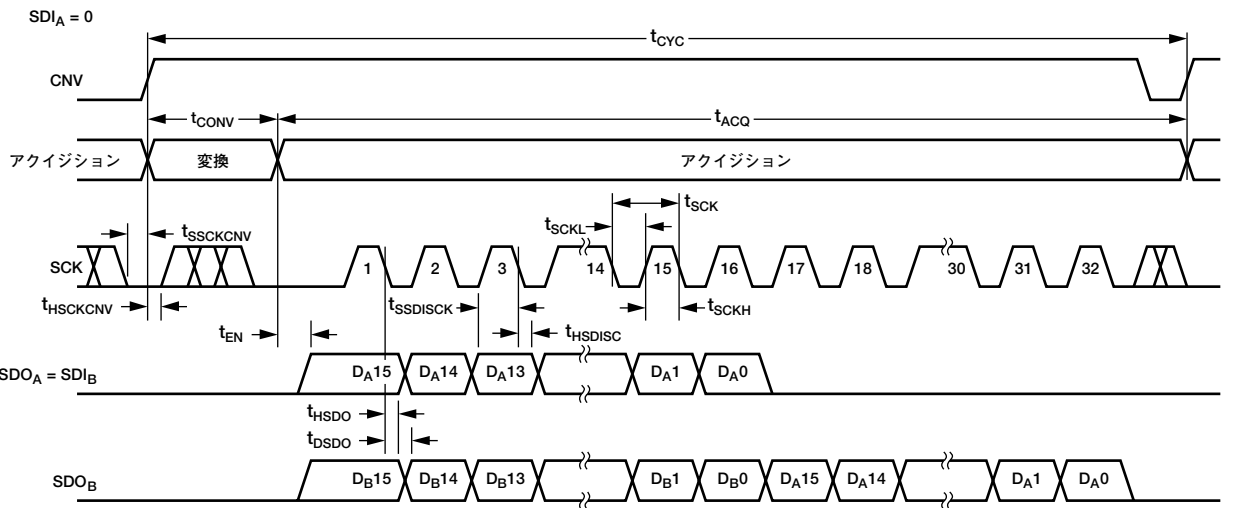


図42. チェーン・モードのシリアル・インターフェース・タイミング図

## AD7685

### アプリケーションのヒント

#### レイアウト

AD7685を実装するPCボードは、アナログ回路とデジタル回路を分離し、ボード内にそれぞれをまとめて配置するように設計してください。AD7685のピンはアナログ信号がすべて左側、デジタル信号がすべて右側に配列されているため、このような配置が簡単にできます。

AD7685の真下にシールドとしてグラウンド・プレーンを配置する場合を除き、チップにノイズが結合しないように、デバイスの真下にデジタル・ラインを通さないでください。CNVやクロックなどの高速スイッチング信号がアナログ信号経路の近くを通らないようにします。また、デジタル信号とアナログ信号は交差しないようにしてください。

少なくとも1つのグラウンド・プレーンを使用してください。共通のグラウンド・プレーンでもよいし、アナログ回路部とデジタル回路部を分離してもよいでしょう。後者の場合は、デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンをAD7685の真下で接続してください。

AD7685の電圧リファレンス入力REFは、変動する入力インピーダンスをもっているため、デカップリングによって寄生インダクタンスを抑える必要があります。そのために、リファレンスをデカップリングするセラミック・コンデンサをREFピンとGNDピンの近く、理想的には真上に配置して、低インピーダンスの太いパターン配線で接続します。

最後に、VDDとVIOの電源を容量が100nF程度のセラミック・コンデンサでデカップリングしてください。その際、セラミック・コンデンサをAD7685の近くに配置し、太くて短いパターン配線で接続することによって、低インピーダンスの信号経路を作り、電源ラインに対するグリッチの影響を低減する必要があります。

このようなルールに基づくレイアウト例を図43と図44に示します。

#### AD7685の性能評価

AD7685のその他の推奨レイアウトは、AD7685の評価用ボード (EVAL-AD7685) の説明書に記載されています。評価用ボードのパッケージには、組立ておよびテストが完了している評価用ボード、説明書、EVAL-CONTROL BRD2によってPCからボードを制御するためのソフトウェアが同梱されています。

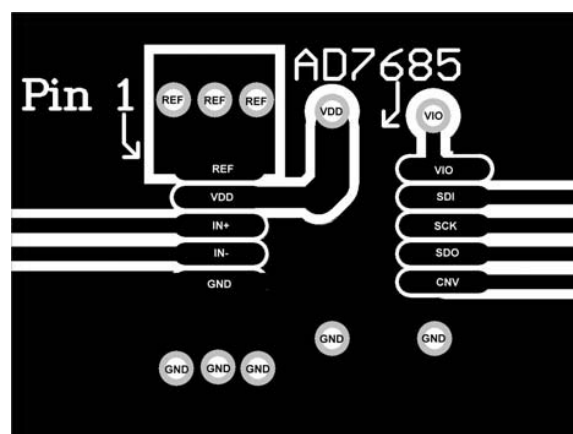


図43. AD7685のレイアウト例 (上面層)

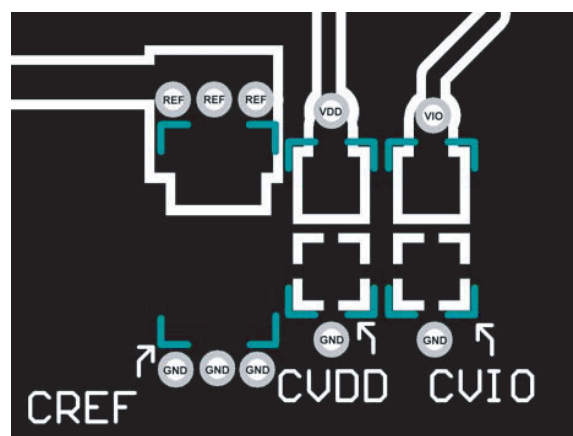


図44. AD7685のレイアウト例 (底面層)





# AD7685

## オーダー・ガイド

製品	積分非直線性	温度範囲	パッケージ (オプション)	出荷形態、数量	マーキング
AD7685BRM	±3LSB (max)	-40~+85℃	MSOP (RM-10)	チューブ、50	C01
AD7685BRMRL7	±3LSB (max)	-40~+85℃	MSOP (RM-10)	リール、1,000	C01
EVAL-AD7685CB <sup>1</sup>			評価用ボード		
EVAL-CONTROL BRD2 <sup>2</sup>			コントロール・ボード		
EVAL-CONTROL BRD3 <sup>2</sup>			コントロール・ボード		

<sup>1</sup> このボードは単独の評価用ボードとしても、評価/デモンストレーション用にEVAL-CONTROL BRDxと組み合わせて使用することもできます。

<sup>2</sup> コントロール・ボードを使用すると、製品名の末尾にCBが付くアナログ・デバイセズの評価用ボードのすべてに対しPCで制御と通信ができます。



**AD7685**

D02968-0-4/04(0)-J