

特長

- ノー・ミスコードの18ビット分解能
- パイプライン遅延なし (SARアーキテクチャ)
- 差動入力レンジ: $\pm V_{REF}$ (V_{REF} は最高5Vまで)
- スループット: 100kSPS
- INL: 最大 $\pm 2.5LSB$ (フルスケールの $\pm 9.5ppm$)
- ダイナミック・レンジ: 103dB (typ) ($V_{REF}=5V$)
- S/(N+D): 100dB (typ) @2kHz ($V_{REF}=5V$)
- パラレル (18/16/8ビット・バス) とシリアル5V/3Vインターフェース
- ターフェース
- SPI®/QSPI™/MICROWIRE™/DSP互換
- 内蔵リファレンス・バッファ
- 5V単電源動作
- 消費電力: 18mW @100kSPS
180 μ W @1kSPS

48ピンLQFPまたは48ピンLFCSPパッケージ
AD7674/AD7676/AD7679のピン互換アップグレード品

アプリケーション

- CTキャナ
- 広いダイナミック・データ・アキュイジション
- ジオフォンのおよびハイドロフォン・センサー
- $\Sigma\Delta$ 置換品 (低消費電力、マルチチャンネル)
- 計測機器
- スペクトル解析
- 医療機器

概要

AD7678は、18ビット、100kSPS、電荷再配分式SAR (逐次比較) 型、フル差動A/Dコンバータで、5V単電源で動作します。高速18ビット・サンプリングADC、内部変換クロック、内部リファレンス・バッファ、誤差補正回路、そしてシリアルとパラレルのシステム・インターフェース・ポートを内蔵しています。

AD7678は、48ピンのLQFPパッケージまたは48ピンのLFCSPパッケージを採用しており、動作は $-40\sim+85^{\circ}C$ で仕様規定されています。

機能ブロック図

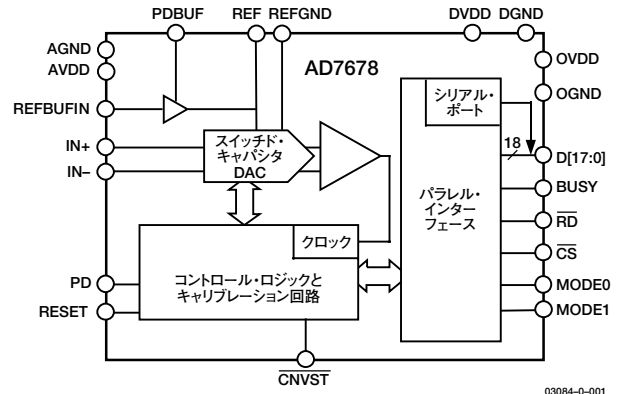


図1. 機能ブロック図

表1. PulSARの選択

タイプ/ kSPS	100~250	500~570	800~ 1000
疑似差動	AD7651 AD7660/AD7661	AD7650/AD7652 AD7664/AD7666	AD7653 AD7667
真の バイポーラ	AD7663	AD7665	AD7671
真の差動	AD7675	AD7676	AD7677
18ビット	AD7678	AD7679	AD7674
マルチチャン ネル/同時		AD7654 AD7655	

製品のハイライト

- 高分解能、高速スループット
AD7678は、100kSPS、電荷再配分式の18ビットSAR ADCです (レイテンシなし)。
- 優れた精度
AD7678は、18ビットのノー・ミスコードで2.5LSBという最大積分非直線性を発揮します。
- シリアルまたはパラレル・インターフェース
各種のパラレル・インターフェース (18/16/8ビット・バス) または2線式シリアル・インターフェースは、3Vロジックにも5Vロジックにも対応します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2003 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868 (代)

AD7678

目次

仕様	3	デジタル・インターフェース.....	20
タイミング仕様	5	パラレル・インターフェース.....	20
絶対最大定格	7	シリアル・インターフェース.....	20
ピン配置と機能の説明	8	マスター・シリアル・インターフェース.....	21
仕様の定義	11	スレーブ・シリアル・インターフェース.....	22
代表的な性能特性	12	マイクロプロセッサとのインターフェース.....	24
回路情報	15	アプリケーション情報	25
コンバータの動作.....	15	PCボードのレイアウト	25
代表的な接続図.....	17	AD7678の性能評価.....	25
消費電力 対 スループット.....	19	外形寸法	26
変換制御.....	19	オーダー・ガイド.....	26

改訂履歴

リビジョン0：初版

仕様

表2. (特に指定のない限り、 $-40\sim+85^{\circ}\text{C}$ 、 $V_{\text{REF}}=4.096\text{V}$ 、 $\text{AVDD}=\text{DVDD}=5\text{V}$ 、 $\text{OVDD}=2.7\sim5.25\text{V}$)

パラメータ	条件	Min	Typ	Max	単位
分解能		18			ビット
アナログ入力 電圧範囲 動作入力電圧 アナログ入力CMRR 入力電流 入力インピーダンス ¹	$V_{\text{IN}+}-V_{\text{IN}-}$ AGNDに対する $V_{\text{IN}+}$ 、 $V_{\text{IN}-}$ $f_{\text{IN}}=100\text{kHz}$ 100kSPSスループット	$-V_{\text{REF}}$ -0.1	65 4	$+V_{\text{REF}}$ AVDD+0.1	V V dB μA
スループット速度 変換速度 スループット・レート		0		10 100	μs kSPS
DC精度 積分直線性誤差 微分直線性誤差 ノー・ミスコード 遷移ノイズ ゼロ誤差、 $T_{\text{MIN}}\sim T_{\text{MAX}}^3$ ゼロ誤差温度ドリフト ゲイン誤差、 $T_{\text{MIN}}\sim T_{\text{MAX}}^3$ ゲイン誤差温度ドリフト 電源変動感度	$V_{\text{REF}}=5\text{V}$ $\text{AVDD}=5\text{V}\pm 5\%$	-2.5 -1 18 -40 -0.048	0.7 ± 0.5 注3を参照 ± 1.6 ± 4	+2.5 +1.75 ± 40 +0.048	LSB ² LSB ビット LSB LSB ppm/ $^{\circ}\text{C}$ FSRの% ppm/ $^{\circ}\text{C}$ LSB
AC精度 S/N ダイナミック・レンジ SFDR 全高調波歪み S/(N+D) -3dB入力帯域幅	$f_{\text{IN}}=2\text{kHz}$ 、 $V_{\text{REF}}=5\text{V}$ $V_{\text{REF}}=4.096\text{V}$ $f_{\text{IN}}=10\text{kHz}$ 、 $V_{\text{REF}}=4.096\text{V}$ $f_{\text{IN}}=45\text{kHz}$ 、 $V_{\text{REF}}=4.096\text{V}$ $V_{\text{IN}+}=V_{\text{IN}-}=V_{\text{REF}}/2=2.5\text{V}$ $f_{\text{IN}}=2\text{kHz}$ $f_{\text{IN}}=10\text{kHz}$ $f_{\text{IN}}=45\text{kHz}$ $f_{\text{IN}}=2\text{kHz}$ $f_{\text{IN}}=10\text{kHz}$ $f_{\text{IN}}=45\text{kHz}$ $f_{\text{IN}}=2\text{kHz}$ $f_{\text{IN}}=2\text{kHz}$ 、 -60dB 入力	98	101 100 99.5 98 103 120 117 110 -118 -115 -110 100 41 900		dB ⁴ dB dB dB dB dB dB dB dB dB dB dB dB dB dB dB kHz
サンプリング・ダイナミック特性 アパーチャ遅延 アパーチャ・ジッター 過渡応答 過電圧回復	フルスケール・ステップ		2 5	8.5 8.5	ns ps rms μs μs
リファレンス 外部リファレンス電圧範囲 リファレンス・バッファによるREF電圧 リファレンス・バッファ入力電圧範囲 REFBUFIN入力電流 REF電流ドレイン	REF REFBUFIN=2.5V REFBUIN 100kSPSスループット	3 4.05 1.8 -1	4.096 4.096 2.5 42	AVDD+0.1 4.15 2.6 +1	V V V μA μA

AD7678

パラメータ	条件	Min	Typ	Max	単位
デジタル入力 ロジック・レベル					
V_{IL}		-0.3		+0.8	V
V_{IH}		2.0		DVDD+0.3	V
I_{IL}		-1		+1	μ A
I_{IH}		-1		+1	μ A
デジタル出力 データ・フォーマット ⁵ パイプライン遅延 ⁶					
V_{OL}	$I_{SINK} = 1.6\text{mA}$			0.4	V
V_{OH}	$I_{SOURCE} = -500\mu\text{A}$	OVDD-0.6			V
電源					
仕様性能					
AVDD		4.75	5	5.25	V
DVDD		4.75	5	5.25	V
OVDD		2.7		DVDD+0.3 ⁷	V
動作電流	100kSPSスループット PDBUFハイレベル				
AVDD			2.6		mA
DVDD ⁸			1		mA
OVDD ⁸			40		μ A
消費電力 ⁸	PDBUFハイレベル @100kSPS PDBUFハイレベル @1kSPS PDBUFローレベル @100kSPS		18 180 31	26	mW μ W mW
温度範囲 ⁹ 仕様性能	$T_{MIN} \sim T_{MAX}$	-40		+85	$^{\circ}$ C

¹ 「アナログ入力」のセクションを参照。

² LSBは最下位ビットを表します。±4.096Vの入力範囲で、1LSBは31.25 μ Vです。

³ 「仕様の定義」のセクションを参照。公称ゲイン誤差の中心はゼロではなく、FSRの+0.273%です。この仕様は、この公称値からの偏差です。また、外部リファレンスによる誤差は含まれていませんが、リファレンス・バッファ（使用する場合）による誤差分は含まれます。

⁴ dBで表示するすべての値はフルスケール入力を基準としています。特に指定のない限り、フルスケールより0.5dB低い入力信号でテストされています。

⁵ データ・フォーマットはパラレルまたはシリアル18ビット。

⁶ 変換結果は、変換完了後直ちに使用可能です。

⁷ 最大値は、5.25VもしくはDVDD+0.3Vのうちのいずれか低い値になります。

⁸ パラレル読み出しモードでテスト。

⁹ 拡張温度範囲については製造元にお問い合わせください。

タイミング仕様

表3. (特に指定のない限り、 $-40\sim+85^{\circ}\text{C}$ 、 $\text{AVDD}=\text{DVDD}=5\text{V}$ 、 $\text{OVDD}=2.7\sim5.25\text{V}$)

パラメータ	記号	Min	Typ	Max	単位
図27と図28を参照					
変換パルス幅	t_1	10			ns
変換と変換の間隔	t_2	10			μs
CNVSTのローレベルからBUSYのハイレベルまでの遅延	t_3			35	ns
BUSYのハイレベル、変換後のマスター・シリアル読み出しを除く全モード	t_4			1.5	μs
アパーチャ遅延	t_5		2		ns
変換終了からBUSYのローレベルまでの遅延	t_6	10			ns
変換時間	t_7			1.5	μs
アクイジション時間	t_8	8.5			μs
RESETパルス幅	t_9	10			ns
図29、図30、図31を参照 (パラレル・インターフェース・モード)					
CNVSTのローレベルからデータ有効までの遅延	t_{10}			1.5	μs
データ有効からBUSYのローレベルまでの遅延	t_{11}	20			ns
バス・アクセス・リクエストからデータ有効まで	t_{12}			45	ns
バス開放時間	t_{13}	5		15	ns
図33と図34を参照 (マスター・シリアル・インターフェース・モード) ¹					
$\overline{\text{CS}}$ のローレベルからSYNC有効までの遅延	t_{14}			10	ns
$\overline{\text{CS}}$ のローレベルから内部SCLK有効までの遅延	t_{15}			10	ns
$\overline{\text{CS}}$ のローレベルからSDOUTまでの遅延	t_{16}			10	ns
CNVSTのローレベルからSYNCまでの遅延	t_{17}		525		ns
SYNCアサートからSCLK先頭エッジまでの遅延 ²	t_{18}	3			ns
内部SCLK周期 ²	t_{19}	25		40	ns
内部SCLKハイレベル時間 ²	t_{20}	12			ns
内部SCLKローレベル時間 ²	t_{21}	7			ns
SDOUT有効までのセットアップ・タイム ²	t_{22}	4			ns
SDOUT有効までのホールド・タイム ²	t_{23}	2			ns
SCLK最終エッジからSYNCまでの遅延 ²	t_{24}	3			ns
$\overline{\text{CS}}$ のハイレベルからSYNCのHI-Zまで	t_{25}			10	ns
$\overline{\text{CS}}$ のハイレベルから内部SCLKのHI-Zまで	t_{26}			10	ns
$\overline{\text{CS}}$ のハイレベルからSDOUTのHI-Zまで	t_{27}			10	ns
変換後のマスター・シリアル読み出し時のBUSYのハイレベル ²	t_{28}		表4を参照		
CNVSTのローレベルからSYNCアサートまでの遅延	t_{29}		1.5		μs
SYNCアサート解除からBUSYのローレベルまでの遅延	t_{30}		25		ns
図35と図36を参照 (スレーブ・シリアル・インターフェース・モード)					
外部SCLKセットアップ・タイム	t_{31}	5			ns
外部SCLKアクティブ・エッジからSDOUTまでの遅延	t_{32}	3		18	ns
SDINセットアップ・タイム	t_{33}	5			ns
SDINホールド・タイム	t_{34}	5			ns
外部SCLK周期	t_{35}	25			ns
外部SCLKハイレベル時間	t_{36}	10			ns
外部SCLKローレベル時間	t_{37}	10			ns

¹ シリアル・インターフェース・モードの場合、SYNC、SCLK、SDOUTのタイミングは、 $C_L=10\text{pF}$ の最大負荷で規定。その他の場合は、最大負荷60pFで規定。

² 変換中のシリアル・マスター読み出しモード時。変換後のシリアル・マスター読み出しモードの場合は表4を参照。

AD7678

表4. 変換後のマスター読み出し時のシリアル・クロック・タイミング

DIVSCLK[1] DIVSCLK[0]	記号	0 0	0 1	1 0	1 1	単位
SYNCからSCLK先頭エッジまでの最小遅延	t ₁₈	3	17	17	17	ns
内部SCLK最小周期	t ₁₉	25	60	120	240	ns
内部SCLK最大周期	t ₁₉	40	80	160	320	ns
内部SCLK最小ハイレベル時間	t ₂₀	12	22	50	100	ns
内部SCLK最小ローレベル時間	t ₂₁	7	21	49	99	ns
SDOUT有効の最小セットアップ・タイム	t ₂₂	4	18	18	18	ns
SDOUT有効の最小ホールド・タイム	t ₂₃	2	4	30	89	ns
SCLK最終エッジからSYNCまでの最小遅延	t ₂₄	3	60	140	300	ns
BUSYの最大ハイレベル時間	t ₂₈	2.25	3	4.5	7.5	μs

絶対最大定格

表5. AD7678の絶対最大定格¹

アナログ入力

AGNDに対するIN⁺、IN⁻、REF、REFBUFIN、REFGND
 AVDD+0.3V~AGND-0.3V

グラウンド間電位差

AGND、DGND、OGND ±0.3V

電源電圧

AVDD、DVDD、OVDD -0.3~+7V

DVDDに対するAVDD、OVDDに対するAVDD ±7V

OVDDに対するDVDD -0.3~+7V

デジタル入力 -0.3V~DVDD+0.3V

内部消費電力³ 700mW

内部消費電力⁴ 2.5W

ジャンクション温度 150℃

保存温度範囲 -65~+150℃

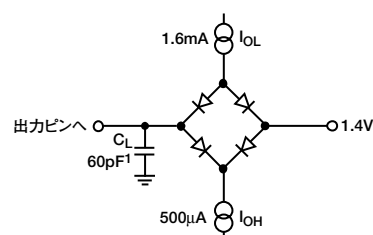
ピン温度範囲 (ハンダ処理10秒) 300℃

¹ 上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上のデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

² 「アナログ入力」のセクションを参照。

³ 自然空冷、48ピンLQFP、 $\theta_{JA}=91^{\circ}\text{C}/\text{W}$ 、 $\theta_{JC}=30^{\circ}\text{C}/\text{W}$ でのデバイスに対する仕様。

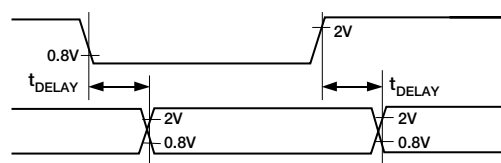
⁴ 自然空冷、48ピンLFCSP、 $\theta_{JA}=26^{\circ}\text{C}/\text{W}$ でのデバイスに対する仕様。



1 シリアル・インターフェース・モードでのSYNC、SCLK、SDOUTのタイミングは、 $C_L=10\text{pF}$ の最大負荷で規定。その他の場合は、最大負荷60pFで規定。

03084-0-002

図2. デジタル・インターフェース・タイミングの負荷回路、SDOUT、SYNC、SCLKの各出力、 $C_L=10\text{pF}$



03084-0-003

図3. タイミングのリファレンス・レベル

AD7678

ピン配置と機能の説明

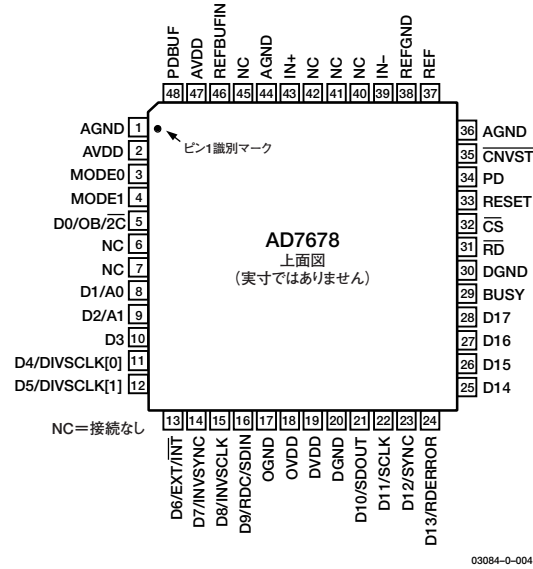


図4. 48ピンLQFPと48ピンLFCSP (ST-48とCP-48)

表6. ピン機能の説明

ピン番号	記号	タイプ ¹	説明																				
1、44	AGND	P	アナログ電源グラウンド・ピン																				
2、47	AVDD	P	入力アナログ電源ピン。公称値5V																				
3	MODE0	DI	データ出力インターフェース・モードの選択																				
4	MODE1	DI	データ出力インターフェース・モードの選択																				
<table border="1"> <thead> <tr> <th>インターフェース・モード番号</th> <th>MODE1</th> <th>MODE0</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>18ビット・インターフェース</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>16ビット・インターフェース</td> </tr> <tr> <td>2</td> <td>1</td> <td>0</td> <td>バイト・インターフェース</td> </tr> <tr> <td>3</td> <td>1</td> <td>1</td> <td>シリアル・インターフェース</td> </tr> </tbody> </table>				インターフェース・モード番号	MODE1	MODE0	説明	0	0	0	18ビット・インターフェース	1	0	1	16ビット・インターフェース	2	1	0	バイト・インターフェース	3	1	1	シリアル・インターフェース
インターフェース・モード番号	MODE1	MODE0	説明																				
0	0	0	18ビット・インターフェース																				
1	0	1	16ビット・インターフェース																				
2	1	0	バイト・インターフェース																				
3	1	1	シリアル・インターフェース																				
5	D0/OB/ $\overline{2C}$	DI/O	MODE=0 (18ビット・インターフェース・モード) のとき、このピンはパラレル・ポート・データ出力バスのビット0であり、データ・コーディングはストレート・バイナリです。その他のモードでは、このピンによってストレート・バイナリ/バイナリ2の補数を選択できます。OB/ $\overline{2C}$ をハイレベルにするとデジタル出力がストレート・バイナリになり、ローレベルにするとMSBが反転されて内部シフト・レジスタから2の補数を出力します。																				
6、7、40~42、45	NC		接続なし																				
8	D1/A0	DI/O	MODE=0 (18ビット・インターフェース・モード) のとき、このピンはパラレル・ポート・データ出力バスのビット1です。その他のモードでは、この入力ピンで、データの出力形式を制御します。																				
9	D2/A1	DI/O	MODE=0または1 (18ビットまたは16ビットのインターフェース・モード) のとき、このピンはパラレル・ポート・データ出力バスのビット2です。その他のモードでは、この入力ピンで、表7に示すように、データの出力形式を制御します。																				
10	D3	DO	MODE=3以外の全モードで、この出力をパラレル・ポート・データ出力バスのビット3として使用します。このピンは、インターフェース・モードとは無関係に常に出力です。																				
11、12	D[4:5]またはDIVSCLK[0:1]	DI/O	MODE=3以外の全モードで、この2つのピンはパラレル・ポート・データ出力バスのビット4とビット5です。 MODE=3 (シリアル・モード) で、EXT/ \overline{INT} がローレベル、RDC/SDINがローレベル (変換後のシリアル・マスター読み出し) のとき、シリアル・ポートを構成するこれらの入力を使用して、必要ならば、データを出力させる内部シリアル・クロックの速度を落とすことができます。他のシリアル・モードでは、これらのピンは使用しません。																				

ピン番号	記号	タイプ ¹	説明
13	D6または EXT/ $\overline{\text{INT}}$	DI/O	MODE=3以外の全モードで、この出力をパラレル・ポート・データ出力バスのビット6として使用します。 MODE=3（シリアル・モード）のとき、シリアル・ポートを構成するこの入力を、内部データ・クロックや外部データ・クロックを選択するデジタル選択入力として使用します。EXT/ $\overline{\text{INT}}$ をローレベルに固定すると、SCLK出力で内部クロックを選択します。EXT/ $\overline{\text{INT}}$ をハイレベルにすると、出力データがSCLK入りに接続された外部クロック信号に同期します。
14	D7または INVS $\overline{\text{SYNC}}$	DI/O	MODE=3以外の全モードで、この出力をパラレル・ポート・データ出力バスのビット7として使用します。 MODE=3（シリアル・モード）のとき、シリアル・ポートを構成するこの入力を、SYNC信号のアクティブ状態の選択に使用します。ローレベルのとき、SYNCはアクティブ・ハイレベル、ハイレベルのとき、SYNCはアクティブ・ローレベルです。
15	D8または INVSCLK	DI/O	MODE=3以外の全モードで、この出力をパラレル・ポート・データ出力バスのビット8として使用します。 MODE=3（シリアル・モード）のとき、シリアル・ポートを構成するこの入力を使用してSCLK信号を反転します。これは、マスター・モードとスレーブ・モードの両方でアクティブです。
16	D9または RDC/SDIN	DI/O	MODE=3以外の全モードで、この出力をパラレル・ポート・データ出力バスのビット9として使用します。 MODE=3（シリアル・モード）のとき、シリアル・ポートを構成するこの入力を、EXT/ $\overline{\text{INT}}$ の状態に応じて、外部データ入力または読み出しモード選択入力として使用します。EXT/ $\overline{\text{INT}}$ がハイレベルのとき、RDC/SDINは、複数のADCの変換結果を1本のSDOUTラインにデジタイズチェーン接続するためのデータ入力として使用できます。SDINのデジタル・データ・レベルは、読み出しシーケンス開始からSCLKの18周期分の遅延でSDOUT上に出力されます。EXT/ $\overline{\text{INT}}$ がローレベルのとき、RDC/SDINを読み出しモードの選択に使用します。RDC/SDINがハイレベルのとき、データは変換中にSDOUT上に出力され、RDC/SDINがローレベルのとき、データは変換が完了したときのみSDOUT上に出力されます。
17	OGND	P	入/出力インターフェースのデジタル電源グラウンド
18	OVDD	P	出力インターフェースのデジタル電源。通常、ホスト・インターフェース電源（5Vまたは3V）と同じ電源。DVDDを0.3V以上超過しないようにしてください。
19	DVDD	P	デジタル電源。公称値5V
20	DGND	P	デジタル電源グラウンド
21	D10または SDOUT	DO	MODE=3以外の全モードで、この出力をパラレル・ポート・データ出力バスのビット10として使用します。 MODE=3（シリアル・モード）のとき、シリアル・ポートを構成するこの出力を、SCLKに同期したシリアル・データ出力として使用します。変換結果は内蔵レジスタに格納されます。AD7678は、変換結果を内部シフト・レジスタからMSBファーストで提供します。データ・フォーマットは、OB/ $\overline{2C}$ のロジック・レベルで決定します。シリアル・モードでEXT/ $\overline{\text{INT}}$ がローレベルのとき、SDOUTはSCLKの両方のエッジで有効になります。シリアル・モードでEXT/ $\overline{\text{INT}}$ がハイレベル、INVSCLKがローレベルのとき、SDOUTはSCLKの立ち上がりエッジで更新され、次の立ち下がりエッジで有効になります。INVSCLKがハイレベルの場合には、SDOUTはSCLKの立ち下がりエッジで更新され、次の立ち上がりエッジで有効になります。
22	D11または SCLK	DI/O	MODE=3以外の全モードで、この出力をパラレル・ポート・データ出力バスのビット11として使用します。 MODE=3（シリアル・モード）のとき、シリアル・ポートを構成するこのピンを、EXT/ $\overline{\text{INT}}$ ピンのロジック状態に応じて、シリアル・データのクロック入力または出力として使用します。データSDOUTの更新が行われるアクティブ・エッジは、INVSCLKピンのロジック状態に依存します。
23	D12または SYNC	DO	MODE=3以外の全モードで、この出力をパラレル・ポート・データ出力バスのビット12として使用します。 MODE=3（シリアル・モード）のとき、シリアル・ポートを構成するこの出力は、内部データ・クロックとデジタル出力フレームを同期させるときに使用します（EXT/ $\overline{\text{INT}}$ =ローレベル）。読み出しシーケンスが開始され、INVS $\overline{\text{SYNC}}$ がローレベルのとき、SYNCはハイレベルに駆動され、SDOUT出力が有効の間はハイレベルのままです。読み出しシーケンスが開始され、INVS $\overline{\text{SYNC}}$ がハイレベルのとき、SYNCはローレベルに駆動され、SDOUT出力が有効の間はローレベルのままです。

AD7678

ピン番号	記号	タイプ ¹	説明
24	D13またはRDERROR	DO	MODE=3以外の全モードで、この出力をパラレル・ポート・データ出力バスのビット13として使用します。 MODE=3（シリアル・モード）でEXT/INTがハイレベルのとき、シリアル・ポートを構成するこの出力を読み出し不完全エラー・フラグとして使用します。スレーブ・モードで、開始されたデータの読み出しが完了しないうちに次の変換が完了した場合、現在のデータは失われ、RDERRORにハイレベル・パルスが出力されます。
25~28	D[14:17]	DO	パラレル・ポート・データ出力バスのビット14~17。これらのピンは、インターフェース・モードとは無関係に常に出力です。
29	BUSY	DO	ビジー出力。変換が開始されるとハイレベルになり、変換が完了してデータが内部シフト・レジスタにラッチされるまでハイレベルを維持します。BUSYの立ち下がりエッジをデータ・レディ・クロック信号として使用できます。
30	DGND	P	デジタル・グラウンドに接続する必要があります。
31	RD	DI	データの読み出し。CSとRDが共にローレベルのとき、インターフェースのパラレルまたはシリアル出力バスがイネーブルになります。
32	CS	DI	チップ・セレクト。CSとRDが共にローレベルのとき、インターフェースのパラレルまたはシリアル出力バスがイネーブルになります。CSは外部クロックのゲーティングにも使われます。
33	RESET	DI	リセット入力。ハイレベルにすると、AD7678がリセットされます。動作中の変換があれば、アボートされます。このピンを使用しない場合、DGNDに接続できます。
34	PD	DI	パワー・ダウン入力。ハイレベルにすると、消費電力が低減し、現在の変換が完了すると変換が禁止されます。
35	CNVST	DI	変換の開始。アクイジション・フェーズ (t _q) の完了時にCNVSTがハイレベルに保持されている場合には、CNVSTに次の立ち下がりエッジが入力されると内部サンプル/ホールド回路がホールド状態になり、変換の初期設定を行います。アクイジション・フェーズの完了時にCNVSTがローレベルに保持されている場合には、内部サンプル/ホールド回路がホールド状態になり、直ちに変換が開始されます。
36	AGND	P	アナログ・グラウンドに接続する必要があります。
37	REF	AI	リファレンス入力電圧と内部リファレンス・バッファ出力。内部リファレンス・バッファを使用しない場合は、このピンに外部リファレンスを印加します。内部バッファ付きまたはバッファなしで、効果的にデカップリングしてください。
38	REFGND	AI	リファレンス入力アナログ・グラウンド
39	IN-	AI	負側差動アナログ入力
43	IN+	AI	正側差動アナログ入力
46	REFBUFIN	AI	リファレンス・バッファ入力電圧。内部リファレンス・バッファには固定ゲインがあります。このピンに2.5Vを印加すると、4.096V (typ) を出力します。
48	PDBUF	DI	バッファリング・リファレンスを選択できます。ローレベルでバッファを選択し、ハイレベルでバッファをオフにします。

¹ AI=アナログ入力、AO=アナログ出力、DI=デジタル入力、DIO=双方向デジタル、DO=デジタル出力、P=電源

表7. データ・バス・インターフェースの定義

モード	MODE1	MODE0	D0/OB/2C	D1/A0	D2/A1	D[3]	D[4:9]	D[10:11]	D[12:15]	D[16:17]	説明
0	0	0	R[0]	R[1]	R[2]	R[3]	R[4:9]	R[10:11]	R[12:15]	R[16:17]	18ビット・パラレル
1	0	1	OB/2C	A0:0	R[2]	R[3]	R[4:9]	R[10:11]	R[12:15]	R[16:17]	16ビット上位ワード
1	0	1	OB/2C	A0:1	R[0]	R[1]	オール・ゼロ			16ビット下位ワード	
2	1	0	OB/2C	A0:0	A1:0	オールHi-Z		R[10:11]	R[12:15]	R[16:17]	8ビット上位バイト
2	1	0	OB/2C	A0:0	A1:1	オールHi-Z		R[2:3]	R[4:7]	R[8:9]	8ビット中位バイト
2	1	0	OB/2C	A0:1	A1:0	オールHi-Z		R[0:1]	オール・ゼロ		8ビット下位バイト
2	1	0	OB/2C	A0:1	A1:1	オールHi-Z		オール・ゼロ		R[0:1]	8ビット下位バイト
3	1	1	OB/2C	オールHi-Z			シリアル・インターフェース			シリアル・インターフェース	

R[0:17]は、ADCの出力レジスタに格納される18ビットのADC値です。

仕様の定義

積分非直線性誤差 (INL)

直線性誤差とは、負側フルスケールと正側フルスケールを結ぶ直線と実際の各コード出力との偏差を意味します。負側フルスケールとして使用するポイントは、最初のコード遷移より1/2LSBだけ下に存在し、正側フルスケールは、最後のコード遷移より1+1/2LSBだけ上のレベルになります。偏差とは、各コードの中心と真の直線との距離です。

微分非直線性誤差 (DNL)

理想的なADCでは、コード遷移は1LSBだけ離れた位置で発生します。微分非直線性とは、この理想値からの最大偏差のことです。通常は、ノー・ミスコードが保証される分解能という観点から規定されます。

ゲイン誤差

最初の遷移 (000...00から000...01) は、公称負側フルスケールより1/2LSBだけ上のアナログ電圧で発生します (±4.096V範囲では-4.095991V)。最後の遷移 (111...10から111...11) は、公称フルスケールより1+1/2LSBだけ下のアナログ電圧で発生します (±4.096V範囲では4.095977V)。ゲイン誤差とは、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの間の差が理想的なレベルの差よりどのくらい相違しているかを示します。

ゼロ誤差

ゼロ誤差とは、理想的なミッドスケール入力電圧 (0V) と、ミッドスケール出力コードを生成する実際の電圧との相違です。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDRとは、入力信号のrms振幅値と最大スプリアス信号のrms値の相違をデシベル (dB) で表した値です。

有効ビット数 (ENOB)

ENOBとは、サイン波を入力したときの分解能の測定値であり、ビットで表されます。S/(N+D)との関係は次式で表します。

$$ENOB = (S/[N+D]_{dB} - 1.76) / 6.02$$

全高調波歪み (THD)

THDとは、最初の5つの高調波成分のrms値の総和と、フルスケール入力信号のrms値との比であり、dBで表します。

ダイナミック・レンジ

ダイナミック・レンジとは、フルスケールのrms値と、短絡させた入力で測定するrmsノイズとの比です。ダイナミック・レンジの値はdBで表します。

S/N比 (SNR)

S/N比とは、実際の入力信号のrms値と、ナイキスト周波数より下の全スペクトル成分のrms値総和から高調波成分とDC成分を除いた値との比です。S/N比の値はdBで表します。

信号対 (ノイズ+歪み) 比 (S/[N+D])

S/(N+D)とは、実際の入力信号のrms値と、ナイキスト周波数より下の全スペクトル成分のrms値総和 (DC以外の高調波成分を含む) との比です。S/(N+D)の値はdBで表されます。

アパーチャ遅延

アパーチャ遅延とは、アキュジション性能を表し、 \overline{CNVST} 入力の立ち上がりエッジから、入力信号が変換用にホールドされるまでの時間として測定されます。

過渡応答

過渡応答とは、AD7678の入力にフルスケール・ステップ関数が与えられてから、AD7678が定格精度を達成するまでに要する時間を表します。

AD7678

代表的な性能特性

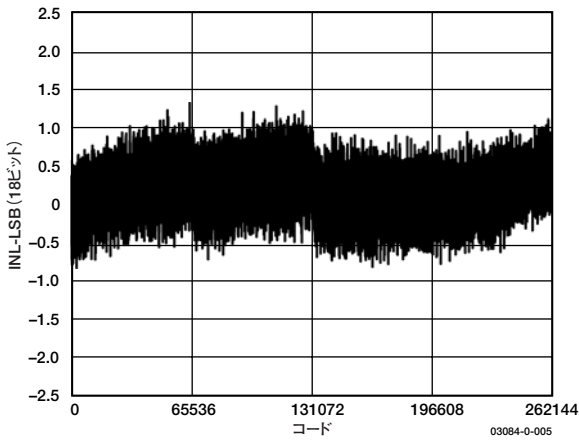


図5. コード対積分非直線性

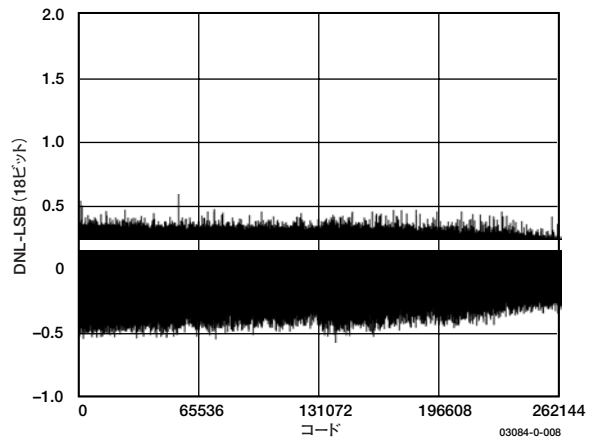


図8. コード対微分非直線性

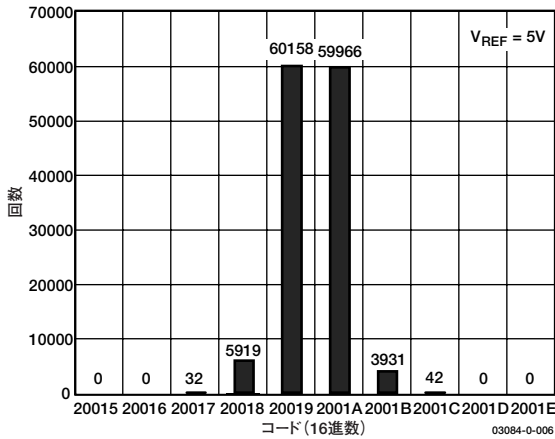


図6. コード遷移が発生するDC入力を131,072回変換した場合のヒストグラム

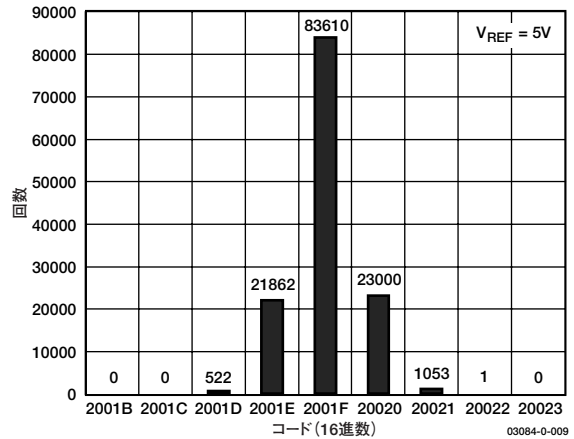


図9. コード中心値のDC入力を131,072回変換した場合のヒストグラム

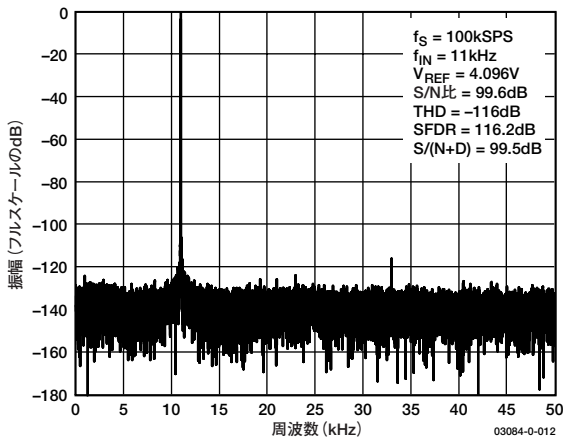


図7. FFT (11kHz トーン)

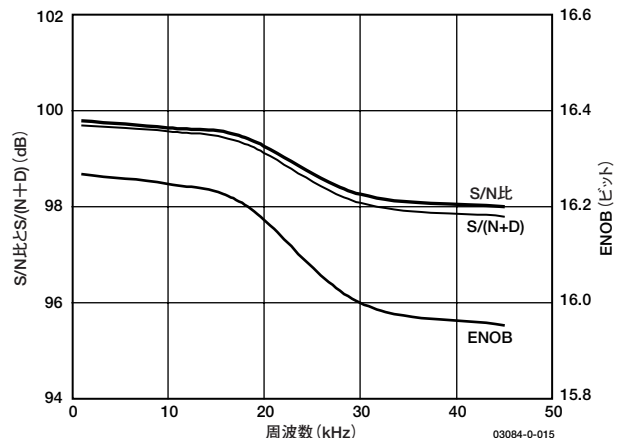


図10. S/N比、S/(N+D)、ENOBの周波数特性

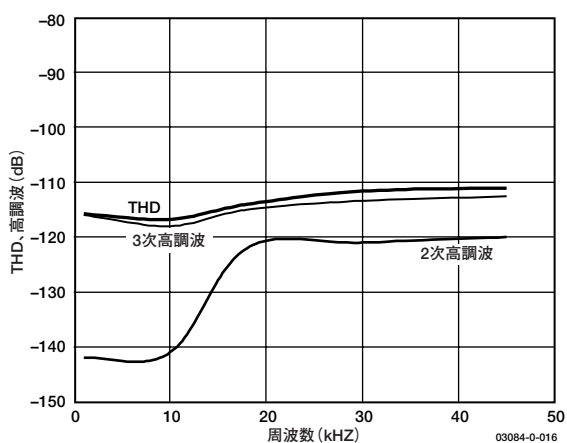


図11. THDと高調波の周波数特性

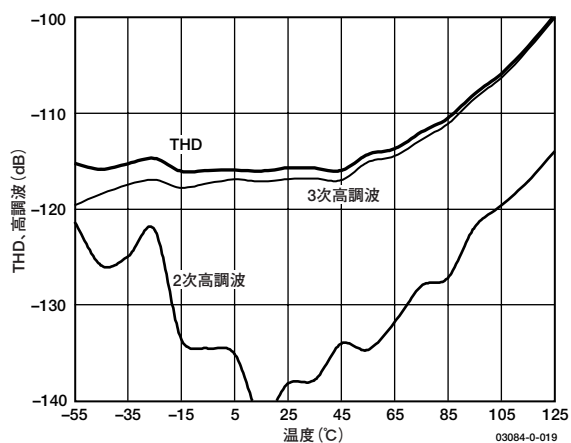


図14. THDと高調波の温度特性

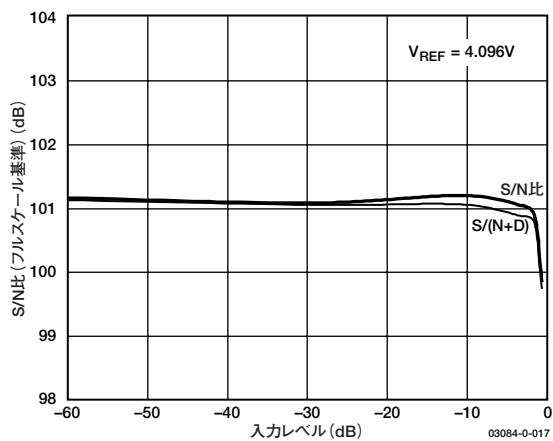


図12. 入力レベル 対 S/N比とS/(N+D)

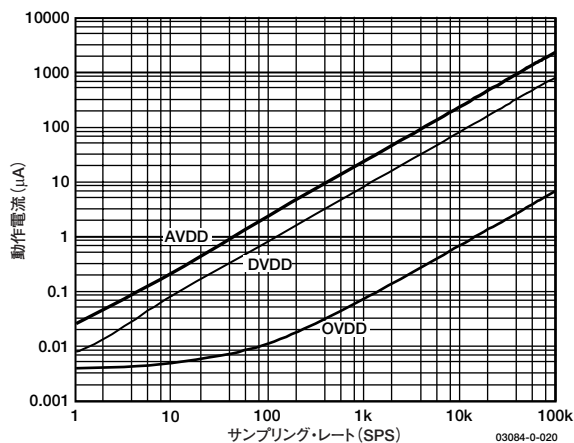


図15. サンプリング・レート 対 動作電流

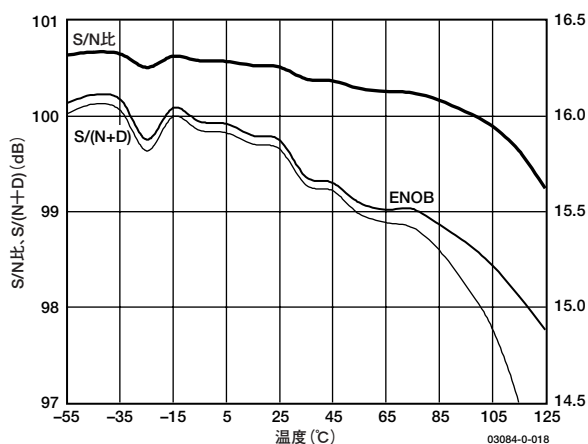


図13. S/N比、S/(N+D)、ENOBの温度特性

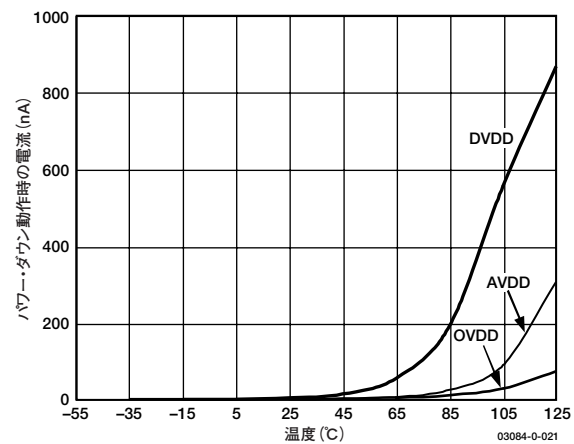


図16. パワーダウン動作時の電流の温度特性

AD7678

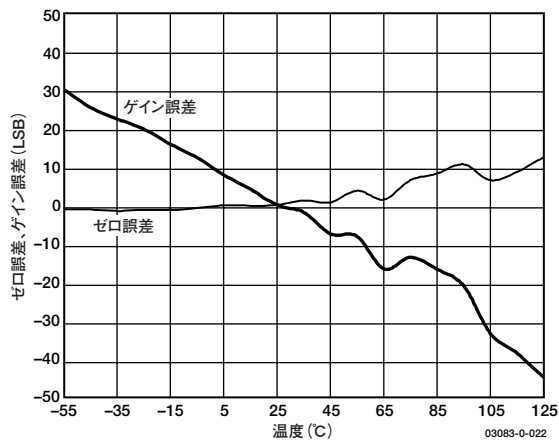


図17. ゼロ誤差とゲイン誤差の温度特性

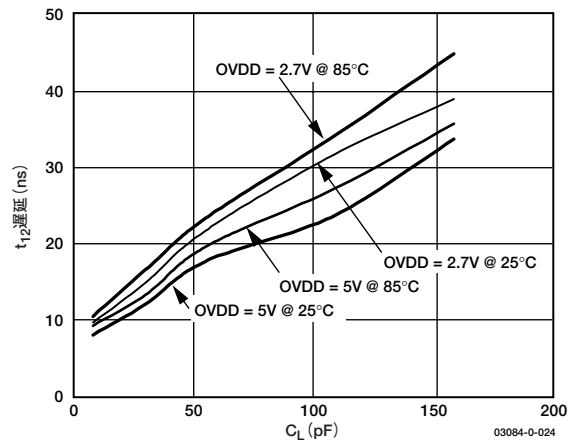


図18. 負荷容量 C_L 対 代表的な遅延

回路情報

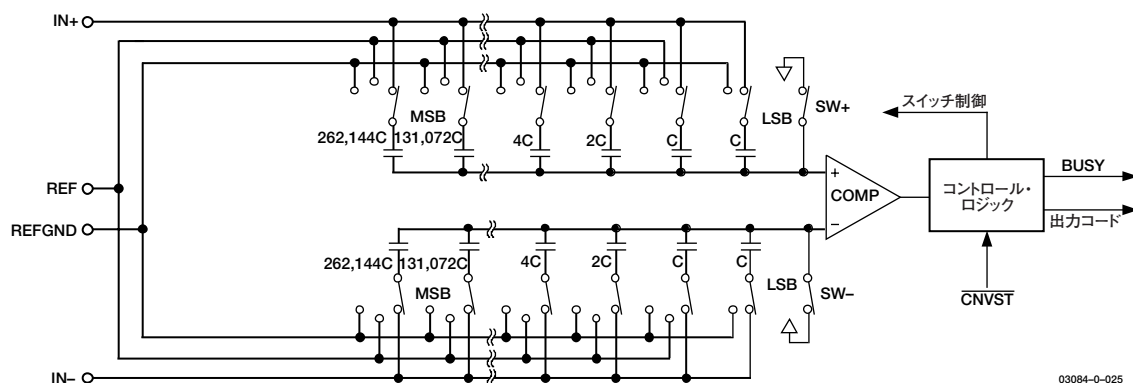


図19. ADCの簡略回路図

AD7678は、逐次比較型アーキテクチャによる、低消費電力で単電源使用のきわめて高速で高精度な18ビットA/Dコンバータ(ADC)です。

AD7678の直線性とダイナミック・レンジは、多くの $\Sigma\Delta$ ADCと同等かこれを上回ります。逐次型アーキテクチャの利点として多重化が容易であり、スループットに伴う消費電力が低減するため、一般には $\Sigma\Delta$ ADCを使用するアプリケーションで威力を発揮します。

AD7678は、1つのトラック/ホールドを内蔵し、パイプラインやレイテンシのない逐次比較型ADCであるため、多くの多重化チャンネル・アプリケーションに最適です。

AD7678は、5V単電源で動作し、5Vまたは3Vのデジタル・ロジックに接続できます。48ピンLQFPまたは小型の48ピンLFCSPパッケージの採用によって省スペースを実現し、シリアルまたはパラレルのいずれのインターフェースも柔軟に設定できます。AD7678は、AD7674、AD7676、AD7679のピン互換アップグレード品です。

コンバータの動作

AD7678は、電荷再配分式DACをベースとする逐次比較型ADCです。図19に、ADCの簡略回路図を示します。容量性DACは、バイナリの重み付けをされた18個のコンデンサから成る同一のアレイ2個で構成され、各アレイが2個のコンパレータ入力に接続されています。

アキュイジション・フェーズで、コンパレータの入力に接続されたアレイのピンが、SW+とSW-を経由してAGNDに接続されます。独立したスイッチはすべて、アナログ入力に接続されます。このようにして、コンデンサ・アレイをサンプリング・コンデンサとして使用し、IN+入力とIN-入力上のアナログ信号を取り込みます。アキュイジション・フェーズが完了し、CNVST入力がローレベルになると、変換フェーズが開始します。変換フェーズが開始すると、まずSW+とSW-が開きます。2個のコンデンサ・アレイは入力から切り離されて、REFVND入力に接続されます。このため、アキュイジション・フェーズの終わりに取り込まれた入力IN+とIN-の間の差動電圧がコンパレータ入力に接続されて、コンパレータがアンバランスになります。コンデンサ・アレイの各エレメントをREFVNDとREFの間でスイッチングすることにより、コンパレータ入力がバイナリ重み付けをされた電圧ステップ ($V_{REF}/2$ 、 $V_{REF}/4$ 、... $V_{REF}/262144$) で変化します。コントロール・ロジックでこれらのスイッチをトグルして (MSBファースト)、コンパレータを再度平衡状態にします。この処理が終了すると、コントロール・ロジックがADC出力コードを生成し、BUSY出力をローレベルにします。

AD7678

伝達関数

18ビット・インターフェース・モードの場合を除き、AD7678は、 $OB/\overline{2C}$ によりストレート・バイナリ・コードと2の補数の出力コードを提供します。理想的な伝達特性については、図20と表8を参照してください。

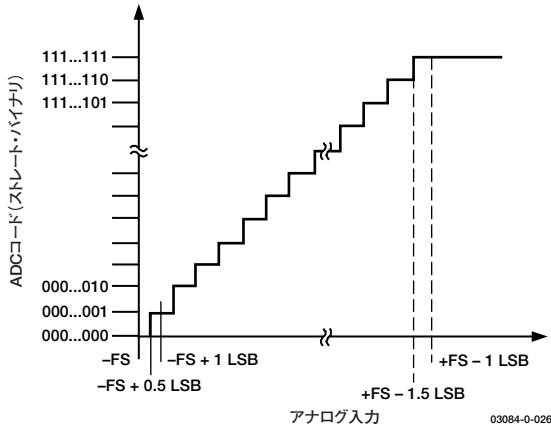


図20. ADCの理想的な伝達関数

表8. 出力コードと理想的な入力電圧

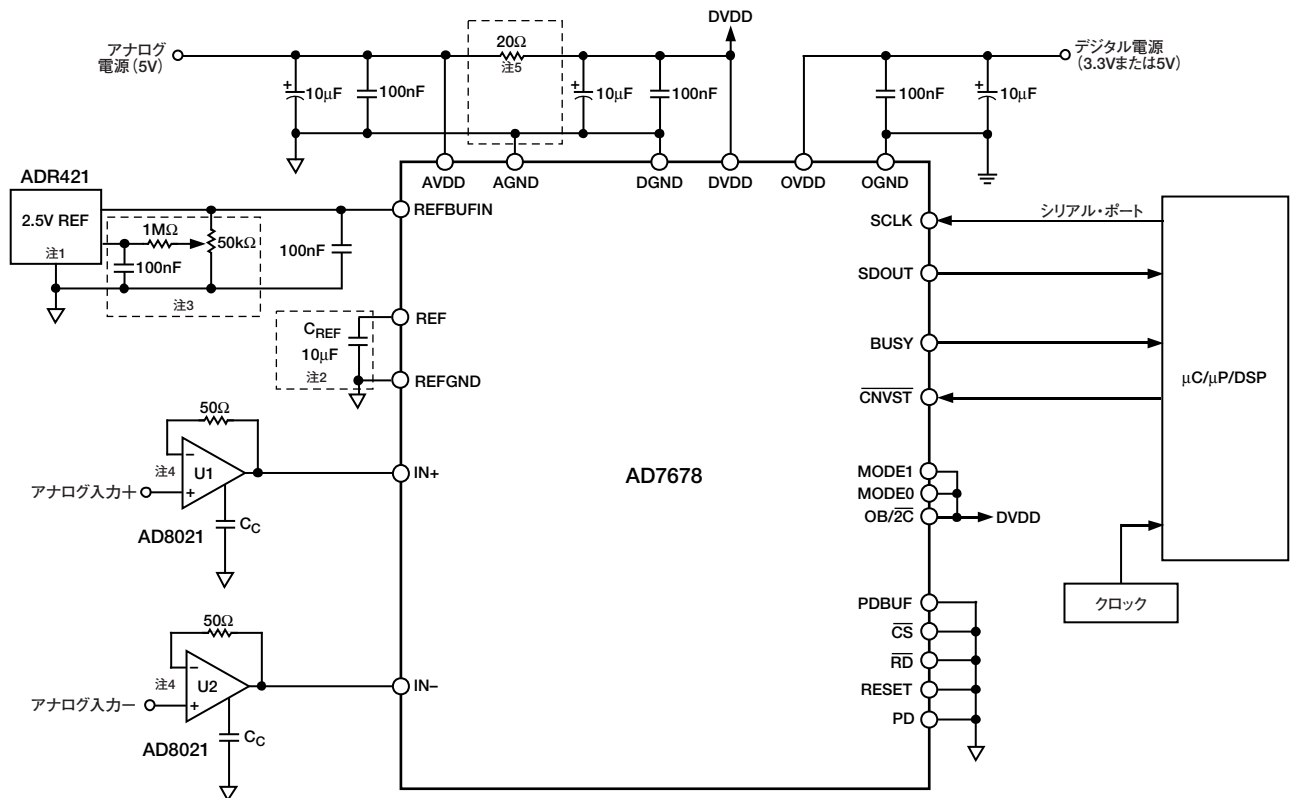
説明	アナログ入力 $V_{REF}=4.096V$	ストレート・バイナリ (16進)	2の補数 (16進)
FSR - 1LSB	4.095962V	3FFFF ¹	1FFFF ¹
FSR - 2LSB	4.095924V	3FFFE	1FFFE
ミッドスケール + 1LSB	31.25 μ V	20001	00001
ミッドスケール	0V	20000	00000
ミッドスケール - 1LSB	-31.25 μ V	1FFFF	3FFFF
-FSR + 1LSB	-4.095962V	00001	20001
-FSR	-4.096V	00000 ²	20000 ²

¹ これはオーバーレンジのアナログ入力コードでもあります

($V_{IN+} - V_{IN-} > V_{REF} - V_{REFGND}$)。

² これはアンダーレンジのアナログ入力コードでもあります

($V_{IN+} - V_{IN-} < -V_{REF} + V_{REFGND}$)。



注

1. 「リファレンス入力」のセクションを参照。
2. C_{REF} は、10 μ Fのセラミック・コンデンサまたは低ESRのタンタル・コンデンサです。セラミック・サイズ1206のPANASONIC ECJ-3xB0J106を推奨します。「リファレンス」のセクションを参照。
3. ハードウェア・ゲイン・キャリブレーション用のオプション回路。
4. AD8021を推奨。「ドライバ・アンプの選択」のセクションを参照。
5. オプション。「電源」のセクションを参照。

図21. 代表的な接続図 (内部リファレンス・バッファ、シリアル・インターフェース)

AD7678

AD8021は以上の条件を満たしているため、ほとんどすべてのアプリケーションに適しています。AD8021には、10pFの外付け補償コンデンサが必要です。コンデンサは、NPOセラミックまたはマイカ・タイプの優れた直線性を備えているものがよいでしょう。

デュアル・バージョンが必要でゲイン=1が存在する場合には、AD8022を使用することもできます。高周波（100kHz以上）性能が不要な場合には、AD829も使用できます。ゲイン=1のアプリケーションでは、82pFの補償コンデンサが必要です。低周波アプリケーションで低バイアス電流が必要な場合には、AD8610も使用できます。

シングルエンド／差動変換ドライバ

ユニポーラ・アナログ信号を使用するアプリケーションの場合、シングルエンド／差動変換ドライバを使うと、デバイスに対する差動入力が可能になります。図24にこの回路図を示します。この構成では、0～ V_{REF} の入力信号を与えたとき、ミッドスケール（ $V_{REF}/2$ ）を中心として差動 $\pm V_{REF}$ が得られます。

アプリケーションでこれ以上のノイズを許容できる場合は、AD8138差動ドライバを使用できます。

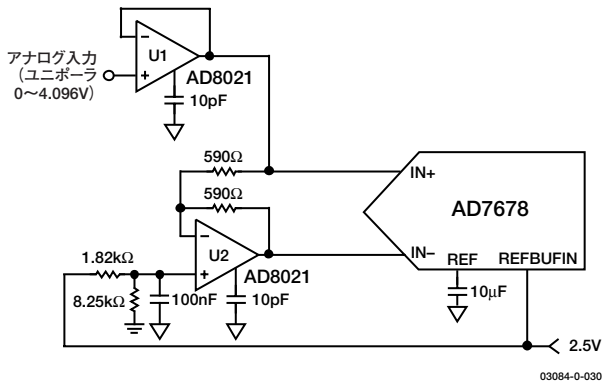


図24. シングルエンド／差動変換ドライバ回路
(内部リファレンス・バッファ使用)

リファレンス

AD7678は、内部リファレンス・バッファ付きでもバッファなしでも、外部リファレンスを使用できます。

複数のADC間で共通のリファレンスを共有する場合、内部リファレンス・バッファの使用を推奨します。

ただし、外部リファレンスを直接使用すれば、以下の利点があります。

- 内部バッファを使用するときの代表的な4.096Vリファレンスの代わりに、電源（5V）にきわめて近いリファレンスを使用すれば、S/N比とダイナミック・レンジが向上します（およそ1.7dB）。
- 内部リファレンス・バッファをパワーダウンして（PDBUFをハイレベル）、電力の節減ができます。

内部リファレンス・バッファを使用するには、PDBUFをローレベルにしてください。REBFUFIN入力に2.5Vのリファレンスを加えると、REFピン上に4.096Vのリファレンスが得られます。

いずれの場合も、リファレンス入力REFにはダイナミック入力インピーダンスがあるため、REF入力とREFGND入力の間に効率的なデカップリングが必要です。このデカップリングは、最小の寄生インダクタンスでREF入力とREFGND入力に接続された低ESRの47µFタンタル・コンデンサで構成されています。

電圧リファレンスのリファレンス温度係数は、場合によってはフルスケール精度に直接影響を与えるため、十分注意する必要があります。温度係数 $\pm 4\text{ppm}/^\circ\text{C}$ のリファレンスでは、フルスケール精度が $\pm 1\text{LSB}/^\circ\text{C}$ 変化します。

電源

AD7678では、アナログ5V電源（AVDD）、デジタル5Vコア電源（DVDD）、デジタル出力インターフェース電源（OVDD）の3種類の電源ピンを使用します。OVDD電源は、出力ロジック・レベルを決め、2.7V～DVDD+0.3Vで動作するロジックとの直接のインターフェースを可能にします。必要な電源の数を減らすため、図21に示すように、簡単なRCフィルタを通してアナログ電源からデジタル・コア（DVDD）に供給できます。OVDDがDVDDを0.3V以上超えなくなれば、AD7678は電源シーケンスに依存することがなくなり、電源電圧によるラッチアップの問題が生じません。AD7678は、図25に示すように、広い周波数範囲で電源変動に対して安定しています。

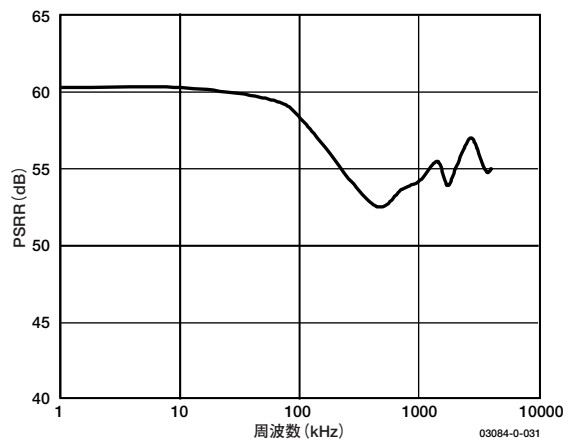


図25. PSRRの周波数特性

消費電力 対 スループット

インパルス・モードでは、AD7678は各変換フェーズの終わりで自動的に消費電力を低減します。アキュイジション・フェーズでは動作電流が非常に小さくなるため、図26に示すように、変換レートを下げれば消費電力の大幅な低減が可能になります。この機能によって、AD7678は消費電力のきわめて低いバッテリー・アプリケーションに最適です。

アキュイジション・フェーズでも、デジタル・インターフェースはアクティブのままです。動作デジタル電源電流をさらに低減するため、デジタル入力を電源レール（DVDDとDGND）の近くで駆動し、OVDDがDVDDを0.3V以上超えないようにします。

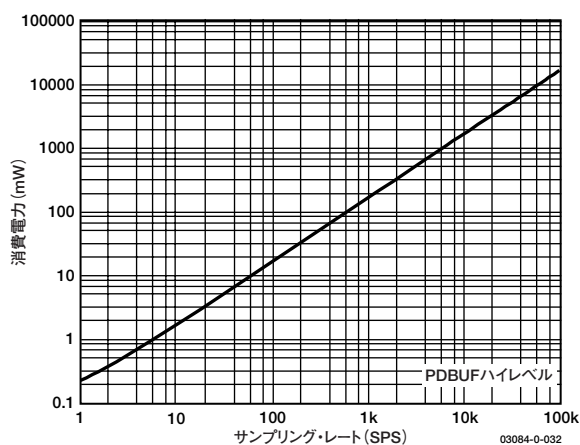


図26. サンプルング・レート 対 消費電力

変換制御

図27に、変換プロセスの詳細なタイミング図を示します。AD7678は $\overline{\text{CNVST}}$ 信号によって制御され、この信号で変換を開始します。いったん変換が開始すると、変換が完了するまでは、パワーダウン入力PDによっても再起動もアボートもできません。 $\overline{\text{CNVST}}$ 信号は、 $\overline{\text{CS}}$ 信号や $\overline{\text{RD}}$ 信号とは無関係に動作します。

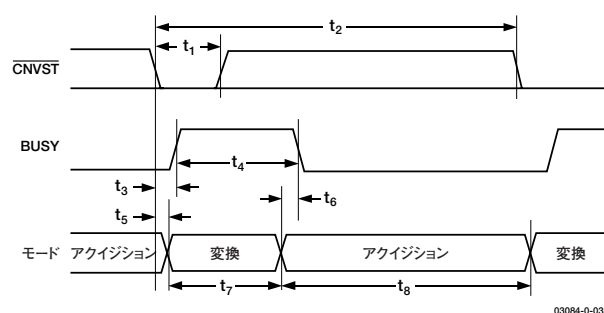


図27. 変換の基本タイミング

$\overline{\text{CNVST}}$ はデジタル信号ですが、高速できれいなエッジとレベルをもち、しかもオーバーシュート／アンダーシュートやリングングが最小になるように注意して設計してください。

他のアプリケーションの場合には、変換は自動的に開始できます。 $\overline{\text{BUSY}}$ がローレベルのときに $\overline{\text{CNVST}}$ がローレベルに保持されている場合には、AD7678はアキュイジション・フェーズを制御し、次いで自動的に新しい変換を開始します。 $\overline{\text{CNVST}}$ をローレベルに保持することによって、AD7678は変換処理を自動的に継続します。 $\overline{\text{BUSY}}$ がローレベルになったとき、アナログ入力はセトリングしていなければなりません。また、パワーアップ時には、 $\overline{\text{CNVST}}$ を一度ローレベルにして変換処理を開始します。このモードでは、AD7678は、保証されている規定値100kSPSよりも少し早く動作することがあります。

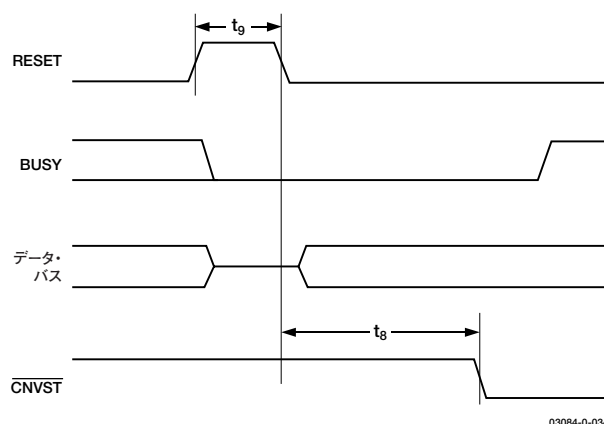


図28. RESETのタイミング

AD7678

デジタル・インターフェース

AD7678にはさまざまなデジタル・インターフェースがあり、シリアル・インターフェースやパラレル・インターフェースを使って、ホスト・システムに接続できます。シリアル・インターフェースは、パラレル・データがマルチプレクスされて出力されます。また、AD7678のデジタル・インターフェースは、OVDD電源ピンをホスト・システムのインターフェース・デジタル電源に接続するだけで、3Vと5Vのロジックに対応します。さらに、18ビット・インターフェース・モード以外の任意のモードでOB/ $\overline{2C}$ 入力ピンを使用することによって、2の補数とストレート・バイナリの両方のコーディングを使用できます。

\overline{CS} と \overline{RD} という2つの信号でインターフェースを制御します。これらの信号のどちらか一方でもハイレベルのときには、インターフェース出力が高インピーダンスになります。一般に、複数のAD7678を使用するアプリケーションでは、 \overline{CS} によって各AD7678の選択ができ、AD7678を単一で使用するデザインでは \overline{CS} をローレベルに固定します。 \overline{RD} は、一般にデータ・バス上で変換結果をイネーブルにするときに使用します。

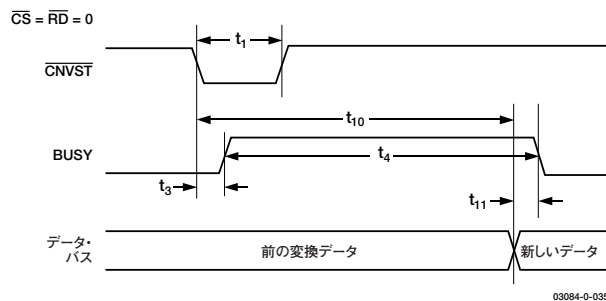


図29. 読み出し時のマスター・パラレル・データ・タイミング (連続読み出し)

パラレル・インターフェース

AD7678は、表7にしたがって、18ビット、16ビット、8ビットのバス幅を持つパラレル・インターフェースを使用するように設定できます。データは、各変換の後（つまり次のアクイジション・フェーズ中）または次の変換中に読み出しを行うことができます（図30と図31）。ただし、変換中にデータを読み出すときは、変換フェーズの前半に行くことを推奨します。デジタル・インターフェース上の電圧遷移と最もクリティカルなアナログ変換回路との間のフィードスルーを防止するためです。さまざまなオプションの詳細については、表7を参照してください。

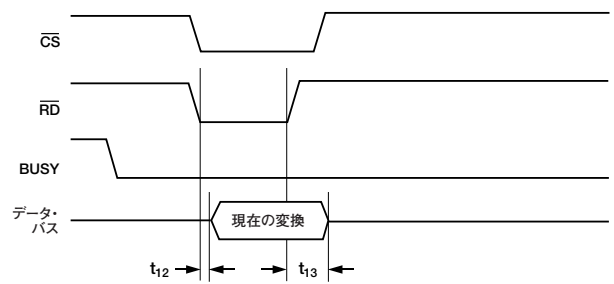


図30. 読み出し時のスレーブ・パラレル・データ・タイミング (変換後の読み出し)

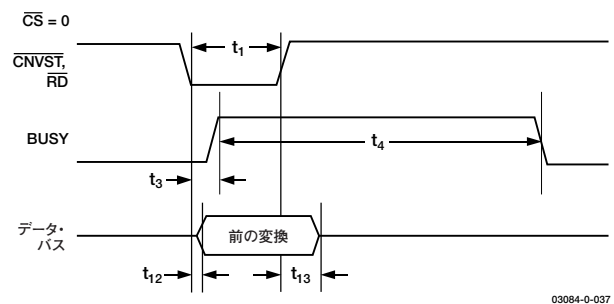


図31. 読み出し時のスレーブ・パラレル・データ・タイミング (変換中の読み出し)

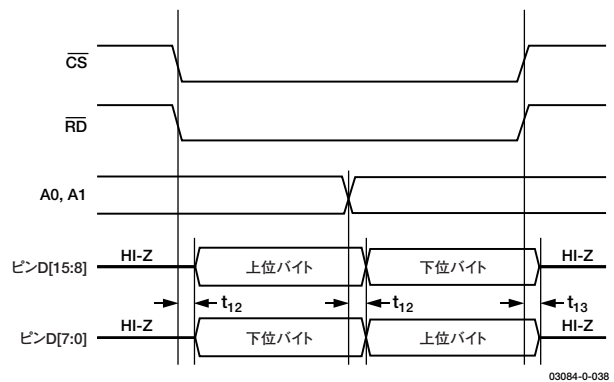


図32. 8ビットと16ビットのパラレル・インターフェース

シリアル・インターフェース

MODE0とMODE1がハイレベルに保持されると、AD7678はシリアル・インターフェースを使用する設定になります。AD7678では、SDOUTピン上に18ビットのデータをMSBファーストで出力します。このデータは、SCLKピンに与えられる18個のクロック・パルスに同期します。出力データは、データ・クロックの立ち上がりエッジと立ち下がりエッジの両方で有効です。

マスター・シリアル・インターフェース

内部クロック

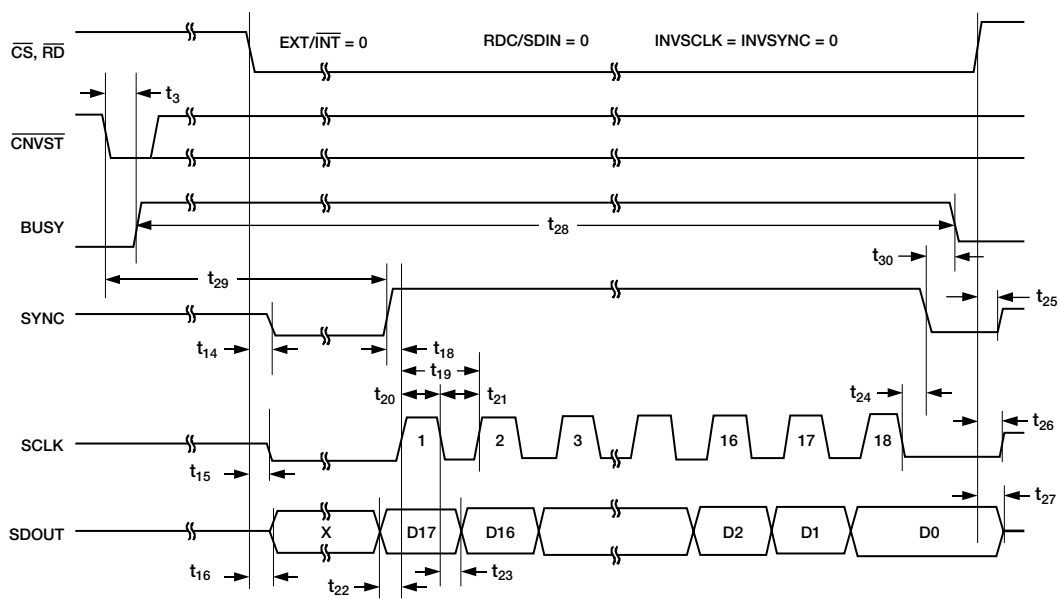
EXT/INTピンをローレベルにすると、AD7678は、シリアル・データ・クロックSCLKを生成および供給する設定になります。AD7678はSYNC信号も生成し、シリアル・データが有効になるタイミングをホストに知らせます。シリアル・クロックSCLKとSYNC信号は、必要に応じて反転できます。RDC/SDIN入力に応じて、各変換の後または次の変換中にデータを読み出すことができます。図33と図34に、この2つのモードの詳細なタイミング図を示します。

一般に、AD7678は高速スループットで使用するため、シリアル・モードでは変換中のマスター読み出しモードを推奨します。

変換中の読み出しモードでは、シリアル・クロックとデータを適切なタイミングでトグルするので、デジタル動作とクリティカルな変換判定との間のフィードスルーを最小限に抑えられます。

変換後の読み出しモードでは、他のモードとは異なり、BUSY信号が変換フェーズの終わりではなく、18ビットのデータがパルス出力された後にローレベルに戻るため、BUSYの幅が長くなります。

低速のデジタル・ホストをサポートするときは、DIVSCLKを使ってシリアル・クロックを低速化できます。



03084-0-039

図33. 読み出し時のマスター・シリアル・データ・タイミング (変換後の読み出し)

AD7678

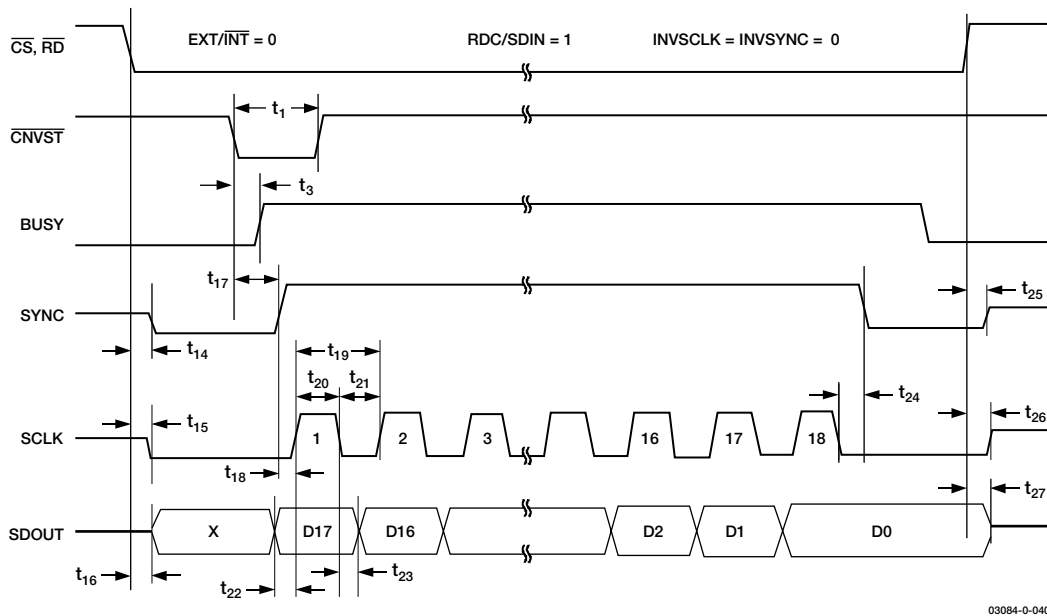


図34. 読み出し時のマスター・シリアル・データ・タイミング (変換中における前の変換の読み出し)

スレーブ・シリアル・インターフェース

外部クロック

EXT/INTピンがハイレベルに保持されると、AD7678は外部シリアル・データ・クロックをSCLKピンで入力する設定になります。このモードでは、いくつかの方法を使ってデータを読み出せます。外部シリアル・クロックはCSによりゲーティングされます。CSとRDが両方ともローレベルのとき、各変換の後または次の変換中にデータの読み出しができます。外部クロックには、連続クロックまたは不連続クロックを使用できます。不連続クロックは、非アクティブ時にノーマル・ハイレベルまたはノーマル・ローレベルにすることができます。図35と図36に、これらの方法の詳細なタイミング図を示します。

AD7678がビット判定を行っている間は、デジタル入/出力ピンで電圧遷移が発生しないようにすることが大切です。さもないと、変換結果が劣化することがあります。これは、変換フェーズの後半では特に重要です。というのは、AD7678が提供する誤差補正回路で、変換フェーズの前半で行われたビット判定の誤りを補正できるからです。このため、外部クロックを入力する場合は、BUSYがローレベルのときのみトグルし、さらにBUSYがハイレベルになる後半では遷移しない不連続クロックの使用を推奨します。

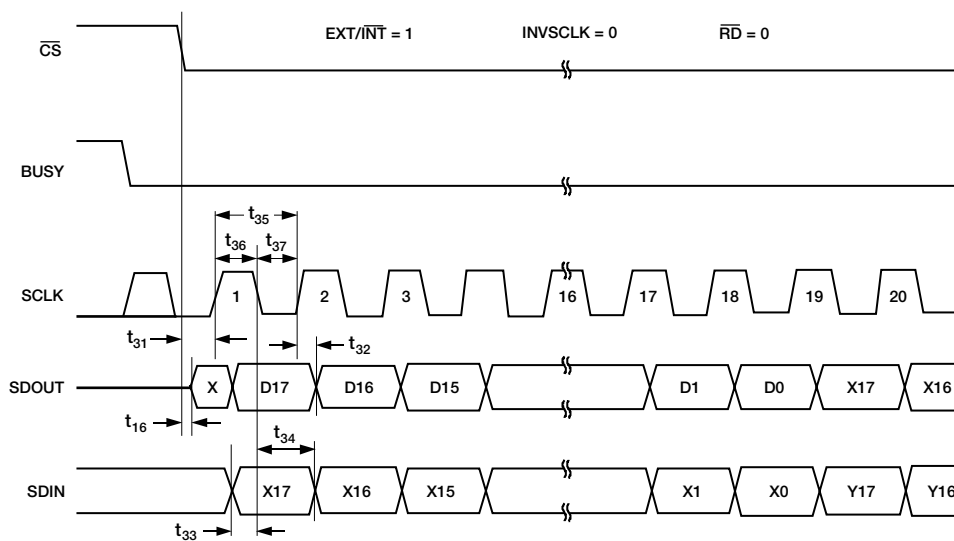
外部不連続クロックによる変換後のデータ読み出し

このモードは、シリアル・スレーブ・モードの中で最も推奨するモードです。図35に、この方法の詳細なタイミング図を示します。BUSYがローレベルに戻って変換の完了が示された後、CSとRDが共にローレベルのときに、この変換結果を読み出すことができます。データは、MSBファーストで、18個のクロック・パルスでシフト出力され、クロックの立ち上がり/立ち下がりエッジの両方で有効です。

この方法の特に大きな利点は、変換処理中にデジタル・インターフェース上で電圧遷移が発生しないため、変換性能が低下しないことです。また、データは最大40MHzの速度で読み出しができるため、低速のデジタル・ホスト・インターフェースと最高速のシリアル読み出しの両方に対応できます。

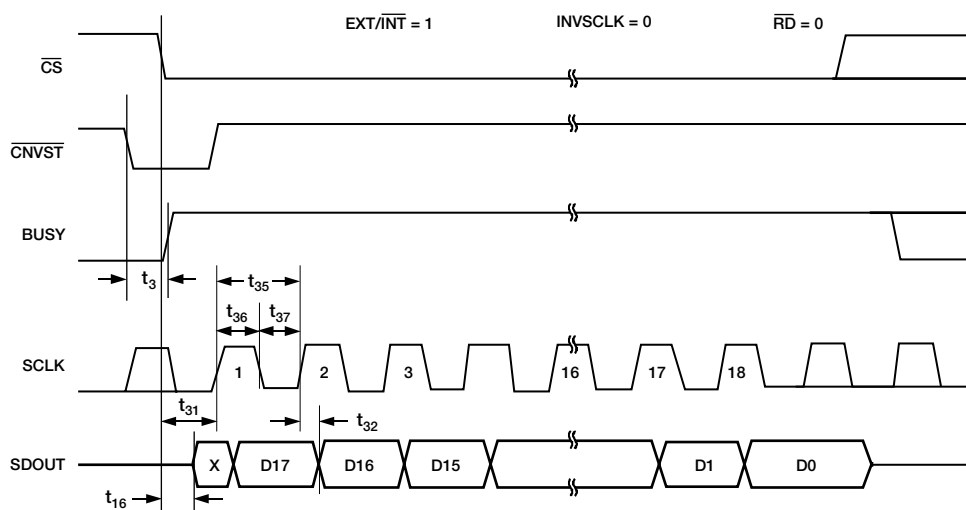
最後に、AD7678には、このモードの場合のみ、RDC/SDIN入力ピンを使って複数のコンバータをカスケード接続するデジチェーン機能があります。この機能は部品数と接続配線数の削減を可能にします (たとえば、絶縁された複数のコンバータを使用するアプリケーションの場合)。

図37に、2つのデバイスを接続する例を示します。共通のCNVST信号を使用すると、同時サンプリングが可能です。RDC/SDIN入力は、SDOUT上でデータをシフト出力する際に使うSCLKクロックのエッジとは反対側のエッジでラッチされることに注意してください。このようにして、次のSCLKサイクルで、上流側コンバータのMSBが下流側コンバータのLSBの直後に続きます。



03084-0-041

図35. 読み出し時のスレーブ・シリアル・データ・タイミング (変換後の読み出し)



03084-0-042

図36. 読み出し時のスレーブ・シリアル・データ・タイミング (変換中における前の変換の読み出し)

AD7678

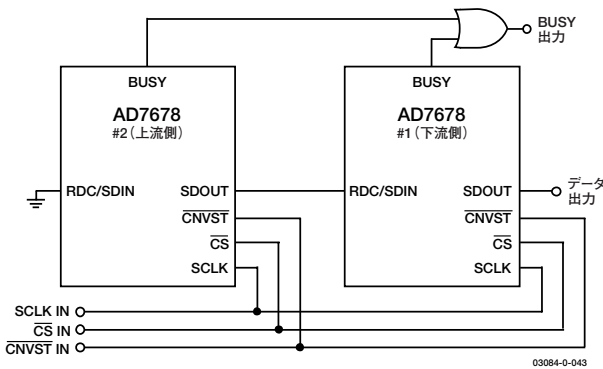


図37. デイジーチェーン接続した2個のAD7678

外部クロックによる変換中のデータ読み出し

図36に、この方法の詳細なタイミング図を示します。変換中に、 \overline{CS} と \overline{RD} がローレベルのとき、前の変換結果を読み出すことができます。データは、MSBファーストで、18個のクロック・パルスでシフト出力され、クロックの立ち上がり／立ち下がりエッジの両方で有効です。現在の変換が完了する前に、この18ビットを読み出す必要があります。そうしない場合、RDERRORにハイレベル・パルスが出力され、これによりホスト・インターフェースに割り込みが発生して、不完全なデータの読み出しを防止します。このモードにはデイジーチェーン機能はなく、RDC/SDIN入力を常にハイレベルかローレベルに固定しておく必要があります。

デジタル動作に起因する性能の低下を抑えるため、変換フェーズの前半で全ビットを読み出すことができる高速の不連続クロックを使用することを推奨します。また、変換後にデータの読み出しを開始し、新しい変換が開始された後も引き続き最終ビットまで読み出すことも可能です。

マイクロプロセッサとのインターフェース

AD7678は、マイクロプロセッサをサポートする従来型のDC計測アプリケーションや、デジタル信号プロセッサに接続するAC信号処理アプリケーションに最適です。AD7678は、パラレル8ビットまたは16ビット幅のインターフェースに対応しており、汎用シリアル・ポート、またはマイクロコントローラのI/Oポートとも接続できるように設計されています。さまざまな外付けバッファを使用することにより、デジタル・ノイズがADCへ混入するのを防止できます。以下のセクションに、SPIを備えたDSPであるADSP-219xと組み合わせて使用する方法を説明します。

SPIインターフェース (ADSP-219x)

図38に、AD7678と、SPIを備えたADSP-219xとのインターフェースを示します。DSPの低速に対応するため、AD7678はスレーブ・デバイスとして動作し、データは変換後に読み出す必要があります。このモードではデイジーチェーン機能も可能です。内部タイマー割り込みに応じて変換コマンドを起動できます。18ビットの出力データは、3バイトのSPIアクセスによって読み出されます。読み出し処理は、DSPの割り込みラインを使用して変換終了信号 (BUSYがローレベルに変化) に応じて開始できます。ADSP-219xのシリアル・ペリフェラル・インターフェース (SPI) は、SPIコントロール・レジスタ (SPICLTx) への書き込みにより、マスター・モード (MSTR) = 1、クロック極性ビット (CPOL) = 0、クロック位相ビット (CPHA) = 1、およびSPI割り込みイネーブル (TIMOD) = 00に設定されます。なお、すべてのタイミング条件を満たすには、SPIクロックを17Mbpsに制限してください。これによって、ADC結果を約1.1μsで読み出すことができます。

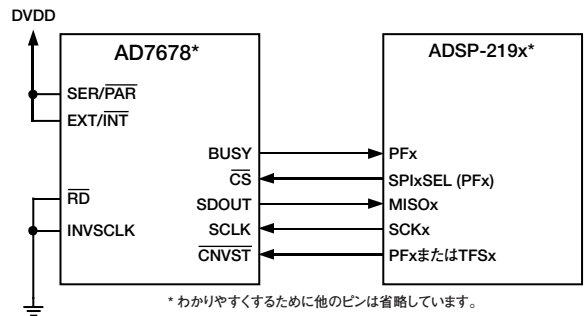


図38. AD7678とSPIインターフェースとの接続

アプリケーション情報

PCボードのレイアウト

AD7678には電源ノイズの影響をあまり受けないという特長があります。それでも、グラウンディングのレイアウトには注意する必要があります。

AD7678のPCボードは、アナログ部とデジタル部を分離して、ボード内にそれぞれをまとめて配置するように設計してください。これによって、簡単に分離できるグラウンド・プレーンを使用できるようになります。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは、1点で接続してください。できればAD7678の真下、あるいは少なくともAD7678にできるだけ近い場所で接続します。複数のデバイスがAGNDとDGNDの接続を必要とするシステム内でAD7678を使用する場合でも、接続は1点で行い、AD7678のできるだけ近くに星型のグラウンド・ポイントを構成してください。

チップにノイズが混入するのを防ぐため、デバイスの真下にデジタル・ラインを配置しないでください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンはAD7678の下を通します。CNVSTやクロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分へのノイズの拡散を防ぎ、アナログ信号パスの近くを通らないようにしてください。デジタル信号とアナログ信号の交差を防止する必要があります。ボードの反対面の近い層にあるパターンは、互いに直角になるように配置します。これにより、ボードを貫通するノイズ混入の影響を減らせます。AD7678への電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。AD7678に対する電源インピーダンスを下げ、さらに電源スパイクの振幅を小さくするために、十分なデカップリングも大切です。一般に100nFのデカップリング用セラミック・コンデンサを各電源ピン（AVDD、DVDD、OVDD）および対応するグラウンド・ピンの近くに、理想的には真上に配置します。さらに、低ESRの10 μ FコンデンサをADCの近くに配置し、低周波リップルを抑えるようにしてください。

AD7678のDVDD電源は、別電源、またはアナログ電源AVDDまたはデジタル・インターフェース電源OVDDから供給できます。システム・デジタル電源のノイズが多い場合、または高速のスイッチング・デジタル信号が存在する場合に、別電源を使用できないときは、DVDDデジタル電源をRCフィルタを介してアナログ電源AVDDに接続し（図21を参照）、システム電源をインターフェース・デジタル電源OVDDとその他のデジタル回路に接続することを推奨します。DVDDにシステム電源を接続する場合、高周波スパイクを抑えるためビーズを挿入すると効果的です。

AD7678には、REFGND、AGND、DGND、OGNDという4種類のグラウンド・ピンがあります。リファレンス電圧を設定するREFGNDにはパルス電流が流れるため、リファレンスまでのリターンを低インピーダンスにしてください。AGNDはグラウンドであり、大部分の内部ADCアナログ信号がこれを基準にしています。このグラウンドは、最小の抵抗でアナログ・グラウンド・プレーンに接続してください。DGNDは、構成に応じて、アナログ・グラウンド・プレーンまたはデジタル・グラウンド・プレーンに接続してください。OGNDはデジタル・システム・グラウンドに接続します。

リファレンス電圧のデカップリングのレイアウトは重要です。デカップリング・コンデンサはADCの近くに配置し、短く太いパターンで接続して寄生インダクタンスを抑えてください。

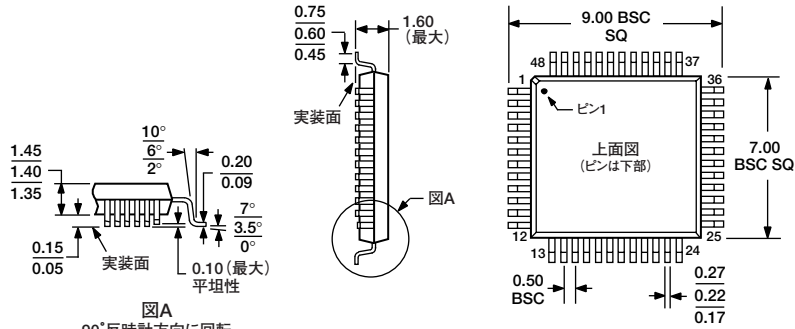
AD7678の性能評価

AD7678の推奨レイアウトは、AD7678の評価用ボード、EVAL-AD7678CBのマニュアルに示してあります。評価用ボードのパッケージには、組み立ておよびテスト済みの評価用ボード、マニュアル、EVAL-CONTROL BRD2を介してPCからボードを制御するためのソフトウェアが同梱されています。

外形寸法

図39. 48ピン・クワッド・フラットパック (LQFP) (ST-48)

寸法単位：mm

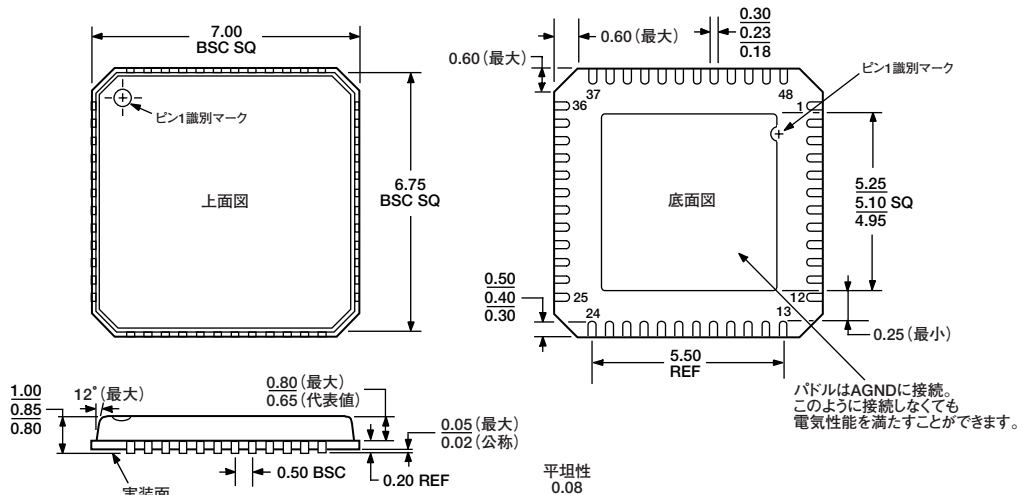


図A
90°反時計方向に回転

JEDEC規格MS-026BBCに準拠

図40. 48ピン・リード・フレーム・チップ・スケール・パッケージ (LFCSP) (CP-48)

寸法単位：mm



JEDEC規格MO-220-VKGD-2に準拠

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD7678AST	-40～+85℃	クワッド・フラットパック (LQFP)	ST-48
AD7678ASTRL	-40～+85℃	クワッド・フラットパック (LQFP)	ST-48
AD7678ACP	-40～+85℃	リード・フレーム・チップ・スケール (LFCSP)	CP-48
AD7678ACPRL	-40～+85℃	リード・フレーム・チップ・スケール (LFCSP)	CP-48
EVAL-AD7678CB ¹		評価用ボード	
EVAL-CONTROL BRD2 ²		コントローラ・ボード	

¹ このボードは、単独の評価用ボードとしても、また評価/デモンストレーション用にEVAL-CONTROL BRD2と組み合わせても使用できます。

² このボードでは、PCを使用して、末尾にCBが付くすべてのアナログ・デバイス評価用ボードの制御と通信が可能です。

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されなまま放電されます。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD7678

C03084-0-8/03(0)

PRINTED IN JAPAN