

特長

スループット：

1MSPS (ワーブ・モード)

800kSPS (ノーマル・モード)

積分非直線性±2.5LSB Max (フルスケールに対し±0.0038%)

ノー・ミスコードで16ビットの分解能

S/ (N+D) : 90dB Typ @ 250kHz

THD : -100dB Typ @ 250kHz

アナログ入力電圧範囲

バイポーラ：±10V、±5V、±2.5V

ユニポーラ：0~10V、0~5V、0~2.5V

ACおよびDCについての仕様

パイプライン遅延なし

パラレル (8/16ビット) およびシリアル5V/3Vインターフェース

5V単電源動作

消費電力

112mW Typ

15 μW @ 100SPS

パワーダウン・モード：7 μW Max

パッケージ：48ピン・クワッド・フラットパック (LQFP)

AD7665およびAD7644からピン・コンパチブルでアップグレードが可能

リードが可能

アプリケーション

データ・アクイジション

通信

計測

スペクトル解析

医療機器

プロセス制御

概要

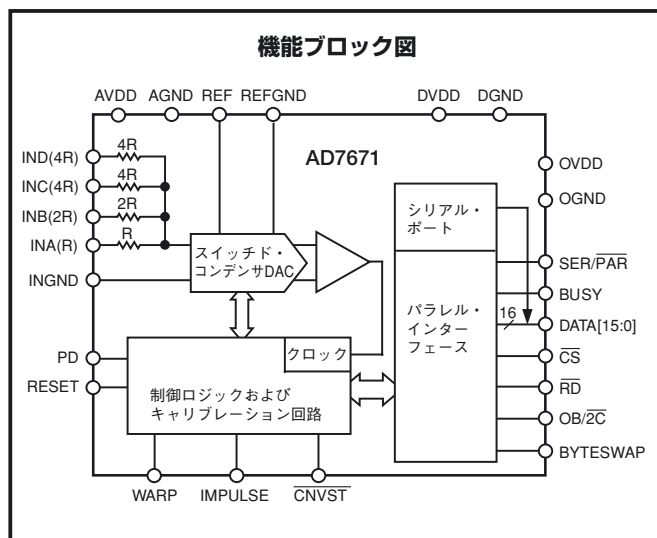
AD7671は、5V単電源から動作可能な、16ビット、1MSPSの電荷再配分型、逐次比較型 (Successive, approximation) のA/Dコンバータです。AD7671は、高速な16ビット・サンプリングA/Dコンバータ、広範な入力範囲に対応可能な抵抗入力スケラ、内部変換クロック、誤差訂正回路、シリアル/パラレルのシステム・インターフェース・ポートを備えています。

AD7671は、出荷時にハードウェアのキャリブレーションを受けており、ゲイン、オフセット、直線性を保証するDC特性に加えて、S/N比や全高調波歪みなどのAC特性も総合的に試験済みです。

AD7671は、非常に高いサンプリング・レートのモード (ワーブ)、非同期変換レートのアプリケーションのための高速モード (ノーマル)、スループットに応じて電力を抑える消費省電力のための省電力モード (インパルス) を備えています。AD7671は、アナログ・デバイセズの高性能0.6ミクロンのCMOSプロセスによって製造され、48ピンLQFPパッケージで供給されており、-40~+85℃の動作について仕様規定されています。

*特許出願中

REV.0



製品のハイライト

1. 高速なスループット

AD7671は、非常に高速 (ワーブ・モードで1MSPS、ノーマル・モードで800kSPS) の、電荷再配分型の16ビットの逐次比較型A/Dコンバータです。

2. 単電源動作

AD7671は、5Vの単電源から動作し、消費電力のTyp値はわずか112mWであり、省電力モード (インパルス) およびパワーダウン・モードでスループットが低下するときには、消費電力は、さらに低減されます。

3. 優れた積分非直線性

AD7671は、16ビット・コードでノー・ミスコードの2.5LSBの最大積分非直線性を保っています。

4. シリアルまたはパラレルのインターフェース

3Vまたは5Vのロジックとの互換性を持ったパラレル (8または16ビット) または2線式シリアル・インターフェースで柔軟性を確保しています。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

AD7671 –仕様

(特に指定のない限り、 $-40\sim+85^{\circ}\text{C}$ 、 $\text{AVDD}=\text{DVDD}=5\text{V}$ 、 $\text{OVDD}=2.7\sim5.25\text{V}$)

パラメータ	条件	Min	Typ	Max	単位
分解能		16			ビット
アナログ入力 電圧範囲 コモンモード入力電圧 アナログ入力CMRR 入力インピーダンス	$V_{\text{IND}} - V_{\text{INGND}}$ V_{INGND} $f_{\text{IN}} = 100 \text{ kHz}$	$\pm 4\text{REF}$ 、 $0\sim 4\text{REF}$ 、 $\pm 2\text{REF}$ (表I参照) -0.1	74 表I参照	+0.5	V dB
スループット速度 全サイクル スループット・レート 変換間の時間間隔 全サイクル スループット・レート 全サイクル スループット・レート	ワープ・モード ワープ・モード ワープ・モード ノーマル・モード ノーマル・モード インパルス・モード インパルス・モード	1 0 0		1 1000 1 1.25 800 1.5 666	μs kSPS ms μs kSPS μs kSPS
DC精度 積分非直線性誤差 ノー・ミスコード 遷移ノイズ バイポーラ・ゼロ誤差 ² 、 $T_{\text{MIN}}\sim T_{\text{MAX}}$ バイポーラ・フルスケール誤差 ² 、 $T_{\text{MIN}}\sim T_{\text{MAX}}$ ユニポーラ・ゼロ誤差 ² 、 $T_{\text{MIN}}\sim T_{\text{MAX}}$ ユニポーラ・フルスケール誤差 ² 、 $T_{\text{MIN}}\sim T_{\text{MAX}}$ 電源感度	$\pm 5\text{V}$ 範囲、ノーマルまたはインパルス・モード 他の範囲またはモード $\text{AVDD} = 5 \text{ V} \pm 5\%$	-2.5 16 -45 -0.01 -0.38 -0.18 -0.76	0.7 ± 9.5	+2.5 +45 +0.01 +0.38 +0.18 +0.76	LSB ¹ ビット LSB LSB FSRの%値 FSRの%値 FSRの%値 FSRの%値 LSB
AC精度 S/N比 スプリアスフリー・ダイナミックレンジ 全高調波歪み 信号対 (ノイズ+歪み) -3dB入力帯域幅	$f_{\text{IN}} = 20 \text{ kHz}$ $f_{\text{IN}} = 250 \text{ kHz}$ $f_{\text{IN}} = 250 \text{ kHz}$ $f_{\text{IN}} = 20 \text{ kHz}$ $f_{\text{IN}} = 250 \text{ kHz}$ $f_{\text{IN}} = 20 \text{ kHz}$ $f_{\text{IN}} = 250 \text{ kHz}$	89 88.5	90 90 100 -100 -100 90 30 9.6	-96	dB^3 dB dB dB dB dB dB MHz
サンプリングのダイナミック特性 アパーチャ遅延 アパーチャ・ジッター 過渡応答	フルスケール・ステップ		2 5	250	ns ps rms ns
リファレンス 外部リファレンス電圧範囲 外部リファレンス電流ドレイン	スループット：1MSPS	2.3	2.5 200	2.7	V μA
デジタル入力 ロジック・レベル V_{IL} V_{IH} I_{IL} I_{IH}		-0.3 +2.0 -1 -1		+0.8 $\text{DVDD} + 0.3$ +1 +1	V V μA μA
デジタル出力 データ・フォーマット パイプライン遅延 V_{OL} V_{OH}	$I_{\text{SINK}} = 1.6 \text{ mA}$ $I_{\text{SOURCE}} = -570 \mu\text{A}$			0.4	V V
電源 仕様規定 AVDD DVDD OVDD 動作電流 ⁴ AVDD DVDD ⁵ OVDD ⁵	スループット：1MSPS	4.75 4.75 2.7	5 5	5.25 5.25 5.25	V V V mA mA μA

パラメータ	条件	Min	Typ	Max	単位
電源 (続き) 消費電力 ^{5,6}	スループット: 666kSPS ⁷		84	95	mW
	スループット: 100SPS ⁷		15		μ W
	スループット: 1MSPS ⁴		112	125	mW
パワーダウン・モード				7	μ W
温度範囲 ⁹ 仕様規定	T _{MIN} ~T _{MAX}	-40		+85	°C

注

- 1 LSBは最下位ビット (Least Significant) を意味します。±5Vの入力範囲では、1つのLSBは152.588 μ Vとなります。
- 2 「仕様の定義」のセクションを参照してください。これらの仕様は、外部リファレンスからの誤差を含みません。
- 3 dBで表される仕様は、すべてフルスケール入力FSに対するものです。特に指定のない限り、フルスケールを0.5dB下回る入力信号でテストされたものです。
- 4 ワープ・モードでの値です。
- 5 パラレル読み出しモードでのテスト結果です。
- 6 0~5Vの範囲でV_{IN}=V_{INGND}=0Vとした場合のテスト結果です。「電力消費」のセクションを参照してください。
- 7 インパルス・モードです。
- 8 OVDDを、DVDD+0.3V未満とし、デジタル入力を、それぞれ、OVDDまたはOGNDとした場合です。
- 9 この温度範囲を超えた仕様については、お問い合わせください。

仕様は予告なく変更されることがあります。

表1 アナログ入力の設定

入力電圧範囲	IND (4R)	INC (4R)	INB (2R)	INA (R)	入力インピーダンス ¹
±4 REF	V _{IN}	INGND	INGND	REF	1.63 k Ω
±2 REF	V _{IN}	V _{IN}	INGND	REF	948 Ω
±REF	V _{IN}	V _{IN}	V _{IN}	REF	711 Ω
0 V ~ 4 REF	V _{IN}	V _{IN}	INGND	INGND	948 Ω
0 V ~ 2 REF	V _{IN}	V _{IN}	V _{IN}	INGND	711 Ω
0 V ~ REF	V _{IN}	V _{IN}	V _{IN}	V _{IN}	注2

注

- 1 代表的なアナログ入力インピーダンスです。
- 2 この範囲では、入力はハイインピーダンスです。

タイミング特性 (特に指定のない限り、-40~+85°C、AVDD=DVDD=5V、OVDD=2.7~5.25V)

	記号	Min	Typ	Max	単位
図11および図12を参照 変換パルス幅 変換間隔 (ワープ・モード/ノーマル・モード/インパルス・モード) CNVSTローからBUSYハイまでの遅延 変換後のマスター・シリアル読み出しモード (ワープ・モード/ノーマル・モード/インパルス・モード) を除くすべてのモードにおけるBUSYハイ。 アパーチャ遅延 変換の終了からBUSYローまでの遅延 変換時間 (ワープ・モード/ノーマル・モード/インパルス・モード) アクイジション時間 RESETパルス幅	t ₁	5			ns
	t ₂	1/1.25/1.5		注1	μ s
	t ₃			30	ns
	t ₄			0.75/1/1.25	μ s
	t ₅		2		ns
	t ₆	10			ns
	t ₇			0.75/1/1.25	μ s
	t ₈	250			ns
	t ₉	10			ns
図13,14,15を参照 (パラレル・インターフェース・モード) CNVSTローからDATAが有効となるまでの遅延 (ワープ・モード/ノーマル・モード/インパルス・モード) データ有効からBUSYローまでの遅延 DATA有効に対するバス・アクセス・リクエスト バス開放までの時間	t ₁₀			0.75/1/1.25	μ s
	t ₁₁	20			ns
	t ₁₂			40	ns
	t ₁₃	5		15	ns
図17および18を参照 (マスター・シリアル・インターフェース・モード) ² CSローからSYNC有効までの遅延 CSローから内部SCLK有効までの遅延 CSローからSDOUTまでの遅延 CNVSTローからSYNCまでの遅延 (変換中にリード) (ワープ・モード、ノーマル・モード、インパルス・モード)	t ₁₄			10	ns
	t ₁₅			10	ns
	t ₁₆			10	ns
	t ₁₇		25/275/525		ns

AD7671

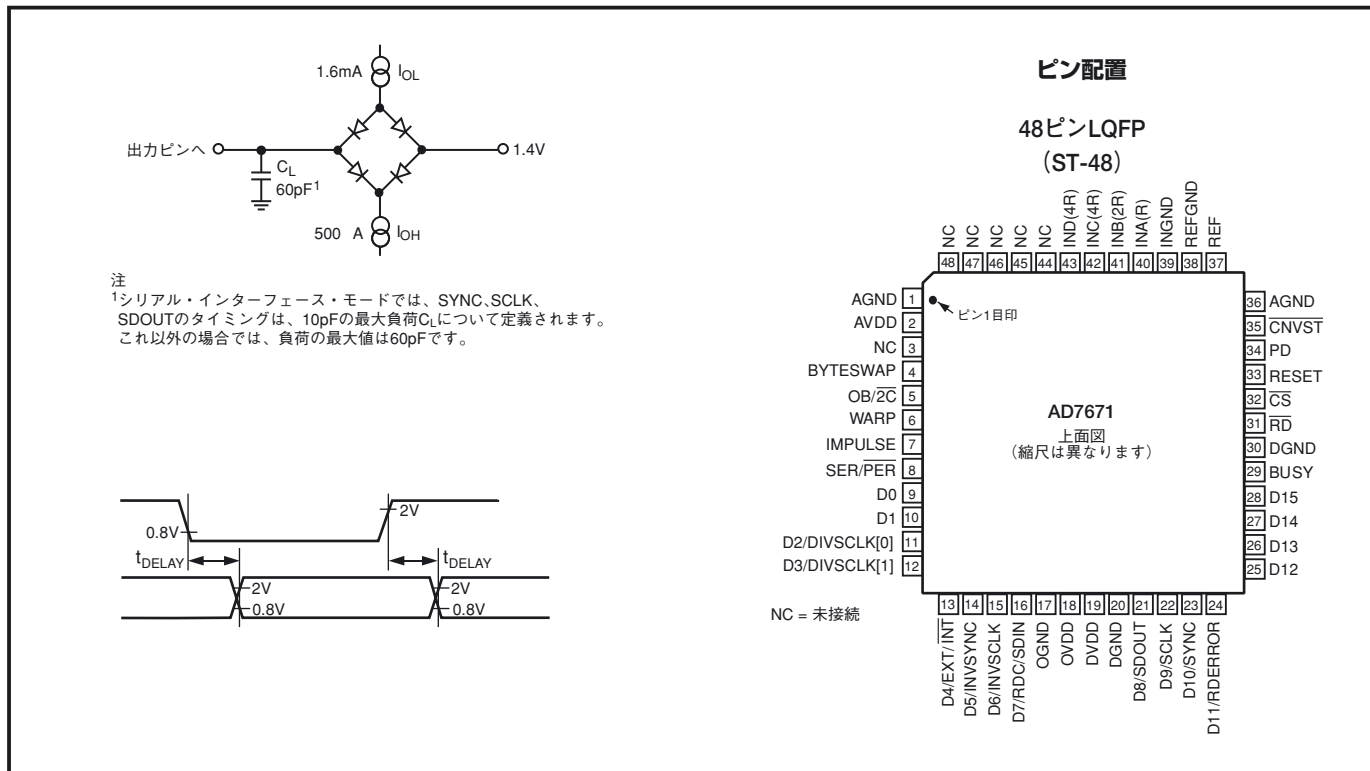
タイミング特性 (続き)

	記号	Min	Typ	Max	単位
SYNC有効からSCLKの最初のエッジまでの遅延 ³	t ₁₈	4			ns
内部SCLK期間 ³	t ₁₉	25		40	ns
内部SCLKハイ ³	t ₂₀	15			ns
内部SCLKロー ³	t ₂₁	9.5			ns
SDOUT有効セットアップ時間 ³	t ₂₂	4.5			ns
SDOUT有効ホールド時間 ³	t ₂₃	2			ns
SCLKの最後のエッジからSYNCまでの遅延 ³	t ₂₄	3			
\overline{CS} ハイからSYNCハイ・インピーダンス	t ₂₅			10	ns
\overline{CS} ハイから内部SCLKハイ・インピーダンス	t ₂₆			10	ns
\overline{CS} ハイからSDOUTハイ・インピーダンス	t ₂₇			10	ns
変換後のマスター・シリアル・リードでのBUSYハイ ³	t ₂₈		表II参照		μ s
\overline{CNVST} ローからSYNC有効までの遅延	t ₂₉		0.75/1/1.25		μ s
変換後のマスター・シリアル・リード					
SYNC無効からBUSYローまでの遅延	t ₃₀		25		ns
図19および21 (スレープ・シリアル・インターフェース・モード)					
外部SCLKセットアップ時間	t ₃₁	5			ns
外部SCLKのアクティブなエッジからSDOUTまでの遅延	t ₃₂	3		16	ns
SDINセットアップ時間	t ₃₃	5			ns
SDINホールド時間	t ₃₄	5			ns
外部SCLK期間	t ₃₅	25			ns
外部SCLKハイ	t ₃₆	10			ns
外部SCLKロー	t ₃₇	10			ns

- 注
- ワープ・モードでのみ、変換間隔は最大で1ms、これ以外には、最大時間は必要とされません。
 - シリアル・インターフェース・モードにおけるSYNC、SCLK、SDOUTタイミングは、10pFの最大負荷について定義されています。これ以外では、負荷は最大60pFです。
 - 変換期間内のシリアル・マスター読み出しです。表IIを参照してください。
仕様は予告なく変更されることがあります。

表II 変換後のマスター・リードにおけるシリアル・クロック・タイミング

DIVSCLK[1] DIVSCLK[0]		0 0	0 1	1 0	1 1	単位
SYNCからSCLKの最初のエッジまでの最小遅延時間	t ₁₈	4	20	20	20	ns
内部SCLKの最小期間	t ₁₉	25	50	100	200	ns
内部SCLKの最大期間	t ₁₉	40	70	140	280	ns
内部SCLKハイの最小期間	t ₂₀	15	25	50	100	ns
内部SCLKローの最小期間	t ₂₁	9	24	49	99	ns
SDOUT有効の最小期間	t ₂₂	4.5	22	22	22	ns
SDOUT有効の最小ホールド期間	t ₂₃	2	4	30	89	ns
SCLKの最後のエッジからSYNCまでの最小セットアップ遅延期間	t ₂₄	3	60	140	300	ns
BUSYハイの最大幅 (ワープ)	t ₂₈	1.5	2	3	5.25	μ s
BUSYハイの最大幅 (ノーマル)	t ₂₈	1.75	2.25	3.25	5.5	μ s
BUSYハイの最大幅 (インパルス)	t ₂₈	2	2.5	3.5	5.75	μ s



絶対最大定格¹

アナログ入力

IND², INC², INB² -11 ~ +30V
 INA, REF, INGND, REFGND AGND - 0.3V ~ AVDD + 0.3V

グラウンド電圧の差異

AGND, DGND, OGND ±0.3V

電源電圧

AVDD, DVDD, OVDD 7V
 AVDD ~ DVDD, AVDD ~ OVDD ±7V
 DVDD ~ OVDD ±7V
 デジタル入力 -0.3V ~ DVDD + 0.3V

内部消費電力³ 700mW

接合温度 150°C

保管温度範囲 -65 ~ +150°C

ピン温度範囲 (ハンダ付け, 10秒) 300°C

注

1 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。

2 「アナログ入力」のセクションを参照

3 仕様は、自由な通気環境におけるデバイスについてのものです。48ピンLQFP: $\theta_{JA}=91^{\circ}\text{C}/\text{W}$, $\theta_{JC}=30^{\circ}\text{C}/\text{W}$

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD7671AST	-40 ~ +85°C	クワッド・フラットパック (LQFP)	ST-48
AD7671ASTRL	-40 ~ +85°C	クワッド・フラットパック (LQFP)	ST-48
EVAL-AD7671CB ¹		評価ボード	
EVAL-CONTROL BRD ²		コントローラ・ボード	

注

1 このボードはスタンドアロンの評価ボードとして、または、EVAL-CONTROL BRD2との組み合わせにより、評価/デモンストレーションのために使用できます。
 2 このボードにより、CBの識別子が末尾に付されたすべてのアナログ・デバイス用の評価ボードにPCを介した制御および通信を行うことができます。

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



ピン機能の説明

ピン番号	記号	タイプ	説明
1	AGND	P	アナログ電源のグラウンド・ピン。
2	AVDD	P	入力アナログ電源ピン。通常は5Vに接続します。
3,44~48	NC		接続なし。
4	BYTESWAP		パラレル・モードの選択 (8/16ビット)。ローのときに、LSBはD[7:0]へ出力されMSBはD[15:8]へ出力されます。ハイのときに、LSBはD[15:8]に出力されMSBはD[7:0]へ出力されます。
5	OB/2C	DI	ストレート・バイナリ/2の補数によるバイナリ。OB/2Cがハイのときにデジタル出力はストレート・バイナリとなり、ローのときにMSBが反転されて内部シフト・レジスタからの2の補数による出力となります。
6	WARP	DI	モード選択。このピンがハイでIMPULSEがローのときに、この入力是最速のモードを選択して最大のスループットにでき、仕様規定された最大の精度を保証するためには最小変換レートとする必要があります。ローのときには、最小の変換レートとは無関係に最大の精度が保たれます。
7	IMPLUSE	DI	モード選択、このピンがハイでWARPがローのときに、この入力により低電力モードが選択されます。このモードでは、消費電力は、ほぼ、サンプリング・レートに比例します。
8	SER/PAR	DI	シリアル/パラレル選択入力。ローのときにパラレル・ポートが選択されます。ハイのときには、シリアル・インターフェース・モードが選択され、DATAバスの一部のビットがシリアル・ポートとして使用されます。
9,10	DATA[0:1]	DO	パラレル・ポートのデータ出力バスのビット0およびビット1。SER/PARがハイのときに、これらの出力はハイ・インピーダンスとなります。
11,12	DATA[2:3]または DIVSCLK[0:1]	DI/O	SER/PARがローのときに、これらの出力はパラレル・ポートのデータ出力バスのビット2およびビット3として使用されます。 SER/PARがハイのときに、EXT/INTはローとなりRDC/SDINもローとなり、変換後シリアル・マスター読み出しモードとなります。これらの入力は、シリアル・ポートの一部でありスロー・ダウンの状態とするために使用され、必要に応じて出力データをクロック出力するための内部シリアル・クロックとして使用されます。他のシリアル・モードでは、これらの入力は使用されません。
13	DATA[4]または EXT/INT	DI/O	SER/PARがローのときに、パラレル・ポートのデータ出力バスのビット4として使用されません。SER/PARがハイのときに、シリアル・ポートの一部であるこの出力は、それぞれ、マスター・モードまたはスレープ・モードと呼ばれる内部データ・クロックまたは外部データ・クロックを選択するためのデジタル選択入力となります。EXT/INTをローに接続すると、EXT/INTをローに接続すると、内部クロックがSCLK出力で選択されます。EXT/INTをロジック・ハイに設定すると、出力データはSCLK入力に接続された外部クロック信号に同期し、外部クロックはCSによりゲートされます。
14	DATA[5]または INVSCLK	DI/O	SER/PARがローのときに、この出力は、パラレル・ポートのデータ出力バスのビット5として使用されます。SER/PARがハイのときに、シリアル・ポートの一部であるこの出力は、SYNC信号のアクティブな状態を選択するために使用されます。ローのときには、SYNCはアクティブ・ハイとなります。ハイのときには、SYNCはアクティブ・ローとなります。
15	DATA[6]または INVSCLK	DI/O	SER/PARがローのときに、この出力は、パラレル・ポートのデータ出力バスのビット6として使用されます。SER/PARがハイのときに、シリアル・ポートの一部であるこの出力は、SCLK信号を反転するために使用されます。このピンは、マスター・モードとスレープ・モードの両方でアクティブです。
16	DATA[7]または RDC/SDIN	DI/O	SER/PARがローのときに、この出力は、パラレル・ポートのデータ出力バスのビット7として使用されます。SER/PARがハイのときに、シリアル・ポートの一部であるこの出力は、EXT/INTの状態に応じて、外部データ入力モードまたは読み出しモード選択入力として使用されます。 EXT/INTがハイのときに、RDC/SDINは、複数のA/Dコンバータの変換結果を単一のSDOUTの信号ラインへデジタイズ・チェーン接続するためのデータ入力として使用できます。SDINのデジタル・データ・レベルは、読み出しシーケンスの開始後の16個のSCLK期間の遅延をもってDATAに出力されます。 EXT/INTがローのときに、RDC/SDINは、読み出しモードを選択するために使用されます。RDC/SDINがハイのときは、直前のデータは変換中にSDOUTに出力されます。RDC/SDINがローのときは、変換が完了したときに限り、データをSDOUTに出力できます。
17	OGND	P	入/出力インターフェースのデジタル電源グラウンド。
18	OVDD	P	入/出力インターフェースのデジタル電源。公称により、ホストのインターフェース (5Vまたは3V) と同一の電源。
19	DVDD	P	デジタル電源。公称5V。
20	DGND	P	デジタル電源のグラウンド。

ピン番号	記号	タイプ	説明
21	DATA[8]または SDOUT	DO	SER/PARがローのときは、この出力は、パラレル・ポートのデータ出力バスのビット8として使用されます。SER/PARがハイのときに、シリアル・ポートの一部であるこの出力は、SCLKに同期したシリアル・データ出力として使用されます。変換結果は、内蔵レジスタに格納されます。AD7671は、変換結果を内部のシフト・レジスタからMSB先頭で出力します。DATAのフォーマットは、OB/2Cのロジック・レベルによって決定されます。シリアル・モードでは、EXT/INTがローのときに、SDOUTはSCLKの両方のエッジで有効となります。シリアル・モードでは、EXT/INTがハイのときに以下の動作となります。INVSCLKがローの場合には、SDOUTはSCLKの立ち上がりエッジで更新され、次の立ち下がりエッジで有効となります。INVSCLKがハイの場合には、SDOUTはSCLKの立ち下がりエッジで更新され、次の立ち上がりエッジで有効となります。
22	DATA[9]または SCLK	DI/O	SER/PARがローのときに、この出力はパラレル・ポートのデータ出力バスのビット9として使用されます。SER/PARがハイのときに、シリアル・ポートの一部であるこのピンは、EXT/INTピンのロジック状態に応じて、シリアル・データクロック入力または出力として使用されます。データSOUTが更新されるアクティブなエッジは、INVSCLKのロジック状態に依存します。
23	DATA[10]または SYNC	DO	SER/PARがローのときには、この出力はパラレル・ポートのデータ出力バスのビット10として使用されます。SER/PARがハイのときに、シリアル・ポートの一部であるこの出力は、内部データ・クロックとともにデジタル出力のフレーム同期に使用されます (EXT/INTがロジック・ロー)。読み出しシーケンスが開始されてINVSCLKがローのときに、SYNCはハイにドライブされ、SDOUTの出力が有効な期間にわたりハイの状態に保持されます。読み出しシーケンスが開始されてINVSCLKがハイのときに、SYNCはローにドライブされ、SDOUTの出力が有効な期間にわたりローの状態に保持されます。
24	DATA[11]または RDERROR	DO	SER/PARがローのときに、この出力は、パラレル・ポートのデータ出力バスのビット11として使用されます。SER/PARがハイでEXT/INTがハイのときに、シリアル・ポートの一部であるこの出力は、インコンプリート・リード・エラー・フラグ (不完全読み出しエラー・フラグ) として使用されます。スレーブ・モードでは、データのリードが開始されていて次の変換が完了したときにデータのリードが完了していないときに、カレント・データが失われRDERRORにハイのパルスが出力されます。
25~28	DATA[12:15]	DO	パラレル・ポートのデータ出力バスのビット12からビット15。SER/PARがハイのときに、これらの出力はハイ・インピーダンスとなります。
29	BUSY	DO	ビジー出力。変換の開始によりハイに遷移し、変換が完了してデータが内蔵シフト・レジスタにラッチされるまでハイの状態に保持されます。BUSYの立ち下がりエッジをデータ・レディのクロック信号として使用できます。
30	DGND	P	デジタル・グラウンドに接続しておく必要があります。
31	RD	DI	リード・データ。 \overline{CS} と \overline{RD} の両方がローのときに、インターフェースのパラレルまたはシリアルの出力バスがイネーブルにされます。
32	\overline{CS}	DI	チップ・セレクト。 \overline{CS} と \overline{RD} の両方がローのときに、インターフェースのパラレルまたはシリアルの出力バスがイネーブルにされます。 \overline{CS} は外部シリアル・クロックをゲートするためにも使用できます。
33	RESET	DI	リセット入力。ロジック・ハイに設定されたときに、AD7671がリセットされます。実行中の変換は中止されます。これを使用しない場合には、このピンをDGNDに接続しておくことができます。
34	PD	DI	パワーダウン入力。ロジック・ハイの状態に設定されているときには、消費電力が低減され、実行中の変換が完了すると変換が禁止されます。
35	\overline{CNVST}	DI	変換をスタートします。 \overline{CNVST} の立ち下がりエッジで内部のサンプル/ホールドがホールド状態となり、変換が開始します。インパルス・モード (IMPULSEがハイでWARPがロー) では、アキュイジション位相 (t_8) が完了したときに \overline{CNVST} がローに保持されているときには、内部のサンプル/ホールドはホールド状態となり、直ちに変換が開始します。
36	AGND	P	アナログ・グラウンドに接続しておく必要があります。
37	REF	AI	リファレンス入力電圧。
38	REFGND	AI	リファレンスとされる入力アナログ・グラウンド。
39	INGND	P	アナログ入力グラウンド
40,41, 42,43	INA,INB, INC,IND	AI	アナログ入力。入力範囲の設定については、表Iを参照してください。

注

AI=アナログ入力

DI=デジタル入力

DI/O=双方向デジタル

DO=デジタル出力

P=電源

AD7671

仕様の定義

積分非直線性誤差 (INL)

直線性誤差とは、「負極性のフルスケール」から「正極性のフルスケール」の間を結ぶ直線からの各コードの偏差をいいます。「負極性のフルスケール」とされる点は、最初のコードの遷移から1/2LSBだけ前の点です。「正極性のフルスケール」は、最後のコードの遷移を1/2LSBだけ超えたレベルで定義されます。偏差は、各コードの中間点から真の直線の間を測定して求められます。

微分非直線性誤差 (DNL)

理想的なADCでは、コードの遷移は1LSBだけ離れています。微分非直線性は、この理想的な値からの最大の偏差をいいます。これは、しばしば、ノー・ミスコードが保証される分解能の形で指定されます。

フルスケール誤差

最後の遷移 (2の補数によるコーディングで011...10から011...11) は、公称フルスケール (±2.5Vの範囲で2.499886V) から1+1/2LSBだけ下回るアナログ電圧で発生します。フルスケール誤差は、最後の遷移の現実のレベルの理想的なレベルからの偏差をいいます。

バイポーラ・ゼロ誤差

理想的なミッドスケールの入力電圧 (0V) とミッドスケールの出力コードを与える現実の電圧の間の差異をいいます。

ユニポーラ・ゼロ誤差

ユニポーラ・モードでは、最初の遷移はアナログ・グラウンドを1/2LSBだけ上回るレベルで発生します。ユニポーラ・ゼロ誤差は、その点からの実際の遷移の偏差をいいます。

スプリアスフリー・ダイナミックレンジ (SFDR)

入力信号の振幅のrms値とピーク・スプリアス信号の差異をいいます。dBで表されます。

有効ビット数 (ENOB)

サイン波入力による分解能の測定値です。これは、次式により、 $S/(N+D)$ に関連づけられます。

$$ENOB = (S/[N+D]_{dB} - 1.76) / 6.02$$

ENOBは、ビット数で表されます。

全高調波歪み (THD)

最初の5つの高調波成分のrms値の合計値のフルスケール入力信号のrms値に対する比であり、dB値で表されます。

S/N比 (SNR)

実際の入力信号のrms値のナイキスト周波数を下回る、高調波およびDC成分を除いた他のすべてのスペクトル成分のrms値の合計値に対する比をいいます。SNRの値はdBで表されます。

信号対 (ノイズ+歪み) 比 (S/ [N+D])

実際の入力信号のrms値のナイキスト周波数を下回り高調波を含みDC成分を除いた他のすべてのスペクトル成分のrms値の合計値に対する比をいいます。S/ (N+D) の値はdBで表されます。

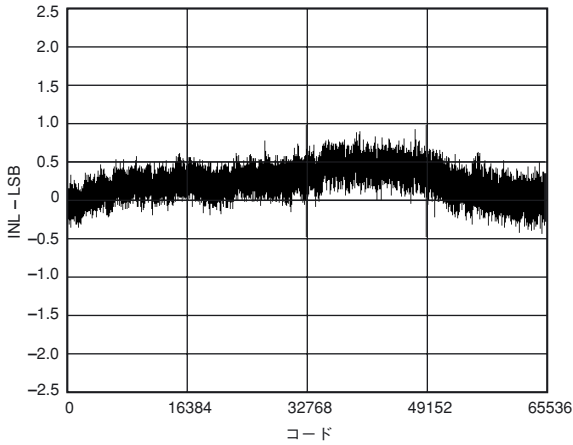
アパーチャ遅延

アクイジション特性の基準であり、 \overline{CNVST} 入力の立ち下がりがエッジから入力信号が変換のために保持される時点までの間隔を測定したものです。

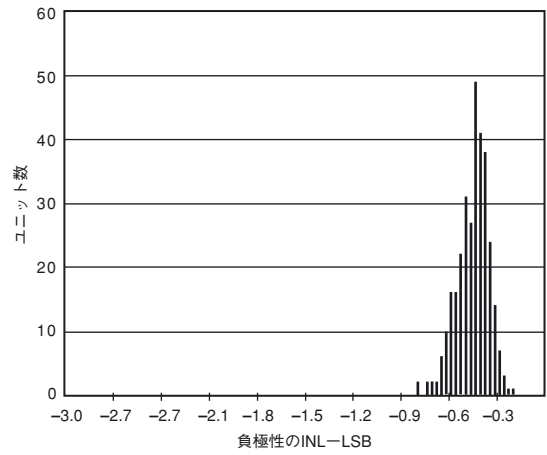
過渡応答

フルスケールのステップ関数をAD7671の入力に印加してからAD7671が定格の精度を回復するまでに必要な時間をいいます。

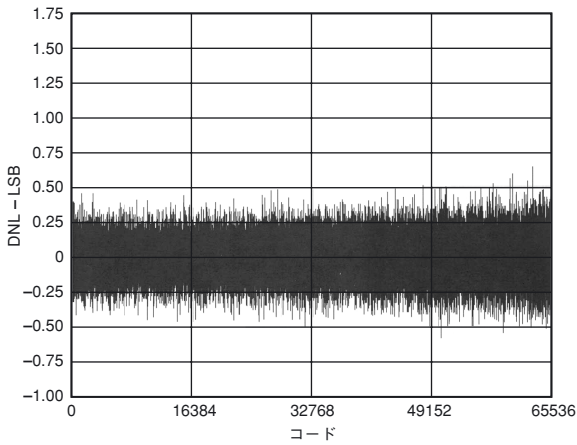
代表的な性能特性－AD7671



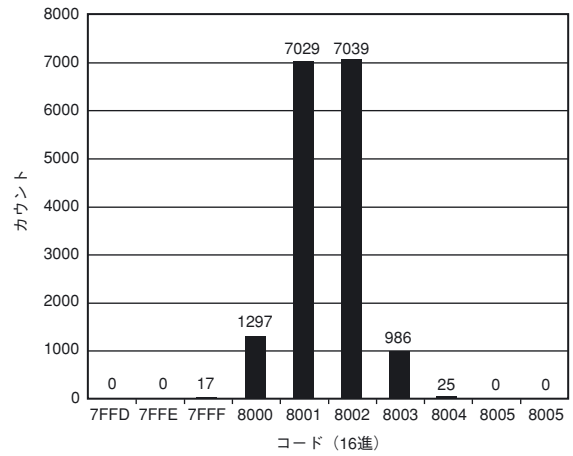
特性1 積分非直線性 対 コード



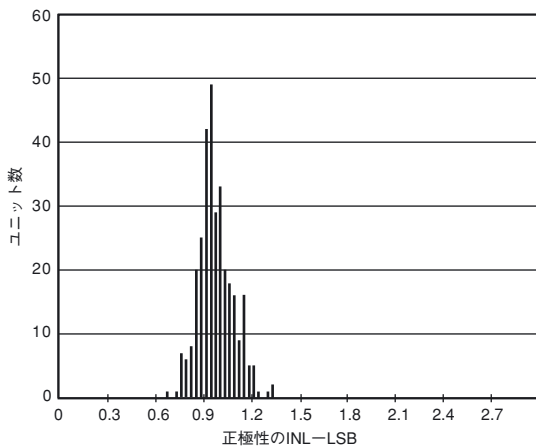
特性4 代表的な負極性の積分非直線性 (INL) の分布 (314ユニット)



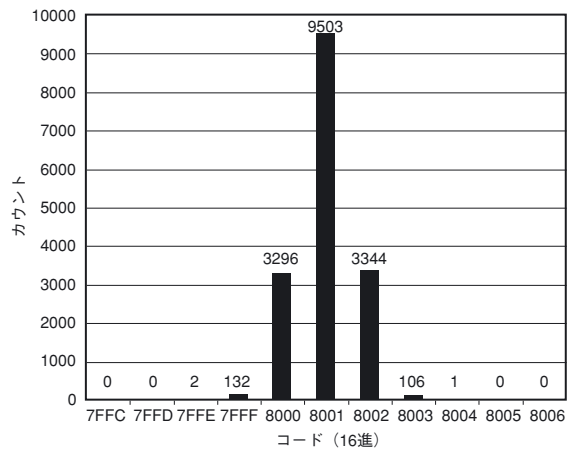
特性2 微分非直線性 対 コード



特性5 コードの遷移時におけるDC入力の16,384回の変換のヒストグラム

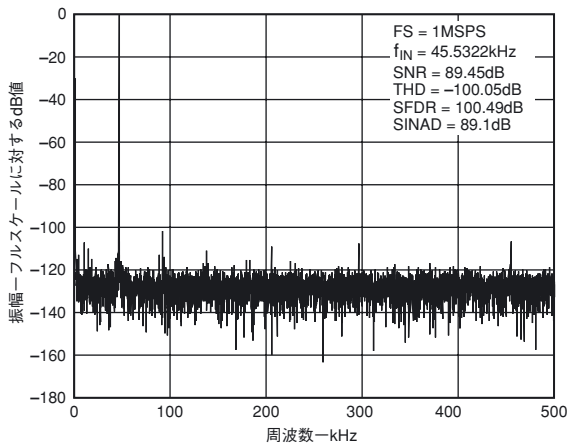


特性3 代表的な正極性の積分非直線性 (INL) の分布 (314ユニット)

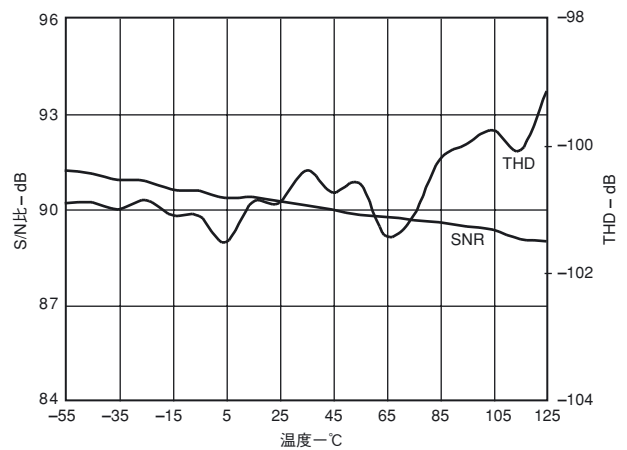


特性6 コードの midpoint におけるDC入力の16,384回の変換のヒストグラム

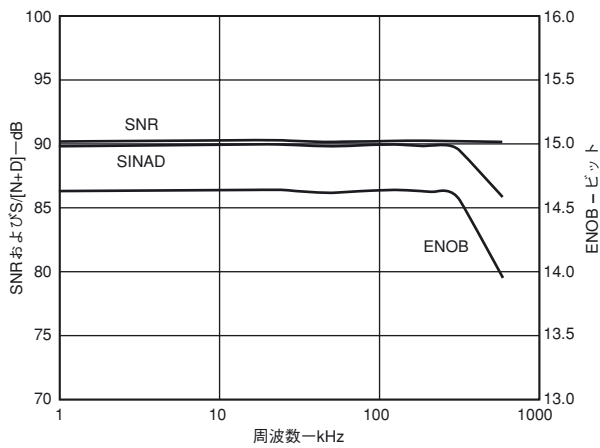
AD7671



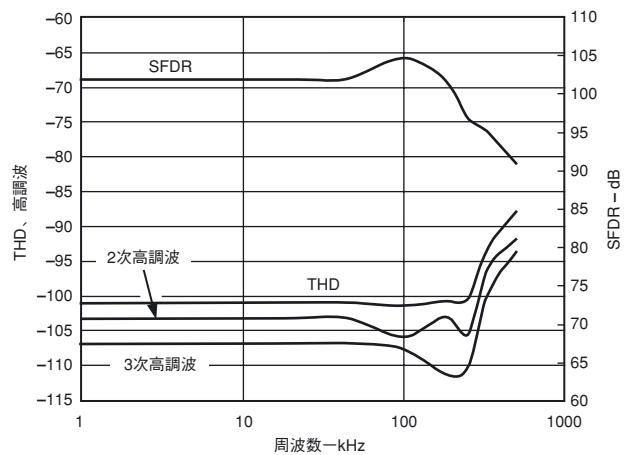
特性7 FFTの特性



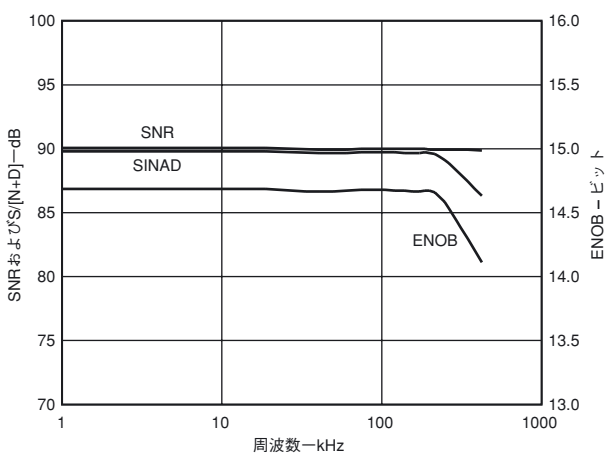
特性10 S/N比、THD 対 温度



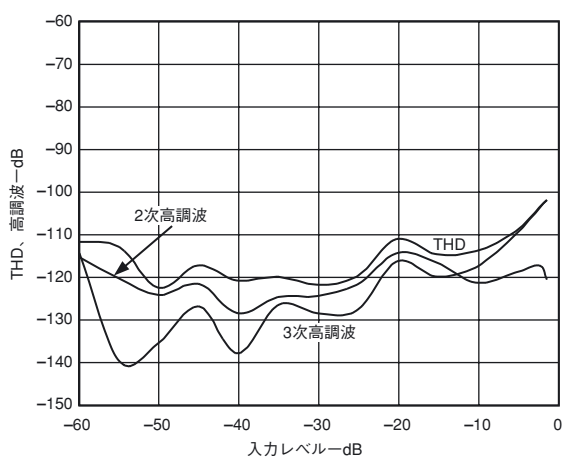
特性8 S/N比、S/ (N+D)、ENOB 対 周波数



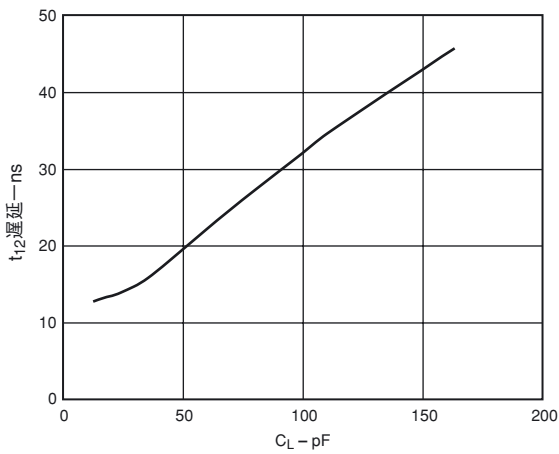
特性11 THD、高調波、SFDR 対 周波数



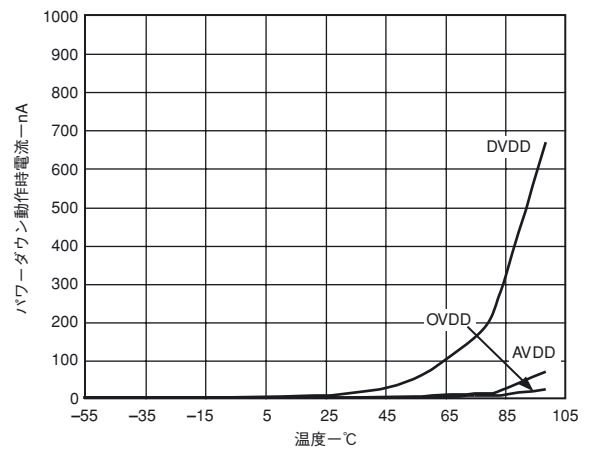
特性9 S/N比 対 入力レベル



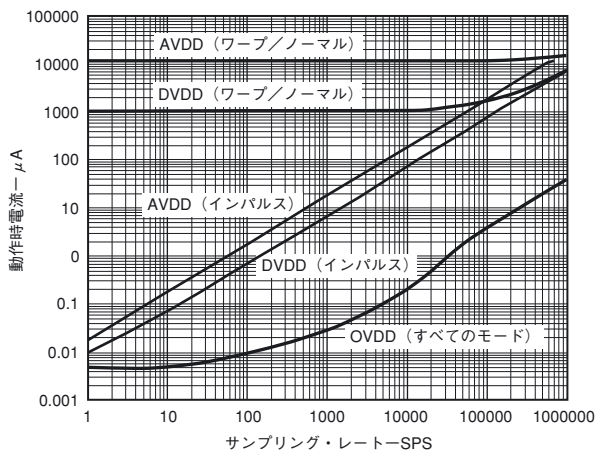
特性12 THD、高調波 対 入力レベル



特性7 FFTの特性



特性10 S/N比、THD 対 温度



特性8 S/N比、S/ (N+D)、ENOB 対 周波数

AD7671

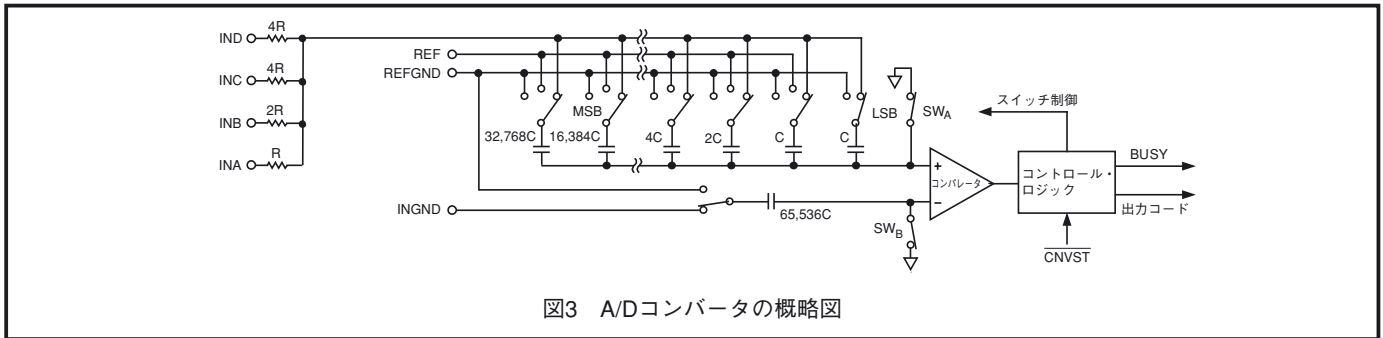


図3 A/Dコンバータの概略図

回路についての情報

AD7671は、高速、低消費電力、単電源の高精度16ビットA/Dコンバータです。AD7671は、アプリケーションに応じて動作を最適化するための複数のモードを備えています。ワープ・モードでは、AD7671は、1秒あたり1,000,000回（1 MSPS）のサンプル変換が可能です。

AD7671は、トラック/ホールド内蔵の、パイプラインまたはレイテンシのない逐次比較型のA/Dコンバータを提供し、複数のマルチプレクスされたチャンネルのアプリケーションに対し最適です。

AD7671は、抵抗性の入力スケーラを切り替えることにより、バイポーラ/ユニポーラ入力範囲で動作する仕様となっています。

AD7671は、5Vの単電源から動作し、5Vまたは3Vのデジタル・ロジックへのインターフェースが可能です。AD7671は、小型実装スペースのシリアル/パラレルの両インターフェースに設定可能な、柔軟に使用できる48ピンLQFPパッケージに収められています。AD7671は、AD7665およびAD7664からピン・コンパチブルできます。

コンバータの動作

AD7671は、電荷再配分に基づいた逐次比較型のA/Dコンバータです。図3に、このA/Dコンバータの概略図を示します。入力されたアナログ信号は、最初にスケール・ダウンされ、次いで内部の抵抗性の入力スケーラによってレベル・シフトされて、ユニポーラ範囲（0~2.5V、0~5V、0~10V）およびバイポーラ範囲（±2.5V、±5V、±10V）に対応します。抵抗性のスケーラの出力電圧範囲は、常に、0~2.5Vです。容量性のD/Aコンバータは、バイナリにより重み付けされた16個のコンデンサのアレイおよび追加される「ダミー」コンデンサにより構成されます。コンパレータの負極性の入力は、容量性のDACアレイと同じ値を持った「ダミー」のコンデンサに接続されます。

アキュイジション位相の間に、コンパレータの正極性入力に接続されたアレイの共通の端子は、SW_Aを介してAGNDに接続されます。独立したスイッチは、すべて抵抗性のスケーラ出力に接続されます。これにより、コンデンサのアレイは、サンプリング・コンデンサとして使用され、アナログ信号を取り込みます。同様に、「ダミー」のコンデンサは、INGND入力のアナログ信号を取り込みます。

アキュイジション位相が完了し、CNVST入力がローとなると、変換位相が開始します。変換位相が開始されると、まず、SW_AとSW_Bがオープンとなります。コンデンサのアレイと「ダミー」のコンデンサは、この時点で入力から切り離され、REFGND入力に接続されます。これにより、抵抗性のスケーラ出力とアキュイジション位相の終わりでキャプチャされるINGNDとの間の差動電圧がコンパレータの入力に与えられ、コンパレータはバランスを失います。

REFGNDまたはREFの間のコンデンサ・アレイの各エレメントを切り替えることにより、コンパレータの入力は、バイナリにより重み付けされた電圧ステップ（ $V_{REF}/2$ 、 $V_{REF}/4$...

$V_{REF}/65536$ ）で変化します。制御ロジックは、これらのスイッチをトグルし、MSB先頭で開始することにより、コンパレータをバランスされた状態に復帰させます。このプロセスが終了すると、コントロール・ロジックは、A/Dコンバータの出力コードを生成し、BUSY出力をローにします。

動作モード

AD7671は、ワープ、ノーマル、インパルスの3つのモードによる動作が可能です。これらの各モードにより、アプリケーションに応じて、さらに最適な動作が可能となります。ワープ・モードでは、1MSPSまでの最速の変換が可能です。しかしながら、このモードでは（このモードでのみ）、仕様規定された最高精度が保証されるのは、変換の間隔が1ms以下の場合のみです。2つの連続した変換の間隔が1msを超える場合、例えば、電源投入の後では、最初の変換結果を無視する必要があります。このモードにより、AD7671は、高精度と高速なサンプリング・レートが必要とされるアプリケーションにおいて理想的です。ノーマル・モードは、変換の間隔についていかなる制限もない最速のモード（800kSPS）です。このモードでは、AD7671は、データ・アキュイジション・システムなど高精度と高速サンプリング・レートの両方が必要とされる非同期アプリケーションにおいて理想的なものとなっています。

インパルス・モードは、消費電力が最も低いモードであり、変換の間で電力を節約します。このモードでの最大のスループットは666kSPSです。例えば、100SPSでの動作時には、通常、わずか15 μ Wを消費するに過ぎません。このような特長により、AD7671は、バッテリー駆動の機器に理想的です。

伝達関数

OB/2Cのデジタル入力を使用することにより、AD7671は、ストレート・バイナリおよび2の補数という2つの出力コーディングが可能です。図4および表IIIにAD7671の理想的な伝達関数を示します。

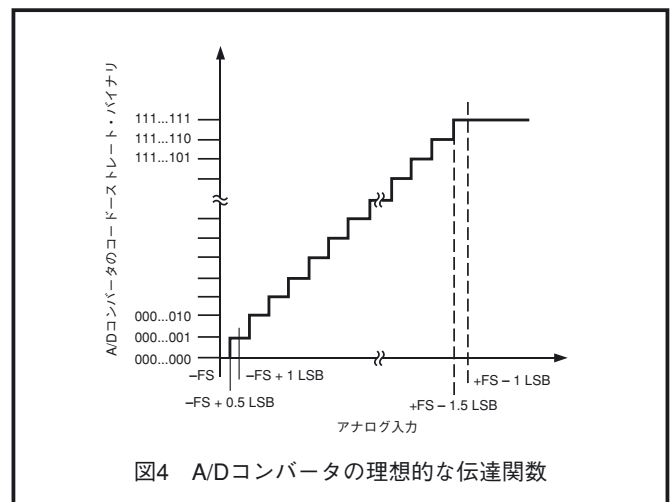


図4 A/Dコンバータの理想的な伝達関数

表III 出力コードおよび理想的な電圧

説明	アナログ入力						デジタル出力コード (16進)	
							ストレート・バイナリ	2の補数
フルスケール範囲	±10 V	±5 V	±2.5V	0~10V	0~5V	0~2.5V		
LSB (最下位ビット)	305.2 μV	152.6 μV	76.3 μV	152.6 μV	76.3 μV	38.15 μV		
FSR - 1LSB	9.999695 V	4.999847 V	2.499924 V	9.999847 V	4.999924 V	2.499962 V	FFFF ¹	7FFF ¹
ミッドスケール+1LSB	305.2 μV	152.6 μV	76.3 μV	5.000153 V	2.570076 V	1.257038 V	8001	0001
ミッドスケール	0 V	0 V	0 V	5 V	2.5 V	1.25 V	8000	0000
ミッドスケール-1LSB	-305.2 μV	-152.6 μV	-76.3 μV	4.999847 V	2.499924 V	1.249962 V	7FFF	FFFF
-FSR + 1 LSB	-9.999695 μV	-4.999847 μV	-2.499924 μV	152.6 μV	76.3 μV	38.15 μV	0001	8001
-FSR	-10 V	-5 V	-2.5 V	0 V	0 V	0 V	0000 ²	8000 ²

注

- 1 これも範囲を上回るアナログ入力のコードです。
- 2 これも範囲を下回るアナログ入力のコードです。

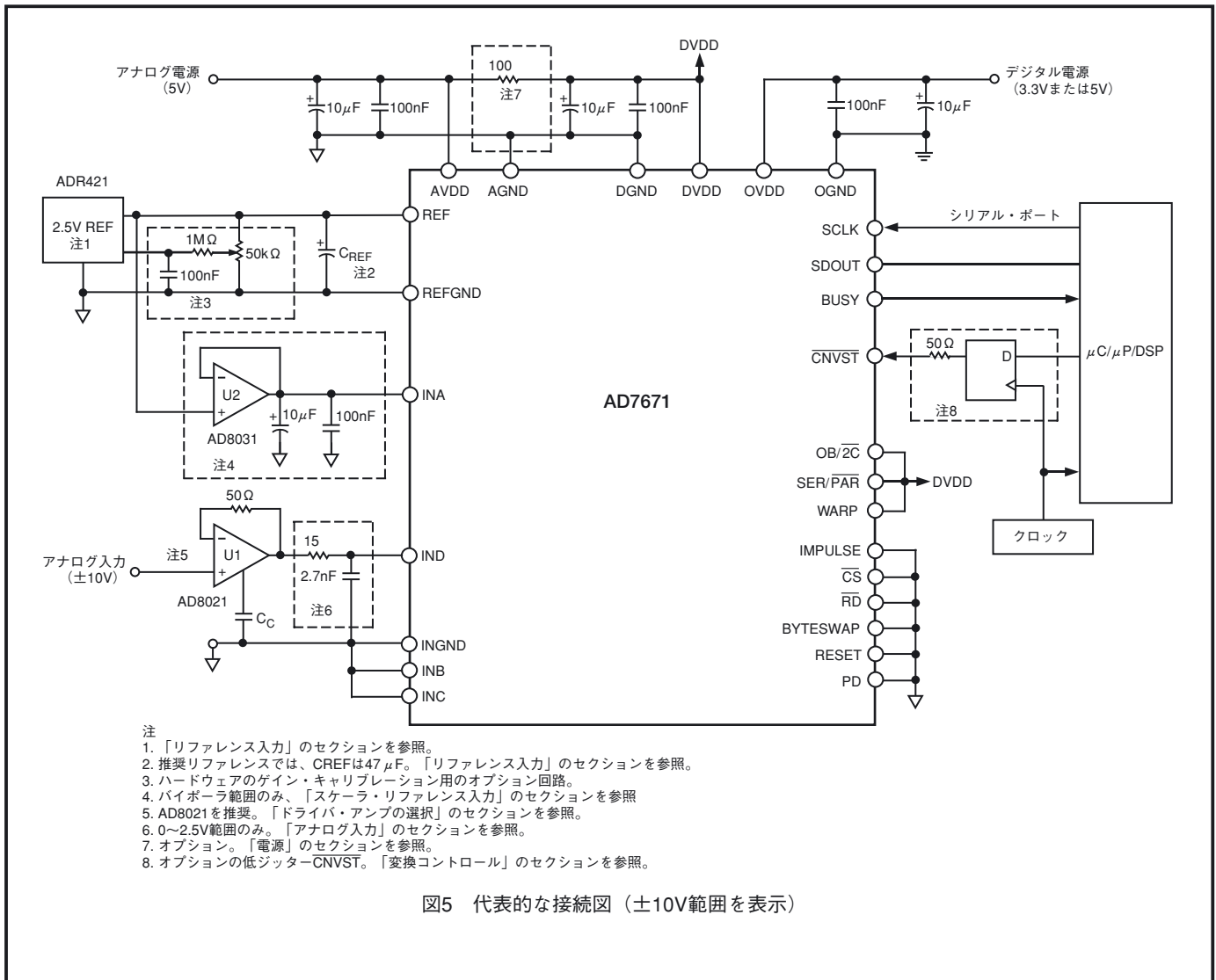


図5 代表的な接続図 (±10V範囲を表示)

AD7671

代表的な接続図

図5に、AD7671の代表的な接続図を示します。図中の異なる回路は、オプションであり、以下に解説します。

アナログ入力

AD7671は、6つのフルスケールのアナログ入力範囲で動作する仕様となっています。IND、INC、INB、INAの4つのアナログ入力のそれぞれについて必要な接続および変換結果のフルスケール範囲を表1に示します。また、各アナログ入力の入力インピーダンスのTyp値も併せて示します。

図6に、AD7671にAD7671のアナログ入力セクションの概略図を示します。

4つのアナログ入力に接続される4つの抵抗は、抵抗性のスケラを構成し、アナログ入力範囲をスケール・ダウンしてシフトし、スイッチ・コンデンサADCの入力において通常の入力範囲である0~2.5Vの間に調節します。

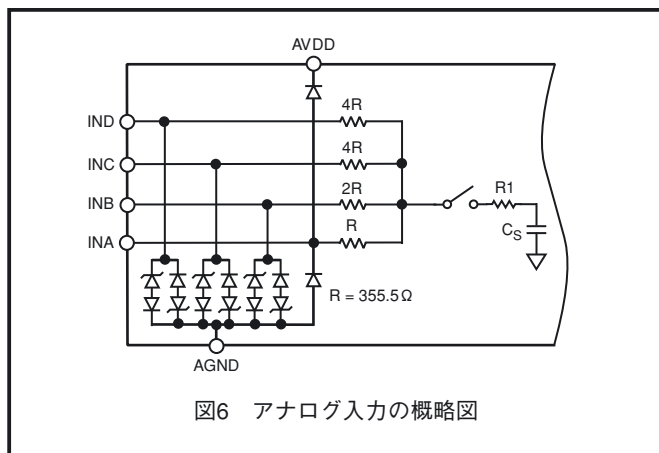


図6 アナログ入力の概略図

INA、INB、INC、INDの4つの入力を入力信号自体を、グラウンドあるいは2.5Vリファレンスに接続することにより、他のアナログ入力範囲を得られます。

図6に示すダイオードは、4つのアナログ入力をESDから保護します。INB、INC、INDの入力は、高電圧(-11~+30V)から保護されており、広い入力信号範囲に対応しています。INA(0~5V)を含むアナログ入力信号が、絶対定格を超えないように注意してください。これにより、ダイオードは順方向にバイアスされて通電が始まります。これらのダイオードは、最大120mAの順方向のバイアス電流を扱えます。例えば、入力範囲が0~2.5Vのとき、入力バッファ(U1)の電源がAVDDと異なるときに、INA入力がこれらの状態になる場合があります。この場合には、短絡電流を制限できる入力バッファを用いて、部品を保護できます。

このアナログ入力の構造により、抵抗性のスケラ出力とINGNDの間の差動信号のサンプリングが可能となります。他のコンバータと異なり、INGND入力は、入力と同時にサンプリングされます。この差動入力を用いることにより、両方の入力に共通する小信号は、図7に示すように拒絶され、これが周波数に対するCMRRのTyp値となります。例えば、遠い信号グラウンドを検出するためにINGNDを使用すると、センサーとローカルなA/Dコンバータのグラウンドの電圧の差異を除去できます。AC信号のアクイジション位相の間では、AD7671は抵抗性のR/2とR1およびCSを直列に接続したのと等価な抵抗で構成される1つの極を持ったRCフィルタのように動作します。抵抗R1は、通常、100Ωであり、いくつかの直列抵抗とスイッチのオン抵抗によって構成される1つの部品のようになります。

コンデンサCsは、通常60pFであり、主にADCのサンプリング・コンデンサとなります。この単極のフィルタは、通常9.6MHzの-3dBカットオフ周波数を持っており、不要なエイリアス効果を低減し、入力からのノイズを制限します。

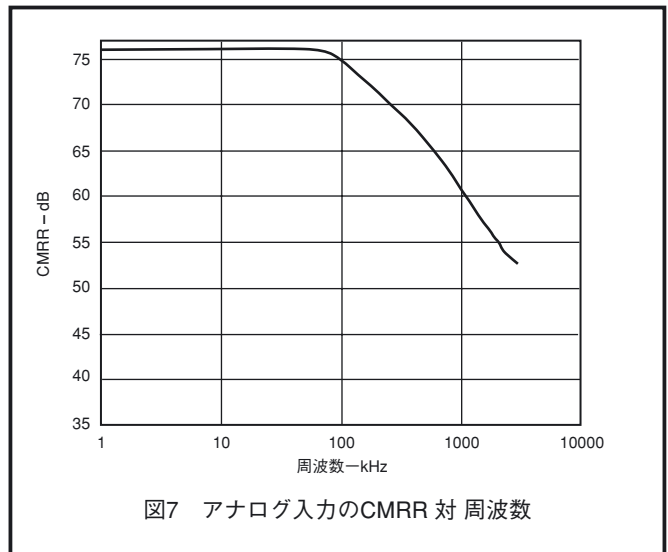


図7 アナログ入力のCMRR 対 周波数

0~2.5Vのアナログ入力電圧範囲を使用する場合を除き、AD7671は、ゲイン誤差を防止するために、極めてインピーダンスの低いソースでドライブしてください。これは、ドライバ・アンプを用いて行うことができますが、主にAD7671の抵抗性のアナログ入力により、選択が簡単に行えます。

0~2.5Vのアナログ入力電圧範囲を用いるときには、AD7671の入力インピーダンスが非常に高いため、低インピーダンスのソースによりゲイン誤差なく直接ドライブできます。これにより、図5に示すように、1つの極を持った外付けのRCフィルタをアンプ出力とA/Dコンバータのアナログ入力に接続することにより、AD7671のアナログ入力回路によるノイズのフィルタリングを、さらに強化できます。しかし、ソース・インピーダンスは低く抑えなければなりません、AC特性、特に全高調波歪みに影響するためソース・インピーダンスの最大値は、全高調波歪みの合計値の許容量によって定まります。THDの劣化は、図8に示すように、ソース・インピーダンスと最大入力周波数の関数となります。

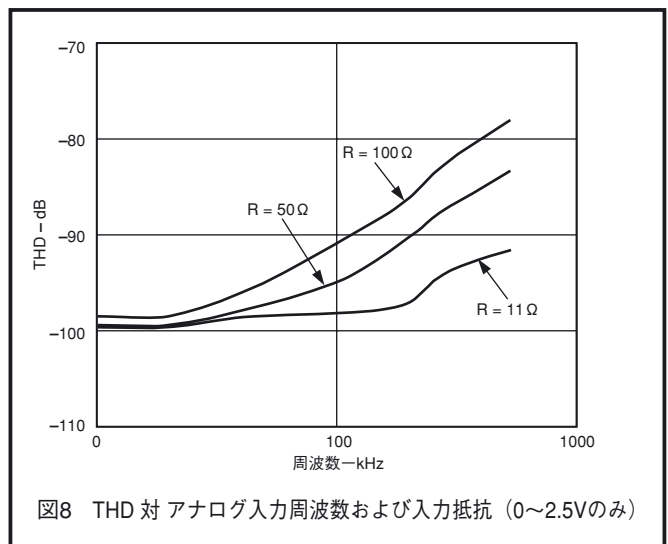


図8 THD 対 アナログ入力周波数および入力抵抗 (0~2.5Vのみ)

ドライバ・アンプの選択

AD7671は簡単にドライブできますが、ドライバ・アンプは以下の要求事項に適合する必要があります。

- ・ドライバのアンプおよびAD7671のアナログ入力回路は、両方ともフルスケール・ステップのコンデンサ・アレイで16ビットのレベル（0.0015%）で整定できるものでなければなりません。アンプのデータ・シートでは、0.1～0.01%で整定する仕様が一般的ですが、これは、16ビット・レベルでのセトリング時間とはほど遠く、ドライバの選定の際には、この点を確認する必要があります。小型のオペアンプAD8021は、非常に低いノイズと高ゲインの帯域幅を併せ持ち、13までの高ゲインで使用するときにも、このセトリング時間の要求事項に適合しています。
- ・ドライバ・アンプによって生成されるノイズは、AD7671のS/N比および遷移ノイズの特性を保持するために、できる限り低く抑える必要があります。ドライバからのノイズは、まず、使用されるアナログ入力範囲に応じて抵抗性のスケラでスケール・ダウンされ、次に、1つの極を持つAD7671のアナログ入力回路および $(R2/2+R1)$ と C_S によって構成されるローパス・フィルタによってフィルタ処理されます。アンプによるS/N比の劣化は次式の通りです。

$$SNR_{LOSS} = \text{LOG} \left(\frac{28}{\sqrt{784 + \frac{\pi}{2} f_{-3dB} \left(\frac{2.5 N e_N}{FSR} \right)^2}} \right)$$

ここで、

f_{-3dB} はAD7671の-3dB入力帯域幅（9.6MHz）をMHzの単位で表したものの、または、入力フィルタが使用される場合にはカットオフ周波数（0～2.5Vの範囲）。

N は、アンプのノイズ係数（バッファを用いた構成では1）。 e_N は、オペアンプの等価入力ノイズ電圧を $nV/\sqrt{\text{Hz}}$ で表したものの。

FSR は、フルスケール・スパン（±2.5Vでは5V）です。

例えば、0～5Vの範囲を使用するときには、AD8021などのドライバ（等価入力ノイズ $2nV/\sqrt{\text{Hz}}$ 、バッファとして使用）では、ノイズ・ゲインは1でS/N比の劣化は0.08dBに過ぎません。

- ・ドライバは、AD7671に適合したTHD特性を持っている必要があります。特性8にドライバの望ましい「THD 対 周波数」を示します。

AD8021は、これらの要求事項に適合しており、ほとんどすべてのアプリケーションに適しています。AD8201は、10pFの外付けの補償コンデンサを必要とします。このコンデンサは、NPOセラミックまたはマイカ・タイプのように直線性が良好なものとします。

デュアル・バージョンが必要でゲインを1として使用する場合には、AD8022を使用することもできます。

高周波（100kHzを超える）での動作が不要な場合には、AD829を使用することもできます。ゲインが1の場合には、82pFの補償コンデンサが必要となります。

低周波のアプリケーションで低いバイアス電流が必要とされる場合には、AD8610を使用することもできます。

リファレンス入力

AD7671は、外付けの2.5Vリファレンスを使用します。AD7671のリファレンス入力REFは、ダイナミックな入力インピーダンスを持っています。このため、低インピーダンスの

ソースによりドライブし、REFとREFGNDの入力の間で効率的なデカップリングをする必要があります。このデカップリングは、リファレンスの選択によって異なりますが、大抵は、低いESRのタンタル・コンデンサをREFとREFGNDの入力に接続し、寄生インダクタンスを最小化する必要があります。推奨するリファレンス電圧のいずれかを用いる場合には、 $47\mu\text{F}$ のタンタル・コンデンサを使用することが適当です。

- －ローノイズ、低温度ドリフトのADR421またはAD780リファレンス
- －低消費電力のADR291リファレンス
- －ローコストのAD1582リファレンス

複数のAD7671を使用するアプリケーションでは、AD8031などローノイズで極めて安定したオペアンプでリファレンス電圧をバッファすることが、より効果的です。

リファレンスのリファレンス温度係数は、フルスケール精度に直接影響を与えることがあるため、この値に注意を払う必要があります。例えば、リファレンスの温度係数が $\pm 15\text{ppm}/\text{C}$ であるときには、フルスケールで $\pm 1\text{LSB}/\text{C}$ の誤差が生じます。

スケラ・リファレンス入力（バイポーラ入力範囲）

AD7671をバイポーラの入力範囲で使用するときには、図5の接続図にリファレンス・バッファ・アンプが使用されています。

このバッファ・アンプは、AINピンの信号に依存する電流からREFINピンを隔離するために必要とされます。AD8031のような高速のオペアンプは、AD7671の特性を劣化させることなく、5Vの電源で使用できます。このバッファは、良好なセトリング特性を持ったものでなければならず、AD7671の入力帯域幅でのノイズの合計値が小さなものでなければなりません。

電源

AD7671は、アナログ5V電源AVDD、デジタル・コア電源DVDD、デジタル入/出力インターフェース電源OVDDの3つの電源ピンのセットを備えています。OVDD電源は、2.7Vから5.25Vの間で動作するすべてのロジックとの直接のインターフェースを可能とします。必要とされる電源の数を少なくするため、図5に示すように、デジタル・コア（DVDD）を簡単なRCフィルタを介してアナログ電源から引き込むことができます。AD7671は電源のシーケンス処理の影響を受けないため、電源電圧によるラッチアップがしません。さらに、図9に示すように、広い帯域幅にわたり、電源の変動の影響をほとんど受けません。

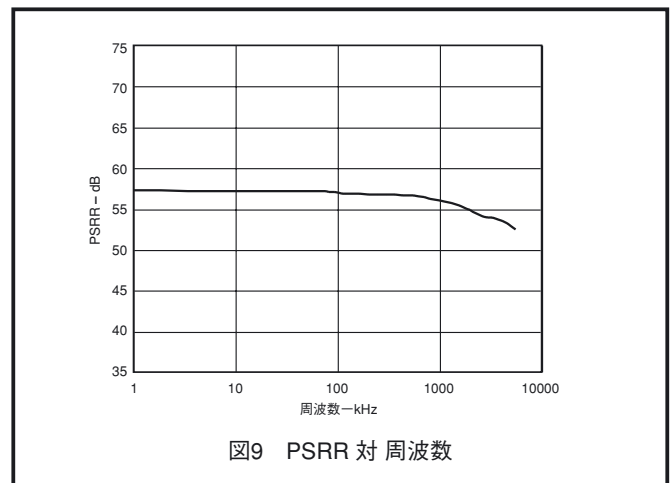


図9 PSRR 対 周波数

AD7671

消費電力

インパルス・モードでは、AD7671は各変換位相の終わりで自動的に消費電力を低減します。アキュイジション位相の間では、動作電流は非常に小さいため、図10に示すように変換レートが低くされた場合には、消費電力を大幅に節約できます。この機能により、AD7671は省電力のバッテリー駆動アプリケーションに好適です。

これは、使用される入力電圧範囲や、パワーダウン・モードでのアナログ入力電圧に依存する入力抵抗性のスケーラによって消費される電力電力は考慮していません。0~2.5V範囲が使用され、または、アナログ入力電圧が0Vであって、0~5Vまたは0~10Vのユニポーラ範囲が使用される場合には、電力は消費されません。

アキュイジション位相においても、デジタル・インターフェースがアクティブなままであることに注意してください。動作時のデジタル電源電流をさらに低減するためには、デジタル入力を電源レール (DVDDおよびDGND) の近くでドライブし、OVDDがDVDDを0.3V以上上回らないようにする必要があります。

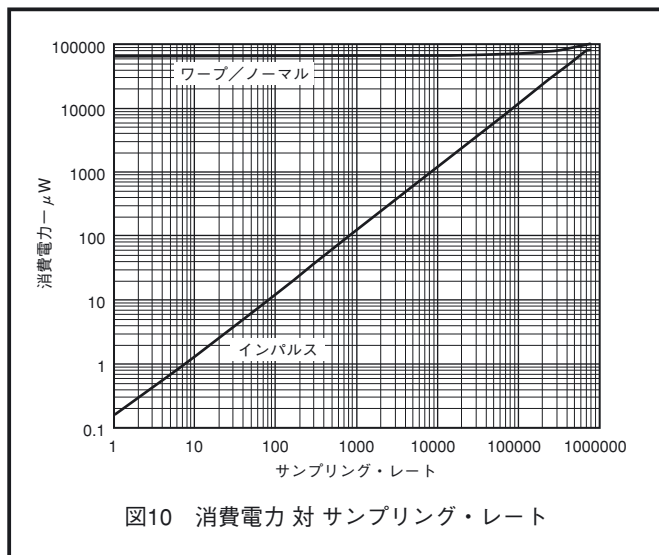


図10 消費電力対 サンプリング・レート

変換制御

図11に、変換プロセスの詳細なタイミング図を示します。AD7671は、信号 $\overline{\text{CNVST}}$ によってコントロールされ、これにより、変換が開始する。いったん開始されると、変換が完了するまでは、たとえパワーダウン入力PDによっても、変換の再開または中止をすることはできません。 $\overline{\text{CNVST}}$ 信号は、 $\overline{\text{CS}}$ および $\overline{\text{RD}}$ の信号とは独立して動作します。

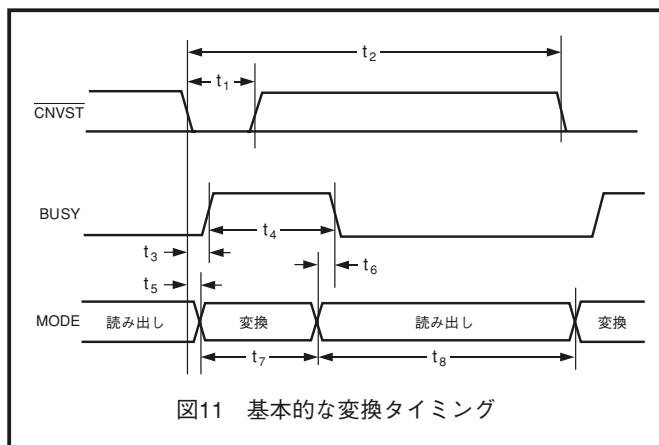


図11 基本的な変換タイミング

インパルス・モードでは、変換は自動的に開始します。 $\overline{\text{BUSY}}$ がローのときに $\overline{\text{CNVST}}$ がローに保持されると、AD7671は、アキュイジション位相を制御し、次に自動的に新しい変換を開始します。 $\overline{\text{CNVST}}$ をローに保持すると、AD7671は、それ自体により変換プロセスを続行します。 $\overline{\text{BUSY}}$ がローとなる時点でアナログ入力が入力安定している必要があることに注意してください。また、パワーアップの時点で、 $\overline{\text{CNVST}}$ をいったんローにして変換プロセスを開始させる必要があります。このモードでは、AD7671はインパルス・モードの保証されている限界である666kSPSよりわずかに高速で動作可能な場合もあります。このような機能は、ワープまたはノーマル・モードにはありません。

$\overline{\text{CNVST}}$ はデジタル信号ですが、高速でエッジが整っており、各レベルでのオーバーシュート、アンダーシュート、リングングが最小限となるように、特別の配慮が必要となります。 $\overline{\text{CNVST}}$ の経路をグラウンドによりシールドして、小さな値 (例: 50Ω) の抵抗終端を、経路をドライブする部品の出力の近くに設置すると良いでしょう。

S/N比が重視されるアプリケーションでは、 $\overline{\text{CNVST}}$ 信号のジッターを非常に小さくする必要があります。このための対策としては、 $\overline{\text{CNVST}}$ の生成に専用の発振器を用いるか、少なくとも図5に示すように高周波でジッターの少ないクロックで動作させることが挙げられます。

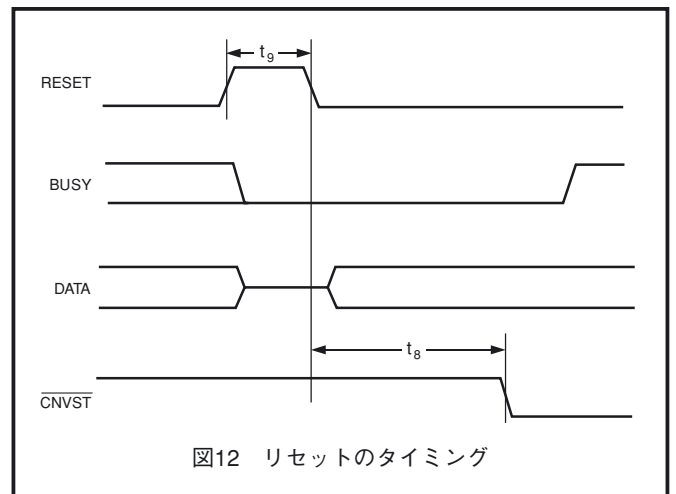
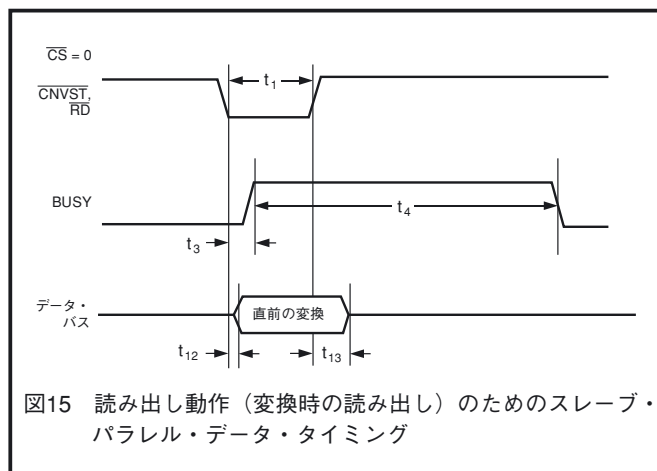
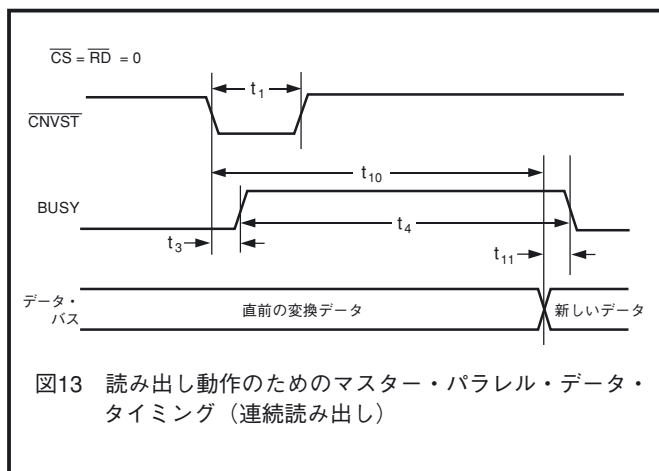


図12 リセットのタイミング

デジタル・インターフェース

AD7671は多様なデジタル・インターフェースを備えており、シリアル/パラレルのインターフェースを介してホスト・システムとのインターフェースを確立します。シリアル・インターフェースは、パラレル・データ・バスの上でマルチプレクスされます。また、AD7671のデジタル・インターフェースは、AD7671のOVDD電源ピンをホスト・システムのインターフェースのデジタル電源に接続するだけで、3Vと5Vの両電圧を取り扱えます。最後に、OB/2C入力ピンを使用して、ストレート・バイナリと2の補数によるコーディングの両方を使用できます。

$\overline{\text{CS}}$ および $\overline{\text{RD}}$ の2つの信号がインターフェースを制御します。少なくとも一方の信号がハイのときに、インターフェースの出力はハイ・インピーダンスになります。通常、 $\overline{\text{CS}}$ は複数の回路を持つアプリケーションでAD7671を個別に選択するために用いられ、1つのAD7671によって構成された回路ではローに保持されます。 $\overline{\text{RD}}$ は、一般的には、データ・バスの上で変換結果をイネーブлにするために使用されます。

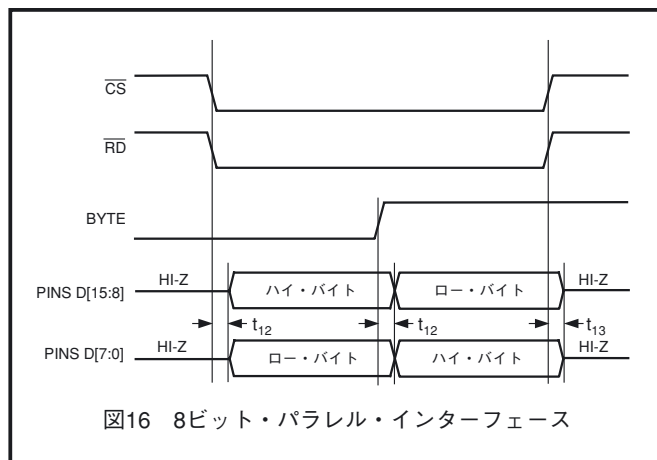
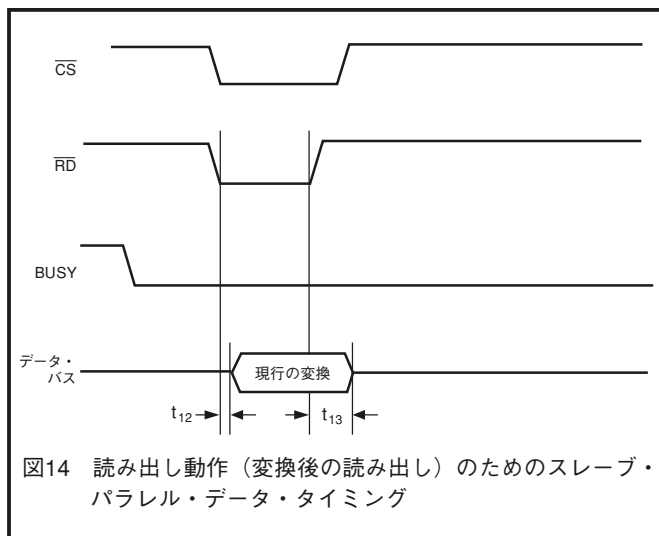


パラレル・インターフェース

AD7671は、SER/PARがローに保持されている間はパラレル・インターフェースを使用するように設定されています。データは、変換の後で次のアクイジション位相の間、または、次の変換の間に読み出しできますが、その状態をそれぞれ図14と図15に示します。しかし、変換の間にデータを読み出す時は、変換位相の前半で読み出すことを推奨します。これにより、デジタル・インターフェースにおける電圧の遷移と、最も微妙なアナログ変換の回路の間で起こりうるフィードスルーを防止できます。

BYTESWAPピンによって、8ビット・バスとの間で直接インターフェースを確立できます。

図16に示すように、BYTESWAPがローのときにLSB側のバイトはD[7:0]に出力され、MSB側のバイトはD[15:8]に出力されます。BYTESWAPがハイのときには、LSB側とMSB側のバイトが入れ替えられ、LSB側はD[15:8]に出力され、MSB側はD[7:0]に出力されます。BYTESWAPをいずれかのアドレス・ラインに接続することにより、16個のデータ・ビットを、D[15:8]またはD[7:0]のいずれかで2バイトとして読み出せます。



AD7671は、SER/PARがハイに保持されている間は、シリアル・インターフェースを使用するように設定されています。AD7671は、16ビットのデータをMSB先頭でSDOUTピンに出力します。このデータは、SCLKピンに与えられる16個のクロック・パルスに同期します。出力データは、データ・クロックの立ち上がり／立ち下りの両方のエッジで有効となります。

AD7671

マスター・シリアル・インターフェース 内部クロック

AD7671は、EXT/INTピンがローに保持されている間に、シリアル・データ・クロックSCLKを生成し供給するように設定されています。また、SYNC信号を生成して、シリアル・データが有効であることをホストに対して示します。シリアル・クロックSCLKおよびSYNC信号は必要に応じて反転できます。RDC/SDINの入力に応じて、データが各変換の後または変換中に読み出されます。図17および図18に、これらの2つのモードにおける詳細なタイミング図を示します。通常は、AD7671は高速なスループットで使用されるため、

マスター・モードで変換中に読み出すことが、可能な限り最も推奨されるシリアル・モードです。変換中に読み出すモードでは、シリアル・クロックおよびデータは、デジタル処理と微妙な変換の決定の間で起こりうるフィード・スルーの可能性を最小化するために、適当な時点でトグル動作を実行します。変換後に読み出すモードでは、他のモードとは異なり、16個のデータ・ビットがパルス出力されて、BUSY信号の幅を広くする変換位相の終わり以外で、BUSY信号がローに復帰することに注意する必要があります。

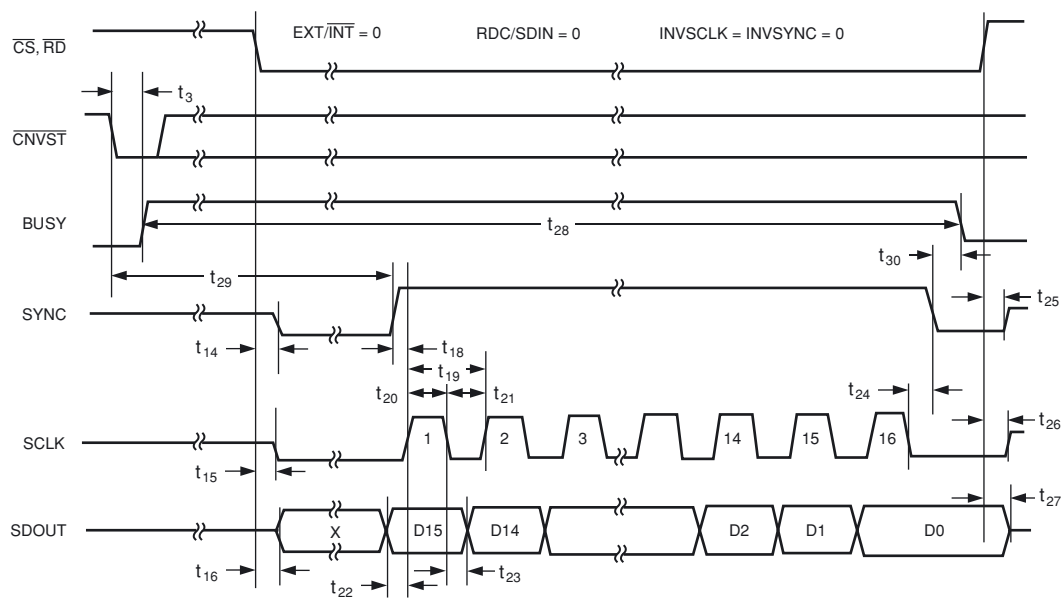


図17 読み出し動作のためのマスター・シリアル・データ・タイミング (変換後に読み出し)

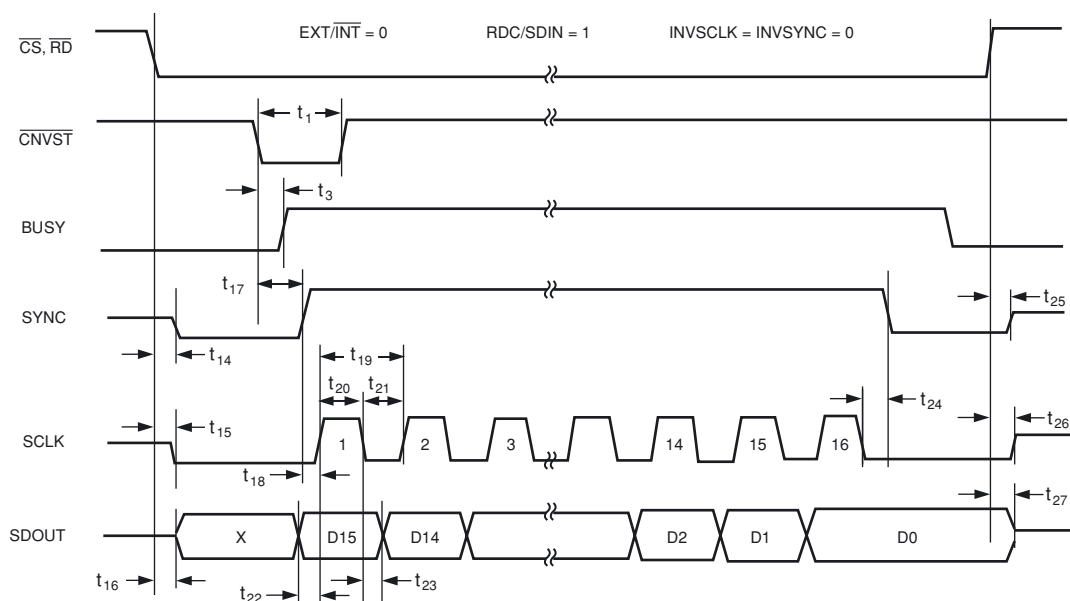


図18 読み出し動作のためのマスター・シリアル・データ・タイミング (変換中に直前の変換結果を読み出し)

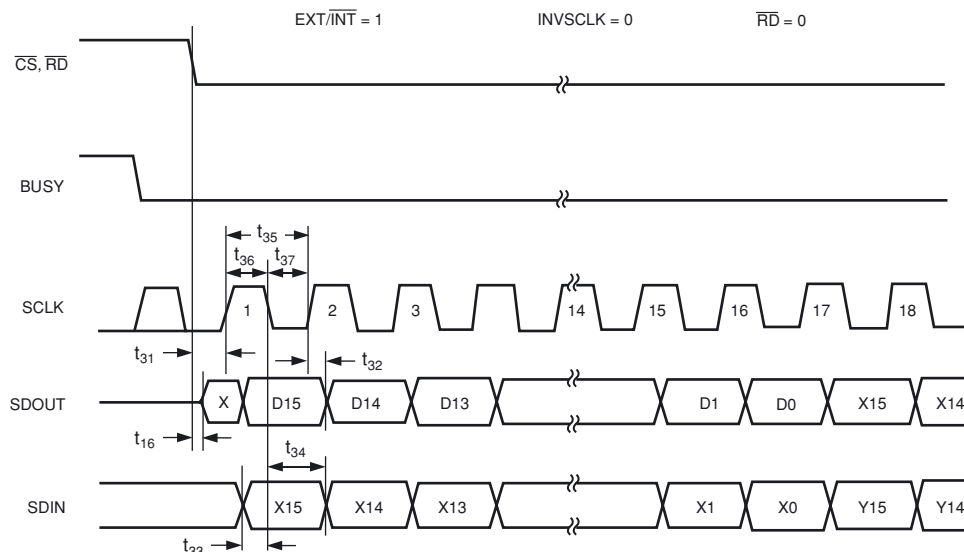


図19 読み出し動作のためのスレーブ・シリアル・データ・タイミング (変換後に読み出し)

スレーブ・シリアル・インターフェース 外部クロック

AD7671は、EXT/INTピンがハイに保持されているときに外部から供給されるシリアル・データ・クロックをSCLKピンで受け入れるように設定されています。このモードでは、データを読み出すためのいくつかの方法があります。外部シリアル・クロックは \overline{CS} によってゲートされ、 \overline{CS} とRDの両方がローのときにデータが出力されます。これにより、 \overline{CS} の状態によって、各変換の後、または、次の変換中に読み出せます。外部クロックは、連続でも不連続でもかまいません。不連続なクロックは、アクティブでないときは、通常ハイまたは通常ローとできます。図19および図21に、これらの方法による詳細なタイミング図を示します。

AD7671がビットの決定を行う間では、デジタルの入/出力のピンで電圧の遷移が起こらないようにすることが重要です。これは、このような遷移によって変換結果が劣化する場合があるためです。AD7671は、変換位相の前半におけるビットの判定の誤りを訂正する回路を持っているため、変換位相の後半で電圧の遷移を防ぐことが特に重要となります。このため、外部クロックが与えられているときに、BUSYがローのときにのみ不連続なクロックをトグル動作させるか、さらに、BUSYがハイとなっている期間の後半で遷移を防止することが重要です。

変換後の不連続な外部クロックによるデータ読み出し

このモードでは、最大のスループットは達成できませんが、シリアル・スレーブ・モードでは最も推奨されます。図19に、この方法における詳細なタイミング図を示します。変換が終了すると、BUSYがローに戻って終了を示し、 \overline{CS} とRDの両方がローである間にその変換結果を読み出せます。データは、16個のクロック・パルスにより、MSB先頭でシフト出力され、このクロックの立ち上がりおよび立ち下りのエッジでデータが有効となります。

この方法による利点は、変換のプロセスの間でデジタル・インターフェースでの電圧の遷移がないため、変換の特性

が劣化しないことです。もう一つの利点は、データを40MHzまでの任意の速度で読み出すことができるため、低速なデジタル・ホスト・インターフェースと最速のシリアル読み出し動作の両方に対応できることです。

最後の利点としては、このモードでのみ、RDC/SDIN入力ピンを使用して複数のコンバータを縦続させて1つにまとめられます。AD7671を「デジィー・チェーン」で動作させることができます。この機能は、例えば、隔離された複数のコンバータを用いたアプリケーションにおいて、必要に応じて構成部品数と配線数を減らすことができる点で有効です。

図20に、2つのデバイスを接続した例を示します。共通のCNVST信号を使用することにより、同時にサンプリングを実行できます。RDC/SDINの入力は、データをSDOUTにシフト出力するSCLKのエッジの反対側のエッジでラッチされることに注意してください。このため、MSBの「アップストリーム」のコンバータのMSBは、すぐ次のSCLKサイクルで「ダウンストリーム」のコンバータのLSBに続くこととなります。

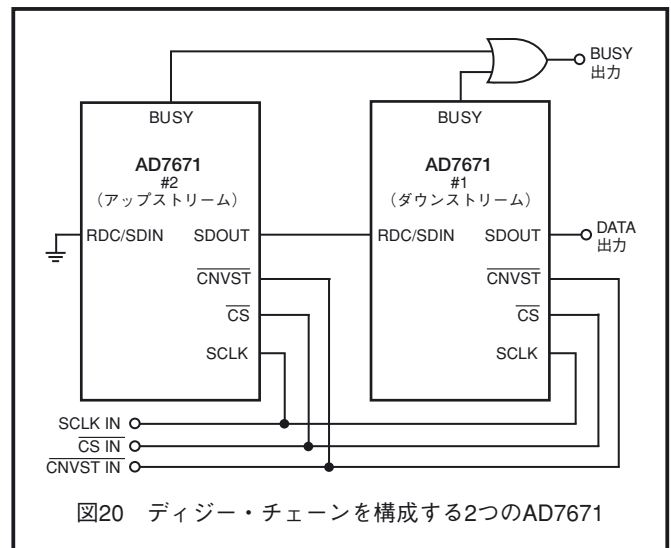
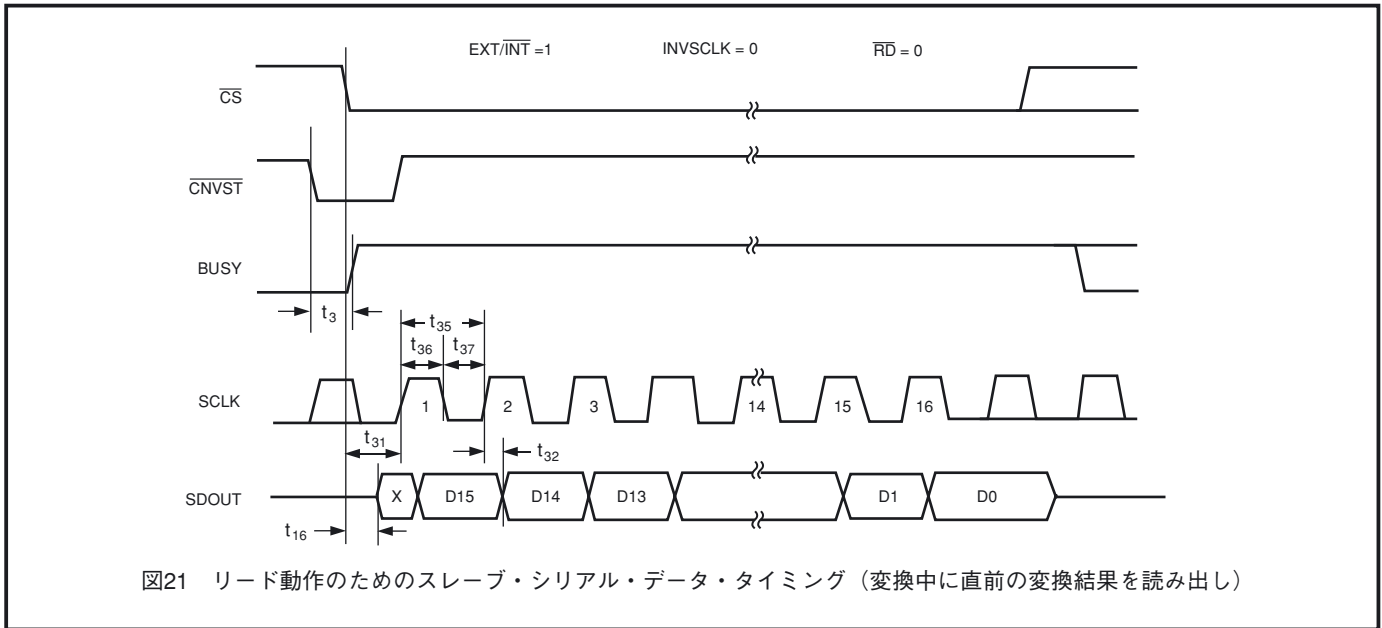


図20 デジィー・チェーンを構成する2つのAD7671

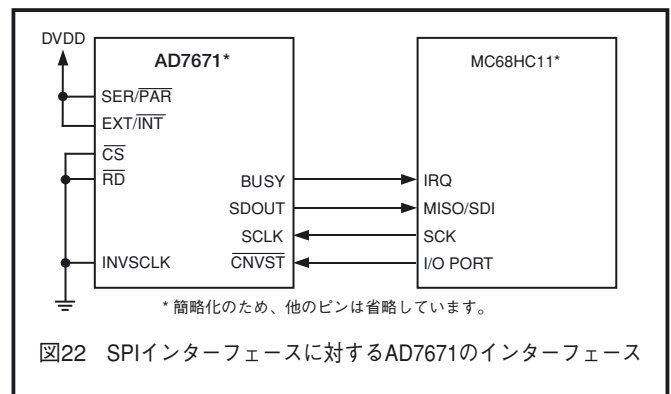
AD7671



変換中の外部クロックによるデータ読み出し
 図21に、この方法による詳細なタイミング図を示します。変換の間では、 \overline{CS} と \overline{RD} の両方がローのときに、直前の変換結果を読み出せます。データは、MSB先頭で16個のクロック・パルスによってシフト出力され、クロックの立ち上がり／立ち下りのエッジの両方で有効となります。カレントの変換が完了する前に16ビットを読み出す必要があります。このような読み出しが行われない場合には、 $\overline{RDERROR}$ にハイのパルスが出力され、これにより、ホスト・インターフェースに割り込みを発生させて、不完全なデータ読み出し動作を防止できます。このモードには「ディジー・チェーン」の機能がなく、 $\overline{RCD}/\overline{SDIN}$ の入力をハイまたはローのいずれかに接続しておく必要があります。デジタル処理による特性の劣化を防ぐため、インパルス・モードでは少なくとも25MHz、ノーマル・モードでは少なくとも32MHz、ワープ・モードでは少なくとも40MHzの高速で不連続なクロックを与えて、変換位相の前半ですべてのビットが読み出されるようにすることを推奨します。また、データの変換後にデータ読み出しを開始でき、新しい変換が開始された後もデータ読み出しを続行できます。これにより、インパルス・モードでは18MHz、ノーマル・モードでは21MHz、ワープ・モードでは26MHzの低速のクロックを使用できます。

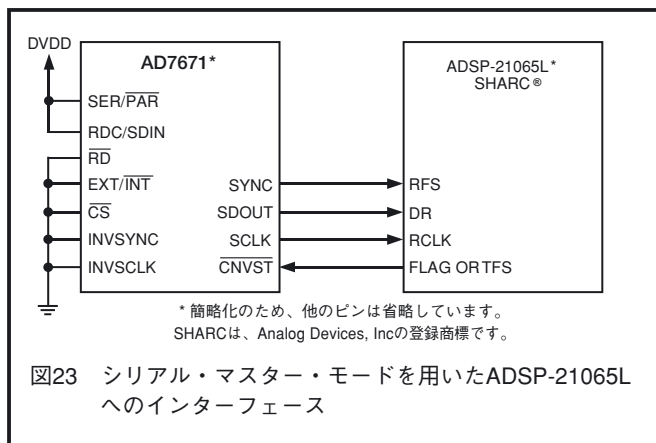
マイクロ・プロセッサとのインターフェース
 AD7671は従来のDC計測のアプリケーションでマイクロプロセッサをサポートする用途や、デジタル・シグナル・プロセッサ (DSP) にインターフェースするAC信号処理のアプリケーションに最適です。AD7671は、パラレルの8/16ビット幅のインターフェース、マイクロコントローラの汎用のシリアル・ポートまたはI/Oポートのいずれにもインターフェースできるように設計されています。さまざまな外部バッファをAD7671と組み合わせて使用することにより、デジタル・ノイズがA/Dコンバータにカップリングすることを防止できます。次のセクションでは、AD7671を、SPI (Serial Peripheral Interface) を装備したマイクロコントローラ、ADSP-21065LおよびADSP-218xの各シグナル・プロセッサと組み合わせて使用する方法を解説します。

SPIインターフェース (MC68HC11)
 図22に、AD7671とSPIを装備したMC68HC11のようなマイクロ・コントローラとのインターフェースを示します。より低速なマイクロコントローラに対応するために、AD7671は、スレーブのデバイスとして動作し、変換後にデータを読み出す必要があります。また、このモードでは「ディジー・チェーン」の機能を使用できます。変換のコマンドは、内部のタイマー割り込みに応じて開始させられます。出力データの読み出し動作は、必要に応じて、マイクロコントローラの割り込みラインを用いた変換終了信号 (BUSYがローに遷移) に応じて、1バイトずつの読み出し動作を開始できます。MC68HC11のシリアル・ペリフェラル・インターフェース (SPI) は、SPIコントローラ・レジスタ (SPCR) への書き込みにより、マスター・モード (MSTR) =1、クロック極性ビット (CPOL) =0、クロック位相ビット (CPHA) =1、SPI割り込みイネーブル (SPIE) =1に設定されます。IRQは、エッジ動作 (OPTIONレジスタでIRQE=1) に設定されています。



ADSP-21065によるマスター・シリアル・インターフェース
 図23に示すように、AD7671は、マスター・モードのシリアル・インターフェースを使用することにより、ロジック回路を追加することなくADSP-21065Lとのインターフェースを確立できます。このモードは、結線の数を減らし、データを変換中または変換後に最高速で転送 ($\overline{DIVSCLK}=[0:1]$ の両方がロー) するという利点を併せ持っています。

AD7671は、内部クロック・モード（EXT/INTがロー）に設定されているため、マスター・デバイスとして動作します。変換コマンドは、ジッターが小さい外部の発振器、以下に示すようなADSP-21065LのFLAG出力、タイマーと同様に使用可能なADSP-21065Lの1つのシリアル・ポートのフレーム出力TFSのいずれかにより生成されます。ADSP-21065Lのシリアル・ポートは、外部クロック（IRFS=0）、立ち上がりエッジでアクティブ（CKRE=1）、外部遅延フレーム同期信号（IRFS=0, LAFS=1, RFSR=1）およびアクティブ・ハイ（LFRS=0）に設定されています。ADSP-21065Lのシリアル・ポートは、受信コントロール・レジスタ（SRCTL）への書き込みにより設定されます。（ADSP-2106x SHARCのユーザー・コントロール・レジスタのマニュアルを参照してください。）ADSP-21065の内部のシリアル・ポートは不連続なクロックを監視しているため、ADSP-21065Lがリセットされている状態で先頭ワードの読み出し動作を行うことにより、各データ・リード動作の後でシリアル・ポートを、このクロックに対して適正に同期させます。



アプリケーションにおけるヒント レイアウト

AD7671は、図9に示すように、電源のノイズに対して非常に優れた耐性をもっています。しかし、グラウンドのレイアウトについては注意が必要です。

AD7671を搭載するプリント基板は、アナログ部とデジタル部を分離し、それぞれを基板の一定の領域の中に配置するように設計してください。これにより、簡単に分離することができるプレーンを容易に使用できます。デジタル部およびアナログ部のグラウンド・プレーンは1箇所のみで接続し、できる限り、AD7671の下かAD7671の近くで接続します。AD7671が、複数のデバイスについてアナログ・グラウンドとデジタル・グラウンドを接続する必要があるシステムで使用される場合でも、一点のみで星型結線により、しかもできる限りAD7671の近くに配置してください。

ノイズがダイにカップリングされることを防止するため、デジタル・ラインをデバイスの下に設置しないようにしてください。アナログのグラウンド・プレーンは、ノイズのカップリングを防止するために、AD7671の下に設置してく

ださい。CNVSTのように高速でスイッチングされる信号やクロックは、基板の他の部分への輻射を防止するためにデジタル・グラウンドでシールドし、決してアナログ信号の近くに配置しないようにします。デジタル/アナログ信号のクロスオーバーを避ける必要があります。基板の近接した別々の層に配置される経路は、互いに直交させてください。これにより、ボードを介したフィードスルーの影響が低減されます。

AD7671の電源ラインは、できる限り広い経路を使用して、低インピーダンスの経路を構成し、電源ライン上のグリッチの影響を低減させてください。AD7671に接続される電源インピーダンスを押さえて、電源のスパイク・ノイズを小さくするために、良好なデカップリングが重要です。100nF程度のデカップリング・セラミック・コンデンサをAVDD、DVDD、OVDDの各電源ピンのなるべく近くに、理想的には、これらのピンおよび対応するグラウンド・ピンに接触させて設置してください、さらに、ADCの近くに低ESRの10 μ Fコンデンサを設置して、低周波のリップルを抑えてください。

AD7671の電源であるDVDDは、独立した電源か、アナログ電源AVDD、または、デジタル・インターフェースの電源であるOVDDから分岐させることができます。システムのデジタル電源のノイズが大きいか、高速でスイッチングするデジタル信号が存在していて、分離した電源を利用できない場合には、図5に示すように、デジタル電源DVDDをRCフィルタを介してアナログ電源AVDDに接続し、システム電源をインターフェースのデジタル電源であるOVDDまたは他のデジタル回路に接続することを推奨します。DVDDがシステム電源から供給される場合には、高周波のスパイクをさらに低減するために、ビーズを挿入することが有効です。

AD7671は、INGND、REFGND、AGND、DGND、OGNDの5つの異なるグラウンド・ピンを備えています。INGNDはアナログ入力信号を検知します。REFGNDはリファレンス電圧を検知します。リファレンスへの経路にはパルス出力による電流が含まれるため、リファレンスへの帰還経路のインピーダンスを低くする必要があります。AGNDはADCのアナログ信号のほとんどが基準とするグラウンドです。このグラウンドは、最小の抵抗によってアナログのグラウンド・プレーンに接続してください。DGNDは、構成にしたがってアナログまたはデジタルのプレーンに接続してください。OGNDは、デジタルのシステム・グラウンドに接続されます。

リファレンス電圧のデカップリングのためのレイアウトが重要です。デカップリング・コンデンサは、ADCの近くに設置し、寄生インダクタンスを最小化するために、短く幅の広い経路によって接続します。

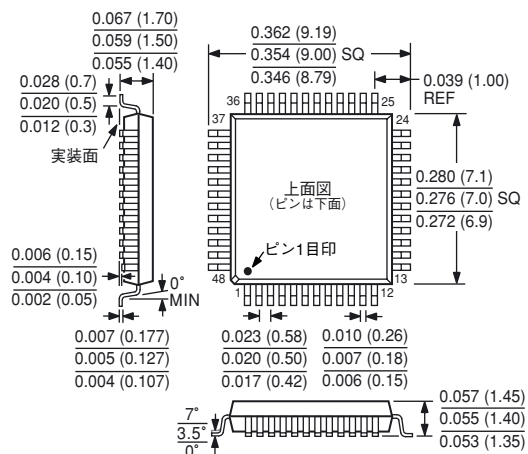
AD7671の性能評価

AD7671について推奨されるレイアウトは、AD7671の評価ボードによって、その概要が示されています。評価ボードのパッケージには、完全に組み立てられてテストを受けた評価ボード、技術資料、PCからEval-Controlボードを介して評価ボードを制御するためのソフトウェアが含まれています。

外形寸法

サイズはインチと (mm) で示します。

48ピン・クワッド・フラットパック (LQFP) (ST-48)



AD7671

TDS10/2001/1000

PRINTED IN JAPAN



このデータシートはエコマーク認定の再生紙を使用しています。

データシート 変更履歴

05/7/13
アナログ・デバイセズ株式会社

型番： AD7671

以下の箇所が間違っておりましたので変更いたしました。

P3 タイミング特性のアクイジション時間(t8)

変更前
「1 μ s」

変更後
「250ns」