

特長

- 2.5 V 内蔵リファレンス電圧: ドリフト 3 ppm/°C (typ)
最大ドリフト 15 ppm/°C を保証
- スループット: 500 kSPS
- INL: 最大±2.0 LSB (フルスケールの±0.0038%)
- ノー・ミッシング・コードの 16 ビット分解能
- S/(N+D): 20 kHz で最小 88 dB
- THD: 20 kHz で最大-96 dB
- アナログ入力電圧範囲: 0 V~2.5 V
- AC 仕様と DC 仕様を規定
- パイプライン遅延なし
- パラレルおよびシリアル 5 V/3 V インターフェース
- SPI[®]/QSPI[™]/MICROWIRE[™]/DSP に互換
- 5 V 単電源動作
- 消費電力
 - 66 mW (typ)、1 kSPS かつ REF 不使用で 132 μW
 - REF 使用時 81 mW (typ)
- 48 ピン LQFP または 48 ピン LFCSP パッケージを採用
- PuISAR ADC とピン互換

アプリケーション

- データ・アキュジション
- 医用機器
- デジタル信号処理
- スペクトル解析
- 計装機器
- バッテリー駆動システム
- プロセス制御

概要

AD7666 は、電荷再分配型の逐次比較 ADC を採用した 500 kSPS、16 ビット A/D コンバータで 5 V の単電源で動作します。このデバイスは、16 ビットの高速サンプリング ADC、内部変換クロック、リファレンス電圧、誤差補正回路、シリアル・インターフェース・ポート、パラレル・システム・インターフェース・ポートを内蔵しています。AD7666 は、ゲイン、オフセット、直線性についての従来型 DC パラメータの他に、信号対ノイズ比(SNR)や総合高調波歪み(THD)などのような AC パラメータも保証するため、出荷時にキャリブレーションされ広範囲にテストされています。

AD7666 は、48 ピン LQFP または 48 ピン小型 LFCSP を採用し、動作は-40°C~+85°C で規定されています。

機能ブロック図

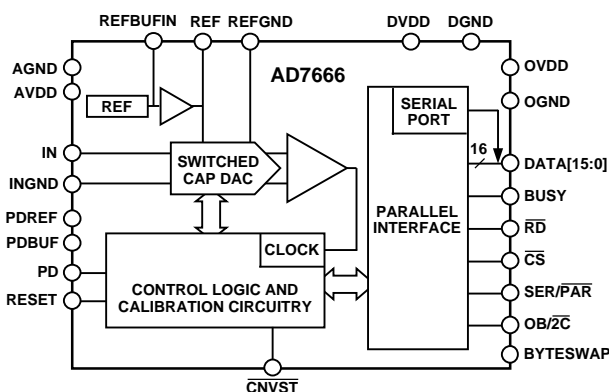


図 1.機能ブロック図

表 1.PuISAR の選択肢

Type/kSPS	100-250	500-570	800-1000
Pseudo-Differential	AD7651 AD7660/AD7661	AD7650/AD7652 AD7664/AD7666	AD7653 AD7667
True Bipolar	AD7663	AD7665	AD7671
True Differential	AD7675	AD7676	AD7677
18-Bit	AD7678	AD7679	AD7674
Multichannel/ Simultaneous		AD7654 AD7655	

製品ハイライト

- 高速スループット。
AD7666 は誤差補正回路を内蔵した 500 kSPS の電荷再分配型 16 ビット逐次比較型 ADC を採用。
- 優れた INL。
最大積分非直線性: 2.0 LSB、16 ビットのノーミス・コード
- リファレンス電圧内蔵。
AD7666 は温度ドリフト 3ppm/°C(typ)のリファレンス電圧を内蔵。
- 単電源動作。
AD7666 は 5 V 単電源で動作します。消費電力はスループットに応じて減少します。
- シリアルとパラレルのインターフェースを内蔵。
3 V および 5 V ロジックと互換性を持つ多機能のパラレル・インターフェースと 2 線式シリアル・インターフェースを内蔵。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2004 Analog Devices, Inc. All rights reserved.

目次

仕様.....	3	デジタル・インターフェース.....	22
タイミング仕様.....	5	パラレル・インターフェース.....	22
絶対最大定格.....	7	シリアル・インターフェース.....	22
ESDの注意.....	7	マスター・シリアル・インターフェース.....	23
ピン配置およびピン機能説明.....	8	スレーブ・シリアル・インターフェース.....	24
仕様の定義.....	11	マイクロプロセッサ・インターフェース.....	26
代表的な性能特性.....	12	アプリケーション情報.....	27
回路説明.....	16	バイポーラ入力範囲と広い入力範囲.....	27
コンバータの動作.....	16	レイアウト.....	27
代表的な接続図.....	18	AD7666の性能評価.....	27
消費電力対スループット.....	20	外形寸法.....	28
変換制御.....	21	オーダー・ガイド.....	28

改訂履歴

Revision 0: Initial Version

仕様

表 2. 特に指定がない限り、 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $\text{AVDD} = \text{DVDD} = 5\text{ V}$ 、 $\text{OVDD} = 2.7\text{ V} \sim 5.25\text{ V}$ 。

Parameter	Conditions	Min	Typ	Max	Unit
RESOLUTION		16			Bits
ANALOG INPUT					
Voltage Range	$V_{\text{IN}} - V_{\text{INGND}}$	0		V_{REF}	V
Operating Input Voltage	V_{IN}	-0.1		+3	V
	V_{INGND}	-0.1		+0.5	V
Analog Input CMRR	$f_{\text{IN}} = 10\text{ kHz}$		65		dB
Input Current	500 kSPS Throughput		7.7		μA
Input Impedance ¹					
THROUGHPUT SPEED					
Complete Cycle				2	μs
Throughput Rate		0		500	kSPS
DC ACCURACY					
Integral Linearity Error		-2.0		+2.0	LSB ²
No Missing Codes		16			Bits
Differential Linearity Error		-1.0		+1.5	LSB
Transition Noise			0.7		LSB
Unipolar Zero Error, T_{MIN} to T_{MAX} ³				± 5	LSB
Unipolar Zero Error Temperature Drift			± 0.5		ppm/ $^{\circ}\text{C}$
Full-Scale Error, T_{MIN} to T_{MAX} ³	$\text{REF} = 2.5\text{ V}$			± 0.08	% of FSR
Full-Scale Error Temperature Drift			± 1.4		ppm/ $^{\circ}\text{C}$
Power Supply Sensitivity	$\text{AVDD} = 5\text{ V} \pm 5\%$		± 2		LSB
AC ACCURACY					
Signal-to-Noise	$f_{\text{IN}} = 20\text{ kHz}$	88	89.2		dB ⁴
Spurious Free Dynamic Range	$f_{\text{IN}} = 20\text{ kHz}$	96	107		dB
Total Harmonic Distortion	$f_{\text{IN}} = 20\text{ kHz}$		-106	-96	dB
Signal-to-(Noise + Distortion)	$f_{\text{IN}} = 20\text{ kHz}$	88	89.1		dB
	-60 dB Input, $f_{\text{IN}} = 20\text{ kHz}$		30		dB
-3 dB Input Bandwidth			12		MHz
SAMPLING DYNAMICS					
Aperture Delay			2		ns
Aperture Jitter			5		ps rms
Transient Response	Full-Scale Step			750	ns
REFERENCE					
Internal Reference Voltage	$V_{\text{REF}} @ 25^{\circ}\text{C}$	2.493	2.5	2.507	V
Internal Reference Temperature Drift	-40°C to $+85^{\circ}\text{C}$		± 3	± 15	ppm/ $^{\circ}\text{C}$
Output Voltage Hysteresis	-40°C to $+85^{\circ}\text{C}$		50		ppm
Long Term Drift			100		ppm/100 0 Hours
Line Regulation	$\text{AVDD} = 5\text{ V} \pm 5\%$		± 15		ppm/V
Turn-On Settling Time	$C_{\text{REF}} = 10\ \mu\text{F}$		5		ms
Temperature Pin					
Voltage Output @ 25°C			300		mV
Temperature Sensitivity			1		mV/ $^{\circ}\text{C}$
Output Resistance			4		k Ω
External Reference Voltage Range		2.3	2.5	$\text{AVDD} - 1.85$	V
External Reference Current Drain	500 kSPS Throughput		120		μA

Parameter	Conditions	Min	Typ	Max	Unit
DIGITAL INPUTS					
Logic Levels					
V_{IL}		-0.3		+0.8	V
V_{IH}		2.0		DVDD + 0.3	V
I_{IL}		-1		+1	μ A
I_{IH}		-1		+1	μ A
DIGITAL OUTPUTS					
Data Format ⁵					
Pipeline Delay ⁶					
V_{OL}	$I_{SINK} = 1.6 \text{ mA}$			0.4	V
V_{OH}	$I_{SOURCE} = -500 \mu\text{A}$	OVDD - 0.6			V
POWER SUPPLIES					
Specified Performance					
AVDD		4.75	5	5.25	V
DVDD		4.75	5	5.25	V
OVDD		2.7		5.25 ⁷	V
Operating Current					
AVDD ⁸	500 kSPS Throughput With Reference and Buffer		12.2		mA
AVDD ⁹	Reference and Buffer Alone		3		mA
DVDD ¹⁰			4.1		mA
OVDD ¹⁰			102		μ A
Power Dissipation without REF ^{8, 10}					
	500 kSPS Throughput		66	75	mW
	1 kSPS Throughput		132		μ W
Power Dissipation with REF ^{8, 10}					
	500 kSPS Throughput		81	90	mW
TEMPERATURE RANGE¹¹					
Specified Performance					
	T_{MIN} to T_{MAX}	-40		+85	$^{\circ}$ C

¹アナログ入力セクションを参照してください。

²LSBは最下位ビットを意味します。入力範囲0 V~2.5 Vの場合は、1 LSB = 38.15 μ V。

³仕様定義の節を参照してください。これらの仕様には外部リファレンスの誤差成分は含まれません。

⁴dBで表示するすべての仕様はフルスケール入力FSを基準とします。特に注記がない場合、フルスケールより0.5 dB低い入力信号でテスト。

⁵パラレルまたはシリアル16ビット。

⁶変換結果は、変換完了後直ちに使用可能になります。

⁷Max値は、5.25 VとDVDD + 0.3 Vの内のいずれか小さい方です。

⁸REFありの場合、PDREFとPDBUFはロー・レベルで、REFなしの場合、PDREFとPDBUFはハイ・レベルです。

⁹PDREFとPDBUFがロー・レベルで、PDがハイ・レベルの場合。

¹⁰パラレル出力モードでテスト。

¹¹拡張温度範囲についてはご相談ください。

タイミング仕様

表 3.特に指定がない限り、 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $\text{AVDD} = \text{DVDD} = 5\text{ V}$ 、 $\text{OVDD} = 2.7\text{ V} \sim 5.25\text{ V}$ 。

Parameter	Symbol	Min	Typ	Max	Unit
Refer to Figure 33 and Figure 34					
Convert Pulse Width	t_1	10			ns
Time between Conversions	t_2	2			μs
$\overline{\text{CNVST}}$ LOW to BUSY HIGH Delay	t_3			35	ns
BUSY HIGH All Modes Except Master Serial Read after Convert	t_4			1.25	μs
Aperture Delay	t_5		2		ns
End of Conversion to BUSY LOW Delay	t_6	10			ns
Conversion Time	t_7			1.25	μs
Acquisition Time	t_8	750			ns
RESET Pulse Width	t_9	10			ns
Refer to Figure 35, Figure 36, and Figure 37 (Parallel Interface Modes)					
$\overline{\text{CNVST}}$ LOW to DATA Valid Delay	t_{10}			1.25	μs
DATA Valid to BUSY LOW Delay	t_{11}	12			ns
Bus Access Request to DATA Valid	t_{12}			45	ns
Bus Relinquish Time	t_{13}	5		15	ns
Refer to Figure 39 and Figure 40 (Master Serial Interface Modes) ¹					
$\overline{\text{CS}}$ LOW to SYNC Valid Delay	t_{14}			10	ns
$\overline{\text{CS}}$ LOW to Internal SCLK Valid Delay ¹	t_{15}			10	ns
$\overline{\text{CS}}$ LOW to SDOOUT Delay	t_{16}			10	ns
$\overline{\text{CNVST}}$ LOW to SYNC Delay	t_{17}		525		ns
SYNC Asserted to SCLK First Edge Delay	t_{18}	3			ns
Internal SCLK Period ²	t_{19}	25		40	ns
Internal SCLK HIGH ²	t_{20}	12			ns
Internal SCLK LOW ²	t_{21}	7			ns
SDOOUT Valid Setup Time ²	t_{22}	4			ns
SDOOUT Valid Hold Time ²	t_{23}	2			ns
SCLK Last Edge to SYNC Delay ²	t_{24}	3			ns
$\overline{\text{CS}}$ HIGH to SYNC HI-Z	t_{25}			10	ns
$\overline{\text{CS}}$ HIGH to Internal SCLK HI-Z	t_{26}			10	ns
$\overline{\text{CS}}$ HIGH to SDOOUT HI-Z	t_{27}			10	ns
BUSY HIGH in Master Serial Read after Convert ²	t_{28}		See Table 4		
$\overline{\text{CNVST}}$ LOW to SYNC Asserted Delay	t_{29}		1.25		μs
SYNC Deasserted to BUSY LOW Delay	t_{30}		25		ns
Refer to Figure 41 and Figure 42 (Slave Serial Interface Modes) ¹					
External SCLK Setup Time	t_{31}	5			ns
External SCLK Active Edge to SDOOUT Delay	t_{32}	3		18	ns
SDIN Setup Time	t_{33}	5			ns
SDIN Hold Time	t_{34}	5			ns
External SCLK Period	t_{35}	25			ns
External SCLK HIGH	t_{36}	10			ns
External SCLK LOW	t_{37}	10			ns

¹シリアル・インターフェース・モードでの SYNC、SCLK、SDOOUT のタイミングは、 $C_L = 10\text{ pF}$ の最大負荷で規定。その他の場合は、最大負荷 60 pF で規定。

²変換モードでのシリアル・マスター読出し時。変換モード後のシリアル・マスター読出しについては表 4 を参照。

表 4. 変換後のマスター読み出し時のシリアル・クロック・タイミング

DIVSCLK[1] DIVSCLK[0]	Symbol	0 0	0 1	1 0	1 1	Unit
SYNC to SCLK First Edge Delay Minimum	t ₁₈	3	17	17	17	ns
Internal SCLK Period Minimum	t ₁₉	25	50	100	200	ns
Internal SCLK Period Maximum	t ₁₉	40	70	140	280	ns
Internal SCLK HIGH Minimum	t ₂₀	12	22	50	100	ns
Internal SCLK LOW Minimum	t ₂₁	7	21	49	99	ns
SDOUT Valid Setup Time Minimum	t ₂₂	4	18	18	18	ns
SDOUT Valid Hold Time Minimum	t ₂₃	2	4	30	80	ns
SCLK Last Edge to SYNC Delay Minimum	t ₂₄	3	55	130	290	ns
BUSY HIGH Width Maximum	t ₂₄	2	2.5	3.5	5.75	μs

絶対最大定格

表 5. AD7666 のストレス定格¹

Parameter	Rating
IN ² , TEMP ² , REF, REFBUFIN, INGND, REFGND to AGND	AVDD + 0.3 V to AGND – 0.3 V
Ground Voltage Differences AGND, DGND, OGND	±0.3 V
Supply Voltages AVDD, DVDD, OVDD AVDD to DVDD, AVDD to OVDD DVDD to OVDD	–0.3 V to +7 V ±7 V –0.3 V to +7 V
Digital Inputs	–0.3 V to DVDD + 0.3 V
PDREF, PDBUF ³	±20 mA
Internal Power Dissipation ⁴	700 mW
Internal Power Dissipation ⁵	2.5 W
Junction Temperature	150°C
Storage Temperature Range	–65°C to +150°C
Lead Temperature Range (Soldering 10 sec)	300°C

¹ 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

² アナログ入力セクションを参照してください。

³ リファレンス電圧入力の節を参照してください。

⁴ 仕様は、自然空冷のデバイスで規定:

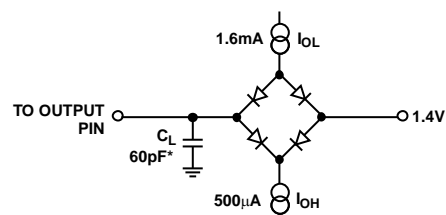
48ピン LQFP、 $\theta_{JA} = 91^\circ\text{C/W}$ 、 $\theta_{JC} = 30^\circ\text{C/W}$ 。

⁵ 仕様は、自然空冷のデバイスで規定:

48ピン LFCSP、 $\theta_{JA} = 26^\circ\text{C/W}$ 。

ESDの注意

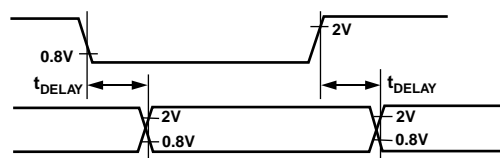
ESD (静電気放電) に敏感なデバイスです。4000 V にもなる静電気は人体や装置に蓄積され、検出されずに放電することがあります。この製品は当社独自の ESD 保護回路を内蔵していますが、高エネルギーの静電放電が発生すると、デバイスが永久的な損傷を受けることがあります。このため、性能低下または機能損失を防止するために、ESD に対する適切な注意が必要です。



*IN SERIAL INTERFACE MODES, THE SYNC, SCLK, AND SDOUT TIMINGS ARE DEFINED WITH A MAXIMUM LOAD CL OF 10pF; OTHERWISE, THE LOAD IS 60pF MAXIMUM.

03033-0-002

図 2. デジタル・インターフェース・タイミングの負荷回路、SDOUT 出力、SYNC 出力、SCLK 出力、 $C_L = 10 \text{ pF}$



03033-0-003

図 3. タイミングの基準電圧レベル



ピン配置およびピン機能説明

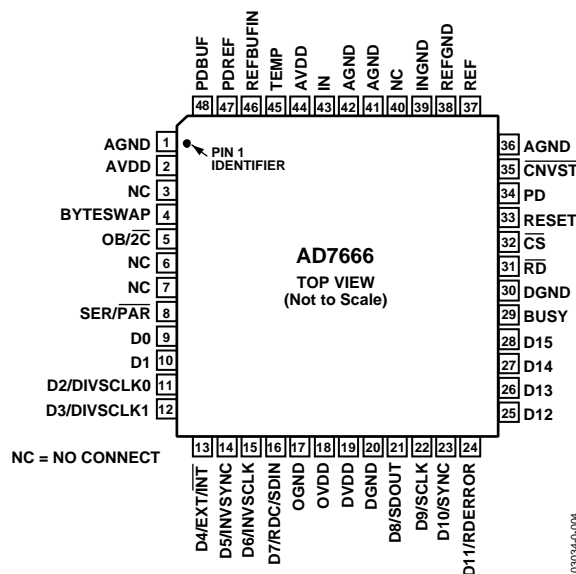


図 4.48 ピン LQFP (ST-48)および 48 ピン LFCSP (CP-48)

表 6. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
1、36、41、42	AGND	P	アナログ電源のグラウンド・ピン。
2、44	AVDD	P	アナログ電源入力ピン。公称 5V。
3、6、7、40	NC		未接続。
4	BYTESWAP	DI	パラレル・モードの選択(8/16 ビット)。ロー・レベルにすると、LSB が D[7:0]へ、MSB が D[15:8]へ、それぞれ出力されます。ハイ・レベルにすると、LSB が D[15:8]へ、MSB が D[7:0]へ、それぞれ出力されます。
5	OB/2C	DI	ストレート・バイナリ数/2の補数。OB/2Cをハイ・レベルにするとデジタル出力はストレート・バイナリ数になり、ロー・レベルにすると MSB が反転されて内部シフトレジスタから 2 の補数が出力されます。
8	SER/PAR	DI	シリアル/パラレル選択入力。ロー・レベルにするとパラレル・ポートが選択され、ハイ・レベルにするとシリアル・インターフェース・モードが選択されます。データ・バスの幾つかのビットがシリアル・ポートとして使われます。
9、10	D[0:1]	DO	パラレル・ポート・データ出力バスのビット 0 とビット 1。SER/PARをハイ・レベルにすると、これらの出力はハイ・インピーダンスになります。
11、12	D[2:3]または DIVSCLK[0:1]	DI/O	SER/PAR=ロー・レベルのとき、これらの出力はパラレル・ポート・データ出力バスのビット 2 およびビット 3 として使われます。SER/PAR=ハイ・レベル、かつ EXT/INT=ロー・レベル、かつ RDC/SDIN = ロー・レベル(変換後のシリアル・マスター読み出し)のとき、これらの入力(シリアル・ポートの一部)は、必要に応じてデータ出力を駆動する内部シリアル・クロックを低速化するときに使われます。他のシリアル・モードでは、これらのピンは使いません。
13	D4 または EXT/INT	DI/O	SER/PAR=ロー・レベルのとき、この出力をパラレル・ポート・データ出力バスのビット 4 として使います。SER/PAR=ハイ・レベルのとき、シリアル・ポートの一部を構成するこの入力を、内部データ・クロックまたは外部データ・クロックを選択するデジタル・セレクト入力として使います。EXT/INTをロー・レベルに固定すると、SCLK 出力で内部クロックが選択されます。EXT/INTをハイ・レベルにすると、出力データは SCLK 入力に接続された外部クロック信号に同期します。
14	D5 または INVSCLK	DI/O	SER/PAR=ロー・レベルのとき、この出力はパラレル・ポート・データ出力バスのビット 5 として使われます。SER/PAR=ハイ・レベルのとき、シリアル・ポートの一部を構成するこの入力は、SYNC 信号のアクティブ状態を選択する選択入力として使われます。マスター・モードとスレーブ・モードの両方でアクティブになります。ロー・レベルにすると、SYNC はアクティブ・ハイになります。ハイ・レベルにすると、SYNC はアクティブ・ローになります。
15	D6 または INVSCLK	DI/O	SER/PAR=ロー・レベルのとき、この出力はパラレル・ポート・データ出力バスのビット 6 として使われます。SER/PAR=ハイ・レベルのとき、シリアル・ポートの一部を構成するこの入力は、SCLK 信号を反転させるために使われます。マスター・モードとスレーブ・モードの両方でアクティブになります。

ピン番号	記号	タイプ ¹	説明
16	D7 または RDC/SDIN	DI/O	SER/PAR = ロー・レベルのとき、この出力はパラレル・ポート・データ出力バスのビット 7 として使われます。SER/PAR = ハイ・レベルのとき、シリアル・ポートの一部を構成するこの出力は、EXT/INT の状態に応じて、外部データ入力または読出しモード選択入力として使われます。EXT/INT がハイ・レベルのとき、RDC/SDIN をデータ入力として使って、複数の ADC の変換結果を 1 本の SDOUT ラインにディジーチェーン接続することができます。SDIN のデジタル・データ・レベルは、読出しシーケンス開始から SCLK の 16 周期分の遅延でデータ上に出力されます。EXT/INT = ロー・レベルのとき、RDC/SDIN は読出しモードの選択に使われます。RDC/SDIN がハイ・レベルのとき、データは変換中に SDOUT に出力されます。RDC/SDIN がロー・レベルのとき、変換が完了したときデータが SDOUT に出力されます。
17	OGND	P	入出力インターフェースのデジタル電源グラウンド。
18	OVDD	P	入出力インターフェースのデジタル電源。公称は、ホスト・インターフェース電源(5 V または 3 V)と同じ電位。
19	DVDD	P	デジタル電源。公称 5 V。
20	DGND	P	デジタル電源のグラウンド。
21	D8 または SDOUT	DO	SER/PAR = ロー・レベルのとき、この出力はパラレル・ポート・データ出力バスのビット 8 として使われます。SER/PAR = ハイ・レベルのとき、シリアル・ポートを構成するこの出力は、SCLK 信号に同期したシリアル・データ出力として使われます。変換結果は内蔵レジスタに保持されます。AD7666 は内部シフトレジスタから MSB ファーストで変換結果を出力します。データ・フォーマットは OB/2C のロジック・レベルで指定されます。シリアル・モードでは、EXT/INT = ロー・レベルのとき、SDOUT は SCLK の両エッジで有効です。シリアル・モードでは、EXT/INT がハイ・レベルのとき (INVSCLK がロー・レベルの場合)、SDOUT は SCLK の立上がりエッジで更新され、次の立下がりエッジで有効になります。INVSCLK がハイ・レベルのとき、SDOUT は SCLK 立下がりエッジで更新され次の立上がりエッジで有効になります。
22	D9 または SCLK	DI/O	SER/PAR をロー・レベルにすると、この出力はパラレル・ポート・データのビット 9 または SCLK 出力バスとして使われます。SER/PAR をハイ・レベルにすると、シリアル・ポートの一部を構成するこのピンは、EXT/INT ピンの状態に応じて、シリアル・データ・クロック入力または出力として使われます。データ SDOUT が更新されるアクティブ・エッジは、INVSCLK ピンのロジック状態により決定されます。
23	D10 または SYNC	DO	SER/PAR をロー・レベルにすると、この出力はパラレル・ポート・データ出力バスのビット 10 として使われます。SER/PAR をハイ・レベルにすると、シリアル・ポートの一部を構成するこの出力は、内部データ・クロック使用時のデジタル出力フレーム同期として使われます (EXT/INT がロー・レベルの場合)。読出しシーケンスが開始され、かつ INVSYNC がロー・レベルのとき、SYNC はハイ・レベルに駆動され、SDOUT 出力が有効な間ハイ・レベルが維持されます。読出しシーケンスが開始され、かつ INVSYNC がハイ・レベルのとき、SYNC はロー・レベルに駆動され、SDOUT 出力が有効な間ロー・レベルが維持されます。
24	D11 または RDERROR	DO	SER/PAR = ロー・レベルのとき、この出力はパラレル・ポート・データ出力バスのビット 11 として使われます。SER/PAR = ハイ・レベルかつ EXT/INT = ハイ・レベルのとき、シリアル・ポートの一部を構成するこの出力は、未完了読出しエラー・フラグとして使われます。スレープ・モードでは、次の変換が完了したときに、データ読出しが開始されて完了しない場合、現在のデータが失われて、RDERROR にハイ・レベルのパルスが出力されます。
25~28	D[12: 15]	DO	パラレル・ポート・データ出力バスのビット 12~15。これらのピンは、SER/PAR の状態に無関係に常に出力になります。
29	BUSY	DO	ビジー出力。変換開始時にハイ・レベルになり、変換が完了するまでハイ・レベルを維持します。データは内蔵シフトレジスタにラッチされます。BUSY の立下がりエッジは、データ・レディ・クロック信号として使うことができます。
30	DGND	P	デジタル・グラウンドに接続しておく必要があります。
31	RD	DI	データの読出し。CS がロー・レベルで、かつ RD がロー・レベルのとき、インターフェースのパラレルまたはシリアル出力バスがイネーブルされます。
32	CS	DI	チップ・セレクト。CS がロー・レベルで、かつ RD がロー・レベルのとき、インターフェースのパラレルまたはシリアル出力バスがイネーブルされます。CS は、外部クロックのゲーティングにも使われます。
33	RESET	DI	リセット入力。このピンをロジック・ハイ・レベルに設定すると、AD7666 がリセットされて、変換中であれば変換を中止させます。使用しないとき、このピンは DGND に接続しておきます。
34	PD	DI	パワーダウン入力。ハイ・レベルにすると、消費電力が削減されて、現在の変換が完了した後に変換が禁止されます。
35	CNVST	DI	変換の開始。アキュイジション・フェーズ (t _s) が完了したとき、CNVST がハイ・レベルである場合、CNVST の次の立下がりエッジで内部サンプル/ホールドがホールド状態になり、変換が開始されます。サンプリング・ジッタを小さくする場合には、このモードが最も適しています。アキュイジション・フェーズ (t _s) が完了したとき、CNVST がロー・レベルである場合、内部サンプル/ホールドはホールド状態になり、変換が直ちに開始されます。
37	REF	AI/O	リファレンス電圧入力。内蔵リファレンス電圧の出力。

ピン番号	記号	タイプ ¹	説明
38	REFGND	AI	リファレンス電圧入力のアナログ・グラウンド。
39	INGND	AI	アナログ入力グラウンド。
43	IN	AI	入力範囲 0~2.5 V のプライマリ・アナログ入力。
45	TEMP	AO	温度センサー電圧出力。
46	REFBUFIN	AI/O	リファレンス電圧入力。リファレンス電圧出力とリファレンス・バッファ入力。
47	PDREF	DI	このピンを使うと、内蔵リファレンス電圧または外部リファレンス電圧を選択することができます。ロー・レベルにすると、内蔵リファレンス電圧がターンオンします。ハイ・レベルにすると、内蔵リファレンス電圧がターンオフされて、外部リファレンス電圧が使用されます。
48	PDBUF	DI	このピンを使うと、内部バッファによる内蔵リファレンス電圧または外部リファレンス電圧のバッファリングの有無を選択することができます。ロー・レベルにすると、バッファが選択されます。ハイ・レベルにすると、バッファが切り離されます。

¹AI=アナログ入力; AI/O=双方向アナログ; AO=アナログ出力; DI=デジタル入力; DI/O=双方向デジタル; DO=デジタル出力; P=電源。

仕様の定義

積分非直線性誤差(INL)

直線性誤差は、負側のフルスケールと正側のフルスケールを結ぶ直線と各コードとの許容誤差を意味します。負側フルスケールとして使用されるポイントは、最初のコード遷移より 1/2 LSB だけ下に存在します。正フルスケールは、最後のコード遷移より 1+1/2 LSB だけ上のレベルと定義されます。許容誤差は各コードの中央と直線との間の距離として測定されます。

微分非直線性誤差(DNL)

理論 ADC では、各コード遷移は 1 LSB だけ離れた位置で発生します。微分非直線性は、この理論値からの最大許容誤差を表します。微分非直線性は、ノーマス・コードが保証される分解能として規定されることがあります。

フルスケール誤差

最後の変化(2の補数コーディングで 011...10 から 011...11 への変化)は、公称フルスケールより 1.5 LSB 低いアナログ電圧(0~2.5 V 範囲の場合 2.49994278 V)で発生する必要があります。フルスケール誤差は、理論レベルと最後の変化の実際レベルとの差を意味します。

ユニポーラ・ゼロ誤差

最初の変化はアナログ・グラウンドより 1/2 LSB 上のレベルで発生する必要があります(0~2.5 V 範囲の場合 19.073 μ V)。ユニポーラ・ゼロ誤差は、そのポイントと実際の変化との差を意味します。

スプリアス・フリー・ダイナミック・レンジ(SFDR)

SFDR は入力信号の rms 振幅値とピーク・スプリアス信号との差を意味し、dB 値で表します。

実効ビット数(ENOB)

ENOB は、正弦波を入力したときの分解能を表します。S/(N+D)と関係し、次式によりビット数で表されます。

$$\text{ENOB} = (S/[N+D]\text{dB} - 1.76)/6.02$$

総合高調波歪み(THD)

THD は、基本波から 5 次高調波成分までの rms 値の総和の、フルスケール入力信号の rms 値に対する比を意味し、デシベル値で表します。

信号対ノイズ比(SNR)

SNR は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和から高調波成分と DC 成分を除いた分に対する比です。SNR は、デシベル値で表されます。

信号対(ノイズ+歪み)比(S/[N+D])

S/(N+D)は、実際の入力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和(DC 以外の高調波を含む)に対する比です。S/(N+D)値はデシベルで表します。

アパーチャ遅延

アパーチャ遅延はアクイジション性能を表し、 $\overline{\text{CNVST}}$ 入力の下がりエッジから入力信号が変換用にホールドされるまでの時間として測定されます。

過渡応答

過渡応答は、フルスケール・ステップ関数が入力に加えられた後に、AD7666 が定格精度を達成するために要する時間を意味します。

リファレンス電圧の温度係数

リファレンス電圧の温度係数は、 T_{MIN} 、 $T(25^\circ\text{C})$ 、 T_{MAX} で測定した最大および最小リファレンス出力電圧(V_{REF})から導出されます。この値は次式を使って ppm/ $^\circ\text{C}$ で表されます。

$$\text{TCV}_{\text{REF}}(\text{ppm}/^\circ\text{C}) = \frac{V_{\text{REF}}(\text{Max}) - V_{\text{REF}}(\text{Min})}{V_{\text{REF}}(25^\circ\text{C}) \times (T_{\text{MAX}} - T_{\text{MIN}})} \times 10^6$$

ここで、

$V_{\text{REF}}(\text{Max}) = T_{\text{MIN}}$ 、 $T(25^\circ\text{C})$ 、または T_{MAX} での最大 V_{REF}

$V_{\text{REF}}(\text{Min}) = T_{\text{MIN}}$ 、 $T(25^\circ\text{C})$ 、または T_{MAX} での最小 V_{REF}

$V_{\text{REF}}(25^\circ\text{C}) = +25^\circ\text{C}$ での V_{REF}

$T_{\text{MAX}} = +85^\circ\text{C}$

$T_{\text{MIN}} = -40^\circ\text{C}$

熱ヒステリシス

熱ヒステリシスは、次のいずれかの温度サイクルを加えた後のリファレンス出力電圧の絶対最大変化として定義されます。

$$\begin{aligned} T_{\text{HYS}+} &= +25^\circ\text{C} \rightarrow T_{\text{MAX}} \rightarrow +25^\circ\text{C} \\ T_{\text{HYS}-} &= +25^\circ\text{C} \rightarrow T_{\text{MIN}} \rightarrow +25^\circ\text{C} \end{aligned}$$

この値は次式を使って ppm で表されます。

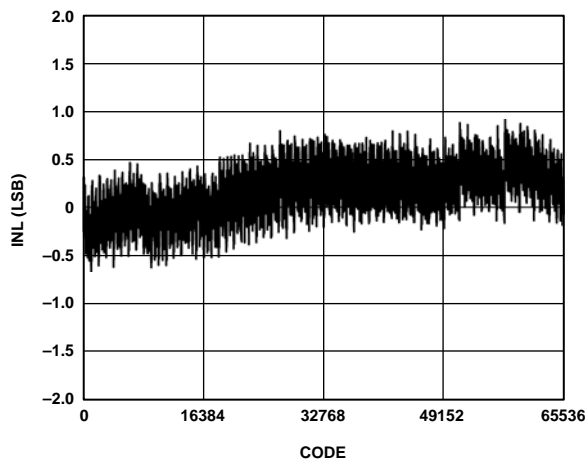
$$V_{\text{HYS}}(\text{ppm}) = \left| \frac{V_{\text{REF}}(25^\circ\text{C}) - V_{\text{REF}}(T_{\text{HYS}})}{V_{\text{REF}}(25^\circ\text{C})} \right| \times 10^6$$

ここで、

$V_{\text{REF}}(25^\circ\text{C}) = 25^\circ\text{C}$ での V_{REF}

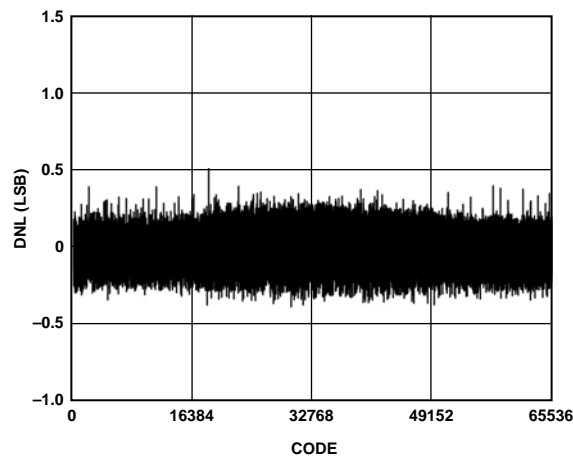
$V_{\text{REF}}(T_{\text{HYS}}) = T_{\text{HYS}+}$ または $T_{\text{HYS}-}$ での V_{REF} の最大変化

代表的な性能特性



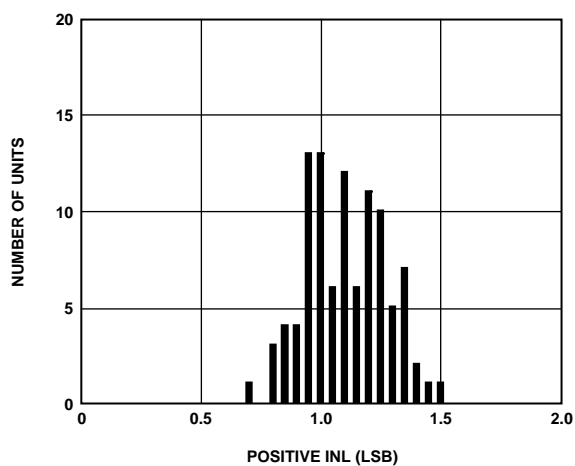
03034-0-005

図 5.コード対積分非直線性



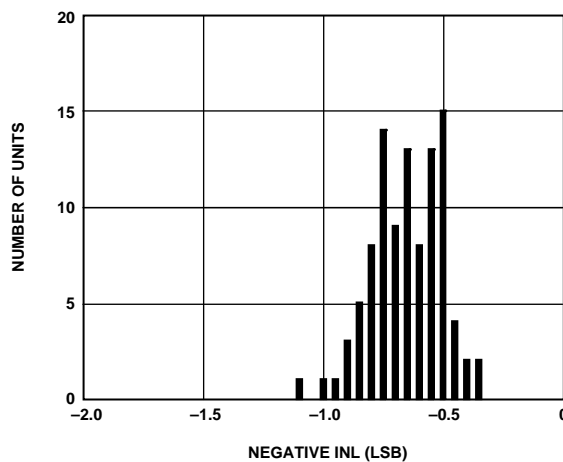
03034-0-008

図 8.コード対微分非直線性



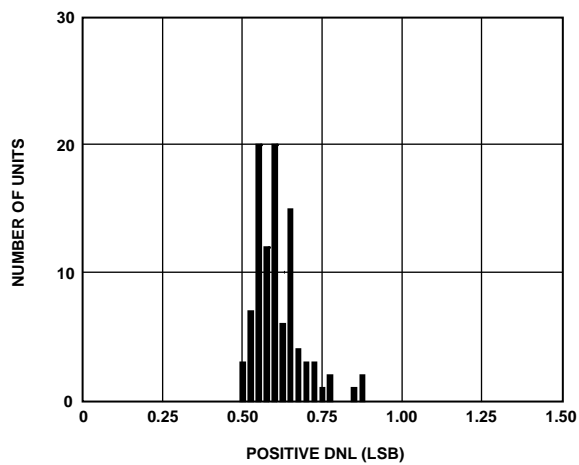
03034-0-006

図 6.正 INL の分布(99 個)



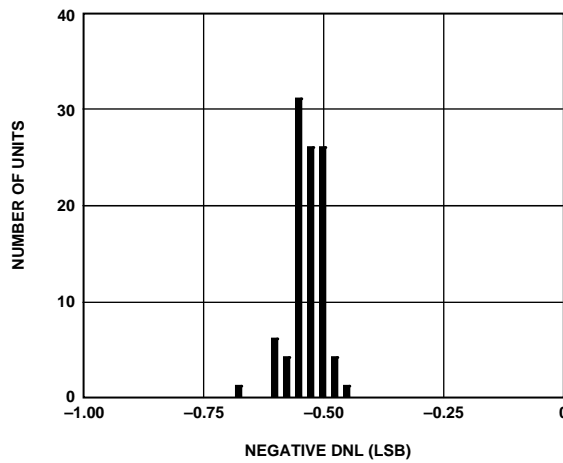
03034-0-009

図 9.負 INL の分布(99 個)



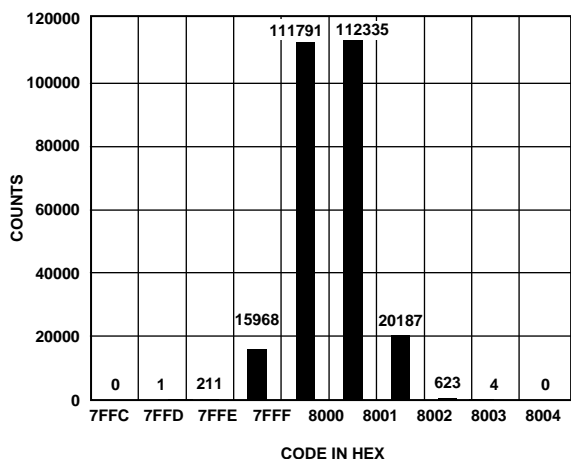
03034-0-007

図 7.正 DNL の分布(99 個)



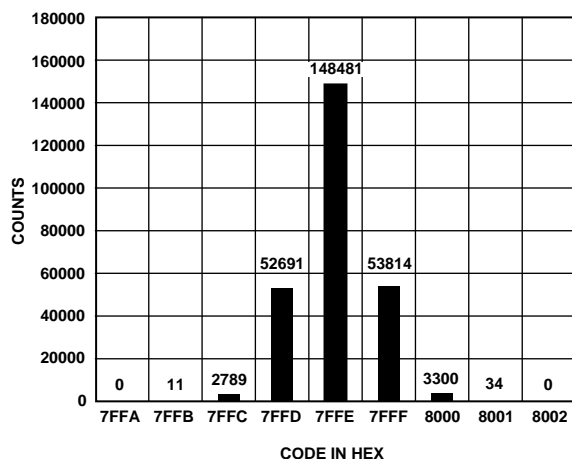
03034-0-010

図 10.負 DNL の分布(99 個)



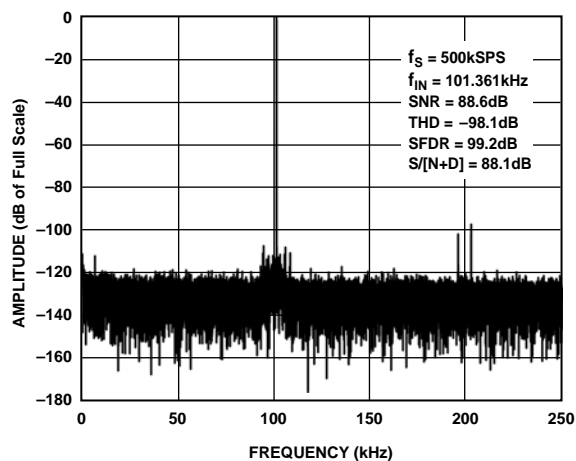
03034-0-011

図 11.コード変化時の DC 入力を 261,120 回変換した場合のヒストグラム



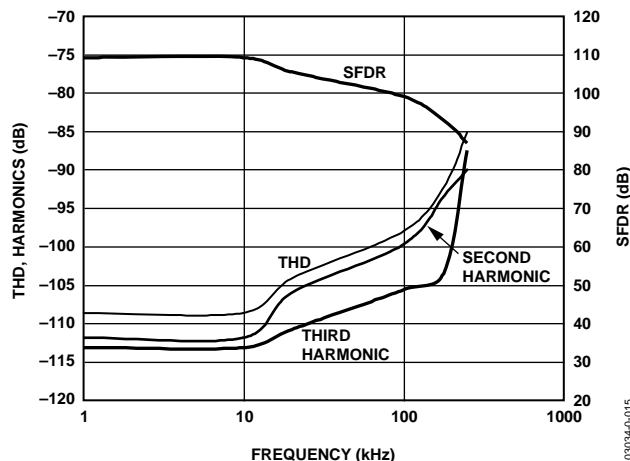
03034-0-014

図 14.コード中央値の DC 入力を 261,120 回変換した場合のヒストグラム



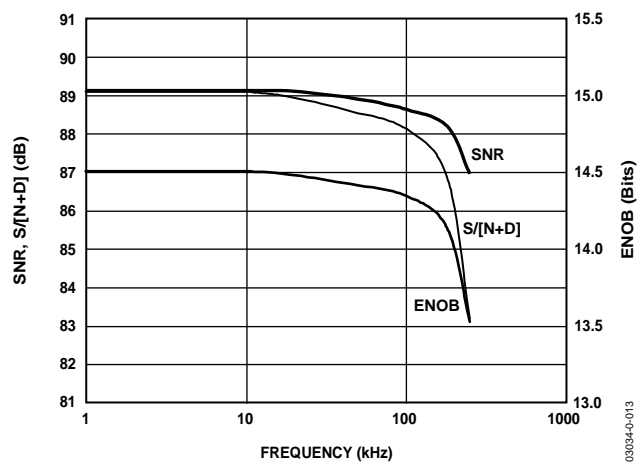
03034-0-012

図 12.FFT プロット



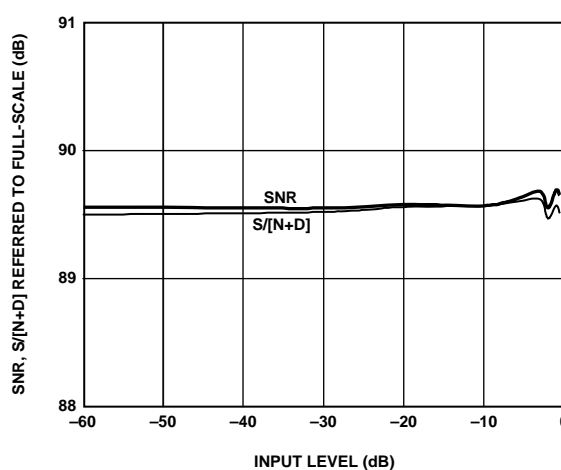
03034-0-015

図 15.THD、高調波、SFDR の周波数特性



03034-0-013

図 13.SNR、S/(N+D)、ENOB の周波数特性



03034-0-016

図 16.入力レベル(フルスケール基準)対 SNR および S/(N+D)

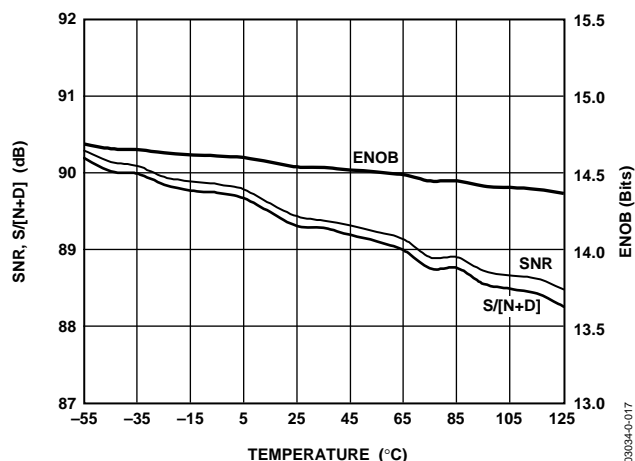


図 17. SNR、S/(N+D)、ENOB の温度特性

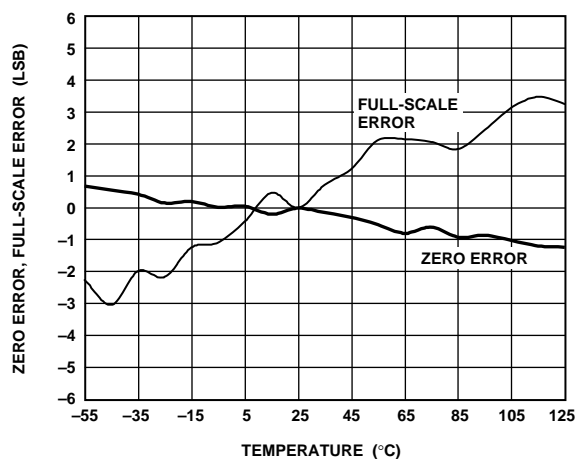


図 20. ゼロ誤差およびフルスケール誤差の温度特性
リファレンス電圧なし

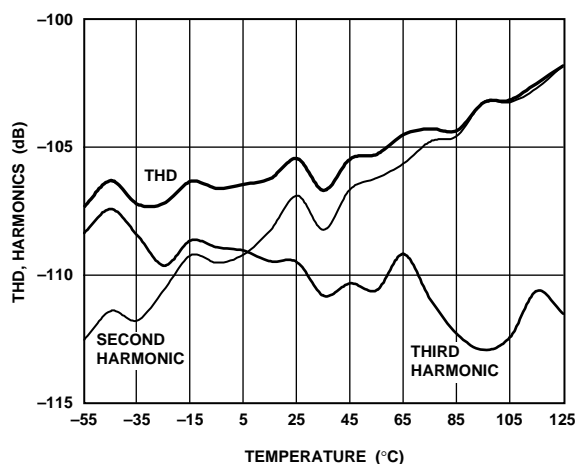


図 18. THD および高調波の温度特性

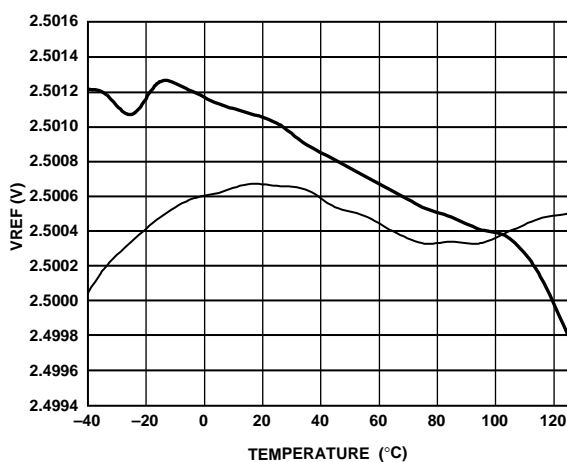


図 21. リファレンス電圧出力の温度特性(2個)

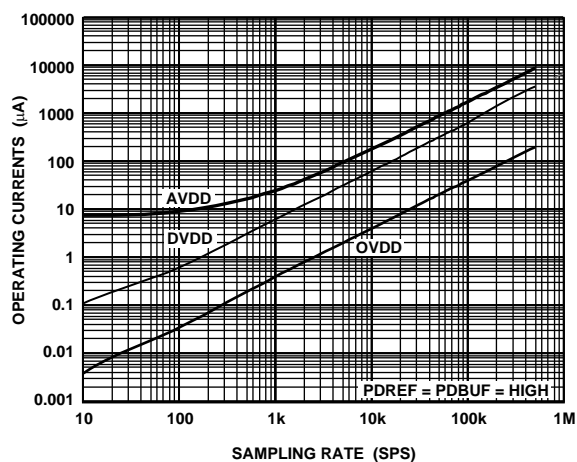


図 19. サンプル・レート対動作電流

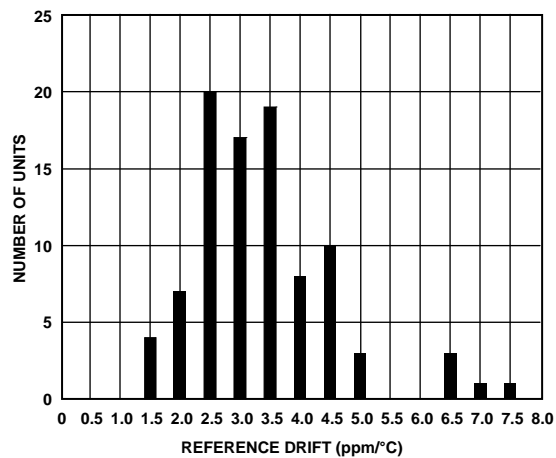
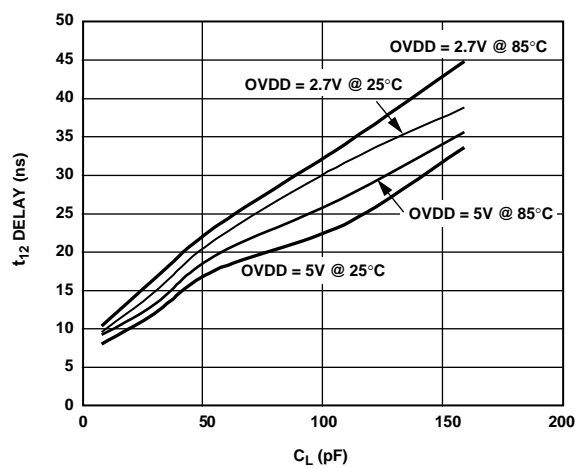


図 22. リファレンス電圧温度係数の分布(93個)



033055-0-023

图 23. 负荷容量 C_L 对延迟

回路説明

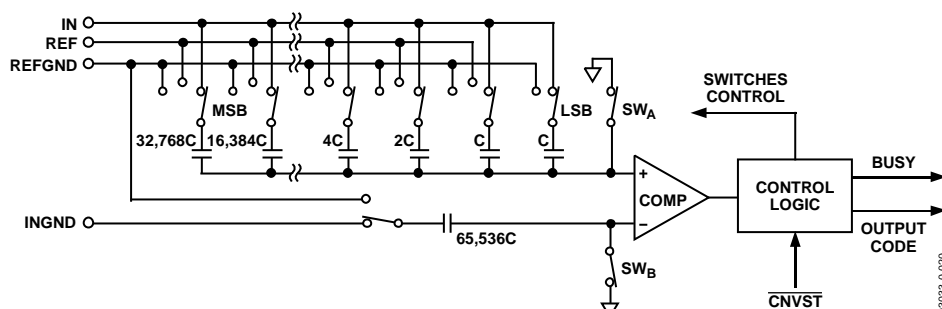


図 24.ADC の簡略化した回路図

AD7666 は非常に高速な低消費電力単電源動作の高精度 16 ビット A/D コンバータ(ADC)です。AD7666 は毎秒 100,000 サンプル(500 kSPS)の変換が可能で、変換と変換の間にパワーダウンして消費電力を削減することができます。

AD7666 はトラック/ホールド、パイプラインまたはレイテンシのない逐次比較型 ADC を提供するため、マルチプレクスされた複数チャンネルのアプリケーションに最適です。

AD7666 は 5 V単電源で動作し、5 Vまたは 3 Vのデジタル・ロジックとインターフェースすることができます。省スペースの 48 ピンLQFPまたは 48 ピンLFCSPを採用し、シリアル・インターフェースまたはパラレル・インターフェースを使用できるため柔軟な構成が可能です。AD7666 はPulSAR ADCとピン互換で、AD7661 と AD7664 のアップグレード・バージョンです。

コンバータの動作

AD7666 は、電荷再分配型 DAC を採用する逐次比較型 A/D コンバータです。図 24 に、簡略化した ADC の回路図を示します。容量を使用するこの DAC は、2 進数の重みを持った 16 個のコンデンサのアレイと LSB コンデンサから構成されています。コンパレータの負側入力、容量性 DAC アレイと同じ値を持つダミー・コンデンサに接続されています。

アキュイジション・フェーズでは、コンパレータの正側入力に接続されたアレイの共通ピンは、SW_Aを経由して AGND に接続されます。すべての独立なスイッチがアナログ入力 IN に接続されるため、コンデンサ・アレイは IN からアナログ信号を取得するサンプリング・コンデンサとして使用されます。同様に、ダミー・コンデンサも INGND 上のアナログ信号を取り込みます。

CNVSTがロー・レベルになると、変換フェーズが開始されます。変換フェーズが開始されると、SW_Aと SW_Bが開きます。次に、コンデンサ・アレイとダミー・コンデンサが入力から切り離されて、REFGND に接続されます。そうすると、アキュイジション・フェーズの終わりに取り込まれた、IN と INGND の間の差動電圧がコンパレータ入力に接続されて、コンパレータは平衡しくなくなります。コンデンサ・アレイの各エレメントを REFGND と REF の間でスイッチングすることにより、コンパレータ入力を 2 進数重みの電圧ステップ($V_{REF}/2$, $V_{REF}/4$... $V_{REF}/65536$)で変化させます。コントロール・ロジックがこれらのスイッチをトグルして(MSB から開始)、コンパレータが再度平衡するようにします。

この処理が終了すると、コントロール・ロジックが ADC 出力コードを発生して、BUSY 出力をロー・レベルにします。

伝達関数

OB/2Cデジタル入力を使用して、ストレート・バイナリおよび2の補数の2種類からAD7666出力コーディングを選択することができます。LSBサイズは $V_{REF}/65536$ であり、これは約 $38.15 \mu\text{V}$ に対応します。AD7666の理論伝達特性を図25と表7に示します。

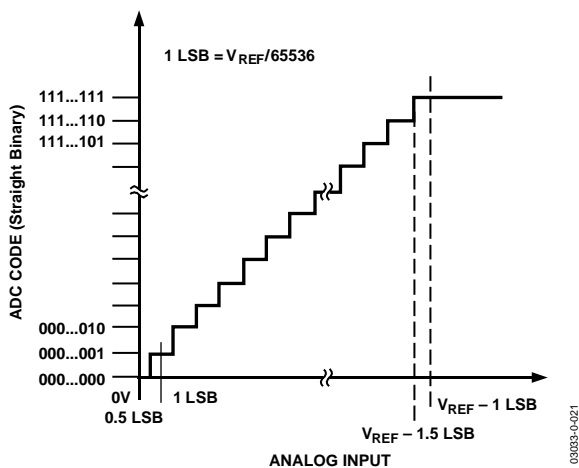


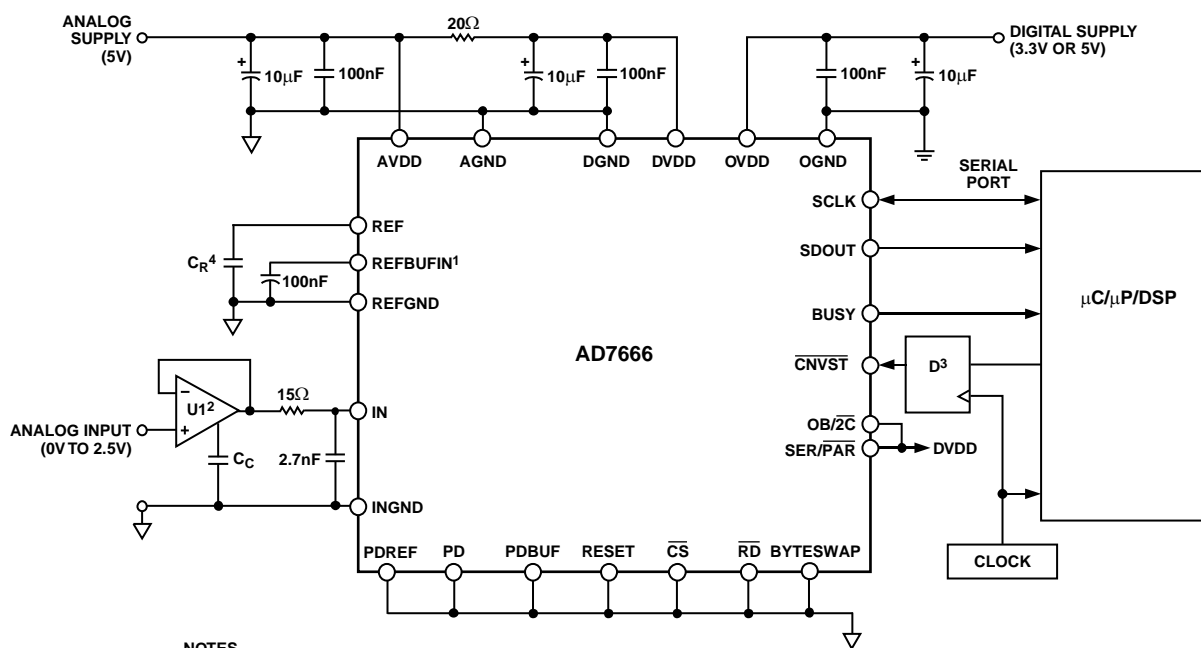
図 25.ADC の理論伝達関数

表 7.出力コードと理論入力電圧

Description	Analog Input	Digital Output Code (Hex)	
		Straight Binary	Twos Complement
FSR - 1 LSB	2.499962 V	FFFF ¹	7FFF ¹
FSR - 2 LSB	2.499923 V	FFFE	7FFE
Midscale + 1 LSB	1.250038 V	8001	0001
Midscale	1.25 V	8000	0000
Midscale - 1 LSB	1.249962 V	7FFF	FFFF
-FSR + 1 LSB	38 μV	0001	8001
-FSR	0 V	0000 ²	8000 ²

¹これは、アナログ入力範囲より上に対するコードでもあります($V_{REF} - V_{REFGND}$ より上の $V_{IN} - V_{INGND}$)。

²これは、アナログ入力範囲より下に対するコードでもあります(V_{INGND} より下の V_{IN})。



NOTES

¹THE CONFIGURATION SHOWN IS USING THE INTERNAL REFERENCE AND INTERNAL BUFFER.

²THE AD8021 IS RECOMMENDED. SEE DRIVER AMPLIFIER CHOICE SECTION.

³OPTIONAL LOW JITTER.

⁴A 10 μF CERAMIC CAPACITOR (X5R, 1206 SIZE) IS RECOMMENDED (e.g., PANASONIC ECJ3YB0J106M). SEE VOLTAGE REFERENCE INPUT SECTION.

図 26.代表的な接続図

代表的な接続図

図 26 に、AD7666 の一般的な接続図を示します。

アナログ入力

図 27 に、AD7666 のアナログ入力構造の等価回路を示します。

ダイオード D1 と D2 は、アナログ入力の IN と INGND に対する ESD 保護用です。アナログ入力信号が電源レールより 0.3V 以上高くないよう注意する必要があります。これは、これらのダイオードが順方向にバイアスされて導通し始めるためです。これらのダイオードは、最大 100 mA の順方向バイアス電流を処理することができます。例えば、この状態は入力バッファの(U1)電源が AVDD と異なるときに発生します。このような場合、短絡電流制限機能を持つ入力バッファを使ってデバイスを保護することができます。

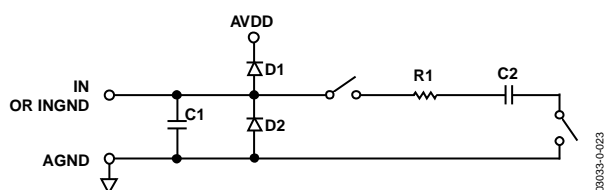


図 27. 等価アナログ入力回路

このアナログ入力構造を使うと、IN と INGND との間の差動信号のサンプリングが可能になります。他のコンバータとは異なり、INGND は IN と同じタイミングでサンプルされます。この差動入力を使用することにより、両入力に共通の小信号を阻止することができます(図 28)。この図には内蔵リファレンスと外付けリファレンスを使用した時の代表的な CMRR の周波数特性を示してあります。例えば、INGND を使ってリモート信号グラウンドを検出することにより、センサーとローカル ADC グラウンドとの間のグラウンド電位差が除去されます。

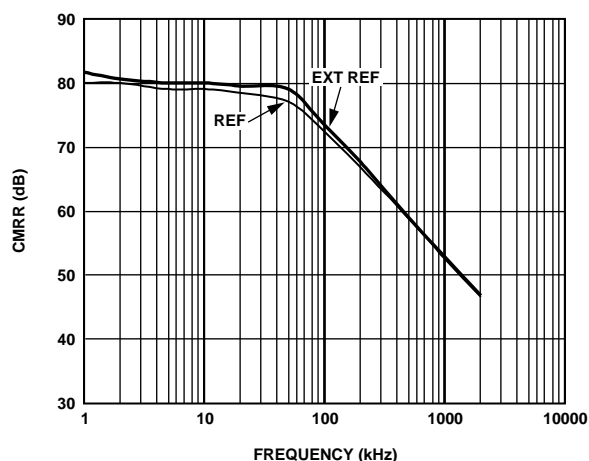


図 28. アナログ入力 CMRR の周波数特性

アキュイジション・フェーズでは、アナログ入力 IN のインピーダンスはコンデンサ C1 と、R1 および C2 の直列接続により構成される回路との並列組み合わせとしてモデル化することができます。C1 はもともとピン容量です。R1 は 168 Ω (typ) であり、直列抵抗とスイッチのオン抵抗から構成される集中定数です。C2 は 60 pF (typ) であり、主に ADC サンプリング・コンデンサから構成されています。スイッチが開いている変換フェーズでは、入力インピーダンスは C1 に制限されます。R1 と C2 により、1 次ローパス・フィルタが構成されるため、不要な折り返し効果が削減され、ノイズが制限されます。

駆動回路のソース・インピーダンスが小さい場合は、AD7666 を直接駆動することができます。ソース・インピーダンスが大きい場合には、AC 性能、特に総合高調波歪み(THD)が大きい影響を受けます。最大ソース・インピーダンスは、許容可能な THD の大きさに依存します。THD は、ソース・インピーダンスと最大入力周波数の関数として性能低下します(図 29)。

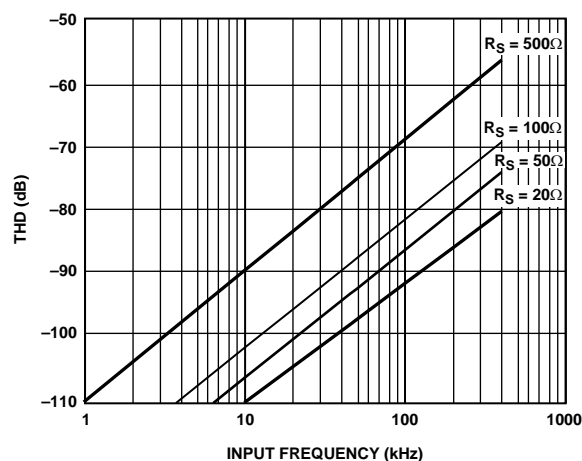


図 29. アナログ入力周波数およびソース抵抗対 THD

ドライバ・アンプの選択

AD7666 の駆動は簡単ですが、ドライバ・アンプは次の条件を満たす必要があります。

- ドライバ・アンプと AD7666 アナログ入力回路は共に、コンデンサ・アレイのフルスケール・ステップに対して 16 ビット・レベル(0.0015%)でセトリングできる必要があります。アンプのデータシートでは、一般に 0.1~0.01%でのセトリングが規定されています。16 ビット・レベルでのセトリング・タイムから大幅に異なることがあるため、ドライバを選択する前に確認する必要があります。超低ノイズと広いゲイン帯域幅を組み合わせた小型オペアンプ AD8021 は、最大 13 までの高いゲインで使用した場合もこのセトリング・タイム条件を満たします。

- AD7666 の SNR 性能と遷移ノイズ性能を維持するためには、ドライバ・アンプが保証するノイズをできるだけ低く抑える必要があります。ドライバから発生するノイズは、AD7666 アナログ入力回路の R1 と C2 から構成される 1 次ローパス・フィルタまたは外付けフィルタ(使用した場合)により除去されます。アンプに起因する SNR の低下は、次式で表されます。

$$SNR_{LOSS} = 20 \log \left(\frac{28}{\sqrt{784 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

ここで、

f_{-3dB} AD7666 の入力帯域幅(13 MHz)、または入力フィルタ(使用した場合)のカットオフ周波数(3.9 MHz)。

N アンプのノイズ係数(バッファ構成で+1)。

e_N nV/√Hz で表したオペアンプの等価入力ノイズ電圧。

例えば、バッファとして構成した場合にノイズ・ゲイン=+1 となる AD8021 のように、等価入力ノイズ=2 nV/√Hz のドライバでは、図 26 に示すフィルタを使った場合の SNR の低下は僅か 0.13 dB で、図 26 に示すフィルタを使用しない場合の SNR の低下は 0.43 dB になります。

- ドライバは、AD7666 の THD 性能に見合う THD 性能を持つ必要があります。図 15 に、ドライバに必要な THD 周波数特性を示します。

AD8021 はこれらの条件を満たしているため、ほとんどすべてのアプリケーションに適しています。AD8021 には 10 pF の外付け補償コンデンサが必要で、このコンデンサは NPO セラミックまたはマイカ・タイプのように優れた直線性を持っている必要があります。さらに、ゲイン+1 の非反転回路の使用が推奨され、これを使うと、最適な信号対ノイズ比が得られます。

デュアル・バージョンが必要で、かつゲイン=1 を使用する場合には、AD8022 も使用することができます。高周波(100 KHz 以上)性能が不要な場合には、AD829 も使用することができます。ゲイン=1 のアプリケーションでは、82 pF の補償コンデンサが必要です。低周波アプリケーションで低バイアス電流が必要な場合には、AD8610 を使用することができます。

リファレンス電圧入力

AD7666 では、温度ドリフトが非常に小さい内蔵リファレンス電圧または 2.5 V の外付けリファレンス電圧の使用を選択することができます。

AD7666 の内蔵リファレンス電圧は、リファレンス電圧を内蔵する多くの ADC とは異なり、優れた性能を提供するため、ほとんどすべてのアプリケーションで使用することができます。

内蔵リファレンス電圧と内部バッファを使うときは、PDREF と PDBUF をロー・レベルにする必要があります。そうすると、REFBUFIN 上に 1.2 V の電圧が出力され、バッファで増幅されて、REF ピン上で 2.5 V のリファレンス電圧になります。

内蔵リファレンス電圧がイネーブルされると、REFBUFIN の出力インピーダンスは最小 11 kΩ になります。これは、10 nF 以上のセラミック・コンデンサを使って REFBUFIN をデカップリングする際に必要です。このコンデンサは RC フィルタを構成するため、ノイズが削減されます。

外部リファレンス電圧と内部バッファを使うときは、PDREF にハイ・レベルを、PDBUF にロー・レベルを、それぞれ入力する必要があります。そうすると、内蔵リファレンス電圧がパワーダウンされるため、2.5 V のリファレンス電圧を REFBUFIN に入力できるようになります。

REF ピン上で直接外部リファレンス電圧を使うときは、PDREF と PDBUF にハイ・レベルを入力する必要があります。

PDREF と PDBUF は、それぞれ内蔵リファレンス電圧と内蔵リファレンス・バッファをパワーダウンさせます。PDREF と PDBUF の入力電流は、20 mA を超えないように注意する必要があります。これは、入力電圧が AVDD を超える場合に発生することがあります(例えば、パワーアップ時)。この場合、100 Ω 直列抵抗の使用が推奨されます。

内蔵リファレンス電圧は、2.5 V ± 7 mV になるように温度補償されています。リファレンス電圧は、3 ppm/°C (typ) のドリフトになるように調整されています。このドリフト特性(typ)を図 22 に示します。ドリフト性能を良くするために、AD780 のような外付けリファレンス電圧を使うこともできます。

AD7666 のリファレンス電圧入力 REF は動的入力インピーダンスを持っています。このため、REF 入力と REFGND 入力との間を効果的にデカップリングした低インピーダンス・ソースから駆動する必要があります。このデカップリングは電圧リファレンスの選択に依存しますが、一般に、最小寄生インダクタンスで REF 入力と REFGND 入力に接続された低 ESR のタンタル・コンデンサから構成されます。内蔵リファレンス電圧または次に示す推奨リファレンス電圧を使う場合には、10 μF (X5R、1206 サイズ)のセラミック・チップ・コンデンサ(または 47 μF のタンタル・コンデンサ)が適しています。

- 低ノイズ低温度ドリフトの ADR421 と AD780
- 低消費電力の ADR291
- 低価格の AD1582

複数の AD7666 を使用するアプリケーションでは、内蔵バッファを使ってリファレンス電圧をバッファすることが効果的です。

電圧リファレンスのリファレンス温度係数は、このパラメータが問題になる場合フルスケール精度に直接影響を与えるため、十分注意する必要があります。例えば、温度係数 ± 15 ppm/°C のリファレンスにより、フルスケールは ± 1 LSB/°C で変化します。

V_{REF} が AVDD - 1.85 V に増加する場合があります。ご注意ください。入力範囲は V_{REF} を使って定義しているため、これにより入力範囲が 0~3 V に広がり、AVDD より 4.85 V 高くなってしまいます。3 V のリファレンス電圧では AD780 を使用することができます。

TEMP ピンは AD7666 の温度を計測しているため、図 30 に示すように使うことができます。TEMP ピンの出力をアナログ・スイッチ (例えば ADG779) の入力に接続して、ADC を自分の温度の計測に使います。この構成は、全温度範囲でキャリブレーション精度を上げるために非常に有効です。

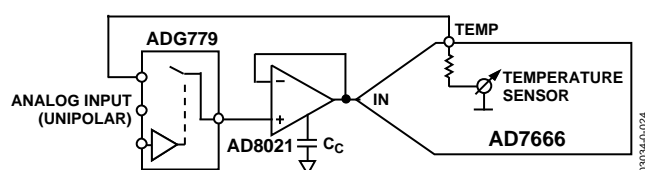


図 30. 温度センサーの接続図

電源

AD7666 では、アナログ 5 V 電源 AVDD、デジタル 5 V コア電源 DVDD、デジタル入出力インターフェース電源 OVDD の 3 種類の電源ピンを使用しています。OVDD を使うと、2.7 V~DVDD+0.3 V で動作するロジックとの直接インターフェースが可能になります。所要電源数を減らすため、デジタル・コア(DVDD)は図 26 に示す簡単な RC フィルタを使ってアナログ電源から供給することができます。OVDD が DVDD を 0.3 V 以上超えないようになった後は、AD7666 は電源シーケンスに依存しなくなるため、電源電圧によるラッチアップの問題はありません。さらに、広い周波数範囲で電源変動に対して安定しています。図 31 に、内蔵および外付けリファレンスを使用した場合の PSRR の周波数特性を示します。

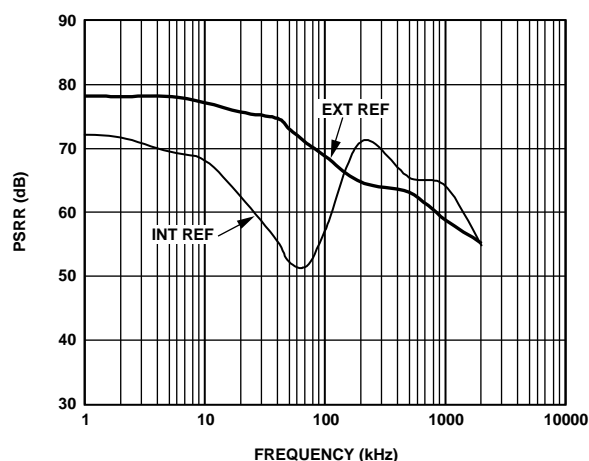


図 31. PSRR の周波数特性

消費電力対スループット

アキュイジション・フェーズでは動作電流が非常に小さいため、変換レートを低下させると、消費電力を大幅に削減することができます(図 32 参照)。AD7666 は各変換フェーズの終わりで自動的に消費電力を削減します。このため、このデバイスは消費電力が非常に小さいバッテリー・アプリケーションに最適です。アキュイジション・フェーズでも、デジタル・インターフェースとリファレンス電圧は動作していることに注意してください。動作デジタル電源電流をさらに削減するためには、デジタル入力を電源レール (DVDD および DGND) 近くまで駆動し、さらに OVDD が DVDD を 0.3 V 以上超えないようにする必要があります。

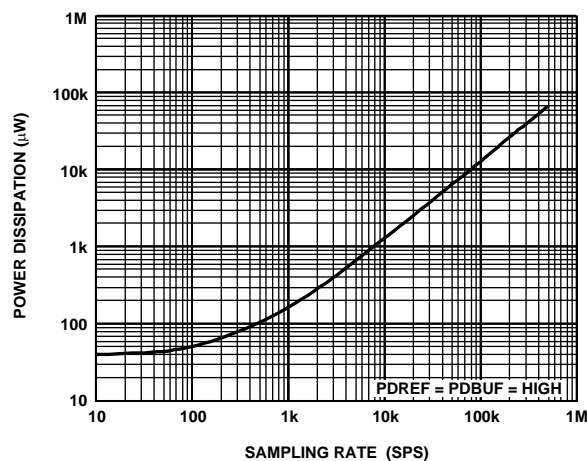


図 32. サンプリング・レート対消費電力

変換制御

図 33 に、変換処理の詳しいタイミング図を示します。AD7666 は、変換を開始させる $\overline{\text{CNVST}}$ 信号により制御されます。一旦変換が開始されると、パワーダウン入力 PD によっても、変換が完了するまで再起動または中止ができません。 $\overline{\text{CNVST}}$ は、 $\overline{\text{CS}}$ および $\overline{\text{RD}}$ と無関係に動作します。

AD7666 に変換を自動的に開始させることができます。BUSY がロー・レベルのとき、 $\overline{\text{CNVST}}$ をロー・レベルにすると、AD7666 はアキュイジション・フェーズを制御して、自動的に新しい変換を開始します。 $\overline{\text{CNVST}}$ をロー・レベルに維持すると、AD7666 は変換処理を自動的に継続します。BUSY がロー・レベルになったとき、アナログ入力に安定している必要があることに注意してください。また、パワーアップ時、 $\overline{\text{CNVST}}$ を一度ロー・レベルにして変換処理を開始させる必要があります。このモードでは、AD7666 は保証値 500 kSPS より少し速く動作することが可能です。

$\overline{\text{CNVST}}$ はデジタル信号ですが、高速できれいなエッジとレベル、最小のオーバーシュートとアンダーシュートまたは立上がりを持つようにデザインする注意が必要です。

$\overline{\text{CNVST}}$ のパターンはグラウンドでシールドし、値の小さい直列終端抵抗(例えば 50 Ω)をこのラインを駆動するデバイス出力側に接続する必要があります。

SNR が重要なアプリケーションでは、 $\overline{\text{CNVST}}$ 信号のジッタを非常に小さく抑える必要があります。これを実現するためには、 $\overline{\text{CNVST}}$ の発生に専用の発振器を使うか、あるいは少なくとも高周波の低ジッタ・クロックで $\overline{\text{CNVST}}$ を駆動することが必要です(図 26)。

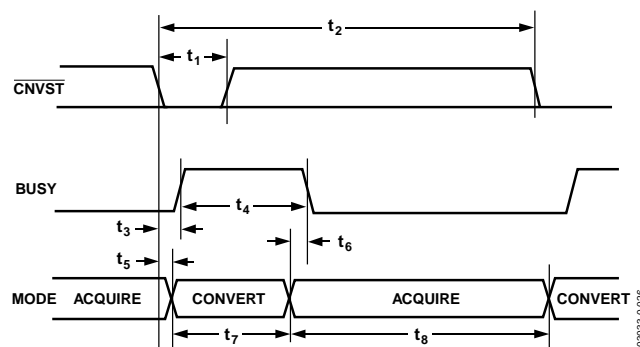


図 33. 変換の基本タイミング

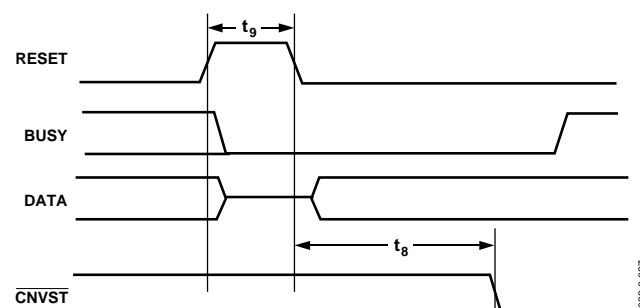


図 34. RESET タイミング

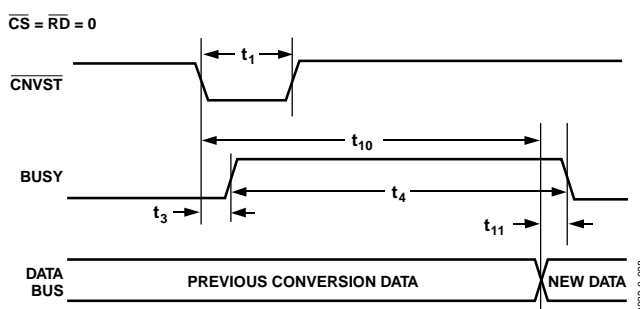


図 35. 読出し時のマスター・パラレル・データ・タイミング (連続読出し)

デジタル・インターフェース

AD7666 は多機能のデジタル・インターフェースを内蔵しており、シリアル・インターフェースまたはパラレル・インターフェースを使ってホスト・システムにインターフェースすることができます。シリアル・インターフェースはパラレル・データ・バス上にマルチプレクスされています。また、AD7666 デジタル・インターフェースは AD7666 の OVDD 電源ピンをホスト・システムのインターフェース・デジタル電源に接続するだけで、3 V または 5 V のロジックにも対応します。最後に、 $\overline{OB/2C}$ 入力ピンを使って、2 の補数コーディングまたはストレート・バイナリ・コーディングを選択することができます。

\overline{CS} と \overline{RD} の 2 本の信号がインターフェースを制御します。 \overline{CS} と \overline{RD} は内部で OR 接続されているため、同じ機能を持っています。これらの信号の少なくとも一方がハイ・レベルのとき、インターフェース出力はハイ・インピーダンスになります。一般に、 \overline{CS} は複数の AD7666 を使用するアプリケーションで各 AD7666 の選択に使い、AD7666 を 1 個使用するデザインではロー・レベルに固定します。 \overline{RD} は、一般に変換結果のデータ・バスへの出力をイネーブルするときに使います。

パラレル・インターフェース

$\overline{SER/PAR}$ をロー・レベルにすると、AD7666 はパラレル・インターフェースを使用するように設定されます。データは各変換の後に(すなわち次のアキュイジション・フェーズ中に)、または次の変換中に、それぞれ読出すことができます(それぞれ図 36 と図 37 に示します)。ただし、変換中にデータを読出すときは、変換フェーズの前半でのみ読出すことが推奨されます。これにより、デジタル・インターフェース上の過渡電圧が最もクリティカルなアナログ変換回路に混入するのを防止することができます。

BYTESWAP ピンを使うと、8 ビット・バスに対する外付け部品の不要なインターフェースが可能になります。図 38 に示すように、BYTESWAP がロー・レベルのとき、LSB バイトが D[7: 0] に、MSB が D[15: 8] に、それぞれ出力されます。BYTESWAP がハイ・レベルのとき、LSB バイトと MSB バイトは置換されて、LSB が D[15: 8] に、MSB が D[7: 0] に、それぞれ出力されます。BYTESWAP をアドレス・ラインに接続すると、16 ビット・データを D[15: 8] または D[7: 0] から 2 バイトとして読出すことができます。

シリアル・インターフェース

$\overline{SER/PAR}$ をハイ・レベルにすると、シリアル・インターフェースを使用するように AD7666 を設定することができます。AD7666 は、MSB ファーストで 16 ビットのデータを SDOUT ピンに出力します。このデータは、SCLK ピンに入力される 16 個のクロック・パルスに同期化されています。出力データは、データ・クロックの立上がりエッジと立下がりエッジの両方で有効です。

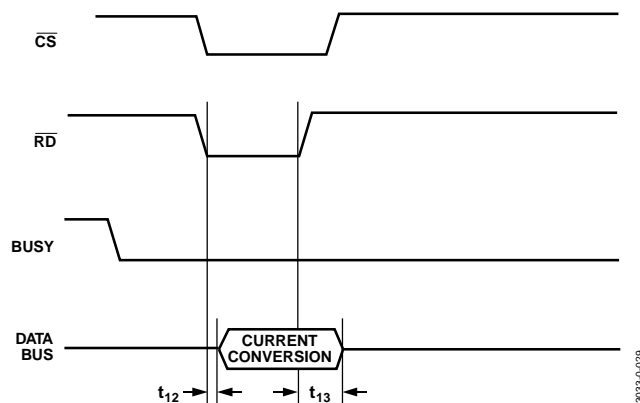


図 36. 読出し時のスレーブ・パラレル・データ・タイミング (変換後の読出し)

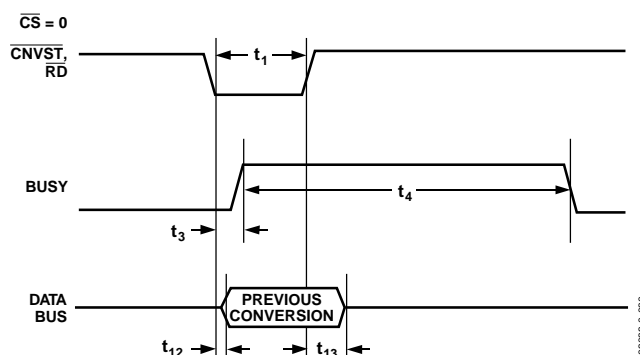


図 37. 読出し時のスレーブ・パラレル・データ・タイミング (変換中の読出し)

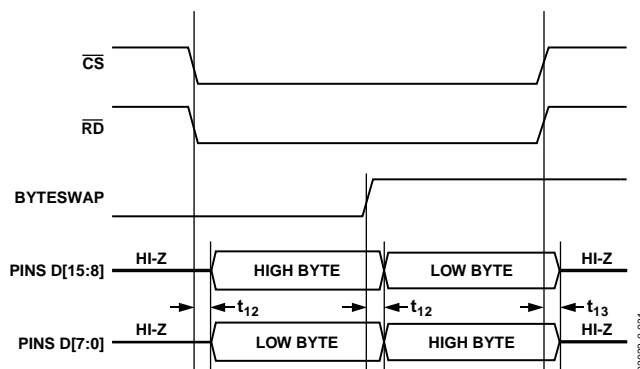


図 38. 8 ビット・パラレル・インターフェース

マスター・シリアル・インターフェース

内部クロック

EXT/ $\overline{\text{INT}}$ ピンをロー・レベルに維持すると、シリアル・データ・クロック SCLK を発生して出力するように AD7666 を設定することができます。また、AD7666 は SYNC 信号を発生して、シリアル・データが有効になるタイミングをホストに知らせます。シリアル・クロック SCLK と SYNC 信号は必要に応じて反転することができます。RDC/SDIN 入力に応じて、各変換の後に、または次の変換中に、データを読み出すことができます。図 39 と図 40 に、これら 2 つのモードの詳しいタイミング図を示します。

一般に、AD7666 は高速スループットで использоватьсяため、変換中のマスター読み出しモードが、最も推奨されるシリアル・モードです。このモードでは、適切な時間にシリアル・クロックとデータがトグルするため、デジタル動作がクリティカルな変換判定に影響を与えることが少なくなります。

変換後の読み出しモードでは、他のモードとは異なり、変換フェーズの終わりにではなく、16 データビットがパルス出力された後に BUSY 信号がロー・レベルに戻り、このために BUSY 幅が長くなることに注意する必要があります。

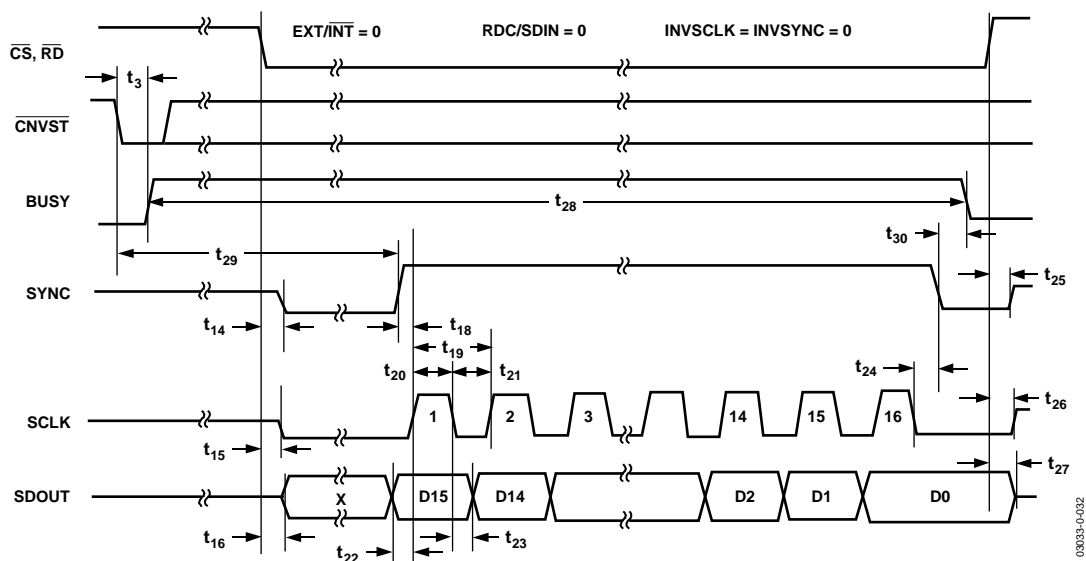


図 39. 読み出し時のマスター・シリアル・データ・タイミング (変換後の読み出し)

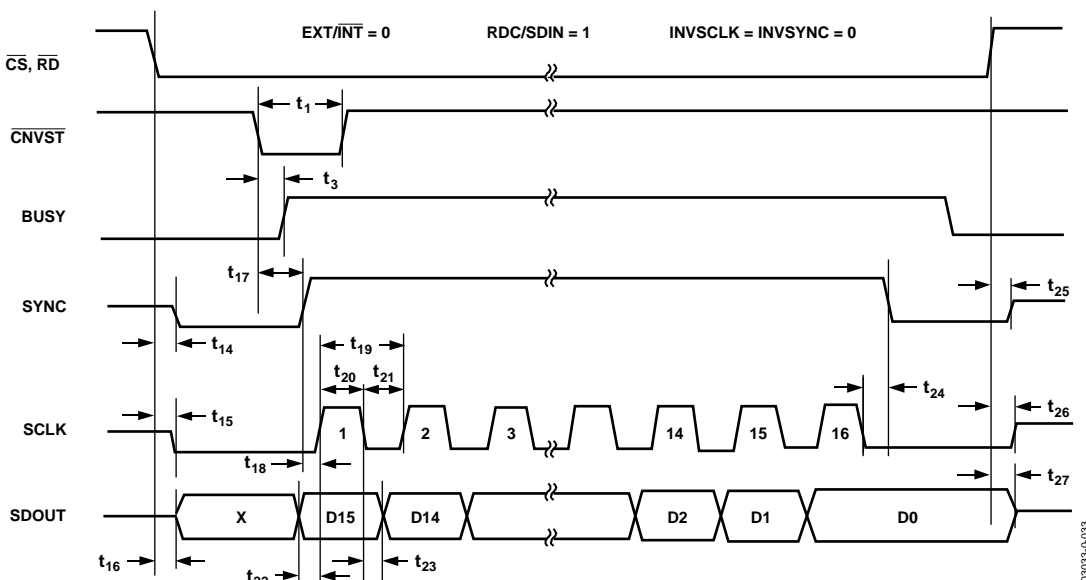


図 40. 読み出し時のマスター・シリアル・データ・タイミング (変換中における前の変換結果の読み出し)

スレーブ・シリアル・インターフェース

外部クロック

EXT/INTピンをハイ・レベルに維持すると、SCLK ピンに外部シリアル・データ・クロックを入力するように AD7666 を設定することができます。このモードでは、幾つかの方法を使ってデータを読み出すことができます。外部シリアル・クロックはCSによりゲーティングされます。CSとRDをロー・レベルに維持すると、各変換の後に、または次の変換中に、データを読み出すことができます。外部クロックとしては、連続クロックまたは不連続クロックが可能です。不連続クロックの非アクティブ状態は、ノーマル・ハイ・レベルまたはノーマル・ロー・レベルが可能です。図 41 と図 42 に、これらのモードの詳しいタイミング図を示します。一般に、AD7666 のアキュイジション・フェーズは変換フェーズより長いので、データは変換の直後に読み出されます。

AD7666 がビット判定を行っているときに、デジタル入出力ピンで過渡電圧が発生しないようにすることが重要で、発生すると変換結果の性能低下が発生します。これは変換フェーズの後半で特に重要です。AD7666 は変換フェーズの前半で行われたビット判定の誤りを補正することができる誤差補正回路を後半で提供しているためです。この理由により、外部クロックを入力する場合には、BUSY がロー・レベルのときだけトグルし、さらに BUSY がハイ・レベルである後半では変化しない不連続クロックの使用が推奨されます。

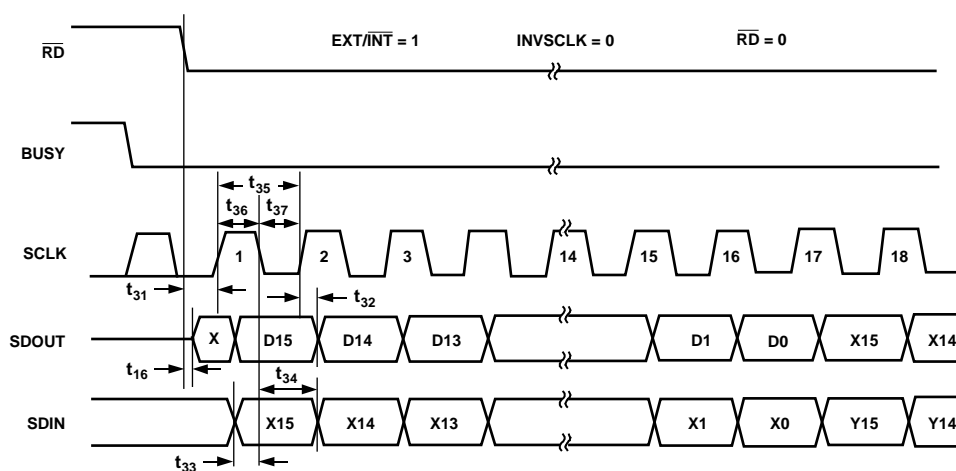


図 41. 読み出し時のスレーブ・シリアル・データ・タイミング(変換後の読み出し)

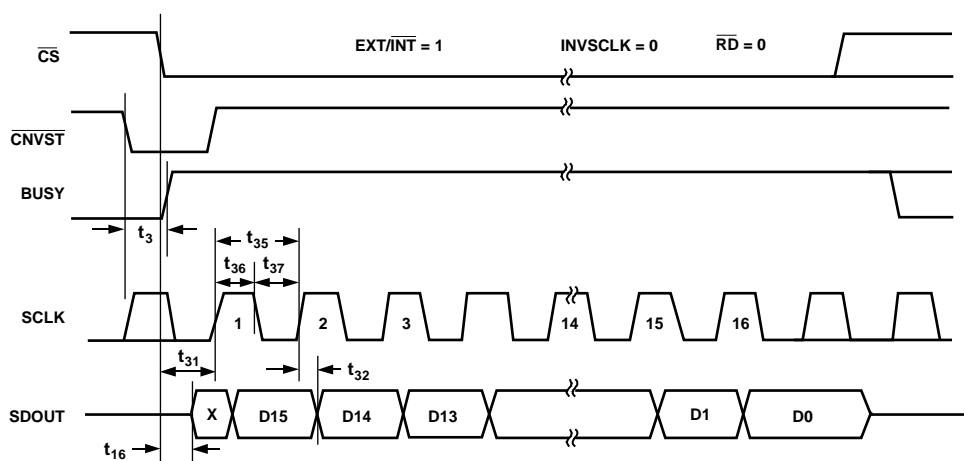


図 42. 読み出し時のスレーブ・シリアル・データ・タイミング(変換中における前の変換結果の読み出し)

変換後の外部不連続クロックによるデータ読出し

このモードでは最大スループットを達成できませんが、シリアル・スレーブ・モードとしては最も推奨されるモードです。図 41 に、この方法の詳しいタイミング図を示します。BUSY がロー・レベルに戻って変換の完了が表示されると、この変換結果はCSとRDが共にロー・レベルのとき読出すことができます。データはMSB ファーストで、16 個のクロック・パルスでシフト出力され、クロックの立上がりエッジと立下がりエッジの両方で有効です。

この方法の利点は、変換処理中にデジタル・インターフェース上で過渡電圧が発生しないため、変換性能の低下がないことです。もう 1 つの利点は、低速デジタル・ホスト・インターフェースと最高速のシリアル読出しの両方をサポートできる最大 40 MHz までの任意の速度でデータを読出しできることです。

最後に、このモードの場合だけ、AD7666 は RDC/SDIN 入力ピンを使って複数のコンバータをカスケード接続するディジーチェーン機能を提供します。この機能は部品数と接続配線数の削減に役立ちます。例えば、絶縁された複数のコンバータを使用するアプリケーションではこの接続が使用されます。

2 個のデバイスを接続する例を図 43 に示します。共通のCNVST信号を使って同時サンプリングが可能です。RDC/SDIN 入力は、SDOUT 上でデータをシフト出力する際に使う SCLK クロックのエッジとは反対側のエッジでラッチされることに注意してください。このため、次の SCLK サイクルで、"上流側"コンバータのMSB は"下流側"コンバータのLSB の直後に続きます。

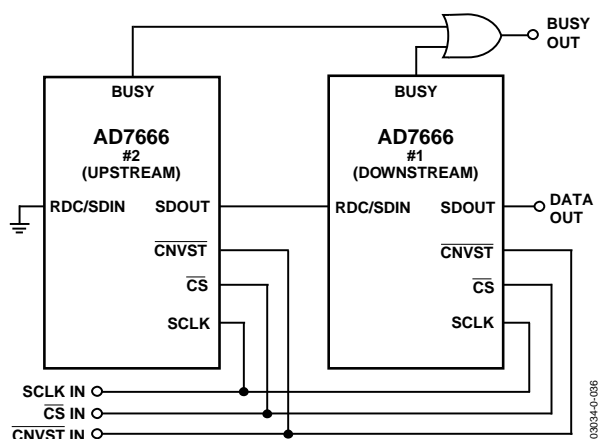


図 43. ディジーチェーン接続した 2 個の AD7666

外部クロックによる変換中のデータ読出し

図 42 に、この方法の詳しいタイミング図を示します。変換中に、CSとRDがロー・レベルのとき、前の変換結果を読出すことができます。データはMSB ファーストで、16 個のクロック・パルスでシフト出力され、クロックの立上がりエッジと立下がりエッジの両方で有効です。変換中の変換が完了する前に、16 ビットを読出す必要があります。読出すことができなかった場合には、RD 誤差にハイ・レベル・パルスが出力されるので、これを使ってホスト・インターフェースに割込みを発生して、不完全なデータ読出しを防止することができます。このモードにはディジーチェーン機能はありません。RDC/SDIN 入力は常にハイ・レベルまたはロー・レベルに固定しておく必要があります。

デジタル動作に起因する性能低下を少なくするため、少なくとも 18 MHz の高速な不連続クロックにより、変換フェーズの前半で全ビットを読出していることを確認することをお勧めします。また、変換後にデータの読出しを開始し、新しい変換が開始された後でも最終ビットの読出しを続けることも可能です。この場合、14 MHz のような低速クロックを使用することが可能です。

マイクロプロセッサ・インターフェース

AD7666 は、マイクロプロセッサをサポートする従来型の DC 計測アプリケーションやデジタル信号プロセッサにインターフェースする AC 信号処理アプリケーション向けに最適です。AD7666 は、パラレルの 8 ビット幅または 16 ビット幅のインターフェース、汎用シリアル・ポート、またはマイクロコントローラの I/O ポートを使ってインターフェースするようにデザインされています。様々な外付けバッファを AD7666 に使用することにより、デジタル・ノイズが ADC へ混入するのを防止することができます。以下の節では、AD7666 と SPI を内蔵する ADSP-219x DSP との接続について説明します。

SPI インターフェース(ADSP-219x)

図 44 に、AD7666 と SPI 内蔵 ADSP-219x との間のインターフェース図を示します。低速の DSP に対応するため、AD7666 はスレーブ・デバイスとして動作し、変換後にデータを読出します。このモードではディジーチェーン接続も可能です。内部タイマ割込みに対する応答の中で変換コマンドを起動することができます。DSP の割込みラインを使って、変換完了信号(BUSY がロー・レベルになります)に対する応答の中で読出し処理を開始することができます。

ADSP-219x のシリアル・インターフェース(SPI)はマスター・モードに設定されます。すなわち、SPI コントロール・レジスタ(SPICLTx)に書き込みを行い、マスター・モード(MSTR)=1、クロック極性ビット(CPOL)=0、クロック位相ビット(CPHA)=1、SPI 割込みイネーブル(TIMOD)=00 を設定します。すべてのタイミング条件を満たすために、SPI クロックを 17 Mbps に制限します。この速度では ADC 変換結果を 1 μ s 以内に読出すことが可能です。これより高速なサンプリング・レートが必要な場合には、パラレル・インターフェース・モードの使用が推奨されます。

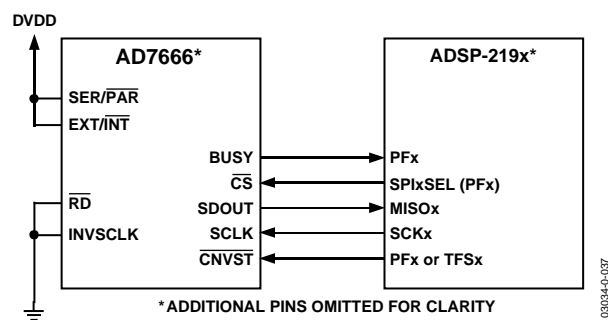


図 44. AD7666 と SPI とのインターフェース

アプリケーション情報

バイポーラ入力範囲と広い入力範囲

アプリケーションによっては、バイポーラのアナログ入力範囲、すなわち $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$ 、または $0\sim 5\text{ V}$ のような広いアナログ入力範囲を必要とする場合があります。AD7666 は 1 種類のユニポーラ範囲しか持っていませんが、入力駆動回路に簡単な変更を加えると、性能の低下なしにバイポーラ入力範囲および広い入力範囲を使うことができるようになります。図 45 に、この構成を可能にする接続図を示します。必要とされる部品値と可能なフルスケール範囲を表 8 に示します。

必要に応じて、図 45 に示すようにアナログ・マルチプレクサ(U2)を使ってグラウンドとリファレンス電圧を取り込むと、正確なゲインとオフセットをキャリブレーションすることができます。

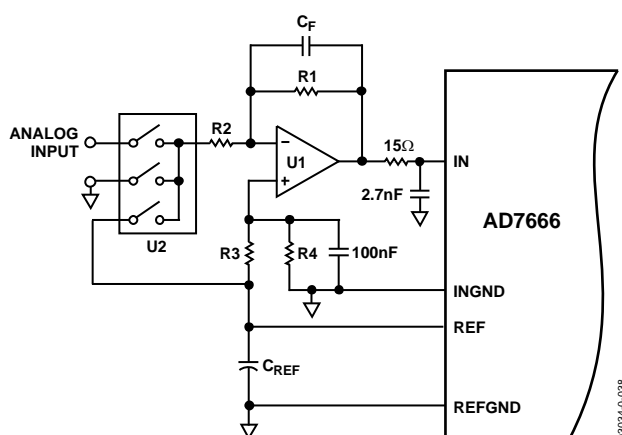


図 45. AD7666 を使った 16 ビットのバイポーラ入力範囲および/または入力範囲の拡張

表 8. 部品値と入力範囲

Input Range	R1 (Ω)	R2 (k Ω)	R3 (k Ω)	R4 (k Ω)
$\pm 10\text{ V}$	500	4	2.5	2
$\pm 5\text{ V}$	500	2	2.5	1.67
$0\text{ V to }-5\text{ V}$	500	1	None	0

レイアウト

AD7666 は、電源ノイズに対して非常に優れた耐性を持っていますが、グラウンド接続のレイアウトについては注意が必要です。

AD7666 を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。そうすることにより、グラウンド・プレーンの使用が可能になり、それらを容易に分離できるようになります。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは 1 点で接続する必要があります。AD7666 の真下で、あるいは少なくとも AD7666 にできるだけ近い場所で

の 1 点接続が望まれます。複数のデバイスがアナログ・グラウンドとデジタル・グラウンドの接続を必要とするシステム内で AD7666 を使用する場合にも、この接続は 1 ヶ所で行う必要があります。すなわち、AD7666 のできるだけ近くで星型グラウンド接続点を構成します。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンが AD7666 の下を通過することは可能です。CNVST やクロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、これらの信号はアナログ信号パスの近くを通過しないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに直角度となるように配置します。これにより、ボードを貫通するクロストークの影響を減らすことができます。

AD7666 の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。AD7666 に対する電源インピーダンスを下げるため、および電源スパイクの振幅を小さくするために、正しいデカップリングも重要です。100 nF (typ) のデカップリング・セラミック・コンデンサを、各電源ピン AVDD、DVDD、OVDD の近くに、理想的にはこれらのピンと対応するグラウンド・ピンに直接接続する必要があります。さらに、低 ESR の 10 μF コンデンサを ADC の近くに配置して、低周波リップルを抑える必要があります。

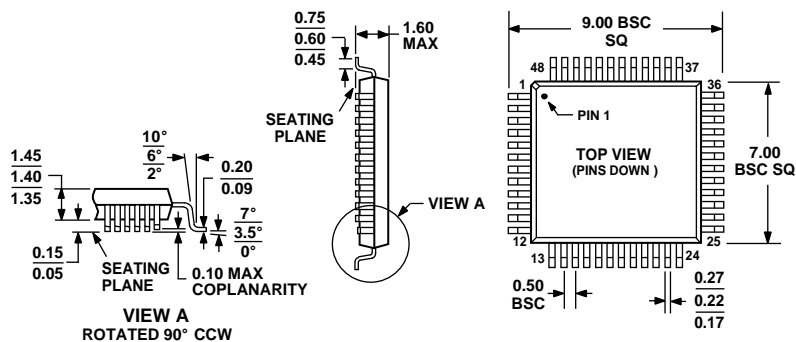
AD7666 の DVDD 電源は、別々の電源、またはアナログ電源 AVDD またはデジタル・インターフェース電源 OVDD から供給することができます。システム・デジタル電源のノイズが多い場合、または別々の電源を使用できなく、かつ高速なスイッチング・デジタル信号が存在する場合には、DVDD を RC フィルタ(図 26)を介して AVDD に接続し、システム電源を OVDD とその他のデジタル回路に接続します。DVDD にシステム電源を接続する場合、高周波スパイクを抑えるためビードを挿入すると有効です。

AD7666 には INGND、REFVDD、AGND、DGND、OGND からなる 5 種類のグラウンド・ピンがあります。INGND はアナログ入力信号の検出に使用します。リファレンス電圧を検出する REFVDD にはパルス電流が流れるため、リファレンスまでの低インピーダンスのリターン・パスを用意する必要があります。AGND は、多くの内部 ADC アナログ信号が基準として使うグラウンドであるため、最小の抵抗でアナログ・グラウンド・プレーンに接続する必要があります。DGND は、構成に応じて、アナログ・グラウンド・プレーンまたはデジタル・グラウンド・プレーンに接続する必要があります。OGND はデジタル・システム・グラウンドに接続します。

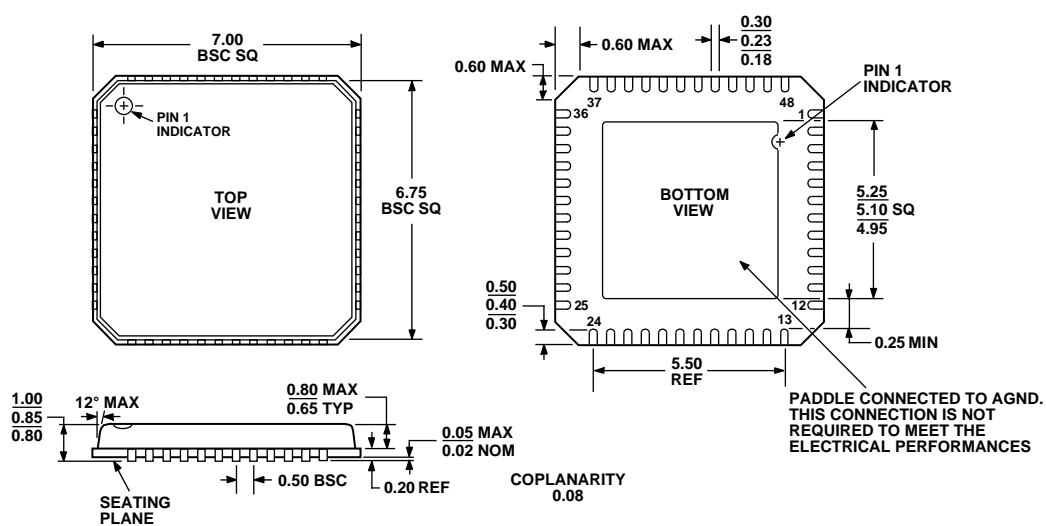
AD7666 の性能評価

AD7666 の推奨レイアウトの概要は AD7666 評価用ボード EVAL-AD7666 内に示してあります。評価用ボードの梱包には、組み立て済みでテスト済みの評価用ボード、ドキュメント、EVAL-CONTROL BRD2 を介して PC からボードを制御するソフトウェアが添付されています。

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-026BBC
 図 46.48 ピン・クワッド・フラットパック(LQFP) [ST-48]
 寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-220-VKGD-2
 図 47.48 ピン・フレーム・チップ・スケール・パッケージ(LFCSP) [CP-48]
 寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD7666AST	-40°C to +85°C	Quad Flatpack (LQFP)	ST-48
AD7666ASTRL	-40°C to +85°C	Quad Flatpack (LQFP)	ST-48
AD7666ACP	-40°C to +85°C	Lead Frame Chip Scale (LFCSP)	CP-48
AD7666ACPRL	-40°C to +85°C	Lead Frame Chip Scale (LFCSP)	CP-48
EVAL-AD7666CB ¹		Evaluation Board	
EVAL-CONTROL BRD2 ²		Controller Board	

¹これは単独の評価用ボードとして、または評価/デモ目的の EVAL-CONTROL BRD2 と組み合わせて、使用することができます。

²このボードを使うと、PCからの制御とCBサフィックスが付くすべてのアナログ・デバイセス評価用ボードとの通信が可能です。