

AD7656/AD7657/AD7658

特長

- 独立した6系統のADC内蔵
- 真のバイポーラ・アナログ入力
- ピン/ソフトウェアで選択可能な入力電圧範囲：±10V、±5V
- 高速スループット・レート：250kSPS
- iCMOS™プロセス技術
- 低消費電力
 - 140mW (250kSPS、5V電源)
- 広入力帯域幅
 - S/N比：86.5dB (入力周波数50kHz)
- リファレンスとトリファレンス・バッファを内蔵
- インターフェース・モード：パラレル、シリアル、デジチェーン
- 高速シリアル・インターフェース
 - SPI®/QSPI™/MICROWIRE™/DSP互換
- スタンバイ・モード：100μW (max)
- 64ピンLQFP

アプリケーション

- 電力線モニタリング・システム
- 計測器と制御システム
- 多軸位置決めシステム

概要

AD7656/AD7657/AD7658は、iCMOSプロセス（工業用CMOS）を用いて、16/14/12ビットの高速、低消費電力の逐次比較型A/Dコンバータ（SAR ADC）6個を1つのパッケージに収めています。iCMOSは、高電圧シリコンをサブマイクロンCMOS技術および相補型バイポーラ（CB）技術と組み合わせた製造プロセスです。これまでの高電圧デバイスでは実現できなかった小さなフットプリントで33V動作を実現する、広範囲高性能アナログICの開発を可能にします。従来のCMOSプロセスを用いたアナログICと異なり、iCMOS部品はバイポーラ入力信号を受け入れるとともに高性能を実現でき、消費電力とパッケージ・サイズの大幅な低減が可能です。

AD7656/AD7657/AD7658は、最大250kSPSのスループット・レートが可能です。また、12MHzまでの入力周波数に対応できる、低ノイズで広帯域幅のトラック&ホールド・アンプを内蔵しています。

機能ブロック図

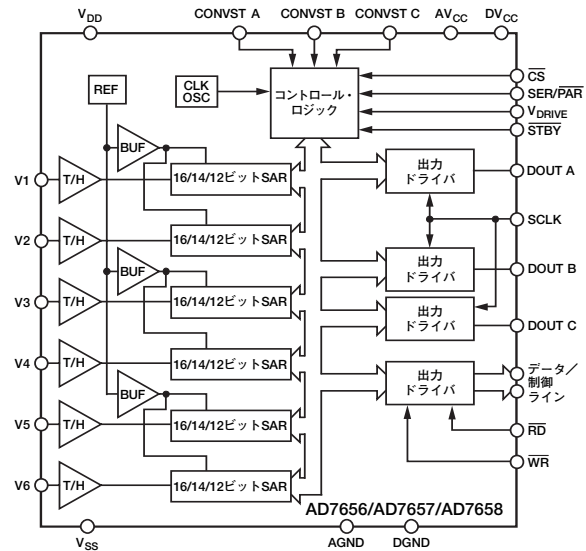


図1

変換プロセスとデータ・アクイジションは、CONVST信号と内部発振器によって制御します。3本のCONVSTピンによって、3つのADCペアを別々に同時サンプリングできます。AD7656/AD7657/AD7658には高速のパラレル・インターフェースとシリアル・インターフェースが備わっているため、マイクロプロセッサやDSPとのインターフェースが可能です。シリアル・インターフェース・モードでは、デジチェーン機能で複数のADCを1つのシリアル・インターフェースに接続できます。AD7656/AD7657/AD7658は、 $\pm 4 \times V_{REF}$ のレンジと $\pm 2 \times V_{REF}$ のレンジの真のバイポーラ入力信号を受け入れます。また、2.5Vリファレンスも内蔵しています。

製品のハイライト

- 16/14/12ビット、250kSPSのADCを6個内蔵
- 6つの真のバイポーラ、高インピーダンス・アナログ入力
- パラレル・インターフェースと高速シリアル・インターフェース

¹ 米国特許No. 6,731,232により保護されています。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2006 Analog Devices, Inc. All rights reserved.

AD7656/AD7657/AD7658

目次

特長	1	ピン配置と機能の説明	11
アプリケーション	1	代表的な性能特性	14
機能ブロック図	1	用語の説明	18
概要	1	動作原理	20
製品のハイライト	1	コンバータの詳細	20
改訂履歴	2	ADCの伝達関数	21
仕様	3	リファレンス部	21
AD7656	3	代表的な接続図	21
AD7657	5	アナログ入力の駆動	22
AD7658	7	インターフェース部	22
タイミング仕様	9	アプリケーション情報	29
絶対最大定格	10	レイアウト	29
熱抵抗	10	外形寸法	30
ESDに関する注意	10	オーダー・ガイド	30

改訂履歴

4/06—Rev. 0 to Rev. A

Added AD7657/AD7658 parts	Universal
Changes to Table 1	3
Changes to Table 5	10

3/06—Revision 0: Initial Version

仕様

AD7656

特に指定のない限り、 $V_{REF}=2.5V$ 内部/外部、 $AV_{CC}=4.75\sim 5.25V$ 、 $DV_{CC}=4.75\sim 5.25V$ 、 $V_{DRIVE}=2.7\sim 5.25V$ 。
 $\pm 4 \times V_{REF}$ のレンジ： $V_{DD}=10\sim 16.5V$ 、 $V_{SS}=-10\sim -16.5V$ 。 $\pm 2 \times V_{REF}$ のレンジ： $V_{DD}=5\sim 16.5V$ 、 $V_{SS}=-5\sim -16.5V$ 。
 $f_{SAMPLE}=250kSPS$ 、 $T_A=T_{MIN}\sim T_{MAX}$ ¹

表1

パラメータ	Bバージョン ¹	Yバージョン ¹	単位	テスト条件/備考
動的性能				
信号/ノイズ&歪み (SINAD) ²	84	84	dB (min)	$f_{IN}=50kHz$ サイン波 $V_{DD}/V_{SS}=\pm 5\sim \pm 10V$ $V_{DD}/V_{SS}=\pm 12\sim \pm 16.5V$ $f_a=50kHz$ 、 $f_b=49kHz$
	85.5	85.5	dB (typ)	
S/N比 (SNR) ²	85	85	dB (min)	
	86.5	86.5	dB (typ)	
全高調波歪み (THD) ²	-90	-90	dB (max)	
	-92	-92	dB (typ)	
	-100	-100	dB (typ)	
ピーク高調波またはスプリアス・ノイズ (SFDR) ²	-100	-100	dB (typ)	
相互変調歪み (IMD) ²				
2次項	-112	-112	dB (typ)	
3次項	-107	-107	dB (typ)	
アパーチャ遅延	10	10	ns (max)	
アパーチャ遅延マッチング	4	4	ns (max)	
アパーチャ・ジッタ	35	35	ps (typ)	
チャンネル間絶縁 ²	-100	-100	dB (typ)	非選択チャンネル上の f_{IN} は100kHzまで
フル・パワー帯域幅	12	12	MHz (typ)	@-3dB
	2	2	MHz (typ)	@-0.1dB
DC精度				
分解能	16	16	ビット	
ノー・ミッシング・コード	15	14	ビット (min)	
	16	16	ビット (min)	@25°C
積分非直線性 (INL) ²	± 3	± 4.5	LSB (max)	
	± 1	± 1	LSB (typ)	
正側フルスケール誤差 ²	± 0.75	± 0.75	% FS (max)	$\pm 0.22\%$ FSR (typ)
正側フルスケール誤差マッチング ²	± 0.35	± 0.35	% FS (max)	
バイポーラ・ゼロスケール誤差 ²	± 0.023	± 0.023	% FS (max)	$\pm 0.004\%$ FSR (typ)
バイポーラ・ゼロスケール誤差マッチング ²	± 0.038	± 0.038	% FS (max)	
負側フルスケール誤差 ²	± 0.75	± 0.75	% FS (max)	$\pm 0.22\%$ FSR (typ)
負側フルスケール誤差マッチング ²	± 0.35	± 0.35	% FS (max)	
アナログ入力				
入力電圧範囲	$\pm 4 \times V_{REF}$	$\pm 4 \times V_{REF}$	V	各レンジの最小 V_{DD}/V_{SS} は表8を参照
	$\pm 2 \times V_{REF}$	$\pm 2 \times V_{REF}$	V	RNGビット/RANGEピン=0
				RNGビット/RANGEピン=1
DCリーク電流	± 1	± 1	μA (max)	
入力容量 ³	10	10	pF (typ)	トラック時、 $\pm 4 \times V_{REF}$ のレンジ
	14	14	pF (typ)	トラック時、 $\pm 2 \times V_{REF}$ のレンジ
リファレンス入出力				
リファレンス入力電圧範囲	2.5/3	2.5/3	V (min/max)	
DCリーク電流	± 1	± 1	μA (max)	
入力容量 ³	18.5	18.5	pF (typ)	$REF_{EN/DIS}=1$
リファレンス出力電圧	2.49/2.51	2.49/2.51	V (min/max)	
長期安定性	150	150	ppm (typ)	1000時間
リファレンス温度係数	25	25	ppm/°C (max)	
	6	6	ppm/°C (typ)	

AD7656/AD7657/AD7658

パラメータ	Bバージョン ¹	Yバージョン ¹	単位	テスト条件/備考
ロジック入力				
ハイレベル入力電圧 (V_{INH})	$0.7 \times V_{DRIVE}$	$0.7 \times V_{DRIVE}$	V (min)	10nA (typ)、 $V_{IN}=0V$ または V_{DRIVE}
ローレベル入力電圧 (V_{INL})	$0.3 \times V_{DRIVE}$	$0.3 \times V_{DRIVE}$	V (max)	
入力電流 (I_{IN})	± 1	± 1	μA (max)	
入力容量 (C_{IN}) ³	10	10	pF (max)	
ロジック出力				
ハイレベル出力電圧 (V_{OH})	$V_{DRIVE} - 0.2$	$V_{DRIVE} - 0.2$	V (min)	$I_{SOURCE} = 200\mu A$ $I_{SINK} = 200\mu A$
ローレベル出力電圧 (V_{OL})	0.2	0.2	V (max)	
フローティング状態リーク電流	± 1	± 1	μA (max)	
フローティング状態出力容量 ³	10	10	pF (max)	
出力コーディング	2の補数			
変換レート				
変換時間	3.1	3.1	μs (max)	パラレル・インターフェース・モードのみ
トラック&ホールド・アクイジション時間 ^{2,3}	550	550	ns (max)	
スループット・レート	250	250	kSPS	
電源条件				
V_{DD}	5/15	5/15	V nom (min/max)	4× V_{REF} のレンジでは、 $V_{DD} = 10 \sim 16.5V$ 4× V_{REF} のレンジでは、 $V_{DD} = -10 \sim -16.5V$
V_{SS}	-5/-15	-5/-15	V nom (min/max)	
AV_{CC}	5	5	V nom	デジタルI/P=0Vまたは V_{DRIVE} $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25V$ 、 $V_{DD} = 16.5V$ 、 $V_{SS} = -16.5V$ $f_{SAMPLE} = 250kSPS$ 、 $AV_{CC} = DV_{CC} =$ $V_{DRIVE} = 5.25V$ 、 $V_{DD} = 16.5V$ 、 $V_{SS} = -16.5V$ $V_{SS} = -16.5V$ 、 $f_{SAMPLE} = 250kSPS$ $V_{DD} = 16.5V$ 、 $f_{SAMPLE} = 250kSPS$ $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25V$ 、 $V_{DD} = 16.5V$ 、 $V_{SS} = -16.5V$ SCLKオンまたはオフ、 $AV_{CC} = DV_{CC} =$ $V_{DRIVE} = 5.25V$ 、 $V_{DD} = 16.5V$ 、 $V_{SS} = -16.5V$ $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25V$ 、 $V_{DD} = 16.5V$ 、 $V_{SS} = -16.5V$ $f_{SAMPLE} = 250kSPS$
DV_{CC}	5	5	V nom	
V_{DRIVE}	3/5	3/5	V nom (min/max)	
I_{TOTAL}				
ノーマル・モード (静止時) (IAV_{CC} 、 IV_{DD} 、 IV_{SS} 、 IV_{DRIVE} 、 IDV_{CC} を含む)	28	28	mA (max)	
ノーマル・モード (動作時) (IAV_{CC} 、 IV_{DD} 、 IV_{SS} 、 IV_{DRIVE} 、 IDV_{CC} を含む)	26	26	mA (max)	
I_{SS} (動作時)	0.25	0.25	mA (max)	
I_{DD} (動作時)	0.25	0.25	mA (max)	
部分的パワーダウン・モード	7	7	mA (max)	
フル・パワーダウン・モード (\overline{STBY} ピン)	80	80	μA (max)	
消費電力				
ノーマル・モード (静止時)	143	143	mW (max)	
ノーマル・モード (動作時)	140	140	mW (max)	
部分的パワーダウン・モード	35	35	mW (max)	
フル・パワーダウン・モード (\overline{STBY} ピン)	100	100	μW (max)	

¹ 温度範囲：Bバージョンは-40～+85℃、Yバージョンは-40～+125℃。

² 「用語の説明」を参照。

³ 量産開始時にサンプル・テストにより適合性を保証。

AD7657

特に指定のない限り、 $V_{REF}=2.5V$ 内部/外部、 $AV_{CC}=4.75\sim 5.25V$ 、 $DV_{CC}=4.75\sim 5.25V$ 、 $V_{DRIVE}=2.7\sim 5.25V$ 。
 $\pm 4\times V_{REF}$ のレンジ： $V_{DD}=10\sim 16.5V$ 、 $V_{SS}=-10\sim -16.5V$ 。 $\pm 2\times V_{REF}$ のレンジ： $V_{DD}=5\sim 16.5V$ 、 $V_{SS}=-5\sim -16.5V$ 。
 $f_{SAMPLE}=250kSPS$ 、 $T_A=T_{MIN}\sim T_{MAX}$ ¹

表2

パラメータ	Bバージョン ¹	Yバージョン ¹	単位	テスト条件/備考
動的性能				
信号/ノイズ&歪み (SINAD) ²	81.5	81.5	dB (min)	$f_{IN}=50kHz$ サイン波
S/N比 (SNR) ²	82.5	82.5	dB (min)	
	83.5	83.5	dB (typ)	
全高調波歪み (THD) ²	-90	-89	dB (max)	
	-92	-92	dB (typ)	
ピーク高調波またはスプリアス・ノイズ (SFDR) ²	-100	-100	dB (typ)	
相互変調歪み (IMD) ²				$f_a=50kHz$ 、 $f_b=49kHz$
2次項	-109	-109	dB (typ)	
3次項	-104	-104	dB (typ)	
アパーチャ遅延	10	10	ns (max)	
アパーチャ遅延マッチング	4	4	ns (max)	
アパーチャ・ジッタ	35	35	ps (typ)	
チャンネル間絶縁 ²	-100	-100	dB (typ)	非選択チャンネル上の f_{IN} は100kHzまで
フル・パワー帯域幅	12	12	MHz (typ)	@-3dB
	2	2	MHz (typ)	@-0.1dB
DC精度				
分解能	14	14	ビット	
ノー・ミッシング・コード	14	14	ビット (min)	
積分非直線性 (INL) ²	± 1.5	± 1.5	LSB (max)	
	± 1	± 1	LSB (typ)	
正側フルスケール誤差 ²	± 0.61	± 0.61	% FS (max)	$\pm 0.183\%$ FSR (typ)
正側フルスケール誤差マッチング ²	± 0.3	± 0.3	% FS (max)	
バイポーラ・ゼロスケール誤差 ²	± 0.0305	± 0.0305	% FS (max)	$\pm 0.015\%$ FSR (typ)
バイポーラ・ゼロスケール誤差マッチング ²	± 0.0427	± 0.0427	% FS (max)	
負側フルスケール誤差 ²	± 0.61	± 0.61	% FS (max)	$\pm 0.183\%$ FSR (typ)
負側フルスケール誤差マッチング ²	± 0.3	± 0.3	% FS (max)	
アナログ入力				
入力電圧範囲	$\pm 4\times V_{REF}$	$\pm 4\times V_{REF}$	V	各レンジの最小 V_{DD}/V_{SS} は表8を参照
	$\pm 2\times V_{REF}$	$\pm 2\times V_{REF}$	V	RNGビット/RANGEピン=0
DCリーク電流	± 1	± 1	μA (max)	RNGビット/RANGEピン=1
入力容量 ³	10	10	pF (typ)	トラック時、 $\pm 4\times V_{REF}$ のレンジ
	14	14	pF (typ)	トラック時、 $\pm 2\times V_{REF}$ のレンジ
リファレンス入出力				
リファレンス入力電圧範囲	2.5/3	2.5/3	V (min/max)	
DCリーク電流	± 1	± 1	μA (max)	
入力容量 ³	18.5	18.5	pF (typ)	$REF_{EN/DS}=1$
リファレンス出力電圧	2.49/2.51	2.49/2.51	V (min/max)	
長期安定性	150	150	ppm (typ)	1000時間
リファレンス温度係数	25	25	ppm/ $^{\circ}C$ (max)	
	6	6	ppm/ $^{\circ}C$ (typ)	
ロジック入力				
ハイレベル入力電圧 (V_{INH})	$0.7\times V_{DRIVE}$	$0.7\times V_{DRIVE}$	V (min)	
ローレベル入力電圧 (V_{INL})	$0.3\times V_{DRIVE}$	$0.3\times V_{DRIVE}$	V (max)	
入力電流 (I_{IN})	± 1	± 1	μA (max)	10nA (typ)、 $V_{IN}=0V$ または V_{DRIVE}
入力容量 (C_{IN}) ³	10	10	pF (max)	

AD7656/AD7657/AD7658

パラメータ	Bバージョン ¹	Yバージョン ¹	単位	テスト条件/備考
ロジック出力				
ハイレベル出力電圧 (V_{OH})	$V_{DRIVE} - 0.2$	$V_{DRIVE} - 0.2$	V (min)	$I_{SOURCE} = 200\mu A$
ローレベル出力電圧 (V_{OL})	0.2	0.2	V (max)	$I_{SINK} = 200\mu A$
フローティング状態リーク電流	± 1	± 1	μA (max)	
フローティング状態出力容量 ²	10	10	pF (max)	
出力コーディング	2の補数			
変換レート				
変換時間	3.1	3.1	μs (max)	
トラック & ホールド・アクイジション時間 ^{2,3}	550	550	ns (max)	
スループット・レート	250	250	kSPS	パラレル・インターフェース・モードのみ
電源条件				
V_{DD}	5/15	5/15	V nom (min/max)	$4 \times V_{REF}$ のレンジでは、 $V_{DD} = 10 \sim 16.5V$
V_{SS}	-5/-15	-5/-15	V nom (min/max)	$4 \times V_{REF}$ のレンジでは、 $V_{DD} = -10 \sim -16.5V$
AV_{CC}	5	5	V nom	
DV_{CC}	5	5	V nom	
V_{DRIVE}	3/5	3/5	V nom (min/max)	
I_{TOTAL}				デジタルI/P=0Vまたは V_{DRIVE}
ノーマル・モード (静止時) (IAV_{CC} 、 IV_{DD} 、 IV_{SS} 、 IV_{DRIVE} 、 IDV_{CC} を含む)	28	28	mA (max)	$AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25V$ 、 $V_{DD} = 16.5V$ 、 $V_{SS} = -16.5V$
ノーマル・モード (動作時) (IAV_{CC} 、 IV_{DD} 、 IV_{SS} 、 IV_{DRIVE} 、 IDV_{CC} を含む)	26	26	mA (max)	$f_{SAMPLE} = 250kSPS$ 、 $AV_{CC} = DV_{CC} =$ $V_{DRIVE} = 5.25V$ 、 $V_{DD} = 16.5V$ 、 $V_{SS} = -16.5V$
I_{SS} (動作時)	0.25	0.25	mA (max)	$V_{SS} = -16.5V$ 、 $f_{SAMPLE} = 250kSPS$
I_{DD} (動作時)	0.25	0.25	mA (max)	$V_{DD} = 16.5V$ 、 $f_{SAMPLE} = 250kSPS$
部分的パワーダウン・モード	7	7	mA (max)	$AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25V$ 、 $V_{DD} = 16.5V$ 、 $V_{SS} = -16.5V$
フル・パワーダウン・モード (\overline{STBY} ピン)	80	80	μA (max)	SCLKオンまたはオフ、 $AV_{CC} = DV_{CC} =$ $V_{DRIVE} = 5.25V$ 、 $V_{DD} = 16.5V$ 、 $V_{SS} = -16.5V$
消費電力				
ノーマル・モード (静止時)	143	143	mW (max)	
ノーマル・モード (動作時)	140	140	mW (max)	$f_{SAMPLE} = 250kSPS$
部分的パワーダウン・モード	35	35	mW (max)	
フル・パワーダウン・モード (\overline{STBY} ピン)	100	100	μW (max)	

¹ 温度範囲：Bバージョンは-40～+85℃、Yバージョンは-40～+125℃。

² 「用語の説明」を参照。

³ 量産開始時にサンプル・テストにより適合性を保証。

AD7658

特に指定のない限り、 $V_{REF}=2.5V$ 内部/外部、 $AV_{CC}=4.75\sim 5.25V$ 、 $DV_{CC}=4.75\sim 5.25V$ 、 $V_{DRIVE}=2.7\sim 5.25V$ 。
 $\pm 4 \times V_{REF}$ のレンジ： $V_{DD}=10\sim 16.5V$ 、 $V_{SS}=-10\sim -16.5V$ 。 $\pm 2 \times V_{REF}$ のレンジ： $V_{DD}=5\sim 16.5V$ 、 $V_{SS}=-5\sim -16.5V$ 。
 $f_{SAMPLE}=250kSPS$ 、 $T_A=T_{MIN}\sim T_{MAX}$ ¹

表3

パラメータ	Bバージョン ¹	Yバージョン ¹	単位	テスト条件/備考
動的性能				
信号/ノイズ&歪み (SINAD) ²	73	73	dB (min)	f _{IN} =50kHzサイン波
	73.5	73.5	dB (typ)	
全高調波歪み (THD) ²	-88	-88	dB (max)	
	-92	-92	dB (typ)	
ピーク高調波またはスプリアス・ノイズ (SFDR) ²	-97	-97	dB (typ)	fa=50kHz、fb=49kHz
相互変調歪み (IMD) ²				
2次項	-106	-106	dB (typ)	
3次項	-101	-101	dB (typ)	
アパーチャ遅延	10	10	ns (max)	
アパーチャ遅延マッチング	4	4	ns (max)	
アパーチャ・ジッタ	35	35	ps (typ)	
チャンネル間絶縁 ²	-100	-100	dB (typ)	
フル・パワー帯域幅	12	12	MHz (typ)	非選択チャンネル上のf _{IN} は100kHzまで
	2	2	MHz (typ)	@-3dB
				@-0.1dB
DC精度				
分解能	12	12	ビット	
ノー・ミッシング・コード	12	12	ビット (min)	
微分非直線性 (DNL)	±0.7	±0.7	LSB (max)	
積分非直線性 (INL) ²	±1	±1	LSB (max)	
正側フルスケール誤差 ²	±0.6104	±0.6104	% FS (max)	±0.244% FSR (typ)
正側フルスケール誤差マッチング ²	±0.366	±0.366	% FS (max)	
バイポーラ・ゼロスケール誤差 ²	±3	±3	LSB (max)	
バイポーラ・ゼロスケール誤差マッチング ²	±3	±3	LSB (max)	±0.0488% FSR (typ)
負側フルスケール誤差 ²	±0.6104	±0.6104	% FS (max)	±0.244% FSR (typ)
負側フルスケール誤差マッチング ²	±0.366	±0.366	% FS (max)	
アナログ入力				
入力電圧範囲	±4×V _{REF}	±4×V _{REF}	V	各レンジの最小V _{DD} /V _{SS} は表8を参照
	±2×V _{REF}	±2×V _{REF}	V	
DCリーク電流	±1	±1	μA (max)	RNGビット/RANGEピン=0
入力容量 ³	10	10	pF (typ)	RNGビット/RANGEピン=1
	14	14	pF (typ)	トラック時、±4×V _{REF} のレンジ
				トラック時、±2×V _{REF} のレンジ
リファレンス入出力				
リファレンス入力電圧範囲	2.5/3	2.5/3	V (min/max)	
DCリーク電流	±1	±1	μA (max)	
入力容量 ³	18.5	18.5	pF (typ)	REF _{EN/DIS} =1
リファレンス出力電圧	2.49/2.51	2.49/2.51	V (min/max)	1000時間
長期安定性	150	150	ppm (typ)	
リファレンス温度係数	25	25	ppm/°C (max)	
	6	6	ppm/°C (typ)	
ロジック入力				
ハイレベル入力電圧 (V _{INH})	0.7×V _{DRIVE}	0.7×V _{DRIVE}	V (min)	
ローレベル入力電圧 (V _{INL})	0.3×V _{DRIVE}	0.3×V _{DRIVE}	V (max)	
入力電流 (I _{IN})	±1	±1	μA (max)	10nA (typ)、V _{IN} =0VまたはV _{DRIVE}
入力容量 (C _{IN}) ³	10	10	pF (max)	

AD7656/AD7657/AD7658

パラメータ	Bバージョン ¹	Yバージョン ¹	単位	テスト条件/備考
ロジック出力				
ハイレベル出力電圧 (V _{OH})	V _{DRIVE} - 0.2	V _{DRIVE} - 0.2	V (min)	I _{SOURCE} = 200μA
ローレベル出力電圧 (V _{OL})	0.2	0.2	V (max)	I _{SINK} = 200μA
フローティング状態リーク電流	±1	±1	μA (max)	
フローティング状態出力容量 ²	10	10	pF (max)	
出力コーディング	2の補数			
変換レート				
変換時間	3.1	3.1	μs (max)	
トラック & ホールド・アクイジション時間 ^{2,3}	550	550	ns (max)	
スループット・レート	250	250	kSPS	パラレル・インターフェース・モードのみ
電源条件				
V _{DD}	5/15	5/15	V nom (min/max)	4×V _{REF} のレンジでは、V _{DD} = 10~16.5V
V _{SS}	-5/-15	-5/-15	V nom (min/max)	4×V _{REF} のレンジでは、V _{DD} = -10~-16.5V
AV _{CC}	5	5	V nom	
DV _{CC}	5	5	V nom	
V _{DRIVE}	3/5	3/5	V nom (min/max)	
I _{TOTAL}				デジタルI/P=0VまたはV _{DRIVE}
ノーマル・モード (静止時) (IAV _{CC} 、IV _{DD} 、IV _{SS} 、IV _{DRIVE} 、IDV _{CC} を含む)	28	28	mA (max)	AV _{CC} =DV _{CC} =V _{DRIVE} =5.25V、 V _{DD} =16.5V、V _{SS} =-16.5V
ノーマル・モード (動作時) (IAV _{CC} 、IV _{DD} 、IV _{SS} 、IV _{DRIVE} 、IDV _{CC} を含む)	26	26	mA (max)	f _{SAMPLE} =250kSPS、AV _{CC} =DV _{CC} = V _{DRIVE} =5.25V、V _{DD} =16.5V、 V _{SS} =-16.5V
I _{SS} (動作時)	0.25	0.25	mA (max)	V _{SS} =-16.5V、f _{SAMPLE} =250kSPS
I _{DD} (動作時)	0.25	0.25	mA (max)	V _{DD} =16.5V、f _{SAMPLE} =250kSPS
部分的パワーダウン・モード	7	7	mA (max)	AV _{CC} =DV _{CC} =V _{DRIVE} =5.25V、 V _{DD} =16.5V、V _{SS} =-16.5V
フル・パワーダウン・モード (STBYピン)	80	80	μA (max)	SCLKオンまたはオフ、AV _{CC} =DV _{CC} = V _{DRIVE} =5.25V、V _{DD} =16.5V、 V _{SS} =-16.5V
消費電力				
ノーマル・モード (静止時)	143	143	mW (max)	
ノーマル・モード (動作時)	140	140	mW (max)	f _{SAMPLE} =250kSPS
部分的パワーダウン・モード	35	35	mW (max)	
フル・パワーダウン・モード (STBYピン)	100	100	μW (max)	

¹ 温度範囲：Bバージョンは-40~+85℃、Yバージョンは-40~+125℃。

² 「用語の説明」を参照。

³ 量産開始時にサンプル・テストにより適合性を保証。

タイミング仕様

特に指定のない限り、 $AV_{CC}/DV_{CC}=4.75\sim 5.25V$ 、 $V_{DD}=5\sim 16.5V$ 、 $V_{SS}=-5\sim -16.5V$ 、 $V_{DRIVE}=2.7\sim 5.25V$ 、 $V_{REF}=2.5V$ 内部/外部、 $T_A=T_{MIN}\sim T_{MAX}$ 。¹

表4

パラメータ	T _{MIN} 、T _{MAX} の限界値		単位	説明
	V _{DRIVE} <4.75V	V _{DRIVE} =4.75~5.25V		
パラレル・モード				
t _{CONVERT}	3	3	μs (typ)	変換時間、内部クロック
t _{QUIET}	150	150	ns (min)	バス放棄から次の変換の開始までに必要な最小静止時間
t _{ACQ}	550	550	ns (min)	アキュジション時間
t ₁₀	25	25	ns (min)	最小のCONVSTロー・パルス
t ₁	60	60	ns (min)	CONVSTのハイレベルからBUSYのハイレベルまで
t _{WAKE-UP}	2	2	ms (max)	STBYの立上がりエッジからCONVSTの立上がりエッジまで
	25	25	μs (max)	部分的パワーダウン・モード
パラレル書き込み動作				
t ₁₁	15	15	ns (min)	WRパルス幅
t ₁₂	0	0	ns (min)	CSからWRのセットアップ時間
t ₁₃	5	5	ns (min)	CSからWRのホールド時間
t ₁₄	5	5	ns (min)	WR立上がりエッジ前のデータ・セットアップ時間
t ₁₅	5	5	ns (min)	WR立上がりエッジ後のデータ・ホールド時間
パラレル読み出し動作				
t ₂	0	0	ns (min)	BUSYからRDの遅延
t ₃	0	0	ns (min)	CSからRDのセットアップ時間
t ₄	0	0	ns (min)	CSからRDのホールド時間
t ₅	45	36	ns (min)	RDパルス幅
t ₆	45	36	ns (max)	RD立下がりエッジ後のデータ・アクセス時間
t ₇	10	10	ns (min)	RD立上がりエッジ後のデータ・ホールド時間
t ₈	12	12	ns (max)	RD立上がりエッジ後のバス放棄時間
t ₉	6	6	ns (min)	読み出し間の最小時間
シリアル・インターフェース				
f _{SCLK}	18	18	MHz (max)	シリアル読み出しクロックの周波数
t ₁₆	12	12	ns (max)	CSからSDATAスリーステート・ディスエーブルまでの遅延
t ₁₇ ²	22	22	ns (max)	SCLK立上がりエッジ/CS立下がりエッジ後のデータ・アクセス時間
t ₁₈	0.4t _{SCLK}	0.4t _{SCLK}	ns (min)	SCLKロー・パルス幅
t ₁₉	0.4t _{SCLK}	0.4t _{SCLK}	ns (min)	SCLKハイ・パルス幅
t ₂₀	10	10	ns (min)	SCLK立下がりエッジ後のSCLKからデータ有効のホールド時間
t ₂₁	18	18	ns (max)	CS立上がりエッジからSDATA高インピーダンス

¹ 量産開始時にサンプル・テストにより適合性を保証。すべての入力信号は、 $t_r=t_f=5ns$ (V_{DD} の10~90%)で規定し、1.6Vの電圧レベルからの時間とします。

² データ出力ピン上にバッファを使用して測定。

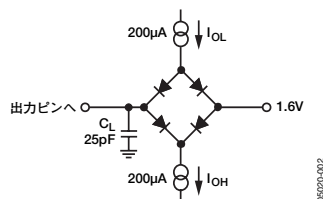


図2. デジタル出力タイミング仕様の負荷回路

AD7656/AD7657/AD7658

絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表5

パラメータ	定格
AGND、DGNDに対する V_{DD}	$-0.3\sim+16.5\text{V}$
AGND、DGNDに対する V_{SS}	$+0.3\sim-16.5\text{V}$
AV_{CC} に対する V_{DD}	$V_{CC}-0.3\text{V}\sim16.5\text{V}$
AGND、DGNDに対する AV_{CC}	$-0.3\sim+7\text{V}$
AV_{CC} に対する DV_{CC}	$-0.3\text{V}\sim AV_{CC}+0.3\text{V}$
AGND、DGNDに対する DV_{CC}	$-0.3\sim+7\text{V}$
DGNDに対するAGND	$-0.3\sim+0.3\text{V}$
DGNDに対する V_{DRIVE}	$-0.3\text{V}\sim DV_{CC}+0.3\text{V}$
AGNDに対するアナログ入力電圧 ¹	$V_{SS}-0.3\text{V}\sim V_{DD}+0.3\text{V}$
DGNDに対するデジタル入力電圧	$-0.3\text{V}\sim V_{DRIVE}+0.3\text{V}$
GNDに対する電圧デジタル出力	$-0.3\text{V}\sim V_{DRIVE}+0.3\text{V}$
AGNDに対するREFIN	$-0.3\text{V}\sim AV_{CC}+0.3\text{V}$
電源以外のピンへの入力電流 ²	$\pm 10\text{mA}$
動作温度範囲	
Bバージョン	$-40\sim+85^{\circ}\text{C}$
Yバージョン	$-40\sim+125^{\circ}\text{C}$
保存温度範囲	$-65\sim+150^{\circ}\text{C}$
ジャンクション温度	150°C
Pb/SN温度、ハンダ・リフロー (10~30秒)	$240(+0)^{\circ}\text{C}$
鉛フリー温度、ハンダ・リフロー	$260(+0)^{\circ}\text{C}$

¹ 代替の V_{DD} および V_{SS} 電源回路からアナログ入力を駆動する場合は、アナログ入力に 240Ω の直列抵抗を接続してください。

² 100mA までの過渡電流では、SCRラッチアップは発生しません。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には 4000V もの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は、回路ボードに表面実装パッケージをハンダ付けした最悪時の条件で規定しています。この仕様は4層ボードに適用します。

表6. 熱抵抗

パッケージ・タイプ	θ_{JA}	θ_{JC}	単位
64ピンLQFP	45	11	$^{\circ}\text{C}/\text{W}$



ピン配置と機能の説明

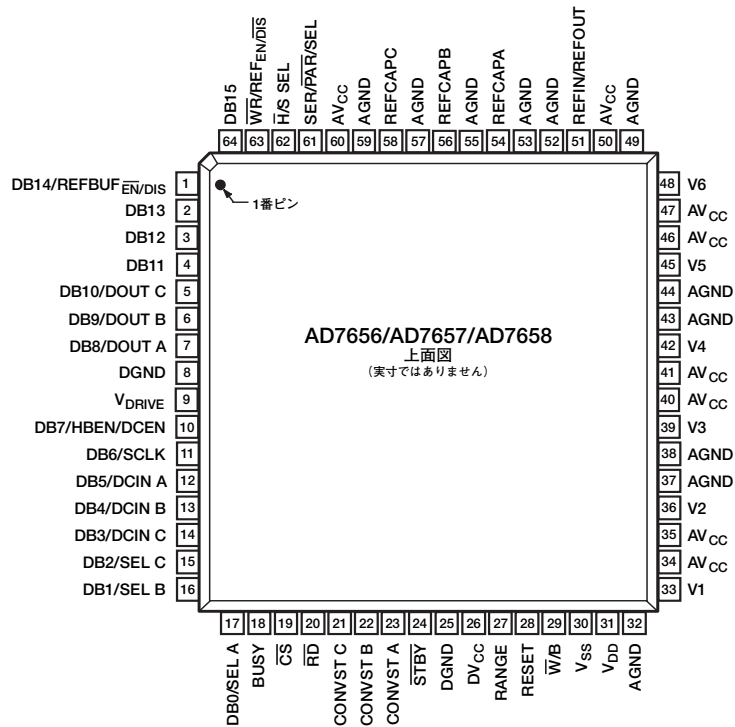


図3. ピン配置

表7. ピン機能の説明

ピン番号	記号	説明
54、56、58	REFCAPA、REFCAPB、REFCAPC	これらのピンにはデカップリング・コンデンサを接続します。これにより、各ADCペアでリファレンス・バッファをデカップリングします。各REFCAPピンは、10μFと100nFのコンデンサによりAGNDにデカップリングします。
33、36、39、42、45、48	V1～V6	アナログ入力1～6。6個のシングルエンド・アナログ入力です。ハードウェア・モードでは、RANGEピンがこれらのチャンネルへのアナログ入力レンジを決定します。ソフトウェア・モードでは、コントロール・レジスタのビットRNGC～RNGAが決定します（表10を参照）。
32、37、38、43、44、49、52、53、55、57、59	AGND	アナログ・グラウンド。AD7656/AD7657/AD7658上の全アナログ回路のグラウンド基準ポイント。アナログ入力信号と外部リファレンス信号はすべて、AGND電圧を基準にします。11本のAGNDピンは、システムのAGNDプレーンに接続します。理想的には、AGND電圧とDGND電圧を同じ電位にします。遷移時も、電位差が0.3V以上にならないようにしてください。
26	DV _{CC}	デジタル電源（4.75～5.25V）。理想的には、DV _{CC} 電圧とAV _{CC} 電圧を同じ電位にします。遷移時も、電位差が0.3V以上にならないようにしてください。この電源はDGNDにデカップリングします。DV _{CC} ピンに10μFと100nFのデカップリング・コンデンサを接続してください。
9	V _{DRIVE}	ロジック電源入力。このピンに供給された電圧で、インターフェースの動作電圧が決まります。基本的には、ホスト・インターフェースの電源と同じ電圧になります。このピンはDGNDにデカップリングします。V _{DRIVE} ピンに10μFと100nFのデカップリング・コンデンサを接続してください。
8、25	DGND	デジタル・グラウンド。AD7656/AD7657/AD7658上の全デジタル回路のグラウンド基準ポイント。システムのDGNDプレーンにこの2本のDGNDピンを接続します。理想的には、DGND電圧とAGND電圧を同じ電位にします。遷移時も、電位差が0.3V以上にならないようにしてください。
34、35、40、41、46、47、50、60	AV _{CC}	アナログ電源電圧（4.75～5.25V）。ADCコアの電源電圧です。理想的には、AV _{CC} 電圧とDV _{CC} 電圧を同じ電位にします。遷移時も、電位差が0.3V以上にならないようにしてください。これらの電源ピンはAGNDにデカップリングします。AV _{CC} ピンに10μFと100nFのデカップリング・コンデンサを接続してください。
23、22、21	CONVST A、CONVST B、CONVST C	変換スタート入力A、B、C。ADCペアの変換開始に使用するロジック入力です。CONVST AはV1とV2、CONVST BはV3とV4、CONVST CはV5とV6の同時変換の開始に使用します。CONVSTxがローレベルからハイレベルに切り替わると、選択されたADCペア上のトラック&ホールド・スイッチがトラックからホールドに切り替わり、変換を開始します。これらの入力を使用して、ADCペアを部分的なパワーダウン・モードにすることもできます。

AD7656/AD7657/AD7658

ピン番号	記号	説明
19	\overline{CS}	チップ・セレクト。データ転送のフレーミングを行うアクティブ・ローのロジック入力です。パラレル・モードで \overline{CS} と \overline{RD} がロジック・ローの場合は、出力バスがイネーブルになり、パラレル・データ・バス・ライン上に変換結果が出力されます。パラレル・モードで \overline{CS} と \overline{WR} がロジック・ローの場合は、DB[15:8]を使用して、内蔵コントロール・レジスタにデータを書き込みます。シリアル・モードでは、 \overline{CS} を使用して、シリアル読出し転送のフレーミングとシリアル出力データのMSBのクロック出力を行います。
20	\overline{RD}	データの読出し。パラレル・モードで \overline{CS} と \overline{RD} がロジック・ローの場合は、出力バスがイネーブルになります。シリアル・モードでは、 \overline{RD} ラインをローレベルに保持してください。
63	$\overline{WR}/REF_{EN/DIS}$	データの書き込み/リファレンスのEnable/Disable。 $\overline{H/S SEL}$ ピンがハイレベルで、 \overline{CS} と \overline{WR} がロジック・ローの場合は、DB[15:8]を使用して、内部コントロール・レジスタにデータを書き込みます。 $\overline{H/S SEL}$ ピンがローレベルの場合は、このピンを使用して、内部リファレンスをイネーブル/ディスエーブルにします。 $\overline{H/S SEL}=0$ および $REF_{EN/DIS}=0$ の場合は、内部リファレンスがディスエーブルになり、外部リファレンスがREFIN/REFOUTピンに入力されます。 $\overline{H/S SEL}=0$ および $REF_{EN/DIS}=1$ の場合は、内部リファレンスがイネーブルになり、REFIN/REFOUTピンはデカップリングします。「リファレンス部」を参照してください。
18	BUSY	BUSY出力。変換を開始するとハイレベルに遷移し、変換が完了して変換データが出力データ・レジスタにラッチされるまでハイレベルのままになります。BUSY信号がハイレベルの場合は、AD7656/AD7657/AD7658で新しい変換を開始しないでください。
51	REFIN/REFOUT	リファレンス入出力。AD7656/AD7657/AD7658の外部で使うために、このピンから内部リファレンスを取ることができます。あるいは、内部リファレンスをディスエーブルにして、このピンに外部リファレンスを接続できます。「リファレンス部」を参照してください。内部リファレンスをイネーブルにするときは、最低10 μ Fのデカップリング・コンデンサを使用してデカップリングします。
61	SER/ \overline{PAR} /SEL	Serial/Parallel選択入力。このピンがローレベルのとき、パラレル・インターフェースを選択します。ハイレベルのときは、シリアル・インターフェース・モードになります。シリアル・モードでは、DB[10:8]がDOUT[C:A]になり、DB[0:2]はDOUT選択、DB7はDCENになります。シリアル・モードのときは、DB15とDB[13:11]をDGNDに接続してください。
17	DB0/SEL A	データビット0/DOUT Aの選択。 $\overline{SER/PAR}=0$ のとき、スリーステートのパラレル・デジタル出力ピンになります。 $\overline{SER/PAR}=1$ のときは、SEL Aになり、シリアル・インターフェースの設定に使用します。このピンが1の場合、シリアル・インターフェースが1/2/3本のDOUT出力ピンで動作し、DOUT Aがシリアル出力としてイネーブルになります。シリアル・モードの動作時は、常に1にしてください。
16	DB1/SEL B	データビット1/DOUT Bの選択。 $\overline{SER/PAR}=0$ のとき、スリーステートのパラレル・デジタル出力ピンになります。 $\overline{SER/PAR}=1$ のとき、SEL Bになり、シリアル・インターフェースの設定に使用します。このピンが1の場合、シリアル・インターフェースが2/3本のDOUT出力ピンで動作し、DOUT Bがシリアル出力としてイネーブルになります。このピンが0の場合、DOUT Bはシリアル・データ出力ピンとして動作できず、DOUT AのみDOUT出力ピンとして使用されます。未使用のシリアルDOUTピンは、開放のままにしておきます。
15	DB2/SEL C	データビット2/DOUT Cの選択。 $\overline{SER/PAR}=0$ のとき、スリーステートのパラレル・デジタル出力ピンになります。 $\overline{SER/PAR}=1$ のとき、SEL Cになり、シリアル・インターフェースの設定に使用します。このピンが1の場合、シリアル・インターフェースが3本のDOUT出力ピンで動作し、DOUT Cがシリアル出力としてイネーブルになります。このピンが0の場合、DOUT Cはシリアル・データ出力ピンとして動作できません。未使用のシリアルDOUTピンは開放のままにしておきます。
14	DB3/DCIN C	データビット3/デジチェーン入力C。 $\overline{SER/PAR}=0$ のとき、スリーステートのパラレル・デジタル出力ピンになります。 $\overline{SER/PAR}=1$ でDCEN=1のとき、デジチェーン入力Cになります。シリアル・モードで動作し、デジチェーン・モードでないときは、DGNDに接続してください。
13	DB4/DCIN B	データビット4/デジチェーン入力B。 $\overline{SER/PAR}=0$ のとき、スリーステートのパラレル・デジタル出力ピンになります。 $\overline{SER/PAR}=1$ でDCEN=1のとき、デジチェーン入力Bになります。シリアル・モードで動作し、デジチェーン・モードでないときは、DGNDに接続してください。
12	DB5/DCIN A	データビット5/デジチェーン入力A。 $\overline{SER/PAR}$ がローレベルのとき、スリーステートのパラレル・デジタル出力ピンになります。 $\overline{SER/PAR}=1$ でDCEN=1のとき、デジチェーン入力Aになります。シリアル・モードで動作し、デジチェーン・モードでないときは、DGNDに接続してください。
11	DB6/SCLK	データビット6/シリアル・クロック。 $\overline{SER/PAR}=0$ のとき、スリーステートのパラレル・デジタル出力ピンになります。 $\overline{SER/PAR}=1$ のとき、SCLK入力になり、シリアル転送用のシリアル・リード・クロックになります。
10	DB7/HBEN/DCEN	データビット7/上位バイト・イネーブル/デジチェーン・イネーブル。パラレル・ワード・モード($\overline{SER/PAR}=0$ で $\overline{W/B}=0$)で動作するとき、データビット7になります。パラレル・バイト・モード($\overline{SER/PAR}=0$ で $\overline{W/B}=1$)のときは、HBENになります。このモードでHBENピンがロジック・ハイのとき、データはMSBファーストでDB[15:8]に出力されます。HBENピンがロジック・ローのときは、DB[15:8]にLSBファーストで出力されます。シリアル・モード($\overline{SER/PAR}=1$)で動作するとき、DCENになります。DCENピンがロジック・ハイのとき、デジチェーン・モードの動作になり、DB[5:3]がDCIN[A:C]になります。シリアル・モードで動作し、デジチェーン・モードでないときは、DGNDに接続してください。

AD7656/AD7657/AD7658

ピン番号	記号	説明
7	DB8/DOUT A	データビット8/シリアル・データ出力A。SER/PAR=0のとき、スリーステートのパラレル・デジタル出力ピンになります。SER/PAR=1でSEL A=1のとき、DOUT Aになり、シリアル変換データを出力します。
6	DB9/DOUT B	データビット9/シリアル・データ出力B。SER/PAR=0のとき、スリーステートのパラレル・デジタル出力ピンになります。SER/PAR=1でSEL B=1のとき、DOUT Bになり、シリアル変換データを出力します。これにより、シリアル・インターフェースに2本のDOUT出力ラインが設定されます。
5	DB10/DOUT C	データビット10/シリアル・データ出力C。SER/PAR=0のとき、スリーステートのパラレル・デジタル出力ピンになります。SER/PAR=1でSEL C=1のとき、DOUT Cになり、シリアル変換データを出力します。これにより、シリアル・インターフェースに3本のDOUT出力ラインが設定されます。
4	DB11	データビット11/デジタル・グラウンド。SER/PAR=0のとき、スリーステートのパラレル・デジタル出力ピンになります。SER/PAR=1のときは、DGNDに接続してください。
3、2、64	DB12、DB13、DB15	データビット12、13、15。SER/PAR=0のとき、スリーステートのパラレル・デジタル入出力ピンになります。CSとRDがローレベルのとき、変換結果の出力に使用します。CSとWRがローレベルのときは、コントロール・レジスタへの書込みに使用します。SER/PAR=1のときは、DGNDに接続してください。AD7657のDB15には、先行ゼロがあります。AD7658では、DB15、DB13、DB12に先行ゼロがあります。
1	DB14/REFBUF _{EN/DIS}	データビット14/REFBUFのEnable/Disable。SER/PAR=0のとき、スリーステートのデジタル入出力ピンになります。AD7657/AD7658のDB14には、先行ゼロがあります。SER/PAR=1のとき、このピンを使用して内部リファレンス・バッファをイネーブル/ディスエーブルにできます。
28	RESET	リセット入力。ロジック・ハイに設定されると、AD7656/AD7657/AD7658をリセットします。作業中の変換があれば、アポートされます。内部レジスタはオール0になります。ハードウェア・モードでは、ハードウェア選択ピンでのロジック・レベルに応じてAD7656/AD7657/AD7658が設定されます。あらゆるモードで、デバイスはパワーアップ後にRESETパルスを受け取ります。一般に、リセット・ハイ・パルスは100ns幅とします。RESETパルス後に変換を開始するには、AD7656/AD7657/AD7658が有効なCONVSTパルスを確認する必要があります。CONVSTパルスは、ハイレベルからローレベルへのCONVSTエッジの後にローレベルからハイレベルへのCONVSTエッジが続きます。RESETパルス中は、CONVST信号をハイレベルにします。
27	RANGE	アナログ入力レンジの選択。ロジック入力です。このピンのロジック・レベルで、アナログ入力チャンネルの入力レンジを決定します。BUSYの立下がりエッジでこのピンがロジック1のとき、次の変換のレンジは $\pm 2 \times V_{REF}$ です。BUSYの立下がりエッジでこのピンがロジック0のとき、次の変換のレンジは $\pm 4 \times V_{REF}$ です。ハードウェア選択モードでは、BUSYの立下がりエッジでRANGEピンがチェックされます。ソフトウェア・モード ($\overline{H/S SEL}=1$) では、RANGEピンをDGNDに接続できます。入力レンジは、コントロール・レジスタのRNGA、RNGB、RNGCビットによって決まります。
31	V _{DD}	正電源電圧。アナログ入力部の正電源電圧です。V _{DD} ピンには、10 μ Fと100nFのデカップリング・コンデンサを接続してください。
30	V _{SS}	負電源電圧。アナログ入力部の負電源電圧です。V _{SS} ピンには、10 μ Fと100nFのデカップリング・コンデンサを接続してください。
24	\overline{STBY}	スタンバイ・モード入力。6個のオンチップADCをすべてスタンバイ・モードにするときに使用します。 \overline{STBY} ピンは、通常動作でハイレベル、スタンバイ動作ではローレベルです。
62	$\overline{H/S SEL}$	Hardware/Software選択入力。ロジック入力です。 $\overline{H/S SEL}=0$ のとき、AD7656/AD7657/AD7658はハードウェア選択モードで動作し、同時にサンプリングするADCペアをCONVSTピンによって選択します。 $\overline{H/S SEL}=1$ のとき、同時にサンプリングするADCペアはコントロール・レジスタへの書込みによって選択します。シリアル・モードでは、CONVST Aを使用して選択したADCペアでの変換を開始します。
29	$\overline{W/B}$	Word/Byte入力。ロジック・ローのとき、パラレル・データラインDB[15:0]を使用してAD7656/AD7657/AD7658との間でデータを転送できます。このピンがロジック・ハイのとき、バイト・モードがイネーブルになります。このモードでは、データラインDB[15:8]を使用してデータが転送され、DB[7]はHBENになります。16ビットの変換結果を得るには、2バイトの読出しが必要です。シリアル・モードでは、このピンをDGNDに接続してください。

代表的な性能特性

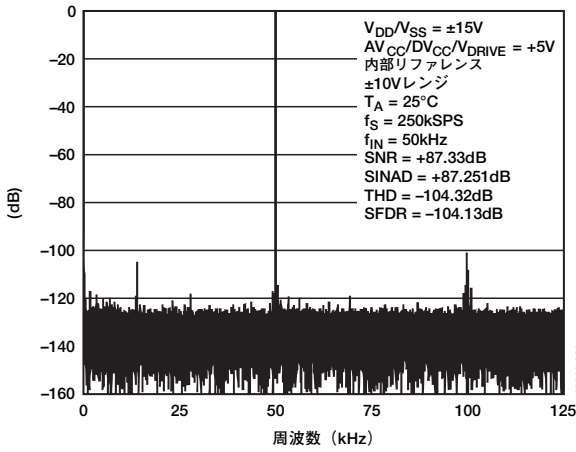


図4. AD7656のFFT (±10Vレンジ)

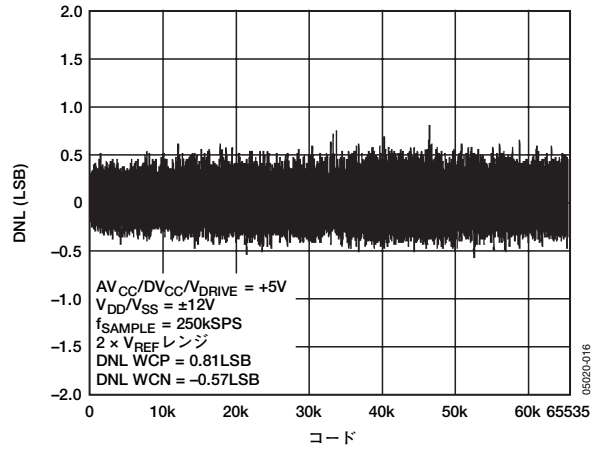


図7. AD7656の代表的なDNL

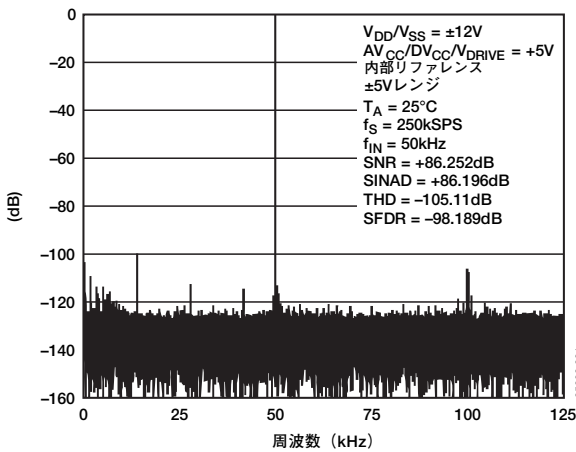


図5. AD7656のFFT (±5Vレンジ)

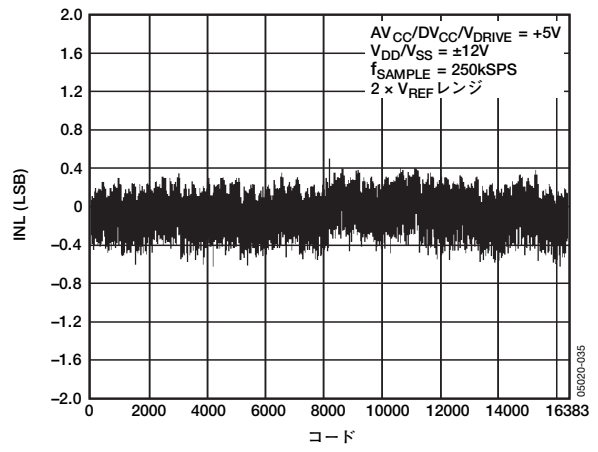


図8. AD7657の代表的なINL

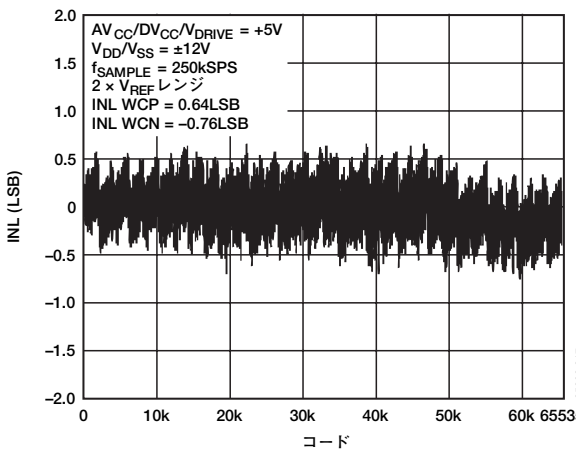


図6. AD7656の代表的なINL

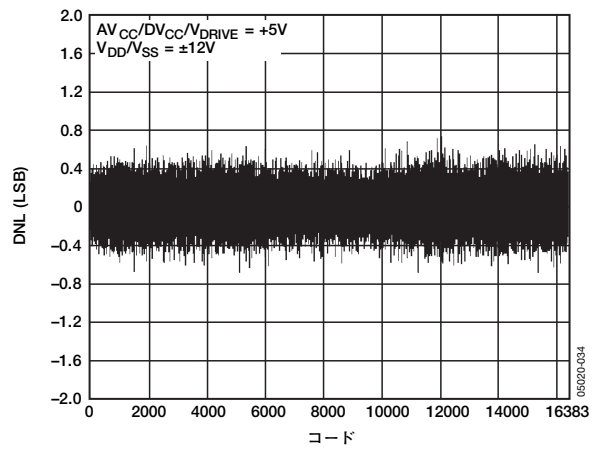


図9. AD7657の代表的なDNL

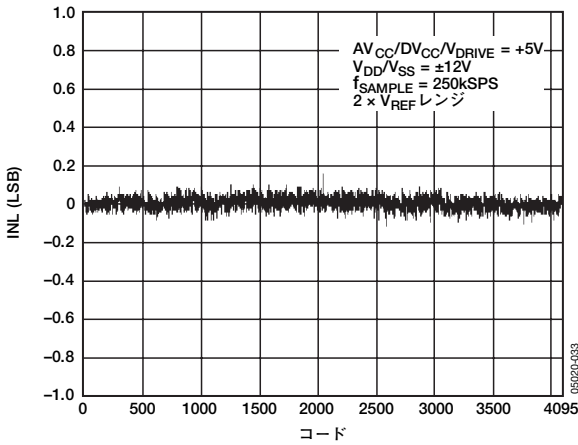


図10. AD7658の代表的なINL

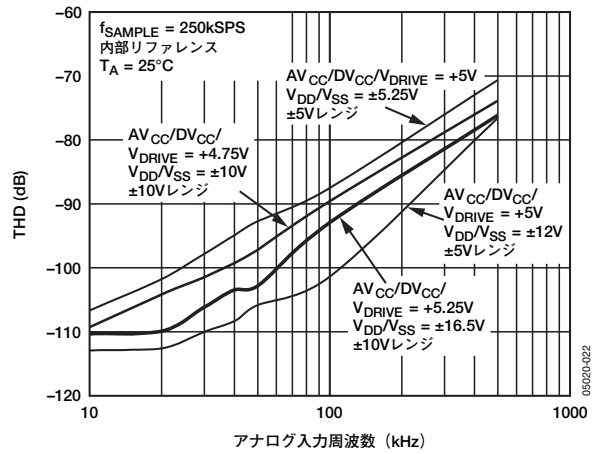


図13. AD7656の入力周波数 対 THD

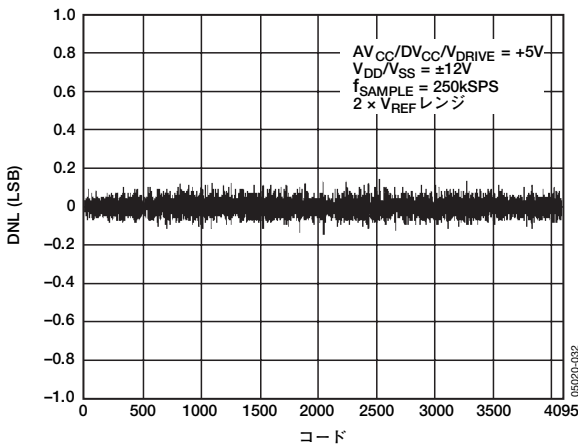


図11. AD7658の代表的なDNL

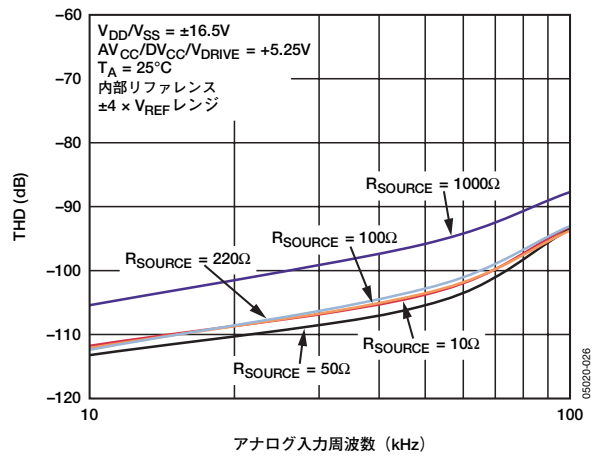


図14. さまざまなソース・インピーダンスでの AD7656の入力周波数 対 THD (±4×VREF レンジ)

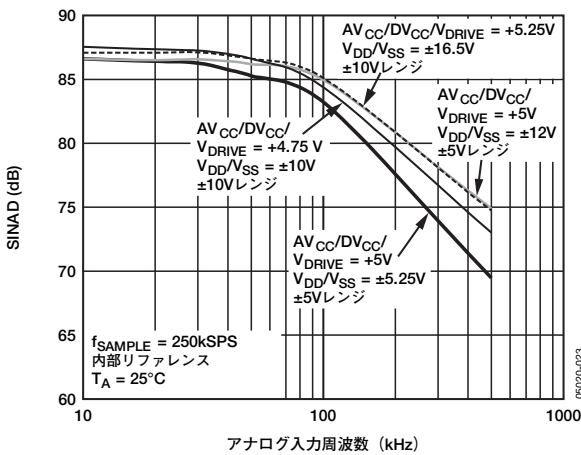


図12. AD7656の入力周波数 対 SINAD

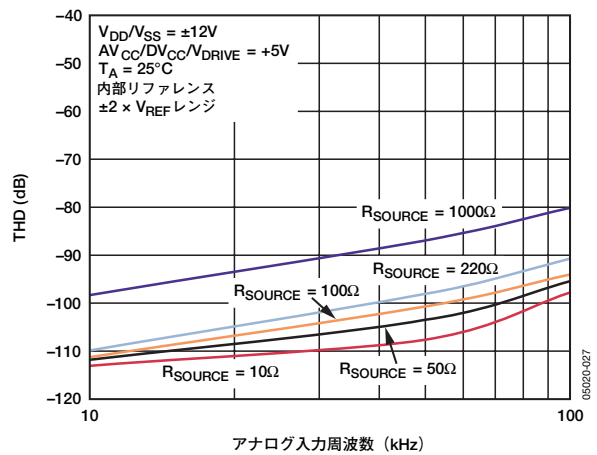


図15. さまざまなソース・インピーダンスでの AD7656の入力周波数 対 THD (±2×VREF レンジ)

AD7656/AD7657/AD7658

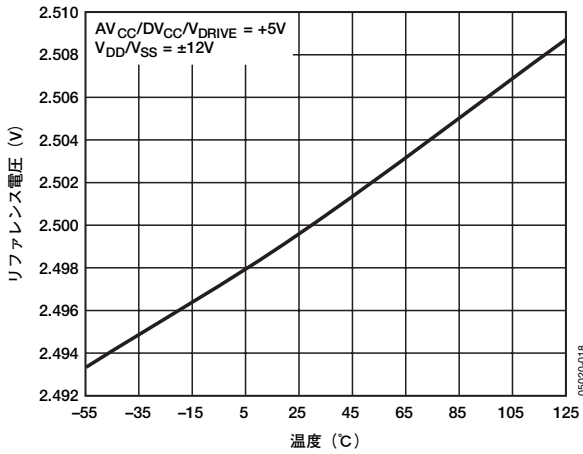


図16. リファレンス電圧の温度特性

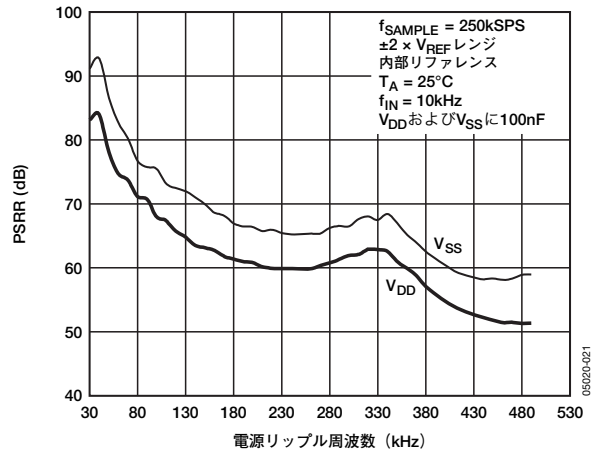


図19. 電源リップル周波数 対 PSRR

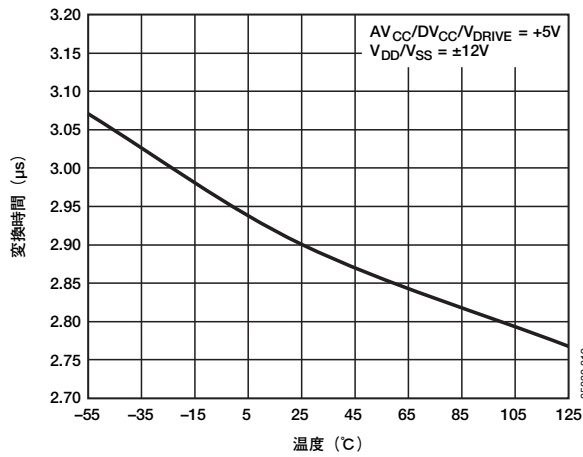


図17. 変換時間の温度特性

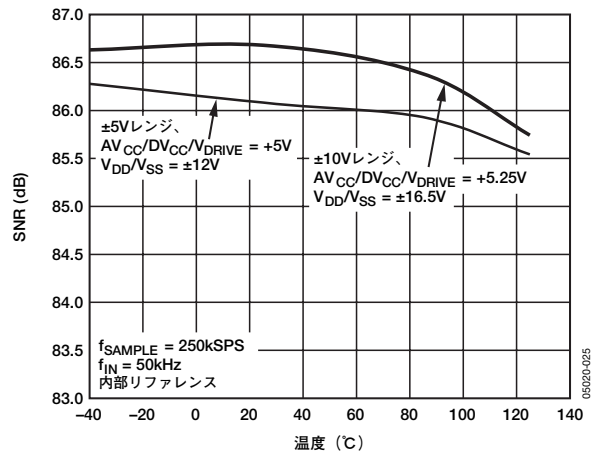


図20. AD7656のS/N比の温度特性

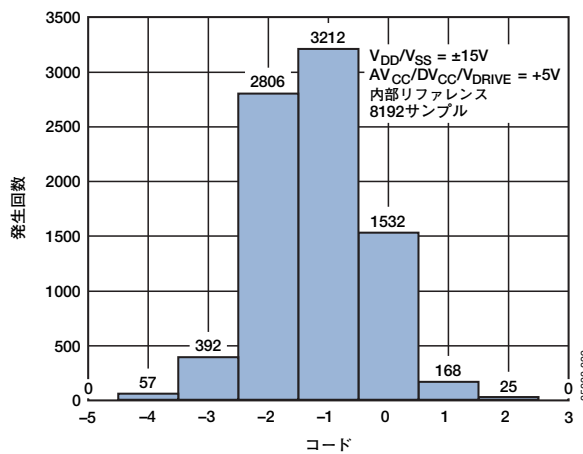


図18. AD7656のコードのヒストグラム

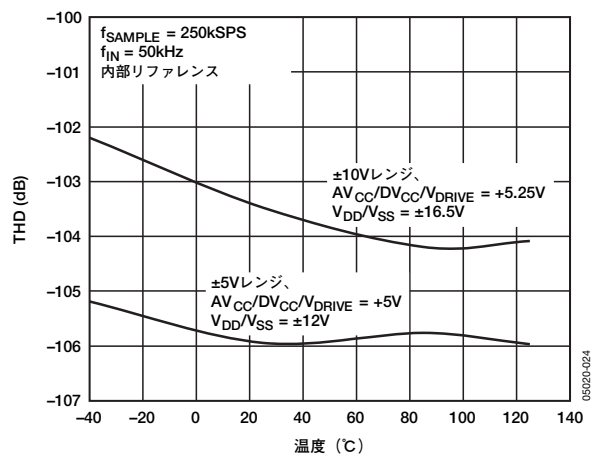


図21. AD7656のTHDの温度特性

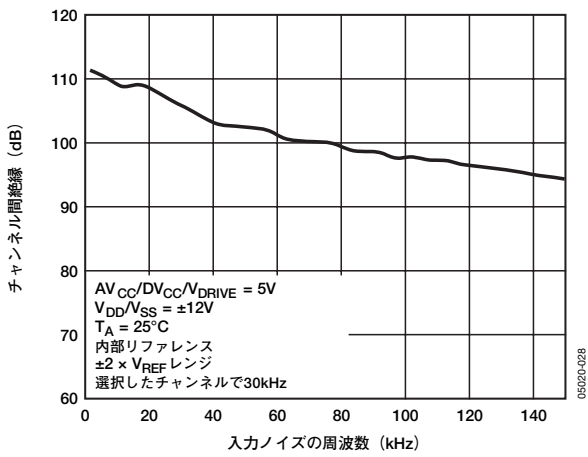


図22. チャンネル間絶縁

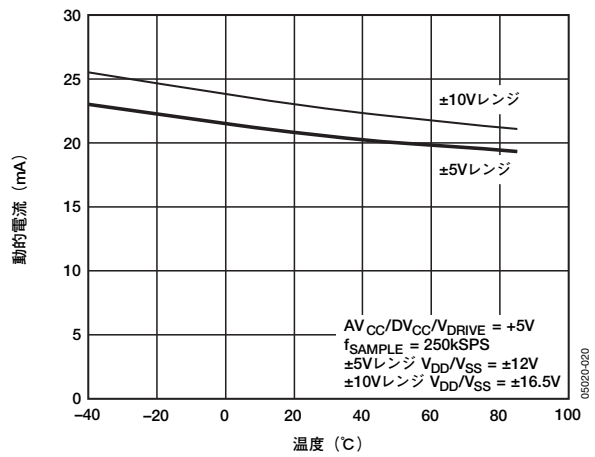


図23. 動的電流の温度特性

用語の説明

積分非直線性 (INL)

ADC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差をいいます。伝達関数のエンドポイントは、最初のコード遷移より1/2LSB下のゼロスケールと、最後のコード遷移より1/2LSB上のフルスケールです。

微分非直線性 (DNL)

ADCの2つの隣接コード間における1LSB変化の測定値と理論値の差をいいます。

バイポーラ・ゼロコード誤差

理想的な V_{IN} 電圧、すなわちAGND-1LSBからのミッドスケール遷移（オール1からオール0）の偏差。

バイポーラ・ゼロコード誤差マッチング

2つの入力チャンネル間でのバイポーラ・ゼロコード誤差の差。

正側フルスケール誤差

バイポーラ・ゼロコード誤差を調整した後の、最後のコード遷移（011...110から011...111）と理論値（ $+4 \times V_{REF} - 1LSB$ 、 $+2 \times V_{REF} - 1LSB$ ）との偏差。

正側フルスケール誤差マッチング

2つの入力チャンネル間の正側フルスケール誤差の差。

負側フルスケール誤差

バイポーラ・ゼロコード誤差を調整した後の、最初のコード遷移（10...000から10...001）と理論値（ $-4 \times V_{REF} + 1LSB$ 、 $-2 \times V_{REF} + 1LSB$ ）の偏差。

負側フルスケール誤差マッチング

2つの入力チャンネル間の負側フルスケール誤差の差。

トラック&ホールド・アクイジション時間

トラック&ホールド・アンプは、変換の最後にトラック・モードに戻ります。トラック&ホールド・アクイジション時間とは、変換の終わりから、トラック&ホールド・アンプの出力が $\pm 1LSB$ 範囲内の最終値に到達するために必要な時間です。詳細は、「トラック&ホールド部」を参照。

S/N比 (SNR)

S/N比は、測定した出力信号のrms値と、ナイキスト周波数より下の全スペクトル成分のrms値総和との比です。S/N比はdB値で表します。

信号/ノイズ&歪み (SINAD)

ADCの出力での信号/ノイズ&歪み比の測定値です。信号は、基本波のrms振幅です。ノイズは、サンプリング周波数の1/2 ($f_s/2$ 、DCを除く) までの基本波信号以外の信号を合計した値です。

この比はデジタル化プロセスの量子化レベル数に応じて変化し、レベルが高いほど量子化ノイズが小さくなります。サイン波を入力とする理想的なNビット・コンバータの信号/ノイズ&歪み比の理論値は、次式で得られます。

$$SINAD = (6.02N + 1.76) \text{ dB}$$

したがって、16ビット・コンバータでは98dB、14ビット・コンバータでは86.04dB、12ビット・コンバータでは74dBになります。

全高調波歪み (THD)

高調波のrms値総和と基本波との比率です。AD7656/AD7657/AD7658の場合、次式で定義されます。

$$THD(\text{dB}) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

V_1 は基本波のrms振幅

V_2 、 V_3 、 V_4 、 V_5 、 V_6 は2次~6次高調波のrms振幅

ピーク高調波またはスプリアス・ノイズ (SFDR)

ADCの出力スペクトル内（DCを除く $f_s/2$ まで）で2番目に大きい高調波成分のrms値と基本波のrms値との比です。通常、この仕様値はスペクトル内の最大高調波によって決定されますが、高調波がノイズ・フロアに埋もれているADCの場合はノイズ・ピークにより決定されます。

相互変調歪み (IMD)

非直線性を持つアクティブ・デバイスに、2つの周波数 f_a と f_b のサイン波を入力すると、 $m f_a \pm n f_b$ という和と差の周波数で歪み成分が発生します（ $m, n=0, 1, 2, 3$ ）。相互変調歪み項とは、 m と n がいずれも非ゼロの項をいいます。たとえば、2次項が $(f_a + f_b)$ と $(f_a - f_b)$ を含み、3次項が $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ を含む場合です。

AD7656/AD7657/AD7658は、入力帯域幅の上限に近い2つの入力周波数を使うCCIF標準を使ってテストされています。この場合、2次項は通常、元のサイン波の周波数から離れて位置し、3次項は通常、入力周波数に近い周波数に位置します。その結果、2次項と3次項は別々に指定されます。相互変調歪みの計算はTHDの仕様に従います。つまり、個々の歪み成分のrms総和と基本波の和のrms振幅との比で、dB値で表します。

電源電圧変動除去比 (PSR)

電源電圧の変動はフルスケールの遷移に影響を与えますが、コンバータの直線性には影響しません。電源電圧変動除去比は、電源電圧の変動によってフルスケール遷移ポイントが公称値から逸脱するときの最大変化を表します。「代表的な性能特性」を参照。

図19に、AD7656/AD7657/AD7658の電源リップル周波数と電源電圧変動除去比の関係を示します。電源電圧変動除去比は、フルスケール周波数 f でのADC出力の電力と、周波数 f_s のADCの V_{DD} および V_{SS} 電源に加えられる200mVp-pサイン波の電力の比と定義されます。

$$PSRR \text{ (dB)} = 10 \log (Pf/Pfs)$$

ここで、

Pf = 周波数 f 時におけるADC出力のパワー

Pfs = 周波数 f_s 時における V_{DD} および V_{SS} 電源にカップリングされたパワー

チャンネル間絶縁

チャンネル間絶縁は、2つのチャンネル間のクロストークのレベルの測定値です。選択されていない全入力チャンネルに100kHzのフルスケールのサイン波信号を印加し、選択されたチャンネルに30kHzの信号を与えた場合にどれだけ信号が減衰するかを測定します。

動作原理

コンバータの詳細

AD7656/AD7657/AD7658は、6個のオンチップADCの同時サンプリングが可能な、低消費電力の高速コンバータです。アナログ入力は、真のバイポーラ入力信号を受け入れます。また、RANGEピン/RNGビットを使用して、次の変換の入力レンジに $\pm 4 \times V_{REF}$ または $\pm 2 \times V_{REF}$ を選択できます。

AD7656/AD7657/AD7658は、それぞれ6個のSAR ADC、6個のトラック&ホールド・アンプ、2.5Vの内部リファレンス、リファレンス・バッファ、パラレルおよびシリアルの高速度インターフェースを備えています。3つのCONVST信号がすべて接続されると、6個のADCすべてを同時サンプリングできます。6個のADCを3つのペアにまとめることも可能です。各ペアにそれぞれのCONVST信号があり、ADCの1つのペア、あるいは2つまたは3つのペアで同時サンプリングを開始できます。CONVST AはV1とV2、CONVST BはV3とV4、CONVST CはV5とV6の同時サンプリングを開始するときに使用します。

AD7656/AD7657/AD7658は、CONVSTx入力へのパルスによって変換を開始します。CONVSTxの立上がりエッジで、選択されたADCペアのトラック&ホールドがホールド・モードになり、変換が開始されます。CONVSTxの立上がりエッジの後、BUSY信号がハイレベルになり、変換中であることを示します。AD7656/AD7657/AD7658の変換クロックは内部で生成され、デバイスの変換時間は $3\mu\text{s}$ です。変換が終了すると、BUSY信号がローレベルに戻ります。BUSYの立上がりエッジで、トラック&ホールドがトラック・モードに戻ります。パラレル・インターフェースまたはシリアル・インターフェースから出力レジスタのデータを読み出すことができます。

トラック&ホールド部

AD7656/AD7657/AD7658のトラック&ホールド・アンプによって、ADCはフルスケール振幅の入力サイン波をそれぞれ16/14/12ビットの分解能に正しく変換します。AD7656/AD7657/AD7658が最大スループット・レートで動作している場合も、トラック&ホールド・アンプの入力帯域幅はADCのナイキスト・レートより広く12MHzまでの入力周波数に対応します。

トラック&ホールド・アンプは、CONVSTxの立上がりエッジでそれぞれの入力を同時にサンプリングします。トラック&ホールドのオーバーチャージ時間（外部CONVSTx信号が実際にホールドになるまでの遅延）は10nsです。この時間は、デバイス間および1つのデバイス上の6個のトラック&ホールド間すべてで十分にマッチしています。このため、6つ以上のADCの同時サンプリングが可能です。BUSYの立上がりエッジが変換の終わりを示します。この時点で、トラック&ホールドがトラック・モードに戻り、アキュイジション時間が始まります。

アナログ入力部

AD7656/AD7657/AD7658は、真のバイポーラ入力電圧に対応できます。RANGEピンのロジック・レベルまたはコントロール・レジスタのRNGxビットに書き込んだ値によって、次の変換に対するアナログ入力レンジが決まります。RANGEピン/RNGxビットが1の場合、次の変換のアナログ入力レンジは $\pm 2 \times V_{REF}$ 、RANGEピン/RNGxビットが0の場合は $\pm 4 \times V_{REF}$ となります。

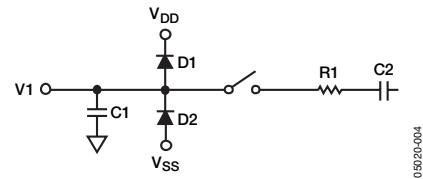


図24.アナログ入力段の等価回路

図24に、AD7656/AD7657/AD7658のアナログ入力段の等価回路を示します。ダイオードD1とD2が、アナログ入力に対するESD保護を行います。アナログ入力信号が V_{DD} と V_{SS} の電源レベルを300mV以上超えないように注意してください。信号がこの値を超えると、ダイオードが順方向にバイアスされて、電流がサブストレートに流れるようになります。デバイスに回復不能な損傷を引き起こさずにダイオードが受け入れることができる電流は最大10mAです。図24のコンデンサC1は一般に約4pFで、主にピン容量によって決まります。抵抗R1は、スイッチ（トラック&ホールド・スイッチ）のオン抵抗から構成されます。この抵抗は一般に約25Ωです。コンデンサC2は、ADCサンプリング・コンデンサであり、容量は一般に10pFです。

AD7656/AD7657/AD7658では、高電圧アナログ入力構造用に V_{DD} と V_{SS} の両電源が必要です。これらの電源は、アナログ入力レンジと同じか、それよりも大きくする必要があります（各アナログ入力レンジの電源条件については、表8を参照）。ADCコアへの電力供給には4.75~5.25Vの低電圧 AV_{CC} 電源、デジタル電源用に4.75~5.25Vの DV_{CC} 電源、インターフェース電源用に2.7~5.25Vの V_{DRIVE} 電源が必要です。

選択したアナログ入力レンジに対して最小の電源電圧を使用するとき、仕様性能を満たすためにスループット・レートを最大スループット・レートより小さくしなければならない場合があります。

表8. V_{DD}/V_{SS} 電源電圧の最小条件

アナログ入力レンジ (V)	リファレンス電圧 (V)	フルスケール入力 (V)	最小の V_{DD}/V_{SS} (V)
$\pm 4 \times V_{REF}$	+2.5	± 10	± 10
$\pm 4 \times V_{REF}$	+3.0	± 12	± 12
$\pm 2 \times V_{REF}$	+2.5	± 5	± 5
$\pm 2 \times V_{REF}$	+3.0	± 6	± 6

ADCの伝達関数

AD7656/AD7657/AD7658の出力コーディングは2の補数です。設計上ではコード遷移は、隣り合ったLSB値の中間(1/2LSB、3/2LSBなど)で発生します。LSBサイズは、AD7656でFSR/65536、AD7657でFSR/16384、AD7658でFSR/4096です。理想的な伝達特性を図25に示します。

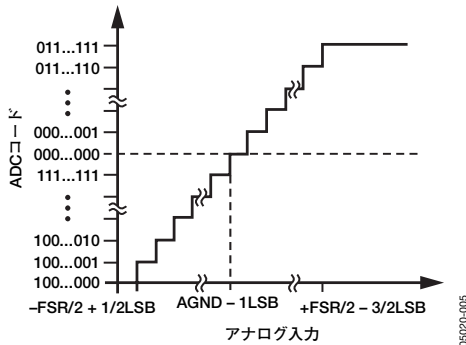


図25. AD7656/AD7657/AD7658の伝達特性

LSBサイズは、選択したアナログ入力レンジに依存します(表9を参照)。

リファレンス部

REFIN/REFOUTピンで、AD7656/AD7657/AD7658の内蔵2.5Vリファレンスにアクセスするか、または外部リファレンスを接続して、各デバイスの変換用のリファレンス源を提供します。外部リファレンスは、2.5~3Vのレンジに対応します。外部リファレンスを使用するときは、内部リファレンスをディスエーブルにする必要があります。リセット後は、デフォルトにより内部リファレンス・バッファをイネーブルにして外部リファレンス・モードで動作します。内部リファレンスは、ハードウェア・モードかソフトウェア・モードでイネーブルにできます。ハードウェア・モードで内部リファレンスをイネーブルにするには、 \bar{H}/S SELピン=0、REF_{EN/DIS}ピン=1にします。ソフトウェア・モードで内部リファレンスをイネーブルにするには、 \bar{H}/S SEL=1とし、コントロール・レジスタへの書込みによってレジスタのDB9=1にします。内部リファレンス・モードの場合は、10 μ Fと100nFのコンデンサによってREFIN/REFOUTピンをデカップリングします。

AD7656/AD7657/AD7658には、3つの内部リファレンス・バッファがあります。3つのADCペアのそれぞれに関連するリファレンス・バッファがあります。リファレンス・バッファは、REFCAPAピン、REFCAPBピン、REFCAPCピン上に外付けデカップリング・コンデンサを必要とするため、これらのREFCAPピンに10 μ Fと100nFのデカップリング・コンデンサを接続します。ソフトウェア・モードで内部リファレンス・バッファをディスエーブルにするには、内部コントロール・レジスタのビットDB8に書き込みます。シリアル・モードで動作させ

る場合は、ハードウェア・モードでDB14/REFBUF_{EN/DIS}ピンをハイレベルに設定することで、内部リファレンス・バッファをディスエーブルにできます。内部リファレンスとそのバッファをディスエーブルにする場合、REFCAPピンにバッファ付きの外部リファレンスを入力します。

代表的な接続図

図26に、AD7656/AD7657/AD7658の代表的な接続図を示します。デバイスには、8本のAV_{CC}電源ピンがあります。AV_{CC}電源は、AD7656/AD7657/AD7658の変換プロセスで使用します。このため、十分にデカップリングする必要があります。10 μ Fのタンタル・コンデンサと100nFのセラミック・コンデンサを使って、AV_{CC}電源ピンをそれぞれデカップリングします。AD7656/AD7657/AD7658は、内部リファレンスか外部リファレンスで動作しますが、この構成では外部リファレンスで動作する設定です。10 μ Fと100nFのコンデンサ・ペアを使用し、REFIN/REFOUTピンをデカップリングしています。3つの内部リファレンス・バッファがイネーブルになっており、各REFCAPピンが10 μ Fと100nFのコンデンサ・ペアによりデカップリングされています。

6本のAV_{CC}電源ピンでAD7656/AD7657/AD7658の6個のADCコアに電源を供給するため、変換プロセスにもこれらのピンを使用することになります。各アナログ入力ピンは、AV_{CC}電源ピンとAGNDピンに挟まれています。AV_{CC}ピンとAGNDピンは、それぞれのADCコアの電源とグラウンドです。たとえば、33番ピンはV1、34番ピンはADCコア1のAV_{CC}電源、32番ピンはADCコア1のAGNDになります。別の簡単なデカップリング・ソリューションとして、6本のAV_{CC}電源ピンを3つのペア(34番ピンと35番ピン、40番ピンと41番ピン、46番ピンと47番ピン)にグループ化する方法があります。

AD7656では、各ピン・ペアに100 μ Fのデカップリング・コンデンサを接続できます。他のすべての電源ピンとリファレンス・ピンは、10 μ Fのデカップリング・コンデンサでデカップリングします。AD7657にこの簡単なデカップリング構成を使用するときは、3つのAV_{CC}ピン・ペアのそれぞれを33 μ Fのコンデンサでデカップリングします。AD7658を同じように構成するときは、3つのAV_{CC}ピン・ペアのそれぞれを22 μ Fのコンデンサでデカップリングします。

AV_{CC}電源とDV_{CC}電源に同じ電源を使用する場合は、電源ピンの間にフェライトか小さなRCフィルタを接続します。

AGNDピンは、システムのAGNDプレーンに接続します。DGNDピンは、システムのデジタル・グラウンド・プレーンに接続します。AGNDプレーンとDGNDプレーンは、システム内の1箇所までAD7656/AD7657/AD7658のできるだけ近くで接続します。

表9. 各アナログ入力レンジに対するLSBサイズ

レンジ	AD7656		AD7657		AD7658	
入力レンジ	$\pm 10V$	$\pm 5V$	$\pm 10V$	$\pm 5V$	$\pm 10V$	$\pm 5V$
LSBサイズ	0.305mV	0.152mV	1.22mV	0.610mV	4.88mV	2.44mV
FSレンジ	20V/65536	10V/65536	20V/16384	10V/16384	20V/4096	10V/4096

AD7656/AD7657/AD7658

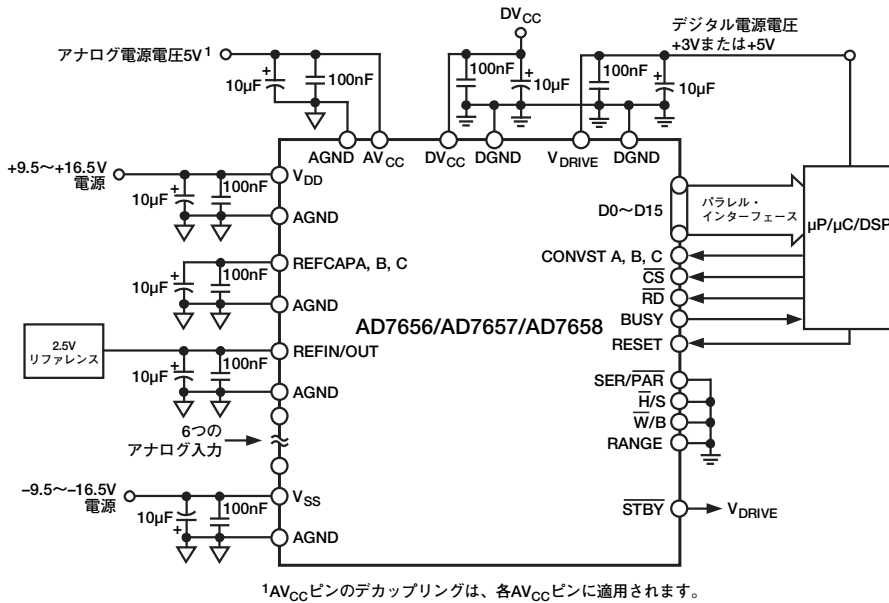


図26. 代表的な接続図

V_{DRIVE} 電源は、プロセッサと同じ電源に接続します。 V_{DRIVE} の電圧が、出力ロジック信号の電圧値を制御します。

V_{DD} 信号と V_{SS} 信号は、最小10 μ F のデカップリング・コンデンサでデカップリングします。これらの電源は、AD7656/AD7657/AD7658 アナログ入力上の高電圧アナログ入力構造に使用されます。

アナログ入力の駆動

AD7656 に使用するドライバ・アンプとアナログ入力回路は共に、フルスケール・ステップ入力に対して16ビット・レベル (0.0015%) でセトリングする必要があります。これで、AD7656 の仕様規定されたアクイジション時間 (550ns) の範囲内になります。AD7656 の S/N 比と遷移ノイズ性能を保つには、ドライバ・アンプで生じるノイズをできるだけ低く抑える必要があります。

ドライバには、AD7656 の性能に合った THD 性能も必要です。AD8021 は、これらすべての条件を満たします。AD8021 には、10pF の外部補償コンデンサが必要です。AD8021 のデュアル・バージョンが必要な場合は、AD8022 を使用できます。AD7656/AD7657/AD7658 の駆動には、AD8610 と AD797 も使用できます。

インターフェース部

AD7656/AD7657/AD7658 には、パラレル・インターフェースと高速シリアル・インターフェースの2つのインターフェース・オプションがあります。必要なインターフェース・モードは、SER/PAR ピンで選択します。パラレル・インターフェースは、ワード ($\overline{W/B}=0$) モードまたはバイト ($\overline{W/B}=1$) モードで動作します。インターフェース・モードについて、以下の項で説明します。

パラレル・インターフェース (SER/PAR=0)

AD7656/AD7657/AD7658 は、6個の16/14/12ビットADCで構成されています。6個のADCすべての同時サンプリングを実行するには、CONVST A、CONVST B、CONVST C の CONVST ピン3本を互いに接続します。変換を開始するには、AD7656/AD7657/AD7658 が CONVST パルスを認識する必要があります。これは、CONVST の立下がりエッジと、それに続く CONVST の立上がりエッジになります。CONVSTx の立上がりエッジで、選択したADCの同時変換が始まります。AD7656/AD7657/AD7658 にはオンチップ発振器があり、変換の実行に使用します。変換時間 (t_{CONV}) は3 μ s です。BUSY 信号がローレベルになって変換の終わりを示します。BUSY 信号の立下がりエッジで、トラック&ホールドがトラック・モードになります。AD7656/AD7657/AD7658 では、3本の CONVST ピンに個別にパルスを入力することによって、6つのADCをペア単位で同時に変換することも可能です。CONVST A は V1 と V2、CONVST B は V3 と V4、CONVST C は V5 と V6 の同時変換を開始するために使用します。同時サンプリングしたADCの変換結果は、出力データ・レジスタに格納されます。

AD7656/AD7657/AD7658 のデータは、標準の \overline{CS} 信号と \overline{RD} 信号 ($\overline{W/B}=0$) を使用してパラレル・データ・バスから読み出します。パラレル・バスからデータを読み出すには、SER/PAR をローレベルに接続します。 \overline{CS} と \overline{RD} の入力信号が内部でゲートされ、変換結果がデータ・バス上でイネーブルになります。 \overline{CS} と \overline{RD} がロジック・ローのとき、データライン DB0~DB15 が高インピーダンス状態を終了します。

\overline{CS} 信号を固定的にローレベルに接続し、 \overline{RD} 信号を使用して変換結果にアクセスできます。**BUSY**信号がローレベルになった後、読出し動作が可能になります。必要な読出し回数、同時にサンプリングするADCの数に依存します（図27を参照）。**CONVST A**と**CONVST B**が同時にローレベルになった場合は、V1、V2、V3、V4から変換結果を得るために4回の読出し動作が必要です。**CONVST A**と**CONVST C**が同時にローレベルになった場合は、V1、V2、V5、V6から変換結果を得るために4回の読出し動作が必要です。変換結果は昇順で出力されます。AD7657の場合、DB15とDB14に2つの先行ゼロが含まれ、DB[13:0]が14ビットの変換結果を出力します。AD7658の場合、DB[15:12]に4つの先行ゼロが含まれ、DB[11:0]が12ビットの変換結果を出力します。

3つの**CONVST**信号を使用して3つのADCペアのそれぞれで個別に変換を開始する場合、**BUSY**信号がハイレベルのときにチャンネル・ペア上で変換を開始しないように注意してください。また、変換性能に影響することがあるため、読出しシーケンス中に変換を開始しないことを推奨します。仕様性能を得る

には、変換後に読出しを行うようにしてください。未使用の入力チャンネル・ペアについては、関連する**CONVSTx**ピンを**V_{DRIVE}**に接続します。

8ビット・バスしか使用できない場合、AD7656/AD7657/AD7658のインターフェースをバイト・モードに設定できます（ $\overline{W/B}=1$ ）。この設定では、DB7/HBEN/DCENピンが**HBEN**の機能になります。各チャンネルの変換結果は2回の読出し動作でアクセスでき、読出し動作ごとにDB15~DB8で8ビットのデータが得られます（図28を参照）。**HBEN**ピンによって、読出し動作で最初に16ビットの変換結果の上位バイトにアクセスするか下位バイトにアクセスするかを決めます。常時、DB15~DB8の下位バイトに最初にアクセスするには、**HBEN**ピンをローレベルに接続します。常時、最初に上位バイトにアクセスするには、**HBEN**ピンをハイレベルに接続します。バイト・モードで3本の**CONVST**ピンすべてにパルスを入力して6個のADCすべてで同時変換を開始する場合、6つの16/14/12ビットの変換結果の読出しのために12回の読出し動作が必要です。バイト・モードでは、DB[6:0]は未接続しておきます。

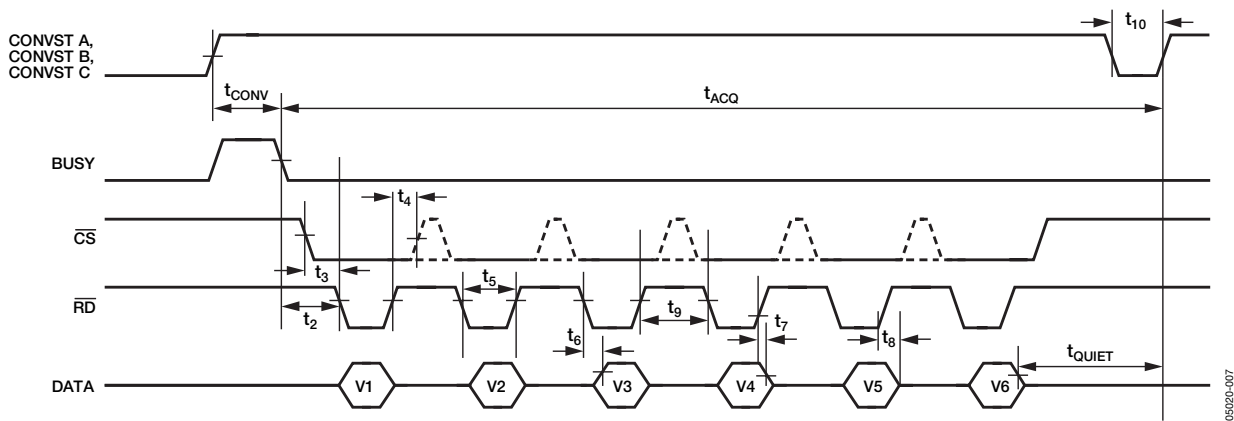


図27. パラレル・インターフェースのタイミング図 ($\overline{W/B}=0$)

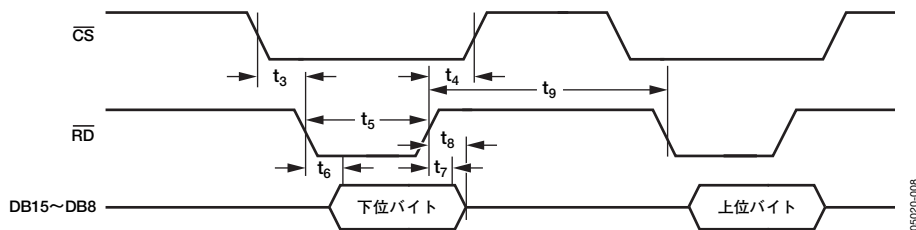


図28. パラレル・インターフェース：バイト動作モードの読出しサイクル ($\overline{W/B}=1$ 、**HBEN**=0)

AD7656/AD7657/AD7658

ADCのソフトウェア選択

$\overline{H/S SEL}$ ピンによって、同時にサンプリングするADCの組合わせの元を決めます。 $\overline{H/S SEL}$ ピンがロジック・ローのとき、同時にサンプリングするチャンネルの組合わせはCONVST Aピン、CONVST Bピン、CONVST Cピンで決まります。 $\overline{H/S SEL}$ ピンがロジック・ハイのとき、同時サンプリングに選択されるチャンネルの組合わせは、コントロール・レジスタDB15～DB13の内容によって決まります。このモードでは、コントロール・レジスタへの書込みが必要です。

コントロール・レジスタは8ビットの書込み専用レジスタです。このレジスタにデータを書き込むには、 \overline{CS} ピンと \overline{WR} ピン、DB[15:8]データ・ピンを使用します(図29を参照)。表10に、コントロール・レジスタを示します。同時にサンプリングするADCペアを選択するには、書込み動作中に対応するデータラインをハイレベルに設定します。

AD7656/AD7657/AD7658のコントロール・レジスタにより、ADCペアごとに個別にレンジを設定できます。コントロール・レジスタのDB12～DB10を使用して、各ADCペアのレンジを設定します。

AD7656/AD7657/AD7658でリセットが行われた後、コントロール・レジスタはオール・ゼロになります。

CONVST A信号を使用して、コントロール・レジスタで選択したチャンネルの組合わせで同時変換を開始します。ソフトウェア・モードで動作するときには($\overline{H/S SEL}=1$)、CONVST B信号とCONVST C信号をローレベルに接続できます。必要な読出しパルス数は、コントロール・レジスタで選択したADCの数と、デバイスの動作がワード・モードかバイト・モードかに依存します。変換結果の出力は昇順です。

書込み動作中、データ・バスのビットDB15～DB8は双方向であり、 \overline{RD} がロジック・ハイで \overline{CS} と \overline{WR} がロジック・ローのときに、コントロール・レジスタへの入力になります。 \overline{WR} がロジック・ハイになると、DB15～DB8のロジック状態はコントロール・レジスタにラッチされます。

表10. コントロール・レジスタのビット機能の説明
(デフォルト：オール0)

DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8
VC	VB	VA	RNGC	RNGB	RNGA	REFEN	REFBUF

表11

ビット	記号	備考
DB15	VC	このビットを使用して、次の変換のためにアナログ入力V5とV6を選択します。ビット=1のとき、次のCONVST Aの立上がりエッジでV5とV6を同時に変換します。
DB14	VB	このビットを使用して、次の変換のためにアナログ入力V3とV4を選択します。ビット=1のとき、次のCONVST Aの立上がりエッジでV3とV4を同時に変換します。
DB13	VA	このビットを使用して、次の変換のためにアナログ入力V1とV2を選択します。ビット=1のとき、次のCONVST Aの立上がりエッジでV1とV2を同時に変換します。
DB12	RNGC	このビットを使用して、アナログ入力V5とV6のアナログ入力レンジを選択します。ビット=1のとき、次の変換のために $\pm 2 \times V_{REF}$ モードを選択します。ビット=0のとき、次の変換のために $\pm 4 \times V_{REF}$ モードを選択します。
DB11	RNGB	このビットを使用して、アナログ入力V3とV4のアナログ入力レンジを選択します。ビット=1のとき、次の変換のために $\pm 2 \times V_{REF}$ モードを選択します。ビット=0のとき、次の変換のために $\pm 4 \times V_{REF}$ モードを選択します。
DB10	RNGA	このビットを使用して、アナログ入力V1とV2のアナログ入力レンジを選択します。ビット=1のとき、次の変換のために $\pm 2 \times V_{REF}$ モードを選択します。ビット=0のとき、次の変換のために $\pm 4 \times V_{REF}$ モードを選択します。
DB9	REFEN	このビットを使用して、内部リファレンスまたは外部リファレンスを選択します。ビット=0のとき、外部リファレンス・モードを選択します。ビット=1のとき、内部リファレンスを選択します。
DB8	REFBUF	このビットを使用して、内部リファレンス・バッファを使用するかバイパスするかを選択します。ビット=0のとき、内部リファレンス・バッファがイネーブルになります。REFCAPピンでデカップリングが必要になります。ビット=1のとき、内部リファレンス・バッファがディスエーブルになります。REFCAPピンにバッファ付きリファレンスを入力してください。

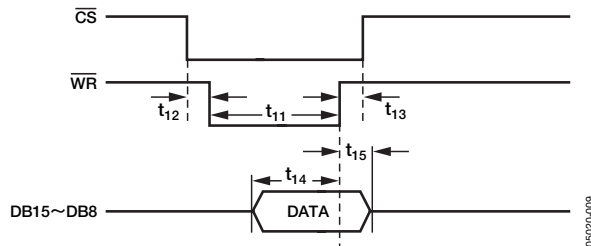


図29. パラレル・インターフェース：ワード・モードの書込みサイクル ($\overline{W/B}=0$)

アナログ入力レンジの変更 ($\overline{H/S SEL}=0$)

AD7656/AD7657/AD7658のRANGEピンにより、6つのアナログ入力のアナログ入力レンジに $\pm 2 \times V_{REF}$ または $\pm 4 \times V_{REF}$ を選択できます。 $\overline{H/S SEL}$ ピンがローレベルのとき、BUSY信号の立下がりエッジでRANGEピンのロジック状態をサンプリングして次の同時変換のレンジを決定します。BUSY信号の立下がりエッジでRANGEピンがロジック・ハイのとき、次の変換のレンジは $\pm 2 \times V_{REF}$ となります。BUSY信号の立下がりエッジでRANGEピンがロジック・ローのとき、次の変換のレンジは $\pm 4 \times V_{REF}$ でとなります。RESETパルスの後、BUSYの最初の立下がりエッジでレンジが更新されます。

アナログ入力レンジの変更 ($\overline{H/S SEL}=1$)

$\overline{H/S SEL}$ ピンがハイレベルのとき、コントロール・レジスタへの書込みでレンジを変更できます。コントロール・レジスタのDB[12:10]を使用し、次の変換のアナログ入力レンジを選択します。各アナログ入力ペアに関連するレンジ・ビットがあるため、ADCペアのそれぞれに個別にレンジを設定できます。RNGxビット=1のとき、次の変換のレンジは $\pm 2 \times V_{REF}$ です。RNGxビット=0のとき、次の変換のレンジは $\pm 4 \times V_{REF}$ です。

シリアル・インターフェース ($\overline{SER/PAR}=1$)

AD7656/AD7657/AD7658は、CONVSTx信号を1つもしくは2つ、または3つすべてパルス化することで、オンチップのトリム発振器を使用してCONVSTxの立上がりエッジで選択したチャンネル・ペアを同時に変換します。CONVSTxの立上がりエッジの後、BUSY信号がハイレベルになって変換が開始されたことを示します。3 μ s後に変換が完了すると、信号はローレベルに戻ります。出力レジスタに新しい変換結果がロードされ、AD7656/AD7657/AD7658からデータを読み出すことができます。シリアル・インターフェースを介してデータを読み出すには、 $\overline{SER/PAR}$ をハイレベルに接続します。 \overline{CS} 信号とSCLK信号を使用して、AD7656/AD7657/AD7658からデータを転送します。デバイスには3本のDOUTピン (DOUT A、DOUT B、DOUT C) があり、1本、2本、または3本すべてのDOUTラインを使用して各デバイスからデータの読出しができます。

図30に、6つの同時変換と、3本のDOUTラインを使用する読出しシーケンスを示します。また、図30ではAD7656/AD7657/AD7658のデータにアクセスするために、SCLKの32サイクル転送を使用します。ただし、3本のDOUTライン上のデータにアクセスするには、 \overline{CS} 信号によりSCLKの16サイクルで別々にフレーミングされた2つの転送を使用することもできます。AD7656/AD7657/AD7658がシリアル・モードで、変換データを3本のDOUTラインすべてでクロック出力する場合は、DB0/SEL A、DB1/SEL B、DB2/SEL Cを V_{DRIVE} に接続します。これらのピンを使用して、それぞれDOUT A~DOUT Cのラインをイネーブルにします。

2本のデータ出力ラインから変換データをクロック出力する必要がある場合は、DOUT AとDOUT Bを使用します。DOUT AとDOUT Bをイネーブルにするには、DB0/SEL AとDB1/SEL Bを V_{DRIVE} に接続し、DB2/SEL Cをローレベルに接続します。6つの同時変換を実行し、2本のDOUTラインのみを使用するときは、SCLKの48サイクル転送を使用してAD7656/AD7657/AD7658のデータにアクセスします。図31に、2本のDOUTラインを使用して6個のADCすべてを同時変換する場合の読出しシーケンスを示します。6個のADCすべてで同時変換を行いますが、AD7656/AD7657/AD7658の結果を読み出すために2本のDOUTラインのみを使用します。DOUT AはV1、V2、V5の結果をクロック出力し、DOUT BはV3、V4、V6の結果をクロック出力します。

1本のDOUTラインのみを使用して、データをクロック出力することも可能です。この場合、DOUT Aを使用して変換データにアクセスします。AD7656/AD7657/AD7658をこのモードに設定するには、DB0/SEL Aを V_{DRIVE} に接続し、DB1/SEL BとDB2/SEL Cをローレベルに接続します。DOUTラインを1本だけ使用する場合は、スループット・レートが減少することです。AD7656/AD7657/AD7658のデータにアクセスするには、SCLKの96サイクル転送1つ、SCLKの32サイクルの個別フレーミング転送3つ、またはSCLKの16サイクルの個別フレーミング転送6つを使用できます。シリアル・モードでは \overline{RD} 信号をローレベルに接続し、未使用のDOUTラインは開放のままにしておきます。

シリアル読出し動作

図32に、シリアル・モードでAD7656/AD7657/AD7658のデータを読み出すためのタイミング図を示します。SCLK入力信号が、シリアル・インターフェース用のクロック源になります。 \overline{CS} 信号がローレベルになると、AD7656/AD7657/AD7658のデータにアクセスできます。 \overline{CS} の立下がりエッジで、バスがスリーステート状態でなくなり、16ビット変換結果のMSBをクロック出力します。ADCは、変換結果ごとに16ビットを出力します。AD7656のデータ・ストリームは、MSBファーストの16ビット変換データです。AD7657のデータ・ストリームは、2つの先行ゼロの後に14ビットの変換データ (MSBファースト) が続きます。AD7658のデータ・ストリームは、4つの先行ゼロの後にMSBファーストの12ビットの変換データが続きます。

変換結果の最初のビットは、 \overline{CS} 立下がりエッジ後の最初のSCLK立下がりエッジで有効となります。これに続く15個のデータビットは、SCLK信号の立上がりエッジでクロック出力されます。データは、SCLK立下がりエッジで有効です。各変換結果にアクセスするには、AD7656/AD7657/AD7658に16個のクロック・パルスを提供する必要があります。図32に、SCLKの16サイクルの読出しを使用して変換結果にアクセスする方法を示します。

AD7656/AD7657/AD7658

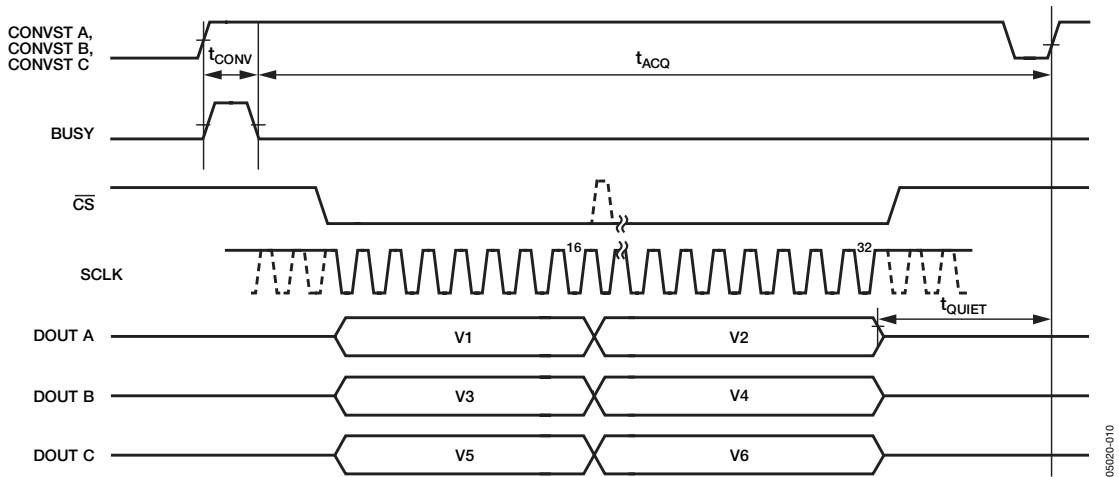


図30. DOUTラインを3本使用したシリアル・インターフェース

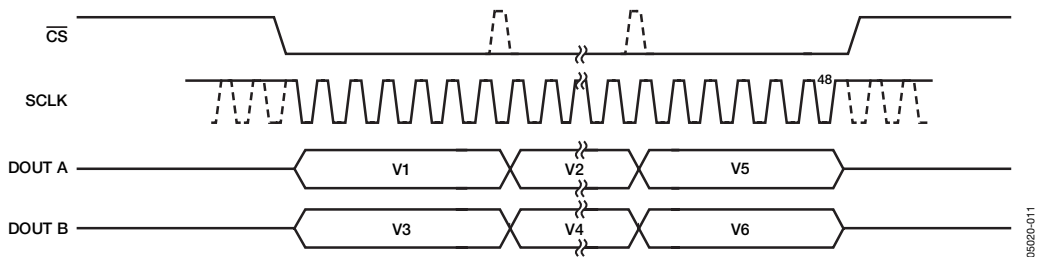


図31. DOUTラインを2本使用したシリアル・インターフェース

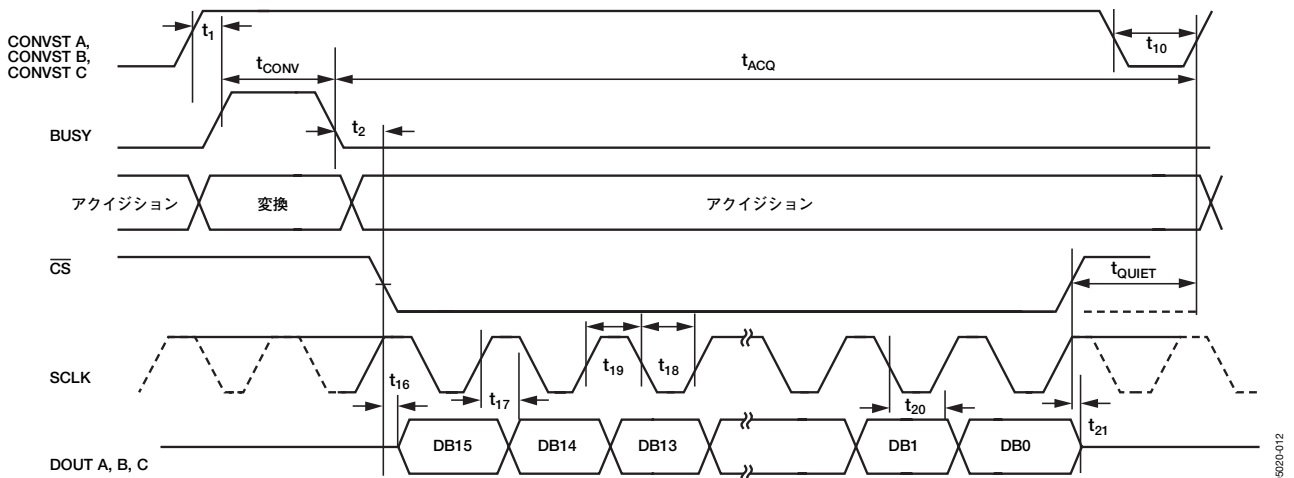


図32. シリアル読出し動作

デジチェーン・モード (DCEN=1, SER/PAR=1)

3/2/1本のDOUTピンを使用してAD7656/AD7657/AD7658から変換データを読み出す場合に、DCENピンによってデバイスをデジチェーン・モードで動作するように設定できます。デジチェーン機能により、複数のAD7656/AD7657/AD7658デバイスを相互にカスケード接続し、部品数や配線接続を減らすことができます。図33に、2つのデバイスの接続例を示します。この構成では、2本のDOUTラインを使用します。共通のCONVSTx信号を使用すれば、12のアナログ入力の同時サンプリングが可能です。DB5、DB4、DB3の各データ・ピンをデジチェーン・モード用のデータ入力ピンDCIN[A:C]として使用します。

CONVSTの立上がりエッジを使用して、AD7656/AD7657/AD7658の変換を開始します。BUSY信号がローレベルになって変換の完了を示した後、2つのデバイスからデータの読出しを開始できます。図34に、デジチェーン・モードで2つのAD7656/AD7657/AD7658デバイスを動作させるときのシリアル・タイミング図を示します。

\overline{CS} 立上がりエッジを使用して、AD7656/AD7657/AD7658デバイスからのシリアル転送をフレーミングし、バスをスリーステート状態から終了させ、最初の変換結果のMSBをクロック出力します。図34に示す例では、12のADCチャンネルすべてを同時にサンプリングします。この例では、2本のDOUTラインを使用して変換結果を読み出します。 \overline{CS} で、SCLKの96サイクル転送をフレーミングします。SCLKの最初の48サイクル中に、変換データがデバイス2からデバイス1に転送されます。デバイス2のDOUT Aが、V1、V2、V5からデバイス1のDCIN Aに変換データを転送します。デバイス2のDOUT Bは、V3、V4、V6からデバイス1のDCIN Bに変換結果を転送します。SCLKの最初の48サイクル中に、デバイス1がデータをデジタル・ホストに転送します。デバイス1のDOUT AはV1、V2、V5から変換データを転送し、デバイス1のDOUT BはV3、V4、V6から変換データを転送します。SCLKの最後の48サイクル中に、デバイス2はゼロをクロック出力し、デバイス1はSCLKの最初の48サイクル中にデバイス2からクロック入力されたデータをデジタル・ホストにシフトします。転送中にDCENがハイレベルのままの場合は、SCLKの6つの16サイクル個別フレーミング転送を使用してこの例を実現することもできます。

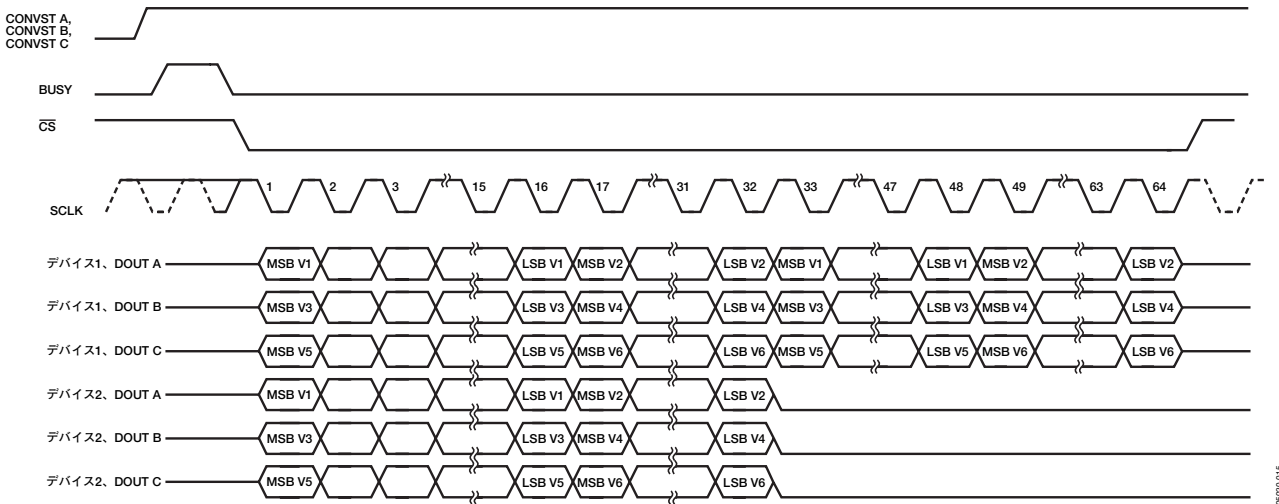
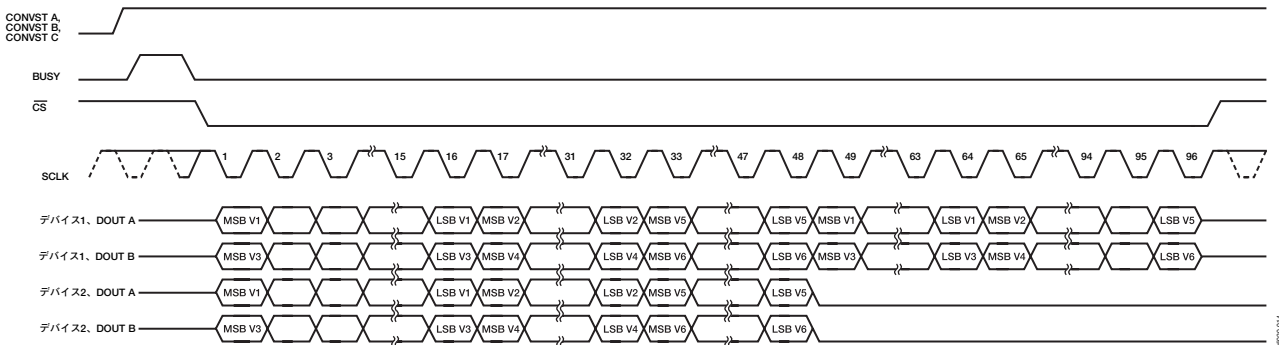
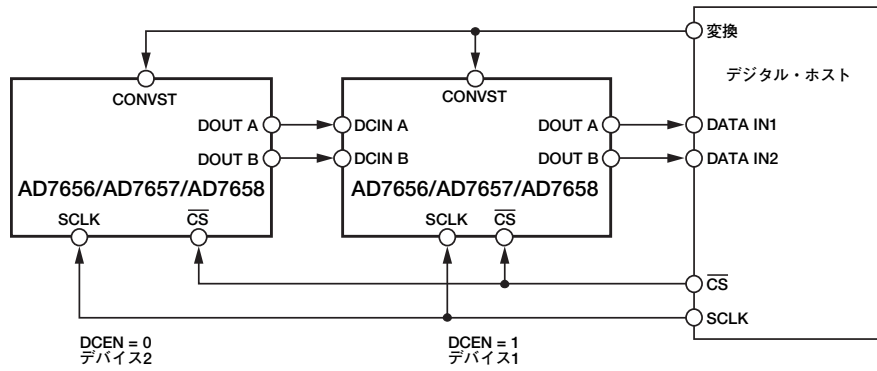
図35に、2つのAD7656/AD7657/AD7658デバイスがデジチェーン・モードで設定され、3本のDOUTラインで動作している場合のタイミングを示します。12個すべての入力の同時サンプリングが行われると想定すれば、 \overline{CS} は読出し動作中にSCLKの64サイクル転送をフレーミングします。この転送のSCLKの最初の32サイクル中に、デバイス1の変換結果がデジタル・ホストにクロック入力され、デバイス2の変換結果がデバイス1にクロック入力されます。転送のSCLKの最後の32サイクル中に、デバイス2の変換結果がデバイス1からデジタル・ホストにクロック入力されます。デバイス2はゼロをクロック出力します。

スタンバイ/部分的パワーダウン動作モード

各ADCペアを個別に部分的パワーダウン・モードにするには、BUSYの立上がりエッジの前にCONVSTx信号をローレベルにします。ADCペアをパワーアップ状態に戻すには、CONVSTx信号をハイレベルにすることで、ADCペアにパワーアップし、トラック&ホールドをトラック・モードにするよう指示します。部分的パワーダウンからのパワーアップ時間が経過してから、CONVSTx信号が立上がりエッジを受信し、有効な変換を開始するようにします。部分的パワーダウン・モードでは、リファレンス・バッファはパワーアップしたままです。ADCペアが部分的パワーダウン・モードの間も、他のADC上では変換を実行できます。

AD7656/AD7657/AD7658にはスタンバイ・モードがあり、デバイスを低消費電力モードにすることができます (最大100 μ W)。AD7656/AD7657/AD7658は、ロジック入力STBYをローレベルにすることでスタンバイ・モードになり、STBYをロジック・ハイにすることで再びパワーアップして通常の動作が可能になります。AD7656/AD7657/AD7658がスタンバイ・モードのときも出力データ・バッファは動作できるため、引き続きデバイスの変換結果にアクセスすることができます。低スループット・レートで動作するときこのスタンバイ機能を使用すれば、AD7656/AD7657/AD7658が消費する平均電力を低減できます。BUSYがローレベルのとき各変換の最後にスタンバイ・モードにすることができ、次の変換の前にスタンバイ・モードを抜け出すことができます。AD7656/AD7657/AD7658がスタンバイ・モードを抜け出すための時間は、ウェイクアップ時間といえます。AD7656/AD7657/AD7658が変換と変換の間にパワーダウンするとき動作可能な最大スループット・レートは、ウェイクアップ時間によって制限されます。「仕様」を参照してください。

AD7656/AD7657/AD7658



アプリケーション情報

レイアウト

AD7656/AD7657/AD7658を実装するプリント回路ボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれをまとめて配置するように設計してください。

グラウンド・プレーンは少なくとも1つ使用します。デジタル部とアナログ部で共通のプレーンを使用することもできますが、分割することもできます。分割する場合、デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは1箇所、できればAD7656/AD7657/AD7658の真下、あるいは少なくとも各デバイスにできるだけ近い場所で接続してください。システム内に複数のデバイスがあり、AGNDとDGNDの接続が必要な場合も、接続は1箇所のみで、AD7656/AD7657/AD7658のできるだけ近くにスター結線してしてください。グラウンド・プレーンへの接続にも注意する必要があります。複数のグラウンド・ピンに対し1つの接続を共有して使用することは避けてください。グラウンド・プレーンに対してグラウンド・ピンごとに別々のビアまたは複数のビアを使用します。

チップにノイズが混入するのを防ぐため、デバイスの真下にデジタル・ラインを設置しないでください。ただし、ノイズ混入を防止するため、アナログ・グラウンド・プレーンはAD7656/AD7657/AD7658の下を通るようにします。CONVSTやクロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分へのノイズの拡散を防ぎ、アナログ信号バスの近くを通らないようにしてください。デジタル信号とアナログ信号は交差しないようにしてください。ボードの近くにある反対側の層のパターンは、互いに直角になるように配置します。これにより、ボードを貫通するノイズ混入の影響を低減できます。

AD7656/AD7657/AD7658上の V_{CC} 、 DV_{CC} 、 V_{DRIVE} 、 V_{DD} 、 V_{SS} ピンへの電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を低減します。AD7656/AD7657/AD7658の電源ピンとボード上の電源トラックとの間の接続にも注意してください。電源ピンごとに1つのビアまたは複数のビアを使用します。

AD7656/AD7657/AD7658に対する電源インピーダンスを下げるため、また電源スパイクの振幅を小さくするために、十分なデカップリングも大切です。 V_{DD} 、 V_{SS} 、 AV_{CC} 、 DV_{CC} 、 V_{DRIVE} の各電源ピンの近く、理想的にはこれらのピンおよび対応するグラウンド・ピンのすぐ隣にデカップリング用セラミック・コンデンサ100nF (typ)を配置します。さらに、低ESRの10 μ Fコンデンサを各電源ピンに配置します。これらのコンデンサはピン間で共有しないでください。コンデンサを電源プレーンとグラウンド・プレーンに接続するには、大きなビアを使用します。寄生インダクタンスを最小限に抑えるため、ビアとコンデンサのパッドとの間に太く短いパターンを使用するか、コンデンサのパッドに隣接してビアを配置します。 AV_{CC} デカップリング用のコンデンサとしては、100nFの低ESRセラミック・コンデンサ (Farnell 335-1816) と10 μ Fの低ESRタンタル・コンデンサ (Farnell 197-130) を推奨します。 AV_{CC} 電源がボードに入る場所には、大きなタンタル・デカップリング・コンデンサを配置してください。

これに代わる簡単なデカップリング方法については、「代表的な接続図」を参照してください。このデカップリング方法では、 AV_{CC} 電源ピンをペアにグループ化して、複数の電源ペアでデカップリング・コンデンサを共有します。6本の AV_{CC} コア電源ピンを3つのペア (34番ピンと35番ピン、40番ピンと41番ピン、46番ピンと47番ピン) にグループ化します。各ペア内の電源ピンを互いに接続します。AD7656/AD7657/AD7658のピン配置により、この接続は簡単にできます。AD7656では100 μ Fのコンデンサ、AD7657では33 μ Fのコンデンサ、AD7658では22 μ Fのコンデンサで各ペアをデカップリングします。この最小限のデカップリング構成では、他のすべての電源ピンとリファレンス・ピンは10 μ Fのデカップリング・コンデンサでデカップリングします。

AD7656/AD7657/AD7658

外形寸法

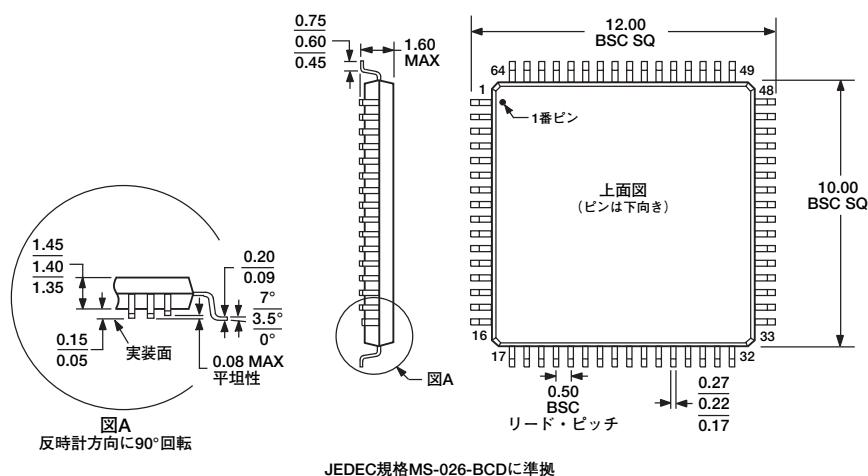


図36. 64ピン薄型クワッド・フラット・パッケージ [LQFP]
(ST-64-2)
寸法単位：mm

D05020-0-4/06(A)-J

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD7656BST	-40～+85℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
AD7656BST-500RL7	-40～+85℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
AD7656BSTZ ¹	-40～+85℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
AD7656BSTZ-REEL ¹	-40～+85℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
AD7656BSTZ-500RL7 ¹	-40～+85℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
AD7656YSTZ ¹	-40～+125℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
AD7656YSTZ-REEL ¹	-40～+125℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
AD7656YSTZ-500RL7 ¹	-40～+125℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
AD7657BSTZ ¹	-40～+85℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
AD7657BSTZ-REEL ¹	-40～+85℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
AD7657BSTZ-500RL7 ¹	-40～+85℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
AD7657YSTZ ¹	-40～+125℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
AD7657YSTZ-REEL ¹	-40～+125℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
AD7657YSTZ-500RL7 ¹	-40～+125℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
AD7658BSTZ ¹	-40～+85℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
AD7658BSTZ-REEL ¹	-40～+85℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
AD7658BSTZ-500RL7 ¹	-40～+85℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
AD7658YSTZ ¹	-40～+125℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
AD7658YSTZ-REEL ¹	-40～+125℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
AD7658YSTZ-500RL7 ¹	-40～+125℃	64ピン薄型クワッド・フラット・パッケージ [LQFP]	ST-64-2
EVAL-AD7656CB ²		評価用ボード	
EVAL-CONTROL BRD ²		コントローラ・ボード	

¹ Z=鉛フリー製品

² このボードは、評価/デモンストレーション用に、単独の評価用ボードとして使用したり、EVAL-CONTROLボードと組み合わせて使用したりできます。

³ このボードは完成ユニットであり、末尾番号CBが付くすべてのアナログ・デバイス評価用ボードに対しPCによる制御や通信が可能です。完全な評価用キットの注文に際しては、特定のADC評価用ボード (EVAL-AD7656/AD7657/AD7658CBなど)、EVAL-CONTROL BRD2、12Vのトランスを注文してください。詳細については、関連する評価用ボードのテクニカル・ノートを参照してください。