



# 16ビット、バイポーラ入力 デュアル同時サンプリング ADC 搭載 16チャンネル DAS

データシート

AD7616

## 特長

- 16チャンネル、デュアル、同時サンプリング入力
- 個別に選択可能なチャンネル入力範囲
- 真のバイポーラ:  $\pm 10\text{V}$ 、 $\pm 5\text{V}$ 、 $\pm 2.5\text{V}$
- 5Vアナログ単電源と2.3V~3.6Vの $V_{\text{DRIVE}}$ 電源
- 全機能内蔵のデータ・アキュジション・ソリューション
- アナログ入力クランプ保護
- アナログ入力インピーダンス1M $\Omega$ の入力バッファ
- 1次アンチエイリアシング・アナログ・フィルタ
- 高精度リファレンスとリファレンス・バッファを内蔵
- デュアル16ビット逐次比較レジスタ(SAR)ADC
- スループット・レート:  $2 \times 1\text{ MSPS}$
- デジタル・フィルタによるオーバーサンプリング機能
- バースト・モードによる柔軟なシーケンサ
- 柔軟なパラレル/シリアル・インターフェース
- SPI/QSPI/MICROWIRE/DSP 互換
- オプションの巡回冗長検査(CRC)エラー・チェック
- ハードウェア/ソフトウェア設定

## 性能

- 500 kSPS で 92 dB の SNR (2 倍オーバーサンプリング)
- 1 MSPS で 90.5 dB の SNR
- 103 dB の THD
- $\pm 1\text{ LSB}$  の INL (代表値)、 $\pm 0.99\text{ LSB}$  の DNL (最大値)
- アナログ入力チャンネルの ESD 定格: 8 kV
- 自己検出機能を内蔵
- 80ピンLQFPパッケージ

## アプリケーション

- 電力線のモニタリング
- 保護リレー
- マルチフェーズ・モーター・コントロール
- 計装システムおよび制御システム
- データ・アキュジション・システム (DAS)

## 概要

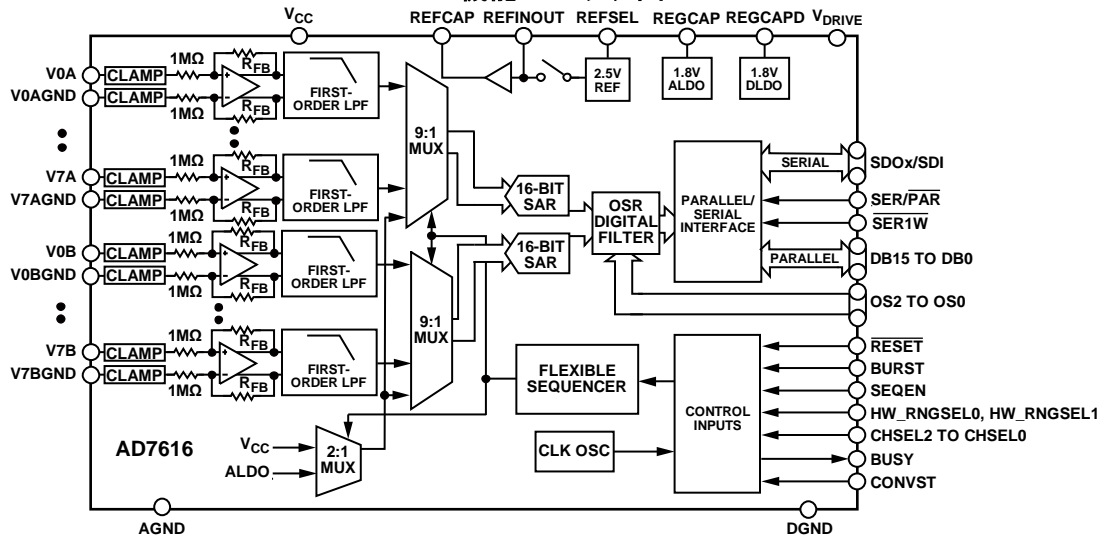
AD7616は、16チャンネルのデュアル同時サンプリングに対応する16ビットDASです。このデバイスは5V単電源で動作し、 $\pm 10\text{V}$ 、 $\pm 5\text{V}$ 、 $\pm 2.5\text{V}$ の真のバイポーラ信号を受け入れることができます。90.5 dBのSNRでチャンネル・ペアあたり最大1 MSPSのスループット・レートでサンプリングし、内蔵のオーバーサンプリング・モードにより、高いSNR性能を実現できます(2のオーバーサンプリング比(OSR)に対して92 dB)。

入力クランプ保護回路は、最大 $\pm 21\text{V}$ の電圧に耐えることができます。また、サンプリング周波数に関係なく、1M $\Omega$ のアナログ入力インピーダンスを維持します。単電源動作、内蔵のフィルタリング、高い入力インピーダンスにより、ドライバ・オペアンプと外付けバイポーラ電源が不要です。

さらに、アナログ入力クランプ保護回路、デュアル16ビット電荷再配分式SAR A/Dコンバータ(ADC)、柔軟なデジタル・フィルタ、2.5Vリファレンスおよびリファレンス・バッファ、シリアルとパラレルの高速インターフェースを内蔵しています。

AD7616はシリアル・ペリフェラル・インターフェース(SPI)/QSPI™/DSP/MICROWIREと互換性があります。

## 機能ブロック図



### NOTES

- MULTIFUNCTION PINS, SUCH AS DB15/OS2, ARE REFERRED TO BY A SINGLE FUNCTION OF THE PIN, FOR EXAMPLE, DB15, WHEN ONLY THAT FUNCTION IS RELEVANT. REFER TO THE PIN CONFIGURATION AND FUNCTION DESCRIPTIONS SECTION FOR MORE INFORMATION.

図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
電話 06 (6350) 6868

13891-001

## 目次

特長.....	1	ソフトウェア・モード.....	29
アプリケーション.....	1	リセット機能.....	29
概要.....	1	ピン機能の概要.....	30
機能ブロック図.....	1	デジタル・インターフェース.....	31
改訂履歴.....	2	チャンネル選択.....	31
仕様.....	3	パラレル・インターフェース.....	32
タイミング仕様.....	6	シリアル・インターフェース.....	33
絶対最大定格.....	10	シーケンサ.....	35
熱抵抗.....	10	ハードウェア・モード・シーケンサ.....	35
ESD に関する注意.....	10	ソフトウェア・モード・シーケンサ.....	35
ピン配置およびピン機能の説明.....	11	バースト・シーケンサ.....	36
代表的な性能特性.....	15	診断機能.....	38
用語の定義.....	21	診断チャンネル.....	38
動作原理.....	23	インターフェース・セルフ・テスト.....	38
コンバータの詳細.....	23	CRC.....	38
アナログ入力.....	23	レジスタの一覧.....	40
ADC の伝達関数.....	24	レジスタのアドレス指定.....	41
内部／外部リファレンス.....	24	設定レジスタ.....	42
シャットダウン・モード.....	25	チャンネル・レジスタ.....	43
デジタル・フィルタ.....	25	入力レンジ・レジスタ.....	44
アプリケーション情報.....	26	入力レンジ・レジスタ A1.....	44
機能の概要.....	26	入力レンジ・レジスタ A2.....	45
電源.....	26	入力レンジ・レジスタ B1.....	46
代表的な接続.....	26	入力レンジ・レジスタ B2.....	47
デバイスの設定.....	28	シーケンサ・スタック・レジスタ.....	48
動作モード.....	28	ステータス・レジスタ.....	49
内部／外部リファレンス.....	28	外形寸法.....	50
デジタル・インターフェース.....	28	オーダー・ガイド.....	50
ハードウェア・モード.....	28		

## 改訂履歴

10/2016—Revision 0: Initial Version

## 仕様

特に指定がない限り、 $V_{REF} = 2.5\text{ V}$  外部/内部、 $V_{CC} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $V_{DRIVE} = 2.3\text{ V} \sim 3.6\text{ V}$ 、 $f_{SAMPLE} = 1\text{ MSPS}$ 、 $T_A = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ 。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit	
<b>DYNAMIC PERFORMANCE</b>						
Signal-to-Noise Ratio (SNR) <sup>1,2</sup>	$f_{IN} = 1\text{ kHz}$ sine wave unless otherwise noted					
	No oversampling, $\pm 10\text{ V}$ range	89	90.5		dB	
	OSR = 2, $\pm 10\text{ V}$ range, <sup>3</sup> $f_{SAMPLE} = 500\text{ kSPS}$		92		dB	
Signal-to-Noise-and-Distortion (SINAD) <sup>1</sup>	No oversampling, $\pm 10\text{ V}$ range		93		dB	
	No oversampling, $\pm 5\text{ V}$ range	88	89.5		dB	
	No oversampling, $\pm 2.5\text{ V}$ range	85.5	87		dB	
Dynamic Range	No oversampling, $\pm 10\text{ V}$ range	88.5	90		dB	
	No oversampling, $\pm 5\text{ V}$ range	87.5	89		dB	
	No oversampling, $\pm 2.5\text{ V}$ range	85	87		dB	
Total Harmonic Distortion (THD) <sup>1</sup>	No oversampling, $\pm 10\text{ V}$ range		92		dB	
	No oversampling, $\pm 5\text{ V}$ range		90.5		dB	
	No oversampling, $\pm 2.5\text{ V}$ range		88		dB	
Peak Harmonic or Spurious Noise <sup>1</sup>	No oversampling, $\pm 10\text{ V}$ range		-103	-93.5	dB	
	No oversampling, $\pm 5\text{ V}$ range		-100		dB	
	No oversampling, $\pm 2.5\text{ V}$ range		-97		dB	
Intermodulation Distortion (IMD) <sup>1</sup>	$f_a = 1\text{ kHz}$ , $f_b = 1.1\text{ kHz}$		-103		dB	
		Second-Order Terms		-105		dB
		Third-Order Terms		-113		dB
Channel to Channel Isolation <sup>1</sup>	$f_{IN}$ on unselected channels up to 5 kHz		-106		dB	
<b>ANALOG INPUT FILTER</b>						
Full Power Bandwidth	-3 dB, $\pm 10\text{ V}$ range		39		kHz	
	-3 dB, $\pm 5\text{ V}/2.5\text{ V}$ range		33		kHz	
Phase Delay <sup>3</sup>	-0.1 dB		5.5		kHz	
	$\pm 10\text{ V}$ range		4.4	6	$\mu\text{s}$	
	$\pm 5\text{ V}$ range		5		$\mu\text{s}$	
Phase Delay Drift <sup>3</sup>	$\pm 2.5\text{ V}$ range		4.9		$\mu\text{s}$	
	$\pm 10\text{ V}$ range		$\pm 0.55$	5	ns/ $^\circ\text{C}$	
Phase Delay Matching (Dual Simultaneous Pair) <sup>3</sup>	$\pm 10\text{ V}$ range		4.4	100	ns	
	$\pm 5\text{ V}$ range		4.7		ns	
	$\pm 2.5\text{ V}$ range		4.1		ns	
<b>DC ACCURACY</b>						
Resolution	No missing codes	16			Bits	
Differential Nonlinearity (DNL) <sup>1</sup>			$\pm 0.5$	$\pm 0.99$	LSB <sup>4</sup>	
Integral Nonlinearity (INL) <sup>1</sup>			$\pm 1$	$\pm 2$	LSB	
Total Unadjusted Error (TUE)	$\pm 10\text{ V}$ range		$\pm 6$		LSB	
	$\pm 5\text{ V}$ range		$\pm 8$		LSB	
	$\pm 2.5\text{ V}$ range		$\pm 10$		LSB	
Positive Full-Scale Error <sup>5</sup>	External reference		$\pm 5$	$\pm 32$	LSB	
	$\pm 10\text{ V}$ range		$\pm 4$		LSB	
	$\pm 5\text{ V}$ range		$\pm 2$		LSB	
Internal reference	$\pm 2.5\text{ V}$ range		$\pm 2$		LSB	
	$\pm 10\text{ V}$ range		$\pm 5$		LSB	

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Positive Full-Scale (PFS) Error Drift <sup>3</sup>	External reference		±2	±5	ppm/°C
	Internal reference		±3	±10	ppm/°C
Positive Full-Scale Error Matching <sup>1</sup>	±10 V range		3	11	LSB
	±5 V range		4		LSB
	±2.5 V range		8		LSB
Bipolar Zero Code Error <sup>1</sup>	±10 V range		±0.8	±8	LSB
	±5 V range		±1	±10	LSB
	±2.5 V range		±3	±15	LSB
Bipolar Zero Code Error Drift <sup>3</sup>	±10 V range		±1.3	±20.4	μV/°C
	±5 V range		±0.9		μV/°C
	±2.5 V range		±0.5		μV/°C
Bipolar Zero Code Error Matching	±10 V range		±2	±10	LSB
	±5 V range		±3		LSB
	±2.5 V range		±3		LSB
Negative Full-Scale (NFS) Error <sup>1,5</sup>	External reference				
	±10 V range		±4	±32	LSB
	±5 V range		±3		LSB
	±2.5 V range		±6		LSB
Negative Full-Scale Error Drift <sup>3</sup>	Internal reference				
	±10 V range		±3		LSB
	External reference		±2	±5	ppm/°C
Negative Full-Scale Error Matching <sup>1</sup>	Internal reference		±4		ppm/°C
	±10 V range		4	12	LSB
	±5 V range		4		LSB
	±2.5 V range		8		LSB
<b>ANALOG INPUT</b>					
Input Voltage Ranges	Software/hardware selectable			±10	V
	Software/hardware selectable			±5	V
	Software/hardware selectable			±2.5	V
Analog Input Current	±10 V range, see Figure 34		±10.5		μA
	±5 V range, see Figure 34		±6.5		μA
	±2.5 V range, see Figure 34		±4		μA
Input Capacitance <sup>6</sup>			10		pF
Input Impedance	See the Analog Input section	0.85	1		MΩ
Input Impedance Drift <sup>3</sup>				25	ppm/°C
<b>REFERENCE INPUT/OUTPUT</b>					
Reference Input Voltage Range	See the ADC Transfer Function section	2.495	2.5	2.505	V
DC Leakage Current				±1	μA
Input Capacitance <sup>6</sup>	REFSEL = 1		7.5		pF
Reference Output Voltage	REFINOUT	2.495		2.505	V
Reference Temperature Coefficient <sup>3</sup>			±2	±15	ppm/°C

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
<b>LOGIC INPUTS</b>					
Input Voltage					
High ( $V_{INH}$ )	$V_{DRIVE} = 2.7 \text{ V to } 3.6 \text{ V}$	2			V
Low ( $V_{INL}$ )	$V_{DRIVE} = 2.3 \text{ V to } 2.7 \text{ V}$	1.7			V
Input Current ( $I_{IN}$ )	$V_{DRIVE} = 2.7 \text{ V to } 3.6 \text{ V}$			0.8	V
Input Capacitance ( $C_{IN}$ ) <sup>6</sup>	$V_{DRIVE} = 2.3 \text{ V to } 2.7 \text{ V}$			0.7	V
			5	±1	μA
					pF
<b>LOGIC OUTPUTS</b>					
Output Voltage					
High ( $V_{OH}$ )	$I_{SOURCE} = 100 \mu\text{A}$	$V_{DRIVE} - 0.2$			V
Low ( $V_{OL}$ )	$I_{SINK} = 100 \mu\text{A}$			0.4	V
Floating State Leakage Current			±0.005	±1	μA
Floating State Output Capacitance <sup>6</sup>			5		pF
Output Coding	Twos complement				
<b>CONVERSION RATE</b>					
Conversion Time	Per channel pair		0.5		μs
Acquisition Time	Per channel pair		0.5		μs
Throughput Rate	Per channel pair			1	MSPS
<b>POWER REQUIREMENTS</b>					
$V_{CC}$		4.75		5.25	V
$V_{DRIVE}$		2.3		3.6	V
$I_{VCC}$					
Normal Mode					
Static			37	57	mA
Operational	$f_{SAMPLE} = 1 \text{ MSPS}$		42	65	mA
Shutdown Mode			28		μA
$I_{DRIVE}$	Digital inputs = 0 V or $V_{DRIVE}$				
Normal Mode					
Static			0.3	0.75	mA
Operational	$f_{SAMPLE} = 1 \text{ MSPS}$		7	8	mA
Shutdown Mode			50		μA
Power Dissipation					
Normal Mode					
Static			185	300	mW
Operational	$f_{SAMPLE} = 1 \text{ MSPS}$		230	350	mW
Shutdown Mode			0.75		mW

<sup>1</sup> 用語の定義のセクションを参照してください。

<sup>2</sup> オーバーサンプリングをイネーブすることにより 93dB の SNR を実現できます。この値は手動モードで有効です。バースト・モードでは、この値は約 1 dB 低下します。

<sup>3</sup> 製造ラインではテストされません。初期リリース時のサンプル・テストにより適合性を保証します。

<sup>4</sup> LSB は最下位ビットを意味します。±2.5 V の入力レンジでは、1 LSB = 76.293 μV です。±5 V の入力レンジでは、1 LSB = 152.58 μV です。±10 V の入力レンジでは、1 LSB = 305.175 μV です。

<sup>5</sup> 内部リファレンスの正と負のフルスケール誤差にはリファレンス誤差は含まれません。

<sup>6</sup> シミュレーション・データによって裏付けられています。

タイミング仕様

共通タイミング仕様

特に指定のない限り、 $V_{CC} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $V_{DRIVE} = 2.3\text{ V} \sim 3.6\text{ V}$ 、 $V_{REF} = 2.5\text{ V}$  外部リファレンス/内部リファレンス、 $T_A = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ 。インターフェースのタイミングは、30pFの負荷容量を使用してテストされ、 $V_{DRIVE}$  およびシリアル・インターフェースの負荷容量に依存します (表 14 参照)。

表 2.

Parameter <sup>1</sup>	Min	Typ	Max	Unit	Description
$t_{CYCLE}$	1			$\mu\text{s}$	Minimum time between consecutive CONVST rising edges (excluding burst and oversampling modes)
$t_{CONV\_LOW}$	50			ns	CONVST low pulse width
$t_{CONV\_HIGH}$	50			ns	CONVST high pulse width
$t_{BUSY\_DELAY}$			32	ns	CONVST high to $\overline{\text{BUSY}}$ high (manual mode)
$t_{CS\_SETUP}$	20			ns	$\overline{\text{BUSY}}$ falling edge to $\overline{\text{CS}}$ falling edge setup time
$t_{CH\_SETUP}$	50			ns	Channel select setup time in hardware mode for CHSELx
$t_{CH\_HOLD}$	20			ns	Channel select hold time in hardware mode for CHSELx
$t_{CONV}$		475	520	ns	Conversion time for the selected channel pair
$t_{ACQ}$	480			ns	Acquisition time for the selected channel pair
$t_{QUIET}$	50			ns	$\overline{\text{CS}}$ rising edge to next CONVST rising edge
$\overline{\text{RESET\_LOW}}$					
Partial Reset	40		500	ns	Partial $\overline{\text{RESET}}$ low pulse width
Full Reset	1.2			$\mu\text{s}$	Full $\overline{\text{RESET}}$ low pulse width
$t_{DEVICE\_SETUP}$					
Partial Reset	50			ns	Time between partial $\overline{\text{RESET}}$ high and CONVST rising edge
Full Reset	15			ms	Time between full $\overline{\text{RESET}}$ high and CONVST rising edge
$t_{WRITE}$					
Partial Reset	50			ns	Time between partial $\overline{\text{RESET}}$ high and $\overline{\text{CS}}$ for write operation
Full Reset	240			$\mu\text{s}$	Time between full $\overline{\text{RESET}}$ high and $\overline{\text{CS}}$ for write operation
$\overline{\text{RESET\_WAIT}}$	1			ms	Time between stable $V_{CC}/V_{DRIVE}$ and release of $\overline{\text{RESET}}$ (see Figure 50)
$\overline{\text{RESET\_SETUP}}$					Time prior to release of $\overline{\text{RESET}}$ that queried hardware inputs must be stable for (see Figure 50)
Partial Reset	10			ns	
Full Reset	0.05			ms	
$\overline{\text{RESET\_HOLD}}$					Time after release of $\overline{\text{RESET}}$ that queried hardware inputs must be stable for (see Figure 50)
Partial Reset	10			ns	
Full Reset	0.24			ms	

<sup>1</sup> 製造ライン試験は未実施。初期リリース時のサンプル・テストにより適合性を保証します。

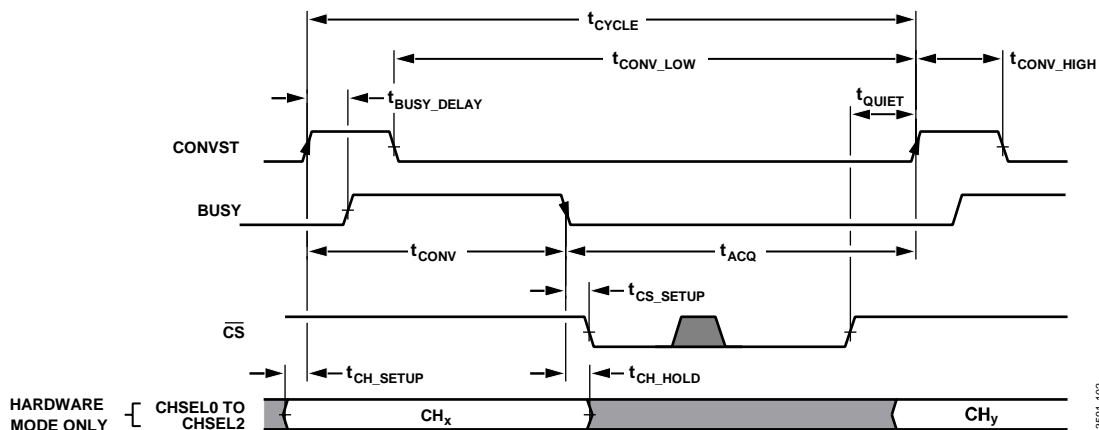


図 2. すべてのインターフェースの共通タイミング図

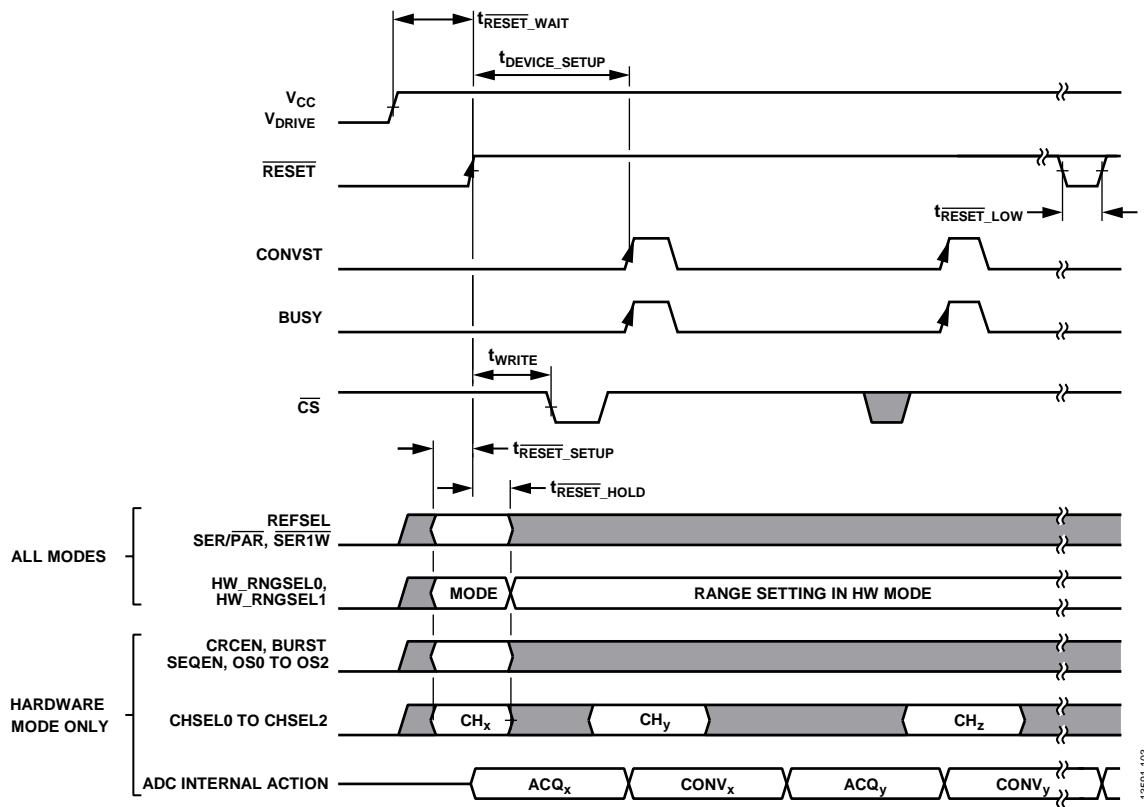


図 3. リセット・タイミング

13591-103

パラレル・モードのタイミング仕様

表 3.

Parameter	Min	Typ	Max	Unit	Description
$t_{RD\_SETUP}$	10			ns	$\overline{CS}$ falling edge to $\overline{RD}$ falling edge setup time
$t_{RD\_HOLD}$	10			ns	$\overline{RD}$ rising edge to $\overline{CS}$ rising edge hold time
$t_{RD\_HIGH}$	10			ns	$\overline{RD}$ high pulse width
$t_{RD\_LOW}$	30			ns	$\overline{RD}$ low pulse width
$t_{DOUT\_SETUP}$			30	ns	Data access time after falling edge of $\overline{RD}$
$t_{DOUT\_3STATE}$			11	ns	$\overline{CS}$ rising edge to DBx high impedance
$t_{WR\_SETUP}$	10			ns	$\overline{CS}$ to $\overline{WR}$ setup time
$t_{WR\_HIGH}$	20			ns	$\overline{WR}$ high pulse width
$t_{WR\_LOW}$	30			ns	$\overline{WR}$ low pulse width
$t_{WR\_HOLD}$	10			ns	$\overline{WR}$ hold time
$t_{DIN\_SETUP}$	30			ns	Configuration data to $\overline{WR}$ setup time
$t_{DIN\_HOLD}$	10			ns	Configuration data to $\overline{WR}$ hold time
$t_{CONF\_SETTLE}$	20			ns	Configuration data settle time, $\overline{WR}$ rising edge to CONVST rising edge

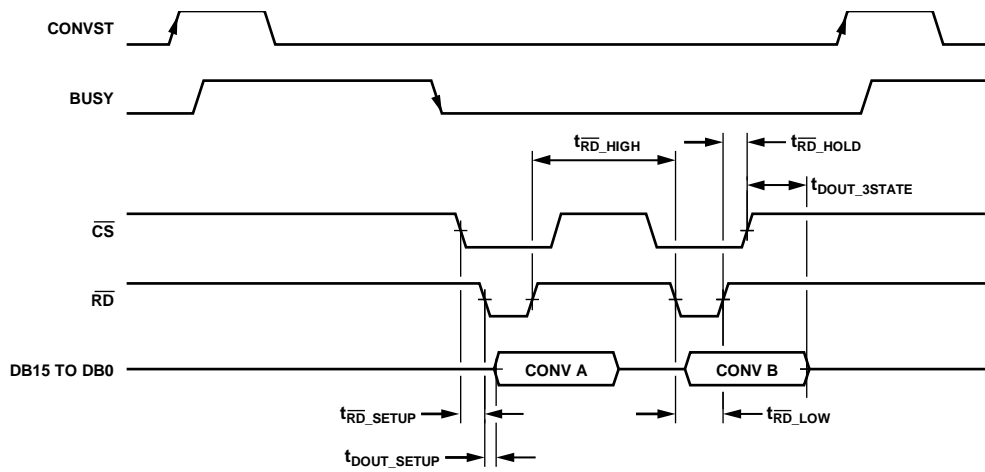


図 4. パラレル・リードのタイミング図

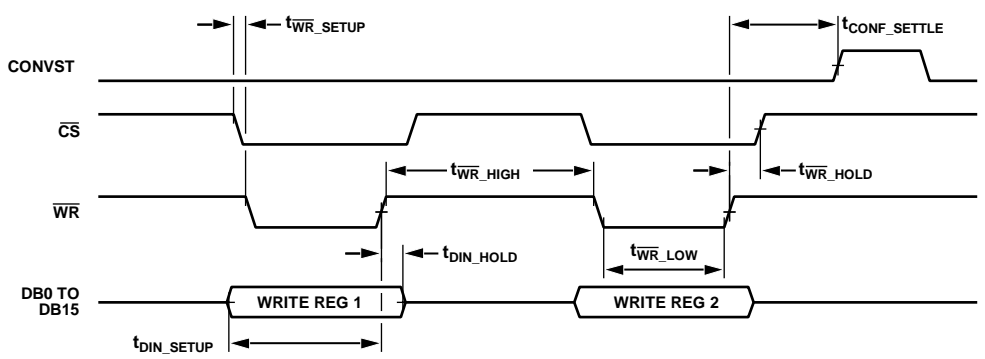


図 5. パラレル・ライトのタイミング図

シリアル・モードのタイミング仕様

表 4.

Parameter	Min	Typ	Max	Unit	Description
$f_{SCLK}^1$			40/50	MHz	SCLK frequency
$t_{SCLK}$	$1/f_{SCLK}$				Minimum SCLK period
$t_{SCLK\_SETUP}^1$	10.5			ns	$\overline{CS}$ to SCLK falling edge setup time, $V_{DRIVE}$ above 3 V
	13.5			ns	$\overline{CS}$ to SCLK falling edge setup time, $V_{DRIVE}$ above 2.3 V
$t_{SCLK\_HOLD}$	10			ns	SCLK to $\overline{CS}$ rising edge hold time
$t_{SCLK\_LOW}$	8			ns	SCLK low pulse width
$t_{SCLK\_HIGH}$	9			ns	SCLK high pulse width
$t_{DOUT\_SETUP}^1$			9	ns	Data out access time after SCLK rising edge, $V_{DRIVE}$ above 3 V
			11	ns	Data out access time after SCLK rising edge, $V_{DRIVE}$ above 2.3 V
$t_{DOUT\_HOLD}$	4			ns	Data out hold time after SCLK rising edge
$t_{DIN\_SETUP}$	10			ns	Data in setup time before SCLK falling edge
$t_{DIN\_HOLD}$	8			ns	Data in hold time after SCLK falling edge
$t_{DOUT\_3STATE}$			10	ns	$\overline{CS}$ rising edge to SDOx high impedance

<sup>1</sup>  $V_{DRIVE}$  と負荷容量に依存する (表 14 参照)。

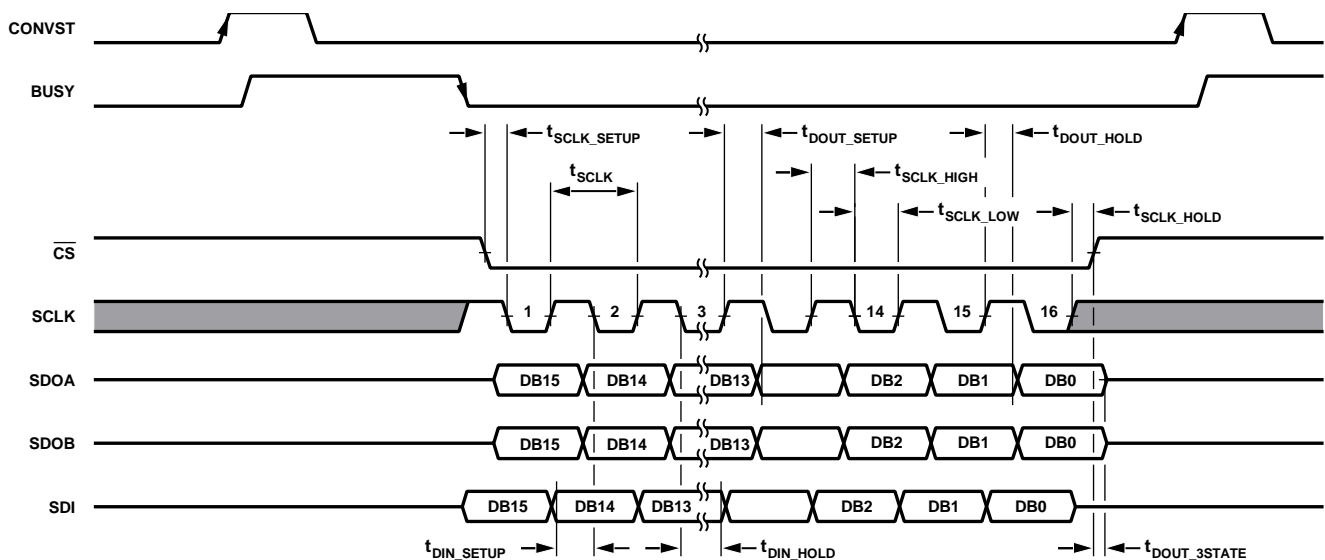


図 6. シリアルのタイミング図

13691-106

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 5.

Parameter	Rating
$V_{CC}$ to AGND	-0.3 V to +7 V
$V_{DRIVE}$ to AGND	-0.3 V to $V_{CC} + 0.3$ V
Analog Input Voltage to AGND <sup>1</sup>	$\pm 21$ V
Digital Input Voltage to AGND	-0.3 V to $V_{DRIVE} + 0.3$ V
Digital Output Voltage to AGND	-0.3 V to $V_{DRIVE} + 0.3$ V
REFINOUT to AGND	-0.3 V to $V_{CC} + 0.3$ V
Input Current to Any Pin Except Supplies <sup>1</sup>	$\pm 10$ mA
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Soldering Reflow	
Pb/Sn Temperature (10 sec to 30 sec)	240 (+0)°C
Pb-Free Temperature	260 (+0)°C
ESD	
All Pins Except Analog Inputs	2 kV
Analog Input Pins Only	8 kV

<sup>1</sup> 最大 100 mA までの過渡電流では SCR ラッチアップは生じません。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を引き起こす場合があります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関係しています。PCB の熱設計には細心の注意が必要です。

$\theta_{JA}$  は、1 立方フィートの密封容器内で測定された、自然対流でのジャンクションから周囲への熱抵抗です。 $\theta_{JC}$  は、ジャンクションからケースへの熱抵抗です。

表 6. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
ST-80-2 <sup>1</sup>	41	7.5	°C/W

<sup>1</sup> 熱抵抗のシミュレーション値は、JEDEC 2S2P サーマル・テスト・ボードに基づいています。(JEDEC JESD51 参照)。

## ESD に関する注意



### ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

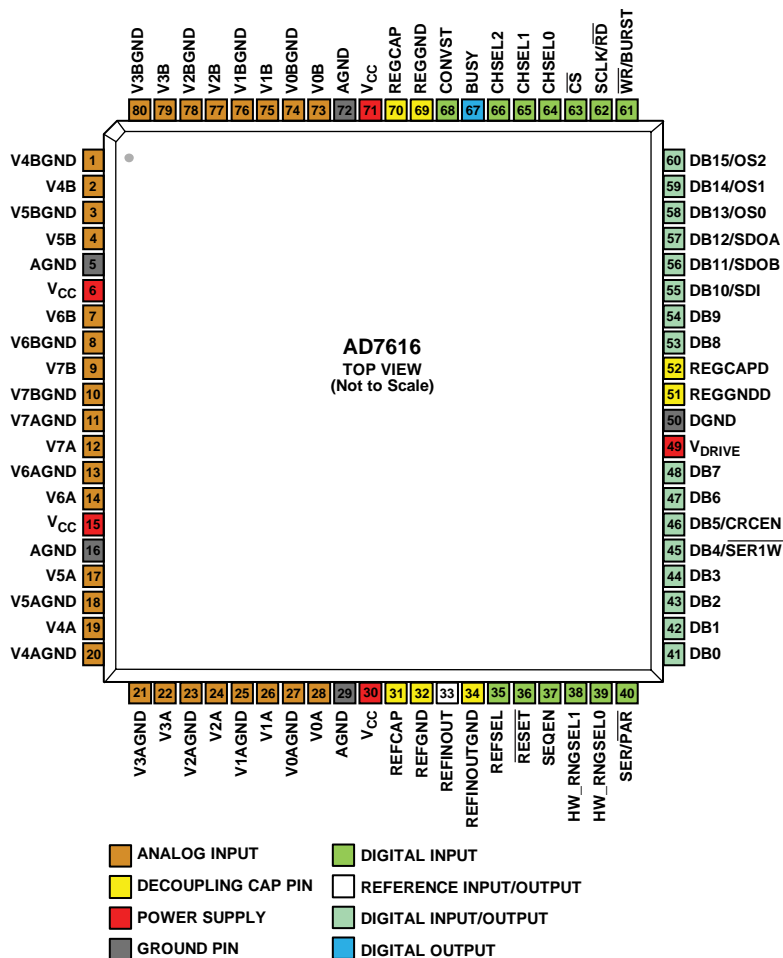


図 7. ピン配置

表 7. ピン機能の説明

Pin No.	Type <sup>1</sup>	Mnemonic <sup>2</sup>	Description
1	AI GND	V4BGND	アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V4B に対応します。
2	AI	V4B	チャンネル 4、ADC B のアナログ入力。
3	AI GND	V5BGND	アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V5B に対応します。
4	AI	V5B	チャンネル 5、ADC B のアナログ入力。
5, 16, 29, 72	P	AGND	アナログ電源のグラウンド・ピン。
6, 15, 30, 71	P	V <sub>CC</sub>	アナログ電源電圧は 4.7 V ~ 5.25 V です。この電源電圧は、内部フロントエンド・アンプと ADC コアに供給されます。0.1 μF と 10 μF のコンデンサを並列に接続して、これらのピンを AGND にデカップリングします。
7	AI	V6B	チャンネル 6、ADC B のアナログ入力。
8	AI GND	V6BGND	アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V6B に対応します。
9	AI	V7B	チャンネル 7、ADC B のアナログ入力。
10	AI GND	V7BGND	アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V7B に対応します。
11	AI GND	V7AGND	アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V7A に対応します。
12	AI	V7A	チャンネル 7、ADC A のアナログ入力。
13	AI GND	V6AGND	アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V6A に対応します。
14	AI	V6A	チャンネル 6、ADC A のアナログ入力。
17	AI	V5A	アナログ入力 V5A。
18	AI GND	V5AGND	アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V5A に対応します。
19	AI	V4A	アナログ入力 V4A。
20	AI GND	V4AGND	アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V4A に対応します。

Pin No.	Type <sup>1</sup>	Mnemonic <sup>2</sup>	Description
21	AI GND	V3AGND	アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V3A に対応します。
22	AI	V3A	チャンネル 3、ADC A のアナログ入力。
23	AI GND	V2AGND	アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V2A に対応します。
24	AI	V2A	チャンネル 2、ADC A のアナログ入力。
25	AI GND	V1AGND	アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V1A に対応します。
26	AI	V1A	チャンネル 1、ADC A のアナログ入力。
27	AI GND	V0AGND	アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V0A に対応します。
28	AI	V0A	チャンネル 0、ADC A のアナログ入力。
31	CAP	REFCAP	リファレンス・バッファのフォース/センス・ピン。できるだけ REFCAP ピンの近くに等価直列抵抗 (ESR) の小さな 10 $\mu$ F の X5R セラミック・コンデンサを配置し、このピンを AGND にデカップリングしてください。このピンの電圧は標準で 4.096 V です。
32	CAP	REFGND	リファレンスのグラウンド・ピン。このピンは AGND に接続します。
33	REF	REFINOUT	リファレンス入力/リファレンス出力。REFSEL ピンをロジック・ハイに設定した場合は、この REF ピンから 2.5 V の内部リファレンスを外部で使用できます。逆に、REFSEL ピンをロジック・ローに設定して内部リファレンスをイネーブルすることができ、2.5 V の外部リファレンスをこの入力へ与えることができます。内部、外部のいずれのリファレンスを選択しても、このピンにはデカップリングが必要です。REFINOUT ピンのできるだけ近くに、REFINOUT ピンと REFINOUTGND ピンの間に 100 nF の X8R コンデンサを接続します。外部リファレンスを使用する場合は、10 k $\Omega$ の直列抵抗をこのピンに接続し、リファレンス信号を帯域制限します。
34	CAP	REFINOUTGND	リファレンス入力、リファレンス出力のグラウンド・ピン。
35	DI	REFSEL	内部リファレンス/外部リファレンスの選択入力。REFSEL はロジック入力です。このピンをロジック・ハイに設定すると、内部リファレンスが選択されイネーブルされます。このピンをロジック・ローに設定すると、内部リファレンスがディスエーブルされるため、外部リファレンス電圧を REFINOUT ピンに与える必要があります。信号状態はフル・リセット解除時にラッチされ、再設定するには再度フル・リセットする必要があります。
36	DI	RESET	リセット入力。フル・リセットかパーシャル・リセットかを選択できます。リセットのタイプは RESET バルスの長さによって決まります。RESET をローに維持すると、デバイスはシャットダウン・モードになります。詳細については「リセット機能」のセクションを参照してください。
37	DI	SEQEN	チャンネル・シーケンサ・イネーブル入力 (ハードウェア・モードのみ)。SEQEN をローにすると、シーケンサはディスエーブルされます。 SEQEN をハイにすると、シーケンサはイネーブルされます (ハードウェア・モードでは機能が制限されません)。詳細については「シーケンサ」のセクションを参照してください。信号状態はフル・リセットの解除時にラッチされ、再設定するには再度フル・リセットする必要があります。 ソフトウェア・モードでは、このピンは DGND へ接続する必要があります。
38, 39	DI	HW_RNGSEL1, HW_RNGSEL0	ハードウェア/ソフトウェアのモード選択、ハードウェア・モードでのレンジ選択入力。ハードウェア/ソフトウェアのモード選択はフル・リセット時にラッチされます。ハードウェア・モードでのレンジ選択はラッチされません。 HW_RNGSELx = 00: ソフトウェア・モード。AD7616 はソフトウェア・レジスタを使用して設定されます。 HW_RNGSELx = 01: ハードウェア・モード。アナログ入力レンジは $\pm 2.5$ V。 HW_RNGSELx = 10: ハードウェア・モード。アナログ入力レンジは $\pm 5$ V。 HW_RNGSELx = 11: ハードウェア・モード。アナログ入力レンジは $\pm 10$ V。
40	DI	SER/PAR	シリアル/パラレルのインターフェース選択入力。ロジック入力。このピンをロジック・ローに接続すると、パラレル・インターフェースが選択されます。このピンをロジック・ハイに接続すると、シリアル・インターフェースが選択されます。信号状態はフル・リセットの解除時にラッチされ、再設定するには再度フル・リセットする必要があります。
41, 42, 43, 44	DO/DI	DB0, DB1, DB2, DB3	パラレル入出力のデータ・ビット 0 ~ データ・ビット 3。パラレル・モードでは、これらのピンは入出力パラレル・データ・ビット DB7 ~ DB0 になります。詳細については「パラレル・インターフェース」のセクションを参照してください。シリアル・モードでは、これらのピンは DGND へ接続する必要があります。
45	DO/DI	DB4/SER1W	パラレル入出力データ・ビット 4/シリアル出力の選択。パラレル・モードでは、このピンはスリーステートのパラレル・デジタル入出力ピンとして機能します。詳細については「パラレル・インターフェース」のセクションを参照してください。 シリアル・モードでは、このピンはシリアル出力が SDOA と SDOB の両方で動作するか、SDOA でのみ動作するかを決定します。SER1W がローの場合、シリアル出力は SDOA でのみ動作します。SER1W がハイの場合、シリアル出力は SDOA と SDOB の両方で動作します。信号状態はフル・リセットの解除時にラッチされ、再設定するには再度フル・リセットする必要があります。

Pin No.	Type <sup>1</sup>	Mnemonic <sup>2</sup>	Description
46	DO/DI	DB5/CRCEN	<p>パラレル入出力データ・ビット 5/CRC イネーブル入力。パラレル・モードでは、このピンはスリーステートのパラレル・デジタル入出力として機能します。シリアル・モードでは、このピンは CRC イネーブル入力として機能します。CRCEN の信号状態はフル・リセット解除時にラッチされ、再設定するには再度フル・リセットする必要があります。詳細については「デジタル・インターフェース」のセクションを参照してください。</p> <p>シリアル・モードでは、CRCEN がローのときは、変換結果の後に CRC ワードはありません。CRCEN がハイのときは、CHSELx によって設定される最後の変換ワードの後に CRC ワードが続きます。詳細については「CRC」のセクションを参照してください。</p> <p>ソフトウェア・モードでは、このピンは DGND へ接続する必要があります。</p>
47, 48	DO/DI	DB6, DB7	<p>パラレル入出力のデータ・ビット 6 および データ・ビット 7。SER/PAR = 0 の場合、これらのピンはスリーステートのパラレル・デジタル入出力として機能します。詳細については「パラレル・インターフェース」のセクションを参照してください。シリアル・モードでは、SER/PAR = 1 の場合、これらのピンは DGND へ接続する必要があります。</p>
49	P	V <sub>DRIVE</sub>	<p>ロジック電源入力。このピンに入力される電圧 (2.3 V ~ 3.6 V) により、インターフェースの動作電圧が決まります。このピンはホスト・インターフェースの電源と同じ公称電源電圧です。0.1 μF と 10 μF のコンデンサを並列に接続して、このピンをデカップリングします。</p>
50	P	DGND	<p>デジタル・グラウンド。このピンは、AD7616 の全デジタル回路に対するグラウンド基準ポイントです。DGND ピンはシステムの DGND プレーンに接続する必要があります。</p>
51	CAP	REGGND	<p>REGCAPD (ピン 52) に接続されるデジタル低ドロップアウト (LDO) レギュレータのグラウンド。</p>
52	CAP	REGCAPD	<p>内蔵デジタル・レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。10 μF のコンデンサを使用して、この出力ピンを REGGND へ個別にデカップリングします。このピンの電圧は 1.89 V (標準) です。</p>
53, 54	DO/DI	DB8, DB9	<p>パラレル入出力のデータ・ビット 9 および データ・ビット 8。SER/PAR = 0 の場合、このピンはスリーステートのパラレル・デジタル入出力として機能します。詳細については「パラレル・インターフェース」のセクションを参照してください。</p> <p>シリアル・モードでは、SER/PAR = 1 の場合、これらのピンは DGND へ接続する必要があります。</p>
55	DO/DI	DB10/SDI	<p>パラレル入出力データ・ビット DB10/シリアル・データ入力。SER/PAR = 0 の場合、このピンはスリーステートのパラレル・デジタル入出力として機能します。詳細については「パラレル・インターフェース」のセクションを参照してください。ハードウェア・シリアル・モードでは、このピンは DGND に接続します。</p> <p>シリアル・モードでは、SER/PAR = 1 のとき、このピンは SPI インターフェースのデータ入力として機能します。</p>
56	DO/DI	DB11/SDOB	<p>パラレル入出力データ・ビット 11/シリアル・データ出力 B。SER/PAR = 0 のとき、このピンはスリーステートのパラレル・デジタル入出力として機能します。詳細については「パラレル・インターフェース」のセクションを参照してください。</p> <p>シリアル・モードでは、SER/PAR = 1 のとき、このピンは SDOB として機能し、シリアル変換データを出力します。</p>
57	DO/DI	DB12/SDOA	<p>パラレル入出力データ・ビット 12/シリアル・データ出力 A。SER/PAR = 0 のとき、このピンはスリーステートのパラレル・デジタル入出力として機能します。詳細については「パラレル・インターフェース」のセクションを参照してください。</p> <p>シリアル・モードでは、SER/PAR = 1 のとき、このピンは SDOA として機能し、シリアル変換データを出力します。</p>
58, 59, 60	DO/DI	DB13/OS0, DB14/OS1, DB15/OS2	<p>パラレル入出力データ・ビット 13、データ・ビット 14、データ・ビット 15/オーバーサンプリング比の選択。SER/PAR = 0 の場合、このピンはスリーステートのパラレル・デジタル入出力として機能します。詳細については「パラレル・インターフェース」のセクションを参照してください。</p> <p>シリアル・ハードウェア・モードでは、これらのピンはオーバーサンプリングの設定を制御します。信号状態はフル・リセットの解除時にラッチされ、再設定するには再度フル・リセットする必要があります。詳細については「デジタル・フィルタ」のセクションを参照してください。</p> <p>ソフトウェア・シリアル・モードでは、これらのピンは DGND へ接続する必要があります。</p>
61	DI	WR/BURST	<p>書込み/バースト・モード・イネーブル。</p> <p>ソフトウェア・パラレル・モードでは、このピンはパラレル・インターフェースの WR として機能します。ハードウェアのパラレルまたはシリアル・モードでは、このピンはバースト・モードを有効にします。信号状態はフル・リセットの解除時にラッチされ、再設定するには再度フル・リセットする必要があります。詳細については「バースト・シーケンサ」のセクションを参照してください。</p> <p>ソフトウェア・シリアル・モードでは、このピンを DGND に接続します。</p>
62	DI	SCLK/RD	<p>シリアル・クロック入力/パラレル・データ読出し制御入力。シリアル・モードでは、このピンはデータ転送用のシリアル・クロック入力として機能します。CS の立下がりエッジにより、SDOA および SDOB のデータ出力ラインがスリーステートから抜け出し、変換結果の MSB がクロック・アウトされます。SCLK の立上がりエッジにより、後続のすべてのデータ・ビットが SDOA および SDOB シリアル・データ出力にクロック・アウトされます。</p>
63	DI	CS	<p>パラレル・モードで CS と RD が両方共ロジック・ローのとき、出力バスはイネーブルされます。</p> <p>チップ・セレクト。このアクティブ・ローのロジック入力により、データ転送がフレーム化されます。パラレル・モードでは、CS と RD が両方共ロジック・ローのとき、DBx 出力バスがイネーブルされ、変換結果がパラレル・データ・バスラインに出力されます。</p> <p>シリアル・モードでは、CS によってシリアル読出し転送がフレーム化され、シリアル出力データの MSB がクロック・アウトされます。</p>

Pin No.	Type <sup>1</sup>	Mnemonic <sup>2</sup>	Description
64, 65, 66	DI	CHSEL0, CHSEL1, CHSEL2	チャンネル選択入力 0 ~ 入力 2。ハードウェア・モードでは、これらの入力によって、チャンネル・グループ A とチャンネル・グループ B の次の変換の入力チャンネルが選択されます。例えば、CHSELx = 0x000 は次の変換に V0A と V0B を選択し、CHSELx = 0x001 は次の変換に V1A と V1B を選択します。 ソフトウェア・モードでは、これらのピンは DGND へ接続する必要があります。
67	DO	BUSY	ビジー出力。このピンは、CONVST の立上がりエッジ後にロジック・ハイに遷移し、変換プロセスが開始されたことを示します。現在選択されているチャンネルの変換処理が完了するまで、BUSY 出力はハイを維持します。BUSY の立下がりエッジは、変換データが出力データ・レジスタにラッチされ、読出しが可能になったことを知らせます。BUSY がローに戻った後でデータを読み出す必要があります。BUSY 信号がハイの間は、CONVST の立上がりエッジは影響を与えません。
68	DI	CONVST	チャンネル・グループ A とチャンネル・グループ B の変換開始入力。このロジック入力は、アナログ入力チャンネルの変換を開始します。 CONVST がローからハイに遷移すると、選択されたアナログ入力ペアに対する変換が開始されます。バースト・モードとオーバーサンプリング・モードがディスエーブルされている場合は、CONVST がローからハイに遷移するたびに 1 つのチャンネル・ペアが変換されます。シーケンサ・モードでは、バースト・モードまたはオーバーサンプリングがイネーブルされている場合、必要な変換回数を実行するのに、CONVST のローからハイへの遷移が 1 回だけ必要です。
69	CAP	REGGND	内部アナログ・レギュレータのグラウンド。このピンはシステムの AGND プレーンに接続する必要があります。
70	CAP	REGCAP	内部アナログ・レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。10 $\mu$ F のコンデンサを使用して、この出力ピンを REGGND へ個別にデカップリングします。このピンの電圧は 1.87 V (標準) です。
73	AI	V0B	チャンネル 0、ADC B のアナログ入力。
74	AI GND	V0BGND	アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V0B に対応します。
75	AI	V1B	チャンネル 1、ADC B のアナログ入力。
76	AI GND	V1BGND	アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V1B に対応します。
77	AI	V2B	チャンネル 2、ADC B のアナログ入力。
78	AI GND	V2BGND	アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V2B に対応します。
79	AI	V3B	チャンネル 3、ADC B のアナログ入力。
80	AI GND	V3BGND	アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V3B に対応します。

<sup>1</sup> AI はアナログ入力、GND はグラウンド、P は電源、REF はリファレンス入出力、DI はデジタル入力、DO はデジタル出力、CAP はデカップリング・コンデンサ・ピンです。

<sup>2</sup> このデータシートでは、SER/PAR などの複数機能を持つピンは、全機能を表すピン名で表記するか、あるいは特定の機能のみが該当するところでは SER のようにピンの 1 つの機能で表記しています。

## 代表的な性能特性

特に指定がない限り、 $V_{REF} = 2.5\text{ V}$  内部、 $V_{CC} = 5\text{ V}$ 、 $V_{DRIVE} = 3.3\text{ V}$ 、 $f_{SAMPLE} = 1\text{ MSPS}$ 、 $f_{IN} = 1\text{ kHz}$ 、 $T_A = 25\text{ }^\circ\text{C}$ 。

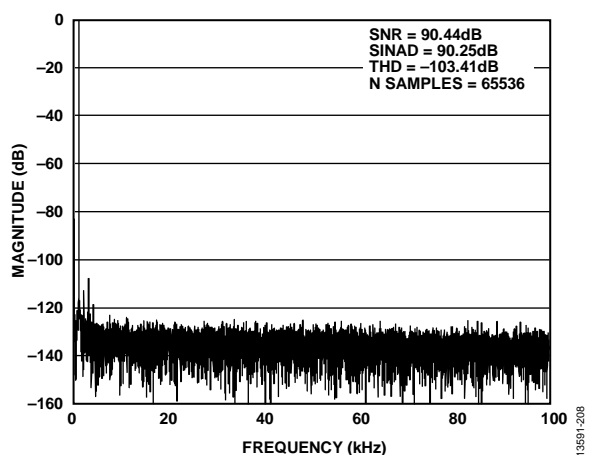


図 8. 高速フーリエ変換 (FFT)、 $\pm 10\text{ V}$  レンジ

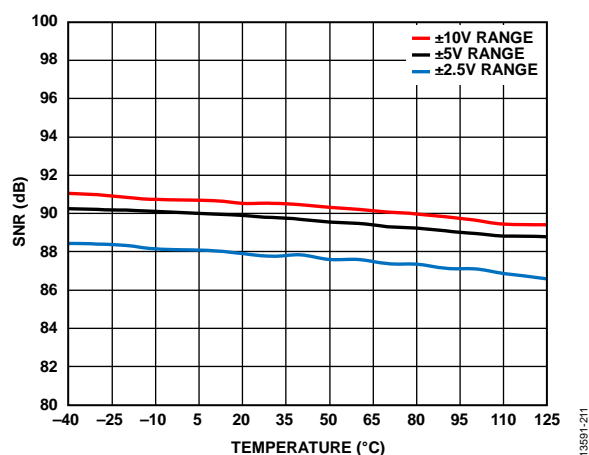


図 11. SNR の温度特性

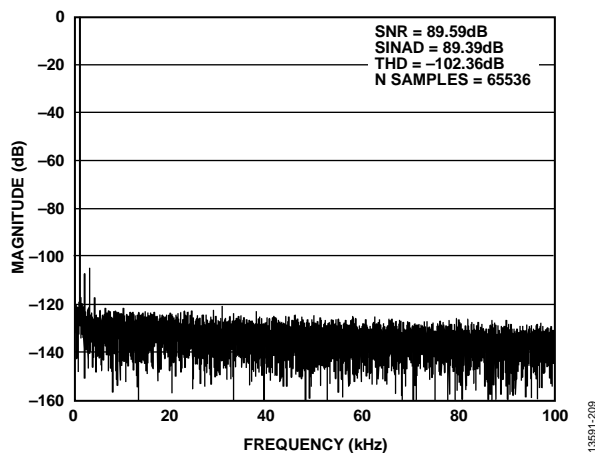


図 9. FFT、 $\pm 5\text{ V}$  レンジ

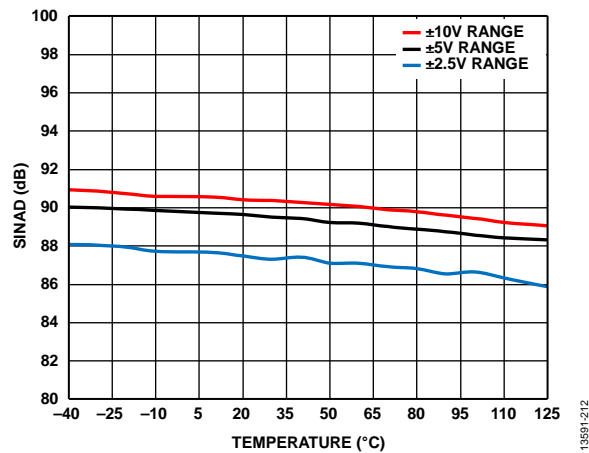


図 12. SINAD の温度特性

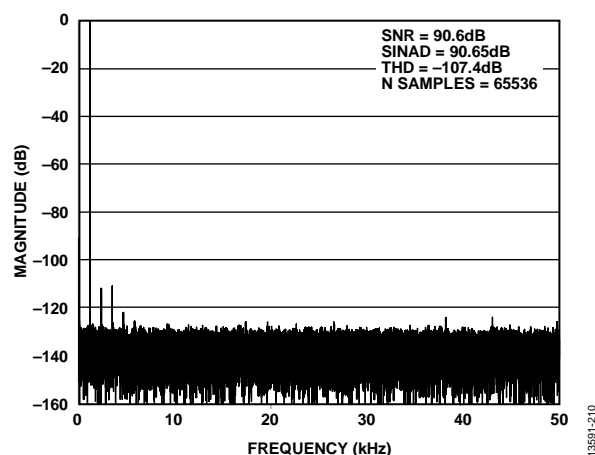


図 10. FFT バースト・モード、 $\pm 10\text{ V}$  レンジ

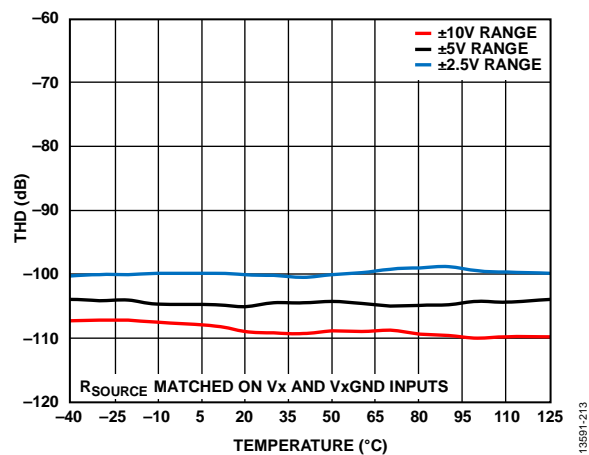


図 13. THD の温度特性

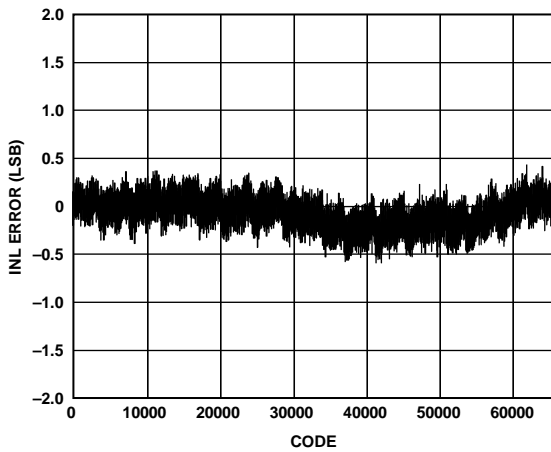


図 14. 標準 INL 誤差、±10 V レンジ

13591-214

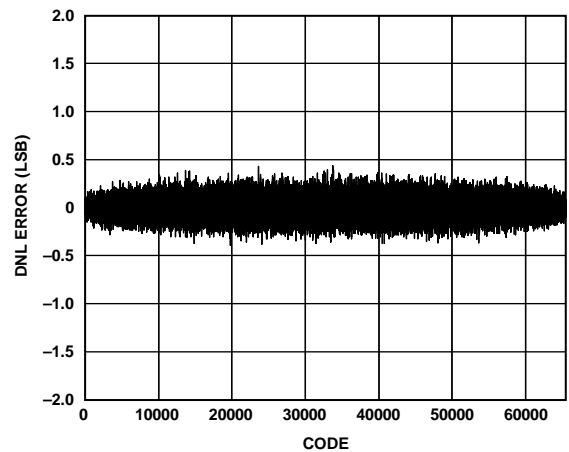


図 17. 標準 DNL 誤差、±5 V レンジ

13591-217

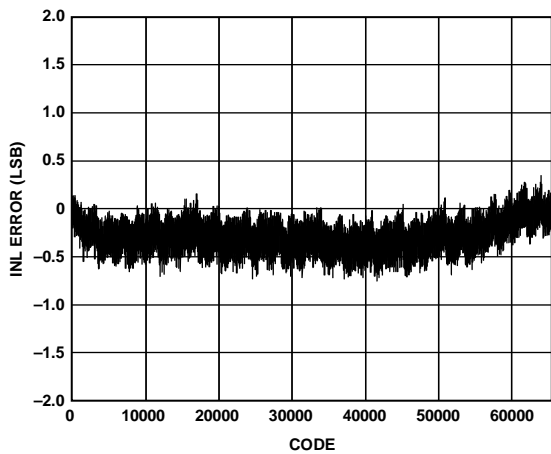


図 15. 標準 INL 誤差、±5 V レンジ

13591-215

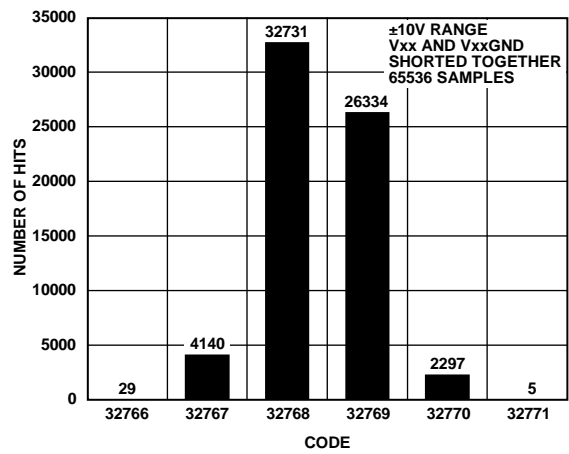


図 18. コード・センターでのコードの DC ヒストグラム、±10 V レンジ

13591-218

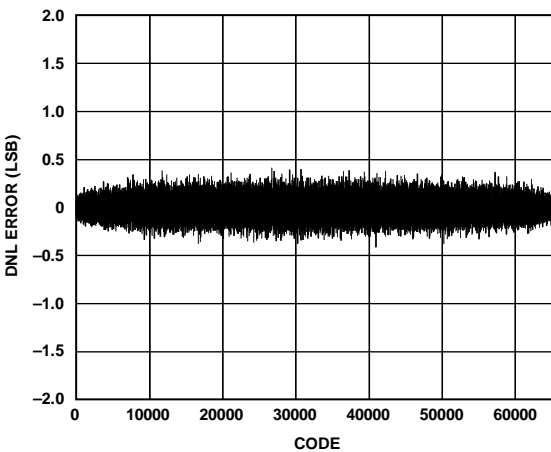


図 16. 標準 DNL 誤差、±10 V レンジ

13591-216

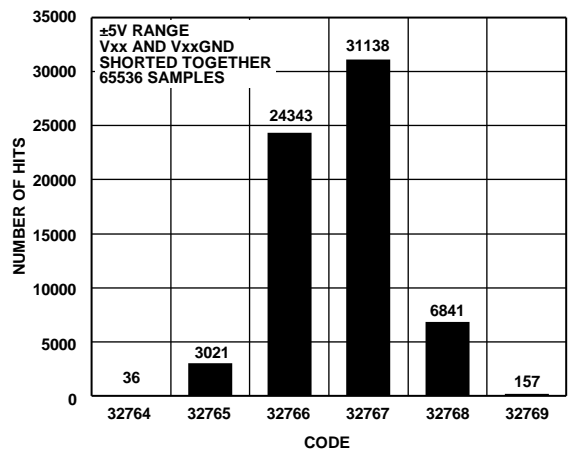


図 19. コード・センターでの DC ヒストグラム、±5 V レンジ

13591-219

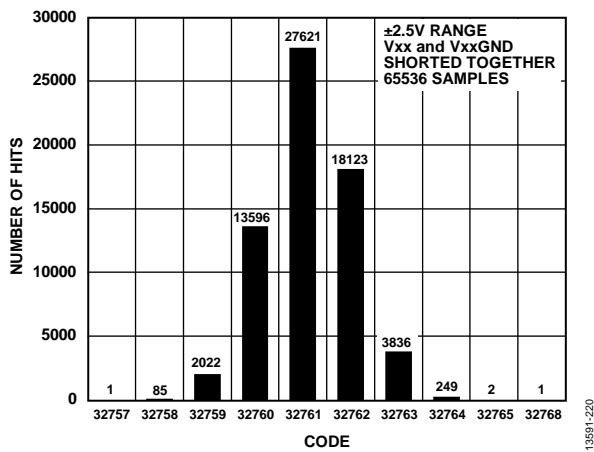


図 20. コード・センターでの DC ヒストグラム、±2.5 V レンジ

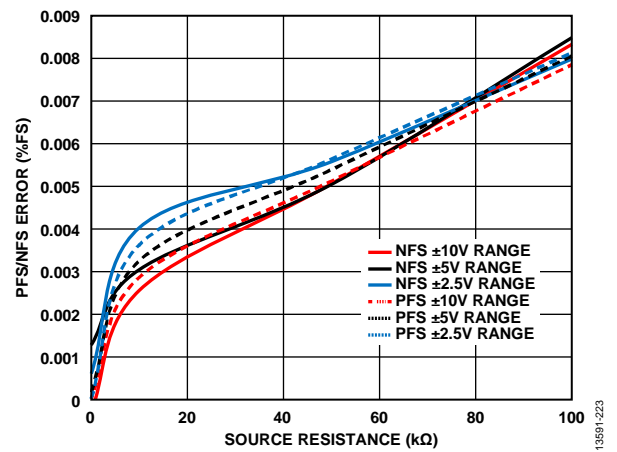


図 23. PFS/NFS 誤差対ソース抵抗

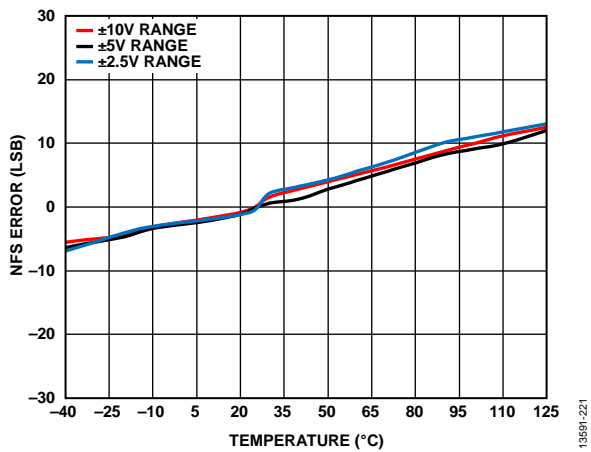


図 21. NFS 誤差の温度特性

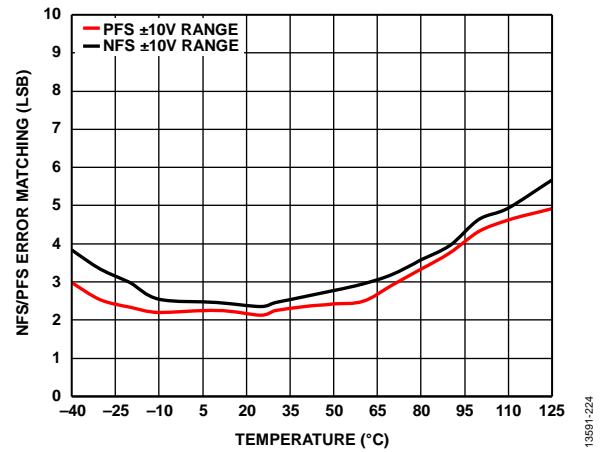


図 24. NFS/PFS 誤差マッチングの温度特性

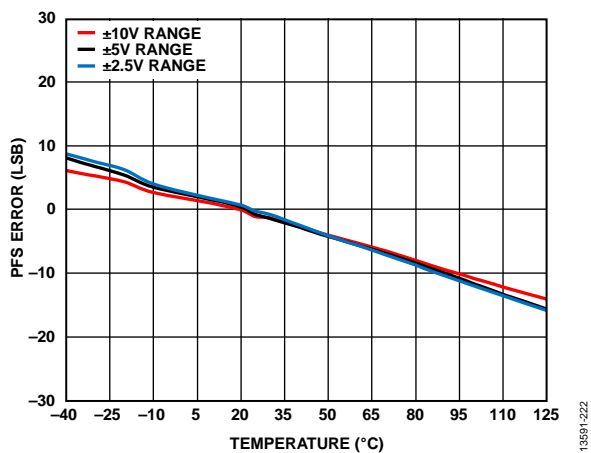


図 22. PFS 誤差の温度特性

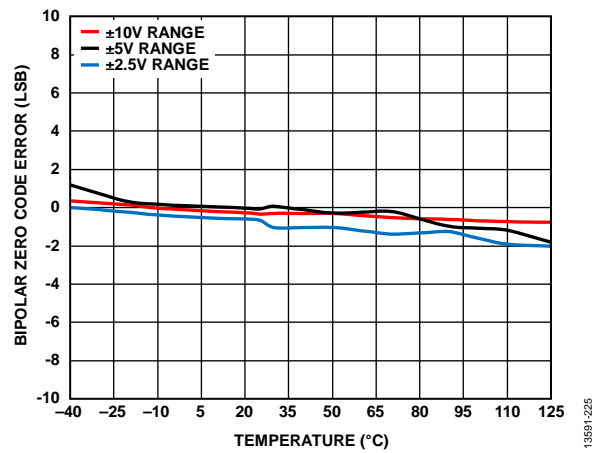


図 25. バイポーラ・ゼロ・コード誤差の温度特性

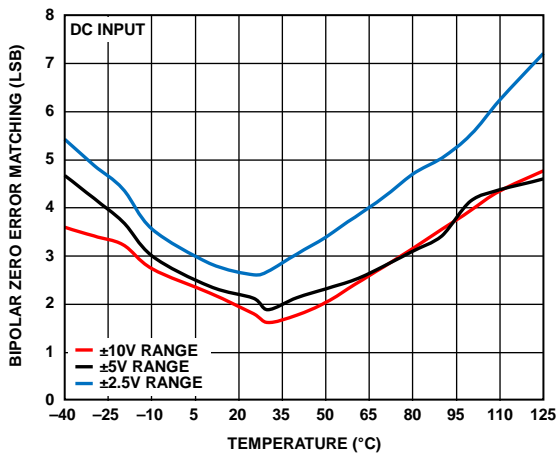


図 26. バイポーラ・ゼロ誤差マッチングの温度特性

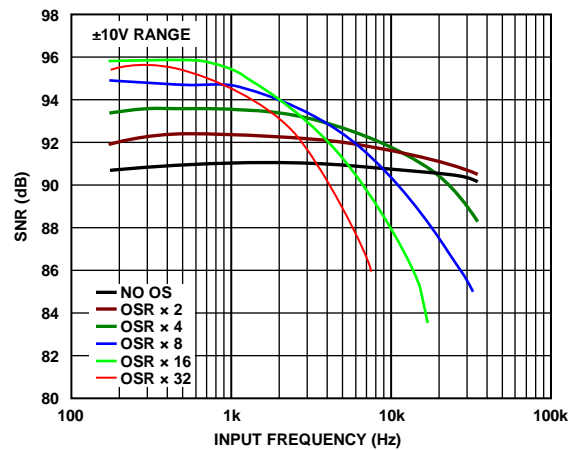


図 29. 各種オーバーサンプリング・レートでの SNR 対入力周波数、±10 V レンジ

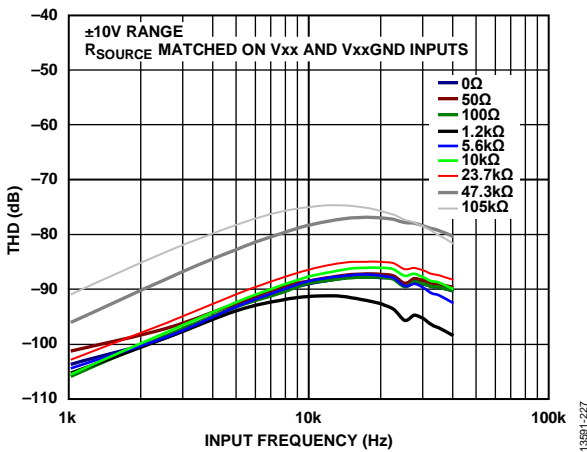


図 27. 各種ソース・インピーダンスでの THD 対入力周波数、±10 V レンジ

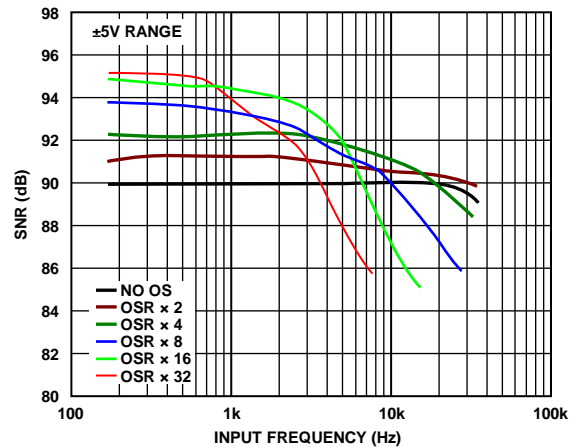


図 30. 各種オーバーサンプリング・レートでの SNR 対入力周波数、±5 V レンジ

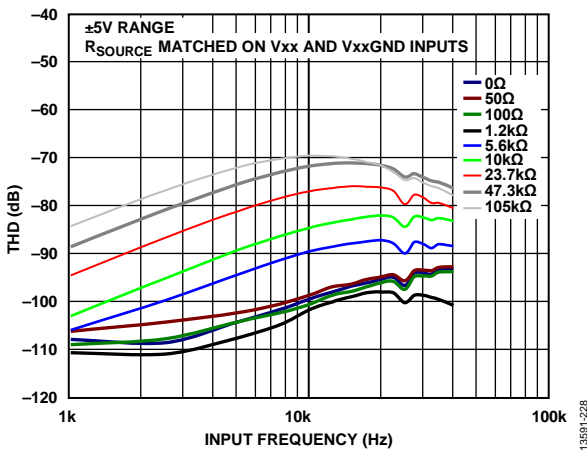


図 28. 各種ソース・インピーダンスでの THD 対入力周波数、±5 V レンジ

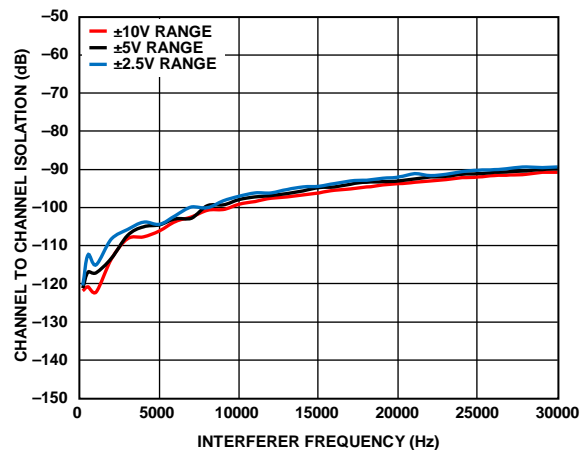


図 31. チャンネル間アイソレーション

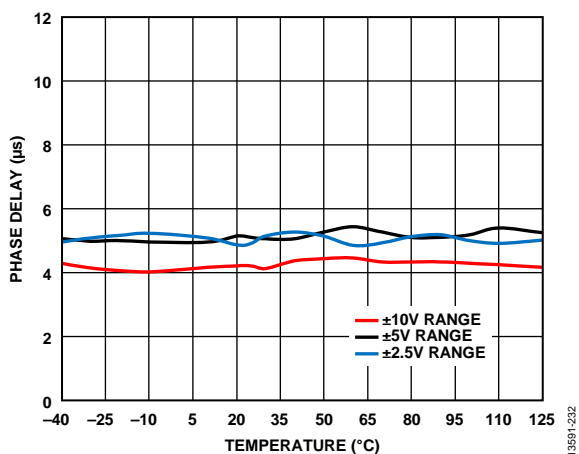


図 32. 位相遅延の温度特性

13591-232

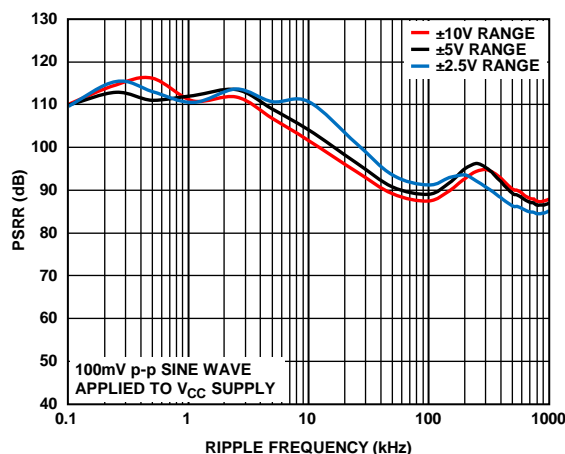


図 35. PSRR 対リップル周波数

13591-236

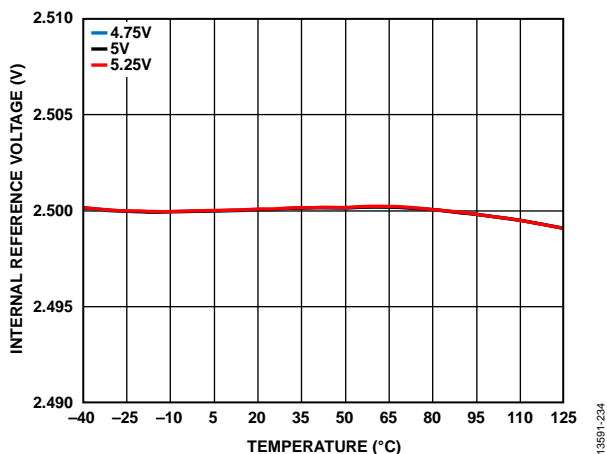


図 33. 各種電源電圧での内部リファレンス電圧の温度特性

13591-234

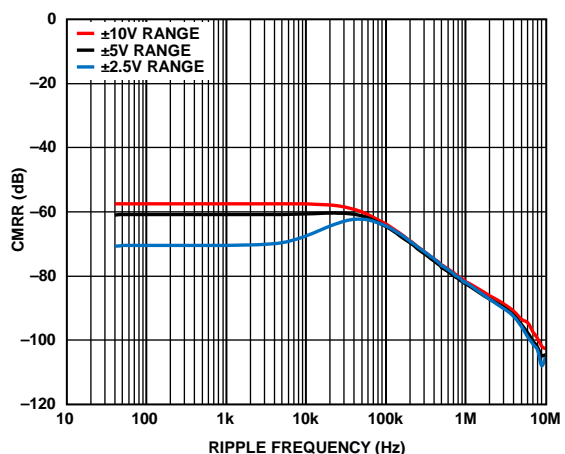


図 36. CMRR 対リップル周波数

13591-237

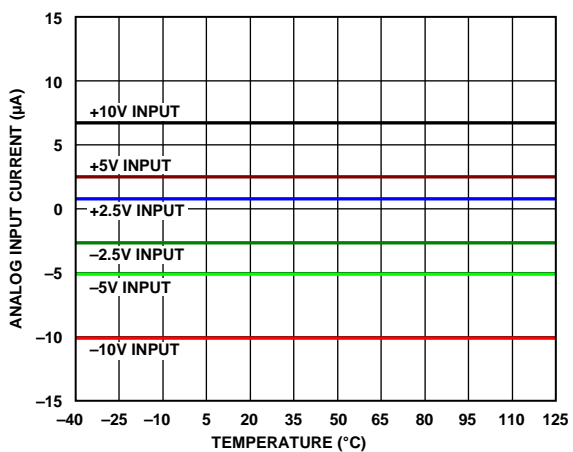


図 34. 各種電源電圧でのアナログ入力電流の温度特性

13591-235

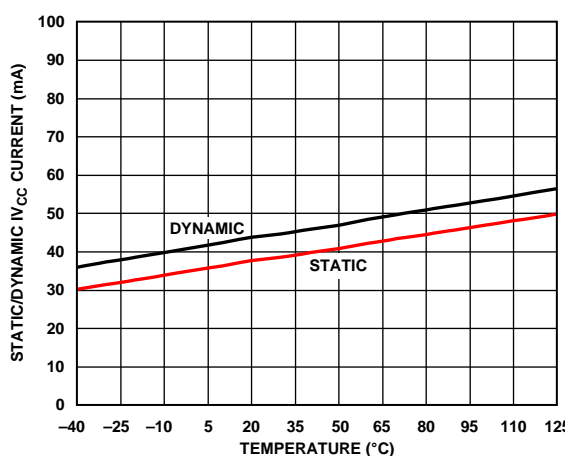


図 37. スタティック/ダイナミック  $I_{VCC}$  電流の温度特性

13591-238

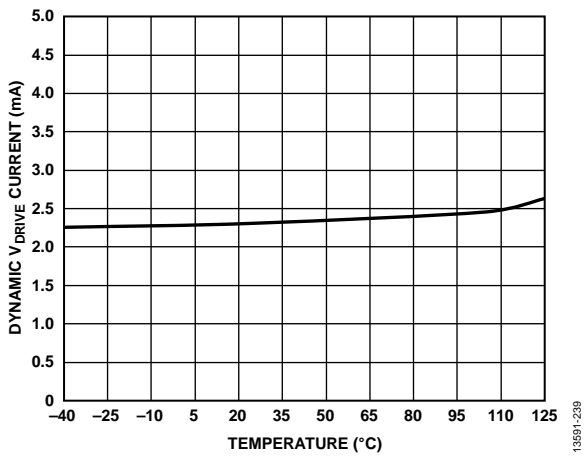


図 38. ダイナミック  $V_{DRIVE}$  電流の温度特性

13591-239

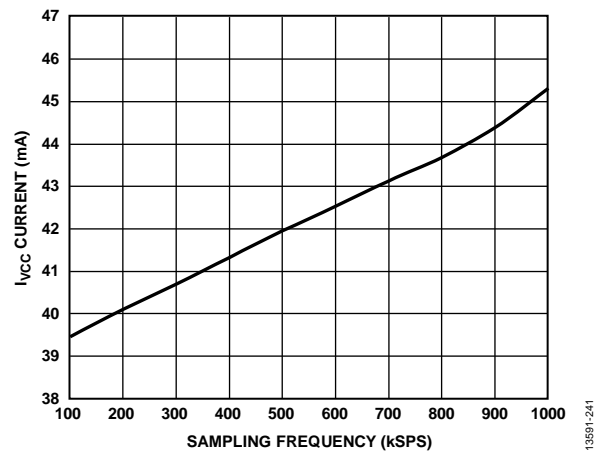


図 40.  $I_{VCC}$  電流対サンプリング周波数

13591-241

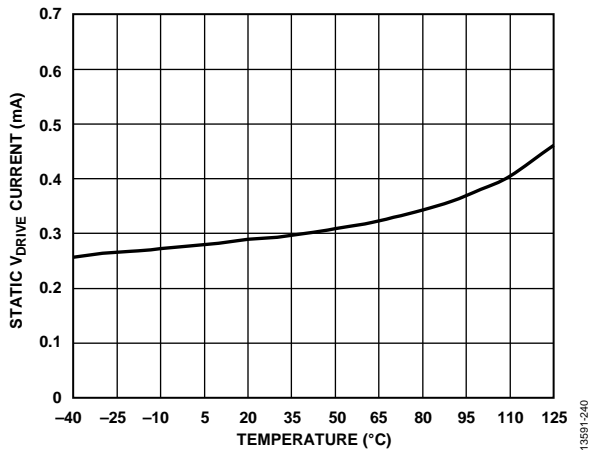


図 39. スタティック  $V_{DRIVE}$  電流の温度特性

13591-240

## 用語の定義

### 積分非直線性 (INL)

ADC 伝達関数の両端を結ぶ直線からの最大許容誤差です。伝達関数の両端は、ゼロ・スケール（最初のコード遷移より  $\frac{1}{2}$  LSB 下）とフルスケール（最後のコード遷移より  $\frac{1}{2}$  LSB 上）です。

### 微分非直線性 (DNL)

ADC の 2 つの隣接コード間における 1 LSB 変化の測定値と理論値の差です。

### バイポーラ・ゼロ・コード誤差

バイポーラ・ゼロ・コード誤差は、（すべて 1 からすべて 0 への）ミッドスケール遷移の理想値（0 V -  $\frac{1}{2}$  LSB）からの偏差です。

### バイポーラ・ゼロ・コード誤差マッチング

バイポーラ・ゼロ・コード誤差マッチングは、2 つの入力チャンネル間のバイポーラ・ゼロ・コード誤差の絶対差です。

### 正のフルスケール (PFS) 誤差

正のフルスケール誤差は、バイポーラ・ゼロ・コード誤差の調整後、理想的な最後のコード遷移（10V -  $\frac{1}{2}$  LSB (9.99954)、5V -  $\frac{1}{2}$  LSB (4.99977)、2.5V -  $\frac{1}{2}$  LSB (2.49989)）からの実際の最後のコード遷移の偏差です。正のフルスケール誤差には内部リファレンス・バッファの寄与分も含まれます。

### 正のフルスケール誤差マッチング

正のフルスケール誤差マッチングは、2 つの入力チャンネル間の正のフルスケール誤差の絶対差です。

### 負のフルスケール (NFS) 誤差

負のフルスケール誤差は、バイポーラ・ゼロ・コード誤差の調整後、理想的な最初のコード遷移（-10 V +  $\frac{1}{2}$  LSB (-9.99985)、-5 V +  $\frac{1}{2}$  LSB (-4.99992)、-2.5 V +  $\frac{1}{2}$  LSB (-2.49996)）からの実際の最初のコード遷移の偏差です。負のフルスケール誤差には内部リファレンス・バッファの寄与分も含まれます。

### 負のフルスケール誤差マッチング

負のフルスケール誤差マッチングは、2 つの入力チャンネル間の負のフルスケール誤差の絶対差です。

### 信号/ノイズ + 歪み比 (SINAD)

SINAD は、A/D コンバータ出力で測定された信号対（ノイズ + 歪み）比です。信号はサイン波の rms 値で、ノイズはサンプリング周波数の  $\frac{1}{2}$  ( $f_s/2$ ) までの非基本波信号の rms 和です（DC 以外の高調波を含む）。

### S/N 比 (SNR)

SNR は、ADC 出力で測定された信号のノイズに対する比です。信号は基本波の rms 振幅で表します。ノイズは  $\frac{1}{2}$  サンプリング周波数 ( $f_s/2$ ) までの非基本波の総和で表します（DC を除く）。

この比はデジタル化の過程の量子化レベル数に依存し、レベル数が多いほど、量子化ノイズは小さくなります。サイン波入力の理想的な N ビット・コンバータの理論的な SNR は次式で与えられます。

$$\text{信号対ノイズ比} = (6.02N + 1.76) \text{ dB}$$

したがって、16 ビット・コンバータの場合、SNR は 98 dB になります。

### 全高調波歪み (THD)

THD は最初の 5 つの高調波成分の rms 和とフルスケール入力信号の rms 値との比で、デシベル (dB) で表されます。

### ピーク高調波またはスプリアス・ノイズ

基本波 rms 値に対する ADC 出力スペクトル内（DC を除いて  $f_s/2$  まで）の次に大きい成分の rms 値の比。一般に、この仕様の値はスペクトル内の最大の高調波によって決まりますが、高調波がノイズ・フロアの下に埋まっている ADC の場合はノイズ・ピークになります。

### 相互変調歪み

2 つの周波数  $f_a$  と  $f_b$  のサイン波で構成される入力により、非直線性のあるどんなアクティブ・デバイスも  $m f_a \pm n f_b$ （ここで、 $m, n = 0, 1, 2, 3$ ）の和と差の周波数で歪み積を生じます。相互変調歪み項とは  $m$  も  $n$  も 0 ではない項です。例えば、2 次の項は  $(f_a + f_b)$  および  $(f_a - f_b)$  を含み、3 次の項は  $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、および  $(f_a - 2f_b)$  を含みます。

相互変調歪みの計算は THD の仕様に従い、基本波の和の rms 振幅に対する、個々の歪み積の rms 総和の比で、デシベル (dB) で表します。

### 電源電圧変動除去比 (PSRR)

電源の変化は、コンバータの直線性ではなくフルスケール遷移に影響を及ぼします。電源電圧変動除去は、電源電圧の公称値からの変化によるフルスケール遷移点の最大変化量です。PSRR は、フルスケール周波数  $f$  の ADC 出力の電力と、ADC の  $V_{CC}$  電源に印加された周波数  $f_s$  の 100 mV p-p サイン波の電力の比で定義されます。

$$PSRR \text{ (dB)} = 10 \log (P_f/P_{f_s})$$

ここで

$P_f$  は ADC 出力の周波数  $f$  の電力です。

$P_{f_s}$  は  $V_{CC}$  電源に結合した周波数  $f_s$  の電力です。

**AC 同相ノイズ除去比 (AC CMRR)**

AC CMRR は、コモンモード電圧  $V_{xx}$  と  $V_{xxGND}$  に加えられた周波数  $f_s$  のサイン波の電力に対する周波数  $f$  の ADC 出力の電力の比として定義されます。

$$AC\ CMRR\ (dB) = 10\log\ (P_f/P_{f_s})$$

ここで

$P_f$  は ADC 出力における周波数  $f$  の電力です。

$P_{f_s}$  は ADC 出力における周波数  $f_s$  の電力です。

**チャンネル間アイソレーション**

チャンネル間アイソレーションはすべての入力チャンネル間のクロストーク・レベルの大きさです。この値を測定するには、非選択入力チャンネルのすべてにフルスケールの最大 160 kHz までのサイン波信号を入力し、その信号の減衰量を 1 kHz のサイン波信号が入力されている選択されたチャンネルで調べます。

**位相遅延**

位相遅延は、入力コンバータによってサンプリングされたときから、そのサンプルに関連した結果を ADC から読み出すことができるようになるまでの絶対的な時間遅延です。これには、デバイスのアナログ・フロントエンドによる遅延も含まれません。

**位相遅延ドリフト**

位相遅延ドリフトは、デバイスの動作温度全体にわたる単位温度あたりの群遅延の変化です。

**位相遅延マッチング**

位相遅延マッチングは、同時にサンプリングされたペア間で観測される最大位相遅延です。

## 動作原理

### コンバータの詳細

AD7616は、高速、低電力、電荷再配分、SAR A/D コンバータ (ADC) を採用したデータ・アキュイジション・システムで、16アナログ入力チャンネルのデュアル同時サンプリングが可能です。AD7616のアナログ入力は、真のバイポーラ・アナログ入力信号を受け取ることができます。アナログ入力レンジは $\pm 10$  V、 $\pm 5$  V、 $\pm 2.5$  V から選択できます。AD7616は5 V単電源で動作します。

AD7616の搭載機能として、入力クランプ保護、入力信号スケールリング・アンプ、一次アンチエイリアス・フィルタ、オンチップ・リファレンス、リファレンス・バッファ、デュアル高速ADC、デジタル・フィルタ、フレキシブルなシーケンサ、および高速パラレル/シリアル・インターフェースがあります。

HW\_RNGSELx ピンを制御することにより、ハードウェア・モードまたはソフトウェア・モードで動作させることができます。ハードウェア・モードでは、AD7616はピン制御により設定されます。ソフトウェア・モードでは、シリアルまたはパラレル・インターフェースを介してアクセスされる制御レジスタによって設定されます。

### アナログ入力

#### アナログ入力チャンネルの選択

AD7616は同時サンプリング・デュアル16ビットADCを内蔵しています。それぞれのADCには8つのアナログ入力チャンネルがあり、合計16のアナログ入力があります。さらに、AD7616は、V<sub>CC</sub>電源をモニタするためのオンチップ診断チャンネルおよびオンチップの調整可能な低ドロップアウト・レギュレータを搭載しています。ハードウェア・モードでCHSELxピンを制御するか、ソフトウェア・モードでチャンネル・レジスタを制御することにより、変換に使用するチャンネルを選択できます。診断チャンネルをサンプリングするにはソフトウェア・モードにする必要があります。チャンネルは動的に選択することも、あるいはAD7616に内蔵されているシーケンサによって、変換に使用するチャンネルをあらかじめプログラムしておくこともできます。ハードウェア・モードでは、同時サンプリングは対応するAチャンネルとBチャンネルに制限されます。つまり、チャンネルV0Aは常にチャンネルV0Bと共にサンプリングされます。ソフトウェア・モードでは、任意のAチャンネルと任意のBチャンネルを選択して同時サンプリングすることができます。

#### アナログ入力レンジ

AD7616は真のバイポーラ、シングルエンド入力電圧に対応できます。レンジ選択ピン (HW\_RNGSEL0 および HW\_RNGSEL1) のロジック・レベルにより、全アナログ入力チャンネルのアナログ入力レンジが決まります。両方のレンジ選択ピンがロジック・ローに接続されている場合、アナログ入力レンジは入力レンジ・レジスタを介してソフトウェア・モードで決定されます (詳細は「レジスタ一覧」セクションを参照)。ソフトウェア・モードでは、チャンネルごとに個別のアナログ入力レンジを設定することができます。

表 8. アナログ入力レンジの選択

Analog Input Range	HW_RNGSEL1	HW_RNGSEL0
Configured via the Input Range Registers	0	0
$\pm 2.5$ V	0	1
$\pm 5$ V	1	0
$\pm 10$ V	1	1

ハードウェア・モードでは、これらのピンでのロジック変化は直ちにアナログ入力レンジに影響します。ただし、通常のアキュイジション時間の要件に加えて、通常は約120  $\mu$ sのセトリング時間があります。推奨される方法は、システム信号に必要とされる入力レンジに応じてレンジ選択ピンをハードワイヤ接続することです。

#### アナログ入力インピーダンス

AD7616のアナログ入力インピーダンスは1 M $\Omega$ に固定されており、サンプリング周波数によって変化しません。この高アナログ入力インピーダンスにより、AD7616の前段にドライバ・アンプは不要となり、ソースまたはセンサーを直結できます。

#### アナログ入力クランプ保護

AD7616のアナログ入力回路を図41に示します。AD7616のそれぞれのアナログ入力はクランプ保護回路を備えています。5Vの単電源動作にもかかわらず、このアナログ入力クランプ保護により-20 V ~ +20 Vの入力過電圧を許容します。

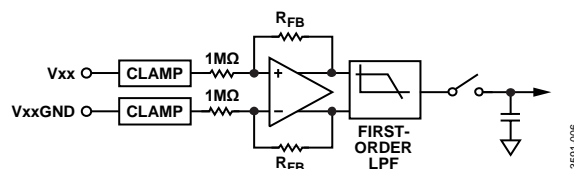


図 41. アナログ入力回路

クランプ回路の入力クランプ電流対ソース電圧特性を図42に示します。-20 V ~ +20 Vのソース電圧では、クランプ回路に電流は流れません。+20 Vを上回るか-20 Vを下回る入力電圧では、AD7616のクランプ回路がオンします。

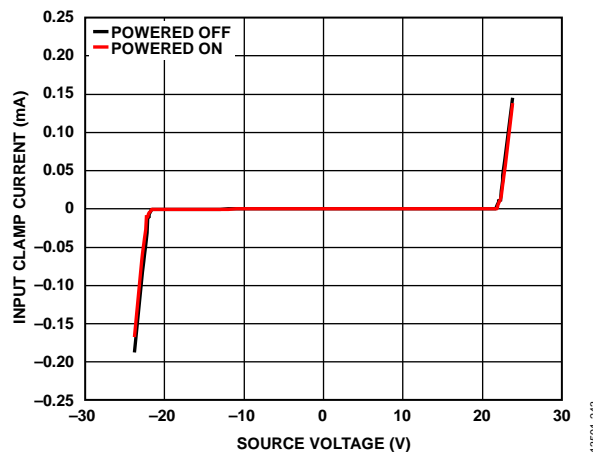


図 42. 入力保護クランプのプロファイル、入力クランプ電流対ソース電圧

アナログ入力チャンネルに直列抵抗を接続して、+20 Vを上回るか-20 Vを下回る入力電圧に対する電流を $\pm 10$  mAに制限します。アナログ入力チャンネル、V<sub>x</sub>AまたはV<sub>x</sub>Bに直列抵抗を挿入するアプリケーションでは、アナログ入力のグラウンド・チャンネルV<sub>x</sub>AGNDまたはV<sub>x</sub>BGNDに対応する抵抗が必要になります (図43参照)。

VxAGND または VxBGND チャンネルに対応する抵抗がないと、そのチャンネルでオフセット誤差が生じます。この入力過電圧クランプ保護回路を使用して、過渡過電圧から AD7616 を保護します。通常の動作状態またはパワーダウン状態で、クランプ保護回路がアクティブな状態のまま AD7616 を長時間放置することは推奨しません。

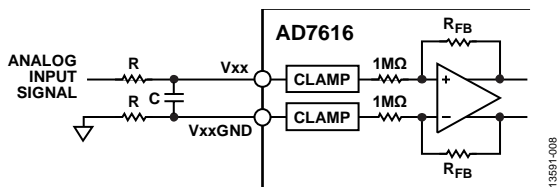


図 43. アナログ入力の入力抵抗マッチング

### アナログ入力のアンチエイリアス・フィルタ

このデバイスにはアナログ・アンチエイリアス・フィルタ（1次バターワース）も備わっています。アナログ・アンチエイリアス・フィルタの周波数応答と位相応答をそれぞれ図 44 と図 45 に示します。±10 V レンジでの標準コーナ周波数は 39kHz、±5 V のレンジでは 33kHz です。

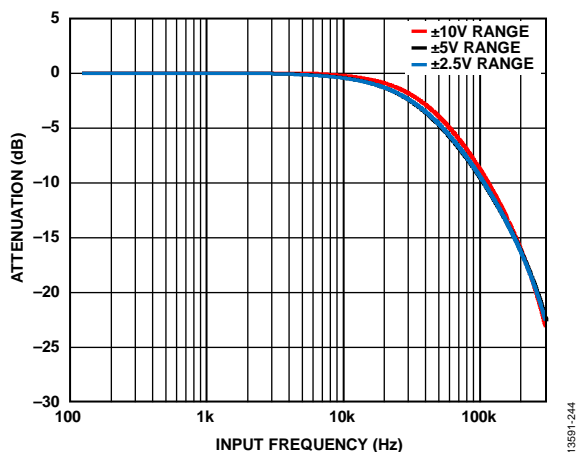


図 44. アナログ・アンチエイリアス・フィルタの周波数応答

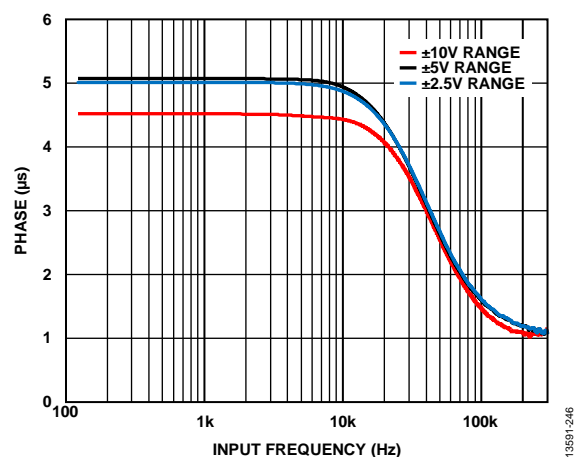
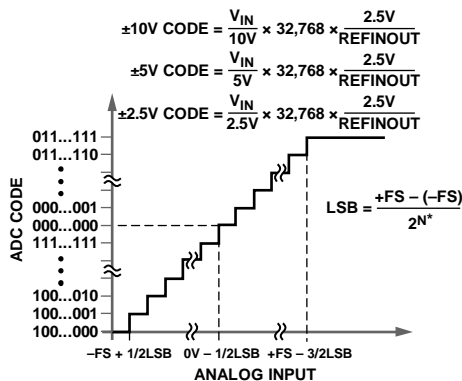


図 45. アナログ・アンチエイリアス・フィルタの位相応答

### ADC の伝達関数

AD7616 の出力コーディングは 2 の補数です。設計上のコード遷移は LSB の連続する整数値の中間（1/2 LSB、3/2 LSB）で発生します。LSB のサイズは、AD7616 ではフルスケール・レンジ ÷ 65,536 です。AD7616 の理想伝達特性を図 46 に示します。LSB のサイズは、選択されたアナログ入力レンジに依存します。



	+FS	MIDSCALE	-FS	LSB
±10V RANGE	+10V	0V	-10V	305µV
±5V RANGE	+5V	0V	-5V	152µV
±2.5V RANGE	+2.5V	0V	-2.5V	76µV

\*WHERE N IS THE NUMBER OF BITS OF THE CONVERTER

図 46. 伝達特性

### 内部／外部リファレンス

AD7616 は、外部または内部のどちらのリファレンスでも動作可能です。このデバイスには 2.5 V のバンドギャップ・リファレンスが内蔵されています。内部で 4.096 V のリファレンスを生成する 2.5 V リファレンスを REFINOUT ピンから取り出すことができます。あるいは、2.5 V の外部リファレンスを AD7616 に与えることもできます。外部から与える 2.5 V のリファレンスも内部バッファを使用して 4.096 V に増幅されます。このバッファされた 4.096 V のリファレンスを SAR ADC が使用します。

REFSEL ピンはロジック入力ピンです。これにより、内部リファレンスまたは外部リファレンスを選択できます。このピンをロジック・ハイにすると、内部リファレンスが選択されイネーブルされます。このピンをロジック・ローにすると、内部リファレンスがディスエーブルされるので、外部リファレンス電圧を REFINOUT ピンに与える必要があります。

内蔵リファレンス・バッファは常にイネーブルされています。フル・リセット後、AD7616 は REFSEL ピンによって選択されたリファレンス・モードで動作します。内部、外部のいずれのリファレンス・オプションでも、REFINOUT ピンにはデカップリングが必要です。REFINOUT ピンと REFINOUTGND ピンには、100 nF の X8R セラミック・コンデンサが必要です。

AD7616 には、リファレンス電圧をほぼ 4.096 V に増幅するように構成されたリファレンス・バッファが内蔵されています。REFCAP と REFGND の間には 10µF の X5R セラミック・コンデンサが必要です。REFINOUT ピンで利用できるリファレンス電圧は 2.5 V です。AD7616 を外部リファレンス・モードに設定すると、REFINOUT ピンは高入力インピーダンス・ピンになります。

内部リファレンスをシステム内の他の場所に与える場合は、最初に外部でバッファする必要があります。

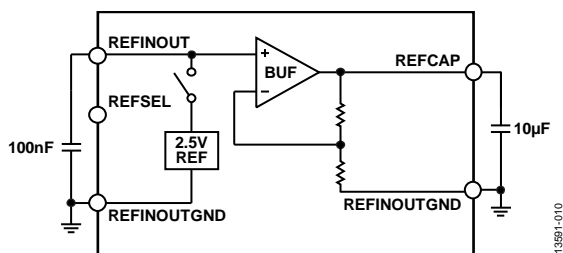


図 47. リファレンス回路

### シャットダウン・モード

RESET ピンを 1.2  $\mu$ s 以上ローに保つと、シャットダウン・モードに入ります。RESET ピンをローからハイにすると、シャットダウン・モードを出て、通常モードに入ります。

AD7616 をシャットダウン・モードにした場合、消費電流は標準 78  $\mu$ A、デバイスへの書き込みを実行するまでのパワーアップ時間は約 240  $\mu$ s です。変換を実行するまでのパワーアップ時間は 15 ms です。シャットダウン・モードでは、すべての回路がパワーダウンされ、すべてのレジスタがクリアされてデフォルト値にリセットされます。

### デジタル・フィルタ

AD7616 はオプションのデジタル 1 次 Sinc フィルタを内蔵しており、低速スループット・レートを使用するアプリケーション、または高 SNR やダイナミック・レンジを必要とするアプリケーションで使用します。

デジタル・フィルタの OSR は、オーバーサンプリング・ピン OS2 ~ OS0 (OSx) を使用してハードウェアで制御するか、あるいは設定レジスタ内の OS ビットによりソフトウェアで制御します。ソフトウェア・モードでは、設定レジスタの OS ビットをセットすると、全チャンネルでオーバーサンプリングがイネーブルされます。ハードウェア・モードでは、フル・リセットが解除された時点の OSx 信号により、使用する OSR が決定されます。

各種オーバーサンプリング・レートを選択するためのオーバーサンプリング・ビットのデコードを表 9 に示します。オーバーサンプリング機能に加え、出力結果は 16 ビット分解能にデシメートされます。

OSx ピン/OS ビットを設定して 8 の OS 比を選択すると、選択されたチャンネルの最初のサンプルが次の CONVST の立上がりエッジでサンプリングされ、そのチャンネルの残りの 7 つのサンプルは内部で生成されたサンプリング信号でサンプリングされます。次に、これらのサンプルは平均がとられて SNR 性能が改善されます。OS 比の増加に伴い、-3 dB 周波数が減少し、許容サンプリング周波数も減少します。変換時間はオーバーサンプリング・レートの増加に伴い延長され、BUSY 信号もオーバーサンプリング・レートに伴って変化します。アキュジション時間および変換時間はオーバーサンプリング・レートとともに直線的に増加します。

オーバーサンプリングがシーケンサにより、またはバースト・モードでイネーブルされている場合は、あるチャンネルの追加分のサンプルを収集してから、シーケンサは次のチャンネルに進みます。

それぞれの許容オーバーサンプリング・レートに対するデバイスの標準 SNR 性能を表 9 に示します。デバイスの 3 つの入力レンジに対する入力トーンとして 100Hz のサイン波を使用しました。SNR 対 OSR のプロットを図 48 に示します。

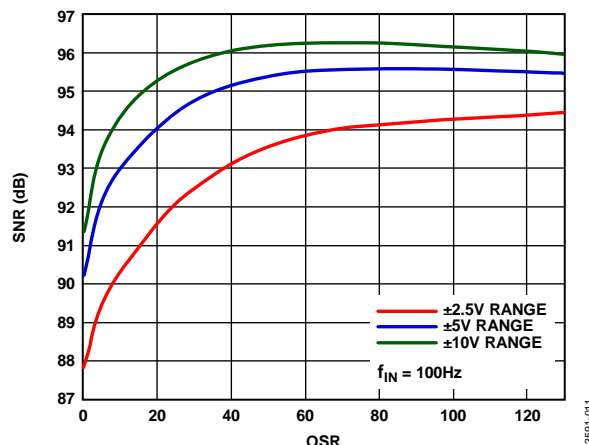


図 48. アナログ入力すべてのレンジの標準 SNR 対 OSR

表 9. オーバーサンプリング・ビットのデコード

OSx Pins/OS Bits	OSR	Typical SNR (dB)			-3 dB Bandwidth (kHz)
		±2.5 V Range	±5 V Range	±10 V Range	All Ranges
000	No oversampling	87.5	89.7	90.8	37
001	2	88.1	90.6	91.8	36.5
010	4	89	91.6	92.9	35
011	8	89.9	92.6	93.9	30.5
100	16	91	93.6	94.9	22
101	32	92.6	94.8	95.8	13.2
110	64	93.9	95.5	96.2	7.2
111	128	94.4	95.4	95.9	3.6

## アプリケーション情報

### 機能の概要

AD7616には、主な動作モードとして、ハードウェア・モードとソフトウェア・モードの2つがあります。さらに、いずれのモードについても、通信インターフェースとしてシリアルまたはパラレルを選択できます。選択する動作モードとインターフェースによっては、利用できない機能があります。ハードウェア・シリアル・モードとハードウェア・パラレル・モードでは機能が制限されますが、ソフトウェア・シリアル・モードとソフトウェア・パラレル・モードでは機能をフルに利用できます。各動作モードで使用可能な機能を表10に示します。

### 電源

AD7616には2つの独立した電源、 $V_{CC}$ と $V_{DRIVE}$ があり、それぞれアナログ回路とデジタル・インターフェースに供給されます。 $V_{CC}$ 電源と $V_{DRIVE}$ 電源の両方を100 nFコンデンサと10  $\mu$ Fコンデンサを並列にしてデカップリングします。

さらに、これらの電源は2つの内部LDOレギュレータによって安定化されます。アナログLDO (ALDO) は標準で1.87Vを供給します。REGCAPピンとREGCAPGNDピンの間に10  $\mu$ Fのコンデンサを接続しALDOをデカップリングします。デジタル

LDO (DLDO) は標準で1.89 Vを供給します。REGCAPDピンとREGCAPDGNDピンの間に10  $\mu$ Fのコンデンサを接続してDLDOをデカップリングします。

AD7616は電源シーケンシングに対して堅牢です。推奨シーケンスでは、 $V_{DRIVE}$ の電源を最初に投入し、次に $V_{CC}$ を投入します。両方の電源が安定するまで $\overline{RESET}$ をローに維持します。

### 代表的な接続

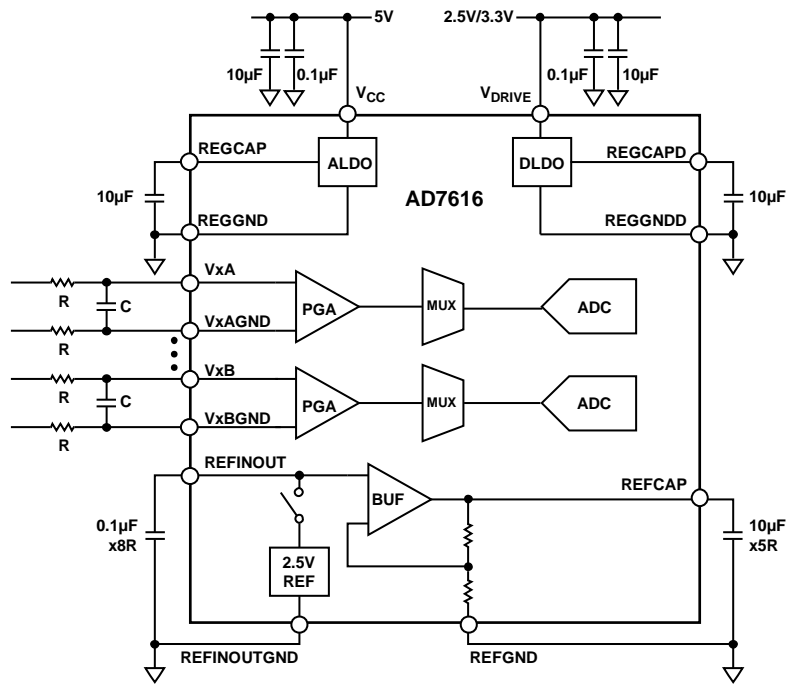
AD7616の正常動作に必要な代表的な接続を図49に示します。 $V_{CC}$ と $V_{DRIVE}$ の電源を、図49に示すようにデカップリングします。小さな0.1  $\mu$ Fコンデンサをできるだけ電源ピンの近くに配置し、大きな10  $\mu$ Fのバルク・コンデンサを並列に接続します。リファレンスとLDOレギュレータは、図49および表7に示すようにデカップリングします。

インピーダンス・ミスマッチによるアナログ入力チャンネルのゲイン誤差を避けるために、アナログ入力ピンには $V_{xA}$ と $V_{xAGND}$  (同様に $V_{xB}$ と $V_{xBGND}$ )の入力にはマッチングした抵抗Rが必要です。

表 10. 機能マトリックス

Functionality	Operation Mode <sup>1</sup>			
	Software Mode, HW_RNGSELx = 00		Hardware Mode, HW_RNGSELx $\neq$ 00	
	Serial, SER/PAR = 1	Parallel, SER/PAR = 0	Serial, SER/PAR = 1	Parallel, SER/PAR = 0
Internal/External Reference	Yes	Yes	Yes	Yes
Selectable Analog Input Ranges				
Individual Channel Configuration	Yes	Yes	No	No
Common Channel Configuration	No	No	Yes	Yes
Sequential Sequencer	Yes	Yes	Yes	Yes
Fully Configurable Sequencer	Yes	Yes	No	No
Burst Mode	Yes	Yes	Yes	Yes
On-Chip Oversampling	Yes	Yes	Yes	No
CRC	Yes	Yes	Yes	No
Diagnostic Channel Conversion	Yes	Yes	No	No
Hardware Reset	Yes	Yes	Yes	Yes
Serial 1-Wire Mode	Yes	No	Yes	No
Serial 2-Wire Mode	Yes	No	Yes	No
Register Access	Yes	Yes	No	No

<sup>1</sup> Yesは利用できることを意味し、Noは利用できないことを意味します。



13591-3/00

図 49. 代表的な外部接続

## デバイスの設定

### 動作モード

AD7616 がフル・リセットから解除されると、動作モード（ハードウェア・モードまたはソフトウェア・モード）が設定されます。RESET ピンがローからハイに遷移する際の

HW\_RNGSELx ピンのロジック・レベルによって動作モードが決まります。HW\_RNGSELx ピンには2つの機能があります。

HW\_RNGSELx = 0b00 の場合、AD7616 はソフトウェア・モードになります。HW\_RNGSELx が他のどのような組み合わせであっても、AD7616 はハードウェア・モードに設定され、アナログ入力レンジが表 8 に従って設定されます。ソフトウェア・モードの設定後は、HW\_RNGSELx 信号のロジック・レベルは無視されます。動作モードの設定後、その動作モードを終了させて別のモードに設定するには、RESET ピンによるフル・リセットが必要です。ハードウェア・モードを選択した場合は、それ以降のすべてのデバイス設定はピン制御によって行われます。ハードウェア・モードでは、オンチップ・レジスタへのアクセスは禁止されます。ソフトウェア・モードでは、インターフェースとリファレンスの設定はピン制御により行う必要がありますが、それ以降のデバイス設定はレジスタへのアクセスのみで行います。

### 内部／外部リファレンス

AD7616 がフル・リセットから解除されると、内部リファレンスがイネーブルまたはディスエーブルされます。RESET ピンがローからハイに遷移するとき、REFSEL 信号のロジック・レベルによってリファレンスが設定されます。リファレンスの設定後は、HREFSEL 信号のロジック・レベルの変化は無視されず。REFSEL 信号が 1 に設定されている場合、内部リファレンスはイネーブルされます。REFSEL をロジック 0 に設定すると内部リファレンスはディスエーブルされるため、AD7616 が正常動作するには外部リファレンスを REFINOUT ピンに与える必要があります。動作モードを終了させて別のモードに設定するには、RESET ピンによるフル・リセットが必要です。

REFINOUT ピンと REFINOUTGND ピンの間に 100 nF のコンデンサを接続します。外部リファレンスを使用する場合は、リファレンスと AD7616 の REFINOUT ピンの間に 10 kΩ の帯域制限抵抗を直列に接続します。

### デジタル・インターフェース

AD7616 がフル・リセットから解除されたとき、デジタル・インターフェースが選択され、パラレルまたはシリアルに設定されます。RESET ピンがローからハイに遷移するとき、SER/PAR

信号のロジック・レベルによってインターフェースが設定されます。SER/PAR 信号が 0 に設定されている場合は、パラレル・インターフェースがイネーブルされます。SER/PAR 信号が 1 に設定されている場合は、シリアル・インターフェースが選択されます。さらに、シリアル・インターフェースが選択されている場合は、シリアルで 1 線モードまたは 2 線モードのいずれが選択されているかを判別するために、RESET ピンが解除されたときに SERIW 信号がモニタされます。インターフェースの設定後は、（シリアル・インターフェースがイネーブルされている場合）SER/PAR 信号または SERIW 信号のロジック・レベルの変更は無視されます。動作モードを終了させて別のモードに設定するには、RESET ピンによりフル・リセットする必要があります。

### ハードウェア・モード

ハードウェア・モードを選択すると、利用可能な機能が制限され、全機能がピン制御で設定されます。AD7616 の機能を設定するために、フル・リセット後に、CRC、BURST、SEQEN、OSx の各信号のロジック・レベルがチェックされます。フル・リセット解除時に、選択された動作モードに応じて、デバイスによってラッチされる信号を表 11 にまとめて示します。デバイスの設定後、その設定を終了させて別の設定にするには、RESET ピンによるフル・リセットが必要です。機能の利用は、選択したインターフェースのタイプによって制限されます。ハードウェアのパラレル・モードまたはシリアル・モードで利用可能な全機能のリストは表 10 を参照してください。

リセット時に CHSELx ピンが参照され、変換に使用する最初のアナログ入力チャンネル・ペアを決定し、あるいはシーケンサの初期設定を行います。変換用に選択されたチャンネル・ペアまたはハードウェア・シーケンサは、CONVST の立上がりエッジより前から BUSY の立下がりエッジまで CHSELx 信号レベルをセットして維持することにより、通常の動作中に再構成できます。

HW\_RNGSELx 信号は、16 の全アナログ入力チャンネルのアナログ入力レンジを制御します。これらのピンでのロジック変化は直ちにアナログ入力レンジに影響します。ただし、通常のアクイジション時間に加えて、標準で約 120 μs のセトリング時間の要件があります。推奨される方法は、システム信号に必要とされる入力レンジに応じてレンジ選択ピンをハードワイヤ接続することです。

ハードウェア・モードでは、オンチップ・レジスタへのアクセスは禁止されます。

表 11. ラッチされるハードウェア信号の概要<sup>1</sup>

Signal	Latched at Full Reset		Read at Reset		Read During Busy		Edge Driven	
	HW Mode	SW Mode	HW Mode	SW Mode	HW Mode	SW Mode	HW Mode	SW Mode
REFSEL	Yes	Yes						
SEQEN	Yes	No						
HW_RNGSELx (Range Change)			Yes	Yes			Yes	No
HW_RNGSELx (Hardware (HW) or Software (SW) Mode)	Yes	Yes						
SER/PAR	Yes	Yes						
CRGEN	Yes	No						
OSx	Yes	No						
BURST	Yes	No						
CHSELx			Yes	No	Yes	No		
SER1W	Yes	Yes						

<sup>1</sup>表 11 の空白セルは該当なしを意味します。

## ソフトウェア・モード

ソフトウェア・モードが選択され、リファレンスおよびインターフェースのタイプが設定されている場合、AD7616 の他のすべての設定はオンチップ・レジスタを介して制御されます。ソフトウェア・モードが選択されると、AD7616 の全機能が利用可能になります。フル・リセット解除時に、選択された動作モードに応じてデバイスによってラッチされる信号を表 11 にまとめます。

## リセット機能

AD7616 はフル・モードとパーシャル・モードの 2 つのリセット・モードを備えています。リセット・モードは、リセットのロー・パルスの長さに応じて選択されます。パーシャル・リセットを行うには、RESET ピンを 40 ns ~ 500 ns の間ローに保持する必要があります。RESET を解除してからから 50 ns 経過後、デバイスは完全に機能し、変換を開始することができます。フル・リセットを行うには、RESET ピンを最小 1.2 μs の間ローに保持する必要があります。RESET を解除してからから 15 ms 経過後、デバイスは完全に再設定され、変換を開始することができます。

パーシャル・リセットは以下のモジュールを再初期化します。

- シーケンサ
- デジタル・フィルタ
- SPI
- 両方の SAR ADC

現在の変換結果はパーシャル・リセットの完了時に破棄されません。パーシャル・リセットは、ソフトウェア・モードでプログラムされたレジスタ値、またはハードウェア・モードとソフトウェア・モードの両方でユーザ設定を格納するラッチには影響を与えません。ソフトウェア・モードでは、パーシャル・リセット後にダミー変換が必要です。

フル・リセットは、デバイスをデフォルトのパワーオン状態に戻します。AD7616 がフル・リセットから解除されたときに、以下の機能が設定されます。

- ハードウェア・モードまたはソフトウェア・モード
- 内部リファレンス/外部リファレンス
- インターフェース・タイプ

電源投入時、V<sub>CC</sub> 電源と V<sub>DRIVE</sub> 電源が安定するとすぐに RESET 信号を解除することができます。フル・リセット後に RESET ピンが解除されたときの HW\_RNGSELx、REFSEL、SER/PAR、および DB4/SER1W の各ピンのロジック・レベルによって、設定内容が決まります。

ハードウェア・モードが選択されている場合、フル・リセット・モードで RESET ピンがローからハイに遷移すると、CRC、BURSTEN、SEQEN、および OSx 信号によって決定される機能もラッチされます。機能の設定後は、これらの信号への変更は無視されます。ハードウェア・モードでは、アナログ入力レンジ (HW\_RNGSELx 信号) はフルまたはパーシャルのリセット中または通常動作中に設定できますが、ハードウェア/ソフトウェアのモード選択の再設定には、この設定がラッチされている限り、フル・リセットが必要です。

ハードウェア・モードでは、フル・リセットとパーシャル・リセットの両方から解除されたときに CHSELx ピンと HW\_RNGSELx ピンが参照され、以下の操作を実行します。

- 変換に使用するアナログ入力チャンネルの最初のペアを決定する。
- シーケンサの初期設定を行う。
- アナログ入力の電圧レンジを選択する。

CHSELx 信号と HW\_RNGSELx 信号はラッチされません。変換に選択したチャンネル・ペアまたはハードウェア・シーケンサを通常動作中に再設定できますが、それには、CONVST の立上がりエッジ前に CHSELx 信号レベルを設定し、その信号レベルを BUSY が再びローに遷移するまで一定に保ちます。詳細については「チャンネル選択」のセクションを参照してください。

ソフトウェア・モードでは、すべての追加機能はオンチップ・レジスタを制御して設定します。

### ピン機能の概要

AD7616 にはデュアル機能のピンがいくつかあります。これらの機能は、HW\_RNGSELx ピンによって選択される動作モードに依存します。各種動作モードとインターフェース・モードでのピン機能の概要を表 12 に示します。

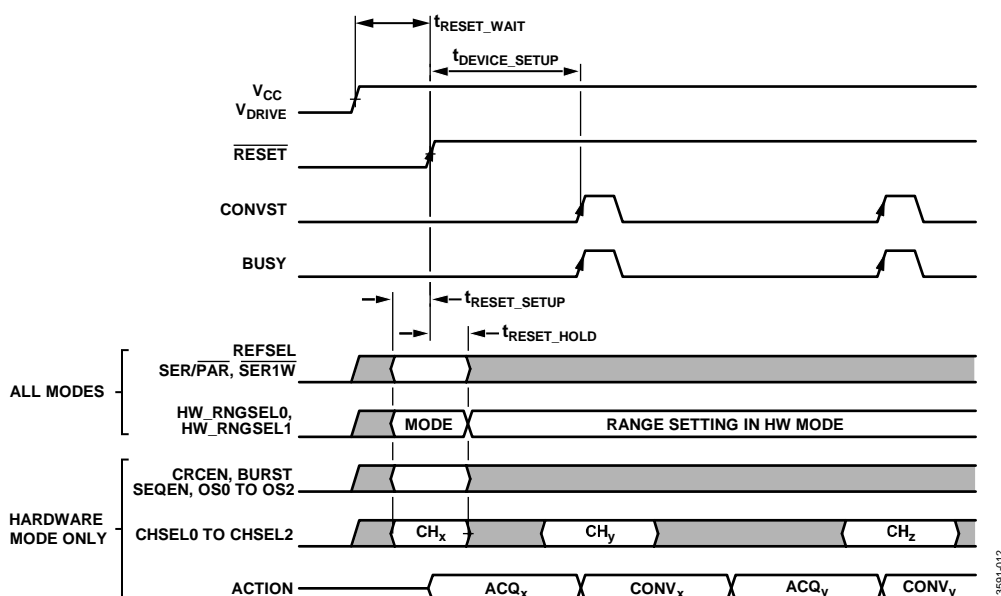


図 50. AD7616 のリセット時の設定

表 12. ピン機能の概要

Pins	Operation Mode			
	Software, HW_RNGSELx = 00		Hardware, HW_RNGSELx ≠ 00	
	Serial, SER/PAR = 1	Parallel, SER/PAR = 0	Serial, SER/PAR = 1	Parallel, SER/PAR = 0
CHSELx	No function, connect to DGND	No function, connect to DGND	CHSELx	CHSELx
SCLK/RD	SCLK	RD	SCLK	RD
WR/BURST	Connect to DGND	WR	BURST	BURST
DB15/OS0 to DB13/OS2	Connect to DGND	DB15 to DB13	OSx	DB15 to DB13
DB12/SDOA	SDOA	DB12	SDOA	DB12
DB11/SDOB	SDOB, leave floating for serial 1-wire mode	DB11	SDOB	DB11
DB10/SDI	SDI	DB10	Connect to DGND	DB10
DB9 to DB6, DB3 to DB0	Connect to DGND	DB9 to DB6, DB3 to DB0	Connect to DGND	DB9 to DB6, DB3 to DB0
DB5/CRCEN	Connect to DGND	DB5	CRCEN	DB5
DB4/SER1W	SER1W	DB4	SER1W	DB4
HW_RNGSELx	HW_RNGSELx, connect to DGND	HW_RNGSELx, connect to DGND	HW_RNGSELx, configure analog input range	HW_RNGSELx, configure analog input range
SEQEN	No function, connect to DGND	No function, connect to DGND	SEQEN	SEQEN
REFSEL	REFSEL	REFSEL	REFSEL	REFSEL

# デジタル・インターフェース

## チャンネル選択

### ハードウェア・モード

CHSELx 信号のロジック・レベルは、変換に使用するチャンネル・ペアを決定します。信号のデコードについては表 13 を参照してください。フル・リセットまたはパーシャル・リセットのいずれかが解除された時点の CHSELx 信号は、サンプリングする最初のチャンネル・ペアを決定します。リセット後、BUSY のハイ期間中に CHSELx 信号のロジック・レベルが参照され、次の変換に使用するチャンネル・ペアが設定されます。

CHSELx 信号レベルは CONVST がローからハイになる前に設定し、BUSY がハイからローに変化して変換完了が示されるまで維持しなければなりません。詳細については、図 51 を参照してください。

### ソフトウェア・モード

ソフトウェア・モードでは、変換に使用するチャンネルはチャンネル・レジスタの制御によって選択します。電源投入時またはリセット後に変換に選択されるデフォルトのチャンネルは、チャンネル V0A およびチャンネル V0B です。

表 13. CHSELx ピンのデコード

Channel Selection Input Pin			Analog Input Channels for Conversion
CHSEL0	CHSEL1	CHSEL2	
0	0	0	V0A, V0B
0	0	1	V1A, V1B
0	1	0	V2A, V2B
0	1	1	V3A, V3B
1	0	0	V4A, V4B
1	0	1	V5A, V5B
1	1	0	V6A, V6B
1	1	1	V7A, V7B

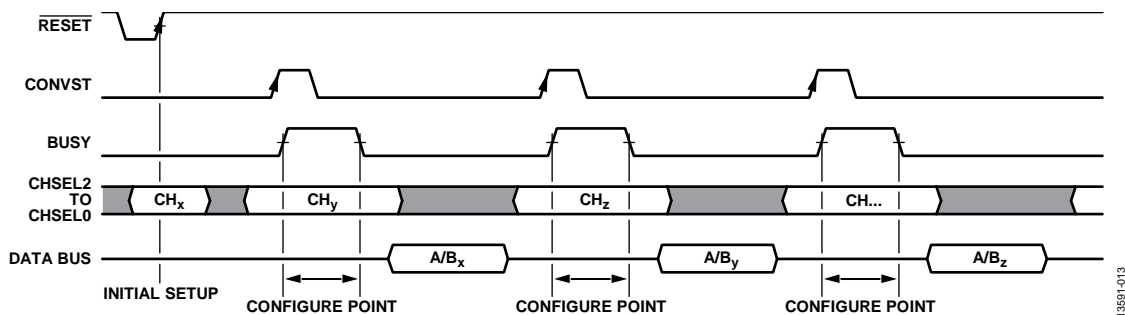


図 51. ハードウェア・モードのチャンネル変換設定

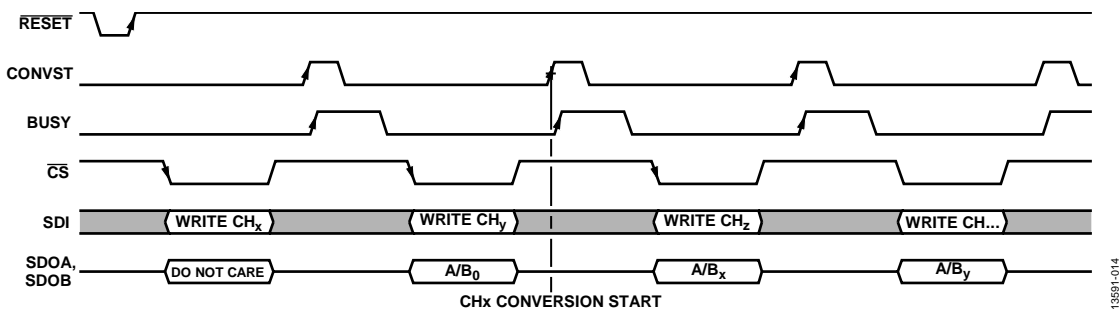


図 52. ソフトウェア・シリアル・モードのチャンネル変換設定

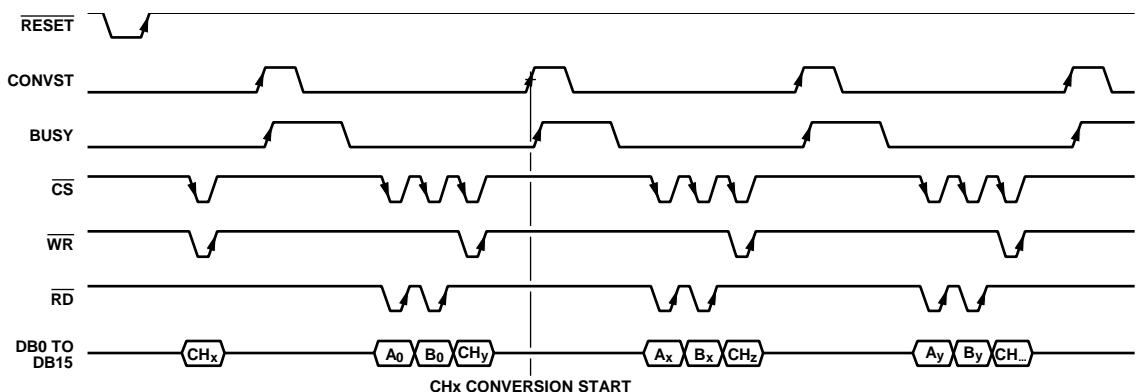


図 53. ソフトウェア・パラレル・モードのチャンネル変換設定

## パラレル・インターフェース

パラレル・インターフェースは、変換結果の読出し、およびオンチップ・レジスタの設定と読出しを行います。データは、標準の  $\overline{\text{CS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$  信号を使用し、パラレル・データバスを介して AD7616 から読み出すことができます。パラレル・バスを介してデータを読み出すには、SER/PAR ピンをローに接続します。

### 変換結果の読出し

CONVST 信号は変換プロセスを開始させます。CONVST 信号がローからハイに遷移すると、選択した入力の変換が開始されます。BUSY 信号がハイになり、変換が進行中であることを示します。BUSY 信号がハイからローに遷移して変換が完了したことが示されると、パラレル・インターフェースで変換結果を読み出すことができます。

データは標準の  $\overline{\text{CS}}$  および  $\overline{\text{RD}}$  信号を使い、パラレル・データバスを介して AD7616 から読み出すことができます。 $\overline{\text{CS}}$  と  $\overline{\text{RD}}$  の入力信号は内部でゲート制御され、変換結果をデータ・バスに出力します。データ・ライン DB15 ~ DB0 は、 $\overline{\text{CS}}$  と  $\overline{\text{RD}}$  の両方がロジック・ローになるとハイ・インピーダンス状態でなくなります。

$\overline{\text{CS}}$  入力信号の立上がりエッジによりバスはスリーステートになり、 $\overline{\text{CS}}$  入力信号の立下がりエッジによりバスはハイ・インピーダンス状態でなくなります。 $\overline{\text{CS}}$  はデータ・ラインをイネーブルする制御信号で、複数の AD7616 デバイスが同じパラレル・データバスを共有できるようにします。

必要な読出し操作の数は、デバイス構成によって異なります。同時サンプリングされた A チャンネルと B チャンネルの変換結果を読み出すには、最低 2 回の読出しが必要です。CRC、ステータス、バースト・モードなどの追加機能をイネーブルすると、それに応じて必要な読出し回数が増えます。

$\overline{\text{RD}}$  ピンは出力変換結果レジスタからデータを読み出します。AD7616 の  $\overline{\text{RD}}$  ピンに  $\overline{\text{RD}}$  パルス・シーケンスを印加すると、各チャンネルから変換結果が並列バス DB15 ~ DB0 にクロック・アウトされます。BUSY がローになった後の  $\overline{\text{RD}}$  の最初の立下がりエッジにより、チャンネル  $A_x$  の変換結果がクロック・アウトされます。 $\overline{\text{RD}}$  の次の立下がりエッジにより、チャンネル  $B_x$  の変換結果でバスが更新されます。

ク・アウトされます。 $\overline{\text{RD}}$  の次の立下がりエッジにより、チャンネル  $B_x$  の変換結果でバスが更新されます。

### レジスタ・データの書込み

ソフトウェア・モードでは、AD7616 のすべてのリード/ライト・レジスタに対してパラレル・インターフェースを介して書き込むことができます。レジスタ・ライト・コマンドは、パラレル・バス (DB15 ~ DB0)、 $\overline{\text{CS}}$  および  $\overline{\text{WR}}$  信号により、1 回の 16 ビット・パラレル・アクセスによって行われます。AD7616 に書き込むデータを DB15 ~ DB0 入力に与えます。DB0 をデータ・ワードの LSB にします。ライト・コマンドのフォーマットを図 54 に示します。ライト・コマンドを選択するには、ビット D15 を 1 に設定する必要があります。ビット [D14:D9] にはレジスタのアドレスが入ります。後続の 9 ビット (ビット [D8:D0]) には、選択したレジスタに書き込むデータが入ります。レジスタ・アドレスの完全なリストについては、「レジスタの一覧」セクションを参照してください。データは  $\overline{\text{WR}}$  の立上がりエッジでデバイスにラッチされます。

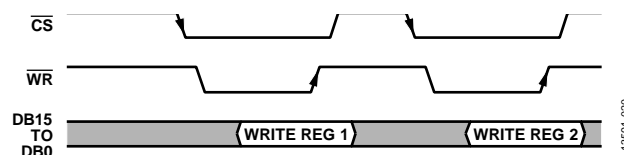


図 54. パラレル・インターフェース・レジスタ書込み

### レジスタ・データの読出し

デバイス内のすべてのレジスタは、パラレル・インターフェースを介して読み出すことができます。レジスタの読出しは、最初に読み出すレジスタのアドレスを AD7616 に書き込むことによって行われます。これらのレジスタ・リード・コマンドに使用するフォーマットを図 56 に示します。リード・コマンドを選択するには、ビット D15 を 0 に設定する必要があります。ビット [D14:D9] にはレジスタのアドレスが入ります。後続の 9 ビット (ビット [D8:D0]) は無視されます。リード・コマンドは  $\overline{\text{WR}}$  の立上がりエッジで AD7616 にラッチされます。このラッチにより、関連するレジスタ・データが出力レジスタに転送されます。その後、標準のリード・コマンドを使用して、DB15 ~ DB0 ピンからレジスタ・データを読み出すことができます。詳細については図 56 を参照してください。

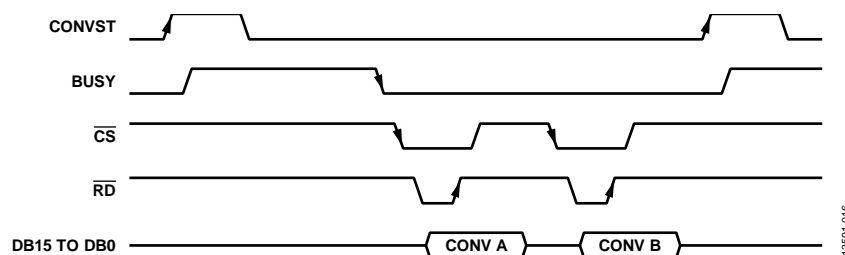


図 55. パラレル・インターフェース変換の読出し

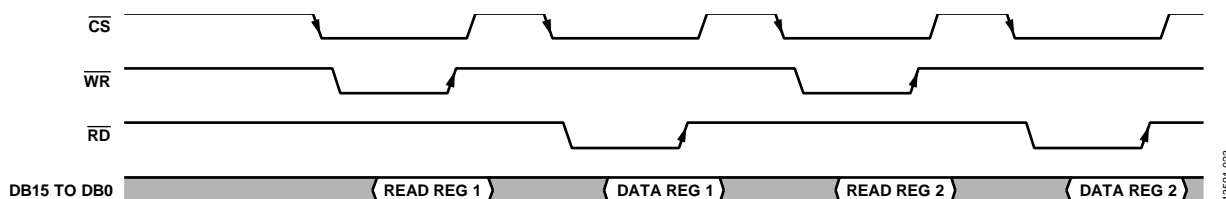


図 56. パラレル・インターフェース・レジスタの読出し

## シリアル・インターフェース

SPI を介して AD7616 にインターフェースするには、 $\overline{\text{SER/PAR}}$  ピンをハイに接続する必要があります。 $\overline{\text{CS}}$  信号と SCLK 信号は、AD7616 からデータを転送します。AD7616 には 2 つのシリアル・データ出力ピン (SDOA と SDOB) があります。シリアル 1 線モードまたはシリアル 2 線モードを使用して AD7616 からデータを読み出します。

AD7616 のシリアル 2 線モードでは、チャンネル V0A からチャンネル V7A までの変換結果は SDOA に現れ、チャンネル V0B からチャンネル V7B までの変換結果は SDOB に現れます。シリアル 1 線モードでは、チャンネル V0B からチャンネル V7B までの変換結果は、チャンネル V0A からチャンネル V7A までの変換結果と交互に混ざられます。最大スループットを実現するには、2 線モードを使用する必要があります。

SDOA と SDOB の両方からデータを読み出すには、 $\overline{\text{SER1W}}$  ピンをハイに接続する必要があります。SDOA からのみデータを読み出す場合は、 $\overline{\text{SER1W}}$  ピンをローに接続する必要があります。AD7616 がフル・リセットから解除されたときは、シリアル 1 線モードまたはシリアル 2 線モードが設定されます。

### 変換結果の読出し

CONVST 信号は変換プロセスを開始させます。CONVST 信号がローからハイに遷移することによって、選択した入力の変換が開始されます。BUSY 信号がハイになると、変換が進行中であることを示します。BUSY 信号がハイからローに遷移して変換の完了が示されると、シリアル・インターフェースで変換結果を読み出すことができます。

$\overline{\text{CS}}$  の立下がりエッジで、SDOA および SDOB のデータ出力ラインがスリーステートから解除され、変換結果の MSB がクロック・アウトされます。SCLK の立上がりエッジで、後続のすべてのデータ・ビットがシリアル・データ出力 (SDOA および

SDOB) にクロック・アウトされていきます。AD7616 の 2 本の SDO ラインを使用して、同時変換の 2 つの結果を読み出す様子を図 57 に示します。ステータス・レジスタを変換結果に追加する場合、または 16 SCLK の倍数で AD7616 からのデータにアクセスするシーケンサ・バースト・モードで動作している場合は、 $\overline{\text{CS}}$  をロー・レベルに保持してデータ全体をフレーム化します。SDOx ラインを 1 本だけ使用してデータをクロック・アウトさせることもできます。この場合、SDOA を使用してすべての変換データにアクセスする必要があります。AD7616 が 1 本の SDOx ラインでチャンネル VxA とチャンネル VxB の両方の変換結果にアクセスするには、合計 32 SCLK サイクルが必要です。 $\overline{\text{CS}}$  信号 1 つでこれらの 32 SCLK サイクルをフレーム化するか、あるいは 16 SCLK サイクルのグループごとに  $\overline{\text{CS}}$  信号で個別にフレーム化します。SDO ラインを 1 本だけ使用する欠点は、スループット・レートが低下することです。

シリアル 1 線モードでは、使用しない SDOB ラインは接続しないでおきます。SDOA を単一のシリアル・データ出力ラインとして使用する場合、チャンネル結果は、VxA、VxB の順序で出力されます。1 線のシリアル読出し動作を図 58 に示します

シリアル・インターフェース・モードでデータを読み出す速度は、SPI 周波数、 $V_{\text{DRIVE}}$  電源、および SDO ラインの負荷容量  $C_{\text{LOAD}}$  に依存します。各種条件下で実現可能な最大速度を表 14 にまとめます。

表 14. SPI 周波数対負荷容量および  $V_{\text{DRIVE}}$

$V_{\text{DRIVE}}$ (V)	$C_{\text{LOAD}}$ (pF)	SPI Frequency (MHz)
2.3 to 3	20	40
3 to 3.6	30	50

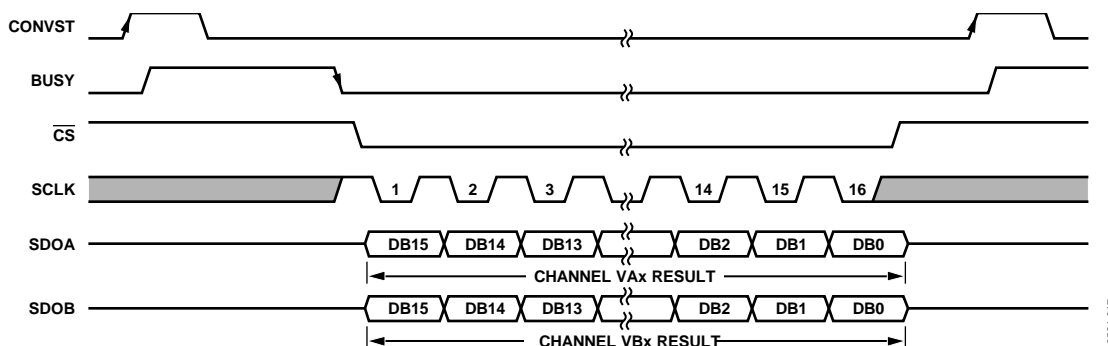


図 57. シリアル・インターフェース、2 線モード

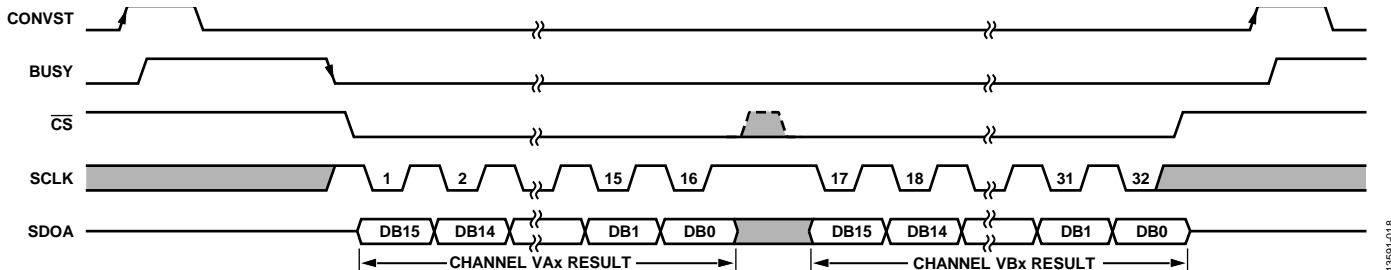


図 58. シリアル・インターフェース、1 線モード

レジスタ・データの書き込み

AD7616 のすべてのリード/ライト・レジスタに、シリアル・インターフェースを介して書き込むことができます。レジスタ・ライト・コマンドは、1 回の 16 ビット SPI アクセスによって実行されます。ライト・コマンドのフォーマットを表 15 に示します。ライト・コマンドを選択するには、ビット D15 を 1 に設定する必要があります。ビット [D14: D9] にはレジスタのアドレスが入ります。後続の 9 ビット (ビット [D8: D0]) には、選択したレジスタに書き込むデータが入ります。代表的なシリアル・ライト・コマンドを図 59 に示します。

レジスタ・データの読出し

デバイス内のすべてのレジスタは、シリアル・インターフェースを介して読み出すことができます。レジスタを読み出すには、レジスタ・リード・コマンドを発行し、その後、有効なコマンドまたは無操作 (NOP) のいずれかの追加 SPI コマンドを続けます。リード・コマンドのフォーマットを図 16 に示します。リード・コマンドを選択するには、ビット D15 を 0 に設定する必要があります。ビット [D14: D9] にはレジスタのアドレスが入ります。後続の 9 ビット (ビット [D8: D0]) は無視されます。レジスタ・アドレスの完全なリストについては、「レジスタの一覧」セクションを参照してください。一般的なシリアル・リード・コマンドを図 60 に示します。

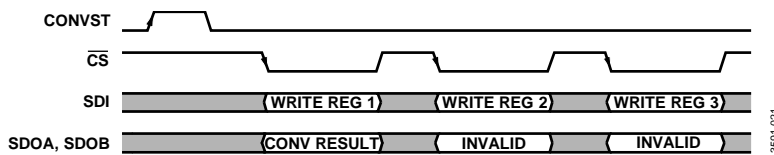


図 59. シリアル・インターフェース・レジスタへの書き込み

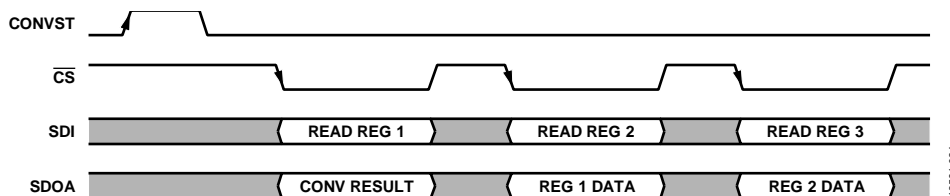


図 60. シリアル・インターフェース・レジスタの読出し

表 15. ライト・コマンド・メッセージの構成

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W/R	REGADDR[5:0]						Data[8:0]								
1	Register address						Data to write								

表 16. リード・コマンド・メッセージの構成

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
W/R	REGADDR[5:0]						Data[8:0]								
0	Register address						Do not care								

## シーケンサ

AD7616 は高度に設定可能なオンチップ・シーケンサを備えています。シーケンサの機能と設定は AD7616 の動作モードによって異なります。

ハードウェア・モードでは、シーケンサはシーケンシャルのみです。シーケンサは常にチャンネル V0A とチャンネル V0B で変換を開始し、設定された最終チャンネルに達するまで後続の各チャンネルを変換します。

ソフトウェア・モードでは、シーケンサは追加の機能および設定が可能です。シーケンサ・スタックには、32 の一意に設定可能なシーケンサ・ステップがあり、チャンネルの順序を任意にプログラムすることができます。また、任意のチャンネル VxA 入力を任意のチャンネル VxB 入力または診断チャンネルとペアにすることができます。

シーケンサは、バースト機能がイネーブルされていてもなくても、動作させることができます。バースト機能がイネーブルされていると、シーケンス内の全チャンネルを変換するのに CONVST パルスは 1 つだけ必要です。バースト・モードがディスエーブルされていると、シーケンス内の変換ステップごとに CONVST パルスが 1 つ必要です。バースト・モード動作の詳細については「バースト・シーケンサ」のセクションを参照してください。

### ハードウェア・モード・シーケンサ

ハードウェア・モードでは、シーケンサは SEQEN ピンと CHSELx ピンによって制御されます。AD7616 がフル・リセットから解除されたときに、シーケンサはイネーブルまたはディスエーブルされます。RESET ピンが解除されたときの SEQEN ピンのロジック・レベルによって、シーケンサのイネーブルまたはディスエーブルが決まります（設定については表 17 を参照）。RESET ピンの解除後は機能が固定されるので、その機能を終了させて別の設定をするには、RESET ピンによるフル・リセットが必要です。

表 17. ハードウェア・モード・シーケンサの設定

SEQEN	Interface Mode
0	Sequencer disabled
1	Sequencer enabled

シーケンサがイネーブルされると、CHSELx ピンのロジック・レベルによって、シーケンス内で変換に選択されるチャンネルが決まります。RESET が解除されたときの CHSELx ピンによって、シーケンス内の変換に使用するチャンネルの初期設定が決まります。その後、変換対象に選択されたチャンネルを再設定するには、現在の変換シーケンスが完了する前に、最後の BUSY パルスの持続時間の間 CHSELx ピンを必要な設定にします。詳細については、図 61 を参照してください。

表 18. CHSELx ピンのデコードによって選択されるシーケンサ

Channel Selection Input Pin			Analog Input Channels for Sequential Conversion
CHSEL0	CHSEL1	CHSEL2	
0	0	0	V0x only
0	0	1	V0x to V1x
0	1	0	V0x to V2x
0	1	1	V0x to V3x
1	0	0	V0x to V4x
1	0	1	V0x to V5x
1	1	0	V0x to V6x
1	1	1	V0x to V7x

### ソフトウェア・モード・シーケンサ

ソフトウェア・モードでは、AD7616 は 32 レイヤのフル設定可能なシーケンサ・スタックを備えています。シーケンサを制御するには、パラレルまたはシリアルインターフェースを介し、設定レジスタおよびシーケンサ・スタック・レジスタをプログラミングします。

各スタックのステップは、チャンネル VxA の任意の入力とチャンネル VxB の任意の入力とをペアにするように個別にプログラムすることができます。あるいは、どの診断チャンネルも変換に選択することができます。シーケンサの深さは 1 ~ 32 の任意の長さで設定できます。

シーケンサの深さは SSRENx ビットで制御されます。必要な最後のステップに対応する、シーケンサ・スタック・レジスタの SSRENx ビットを設定します。変換するチャンネルは、必要な深さに対して各シーケンサ・スタック・レジスタの ASELx ビットと BSELx ビットをプログラムすることによって選択します。

シーケンサは、設定レジスタの SEQEN ビットを 1 にセットして動作させます。

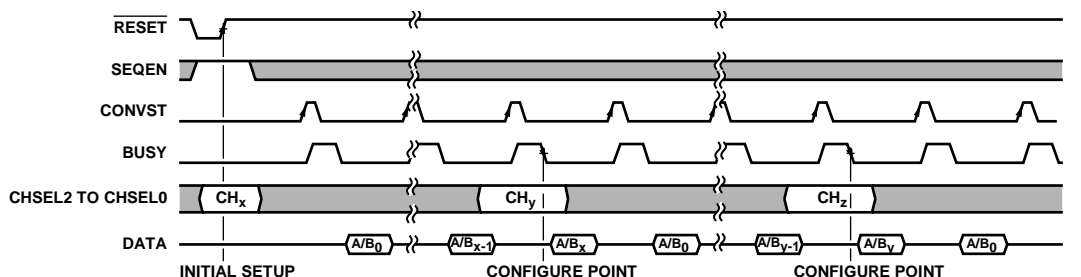


図 61. ハードウェア・モード・シーケンサの設定

シーケンサを設定してイネーブルするには、以下の手順で行うことを推奨します (図 62 参照)。

1. 必要なアナログ入力チャンネルのアナログ入力レンジを設定する。
2. シーケンサ・スタック・レジスタをプログラムして、シーケンスのチャンネルを選択する。
3. 最後に必要なシーケンサ・ステップに SSREN<sub>x</sub> ビットを設定する。
4. 設定レジスタの SEQEN ビットをセットする。
5. ダミーの CONVST パルスを与える。
6. CONVST パルスと変換の読出しを繰り返し、シーケンサ・スタックの各要素を実行していく。

次の CONVST パルスで、シーケンサ・スタックの最初の要素からシーケンスが自動的に再開します。

パシヤル・リセット後は、シーケンサ・ポインタはスタックの最初のレイヤに戻りますが、レジスタにプログラムされた値は変更されません。

## バースト・シーケンサ

バースト・モードでは、変換シーケンスのステップごとに CONVST パルスを生成しません。1つの CONVST パルスにより、シーケンス内の全ステップで変換が行われます。

バースト・シーケンサはシーケンサと連動して動作する追加機能です。バースト機能がイネーブルされていると、1回の CONVST パルスにより、シーケンサに設定されている全チャンネルの変換が開始されます。バースト機能がディスエーブルされていると変換シーケンスのステップごとに CONVST パルスを生成しますが、バースト機能は異なります。

バースト機能の設定は、動作モード (ハードウェア・モードまたはソフトウェア・モード) によって異なります。各モードでのバースト機能の設定については「ハードウェア・モード・バースト」セクションおよび「ソフトウェア・モード・バースト」セクションを参照してください。

バースト機能を設定すると、バースト・シーケンスは CONVST の立上がりエッジで開始されます。BUSY ピンがハイになり、変換が進行中であることを示します。シーケンスのすべての変換が完了するまで、BUSY ピンはハイのままです。変換結果は、BUSY ピンがローになった後で読み出すことができます。

バースト・シーケンス内の全データを読み出すのに必要なデータ読出し回数は、設定するシーケンスの長さに依存します。変換結果は、プログラムしたシーケンスと同じ順序で (パラレルまたはシリアル) データ・バスに与えられます。

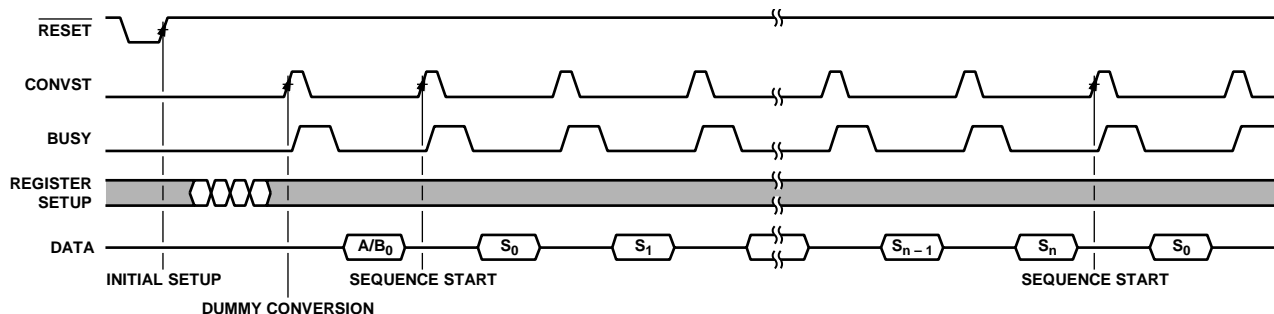


図 62. ソフトウェア・モード・シーケンサの設定

AD7616 のスループット・レートはバースト・モードでは制限され、シーケンスの長さに依存します。それぞれのチャンネル・ペアに、アキュイジション時間、変換時間、および読出し時間が必要です。チャンネル・ペア数  $N$  のシーケンスを完了するのにかかる時間は次式で見積ることができます。

$$t_{BURST} = (t_{CONV} + 25 \text{ ns}) + (N - 1) (t_{ACQ} + t_{CONV}) + N (t_{RB})$$

ここで

$t_{CONV}$  は標準の変換時間です。

$t_{ACQ}$  は標準のアキュイジション時間です。

$t_{RB}$  は、シリアル 1 線、シリアル 2 線、またはパラレルの各モードのいずれかで変換結果を読み出すのに必要な時間です。

## ハードウェア・モード・バースト

バースト・モードは、ハードウェア・モードで BURST ピンを 1 に設定するとイネーブルされます。SEQEN ピンを 1 に設定して、シーケンサをイネーブルする必要もあります。

ハードウェア・モードでは、バースト・シーケンサは BURST、SEQEN、CHSEL<sub>x</sub> の各ピンによって制御されます。AD7616 がフル・リセットから解除されたときに、バースト・シーケンサはイネーブルまたはディスエーブルされます。RESET ピンが解放されたときの SEQEN ピンと BURST ピンのロジック・レベルによって、バースト・シーケンサがイネーブルされるかディスエーブルされるかが決まります。RESET ピンの解除後、機能は固定されるので、その機能を終了させて別の設定するには、RESET ピンでのフル・リセットが必要です。

バースト・シーケンサがイネーブルされると、CHSEL<sub>x</sub> ピンのロジック・レベルによって、バースト・シーケンサで変換に使用されるチャンネルが決まります。RESET がリリースされたときの CHSEL<sub>x</sub> ピンによって、バースト・シーケンサで変換に使用するチャンネルの初期設定が決まります。リセット後に変換に選択されたチャンネルを再構成するには、次の BUSY パルスの持続時間の間 CHSEL<sub>x</sub> ピンを必要な設定にします (詳細については図 63 参照)。

## ソフトウェア・モード・バースト

ソフトウェア・モードでは、設定レジスタの BURST ビットを 1 に設定することにより、バースト機能がイネーブルされます。この操作は、「ソフトウェア・モード・シーケンサ」セクションで説明したシーケンサ設定の手順に従って、設定レジスタの SEQEN ビットを設定してする際に実行する必要があります (詳細については図 64 参照)。

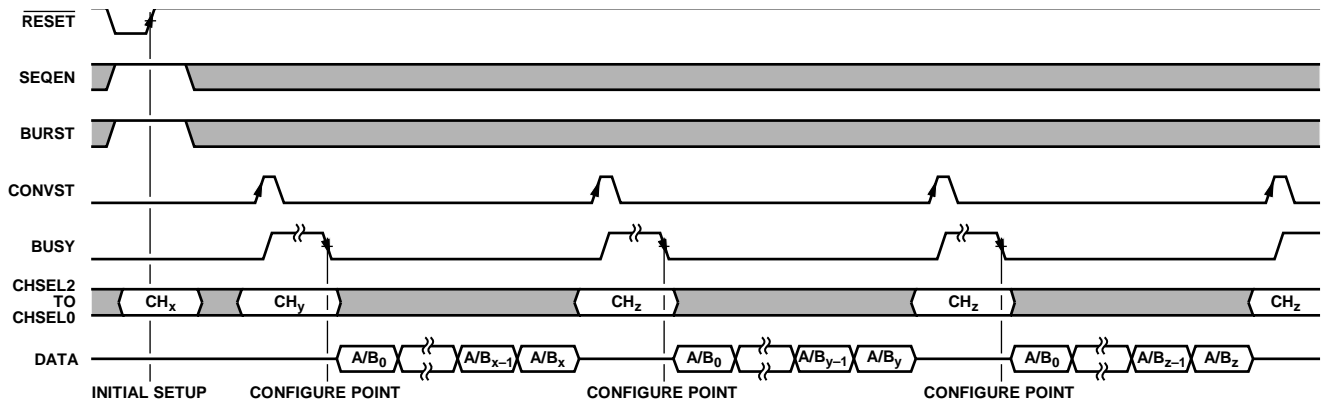


図 63. BURST シーケンサ、ハードウェア・モード

13561-027

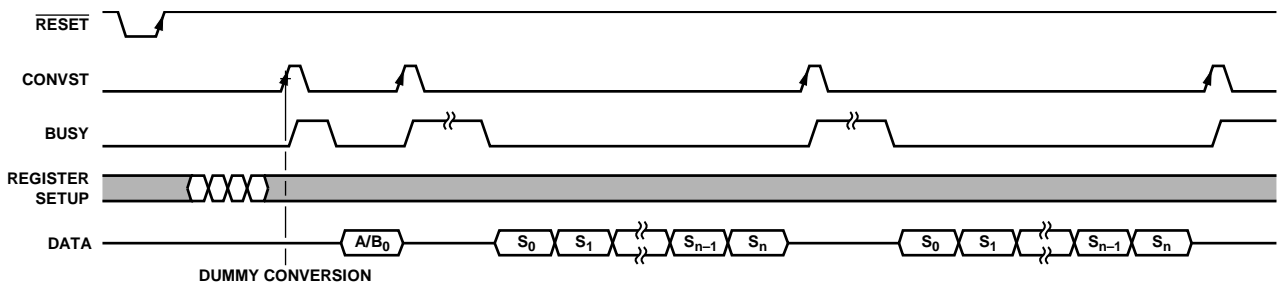


図 64. BURST シーケンサ、ソフトウェア・モード

13561-028

## 診断機能

### 診断チャンネル

16 個のアナログ入力 (VxA および VxB) に加えて、V<sub>CC</sub> およびアナログ ALDO 電圧の診断チャンネルを変換することもできます。変換する診断チャンネルを選択するには、チャンネル・レジスタ (「チャンネル・レジスタ」セクションを参照) を対応するチャンネル識別子にプログラムします。診断チャンネルはソフトウェア・モードでシーケンサ・スタックに追加することもできますが、250 kSPS 未満のスループット・レートでしか正確な値を得られません。診断チャンネルを使用する際に予想される、サンプリング周波数に対する期待値からの偏差のプロットについては、図 65 を参照してください。

各チャンネルの予想される出力は、以下の伝達関数によって決まります。

$$V_{CC} \text{ Code} = \frac{((4 \times V_{CC}) - V_{REF}) \times 32,768}{5 \times V_{REF}}$$

$$LDO \text{ Code} = \frac{((10 \times V_{ALDO}) - (7 \times V_{REF})) \times 32,768}{10 \times V_{REF}}$$

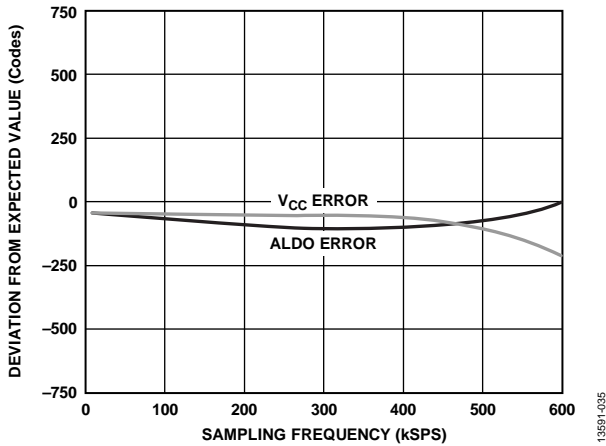


図 65. 期待値からの偏差対サンプリング周波数

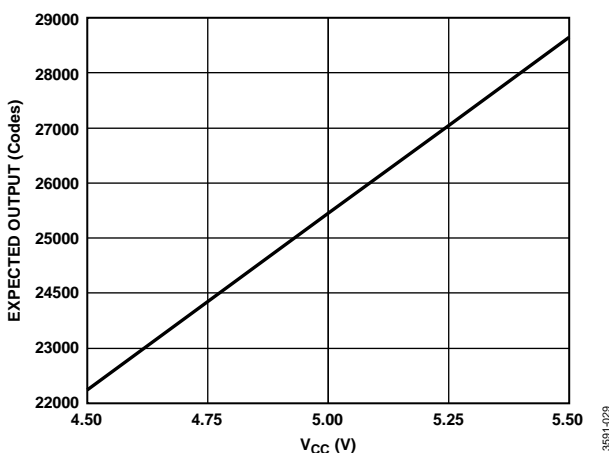


図 66. V<sub>CC</sub> 診断の伝達関数

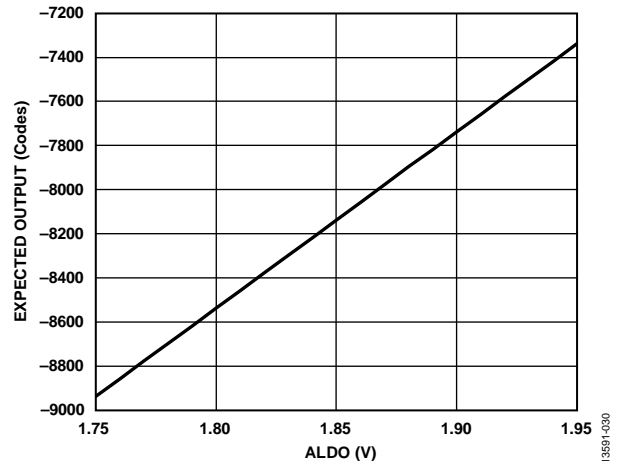


図 67. ALDO 診断の伝達関数

### インターフェース・セルフ・テスト

デジタル・インターフェースの完全性は、チャンネル・レジスタで通信セルフ・テスト・チャンネルを選択することによりテストすることができます (「チャンネル・レジスタ」セクションを参照)。

変換に通信セルフ・テストを選択すると、変換結果レジスタが既知の固定出力へ強制されます。変換コードを読み出すと、ADC A の変換コードとしてコード 0xAAAA が出力され、ADC B の変換コードとしてコード 0x5555 が出力されます。

### CRC

AD7616 には巡回冗長検査 (CRC) のチェックサム・モードがあり、データのエラーを検出してインターフェースの堅牢性を向上させます。CRC 機能は、ソフトウェア (シリアルおよびパラレル) モードとハードウェア (シリアルのみ) モードの両方で使用できます。CRC 機能はハードウェア・パラレル・モードでは使用できません。CRC の結果はステータス・レジスタ内に格納されます。CRC 機能をイネーブルするとステータス・レジスタが有イネーブルされ、その逆も同様です。

ハードウェア・モードでは、CRCEN ピンによって CRC 機能が制御されます。AD7616 がフル・リセットから解除されたときに、CRC 機能はイネーブルまたはディスエーブルされ、RESET ピンが解放されたときの CRCEN ピンのロジック・レベルによって、CRC 機能がイネーブルされるか、それともディスエーブルされるかが決まります。CRC 機能をイネーブルするには、CRCEN ピンを 1 に設定します。RESET ピンの解除後、機能は固定されるので、その機能を終了させて別の設定するには、RESET ピンでのフル・リセットが必要です。詳細については「リセット機能」のセクションを参照してください。イネーブルされると、CRC の結果が変換結果に付加され、16 ビット・ワード構成になります。ここで、前半の 8 ビットには最後に変換されたチャンネル・ペアのチャンネル ID が入り、後半の 8 ビットは CRC の結果になります。図 68 に示すように、追加のリード・コマンドを使用して結果にアクセスします。

ソフトウェア・モードでは、設定レジスタの CRCEN ビットまたは STATUSEN ビットを 1 に設定することにより CRC 機能をイネーブルします (「ステータス・レジスタ」のセクションを参照)。

CRC 機能がイネーブルされていると、チャンネル VxA およびチャンネル VxB の変換結果に対して CRC が計算されます。

CRC は、変換結果が送信された後に、デバイスの構成に応じてシリアルまたはパラレル・インターフェース上で計算され、転送されます。ハミング距離は、変換結果のビット数によって変化します。≤119 ビットの変換では、ハミング距離は4になります。>119 ビットの場合、ハミング距離は1です。すなわち、常に1ビット・エラーが検出されます。

以下に、CRC が AD7616 でどのように実装されているかを説明する疑似コードを示します。

```

crc = 8'b0;
i = 0;
x = 変換チャンネル・ペア数;
for (i=0, i<x, i++) begin
    crc1 = crc_out (An,Crc) ;
    crc = crc_out (Bn,Crc1) ;
    i = i +1;
end
ここで、関数 crc_out (data, crc) は以下のとおりです。
crc_out [0] = data [14] ^ data [12] ^ data [8] ^
data [7] ^ data [6] ^ data [0] ^ crc [0] ^ crc [4]
] ^ crc [6] ;
crc_out [1] = data [15] ^ data [14] ^ data [13] ^
data [12] ^ data [9] ^ data [6] ^ data [1] ^ data
[0] ^ crc [1] ^ crc [4] ^ crc [5] ^ crc [6] ^ crc
[7] ;
crc_out [2] = data [15] ^ data [13] ^ data [12] ^
data [10] ^ data [8] ^ data [6] ^ data [2] ^ data
[1] ^ data [0] ^ crc [0] ^ crc [2] ^ crc [4] ^
crc [5] ^ crc [7] ;

```

```

crc_out [3] = data [14] ^ data [13] ^ data [11] ^
data [9] ^ data [7] ^ data [3] ^ data [2] ^ data [1]
^ crc [1] ^ crc [3] ^ crc [5] ^ crc [6] ;

```

```

crc_out [4] = data [15] ^ data [14] ^ data [12] ^
data [10] ^ data [8] ^ data [4] ^ data [3] ^ data
[2] ^ crc [0] ^ crc [2] ^ crc [4] ^ crc [6] ^ crc
[7] ;

```

```

crc_out [5] = data [15] ^ data [13] ^ data [11] ^
data [9] ^ data [5] ^ data [4] ^ data [3] ^ crc [1]
] ^ crc [3] ^ crc [5] ^ crc [7] ;

```

```

crc_out [6] = data [14] ^ data [12] ^ data [10] ^
data [6] ^ data [5] ^ data [4] ^ crc [2] ^ crc [4]
] ^ crc [6] ;

```

```

crc_out [7] = data [15] ^ data [13] ^ data [11] ^
data [7] ^ data [6] ^ data [5] ^ crc [3] ^ crc [5]
] ^ crc [7] ;

```

AD7616 が使用する最初の CRC ワードは、ゼロに等しい8ビット・ワードです。上に示すコードで記述された XOR 演算が実行されて、変換結果 AN に対して CRC ワードの各ビットが計算されます。この CRC ワード (crc1) は、変換結果 BN の CRC ワード (crc) を計算するための開始点として使用されます。このプロセスは、変換された各チャンネル・ペアごとに循環的に繰り返されます。

AD7616 の動作モードに応じて、ステータス・レジスタの値が変換データに付加され、シリアルまたはパラレル・インターフェースを介して追加リード・コマンドにより読み出されます。その後、ユーザは受け取った変換結果に対して先のコードで記述された XOR 計算を繰り返し、両方の CRC ワードが一致するかどうか確認できます。各動作モードでデータに CRC ワードがどのように付加されるかについては、図 68 を参照してください。

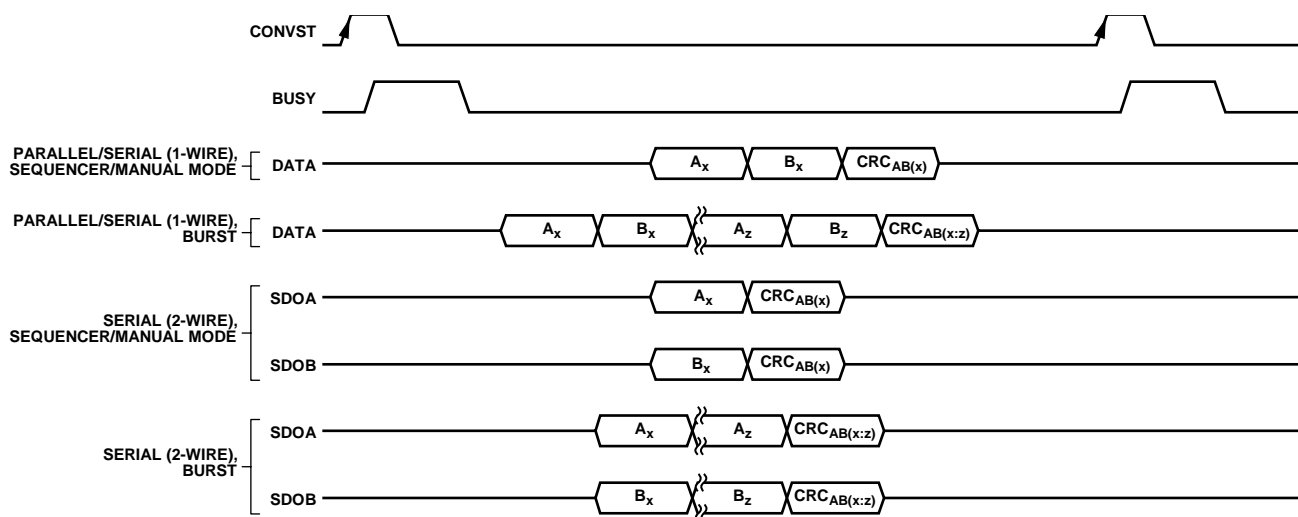


図 68. すべてのモードでの CRC 読出し

13951-102

## レジスタの一覧

AD7616には、ソフトウェア・モードでデバイスを構成するのに使用される6個のリード/ライト・レジスタ、およびフレキシブルなオンチップ・シーケンサをプログラムするための追加の32個のシーケンサ・スタック・レジスタ、さらに読出し専用のステータス・レジスタがあります。AD7616で使用可能なリード/ライト・レジスタの概要を表19に示します。ステータス・レジスタは、以前に変換されたチャンネル・ペアに関する情報とCRC結果を含む追加の読出し専用レジスタです。

表 19. レジスタの一覧<sup>1</sup>

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x02	Configuration register	[15:8]	Addressing							Reserved	0x0000	R/W
		[7:0]	SDEF	BURSTEN	SEQEN	OS		STATUSEN	CRCEN			
0x03	Channel register	[15:8]	Addressing							Reserved	0x0000	R/W
		[7:0]	CHB				CHA					
0x04	Input Range Register A1	[15:8]	Addressing							Reserved	0x00FF	R/W
		[7:0]	V3A		V2A		V1A		V0A			
0x05	Input Range Register A2	[15:8]	Addressing							Reserved	0x00FF	R/W
		[7:0]	V7A		V6A		V5A		V4A			
0x06	Input Range Register B1	[15:8]	Addressing							Reserved	0x00FF	R/W
		[7:0]	V3B		V2B		VB1		V0B			
0x07	Input Range Register B2	[15:8]	Addressing							Reserved	0x00FF	R/W
		[7:0]	V7B		V6B		VB5		V4B			
0x20 to 0x3F	Sequencer Stack Registers[0:31]	[15:8]	Addressing							SSRENx	0x0000 <sup>2</sup>	R/W
		[7:0]	BSELx				ASELx					
N/A	Status register	[15:8]	A[3:0]				B[3:0]				N/A	R
		[7:0]	CRC[7:0]									

<sup>1</sup> N/A は該当なしを意味します。

<sup>2</sup> フル・リセットまたはパーシャル・リセットの発行後、シーケンサ・スタック・レジスタは、チャンネル V0A およびチャンネル V0B からチャンネル V7A およびチャンネル V7B までを循環するように再初期化されます。スタックの残りの24のレイヤは0x0に初期化されます。

## レジスタのアドレス指定

デバイスに書き込まれた 7 MSB は、どのレジスタが指定されているかを判断するためにデコードされます。この 7 MSB は、レジスタ・アドレス (REGADDR) ビット [5:0]、およびリード/ライト・ビットで構成されます。レジスタ・アドレス・ビットは、どのオンチップ・レジスタが選択されるかを指定します。リード/ライト・ビットは、DB10/SDI ライン上の残りの 9 ビット・データを指定したレジスタにロードするかどうかを決めます。リード/ライト・ビットが 1 の場合、レジスタ選択ビットによって指定されるレジスタにビットがロードされます。リード/ライト・ビットが 0 の場合、このコマンドは読出し要求とみなされます。アドレス指定したレジスタ・データは、次の読出し操作中に読み出すことができます。

MSB							LSB
D15	D14	D13	D12	D11	D10	D9	D8 to D0
W/R	REGADDR[5]	REGADDR[4]	REGADDR[3]	REGADDR[2]	REGADDR[1]	REGADDR[0]	DATA[8:0]

表 20.

Bit s	Mnemonic	Description
D15	W/R	このビットに 1 が書き込まれていると、このレジスタのビット [D8:D0] が REGADDR [5:0] で指定されるレジスタに書き込まれます。逆に 0 が書き込まれていると、次の動作が指定レジスタからの読み出しであることを示します。
D14	REGADDR[5]	このビットに 1 が書き込まれていると、REGADDR [4:0] によって 32 個のシーケンサ・スタック・レジスタが指定されます。逆にこのビットに 0 が書き込まれていると、REGADDR [4:0] で指定されるレジスタが選択されます。
[D13:D9]	REGADDR[4:0]	W/R = 1 のとき、REGADDR [4:0] の内容によって、以下のようにレジスタが選択されます。 00001: 予約済 00010: 設定レジスタを選択 00011: チャンネル・レジスタを選択 00100: 入力レンジ・レジスタ A1 を選択 00101: 入力レンジ・レジスタ A2 を選択 00110: 入力レンジ・レジスタ B1 を選択 00111: 入力レンジ・レジスタ B2 を選択 01000: ステータス・レジスタを選択 W/R = 0 で、REGADDR [4:0] の内容が 00000 の場合は、変換コードが読み出されます。
[D8:D0]	DATA[8:0]	これらのビットは、ビット REGADDR [5:0] で指定されるレジスタに書き込まれます。各レジスタの詳細については、以下のセクションを参照してください。

## 設定レジスタ

設定レジスタはソフトウェア・モードで使用され、シーケンサ、バースト・モード、オーバーサンプリング、CRCなどのオプションを含め、ADCの主な機能の多くを設定します。

アドレス: 0x02、リセット値: 0x0000、レジスタ名: 設定レジスタ

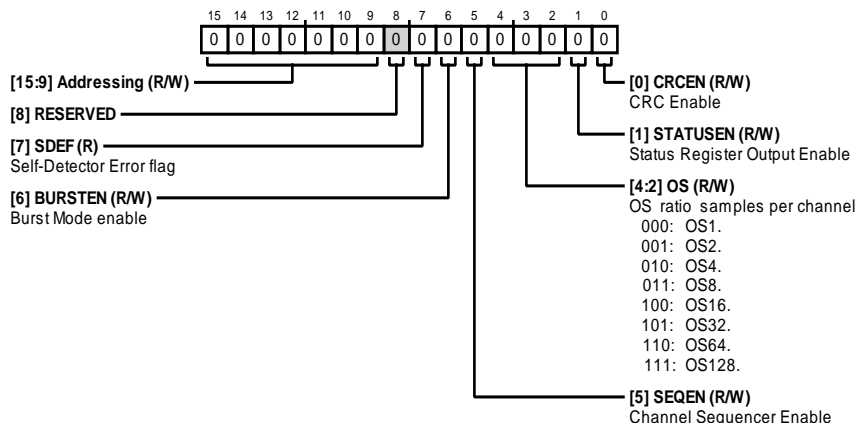


表 21. 設定レジスタのビットの説明

Bits	Bit Name	Settings	Description	Reset <sup>1</sup>	Access
[15:9]	Addressing	0	ビット [15:9] は、該当するレジスタのアドレスを指定します。詳細については「レジスタのアドレス指定」のセクションを参照してください。	0x0	RW
8	RESERVED		予約済み。	0x0	R/W
7	SDEF	0 1	セルフ・ディテクタ・エラー・フラグ。 0: テスト合格。電源投入後、AD7616 は正常に自己設定を完了しています。 1: テスト失敗。デバイス設定中に問題が検出されました。リセットが必要です。	N/A	R
6	BURSTEN	0 1	バースト・モード・イネーブル。 0: バースト・モードはディスエーブルされています。変換されるチャンネル・ペアごとに CNVST パルスが必要です。 1: 1 個の CNVST パルスにより、32 レイヤのシーケンサ・スタック・レジスタにプログラミングされた全チャンネル・ペアを、SSRENx ビットで指定されたレイヤまで変換します。詳細については「ソフトウェア・モード・シーケンサ」セクションおよび「ソフトウェア・モード・バースト」セクションを参照してください。	0x0	RW
5	SEQEN	0 1	チャンネル・シーケンサ・イネーブル。 0: チャンネル・シーケンサはディスエーブルされています。 1: チャンネル・シーケンサはイネーブルされています。	0x0	RW
[4:2]	OS	000 001 010 011 100 101 110 111	オーバーサンプリング (OS) 比、チャンネルあたりのサンプリング数。 000: オーバーサンプリングはディスエーブルされています。 001: オーバーサンプリングはイネーブルされています、OSR = 2。 010: オーバーサンプリングを有効にします、OSR = 4。 011: オーバーサンプリングを有効にします、OSR = 8。 100: オーバーサンプリングを有効にします、OSR = 16。 101: オーバーサンプリングを有効にします、OSR = 32。 110: オーバーサンプリングを有効にします、OSR = 64。 111: オーバーサンプリングを有効にします、OSR = 128。	0x0	RW
1	STATUSEN	0 1	ステータス・レジスタ出力イネーブル。 0: 変換結果の読み出し中はステータス・レジスタは読み出されません。 1: 選択したすべてのチャンネルを読み出したら、(シーケンサ・モードで有効にされている場合はセルフ・テスト・チャンネルを含む) すべての変換ワードの最後にステータス・レジスタが読み出されます。CRC の結果は最後の 8 ビットに含まれます。	0x0	RW
0	CRCEN		CRC イネーブル。STATUSEN ビットと CRCEN ビットの機能は同一です。	0x0	RW

<sup>1</sup> N/A は該当なしを意味します。

チャンネル・レジスタ

アドレス: 0x03、リセット値: 0x0000、レジスタ名: チャンネル・レジスタ

ソフトウェア・マニュアル・モードでは、チャンネル・レジスタが次の変換に使用する入力チャンネルまたはセルフ・テスト・チャンネルを選択します。

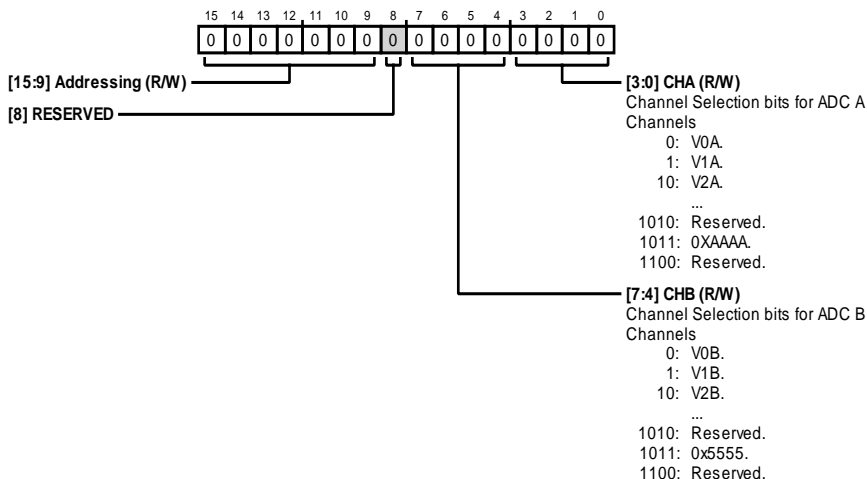


表 22. チャンネル・レジスタのビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:9]	Addressing		ビット [15:9] は、該当するレジスタのアドレスを指定します。詳細については「レジスタのアドレス指定」のセクションを参照してください。	0x0	R/W
8	RESERVED		予約済み。	0x0	R/W
[7:4]	CHB	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100	ADC B チャンネルのチャンネル選択ビット。 V0A/V0B. V1A/V1B. V2A/V2B. V3A/V3B. V4A/V4B. V5A/V5B. V6A/V6B. V7A/V7B. V <sub>cc</sub> . ALDO. 予約済み。 デジタル・インターフェース通信のセルフ・テスト機能の専用ビットを設定します。変換コードを読み出すと、チャンネル A の変換コードとしてコード 0xAAAA が読み出され、チャンネル B の変換コードとしてコード 0x5555 が読み出されます。 予約済み。		
[3:0]	CHA		ADC A チャンネルのチャンネル選択ビット。設定は ADC B と同様です。	0x0	R/W

## 入力レンジ・レジスタ

入力レンジ・レジスタ A1 と入力レンジ・レジスタ A2 は、アナログ入力チャンネル V0A ~ チャンネル V7A に対する 3 つの可能な入力レンジ ( $\pm 10$  V、 $\pm 5$  V、または  $\pm 2.5$  V) の 1 つを選択します。入力レンジ・レジスタ B1 と入力レンジ・レジスタ B2 は、アナログ入力チャンネル V0B ~ チャンネル V7B に対して 3 つの可能な入力レンジ ( $\pm 10$  V、 $\pm 5$  V、または  $\pm 2.5$  V) の 1 つを選択します。

### 入力レンジ・レジスタ A1

アドレス: 0x04、リセット: 0x00FF、レジスタ名: 入力レンジ・レジスタ A1

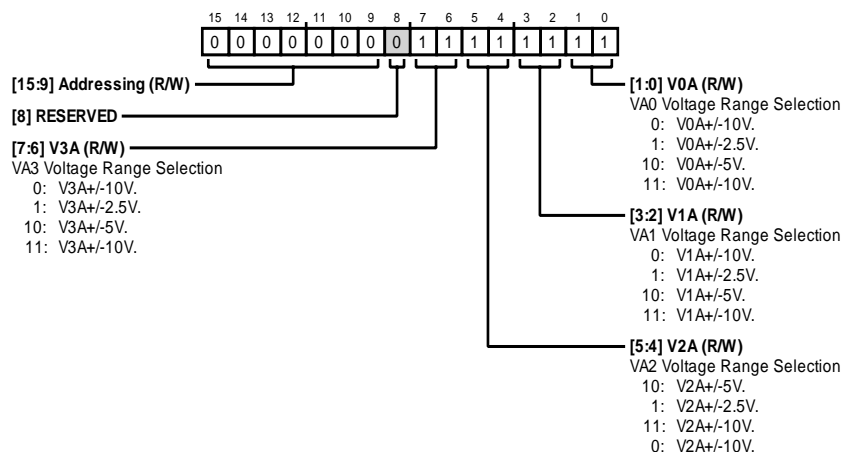


表 23. 入力レンジ・レジスタ A1 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:9]	Addressing		ビット [15:9] は、該当するレジスタのアドレスを指定します。詳細については「レジスタのアドレス指定」のセクションを参照してください。	0x0	R/W
8	RESERVED		予約済み。	0x0	R/W
[7:6]	V3A	00 01 10 11	V3A の電圧レンジの選択。 V3A $\pm 10$ V. V3A $\pm 2.5$ V. V3A $\pm 5$ V. V3A $\pm 10$ V.	0x3	R/W
[5:4]	V2A	00 01 10 11	V2A の電圧レンジの選択。 V2A $\pm 10$ V. V2A $\pm 2.5$ V. V2A $\pm 5$ V. V2A $\pm 10$ V.	0x3	R/W
[3:2]	V1A	00 01 10 11	V1A の電圧レンジの選択。 V1A $\pm 10$ V. V1A $\pm 2.5$ V. V1A $\pm 5$ V. V1A $\pm 10$ V.	0x3	R/W
[1:0]	V0A	00 01 10 11	V0A の電圧レンジの選択。 V0A $\pm 10$ V. V0A $\pm 2.5$ V. V0A $\pm 5$ V. V0A $\pm 10$ V.	0x3	R/W

## 入力レンジ・レジスタ A2

アドレス: 0X05、リセット値: 0x00FF、レジスタ名: 入力レンジ・レジスタ A2

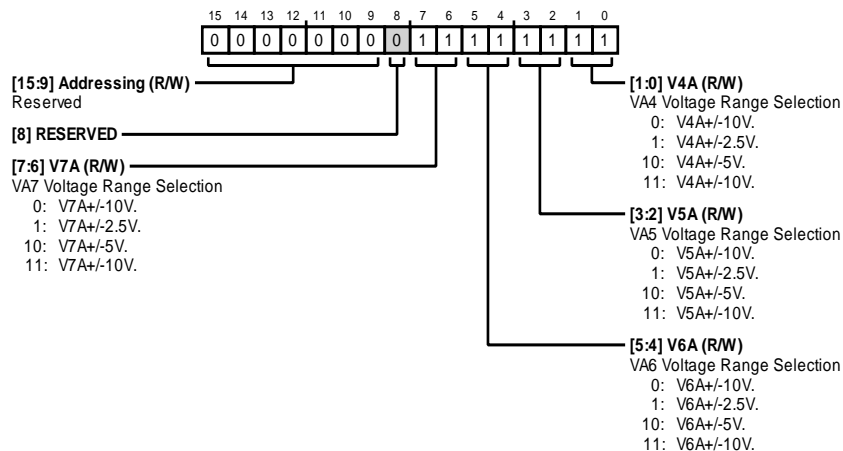


表 24. 入力レンジ・レジスタ A2 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:9]	Addressing		ビット [15:9] は、該当するレジスタのアドレスを指定します。詳細については「レジスタのアドレス指定」のセクションを参照してください。	0x0	R/W
8	RESERVED		予約済み。	0x0	R/W
[7:6]	V7A	00 01 10 11	V7A の電圧レンジの選択。 V7A ± 10 V. V7A ± 2.5 V. V7A ± 5 V. V7A ± 10 V.	0x3	R/W
[5:4]	V6A	00 01 10 11	V6A の電圧レンジの選択。 V6A ± 10 V. V6A ± 2.5 V. V6A ± 5 V. V6A ± 10 V.	0x3	R/W
[3:2]	V5A	00 01 10 11	V5A の電圧レンジの選択。 V5A ± 10 V. V5A ± 2.5 V. V5A ± 5 V. V5A ± 10 V.	0x3	R/W
[1:0]	V4A	00 01 10 11	V4A の電圧レンジの選択。 V4A ± 10 V. V4A ± 2.5 V. V4A ± 5 V. V4A ± 10 V.	0x3	R/W

## 入力レンジ・レジスタ B1

アドレス: 0X06、リセット値: 0x00FF、レジスタ名: 入力レンジ・レジスタ B1

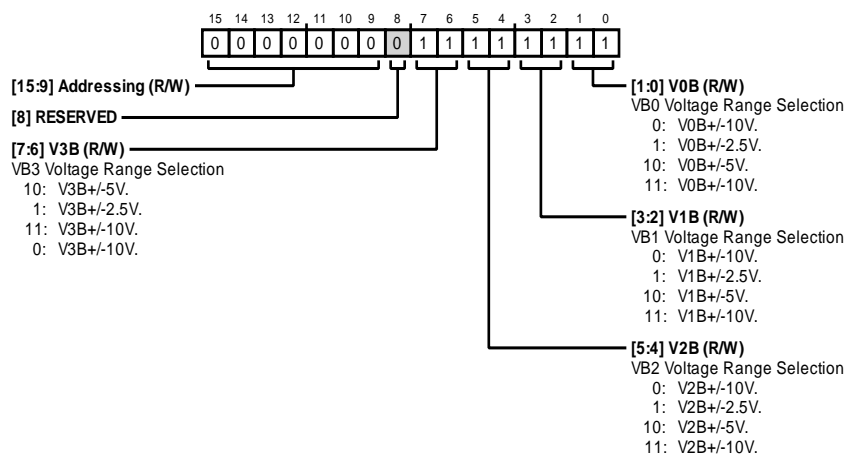


表 25. 入力レンジ・レジスタ B1 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:9]	Addressing		ビット [15:9] は、該当するレジスタのアドレスを指定します。詳細については「レジスタのアドレス指定」のセクションを参照してください。	0x0	R/W
8	RESERVED		予約済み。	0x0	R/W
[7:6]	V3B	00 01 10 11	V3B の電圧レンジの選択。 V3B ± 10 V. V3B ± 2.5 V. V3B ± 5 V. V3B ± 10 V.	0x3	R/W
[5:4]	V2B	00 01 10 11	V2B の電圧レンジの選択。 V2B ± 10 V. V2B ± 2.5 V. V2B ± 5 V. V2B ± 10 V.	0x3	R/W
[3:2]	VB1	00 01 10 11	V1B の電圧レンジの選択。 VB1 ± 10 V. VB1 ± 2.5 V. VB1 ± 5 V. VB1 ± 10 V.	0x3	R/W
[1:0]	V0B	00 01 10 11	V0B の電圧レンジの選択。 V0B ± 10 V. V0B ± 2.5 V. V0B ± 5 V. V0B ± 10 V.	0x3	R/W

## 入力レンジ・レジスタ B2

アドレス: 0X07、リセット値: 0x00FF、レジスタ名: 入力レンジ・レジスタ B2

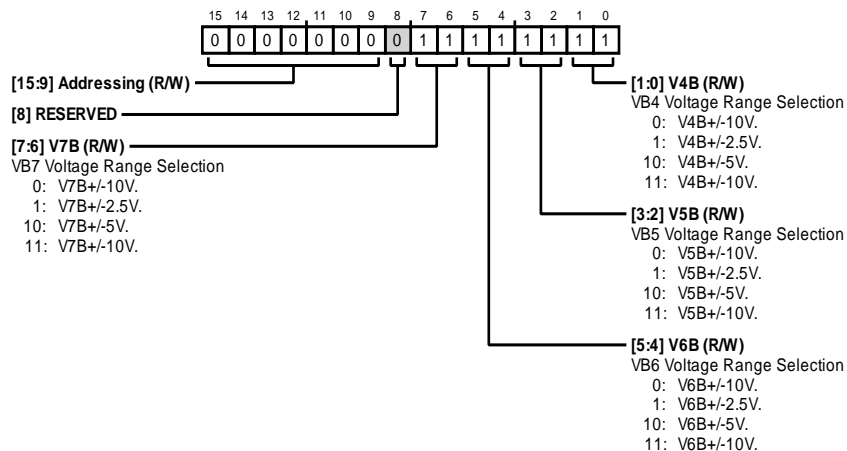


表 26. 入力レンジ・レジスタ B2 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:9]	Addressing		ビット [15:9] は、該当するレジスタのアドレスを指定します。詳細については「レジスタのアドレス指定」のセクションを参照してください。	0x0	R/W
8	RESERVED		予約済み。	0x0	R/W
[7:6]	V7B	00 01 10 11	V7B の電圧レンジの選択。 V7B ± 10 V. V7B ± 2.5 V. V7B ± 5 V. V7B ± 10 V.	0x3	R/W
[5:4]	V6B	00 01 10 11	V6B の電圧レンジの選択。 V6B ± 10 V. V6B ± 2.5 V. V6B ± 5 V. V6B ± 10 V.	0x3	R/W
[3:2]	V5B	00 01 10 11	V5B の電圧レンジの選択。 V5B ± 10 V. V5B ± 2.5 V. V5B ± 5 V. V5B ± 10 V.	0x3	R/W
[1:0]	V4B	00 01 10 11	V4B の電圧レンジの選択。 V4B ± 10 V. V4B ± 2.5 V. V4B ± 5 V. V4B ± 10 V.	0x3	R/W

## シーケンサ・スタック・レジスタ

チャンネル・レジスタは変換を行う次のチャンネル（診断チャンネルまたはアナログ入力チャンネルのペア）を指定しますが、多数のアナログ入力チャンネルをサンプリングするには 32 個のシーケンサ・スタック・レジスタを使用すると便利です。通信レジスタ内で REGADDR5 ビットがロジック 1 に設定されている場合、REGADDR [4:0] の内容は 32 個のシーケンサ・スタック・レジスタのうちの 1 つを指定します。各シーケンサ・スタック・レジスタ内で、同時にサンプリングするアナログ入力のペアを指定することができます。

シーケンスの構造がスタックを構成しており、その各行は同時に変換される 2 つのチャンネルを示します。シーケンスは、シーケンサ・スタック・レジスタ 1 から開始し、シーケンサ・スタック・レジスタ 32 まで繰り返します。あるシーケンサ・スタック・レジスタ内のビット D8（イネーブル・ビット、SSRENx）が 1 に設定されている場合、シーケンスはそのレジスタで指定されたアナログ入力のペアで終了し、最初のシーケンサ・スタック・レジスタに戻り、繰り返しを再開します。デフォルトでは、シーケンサ・スタック・レジスタはチャンネル V0A およびチャンネル V0B からチャンネル V7A およびチャンネル V7B まで繰り返すようにプログラムされています。フル・リセットまたはパーシャル・リセットの発行後、シーケンサ・スタック・レジスタは、チャンネル V0A およびチャンネル V0B からチャンネル V7A およびチャンネル V7B まで循環するように再初期化されます。

アドレス: 0x20 ~ 0x3F、リセット値: 0X0000、レジスタ名: シーケンサ・スタック・レジスタ [0:31]

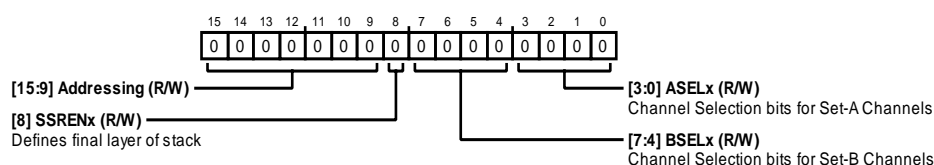


表 27. シーケンサ・スタック・レジスタ [0:31] のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[15:9]	Addressing		ビット [15:9] は、該当するレジスタのアドレスを指定します。詳細については「レジスタのアドレス指定」のセクションを参照してください。	0x0	R/W
8	SSREN[0:31]		このビットを 0 に設定すると、現在のチャンネル・ペアの変換後に、シーケンサ・スタックの次のレイヤに進むよう ADC に指示します。このビットを 1 に設定すると、シーケンサ・スタックのそのレイヤをシーケンスの最終レイヤとして指定します。その後、シーケンサはスタックの最初のレイヤにループバックします。	0x0	R/W
[7:4]	BSEL[0:31]	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100	ADC B チャンネルのチャンネル選択ビット。 V0B. V1B. V2B. V3B. V4B. V5B. V6B. V7B. V <sub>CC</sub> . ALDO. 予約済み。 デジタル・インターフェース通信のセルフ・テスト機能の専用ビットを設定します。変換コードを読み出すと、チャンネル A の変換コードとしてコード 0xA000 が読み出され、チャンネル B の変換コードとしてコード 0x5555 が読み出されます。 予約済み。	0x0 <sup>1</sup>	R/W
[3:0]	ASEL[0:31]		ADC A チャンネルのチャンネル選択ビット。設定は ADC B と同様です。	0x0 <sup>1</sup>	R/W

<sup>1</sup> フル・リセットまたはパーシャル・リセットの発行後、シーケンサ・スタック・レジスタは、チャンネル V0A およびチャンネル V0B からチャンネル V7A およびチャンネル V7B までを循環するように再初期化されます。スタックの残りの 24 のレイヤは 0x0 に初期化されます。

## ステータス・レジスタ

ステータス・レジスタは、16 ビットの読出し専用レジスタです。設定レジスタの **STATUSEN** ビットまたは **CRCEN** ビットがロジック 1 に設定されている場合、シーケンサ・モードでイネーブルされていればセルフ・テスト・チャンネルを含む、選択されたチャンネルのすべての変換ワードの最後にステータス・レジスタが読み出されます。「CRC」のセクションおよび図 68 を参照してください。

MSB

LSB

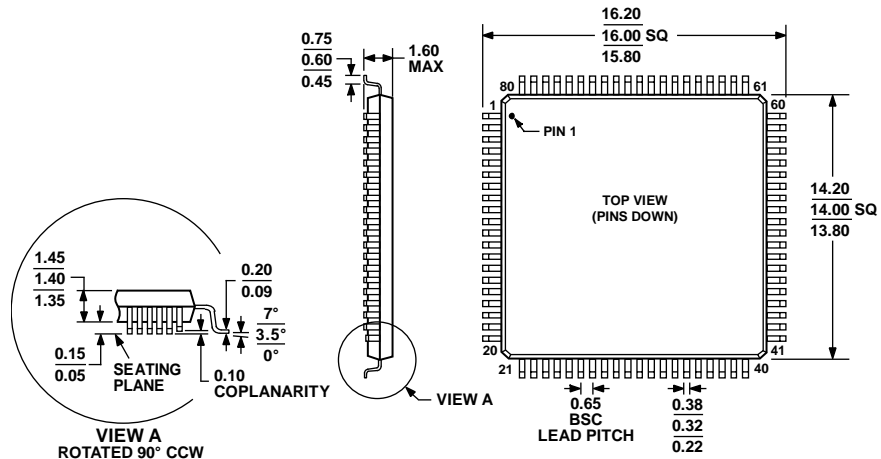
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
A[3:0]				B[3:0]				CRC[7:0]							

表 28. ステータス・レジスタのビットの説明

Bit	Bit Name	Settings	Description	Reset <sup>1</sup>	Access
[D15:D12]	A[3:0]		チャンネル A の前の変換結果のチャンネル・インデックス	N/A	R
[D11:D8]	B[3:0]		チャンネル B における前の変換結果のチャンネル・インデックス	N/A	R
[D7:D0]	CRC[7:0]		前の変換結果に対する CRC 計算。詳細については「CRC」のセクションを参照してください。	N/A	R

<sup>1</sup> N/A は該当なしを意味します。

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-026-BEC

図 69. 80 ピン低プロファイルのクワッド・フラット・パッケージ [LQFP] (ST-80-2) 寸法 (ミリ単位)

051706-A

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
AD7616BSTZ	-40°C to +125°C	80-Lead Low Profile Quad Flat Package [LQFP]	ST-80-2
AD7616BSTZ-RL	-40°C to +125°C	80-Lead Low Profile Quad Flat Package [LQFP], 13" Reel	ST-80-2
EVAL-AD7616SDZ		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品。