



# バイポーラ同時サンプリング18ビットADC内蔵 8チャンネル差動DAS

データシート

AD7609

## 特長

- 8入力を同時サンプル
- 真の差動入力
- 真のバイポーラ・アナログ入力範囲:  $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$
- アナログ単電源:  $5\text{ V}$ 、 $V_{\text{DRIVE}}$ :  $2.3\text{ V} \sim 5.25\text{ V}$
- データ・アキュジション・ソリューションをフル内蔵
- アナログ入力をクランプ保護
- $1\text{ M}\Omega$ のアナログ入力インピーダンスを持つ入力バッファ
- 折り返し防止用2次アナログ・フィルタ
- 高精度リファレンス電圧とリファレンス・バッファを内蔵
- 全チャンネルに  $200\text{ kSPS}$  の18ビットADC
- デジタル・フィルタ付きのオーバーサンプリング機能
- 柔軟なパラレル/シリアル・インターフェースを内蔵
- SPI/QSPI™/MICROWIRE™/DSPに互換
- 性能
- アナログ入力チャンネルのESD定格:  $7\text{ kV}$
- SNR:  $98\text{ dB}$ 、THD:  $-107\text{ dB}$
- ダイナミックレンジ: 最大  $105\text{ dB}$  (typ)
- 低消費電力:  $100\text{ mW}$
- スタンバイ・モード:  $25\text{ mW}$
- $64$ ピンLQFPパッケージを採用

## アプリケーション

- 電源ライン・モニタリング/保護システム
- 多相モーター・コントロール
- 計装システムおよび制御システム
- 多軸ポジショニング・システム
- データ・アキュジション・システム(DAS)

## 関連製品

- 外付けリファレンス電圧: [ADR421](#)、[ADR431](#)
- デジタル・アイソレータ: [ADuM1402](#)、[ADuM5000](#)、[ADuM5402](#)
- 電源: [ADIsimPower](#)、[Supervisor Parametric Search](#)
- その他の関連製品については [AD7609](#) 製品ページをご覧ください。

表 1. 高分解能バイポーラ入力の同時サンプリング DAS ソリューション

Resolution	Single-Ended Inputs	True Differential Inputs	Number of Simultaneous Sampling Channels
18 Bits	<a href="#">AD7608</a>	<a href="#">AD7609</a> <sup>1</sup>	8
16 Bits	<a href="#">AD7606</a>		8
	<a href="#">AD7606-6</a>		6
	<a href="#">AD7606-4</a>		4
14 Bits	<a href="#">AD7607</a>		8

<sup>1</sup>特許申請中

## 機能ブロック図

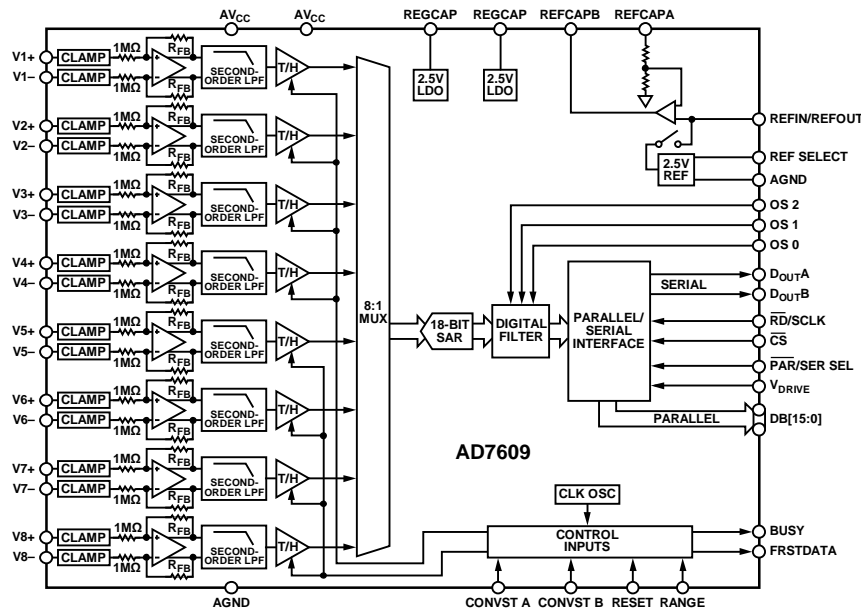


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
 ※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
 ©2011–2012 Analog Devices, Inc. All rights reserved.

Rev. A

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
 電話 03 (5402) 8200  
 大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
 電話 06 (6350) 6868

## 目次

特長.....	1	アナログ入力.....	21
アプリケーション.....	1	ADCの伝達関数.....	22
関連製品.....	1	内蔵/外付けリファレンス電圧.....	23
機能ブロック図.....	1	代表的な接続図.....	24
改訂履歴.....	2	パワーダウン・モード.....	24
概要.....	3	変換制御.....	25
仕様.....	4	デジタル・インターフェース.....	26
タイミング仕様.....	7	パラレル・インターフェース ( $\overline{\text{PAR}}/\text{SER SEL} = 0$ ).....	26
絶対最大定格.....	11	シリアル・インターフェース ( $\overline{\text{PAR}}/\text{SER SEL} = 1$ ).....	26
熱抵抗.....	11	変換中の読出し.....	27
ESDの注意.....	11	デジタル・フィルタ.....	28
ピン配置およびピン機能説明.....	12	レイアウトのガイドライン.....	32
代表的な性能特性.....	15	外形寸法.....	34
用語.....	19	オーダー・ガイド.....	34
動作原理.....	21		
コンバータの詳細.....	21		

## 改訂履歴

<b>2/12—Rev. 0 to Rev. A</b>	
Changes to Analog Input Ranges Section.....	21
<b>7/11—Revision 0: Initial Version</b>	

## 概要

**AD7609** は、8 チャンネル真の差動同時サンプリングの 18 ビット A/D 変換データ・アキュイジション・システム (DAS) です。このデバイスは、アナログ入力クランプ保護機能、2 次折り返し防止フィルタ、トラック・アンド・ホールド・アンプ、18 ビット電荷再分配型逐次比較 A/D コンバータ (ADC)、柔軟なデジタル・フィルタ、2.5 V リファレンス電圧、リファレンス・バッファ、高速なシリアルおよびパラレル・インターフェースを内蔵しています。

**AD7609** は 5 V 単電源で動作し、 $\pm 10$  V と  $\pm 5$  V の真のバイポーラ差動信号を入力でき、全チャンネルを最大 200 kSPS のスループット・レートでサンプリングすることができます。入力クランプ保護回路は最大  $\pm 16.5$  V の電圧に耐えることができます。

**AD7609** は、サンプリング周波数に無関係に  $1\text{ M}\Omega$  のアナログ入力インピーダンスを維持することができます。単電源動作、フィルタ内蔵、高入力インピーダンスであるため、ドライバ・オペアンプと外付けバイポーラ電源が不要です。**AD7609** の折り返し防止フィルタは、-3 dB カットオフ周波数が 32 kHz で、200 kSPS のサンプリングで 40 dB の折り返し除去比を提供します。柔軟なデジタル・フィルタは、ピン駆動であり、SNR を向上させ、-3 dB 帯域幅を減少させます。

## 仕様

特に指定がない限り、 $V_{REF} = 2.5\text{ V}$  外部/内部、 $AV_{CC} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $V_{DRIVE} = 2.3\text{ V} \sim 5.25\text{ V}$ ； $f_{SAMPLE} = 200\text{ kSPS}$ 、 $T_A = T_{MIN} \sim T_{MAX}^1$ 。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
<b>DYNAMIC PERFORMANCE</b>					
Signal-to-Noise Ratio (SNR) <sup>2,3</sup>	$f_{IN} = 1\text{ kHz}$ sine wave unless otherwise noted Oversampling by 16; $\pm 10\text{ V}$ range; $f_{IN} = 160\text{ Hz}$	98	101		dB
	Oversampling by 16; $\pm 5\text{ V}$ range; $f_{IN} = 160\text{ Hz}$		100		dB
Signal-to-(Noise + Distortion) (SINAD) <sup>2</sup>	No oversampling; $\pm 10\text{ V}$ range	90	91		dB
	No oversampling; $\pm 5\text{ V}$ range	89.5	90.5		dB
Dynamic Range	No oversampling; $\pm 10\text{ V}$ range	89.5	91		dB
	No oversampling; $\pm 5\text{ V}$ range	89	90		dB
Total Harmonic Distortion (THD) <sup>2,3</sup>	No oversampling; $\pm 10\text{ V}$ range		91.5		dB
	No oversampling; $\pm 5\text{ V}$ range		90.5		dB
Peak Harmonic or Spurious Noise (SFDR) <sup>2</sup>	No oversampling; $\pm 10\text{ V}$ range		-107	-97	dB
	No oversampling; $\pm 5\text{ V}$ range		-110	-96	dB
Intermodulation Distortion (IMD) <sup>2</sup>	$f_a = 1\text{ kHz}$ , $f_b = 1.1\text{ kHz}$		-108		dB
		Second-Order Terms		-110	
Third-Order Terms			-106		dB
Channel-to-Channel Isolation <sup>2</sup>	$f_{IN}$ on unselected channels up to 160 kHz		-95		dB
<b>ANALOG INPUT FILTER</b>					
Full Power Bandwidth	-3 dB, $\pm 10\text{ V}$ range		32		kHz
	-3 dB, $\pm 5\text{ V}$ range		23		kHz
	-0.1 dB, $\pm 10\text{ V}$ range		13		kHz
	-0.1 dB, $\pm 5\text{ V}$ range		10		kHz
$t_{GROUP\ DELAY}$	$\pm 10\text{ V}$ range		7.1		$\mu\text{s}$
	$\pm 5\text{ V}$ range		10.2		$\mu\text{s}$
<b>DC ACCURACY</b>					
Resolution	No missing codes	18			Bits
Differential Nonlinearity <sup>2</sup>			$\pm 0.75$	-0.99/+2	LSB <sup>4</sup>
Integral Nonlinearity <sup>2</sup>			$\pm 3$	$\pm 7.5$	LSB
Total Unadjusted Error (TUE)	$\pm 10\text{ V}$ range		$\pm 10$		LSB
	$\pm 5\text{ V}$ range		$\pm 90$		LSB
Positive Full-Scale Error <sup>2,5</sup>	External reference		$\pm 8$	$\pm 140$	LSB
	Internal reference		$\pm 40$		LSB
Positive Full-Scale Error Drift	External reference		$\pm 2$		ppm/ $^{\circ}\text{C}$
	Internal reference		$\pm 7$		ppm/ $^{\circ}\text{C}$
Positive Full-Scale Error Matching <sup>2</sup>	$\pm 10\text{ V}$ range		12	80	LSB
	$\pm 5\text{ V}$ range		40	100	LSB
Bipolar Zero Code Error <sup>2,6</sup>	$\pm 10\text{ V}$ range		$\pm 3$	$\pm 24$	LSB
	$\pm 5\text{ V}$ range		$\pm 3$	$\pm 48$	LSB
Bipolar Zero Code Error Drift	$\pm 10\text{ V}$ range		10		$\mu\text{V}/^{\circ}\text{C}$
	$\pm 5\text{ V}$ range		5		$\mu\text{V}/^{\circ}\text{C}$
Bipolar Zero Code Error Matching <sup>2</sup>	$\pm 10\text{ V}$ range		2.7	30	LSB
	$\pm 5\text{ V}$ range		13	65	LSB
Negative Full-Scale Error <sup>2,5</sup>	External reference		$\pm 8$	$\pm 140$	LSB
	Internal reference		$\pm 40$		LSB
Negative Full-Scale Error Drift	External reference		$\pm 4$		ppm/ $^{\circ}\text{C}$
	Internal reference		$\pm 8$		ppm/ $^{\circ}\text{C}$
Negative Full-Scale Error Matching <sup>2</sup>	$\pm 10\text{ V}$ range		12	80	LSB
	$\pm 5\text{ V}$ range		40	100	LSB

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
<b>ANALOG INPUT</b>					
Differential Input Voltage Ranges	$V_{IN} = V_{X+} - (V_{X-})$ RANGE = 1; $\pm 10$ V RANGE = 0; $\pm 5$ V	-20 -10		+20 +10	V V
Absolute Voltage Input	$\pm 10$ V range, see the Analog Input Clamp Protection section $\pm 5$ V range, see the Analog Input Clamp Protection section	-10 -5		+10 +5	V V
Common-Mode Input Range		-4	$\pm 5$	+4	V
CMRR			-70		dB
Analog Input Current	10 V, see Figure 28 5 V, see Figure 28		5.4 2.5		$\mu$ A $\mu$ A
Input Capacitance <sup>7</sup>			5		pF
Input Impedance			1		M $\Omega$
<b>REFERENCE INPUT/OUTPUT</b>					
Reference Input Voltage Range		2.475	2.5	2.525	V
DC Leakage Current				$\pm 1$	$\mu$ A
Input Capacitance <sup>7</sup>	REF SELECT = 1		7.5		pF
Reference Output Voltage	REFIN/REFOUT		2.49/ 2.505		V
Reference Temperature Coefficient			$\pm 10$		ppm/ $^{\circ}$ C
<b>LOGIC INPUTS</b>					
Input High Voltage ( $V_{INH}$ )		$0.7 \times V_{DRIVE}$			V
Input Low Voltage ( $V_{INL}$ )				$0.3 \times V_{DRIVE}$	V
Input Current ( $I_{IN}$ )				$\pm 2$	$\mu$ A
Input Capacitance ( $C_{IN}$ ) <sup>7</sup>			5		pF
<b>LOGIC OUTPUTS</b>					
Output High Voltage ( $V_{OH}$ )	$I_{SOURCE} = 100 \mu$ A	$V_{DRIVE} - 0.2$			V
Output Low Voltage ( $V_{OL}$ )	$I_{SINK} = 100 \mu$ A			0.2	V
Floating-State Leakage Current			$\pm 1$	$\pm 20$	$\mu$ A
Floating-State Output Capacitance <sup>7</sup>			5		pF
Output Coding	Twos complement				
<b>CONVERSION RATE</b>					
Conversion Time	All eight channels included		4		$\mu$ s
Track-and-Hold Acquisition Time			1		$\mu$ s
Throughput Rate	Per channel, all eight channels included			200	kSPS
<b>POWER REQUIREMENTS</b>					
$A_{VCC}$		4.75		5.25	V
$V_{DRIVE}$		2.3		5.25	V
$I_{TOTAL}$	Digital inputs = 0 V or $V_{DRIVE}$				
Normal Mode (Static)			16	22	mA
Normal Mode (Operational) <sup>8</sup>	$f_{SAMPLE} = 200$ kSPS		20	28.5	mA
Standby Mode			5	8	mA
Shutdown Mode			2	11	$\mu$ A

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Power Dissipation					
Normal Mode (Static)			80	115.5	mW
Normal Mode (Operational) <sup>8</sup>	$f_{\text{SAMPLE}} = 200 \text{ kSPS}$		100	157	mW
Standby Mode			25	42	mW
Shutdown Mode			10	60.5	$\mu\text{W}$

<sup>1</sup> Bバージョンの温度範囲は  $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$  です。

<sup>2</sup> 用語のセクション参照。

<sup>3</sup> この規定は、変換中または変換後の読出しに適用されます。  $V_{\text{DRIVE}} = 5 \text{ V}$  のパラレル・モードとシリアル・モードで変換中に読出すと、SNR (typ)が 1.5 dB、THD が 3 dB それぞれ低下します。

<sup>4</sup> LSB は最下位ビットを意味します。入力範囲が  $\pm 5 \text{ V}$  の場合、 $1\text{LSB} = 76.29 \mu\text{V}$ 。入力範囲が  $\pm 10 \text{ V}$  の場合、 $1\text{LSB} = 152.58 \mu\text{V}$ 。

<sup>5</sup> これらの仕様には全温度範囲と内蔵リファレンス・バッファの変動成分が含まれますが、外付けリファレンス電圧の変動による誤差成分は含まれません。

<sup>6</sup> バイポーラ・ゼロ・コード誤差はアナログ入力電圧を基準として計算しています。アナログ入力クランプ保護のセクションを参照。

<sup>7</sup> 初期リリース時はサンプル・テストにより適合性を保証。

<sup>8</sup> 動作消費電力/電流の値には、オーバーサンプリング・モード動作時の成分が含まれます。

## タイミング仕様

特に指定がない限り、 $V_{CC} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $V_{DRIVE} = 2.3\text{ V} \sim 5.25\text{ V}$ 、 $V_{REF} = 2.5\text{ V}$  外部/内部、 $T_A = T_{MIN} \sim T_{MAX}$ <sup>1</sup>。

表 3.

Parameter	Limit at $T_{MIN}$ , $T_{MAX}$			Unit	Description
	Min	Typ	Max		
PARALLEL/SERIAL/BYTE MODE					
$t_{CYCLE}$			5	$\mu\text{s}$	1/throughput rate
		5		$\mu\text{s}$	Parallel mode, reading during; or after conversion $V_{DRIVE} = 2.7\text{ V}$ to $5.25\text{ V}$ ; or serial mode: $V_{DRIVE} = 3.3\text{ V}$ to $5.25\text{ V}$ , reading during a conversion using $D_{OUTA}$ and $D_{OUTB}$ lines
			10.1	$\mu\text{s}$	Parallel mode reading after conversion $V_{DRIVE} = 2.3\text{ V}$
			11.5	$\mu\text{s}$	Serial mode reading after conversion; $V_{DRIVE} = 2.7\text{ V}$ , $D_{OUTA}$ and $D_{OUTB}$ lines
$t_{CONV}$					Serial mode reading after a conversion; $V_{DRIVE} = 2.3\text{ V}$ , $D_{OUTA}$ and $D_{OUTB}$ lines
					Conversion time
	3.45	4	4.15	$\mu\text{s}$	Oversampling off
	7.87		9.1	$\mu\text{s}$	Oversampling by 2
	16.05		18.8	$\mu\text{s}$	Oversampling by 4
	33		39	$\mu\text{s}$	Oversampling by 8
	66		78	$\mu\text{s}$	Oversampling by 16
	133		158	$\mu\text{s}$	Oversampling by 32
	257		315	$\mu\text{s}$	Oversampling by 64
$t_{WAKE-UP\ STANDBY}$			100	$\mu\text{s}$	$\overline{STBY}$ rising edge to $CONVST$ x rising edge; power-up time from standby mode
$t_{WAKE-UP\ SHUTDOWN}$					
Internal Reference			30	ms	$\overline{STBY}$ rising edge to $CONVST$ x rising edge; power-up time from shutdown mode
External Reference			13	ms	$\overline{STBY}$ rising edge to $CONVST$ x rising edge; power-up time from shutdown mode
$t_{RESET}$	50			ns	RESET high pulse width
$t_{OS\_SETUP}$	20			ns	BUSY to OS x pin setup time
$t_{OS\_HOLD}$	20			ns	BUSY to OS x pin hold time
$t_1$			45	ns	$CONVST$ x high to BUSY high
$t_2$	25			ns	Minimum $CONVST$ x low pulse
$t_3$	25			ns	Minimum $CONVST$ x high pulse
$t_4$	0			ns	BUSY falling edge to $\overline{CS}$ falling edge setup time
$t_5^2$			0.5	ms	Maximum delay allowed between $CONVST$ A, $CONVST$ B rising edges
$t_6$			25	ns	Maximum time between last $\overline{CS}$ rising edge and BUSY falling edge
$t_7$	25			ns	Minimum delay between RESET low to $CONVST$ x high
PARALLEL READ OPERATION					
$t_8$	0			ns	$\overline{CS}$ to $\overline{RD}$ setup time
$t_9$	0			ns	$\overline{CS}$ to $\overline{RD}$ hold time
$t_{10}$					$\overline{RD}$ low pulse width
	19			ns	$V_{DRIVE}$ above 4.75 V
	24			ns	$V_{DRIVE}$ above 3.3 V
	30			ns	$V_{DRIVE}$ above 2.7 V
	37			ns	$V_{DRIVE}$ above 2.3 V
$t_{11}$	15			ns	$\overline{RD}$ high pulse width
$t_{12}$	22			ns	$\overline{CS}$ high pulse width (see Figure 5); $\overline{CS}$ and $\overline{RD}$ linked

Parameter	Limit at T <sub>MIN</sub> , T <sub>MAX</sub>			Unit	Description
	Min	Typ	Max		
t <sub>13</sub>					Delay from $\overline{\text{CS}}$ until DB[15:0] three-state disabled
			19	ns	V <sub>DRIVE</sub> above 4.75 V
			24	ns	V <sub>DRIVE</sub> above 3.3 V
			30	ns	V <sub>DRIVE</sub> above 2.7 V
			37	ns	V <sub>DRIVE</sub> above 2.3 V
t <sub>14</sub> <sup>3</sup>					Data access time after $\overline{\text{RD}}$ falling edge
			19	ns	V <sub>DRIVE</sub> above 4.75 V
			24	ns	V <sub>DRIVE</sub> above 3.3 V
			30	ns	V <sub>DRIVE</sub> above 2.7 V
			37	ns	V <sub>DRIVE</sub> above 2.3 V
t <sub>15</sub>	6			ns	Data hold time after $\overline{\text{RD}}$ falling edge
t <sub>16</sub>	6			ns	$\overline{\text{CS}}$ to DB[15:0] hold time
t <sub>17</sub>			22	ns	Delay from $\overline{\text{CS}}$ rising edge to DB[15:0] three-state enabled
SERIAL READ OPERATION					
f <sub>SCLK</sub>					Frequency of serial read clock
			20	MHz	V <sub>DRIVE</sub> above 4.75 V
			15	MHz	V <sub>DRIVE</sub> above 3.3 V
			12.5	MHz	V <sub>DRIVE</sub> above 2.7 V
			10	MHz	V <sub>DRIVE</sub> above 2.3 V
t <sub>18</sub>					Delay from $\overline{\text{CS}}$ until D <sub>OUTA</sub> /D <sub>OUTB</sub> three-state disabled/delay from $\overline{\text{CS}}$ until MSB valid
			18	ns	V <sub>DRIVE</sub> above 4.75 V
			23	ns	V <sub>DRIVE</sub> above 3.3 V
			35	ns	V <sub>DRIVE</sub> = 2.3 V to 2.7 V
t <sub>19</sub> <sup>3</sup>					Data access time after SCLK rising edge
			20	ns	V <sub>DRIVE</sub> above 4.75 V
			26	ns	V <sub>DRIVE</sub> above 3.3 V
			32	ns	V <sub>DRIVE</sub> above 2.7 V
			39	ns	V <sub>DRIVE</sub> above 2.3 V
t <sub>20</sub>	0.4 t <sub>SCLK</sub>			ns	SCLK low pulse width
t <sub>21</sub>	0.4 t <sub>SCLK</sub>			ns	SCLK high pulse width
t <sub>22</sub>	7			ns	SCLK rising edge to D <sub>OUTA</sub> /D <sub>OUTB</sub> valid hold time
t <sub>23</sub>			22	ns	$\overline{\text{CS}}$ rising edge to D <sub>OUTA</sub> /D <sub>OUTB</sub> three-state enabled
FRSTDATA OPERATION					
t <sub>24</sub>					Delay from $\overline{\text{CS}}$ falling edge until FRSTDATA three-state disabled
			18	ns	V <sub>DRIVE</sub> above 4.75 V
			23	ns	V <sub>DRIVE</sub> above 3.3 V
			30	ns	V <sub>DRIVE</sub> above 2.7 V
			35	ns	V <sub>DRIVE</sub> above 2.3 V
t <sub>25</sub>				ns	Delay from $\overline{\text{CS}}$ falling edge until FRSTDATA high, serial mode
			18	ns	V <sub>DRIVE</sub> above 4.75 V
			23	ns	V <sub>DRIVE</sub> above 3.3 V
			30	ns	V <sub>DRIVE</sub> above 2.7 V
			35	ns	V <sub>DRIVE</sub> above 2.3 V
t <sub>26</sub>					Delay from $\overline{\text{RD}}$ falling edge to FRSTDATA high
			19	ns	V <sub>DRIVE</sub> above 4.75 V
			23	ns	V <sub>DRIVE</sub> above 3.3 V
			30	ns	V <sub>DRIVE</sub> above 2.7 V
			35	ns	V <sub>DRIVE</sub> above 2.3 V



Parameter	Limit at T <sub>MIN</sub> , T <sub>MAX</sub>			Unit	Description
	Min	Typ	Max		
t <sub>27</sub>		22		ns	Delay from RD falling edge to FRSTDATA low V <sub>DRIVE</sub> = 3.3 V to 5.25 V
		29		ns	V <sub>DRIVE</sub> = 2.3 V to 2.7 V
t <sub>28</sub>		20		ns	Delay from 18 <sup>th</sup> SCLK falling edge to FRSTDATA low V <sub>DRIVE</sub> = 3.3 V to 5.25 V
		27		ns	V <sub>DRIVE</sub> = 2.3 V to 2.7 V
t <sub>29</sub>		29		ns	Delay from CS rising edge until FRSTDATA three-state enabled

<sup>1</sup> 初期リリース時はサンプル・テストにより適合性を保証。すべての入力信号は t<sub>R</sub> = t<sub>F</sub> = 5 ns (V<sub>DD</sub> の 30% から 70%) で規定し、1.6V の電圧レベルからの時間とします。

<sup>2</sup> CONVST x 信号間の遅延は、チャンネル・セット間での性能マッチングが 40 LSB 以下の条件を満たす最大許容時間として測定されています。

<sup>3</sup> これらの測定ではデータ出力ピンにバッファを使っています。このバッファは出力ピンの 20 pF 負荷と等価です。

タイミング図

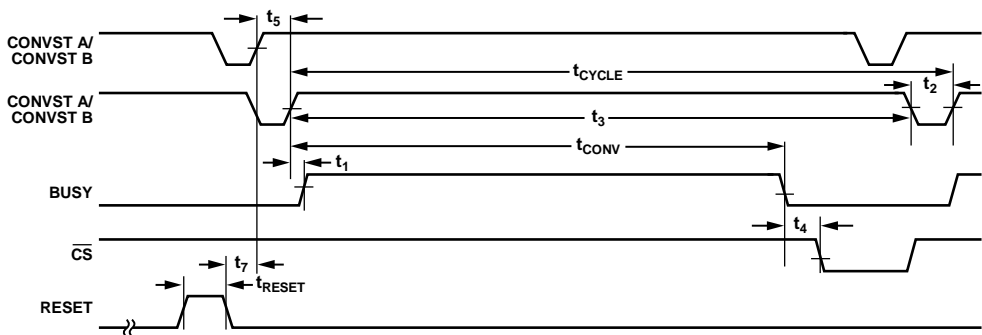


図 2. CONVST x タイミング—変換後の読み出し

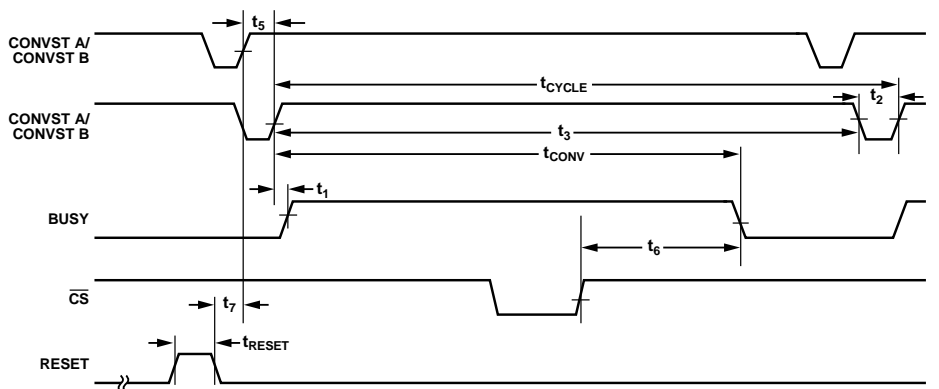


図 3. CONVST x タイミング—変換中の読み出し

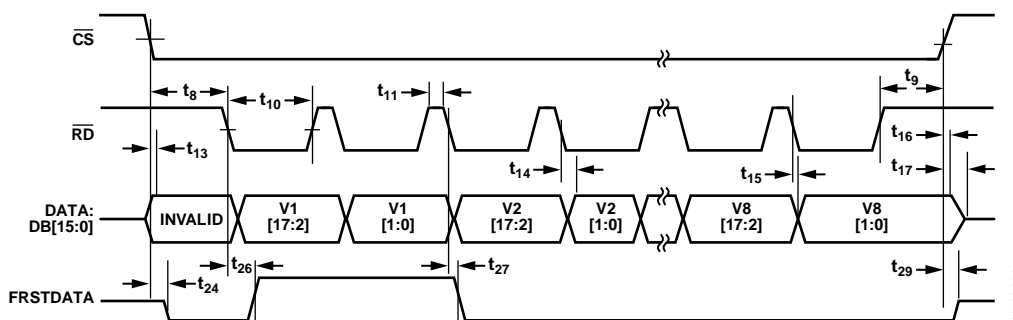


図 4. パラレル・モード、CSパルスとRDパルスを分離

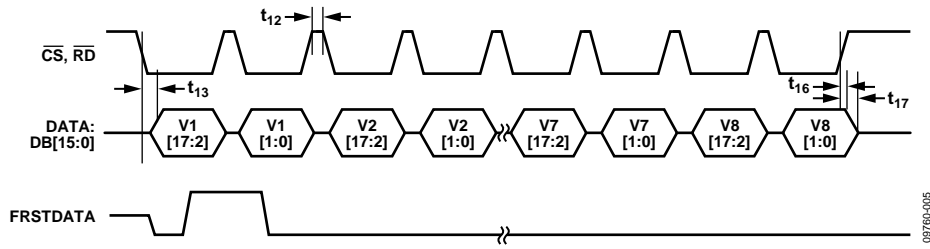


図 5. パラレル・モード、 $\overline{CS}$  と  $\overline{RD}$  を接続

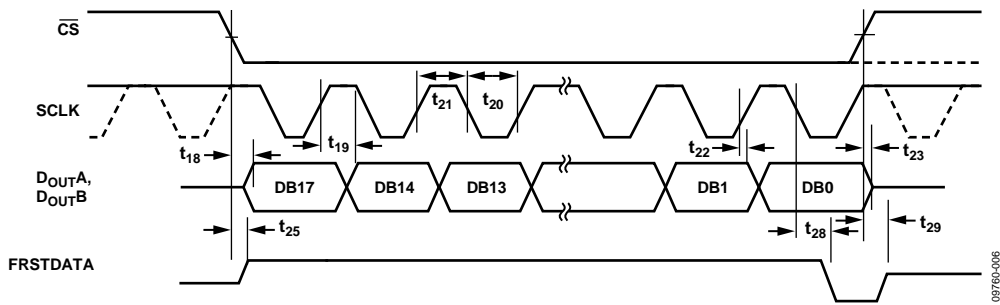


図 6. シリアル の 読 出 し 動 作

## 絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 4.

Parameter	Rating
$AV_{CC}$ to AGND	-0.3 V to +7 V
$V_{DRIVE}$ to AGND	-0.3 V to $AV_{CC} + 0.3\text{ V}$
Analog Input Voltage to AGND <sup>1</sup>	$\pm 16.5\text{ V}$
Digital Input Voltage to AGND	-0.3 V to $V_{DRIVE} + 0.3\text{ V}$
Digital Output Voltage to AGND	-0.3 V to $V_{DRIVE} + 0.3\text{ V}$
REFIN to AGND	-0.3 V to $AV_{CC} + 0.3\text{ V}$
Input Current to Any Pin Except Supplies <sup>1</sup>	$\pm 10\text{ mA}$
Operating Temperature Range	
B Version	-40 $^\circ\text{C}$ to +85 $^\circ\text{C}$
Storage Temperature Range	-65 $^\circ\text{C}$ to +150 $^\circ\text{C}$
Junction Temperature	150 $^\circ\text{C}$
Pb/SN Temperature, Soldering	
Reflow (10 sec to 30 sec)	240(+0) $^\circ\text{C}$
Pb-Free Temperature, Soldering Reflow	260(+0) $^\circ\text{C}$
ESD (All Pins Except Analog Inputs)	2 kV
ESD (Analog Input Pins Only)	7 kV

<sup>1</sup> 最大 100 mA の過渡電流でも SCR のラッチアップは生じません。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### 熱抵抗

$\theta_{JA}$  はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。これらの仕様は 4 層ボードに適用します。

表 5. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
64-Lead LQFP	45	11	$^\circ\text{C/W}$

### ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

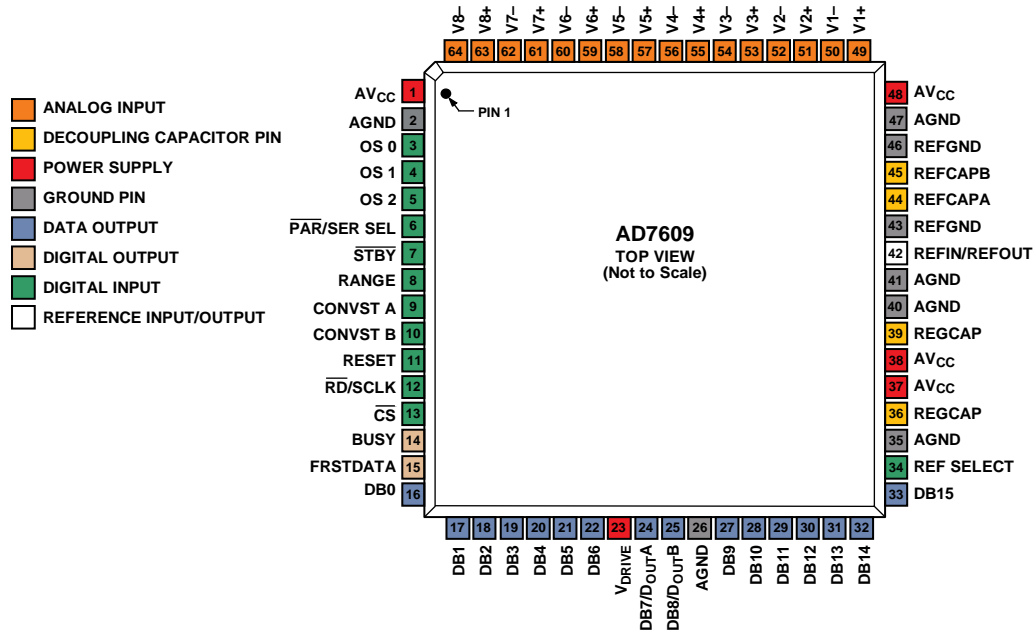


図 7. ピン配置

表 6. ピン機能の説明

ピン番号	タイプ <sup>1</sup>	記号	説明
1、37、38、48	P	AV <sub>CC</sub>	アナログ電源電圧 4.75 V~5.25 V。この電源電圧は内部フロントエンド・アンプと ADC コアに使用。これらの電源ピンは AGND にデカップリングする必要があります。
2、26、35、40、41、47	P	AGND	アナログ・グラウンド。このピンは、AD7609 上の全アナログ回路に対するグラウンド基準ポイントです。全アナログ入力信号と外付けリファレンス電圧信号はこれらのピンを基準とします。6 本のすべてのピンをシステムの AGND プレーンに接続する必要があります。
23	P	V <sub>DRIVE</sub>	ロジック電源入力。このピンに入力される電圧 (2.3 V~5 V) により、インターフェースの動作電圧が決定されます。このピンは通常、ホスト・インターフェース (DSP または FPGA) の電源と同じ電源に接続されます。
36、39	P	REGCAP	内蔵レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。これらの出力ピンは、1 μF のコンデンサを使って個別に AGND へデカップリングする必要があります。これらの出力ピンの電圧範囲は 2.5 V~2.7 V です。
49、51、53、55、57、59、61、63	AI+	V1+ to V8+	アナログ入力 V1+~アナログ入力 V8+。これらのピンは、真の差動アナログ入力の正端子です。これらのチャンネルのアナログ入力範囲は、RANGE ピンにより指定されます。
50、52、54、56、58、60、62、64	AI-	V1- to V8-	アナログ入力 V1-~アナログ入力 V8-。これらのピンは、真の差動アナログ入力の負端子です。これらのチャンネルのアナログ入力範囲は、RANGE ピンにより指定されます。このピンの信号は、対応する V <sub>x+</sub> ピンの位相と 180° ずれている必要があります。
42	REF	REFIN/REFOUT	リファレンス電圧入力/出力。REF SELECT ピンをハイ・レベルにすると、外部で使用できる 2.5 V の内蔵リファレンス電圧がこのピンに出力されます。あるいは、REF SELECT ピンをロー・レベルにして内蔵リファレンス電圧をディセーブルして、2.5 V の外付けリファレンス電圧をこの入力に接続することができます。内蔵/外付けリファレンス電圧のセクションを参照してください。内蔵または外付けのリファレンス・オプションに対して、このピンをデカップリングする必要があります。このピンと REFGND ピンの近くのグラウンドとの間に 10 μF のコンデンサを接続する必要があります。
34	DI	REF SELECT	内蔵/外付けリファレンス電圧選択入力。ロジック入力。このピンをハイ・レベルにすると、内蔵リファレンスが選択されイネーブルされます。このピンをロー・レベルにすると、内蔵リファレンス電圧がディセーブルされるので、外付けリファレンス電圧を REFIN/REFOUT ピンへ入力する必要があります。
44、45	REF	REFCAPA、REFCAPB	リファレンス・バッファ出力フォース/検出ピン。これらのピンを相互接続して、低 ESR の 10 μF セラミック・コンデンサで AGND へデカップリングする必要があります。
43、46	REF	REFGND	リファレンス電圧のグラウンド・ピン。これらのピンは AGND へ接続する必要があります。

ピン番号	タイプ <sup>1</sup>	記号	説明
8	DI	RANGE	アナログ入力範囲選択。ロジック入力。このピンの極性によって、アナログ入力チャンネルの入力範囲が指定されます。このピンをハイ・レベルにすると、すべてのチャンネルでアナログ入力範囲が $\pm 10\text{V}$ になります。このピンをロー・レベルにすると、すべてのチャンネルでアナログ入力範囲が $\pm 5\text{V}$ になります。このピンのロジック変化は、アナログ入力範囲に直ちに反映されます。変換中にこのピンを変化させることは推奨されません。詳細については、アナログ入力のセクションを参照してください。
6	DI	$\overline{\text{PAR}}/\text{SER SEL}$	パラレル/シリアル・インターフェース選択入力。ロジック入力。このピンをロー・レベルにすると、パラレル・インターフェースが選択されます。このピンをハイ・レベルにすると、シリアル・インターフェースが選択されます。 シリアル・モードでは、 $\overline{\text{RD}}/\text{SCLK}$ ピンはシリアル・クロック入力として機能します。DB7/D <sub>OUTA</sub> ピンと DB8/D <sub>OUTB</sub> ピンは、シリアル・データ出力として機能します。 シリアル・インターフェースを選択する場合、DB[15:9]ピンと DB[6:0]ピンは AGND に接続する必要があります。
9、10	DI	CONVST A、 CONVST B	変換開始入力 A、変換開始入力 B。ロジック入力。これらのロジック入力を使ってアナログ入力チャンネルの変換を開始させます。すべての入力チャンネルの同時サンプリングの場合、CONVST A と CONVST B を接続し、1つの変換開始信号として入力します。あるいは、CONVST A を使ってアナログ入力 V1、V2、V3、V4 の同時サンプリングを、CONVST B を使ってアナログ入力 V5、V6、V7、V8 の同時サンプリングを、それぞれ開始することができます。これは、オーバーサンプリングをオンにしていない場合のみ可能です。CONVST A ピンまたは CONVST B ピンがロー・レベルからハイ・レベルへ変化すると、対応するアナログ入力のフロントエンド・トラック・アンド・ホールド回路がホールドに設定されます。この機能を使うと、アナログ入力のセットの間に固有な位相遅延を生じさせることができます。
13	DI	$\overline{\text{CS}}$	チップ・セレクト。このアクティブ・ロー・ロジック入力により、データ転送がフレーム化されます。パラレル・モードで $\overline{\text{CS}}$ と $\overline{\text{RD}}$ が共にロー・レベルになると、出力バス DB[15:0] がイネーブルされ、変換結果がパラレル・データ・バス・ラインへ出力されます。シリアル・モードでは、 $\overline{\text{CS}}$ を使ってシリアル読出し転送をフレーム化し、シリアル出力データの MSB を出力します。
12	DI	$\overline{\text{RD}}/\text{SCLK}$	パラレル・インターフェースが選択された場合パラレル・データ読出し制御入力 ( $\overline{\text{RD}}$ )。シリアル・インターフェースが選択された場合シリアル・クロック入力 (SCLK)。パラレル・モードで $\overline{\text{CS}}$ と $\overline{\text{RD}}$ がロー・レベルのとき、出力バスがイネーブルされます。パラレル・モードでは、各チャンネルの 18 ビット変換結果を読出すために 2 個の $\overline{\text{RD}}$ パルスが必要とされます。最初の $\overline{\text{RD}}$ パルスでは DB[17:2] が、次の $\overline{\text{RD}}$ パルスでは DB[1:0] が、それぞれ出力されます。シリアル・モードでは、このピンはデータ転送のシリアル・クロック入力として機能します。 $\overline{\text{CS}}$ の立下がりエッジで、データ出力ライン D <sub>OUTA</sub> と D <sub>OUTB</sub> がスリーステートから抜け出して、変換結果の MSB が出力されます。SCLK クロックの立下がりエッジですべての後続データ・ビットがシリアル・データ出力 D <sub>OUTA</sub> と D <sub>OUTB</sub> に出力されます。詳細については、変換制御のセクションを参照してください。
14	DO	BUSY	ビジー出力。CONVST A と CONVST B の立下がりエッジの後でこのピンがハイ・レベルへ変化して、変換プロセスが開始されたことを表示します。BUSY 出力のハイ・レベルは、すべてのチャンネルの変換プロセスが完了するまで維持されます。BUSY の立下がりエッジは、変換データが出力データ・レジスタにラッチされ、時間 $t_{\text{H}}$ 後に読出し可能であることを表示します。BUSY のハイ・レベル中に読出されたすべてのデータは、BUSY の立下がりエッジの前に完了する必要があります。BUSY 信号がハイ・レベルのときの、CONVST A または CONVST B の立ち上がりエッジは無視されます。
11	DI	RESET	リセット入力。ハイ・レベルにすると、RESET の立下がりエッジで AD7609 がリセットされます。パワーアップ後にデバイスは RESET パルスを受信する必要があります。RESET 信号後に規定性能を実現するためには、パワーオンと RESET パルスの間に $t_{\text{WAKE UP SHUTDOWN}}$ 時間が経過する必要があります。RESET のハイ・パルス幅は、100 ns (typ) である必要があります。変換中に RESET パルスが入力されると、その変換は中止されます。読出し中に RESET パルスが入力されると、出力レジスタ値は全ビット・ゼロにリセットされます。
15	DO	FRSTDATA	デジタル出力。FRSTDATA 出力信号は、パラレルまたはシリアル・インターフェースでの最初のチャンネル V1 の読出しタイミングを表示します。 $\overline{\text{CS}}$ 入力が高レベルのとき、FRSTDATA 出力ピンはスリーステートになります。 $\overline{\text{CS}}$ の立下がりエッジで FRSTDATA はスリーステートから抜け出します。パラレル・モードでは、V1 の変換結果に対応する $\overline{\text{RD}}$ の立下がりエッジで FRSTDATA ピンがハイ・レベルに設定され、V1 の変換結果が出力データ・バスへ出力されたことを表示します。FRSTDATA 出力は、 $\overline{\text{RD}}$ の 3 番目の立下がりエッジの後にロー・レベルに戻ります。シリアル・モードでは、FRSTDATA は $\overline{\text{CS}}$ の立下がりエッジでハイ・レベルになり、この $\overline{\text{CS}}$ の立下がりエッジで V1 の MSB が DOUTA へ出力されます。この信号は、 $\overline{\text{CS}}$ の立下がりエッジの後の、SCLK の 18 番目の立下がりエッジでロー・レベルに戻ります。詳細については、変換制御のセクションを参照してください。
7	DI	$\overline{\text{STBY}}$	スタンバイ・モード入力。このピンを使って、AD7609 の開始するパワーダウン・モード(スタンバイ・モードまたはシャットダウン・モード)を設定します。パワーダウン・モードは、RANGE ピンの状態(表 8)に従って開始されます。スタンバイ・モードでは、内蔵リファレンス・レギュレータとレギュレータ・バッファを除くすべての回路がパワーダウンします。シャットダウン・モードでは、すべての回路がパワーダウンします。
5、4、3	DI	OS [2:0]	オーバーサンプリング・モード・ピン。ロジック入力。これらの入力を使ってオーバーサンプリング比を選択します。OS 2 は MSB コントロール・ビット、OS 0 は LSB コントロール・ビットです。オーバーサンプリング動作モードの詳細についてはデジタル・フィルタのセクションを、オーバーサンプリング・ビッ

ピン番号	タイプ <sup>1</sup>	記号	説明
33	DO/DI	DB15	ト・デコーディングについては表 9 を、それぞれを参照してください。 パラレル出力データ・ビット DB15。 $\overline{\text{PAR/SER SEL}} = 0$ のとき、このピンはスリーステートのパラレル・デジタル出力ピンとして機能します。このピンを使って、最初の $\overline{\text{RD}}$ パルス中に変換結果の DB17 を出力し、2 番目の $\overline{\text{RD}}$ パルス中に同じ変換結果の DB 1 を出力します。 $\overline{\text{PAR/SER SEL}} = 1$ の場合、このピンは AGND に接続する必要があります。
32	DO/DI	DB14	パラレル出力データ・ビット DB14。 $\overline{\text{PAR/SER SEL}} = 0$ のとき、このピンはスリーステートのパラレル・デジタル出力ピンとして機能します。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ がロー・レベルのとき、このピンを使って、最初の $\overline{\text{RD}}$ パルス中に変換結果の DB16 を出力し、2 番目の $\overline{\text{RD}}$ パルス中に同じ変換結果の DB 0 を出力します。 $\overline{\text{PAR/SER SEL}} = 1$ の場合、このピンは AGND に接続する必要があります。
31 to 27	DO	DB[13:9]	パラレル出力データ・ビット DB13~DB9。 $\overline{\text{PAR/SER SEL}} = 0$ のとき、これらのピンはスリーステートのパラレル・デジタル入力/出力ピンとして機能します。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ がロー・レベルのとき、これらのピンを使って、最初の $\overline{\text{RD}}$ パルス中に変換結果の DB15~DB11 を出力し、2 番目の $\overline{\text{RD}}$ パルス中に 0 を出力します。 $\overline{\text{PAR/SER SEL}} = 1$ の場合、これらのピンは AGND に接続する必要があります。
24	DO	DB7/D <sub>OUTA</sub>	パラレル出力データ・ビット 7 (DB7)/シリアル・インターフェース・データ出力ピン (D <sub>OUTA</sub> )。 $\overline{\text{PAR/SER SEL}} = 0$ のとき、このピンはスリーステートのパラレル・デジタル入力/出力ピンとして機能します。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ がロー・レベルのとき、このピンを使って、変換結果の DB9 を出力します。 $\overline{\text{PAR/SER SEL}} = 1$ のとき、このピンは D <sub>OUTA</sub> として機能し、シリアル変換データを出力します。詳細については、変換制御のセクションを参照してください。
25	DO	DB8/D <sub>OUTB</sub>	パラレル出力データ・ビット 8 (DB8)/シリアル・インターフェース・データ出力ピン (D <sub>OUTB</sub> )。 $\overline{\text{PAR/SER SEL}} = 0$ のとき、このピンはスリーステートのパラレル・デジタル入力/出力ピンとして機能します。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ がロー・レベルのとき、このピンを使って、変換結果の DB10 を出力します。 $\overline{\text{PAR/SER SEL}} = 1$ のとき、このピンは D <sub>OUTB</sub> として機能し、シリアル変換データを出力します。詳細については、変換制御のセクションを参照してください。
22 to 16	DO	DB[6:0]	パラレル出力データ・ビット DB6~DB0。 $\overline{\text{PAR/SER SEL}} = 0$ のとき、これらのピンはスリーステートのパラレル・デジタル入力/出力ピンとして機能します。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ がロー・レベルのとき、これらのピンを使って、最初の $\overline{\text{RD}}$ パルス中に変換結果の DB8~DB2 を出力し、2 番目の $\overline{\text{RD}}$ パルス中に 0 を出力します。 $\overline{\text{PAR/SER SEL}} = 1$ の場合、これらのピンは AGND に接続する必要があります。

<sup>1</sup> ピン・タイプの分類: P =電源; AI =アナログ入力; REF =リファレンス; DI =デジタル入力; DO =デジタル出力。

代表的な性能特性

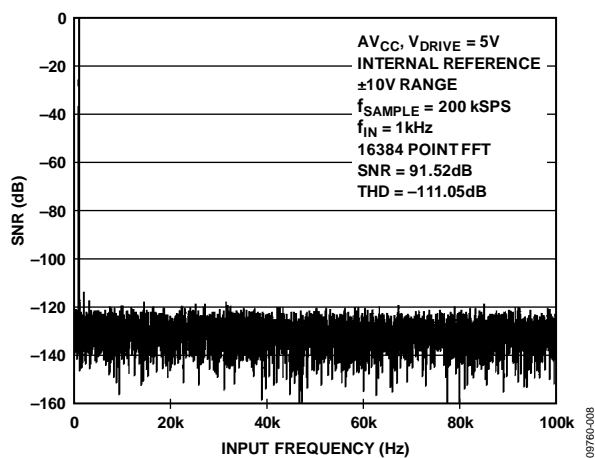


図 8.FFT プロット、±10 V 範囲

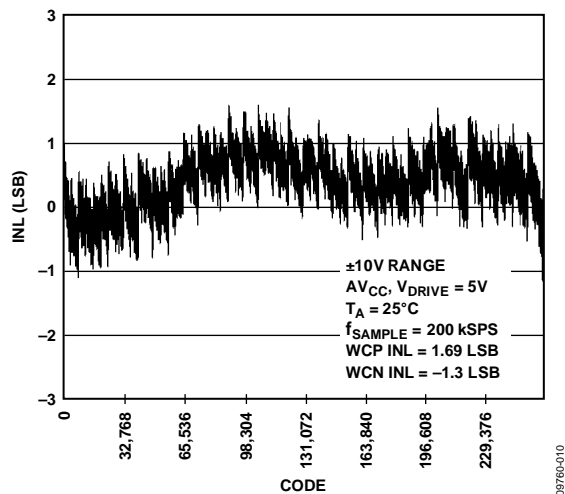


図 11.INL、±10 V 範囲

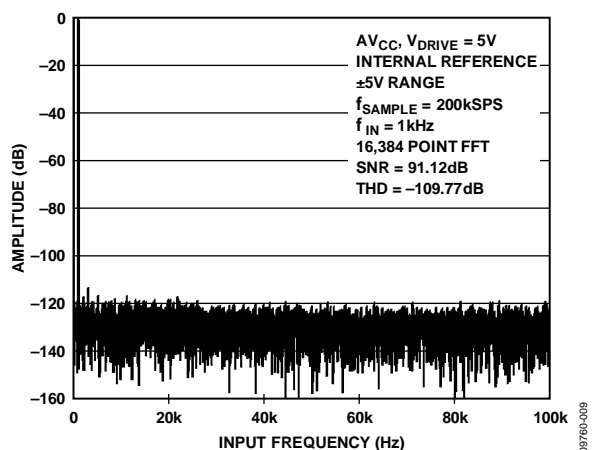


図 9.FFT プロット、±5 V 範囲

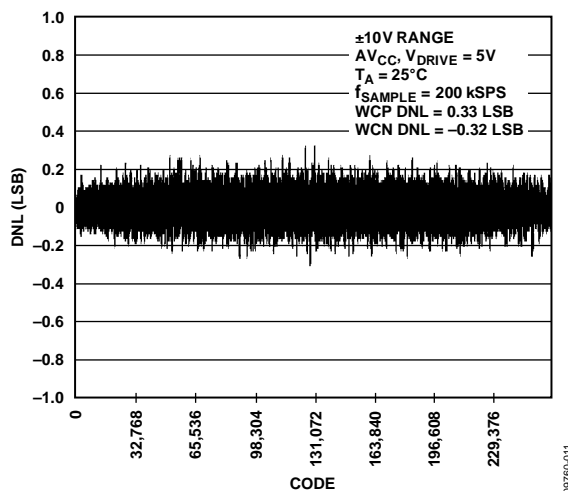


図 12. DNL、±10 V 範囲

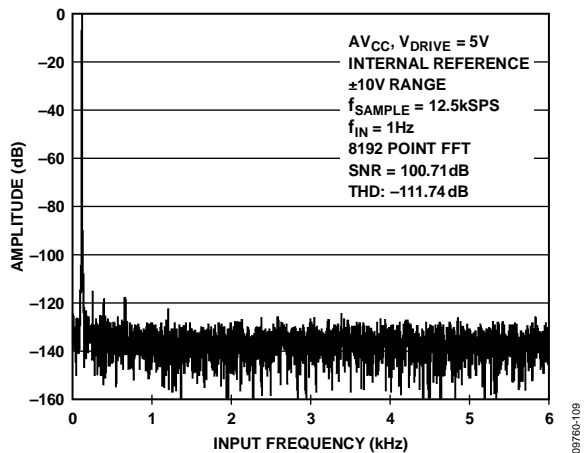


図 10.FFT プロット、±10 V 範囲

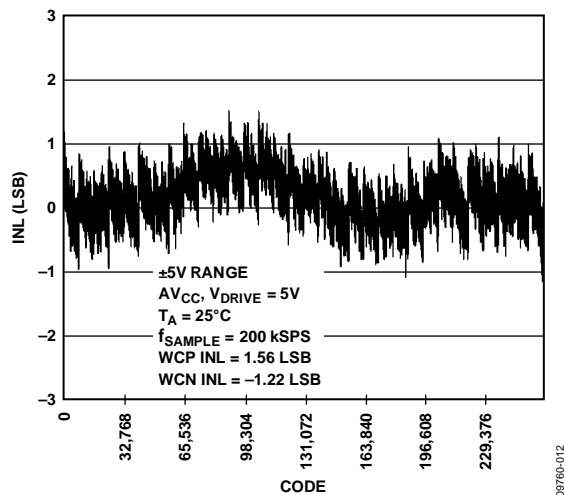


図 13.INL、±5 V 範囲

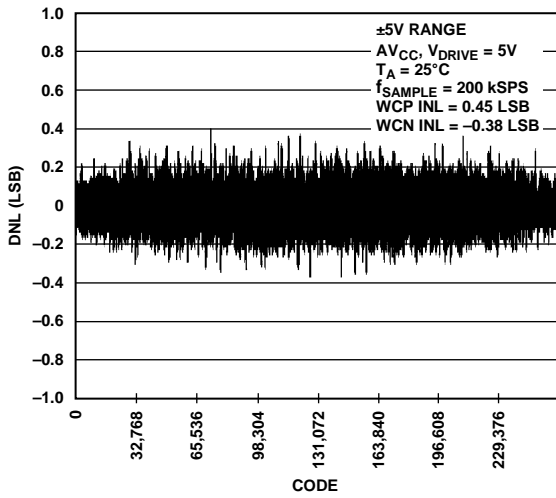


図 14. DNL、±5 V 範囲

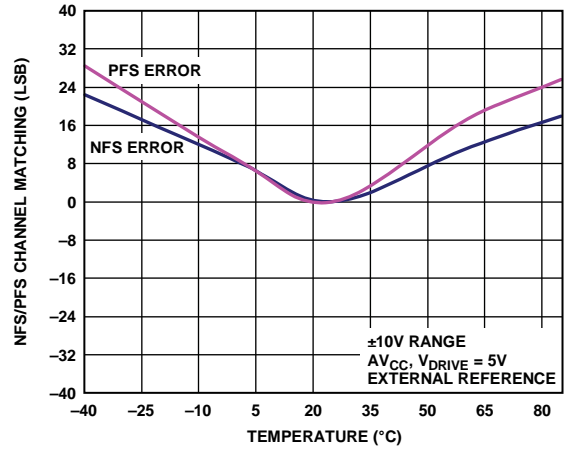


図 17. NFS/PFS 誤差マッチング

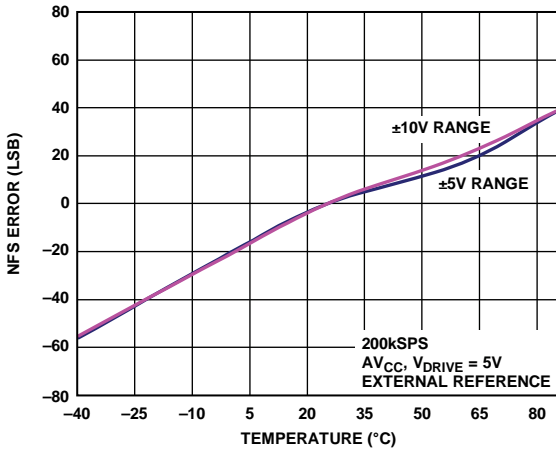


図 15. NFS 誤差の温度特性

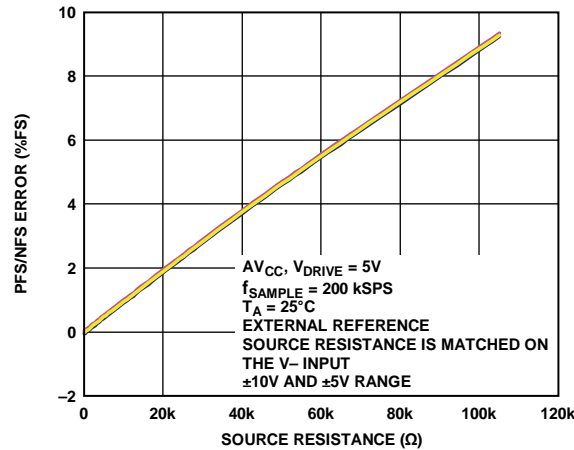


図 18. ソース抵抗対 PFS/NFS 誤差

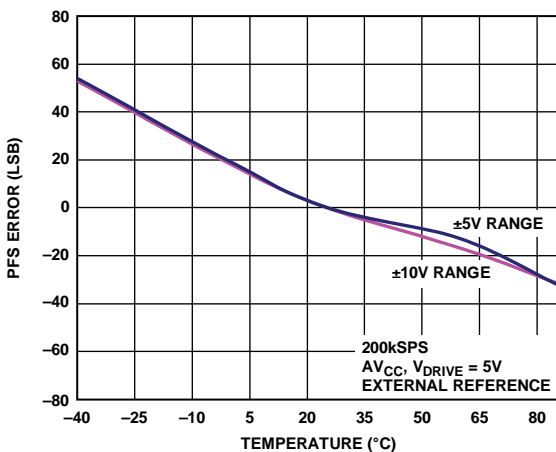


図 16. PFS 誤差の温度特性

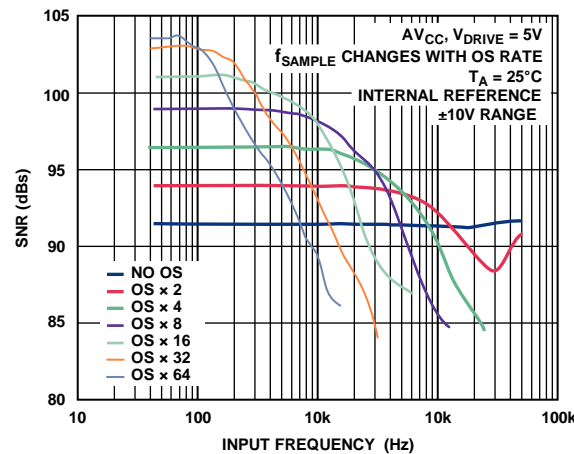


図 19. 入力周波数対 SNR、±10 V 範囲



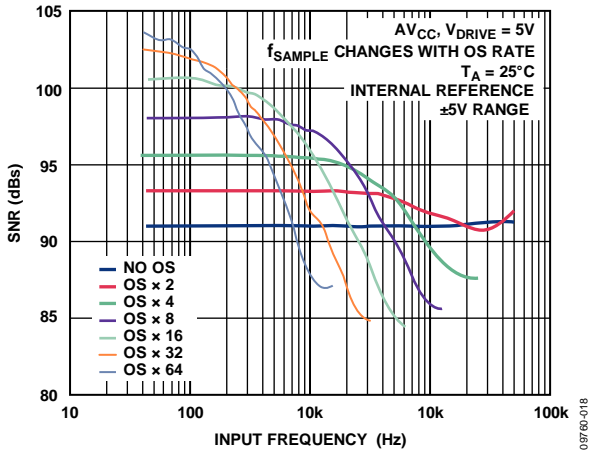


図 20.入力周波数対 SNR、±5 V 範囲

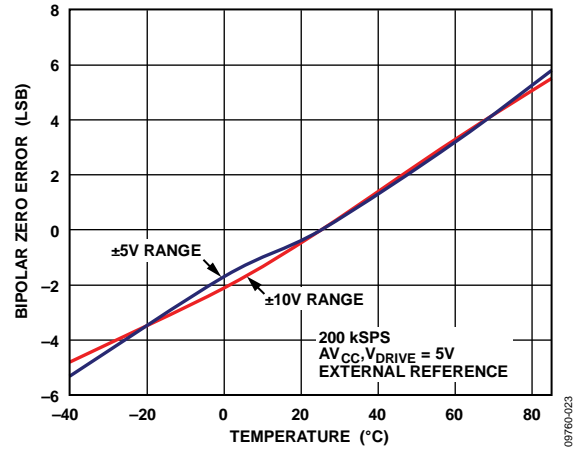


図 23.バイポーラ・ゼロ・コード誤差の温度特性

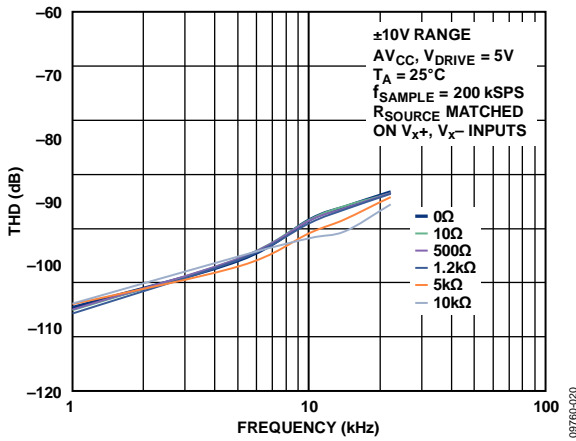


図 21.様々なソース・インピーダンスでの入力周波数対 THD、±10 V 範囲

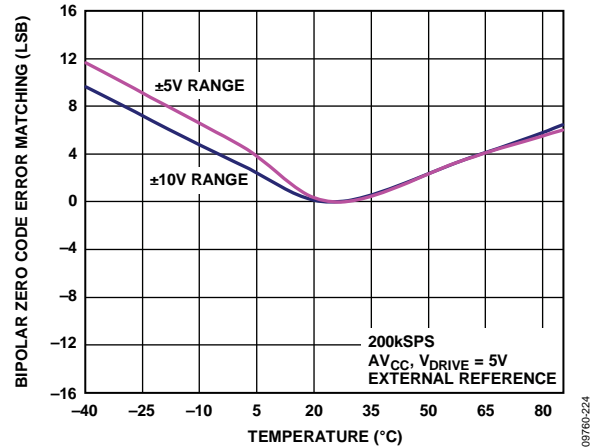


図 24.チャンネル間のバイポーラ・ゼロ・コード誤差のマッチング

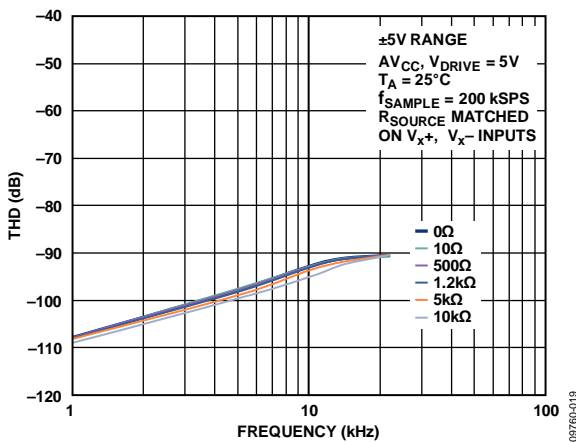


図 22.様々なソース・インピーダンスでの入力周波数対 THD、±5 V 範囲

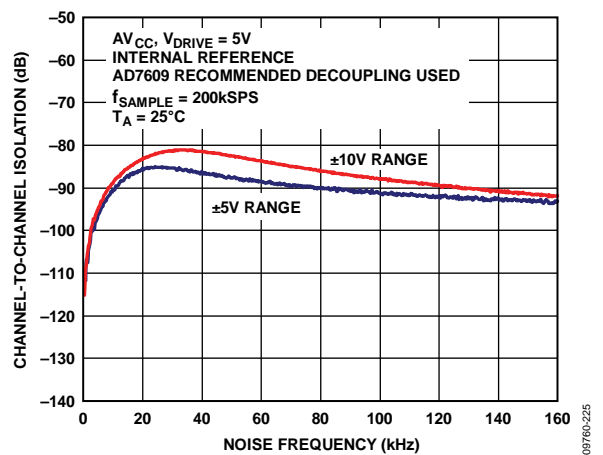


図 25.チャンネル間アイソレーション

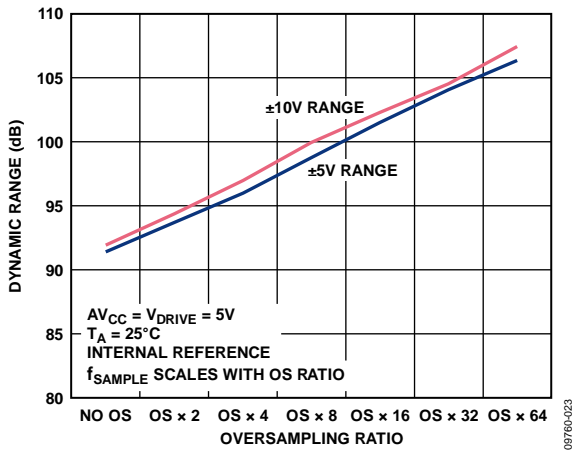


図 26.オーバーサンプリング比対ダイナミックレンジ

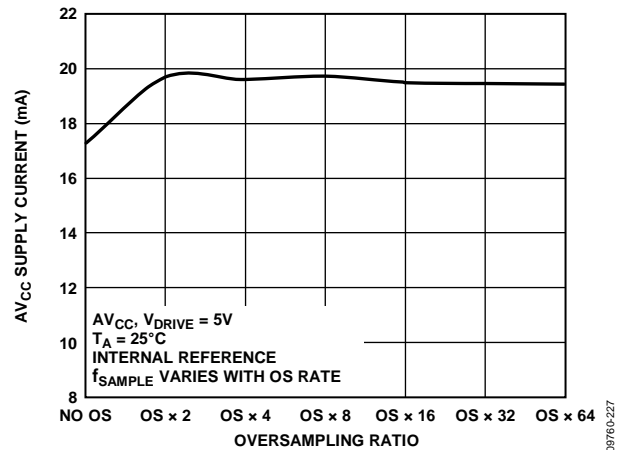


図 29.オーバーサンプリング・レート対電源電流

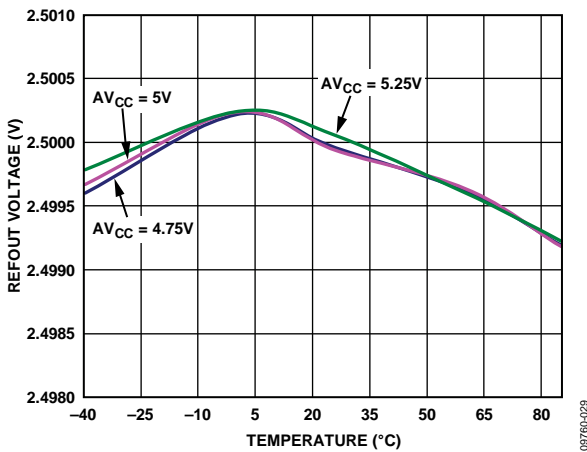


図 27.様々な電源電圧でのリファレンス出力電圧の温度特性

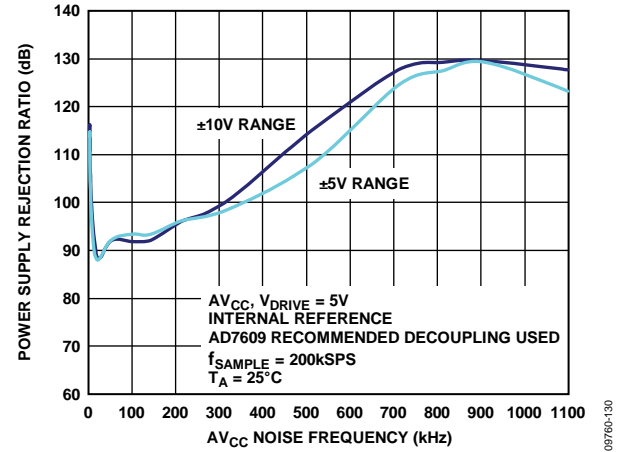


図 30.PSRR

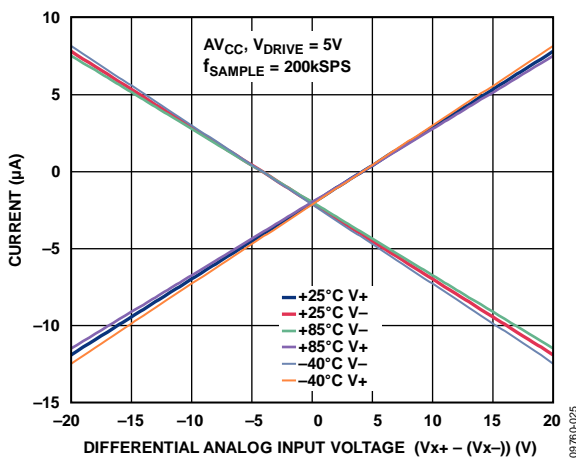


図 28.様々な温度での入力電圧対アナログ入力電流

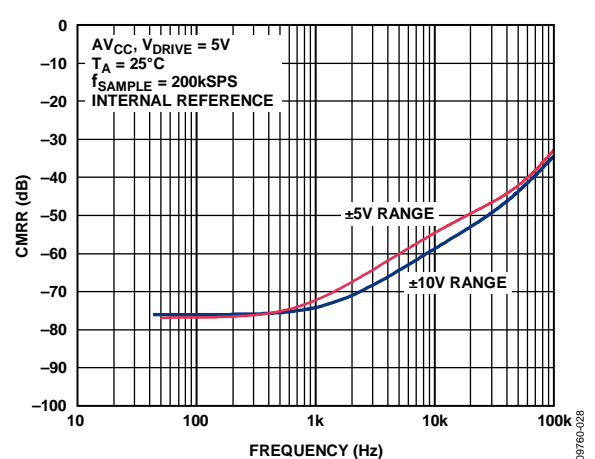


図 31.同相モード・リップル周波数対 CMRR

## 用語

### 積分非直線性

ADC 伝達関数の両端を結ぶ直線からの最大偏差をいいます。伝達関数の両端とは、ゼロスケール(最初のコード変化より 0.5 LSB 下のポイント)とフルスケール(最後のコード変化より 0.5 LSB 上のポイント)をいいます。

### 微分非直線性

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差をいいます。

### バイポーラ・ゼロ・コード誤差

ミッドスケール変化(全ビット 1 から全ビット 0 への変化)の理想  $V_{IN}$  電圧(すなわち AGND)からの差を意味します。

### バイポーラ・ゼロ・コード誤差のマッチ

任意の 2 入力チャンネル間のバイポーラ・ゼロ・コード誤差の差を意味します。

### 正のフルスケール誤差

最後の変化(2 の補数コーディングで 011...10 から 011...11 への変化)は、公称フルスケールより 1.5 LSB 低いアナログ電圧( $\pm 10$  V 範囲の場合 9.99977 V、 $\pm 5$  V 範囲の場合 4.99988 V)で発生する必要があります。正のフルスケール誤差は、理論レベルと最後の変化の実際レベルとの差を意味します。

### 正のフルスケール誤差マッチング

任意の 2 入力チャンネル間の正のフルスケール誤差の差を意味します。

### 負のフルスケール誤差

最初の変化(2 の補数コーディングで 100...00 から 100...01 への変化)は、負のフルスケールより 0.5 LSB 高いアナログ電圧( $\pm 10$  V 範囲の場合 -9.999923 V、 $\pm 5$  V 範囲の場合 -4.9999618 V)で発生する必要があります。負のフルスケール誤差とは、理論レベルと最初の変化の実際レベルの差を意味します。

### 負のフルスケール誤差マッチング

任意の 2 入力チャンネル間の負のフルスケール誤差の差を意味します。

### トラック・アンド・ホールド・アキュイジション・タイム

変換終了後、トラック・アンド・ホールド・アンプはトラック・モードに戻ります。トラック・アンド・ホールド・アキュイジション時間は、変換終了後にトラック・アンド・ホールド・アンプが最終値の  $\pm 1$  LSB 以内に出力が収まるために要する時間です。詳細については、トラック・アンド・ホールド・アンプのセクションを参照してください。

### 信号対(ノイズ+歪み)比

A/D コンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプル周波数( $f_s/2$ )までの全高調波の和で表します(DC を除く)。この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいくほど、量子化ノイズは小さくなります。正弦波を入力した場合の、理想 N ビット・コンバータに対する信号対(ノイズ+歪み)比の理論値は次式で表されます。

$$\text{信号対(ノイズ+歪み)} = (6.02N + 1.76) \text{ dB}$$

したがって、18 ビット・コンバータの場合、110.12 dB になります。

### 総合高調波歪み(THD)

高調波の rms 値総和と基本波の比です。AD7609 の場合、次式で与えられます。

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2 + V_8^2 + V_9^2}}{V_1}$$

ここで、

$V_1$  は基本波の rms 振幅。

$V_2 \sim V_9$  は、2 次～9 次の高調波の rms 振幅。

### ピーク高調波またはスプリアス・ノイズ

ADC 出力スペクトル内の(DC を除いて  $f_s/2$  まで)次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋めこまれている ADC の場合は、ノイズ・ピークにより決定されます。

### 相互変調歪み

非線形性を持つアクティブ・デバイスに 2 つの周波数  $f_a$  および  $f_b$  を含む正弦波を入力すると、様々な和および差の周波数  $m f_a \pm n f_b$  を持つ歪み成分が発生します。ここで、 $m, n = 0, 1, 2, 3, \dots$  です。相互変調歪み項は  $m$  と  $n$  が非ゼロの項です。たとえば、2 次項には  $(f_a + f_b)$  と  $(f_a - f_b)$  が含まれ、3 次項には  $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$  が含まれます。

相互変調歪みの計算は THD の仕様に従います。すなわち、dB で表した個々の歪み成分の rms 総和の、基本波の和の rms 振幅に対する比になります。

**電源除去比(PSR)**

電源変動はフルスケール変化に影響しますが、コンバータの直線性には影響を与えません。PSRは、電源電圧の公称値からの変化で発生するフルスケール変化ポイントの最大変化を表します。電源変動除去比は、ADC出力でのフルスケール周波数  $f$  の電力と、ADCの  $V_{DD}$  電源と  $V_{SS}$  電源に加えられた周波数  $f_S$  で 200 mV p-p の正弦波の電力との比として定義されます。

$$PSRR \text{ (dB)} = 10 \log (P_f/P_{f_S})$$

ここで、

$P_f$  は ADC 出力での周波数  $f$  の電力。

$P_{f_S}$  は  $V_{DD}$  電源と  $V_{SS}$  電源に加えられた周波数  $f_S$  の電力に一致します。

**チャンネル間アイソレーション**

チャンネル間アイソレーションは、2つのチャンネル間でのクロストークのレベルの大きさを表します。フルスケールの 10 kHz 正弦波信号をすべての非選択入力チャンネルに入力し、1 kHz 信号を使って選択したチャンネルで信号の減衰を測定することにより決定します。

**同相モード除去比(CMRR)**

CMRRは、ADC同相モード入力でのフルスケール周波数  $f$  の電力の、同相モード電圧  $V_{INX+}$  と  $V_{INX-}$  に加えられた周波数  $f_S$  のフルスケール p-p 正弦波の出力電力に対する比として定義されます。

$$CMRR \text{ (dB)} = 20 \log (P_f/P_{f_S})$$

ここで、

$P_f$  は ADC 入力での周波数  $f$  の電力。

$P_{f_S}$  は ADC 出力での周波数  $f_S$  の電力。

## 動作原理

### コンバータの詳細

AD7609 は、高速低消費電力電荷再分配型の逐次比較A/Dコンバータを採用したデータ・アキュイジション・システムであり、8チャンネルの真の差動アナログ入力の同時サンプリングが可能です。AD7609 のアナログ入力には真のバイポーラ入力信号を入力することができます。RANGEピンを使って $\pm 10$  Vまたは $\pm 5$  Vの入力範囲を選択します。AD7609 は5 V単電源で動作します。

AD7609 は、入力クランプ保護機能、入力信号スケールリング・アンプ、2次折り返し防止フィルタ、トラック・アンド・ホールド・アンプ、リファレンス電圧、リファレンス・バッファ、高速ADC、デジタル・フィルタ、高速パラレルおよびシリアル・インターフェースを内蔵しています。AD7609 のサンプリングはCONVSTx信号を使って制御します。

### アナログ入力

#### アナログ入力範囲

AD7609 は真のバイポーラ入力電圧を処理することができます。RANGEピンのロジック・レベルにより、すべてのアナログ入力チャンネルのアナログ入力範囲が決定されます。このピンをハイ・レベルにすると、すべてのチャンネルでアナログ入力範囲が $\pm 10$  Vになります。このピンをロー・レベルにすると、すべてのチャンネルでアナログ入力範囲が $\pm 5$  Vになります。このピンのロジック変化は、アナログ入力範囲に直ちに反映されますが、通常のアキュイジション時間条件の他に80  $\mu$ s (typ)のセットリング・タイムが加わります。システム信号の入力範囲に応じてRANGEピンをワイヤー接続することが推奨されます。

通常動作では、加えられるアナログ入力電圧はRANGEピンで選択されたアナログ入力範囲内にある必要があります。アナログ入力チャンネルが確実に選択された範囲に設定されるようにするため、RESETパルスをデバイスに入力する必要があります。

パワーダウン・モードの場合は、アナログ入力同士を接続するか、両アナログ入力ピン(V<sub>x+</sub>、V<sub>x-</sub>)をGNDへ接続することが推奨されます。アナログ入力クランプ保護機能のセクションに従い、過渡過電圧状態での使用では、過電圧クランプ保護機能の使用が推奨され、長時間アクティブを維持しないことが必要です。アナログ入力をこれらの条件外に置くと、AD7609 のバイポーラ・ゼロ・コード誤差とTHDの性能が低下することがあります。

#### アナログ入力インピーダンス

AD7609 のアナログ入力インピーダンスは1 M $\Omega$ です。これは、AD7609 のサンプリング周波数で変化しない固定入力インピーダンスです。この高いアナログ入力インピーダンスにより、AD7609 の前にドライバ・アンプが不要になるため、ソースまたはセンサーに直接接続することができます。ドライバ・アンプが不要になるため、バイポーラ電源(システム内のノイズ源となることがあります)をシグナル・チェーンから除くことができます。

### アナログ入力クランプ保護機能

図32に、AD7609 のアナログ入力構造を示します。各AD7609アナログ入力にはクランプ保護回路が内蔵されています。5 Vの単電源動作ですが、このアナログ入力クランプ保護機能により、 $\pm 16.5$  Vまでの入力オーバー電圧が許容されます。

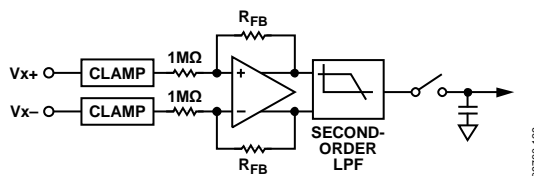


図 32. アナログ入力回路

図33に、クランプ回路の電流対電圧特性を示します。最大 $\pm 16.5$  Vの入力電圧に対して、クランプ回路に電流が流れません。 $\pm 16.5$  Vを超える入力電圧では、AD7609 のクランプ回路がターンオンし、アナログ入力を $\pm 16.5$  Vへクランプします。 $\pm 16.5$  Vを超える入力電圧に対して電流を $\pm 10$  mAに制限するためには、アナログ入力チャンネルに直列抵抗が必要です。アナログ入力チャンネルVINx+に直列抵抗があるアプリケーションでは、VINx-チャンネルに対応する抵抗が必要です(図34参照)。Vx-チャンネルに対応する抵抗がないと、そのチャンネルにオフセット誤差が発生します。過渡過電圧に対してAD7609を保護するときは、入力過電圧クランプ保護回路の使用が推奨されます。クランプ保護回路を長時間アクティブにする状態にAD7609を置くことは推奨されません(通常またはパワーダウン状態で)。これはAD7609のバイポーラ・ゼロ・コード誤差性能が低下するためです。

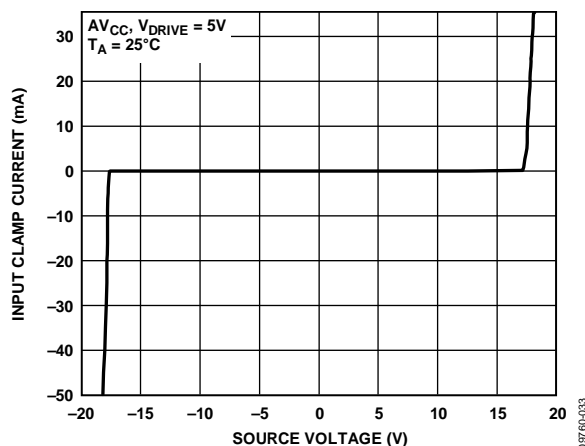


図 33. 入力保護のクランプ特性

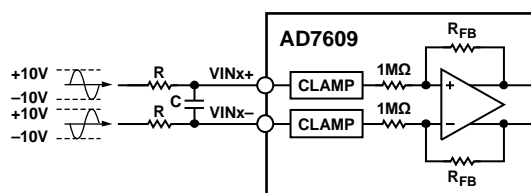


図 34. アナログ入力での入力抵抗マッチング

アナログ入力の折り返し防止フィルタ

AD7609 には、折り返し防止フィルタも内蔵されています。このフィルタは 2 次パワースです。図 35 と図 36 に、それぞれアナログ折り返し防止フィルタの周波数応答と位相応答を示します。±5 V 範囲では、-3 dB 周波数は 23 kHz (typ) です。±10 V 範囲では、-3 dB 周波数は 32 kHz (typ) です。

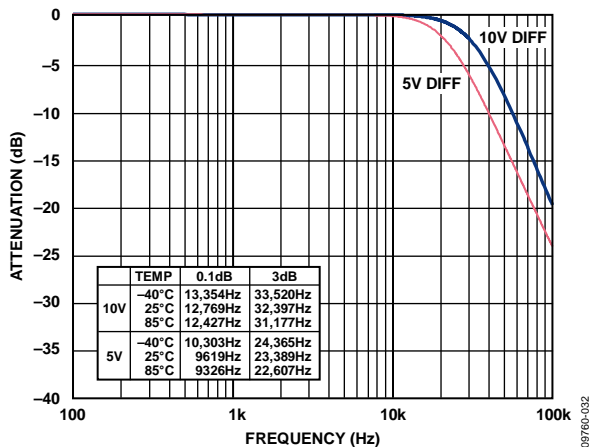


図 35. アナログ折り返し防止フィルタの周波数応答

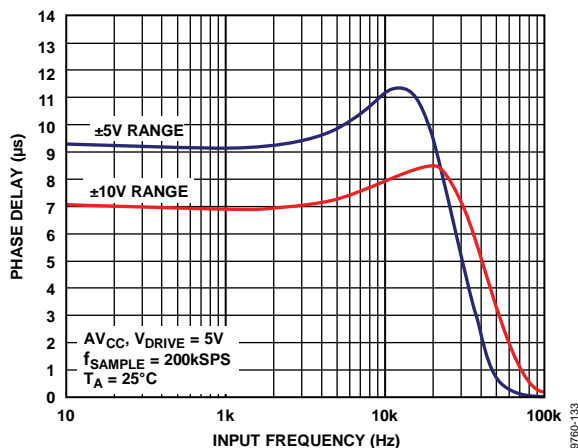


図 36. アナログ折り返し防止フィルタの位相応答

トラック・アンド・ホールド・アンプ

AD7609 のトラック・アンド・ホールド・アンプにより、ADC はフルスケール振幅の入力正弦波を正確に 18 ビット分解能で取得することができます。このトラック・アンド・ホールド・アンプは、それぞれの入力を同時に CONVST x の立上がりエッジでサンプルします。トラック・アンド・ホールドのアパーチャ・タイム (すなわち外部 CONVST x 信号とトラック・アンド・ホールドの実際にホールドになるタイミングとの間の遅延) は、1 個のデバイス内の 8 個の全トラック・アンド・ホールド間で、さらにデバイス間でも一致するようにデザインされています。このマッチングにより、システム内で複数の AD7609 デバイスを同時にサンプルすることができます。

全 8 チャンネル間での変換プロセスの終了は、BUSY の立下がりエッジで表示されます。トラック・アンド・ホールドがトラック・モードへ戻るのはこのポイントであり、ここで次のセットの変換に対するアキュイジション・タイムが開始されます。

デバイスの変換クロックは内部で発生され、AD7609 のすべてのチャンネルの変換時間は 4 µs です。BUSY 信号は 8 変換すべてが終了したときロー・レベルに戻って、変換プロセスの終了を表示します。BUSY の立下がりエッジで、トラック・アンド・ホールド・アンプはトラック・モードへ戻ります。BUSY がロー・レベルになった後に、パラレルまたはシリアル・インターフェースを使って出力レジスタから新しいデータを読み出すことができます。あるいは、BUSY のハイ・レベルの間に前の変換のデータを読み出すことができます。変換中に AD7609 からデータを読み出しも、性能に影響を与えないので、高速なスループットを実現することができます。VDRIVE > 3.3 V で、変換中の読み出しにより SNR が約 1.5 dB 低下します。

ADC の伝達関数

AD7609 の出力コーディングは 2 の補数です。デザイン上のコード変化は連続する整数 LSB 値の中間 (1/2 LSB、3/2 LSB など) で発生します。AD7609 の LSB サイズは FSR/262,144 になります。AD7609 の FSR は、±10 V 範囲で 40 V、±5 V 範囲で 20 V です。AD7609 の理論伝達特性を図 37 に示します。

$$\pm 10V \text{ CODE} = \frac{V+ \pm (V-)}{10V} \times 131,072 \times \frac{REF}{2.5V}$$

$$\pm 5V \text{ CODE} = \frac{V+ \pm (V-)}{5V} \times 131,072 \times \frac{REF}{2.5V}$$

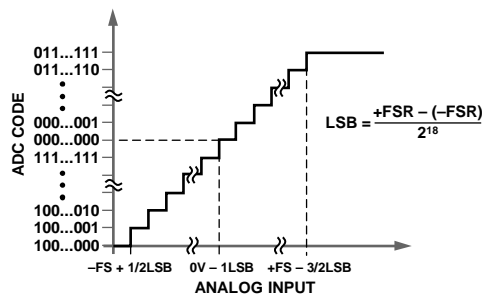


図 37. AD7609 伝達特性

LSB サイズは選択したアナログ入力範囲に依存します (表 7 参照)。

表 7. 出力コードと理論入力値

Description	Analog Input (V+ - (V-)) 10 V Range	Analog Input (V+ - (V-)) 5 V Range	Digital Output Code (Hex)
FSR - 0.5 LSB	+19.99992 V	9.999961 V	0x1FFFF
Midscale + 1 LSB	+152.58 µV	76 µV	0x00001
Midscale	0 V	0 V	0x00000
Midscale - 1 LSB	-152.58 µV	-76 µV	0x3FFFF
-FSR + 1 LSB	-19.99984 V	-9.99992 V	0x20001
-FSR	-20 V	-10 V	0x20000

### 内蔵/外付けリファレンス電圧

AD7609は2.5Vのバンド・ギャップ・リファレンス電圧を内蔵しています。REFIN/REFOUTピンを使うと、4.5Vの内部リファレンス電圧を発生する内蔵2.5Vリファレンスを外部へ出力するか、あるいはこのピンから2.5Vの外付けリファレンス電圧をAD7609に入力することができます。外付けの2.5Vリファレンス電圧を内蔵バッファを使って4.5Vまで増幅することもできます。このバッファされた4.5Vリファレンス電圧が、SAR ADCで使用されるリファレンス電圧になります。

REF SELECTピンはロジック入力ピンで、このピンを使って、内蔵リファレンス電圧または外付けリファレンス電圧を選択することができます。このピンがハイ・レベルの場合、内蔵リファレンスが選択/イネーブルされます。このピンがロー・レベルの場合、内蔵リファレンスがディスエーブルされるので、外付けリファレンス電圧をREFIN/REFOUTピンに接続する必要があります。内蔵リファレンス・バッファは常にイネーブルされています。リセット後、AD7609はREF SELECTピンで選択したリファレンス・モードで動作します。内蔵または外付けのリファレンス・オプションに対して、REFIN/REFOUTピンをデカップリングする必要があります。REFGNDピンの近くのグラウンドとREFIN/REFOUTピンとの間に10μFのセラミック・コンデンサが必要です。AD7609は、REF電圧を約4.5Vまで増幅するリファレンス・バッファを内蔵しています(図38参照)。REFCAPAピンとREFCAPBピンを外部で接続し、10μFのセラミック・コンデンサをREFGNDに接続して、リファレンス・バッファがクロード・ループ動作するようにする必要があります。REFIN/REFOUTピンに出力されるリファレンス電圧は2.5Vです。

AD7609を外付けリファレンス・モードに設定すると、REFIN/REFOUTピンは高入力インピーダンス・ピンになります。複数のAD7609デバイスを使用するアプリケーションでは、アプリケーションの条件に応じて次の構成が推奨されます。

### 外付けリファレンス電圧モード

外付けリファレンスADR421を1個使用して、全AD7609デバイスのREFIN/REFOUTピンを駆動することができます(図39参照)。この構成では、AD7609の各REFIN/REFOUTピンを100nFのコンデンサでデカップリングする必要があります。

### 内蔵リファレンス・モード

内蔵リファレンス・モードで動作するように設定された1個のAD7609デバイスを使って、外付けリファレンス・モードで動作するように設定された残りのAD7609デバイスを駆動することができます(図40参照)。内蔵リファレンス・モードに設定されたAD7609のREFIN/REFOUTピンは、10μFのセラミック・コンデンサでデカップリングする必要があります。外付けリファレンス・モードに設定された他のAD7609デバイスでは、REFIN/REFOUTピンを100nFのコンデンサでデカップリングする必要があります。

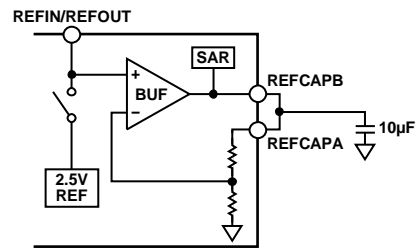


図 38. リファレンス電圧回路

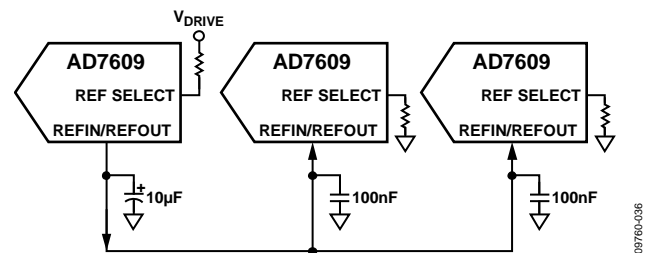


図 39.1 個の外付けリファレンス電圧で複数の AD7609 REFOUT ピンを駆動

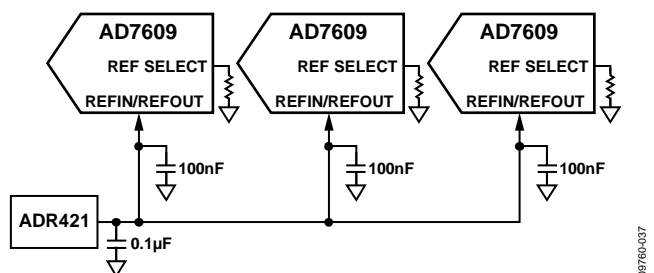


図 40. 内蔵リファレンス電圧で複数の AD7609 REFIN ピンを駆動

代表的な接続図

図 41 に、AD7609 の一般的な接続図を示します。このデバイスには相互接続できる 4 本の AV<sub>CC</sub> 電源ピンがあり、4 本の各ピンは 100 nF のコンデンサを各電源ピンに、10 μF のコンデンサを電源にそれぞれ接続してデカップリングする必要があります。AD7609 は、内蔵リファレンス電圧または外付けリファレンス電圧で動作することができます。この構成では、AD7609 が内蔵リファレンス電圧で動作するように設定されています。ボード上で 1 個の AD7609 デバイスを使う場合、REFIN/REFOUT ピンを 10 μF のコンデンサでデカップリングする必要があります。複数の AD7609 デバイスを使用するアプリケーションについては、内蔵/外付けリファレンス電圧のセクションを参照してください。REFCAPA ピンと REFCAPB ピンを接続して、10 μF のセラミック・コンデンサでデカップリングします。

V<sub>DRIVE</sub> 電源はプロセッサと同じ電源に接続されます。V<sub>DRIVE</sub> 電圧が出力ロジック信号の電圧値を制御します。レイアウト、デカップリング、グラウンド接続については、レイアウトのガイドラインのセクションを参照してください。

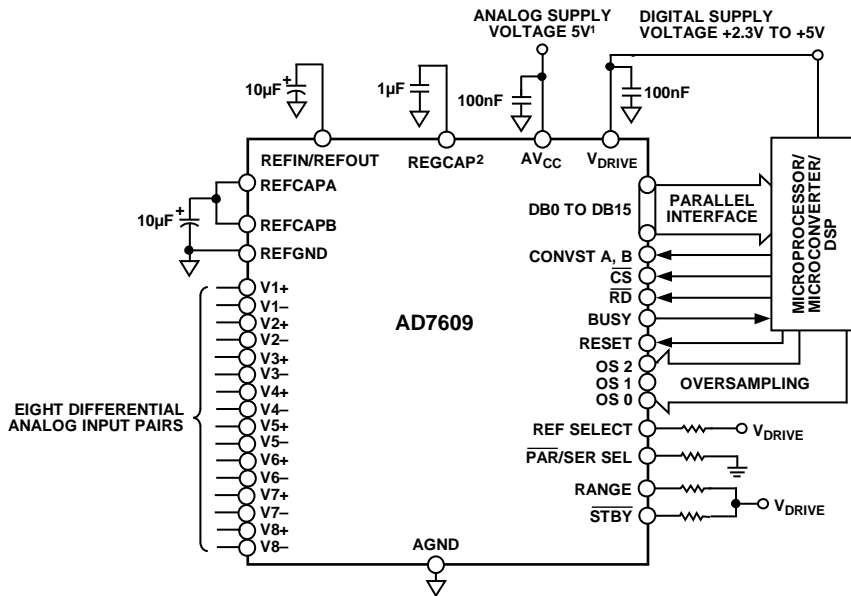
電源を AD7609 に供給した後、RESET 信号を AD7609 に入力して正しい動作モードに設定されたことを確認します。

パワーダウン・モード

AD7609 には 2 種類のパワーダウン・モードがあります。STBY ピンにより、AD7609 が通常モードにあるか、または 2 つのパワーダウン・モードのいずれにあるかが制御されます。2 種類のパワーダウン・モードは、スタンバイ・モードとシャットダウン・モードです。パワーダウン・モードは、STBY ピンがロー・レベルのときの RANGE ピンの状態によって選択されます。表 8 に、パワーダウン・モードを選択する際の設定を示します。AD7609 をスタンバイ・モードにすると、消費電流は最大 8 mA になり、パワーアップ時間は約 100 μs になります。これは REFCAPA ピンと REFCAPB ピンのコンデンサを充電する必要があります。スタンバイ・モードでは、内蔵のリファレンス電圧とレギュレータはパワーアップしたままで、アンプと ADC コアがパワーダウンします。AD7609 をシャットダウン・モードにすると、消費電流は最大 11 μA になり、パワーアップ時間は約 13 ms になります。シャットダウン・モードではすべての回路がパワーダウンします。AD7609 がシャットダウン・モードからパワーアップする際、所定のパワーアップ時間が経過した後リセット信号を AD7609 に入力する必要があります。

表 8. パワーダウン・モードの選択

Power-Down Mode	STBY	RANGE
Standby	0	1
Shutdown	0	0



<sup>1</sup>DECOUPLING SHOWN ON THE AV<sub>CC</sub> PIN APPLIES TO EACH AV<sub>CC</sub> PIN (PIN 1, PIN 37, PIN 38, PIN 48).  
 DECOUPLING CAPACITOR CAN BE SHARED BETWEEN AV<sub>CC</sub> PIN 37 AND PIN 38.  
<sup>2</sup>DECOUPLING SHOWN ON THE REGCAP PIN APPLIES TO EACH REGCAP PIN (PIN 36, PIN 39).

09760-038

図 41. 代表的な接続図



## 変換制御

### すべてのアナログ入力チャンネルでの同時サンプリング

AD7609では、すべてのアナログ入力チャンネルの同時サンプリングが可能です。両 CONVST x ピン (CONVST A、CONVST B) を接続すると、すべてのチャンネルが同時にサンプルされます。1本のCONVST x 信号を使って、両CONVST x 入力を制御します。この共通 CONVST x 信号の立上がりエッジで、すべてのアナログ入力チャンネルで同時サンプリングが開始されます。

AD7609は、変換の実行に使う発振器を内蔵しています。すべての ADC チャンネルの変換時間は  $t_{CONV}$  です。BUSY 信号は、変換中を表示します。CONVST x の立上がりエッジが入力されると、BUSY がハイ・レベルになり、変換プロセスが完了するとロー・レベルに変わります。BUSY 信号の立下がりエッジを使って、8個の全トラック・アンド・ホールド・アンプがトラック・モードに戻されます。また、BUSY の立下がりエッジも、パラレル・バス (DB[15:0]) または D<sub>OUT</sub>A と D<sub>OUT</sub>B のシリアル・データ・ラインから新しいデータが読出し可能であることを表示します。

### 2セットのチャンネルの同時サンプリング

AD7609では、2セットのアナログ入力チャンネルの同時サンプリングも可能です。この機能は、電源ライン保護と計測システムで PT トランスと CT トランスの間の位相差を補償する際に使うことができます。50 Hz システムでは最大9° の位相補償が、60 Hz システムでは最大10° の位相補償が、それぞれ可能です。

この機能は、2本のCONVST x ピンに独立にパルスを入力して実行しますが、オーバーサンプリングを使用していない場合にのみ可能です。CONVST A を使って、最初のセットのチャンネル (V1~V4) の同時サンプリングを開始させます。CONVST B を使って、2番目のセットのチャンネル (V5~V8) の同時サンプリングを開始させます(図42参照)。CONVST A の立上がりエッジで、最初のセットのチャンネルのトラック・アンド・ホールド・アンプがホールド・モードになります。CONVST B の立上がりエッジで、2番目のセットのチャンネルのトラック・アンド・ホールド・アンプがホールド・モードになります。変換プロセスは CONVST x の両立上がりエッジが発生した後に開始されます。このため、BUSY は後の方のCONVST x 信号の立上がりエッジでハイ・レベルになります。また、BUSY の立下がりエッジも、パラレル・バスまたは D<sub>OUT</sub>A と D<sub>OUT</sub>B のシリアル・データ・ラインから新しいデータが読出し可能であることを表示します。2本のCONVST x 信号を別々に使用する場合には、データ読出しプロセスに変更はありません。

すべての未使用アナログ入力チャンネルは AGND に接続してください。それでも、すべてのチャンネルが常に変換されているため、未使用チャンネルの変換結果が読出されたデータに含まれています。

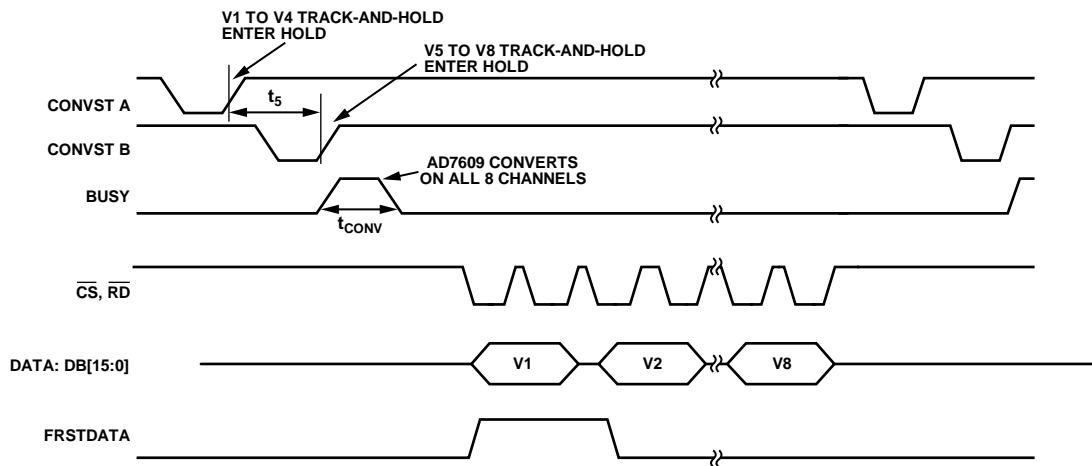


図 42. CONVST A/CONVST B 信号を別々に使用したチャンネル・セットの同時サンプリング—パラレル・モード

## デジタル・インターフェース

AD7609 には、パラレル・インターフェースと高速シリアル・インターフェースの 2 つのインターフェース・オプションがあります。インターフェース・モードは、 $\overline{\text{PAR/SER SEL}}$  ピンで選択します。

2 つのインターフェース・モードの動作を次のセクションで説明します。

### パラレル・インターフェース ( $\overline{\text{PAR/SER SEL}} = 0$ )

AD7609 からのデータの読出しは、標準の $\overline{\text{CS}}$ 信号と $\overline{\text{RD}}$ 信号を使うパラレル・データバスを経由して行うことができます。パラレル・バスからデータを読出すときは、 $\overline{\text{PAR/SER SEL}}$  ピンをロー・レベルにする必要があります。 $\overline{\text{CS}}$ 入力信号と $\overline{\text{RD}}$ 入力信号を内部でゲーティングして変換結果をデータ・バスへ出力します。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ をロー・レベルにすると、データ・ラインDB15～DB0は高インピーダンス状態を維持します。

$\overline{\text{CS}}$  入力信号の立上がりエッジでバスがスリー・ステートになり、 $\overline{\text{CS}}$  入力信号の立下がりエッジでバスが高インピーダンス状態から抜け出します。 $\overline{\text{CS}}$  はコントロール信号であり、データ・ラインをイネーブルします。この信号により、複数の AD7609 デバイスが同じパラレル・データ・バスを共用することができます。新しいデータの読出し動作は、 $\overline{\text{RD}}$  信号を使って、変換結果をアクセスすることができます(図 4 参照)。新しいデータの読出し動作は、BUSY 信号がロー・レベルになった後に行うか(図 2 参照)、あるいは前の変換プロセスからのデータ読出し動作を BUSY がハイ・レベルのときに行うことができます(図 3 参照)。

$\overline{\text{RD}}$  ピンを使って出力変換結果レジスタからデータを読出します。各チャンネルからフル 18 ビットの変換結果を読出すためには 2 個の $\overline{\text{RD}}$ パルスが必要です。16 個の $\overline{\text{RD}}$ パルス・シーケンスを AD7609 の $\overline{\text{RD}}$ ピンに入力すると、各チャンネルから変換結果がパラレル出力バスDB[15:0]へ昇順で出力されます。BUSY がロー・レベルになった後の最初の $\overline{\text{RD}}$ 立下がりエッジで、V1 変換結果のDB[17:2]が出力され、次の $\overline{\text{RD}}$ 立下がりエッジでV1 変換結果のDB[1:0]がバスに出力されます。AD7609 から 8 個の 18 ビット変換結果を読出すために 16 個の $\overline{\text{RD}}$ パルスが必要です。 $\overline{\text{RD}}$  の 16 番目の立下がりエッジでチャンネル V8 の変換結果のDB[1:0]が出力されます。 $\overline{\text{RD}}$ 信号がロー・レベルになると、各チャンネルのデータ変換結果のデジタル・ホスト (DSP、FPGA)への転送がイネーブルされます。

システム/ボード内に AD7609 が 1 個しか存在しない場合で、かつパラレル・バスを共用しない場合には、デジタル・ホストからの 1 個のコントロール信号だけでデータを読出すことができます。 $\overline{\text{CS}}$ 信号と $\overline{\text{RD}}$ 信号は相互に接続することができます(図 5 参照)。この場合、 $\overline{\text{CS}}$ / $\overline{\text{RD}}$ の立下がりエッジでデータ・バスがスリー・ステートから抜け出します。 $\overline{\text{CS}}$ 信号と $\overline{\text{RD}}$ 信号を組み合わせると、データを AD7609 から出力して、デジタル・ホストから読出すことができます。この場合、 $\overline{\text{CS}}$ を使って各データ・チャンネルのデータ転送をフレーム化するため、8 チャンネルのデータを読出すために 16 個の $\overline{\text{CS}}$ パルスが必要です。

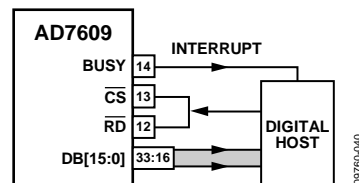


図 43. AD7609 のインターフェース図: 1 個の AD7609 がパラレル・バスを使用、 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ を接続

### シリアル・インターフェース ( $\overline{\text{PAR/SER SEL}} = 1$ )

シリアル・インターフェースを使って AD7609 からデータを読出すときは、 $\overline{\text{PAR/SER SEL}}$  ピンをハイ・レベルにする必要があります。AD7609 からデータを転送するためには、 $\overline{\text{CS}}$ 信号と SCLK 信号が必要です。AD7609 には、D<sub>OUT</sub>A と D<sub>OUT</sub>B の 2 本のシリアル・データ出力ピンがあります。これらの D<sub>OUT</sub> ラインの片方または両方を使って AD7609 からデータを読出すことができます。AD7609 の場合、チャンネル V1～チャンネル V4 の変換結果が D<sub>OUT</sub>A に最初に現れ、チャンネル V5～チャンネル V8 の変換結果が D<sub>OUT</sub>B に最初に現れます。

$\overline{\text{CS}}$  の立下がりエッジで、データ出力ライン D<sub>OUT</sub>A と D<sub>OUT</sub>B がスリー・ステートから抜け出して、変換結果の MSB が出力されます。SCLK クロックの立上がりエッジですべての後続データ・ビットがシリアル・データ出力 D<sub>OUT</sub>A と D<sub>OUT</sub>B に出力されます。シリアル読出しの間 $\overline{\text{CS}}$ 入力をロー・レベルに維持するか、またはパルスとして入力して SCLK で 18 サイクルの各チャンネル読出しをフレーム化することができます。

図 44 に、AD7609 の 2 本の D<sub>OUT</sub> ラインを使った 8 個の同時変換結果の読出し動作を示します。この場合、SCLK で 72 サイクルの転送を使って AD7609 からデータをアクセスし、 $\overline{\text{CS}}$ をロー・レベルにして、SCLK の 72 サイクルでフレーム化しています。データを 1 本の D<sub>OUT</sub> ラインだけで出力することもできます。この場合、D<sub>OUT</sub>A を使ってすべての変換データをアクセスすることが推奨されます。これはチャンネル・データが昇順で出力されるためです。AD7609 で 1 本の D<sub>OUT</sub> ラインだけを使って 8 個の変換結果すべてをアクセスするためには、SCLK で合計 144 サイクルが必要です。これらの SCLK の 144 サイクルは、1 本の $\overline{\text{CS}}$ 信号でフレーム化するか、または SCLK の 18 サイクルの各グループを $\overline{\text{CS}}$ 信号で個々にフレーム化することができます。1 本だけの D<sub>OUT</sub> ラインを使用する欠点は、変換後に読出す場合スループット・レートが低下することです。未使用 D<sub>OUT</sub> ラインは、シリアル・モードでは未接続のままにする必要があります。AD7609 で D<sub>OUT</sub>B を 1 本の D<sub>OUT</sub> ラインとして使用する場合、チャンネル変換結果は V5、V6、V7、V8、V1、V2、V3、V4 の順で出力されますが、FRSTDATA インジケータは V5 が D<sub>OUT</sub>B で読出された後にロー・レベルに戻ります。

図6に、シリアル・モードでAD7609から1チャンネルのデータ(CS信号でフレーム化)を読む際のタイミング図を示します。SCLK 入力信号は、シリアル読み出し動作のクロック・ソースになります。データをAD7609からアクセスするときは、CSをロー・レベルにします。CSの立下がりエッジで、バスがスリー・ステートから抜け出して、18ビット変換結果のMSBが出力されます。このMSBは、CSの立下がりエッジの後のSCLKの最初の立下がりエッジで有効になります。後続の17ビットのデータは、SCLKの立上がりエッジでAD7609から出力されます。データは、SCLKの立下がりエッジで有効になります。各変換結果をアクセスするためには、18サイクルのクロックをAD7609に入力する必要があります。

FRSTDATA 出力信号は、最初のチャンネルV1の読み出しタイミングを表示します。CS入力がハイ・レベルのとき、FRSTDATA出力ピンはスリー・ステートになります。シリアル・モードでは、CSの立下がりエッジでFRSTDATAピンがスリー・ステートから抜け出してハイ・レベルになり、V1の変換結果がD<sub>OUTA</sub> データ・ラインへ出力されたことを表示します。FRSTDATA出力は、SCLKの18番目の立下がりエッジでロー・レベルに戻ります。すべてのチャンネルをD<sub>OUTB</sub>で読み出す場合、シリアル・データ出

カピンにV1が出力されたとき、FRSTDATA出力はハイ・レベルになりません。FRSTDATAはV1がD<sub>OUTA</sub>で使用可能になったときのみ(これがV5がD<sub>OUTB</sub>で使用可能になるタイミング)ハイ・レベルになります。

### 変換中の読み出し

BUSYがハイ・レベルで変換が進行中にAD7609からデータを読み出すことができます。これはコンバータ性能に影響を与えないので、高速なスループット・レートを実現することができます。変換中に、さらにオーバーサンプリングの使用の有無に関わらず、パラレルまたはシリアルでの読み出しを行うことができます。図3に、パラレルまたはシリアル・モードでBUSYがハイ・レベルのときの読み出しタイミング図を示します。V<sub>DRIVE</sub>=3.3 V~5.25 Vでシリアル・インターフェースを使って変換中に読み出すと、フル・スループット・レートが実現されます。

BUSYの立下がりエッジを除く任意の時間にAD7609からデータを読み出すことができます。これは、BUSYの立下がりエッジで出力データ・レジスタが新しい変換データで更新されるためです。表3に示すようにこの条件では時間t<sub>6</sub>が発生します。

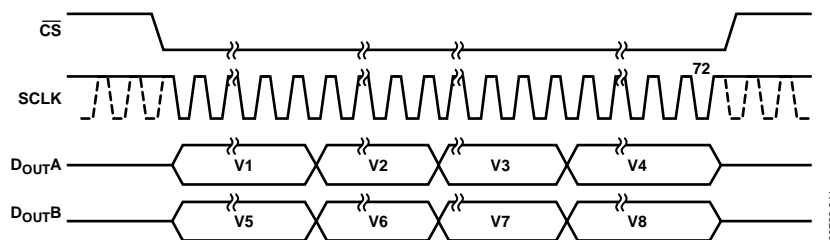


図 44.2 本のD<sub>OUT</sub>ラインを使用するAD7609シリアル・インターフェース

### デジタル・フィルタ

AD7609 は、オプションのデジタル・フィルタを内蔵しています。このデジタル・フィルタは 1 次の sinc フィルタです。このフィルタは低いスループット・レートを使用するアプリケーションか、または高い信号対ノイズ比または広いダイナミックレンジが必要なアプリケーションで使用されます。デジタル・フィルタのオーバーサンプリング比は、オーバーサンプリング・ピン OS [2:0] を使って制御します (表 9 参照)。OS 2 は MSB コントロール・ビットで、OS 0 は LSB コントロール・ビットです。表 9 に、様々なオーバーサンプル・レートを選択するオーバーサンプリング・ビットのデコーディングを示します。OS ピンは、BUSY の立下がりエッジでラッチされます。これにより、次の変換のオーバーサンプリング・レートが設定されます (図 45 参照)。オーバーサンプリング機能の他に、出力変換結果が 18 ビット分解能にデシメートされます。

OS 比=8 を選択するように OS ピンを設定すると、CONVST x の次の立上がりエッジで各チャンネルの最初のサンプルが取得され、すべてのチャンネルの残りの 7 サンプルは内部で発生されたサンプリング信号で取得されます。これらのサンプルの平均をとり SNR 性能を向上させます。表 9 に、±10 V 範囲と ±5 V 範囲に対する SNR 性能 (typ) を示します。表 9 に示すように、OS 比の増加と共に SNR が向上します。OS 比を大きくすると、3 dB 周波数が低下するため、許容サンプリング周波数も低下します。10 kSPS のサンプリング周波数が必要なアプリケーションでは、最大 16 までの OS 比を使用することができます。この場合、アプリケーションでは SNR が向上しますが、入力 -3 dB 帯域幅は約 6 kHz に制限されます。

オーバーサンプリングをターンオンする場合、CONVST A ピンと CONVST B ピンを相互接続して駆動する必要があります。オーバーサンプリング機能をターンオンすると、変換プロセスに対する BUSY のハイ・レベル時間が長くなります。実際の BUSY ハイ・レベル時間は選択するオーバーサンプリング・レートに依存します。オーバーサンプリング・レートが高いほど、BUSY ハイ・レベル時間が長くなり、合計変換時間が長くなります (表 9 参照)。

図 46 に、オーバーサンプリング・レートが大きくなると変換時間が長くなり、様々なオーバーサンプリング・レートに対して BUSY 信号が長くなることを示します。例えば、サンプリング周波数 10 kSPS ではサイクル時間が 100 μs になります。図 46 に、OS × 2 と OS × 4 を示します。10 kSPS の例では、オーバーサンプリング・レートをさらに大きくするために十分なサイクル時間があり、SNR 性能を大幅に向上させることができます。例えば、初期サンプリングまたはスループット・レートが 200 kSPS で、かつオーバーサンプリングをターンオンするアプリケーションでは、スループット・レートを下げて変換時間を長くして読出しを可能にする必要があります。オーバーサンプリングをターンオンして最高速スループット・レートを実現するときは、BUSY のハイ・レベル時間中に読出しを行うことができます。BUSY の立下がりエッジで、出力データ・レジスタが新しい変換データで更新されるため、変換データの読出しはこのエッジで行わないようにする必要があります。図 47~図 53 に、DC ヒストグラム・プロットでのコードの広がりに対するオーバーサンプリングの効果を示します。オーバーサンプル・レートが大きくなると、コードの広がり小さくなります (図 47~図 53 では、AVCC = VDRIVE = 5 V、サンプリング・レートを OS 比でスケール)。

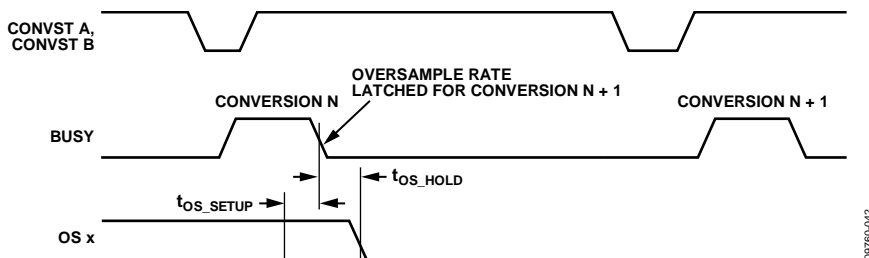


図 45.OS ピン・タイミング

表 9.オーバーサンプリング・ビットのデコーディング (100 Hz 入力信号)

OS [2:0]	OS Ratio	SNR ±5 V Range (dB)	SNR ±10 V Range (dB)	-3 dB BW 5 V Range (kHz)	-3 dB BW 10 V Range (kHz)	Maximum Throughput CONVST x Frequency (kHz)
000	No OS	90.8	91.5	22	33	200
001	2	93.3	93.9	22	28.9	100
010	4	95.5	96.4	18.5	21.5	50
011	8	98	98.9	11.9	12	25
100	16	100.6	101	6	6	12.5
101	32	101.8	102	3	3	6.25
110	64	102.7	102.9	1.5	1.5	3.125
111	Invalid					

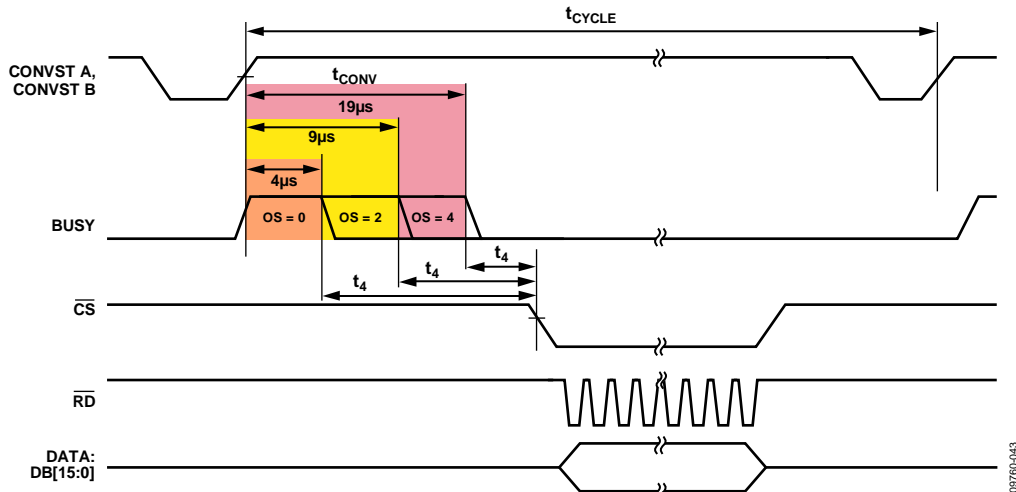


図 46.AD7609—オーバーサンプリングなし、オーバーサンプリング×4、オーバーサンプリング×8、変換後の読出し使用

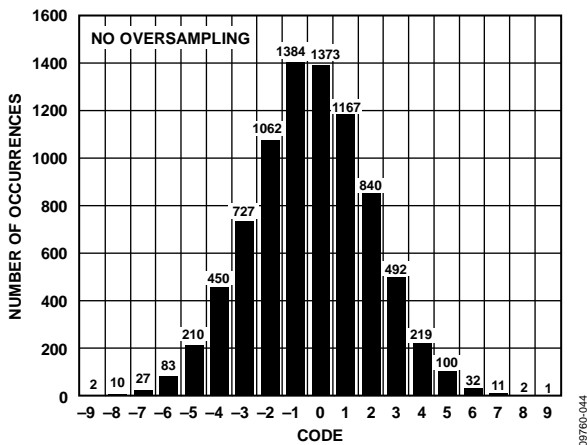


図 47. コードのヒストグラム—OS なし (19 個のコード)

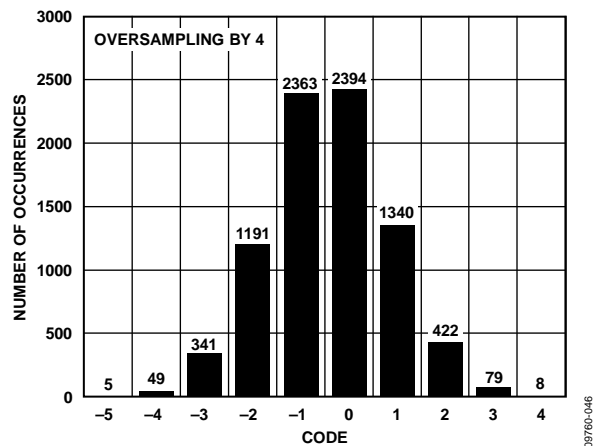


図 49. コードのヒストグラム —OS × 4 (10 個のコード)

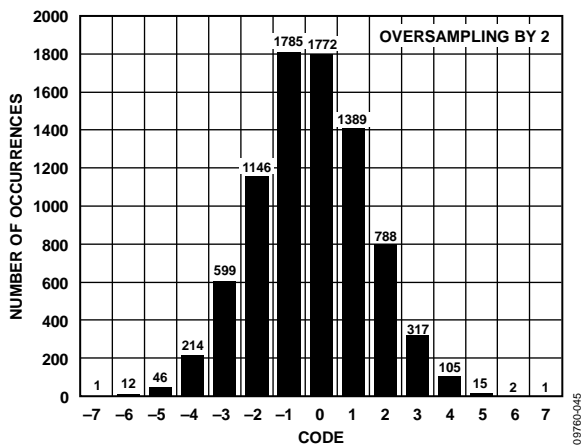


図 48. コードのヒストグラム —OS × 2 (15 個のコード)

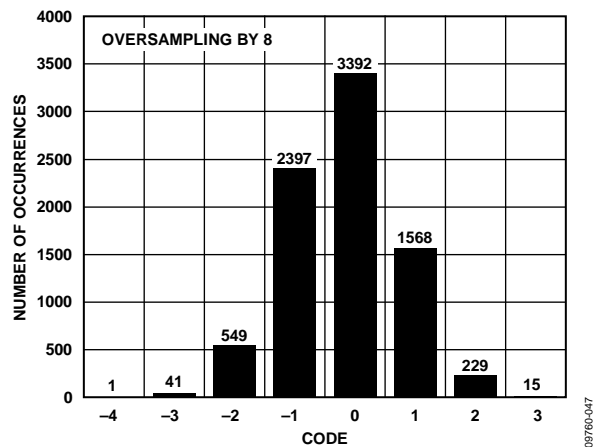


図 50. コードのヒストグラム —OS × 8 (8 個のコード)

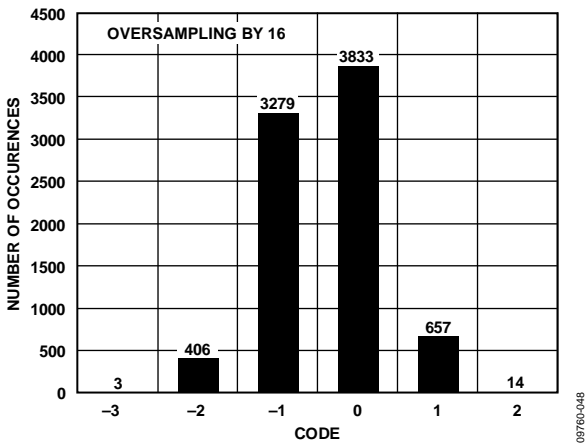


図 51.コードのヒストグラム—OS × 16 (6 個のコード)

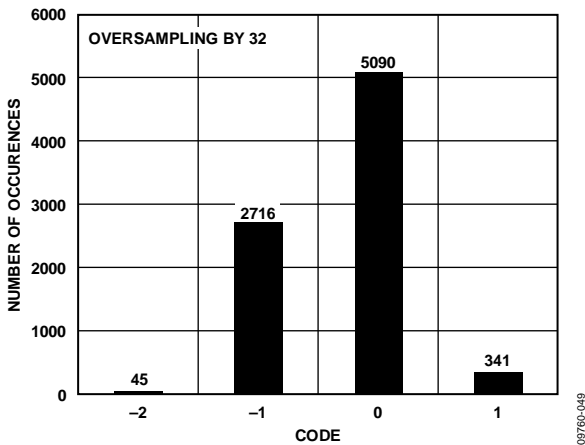


図 52.コードのヒストグラム—OS × 32 (4 個のコード)

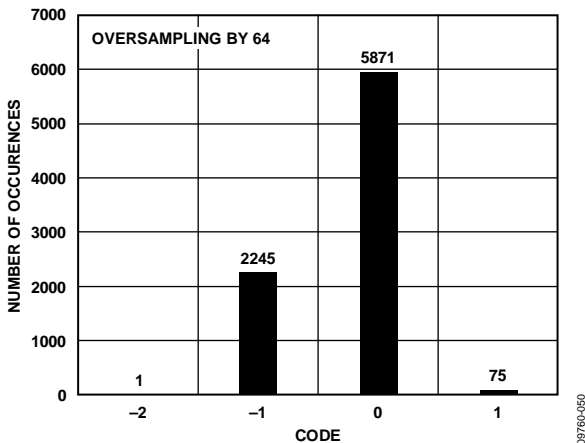


図 53.コードのヒストグラム—OS × 64 (4 個のコード)

オーバーサンプリング・モードを選択すると、ADC の後ろにデジタル・フィルタ機能を接続する効果があります。様々なオーバーサンプリング・レートと CONVST x サンプル周波数により、様々なデジタル・フィルタ周波数プロファイルが得られます。

図 54 ~ 図 59 に、様々なオーバーサンプリング・レートに対するデジタル・フィルタ周波数のプロファイルを示します。アナログ折り返し防止フィルタとオーバーサンプリング・デジタル・フィルタの組み合わせを使って、AD7609 の前のフィルタ・デザインの複雑さを解消するか軽減することができます。デジタル・フィルタでは、急勾配のロールオフとリニア位相応答を組み合わせています。

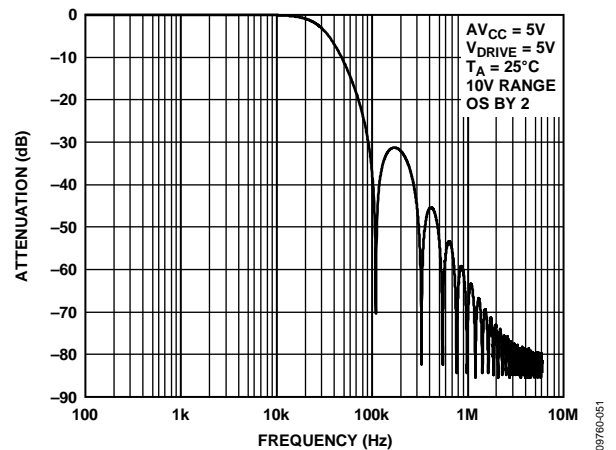


図 54.OS × 2 のデジタル・フィルタ応答

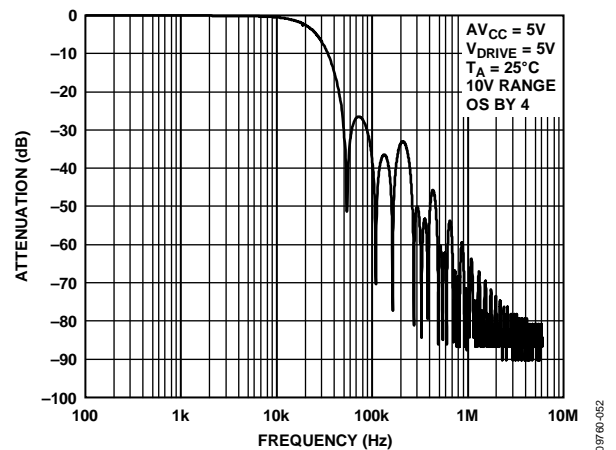


図 55.OS × 4 のデジタル・フィルタ応答

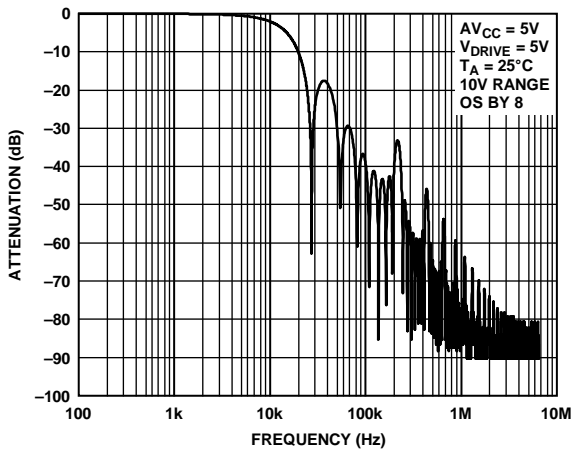


図 56.OS × 8 のデジタル・フィルタ応答

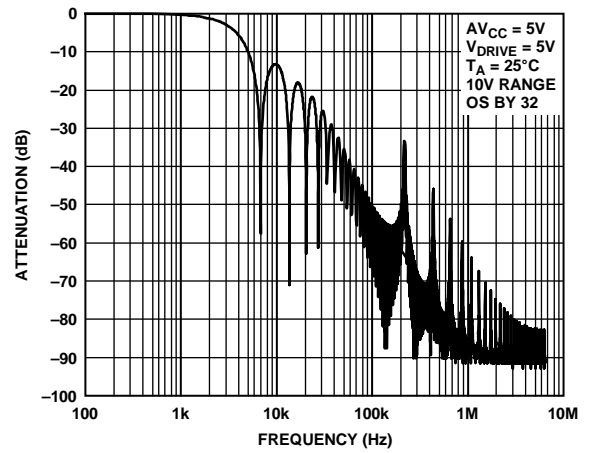


図 58.OS × 32 のデジタル・フィルタ応答

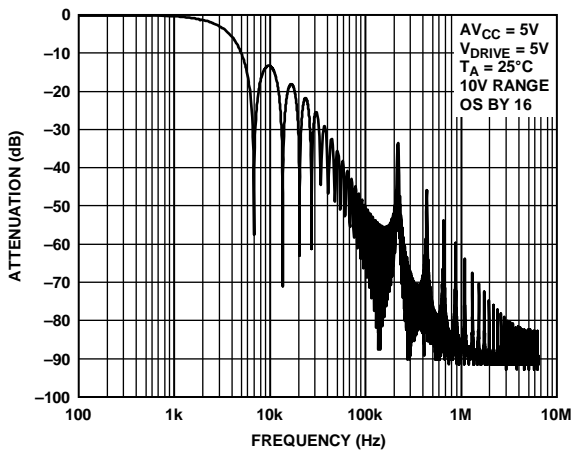


図 57.OS × 16 のデジタル・フィルタ応答

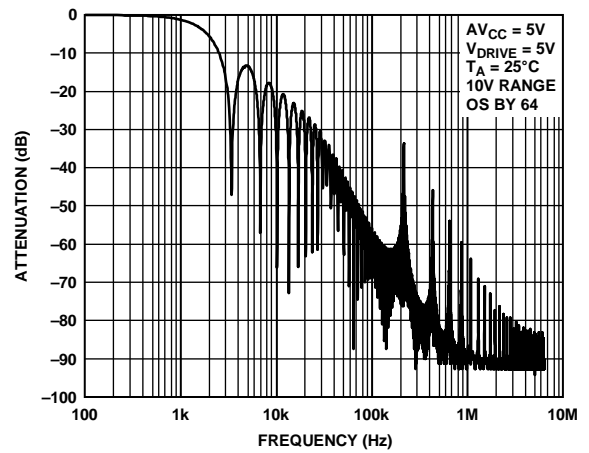


図 59.OS × 64 のデジタル・フィルタ応答

## レイアウトのガイドライン

AD7609 を実装するプリント回路ボードは、アナログ部とデジタル部が分離し、ボード内で異なる領域にまとめて配置されるようにデザインする必要があります。

少なくとも 1 枚のグラウンド・プレーンを使う必要があります。デジタル部とアナログ部に共通または分けて使うことができます。プレーンが分割されている場合、デジタルとアナログのグラウンド・プレーンはできるだけ AD7609 に近い 1 箇所接続する必要があります。

複数のデバイスがアナログ・グラウンドとデジタル・グラウンドの接続を必要とするシステム内で AD7609 を使用する場合にも、この接続は 1 ヶ所で行う必要があります。すなわち、AD7609 のできるだけ近くで星型グラウンド接続点を構成します。グラウンド・プレーンへの接続はしっかり行う必要があります。複数のグラウンド・ピンに対して 1 つの接続を共用することは避ける必要があります。各グラウンド・ピンに対して、グラウンド・プレーンへの個別のビアまたは複数のビアを使用する必要があります。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンが AD7609 の下を通過することは可能です。CONVST A、CONVST B やクロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、これらの信号はアナログ信号パスの近くを通過しないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。ボード上の近傍のパターンは、互いに右角度となるように配置してボードを通過するフィードスルー効果を減少させます。

AD7609 の  $AV_{CC}$  ピンと  $V_{DRIVE}$  ピンへの電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。可能な場合は、電源プレーンを使用してください。ボード上の AD7609 電源ピンと電源パターンの間はしっかり接続する必要があります。これには各電源ピンに対して 1 個または複数のビアを使用することが含まれます。

AD7609 に対する電源インピーダンスを下げるため、および電源スパイクの振幅を小さくするために、正しいデカップリングも重要です。デカップリング・コンデンサはこれらのピンと対応するグラウンド・ピンの近くに(理想的には直接に)配置する必要があります。REFIN/ REFOUT ピン、REFCAPA ピン、REFCAPB ピンについて、それぞれの AD7609 ピンのできるだけ近くにデカップリング・コンデンサを接続してください。可能な場合は、これらのコンデンサを AD7609 デバイスと同じ面のボード上に配置してください。図 60 に、AD7609 ボードの上面の推奨デカップリングを示します。図 61 に裏面のデカップリングを示します。裏面のデカップリングは、4 本の  $AV_{CC}$  ピンと  $V_{DRIVE}$  ピンに対するものです。



図 60. REFIN/REFOUT、REFCAPA、REFCAPB、REGCAP の各ピンに対する表面層のデカップリング



図 61. 裏面層のデカップリング



デバイス間の優れた性能マッチングを保証するため、複数の AD7609 デバイスを使用するシステムでは、AD7609 デバイス間で対称なレイアウトを使用することが重要です。図 62 に、2 個の AD7609 デバイスを使用するレイアウトを示します。AV<sub>CC</sub> 電源プレーンは、両デバイスの右側にあります。V<sub>DRIVE</sub> 電源パターンは 2 個の AD7609 デバイスの左側を通ります。リファレンス・チップは 2 個の AD7609 デバイスの間に配置され、リファレンス電圧パターンは U1 のピン 42 の上側と U2 のピン 42 の下側を通ります。厚いグラウンド・プレーンを使用しています。これらの対称なレイアウト原理は、3 個以上の AD7609 デバイスを使用するシステムに使用することができます。各 AD7609 デバイスは上下方向に配置し、リファレンス電圧は AD7609 デバイスの中間に配置し、リファレンス・パターンは図 62 と同じように上下方向に通します。

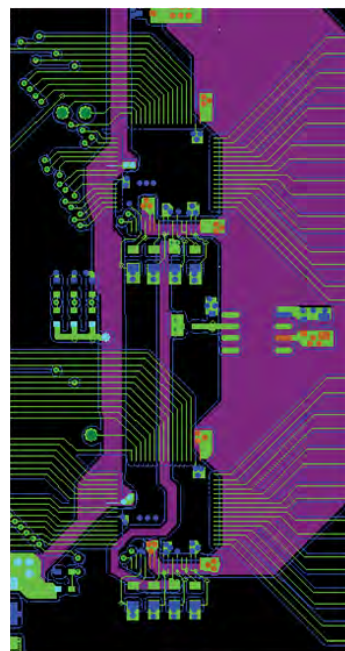


図 62.複数の AD7609 に対するレイアウト  
表面層と電源 プレーン層

外形寸法

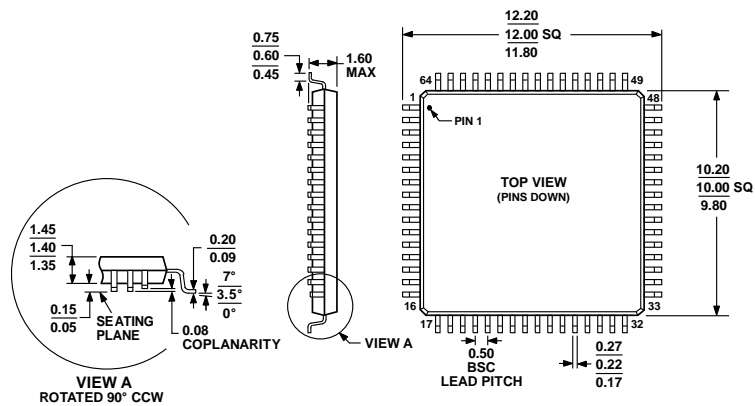


図 63.64 ピン・ロー・プロファイル・クワッド・フラット・パッケージ[LQFP]  
(ST-64-2)  
寸法: mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
AD7609BSTZ	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7609BSTZ-RL	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
EVAL-AD7609EDZ	-40°C to +85°C	Evaluation Board for the AD7609	
CED1Z		Converter Evaluation Development	

<sup>1</sup> Z = RoHS 準拠製品。