

### 特長

- 8入力を同時サンプル
  - 真のバイポーラ・アナログ入力範囲:  $\pm 10\text{V}$ 、 $\pm 5\text{V}$
  - アナログ単電源:  $5\text{V}$ 、 $V_{\text{DRIVE}}$ :  $2.3\text{V} \sim 5.25\text{V}$
  - 次のデータ・アキュジション機能を内蔵
    - アナログ入力のクランプ保護
    - $1\text{M}\Omega$ のアナログ入カインピーダンスを持つ入力バッファ
    - 折り返し防止2次アナログ・フィルタ
    - 高精度リファレンス電圧とリファレンス・バッファ
    - 全チャンネルに  $200\text{ kSPS}$  の18ビットADC
    - デジタル・フィルタ付きのオーバーサンプリング機能
  - 柔軟なパラレル/シリアル・インターフェースを内蔵
  - SPI/QSPI™/MICROWIRE™/DSPに互換
  - 14ビット~18ビットのピン・コンパチブル・ソリューション
- 性能
- アナログ入力チャンネルのESD定格:  $7\text{ kV}$
  - SNR:  $98\text{ dB}$ 、THD:  $-107\text{ dB}$
  - 低消費電力:  $100\text{ mW}$
  - スタンバイ・モード:  $25\text{ mW}$
  - 64ピンLQFPパッケージを採用

### アプリケーション

- 電源ラインのモニタ/保護システム
- 多相モーター・コントロール
- 計装システムおよび制御システム
- 多軸ポジショニング・システム
- データ・アキュジション・システム(DAS)

### 関連製品

- 外付けリファレンス電圧: [ADR421](#)、[ADR431](#)
- デジタル・アイソレータ: [ADuM1402](#)、[ADuM5000](#)、[ADuM5402](#)
- 電圧レギュレータ・デザイン・ツール: [ADIsimPower](#)、[Supervisor](#)、[Parametric Search](#)
- [AD7608](#) 製品ページに一覧表を表示

表 1. 高分解能バイポーラ入力の同時サンプリング DAS ソリューション

Resolution	Single-Ended Inputs	True Differential Inputs	Number of Simultaneous Sampling Channels
18 Bits	<a href="#">AD7608</a> <sup>1</sup>	AD7609	8
16 Bits	<a href="#">AD7606</a> <a href="#">AD7606-6</a> <a href="#">AD7606-4</a>		8 6 4
14 Bits	<a href="#">AD7607</a>		8

### 機能ブロック図

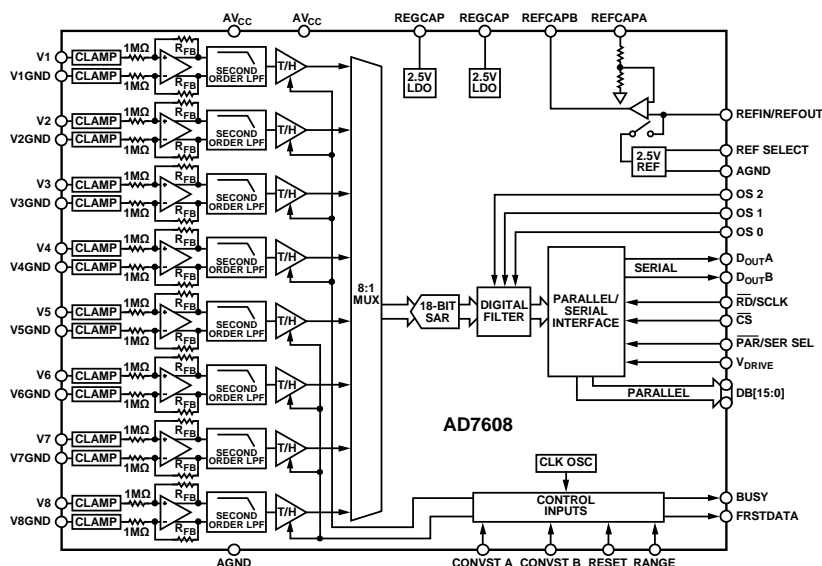


図 1.

<sup>1</sup> 特許申請中。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2011 Analog Devices, Inc. All rights reserved.

## 目次

特長 .....	1	コンバータの詳細 .....	19
アプリケーション .....	1	アナログ入力 .....	19
関連製品 .....	1	ADC の伝達関数 .....	20
機能ブロック図 .....	1	内蔵/外付けリファレンス電圧 .....	21
改訂履歴 .....	2	代表的な接続図 .....	22
概要 .....	3	パワーダウン・モード .....	22
仕様 .....	4	変換制御 .....	23
タイミング仕様 .....	6	デジタル・インターフェース .....	24
絶対最大定格 .....	10	パラレル・インターフェース (PAR/SER SEL = 0) .....	24
熱抵抗 .....	10	シリアル・インターフェース (PAR/SER SEL = 1) .....	25
ESD の注意 .....	10	変換中の読出し .....	25
ピン配置およびピン機能説明 .....	11	デジタル・フィルタ .....	26
代表的な性能特性 .....	14	レイアウトのガイドライン .....	30
用語 .....	18	外形寸法 .....	32
動作原理 .....	19	オーダー・ガイド .....	32

## 改訂履歴

4/11—Revision 0: Initial Version

## 概要

AD7608は、8チャンネル同時サンプリングの18ビットA/D変換データ・アキュジション・システム(DAS)です。このデバイスは、アナログ入力クランプ保護機能、2次折り返し防止フィルタ、トラック・アンド・ホールド・アンプ、18ビット電荷再分配型逐次比較A/Dコンバータ(ADC)、柔軟なデジタル・フィルタ、2.5 Vリファレンス電圧、リファレンス・バッファ、高速なシリアルおよびパラレル・インターフェースを内蔵しています。

AD7608は5 V単電源で動作し、 $\pm 10$  Vと $\pm 5$  Vの真のバイポーラ信号を入力でき、全チャンネルを最大 200 kSPS のスループット・レートでサンプリングすることができます。入力クランプ保護回路は最大 $\pm 16.5$  Vの電圧に耐えることができます。AD7608は、サンプリング周波数に無関係に1 M $\Omega$ のアナログ入力インピーダンスを維持することができます。単電源動作、フィルタ内蔵、高入力インピーダンスであるため、ドライバ・オペアンプと外付けバイポーラ電源が不要です。AD7608の折り返し防止フィルタは、3 dBカットオフ周波数が22 kHzで、200 kSPSのサンプリングで40 dBの折り返し除去比を提供します。柔軟なデジタル・フィルタは、ピン駆動であり、SNRを向上させ、3 dB帯域幅を減少させます。

## 仕様

特に指定がない限り、 $V_{REF} = 2.5$  V外部/内部、 $AV_{CC} = 4.75$  V $\sim$ 5.25 V、 $V_{DRIVE} = 2.3$  V $\sim$ 5.25 V;  $f_{SAMPLE} = 200$  kSPS、 $T_A = T_{MIN} \sim T_{MAX}$ 。<sup>1</sup>

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
<b>DYNAMIC PERFORMANCE</b>					
Signal-to-Noise Ratio (SNR) <sup>2, 3</sup>	$f_{IN} = 1$ kHz sine wave unless otherwise noted	98	99.5		dB
	Oversampling by 16; $\pm 10$ V range; $f_{IN} = 130$ Hz	95.5	97.5		dB
Signal-to-(Noise + Distortion) (SINAD) <sup>2</sup>	Oversampling by 16; $\pm 5$ V range; $f_{IN} = 130$ Hz	89.5	90.9		dB
	No oversampling; $\pm 10$ V range	88.5	90		dB
Dynamic Range	No oversampling; $\pm 5$ V range	88.5	90.5		dB
	No oversampling; $\pm 10$ V range	88	89.5		dB
Total Harmonic Distortion (THD) <sup>2</sup>	No oversampling; $\pm 10$ V range		91.5		dB
	No oversampling; $\pm 5$ V range		90.5		dB
Peak Harmonic or Spurious Noise (SFDR) <sup>2</sup>			-107	-95	dB
Intermodulation Distortion (IMD) <sup>2</sup>	$f_a = 1$ kHz, $f_b = 1.1$ kHz		-108		dB
		Second-Order Terms		-110	
Third-Order Terms			-106		dB
Channel-to-Channel Isolation <sup>2</sup>	$f_{IN}$ on unselected channels up to 160 kHz		-95		dB
<b>ANALOG INPUT FILTER</b>					
Full Power Bandwidth	-3 dB, $\pm 10$ V range		23		kHz
	-3 dB, $\pm 5$ V range		15		kHz
	-0.1 dB, $\pm 10$ V range		10		kHz
	-0.1 dB, $\pm 5$ V range		5		kHz
$t_{GROUP DELAY}$	$\pm 10$ V range		11		$\mu$ s
	$\pm 5$ V range		15		$\mu$ s
<b>DC ACCURACY</b>					
Resolution	No missing codes	18			Bits
Differential Nonlinearity <sup>2</sup>			$\pm 0.75$	-0.99/+2.6	LSB <sup>4</sup>
Integral Nonlinearity <sup>2</sup>			$\pm 2.5$	$\pm 7.5$	LSB
Total Unadjusted Error (TUE)	$\pm 10$ V range		$\pm 15$		LSB
	$\pm 5$ V range		$\pm 40$		LSB
Positive Full-Scale Error <sup>2, 5</sup>	External reference		$\pm 15$	$\pm 128$	LSB
	Internal reference		$\pm 40$		LSB
Positive Full-Scale Error Drift	External reference		$\pm 2$		ppm/ $^{\circ}$ C
	Internal reference		$\pm 7$		ppm/ $^{\circ}$ C
Positive Full-Scale Error Matching <sup>2</sup>	$\pm 10$ V range		12	95	LSB
	$\pm 5$ V range		30	128	LSB
Bipolar Zero Code Error <sup>2, 6</sup>	$\pm 10$ V range		$\pm 3.5$	$\pm 24$	LSB
	$\pm 5$ V range		$\pm 3.5$	$\pm 48$	LSB
Bipolar Zero Code Error Drift	$\pm 10$ V range		10		$\mu$ V/ $^{\circ}$ C
	$\pm 5$ V range		5		$\mu$ V/ $^{\circ}$ C
Bipolar Zero Code Error Matching <sup>2</sup>	$\pm 10$ V range		3	30	LSB
	$\pm 5$ V range		21	65	LSB
Negative Full-Scale Error <sup>2, 5</sup>	External reference		$\pm 15$	$\pm 128$	LSB
	Internal reference		$\pm 40$		LSB
Negative Full-Scale Error Drift	External reference		$\pm 4$		ppm/ $^{\circ}$ C
	Internal reference		$\pm 8$		ppm/ $^{\circ}$ C
Negative Full-Scale Error Matching <sup>2</sup>	$\pm 10$ V range		12	95	LSB
	$\pm 5$ V range		30	128	LSB

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
<b>ANALOG INPUT</b>					
Input Voltage Ranges	RANGE = 1			±10	V
	RANGE = 0			±5	V
Analog Input Current	10 V; see Figure 28		5.4		μA
	5 V; see Figure 28		2.5		μA
Input Capacitance <sup>7</sup>			5		pF
Input Impedance			1		MΩ
<b>REFERENCE INPUT/OUTPUT</b>					
Reference Input Voltage Range		2.475	2.5	2.525	V
DC Leakage Current				±1	μA
Input Capacitance <sup>7</sup>	REF SELECT = 1		7.5		pF
Reference Output Voltage	REFIN/REFOUT		2.49/ 2.505		V
Reference Temperature Coefficient			±10		ppm/°C
<b>LOGIC INPUTS</b>					
Input High Voltage (V <sub>INH</sub> )		0.9 × V <sub>DRIVE</sub>			V
Input Low Voltage (V <sub>INL</sub> )				0.1 × V <sub>DRIVE</sub>	V
Input Current (I <sub>IN</sub> )				±2	μA
Input Capacitance (C <sub>IN</sub> ) <sup>7</sup>			5		pF
<b>LOGIC OUTPUTS</b>					
Output High Voltage (V <sub>OH</sub> )	I <sub>SOURCE</sub> = 100 μA	V <sub>DRIVE</sub> - 0.2			V
Output Low Voltage (V <sub>OL</sub> )	I <sub>SINK</sub> = 100 μA			0.2	V
Floating-State Leakage Current			±1	±20	μA
Floating-State Output Capacitance <sup>7</sup>			5		pF
Output Coding	Twos complement				
<b>CONVERSION RATE</b>					
Conversion Time	All eight channels included; see Table 3		4		μs
Track-and-Hold Acquisition Time			1		μs
Throughput Rate	Per channel, all eight channels included			200	kSPS
<b>POWER REQUIREMENTS</b>					
A <sub>VCC</sub>		4.75		5.25	V
V <sub>DRIVE</sub>		2.3		5.25	V
I <sub>TOTAL</sub>	Digital inputs = 0 V or V <sub>DRIVE</sub>				
Normal Mode (Static)			16	22	mA
Normal Mode (Operational) <sup>8</sup>	f <sub>SAMPLE</sub> = 200 kSPS		20	27	mA
Standby Mode			5	8	mA
Shutdown Mode			2	11	μA
<b>Power Dissipation</b>					
Normal Mode (Static)			80	115.5	mW
Normal Mode (Operational) <sup>8</sup>	f <sub>SAMPLE</sub> = 200 kSPS		100	142	mW
Standby Mode			25	42	mW
Shutdown Mode			10	58	μW

<sup>1</sup> Bバージョンの温度範囲は-40°C~+85°Cです。

<sup>2</sup> 用語のセクションを参照してください。

<sup>3</sup> この規定は、変換中または変換後の読出しに適用されます。V<sub>DRIVE</sub> = 5 Vの平行モードで、変換中の読出しによりSNR (typ)が1.5 dB、THDが3 dBそれぞれ低下します。

<sup>4</sup> LSBは最下位ビットを意味します。入力範囲が±5 Vの場合、1LSB = 38.14 μV。入力範囲が±10 Vの場合、1LSB = 76.29 μV。

<sup>5</sup> これらの仕様には全温度範囲と内蔵リファレンス・バッファの変動成分が含まれますが、外付けリファレンス電圧の変動による誤差成分は含まれません。

<sup>6</sup> バイポーラ・ゼロ・コード誤差はアナログ入力電圧を基準として計算しています。

<sup>7</sup> 初期リリース時はサンプル・テストにより適合性を保証。

<sup>8</sup> 動作消費電力/電流の値には、オーバーサンプリング・モード動作時の成分が含まれます。

## タイミング仕様

特に指定がない限り、 $V_{CC} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $V_{DRIVE} = 2.3\text{ V} \sim 5.25\text{ V}$ 、 $V_{REF} = 2.5\text{ V}$  外部/内部、 $T_A = T_{MIN} \sim T_{MAX}^1$ 。

表 3.

Parameter	Limit at $T_{MIN}$ , $T_{MAX}$			Unit	Description
	Min	Typ	Max		
PARALLEL/SERIAL/BYTE MODE					
$t_{CYCLE}$			5	$\mu\text{s}$	1/throughput rate
		5		$\mu\text{s}$	Parallel mode, reading during or after conversion; or serial mode: $V_{DRIVE} = 3.3\text{ V}$ to $5.25\text{ V}$ , reading during a conversion using $D_{OUTA}$ and $D_{OUTB}$ lines
			10.5	$\mu\text{s}$	Serial mode reading during conversion; $V_{DRIVE} = 2.7\text{ V}$
$t_{CONV}$				$\mu\text{s}$	Serial mode reading after a conversion; $V_{DRIVE} = 2.3\text{ V}$ , $D_{OUTA}$ and $D_{OUTB}$ lines
				$\mu\text{s}$	Conversion time
	3.45	4	4.15	$\mu\text{s}$	Oversampling off
	7.87		9.1	$\mu\text{s}$	Oversampling by 2
	16.05		18.8	$\mu\text{s}$	Oversampling by 4
	33		39	$\mu\text{s}$	Oversampling by 8
	66		78	$\mu\text{s}$	Oversampling by 16
	133		158	$\mu\text{s}$	Oversampling by 32
	257		315	$\mu\text{s}$	Oversampling by 64
$t_{WAKE-UP\ STANDBY}$			100	$\mu\text{s}$	$\overline{STBY}$ rising edge to $CONVST$ x rising edge; power-up time from standby mode
$t_{WAKE-UP\ SHUTDOWN}$					
Internal Reference			30	ms	$\overline{STBY}$ rising edge to $CONVST$ x rising edge; power-up time from shutdown mode
External Reference			13	ms	$\overline{STBY}$ rising edge to $CONVST$ x rising edge; power-up time from shutdown mode
$t_{RESET}$	50			ns	RESET high pulse width
$t_{OS\_SETUP}$	20			ns	BUSY to OS x pin setup time
$t_{OS\_HOLD}$	20			ns	BUSY to OS x pin hold time
$t_1$			40	ns	$CONVST$ x high to BUSY high
$t_2$	25			ns	Minimum $CONVST$ x low pulse
$t_3$	25			ns	Minimum $CONVST$ x high pulse
$t_4$	0			ns	BUSY falling edge to $\overline{CS}$ falling edge setup time
$t_5^2$			0.5	ms	Maximum delay allowed between $CONVST$ A, $CONVST$ B rising edges
$t_6$			25	ns	Maximum time between last $\overline{CS}$ rising edge and BUSY falling edge
$t_7$	25			ns	Minimum delay between RESET low to $CONVST$ x high
PARALLEL/BYTE READ OPERATION					
$t_8$	0			ns	$\overline{CS}$ to $\overline{RD}$ setup time
$t_9$	0			ns	$\overline{CS}$ to $\overline{RD}$ hold time
$t_{10}$					$\overline{RD}$ low pulse width
	16			ns	$V_{DRIVE}$ above 4.75 V
	21			ns	$V_{DRIVE}$ above 3.3 V
	25			ns	$V_{DRIVE}$ above 2.7 V
	32			ns	$V_{DRIVE}$ above 2.3 V
$t_{11}$	15			ns	$\overline{RD}$ high pulse width
$t_{12}$	22			ns	$\overline{CS}$ high pulse width (see Figure 5); $\overline{CS}$ and $\overline{RD}$ linked

Parameter	Limit at T <sub>MIN</sub> , T <sub>MAX</sub>			Unit	Description
	Min	Typ	Max		
t <sub>13</sub>			16	ns	Delay from $\overline{CS}$ until DB[15:0] three-state disabled V <sub>DRIVE</sub> above 4.75 V
			20	ns	V <sub>DRIVE</sub> above 3.3 V
			25	ns	V <sub>DRIVE</sub> above 2.7 V
			30	ns	V <sub>DRIVE</sub> above 2.3 V
t <sub>14</sub> <sup>3</sup>					Data access time after $\overline{RD}$ falling edge
			16	ns	V <sub>DRIVE</sub> above 4.75 V
			21	ns	V <sub>DRIVE</sub> above 3.3 V
			25	ns	V <sub>DRIVE</sub> above 2.7 V
			32	ns	V <sub>DRIVE</sub> above 2.3 V
t <sub>15</sub>	6			ns	Data hold time after $\overline{RD}$ falling edge
t <sub>16</sub>	6			ns	$\overline{CS}$ to DB[15:0] hold time
t <sub>17</sub>			22	ns	Delay from $\overline{CS}$ rising edge to DB[15:0] three-state enabled
<b>SERIAL READ OPERATION</b>					
f <sub>SCLK</sub>			23.5	MHz	Frequency of serial read clock V <sub>DRIVE</sub> above 4.75 V
			17	MHz	V <sub>DRIVE</sub> above 3.3 V
			14.5	MHz	V <sub>DRIVE</sub> above 2.7 V
			11.5	MHz	V <sub>DRIVE</sub> above 2.3 V
t <sub>18</sub>					Delay from $\overline{CS}$ until D <sub>OUTA</sub> /D <sub>OUTB</sub> three-state disabled/delay from $\overline{CS}$ until MSB valid
			15	ns	V <sub>DRIVE</sub> above 4.75 V
			20	ns	V <sub>DRIVE</sub> above 3.3 V
			30	ns	V <sub>DRIVE</sub> = 2.3 V to 2.7 V
t <sub>19</sub> <sup>3</sup>					Data access time after SCLK rising edge
			17	ns	V <sub>DRIVE</sub> above 4.75 V
			23	ns	V <sub>DRIVE</sub> above 3.3 V
			27	ns	V <sub>DRIVE</sub> above 2.7 V
			34	ns	V <sub>DRIVE</sub> above 2.3 V
t <sub>20</sub>	0.4 t <sub>SCLK</sub>			ns	SCLK low pulse width
t <sub>21</sub>	0.4 t <sub>SCLK</sub>			ns	SCLK high pulse width
t <sub>22</sub>	7			ns	SCLK rising edge to D <sub>OUTA</sub> /D <sub>OUTB</sub> valid hold time
t <sub>23</sub>			22	ns	$\overline{CS}$ rising edge to D <sub>OUTA</sub> /D <sub>OUTB</sub> three-state enabled
<b>FRSTDATA OPERATION</b>					
t <sub>24</sub>					Delay from $\overline{CS}$ falling edge until FRSTDATA three-state disabled
			15	ns	V <sub>DRIVE</sub> above 4.75 V
			20	ns	V <sub>DRIVE</sub> above 3.3 V
			25	ns	V <sub>DRIVE</sub> above 2.7 V
			30	ns	V <sub>DRIVE</sub> above 2.3 V
t <sub>25</sub>				ns	Delay from $\overline{CS}$ falling edge until FRSTDATA high, serial mode
			15	ns	V <sub>DRIVE</sub> above 4.75 V
			20	ns	V <sub>DRIVE</sub> above 3.3 V
			25	ns	V <sub>DRIVE</sub> above 2.7 V
			30	ns	V <sub>DRIVE</sub> above 2.3 V
t <sub>26</sub>					Delay from $\overline{RD}$ falling edge to FRSTDATA high
			16	ns	V <sub>DRIVE</sub> above 4.75 V
			20	ns	V <sub>DRIVE</sub> above 3.3 V
			25	ns	V <sub>DRIVE</sub> above 2.7 V
			30	ns	V <sub>DRIVE</sub> above 2.3 V

Parameter	Limit at $T_{MIN}$ , $T_{MAX}$			Unit	Description
	Min	Typ	Max		
$t_{27}$			19	ns	Delay from $\overline{RD}$ falling edge to FRSTDATA low $V_{DRIVE} = 3.3\text{ V to }5.25\text{ V}$
			24	ns	$V_{DRIVE} = 2.3\text{ V to }2.7\text{ V}$
$t_{28}$			17	ns	Delay from 16 <sup>th</sup> SCLK falling edge to FRSTDATA low $V_{DRIVE} = 3.3\text{ V to }5.25\text{ V}$
			22	ns	$V_{DRIVE} = 2.3\text{ V to }2.7\text{ V}$
$t_{29}$			24	ns	Delay from $\overline{CS}$ rising edge until FRSTDATA three-state enabled

<sup>1</sup> 初期リリース時はサンプル・テストにより適合性を保証。すべての入力信号は  $t_R = t_F = 5\text{ ns}$  ( $V_{DD}$  の 10% から 90%) で規定し、1.6V の電圧レベルからの時間とします。

<sup>2</sup> CONVST x 信号間の遅延は、チャンネル・セット間での性能マッチングが 40 LSB 以下の条件を満たす最大許容時間として測定されています。

<sup>3</sup> これらの測定ではデータ出力ピンにバッファを使っています。このバッファは出力ピンの 20 pF 負荷と等価です。

### タイミング図

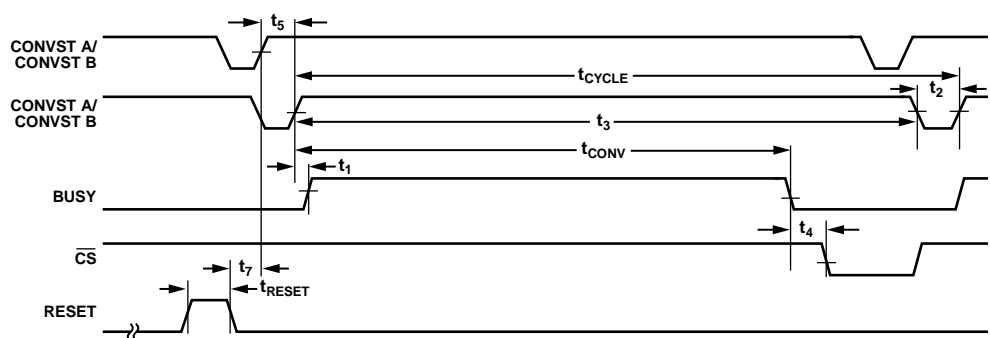


図 2. CONVST x タイミング—変換後の読み出し

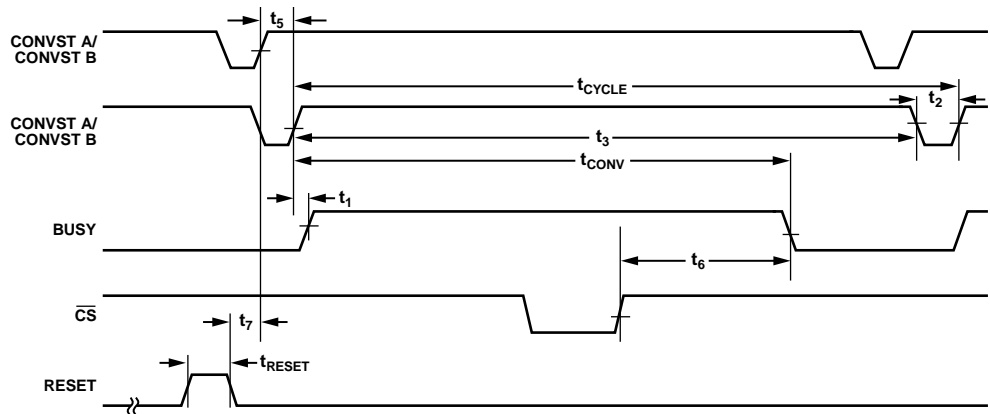


図 3. CONVST x タイミング—変換中の読み出し

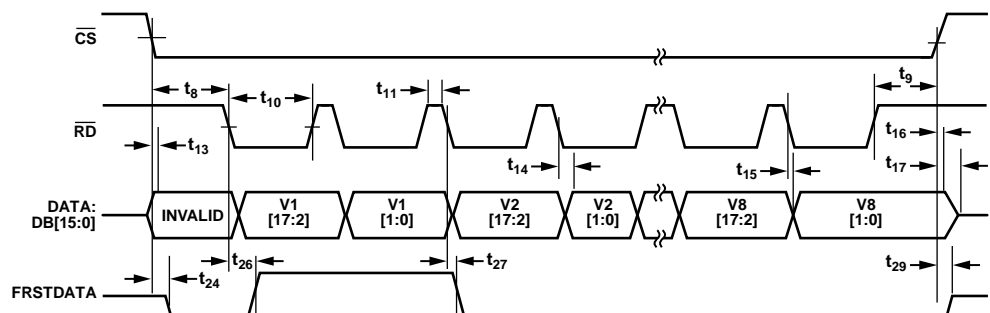


図 4. パラレル・モード、 $\overline{CS}$ パルスと $\overline{RD}$ パルスを分離



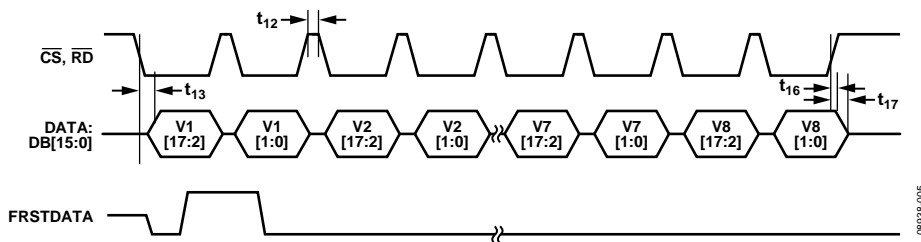


図 5. パラレル・モード、 $\overline{CS}$ と $\overline{RD}$ を接続

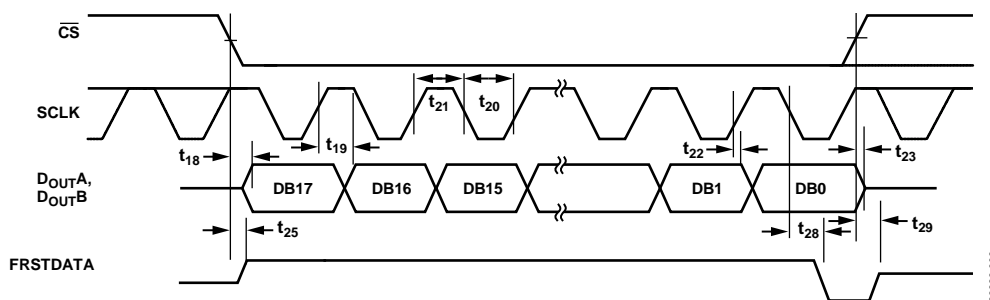


図 6. シリアル読み出し動作(チャンネル 1)

## 絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 4.

Parameter	Rating
$AV_{CC}$ to AGND	-0.3 V to +7 V
$V_{DRIVE}$ to AGND	-0.3 V to $AV_{CC} + 0.3\text{ V}$
Analog Input Voltage to AGND <sup>1</sup>	$\pm 16.5\text{ V}$
Digital Input Voltage to AGND	-0.3 V to $V_{DRIVE} + 0.3\text{ V}$
Digital Output Voltage to AGND	-0.3 V to $V_{DRIVE} + 0.3\text{ V}$
REFIN to AGND	-0.3 V to $AV_{CC} + 0.3\text{ V}$
Input Current to Any Pin Except Supplies <sup>1</sup>	$\pm 10\text{ mA}$
Operating Temperature Range	
B Version	-40 $^\circ\text{C}$ to +85 $^\circ\text{C}$
Storage Temperature Range	-65 $^\circ\text{C}$ to +150 $^\circ\text{C}$
Junction Temperature	150 $^\circ\text{C}$
Pb/SN Temperature, Soldering	
Reflow (10 sec to 30 sec)	240 (+0) $^\circ\text{C}$
Pb-Free Temperature, Soldering Reflow	260 (+0) $^\circ\text{C}$
ESD (All Pins Except Analog Inputs)	2 kV
ESD (Analog Input Pins Only)	7 kV

<sup>1</sup>最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### 熱抵抗

$\theta_{JA}$  はワーストケース条件で規定。すなわち、表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。これらの仕様は 4 層ボードに適用します。

表 5. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
64-Lead LQFP	45	11	$^\circ\text{C}/\text{W}$

### ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

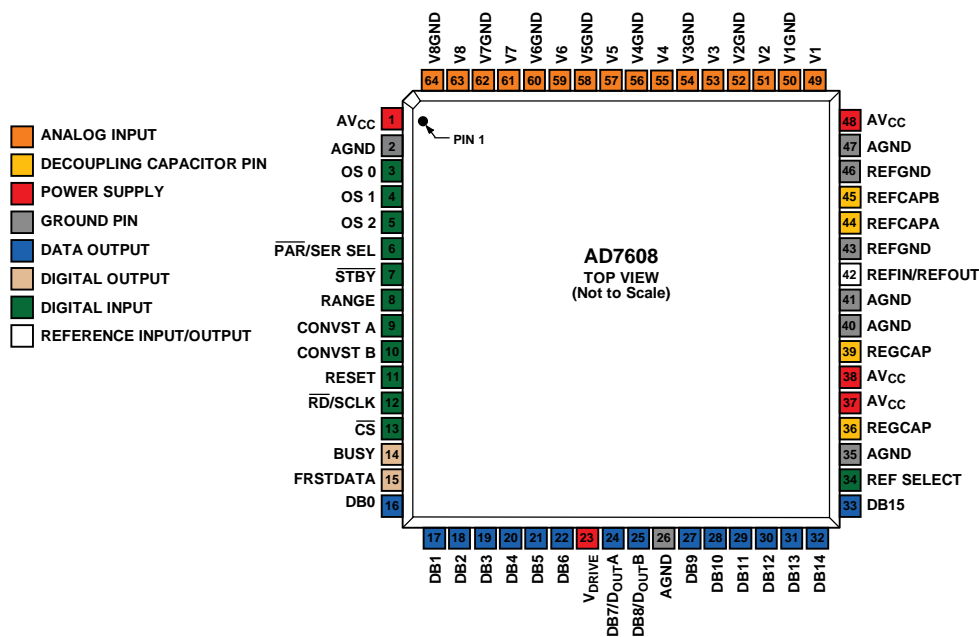


図 7. ピン配置

表 6. ピン機能の説明

ピン番号	タイプ <sup>1</sup>	記号	説明
1、37、38、48	P	AV <sub>CC</sub>	アナログ電源電圧 4.75 V ~ 5.25 V。この電源電圧は内部フロントエンド・アンプと ADC コアに使用します。これらの電源ピンは AGND にデカップリングする必要があります。
2、26、35、40、41、47	P	AGND	アナログ・グラウンド。このピンは、AD7608 上の全アナログ回路に対するグラウンド基準ポイントです。全アナログ入力信号と外付けリファレンス電圧信号はこれらのピンを基準とします。6本のすべてのピンをシステムの AGND プレーンに接続する必要があります。
5、4、3	DI	OS [2: 0]	オーバーサンプリング・モード・ピン。ロジック入力。これらの入力を使ってオーバーサンプリング比を選択します。OS 2 は MSB コントロール・ビット、OS 0 は LSB コントロール・ビットです。オーバーサンプリング動作モードの詳細についてはデジタル・フィルタのセクションを、オーバーサンプリング・ビット・デコーディングについては表 8 を、それぞれを参照してください。
6	DI	PAR/SER SEL	パラレル/シリアル・インターフェース選択入力。ロジック入力。このピンをロー・レベルにすると、パラレル・インターフェースが選択されます。このピンをハイ・レベルにすると、シリアル・インターフェースが選択されます。シリアル・モードでは、RD/SCLK ピンはシリアル・クロック入力として機能します。DB7/D <sub>OUT</sub> A ピンと DB8/D <sub>OUT</sub> B ピンは、シリアル・データ出力として機能します。シリアル・インターフェースを選択する場合、DB[15:9] ピンと DB[6:0] ピンは GND に接続する必要があります。
7	DI	STBY	スタンバイ・モード入力。このピンを使って、AD7608 の開始するパワーダウン・モード(スタンバイ・モードまたはシャットダウン・モード)を設定します。パワーダウン・モードは、RANGE ピンの状態(表 7)に従って開始されます。スタンバイ・モードでは、内蔵リファレンス・レギュレータとレギュレータ・バッファを除くすべての回路がパワーダウンします。シャットダウン・モードでは、すべての回路がパワーダウンします。
8	DI	RANGE	アナログ入力範囲選択。ロジック入力。このピンの極性によって、アナログ入力チャンネルの入力範囲が指定されます。このピンをハイ・レベルにすると、すべてのチャンネルでアナログ入力範囲が ±10 V になります。このピンをロー・レベルにすると、すべてのチャンネルでアナログ入力範囲が ±5 V になります。このピンのロジック変化は、アナログ入力範囲に直ちに反映されます。変換中にこのピンを変化させることは推奨されません。詳細については、アナログ入力チャンネルのセクションを参照してください。
9、10	DI	CONVST A、CONVST B	変換開始入力 A、変換開始入力 B。ロジック入力。これらのロジック入力を使ってアナログ入力チャンネルの変換を開始させます。すべての入力チャンネルの同時サンプリングの場合、CONVST A と CONVST B を接続し、シングル変換開始信号を入力します。あるいは、CONVST A を使ってアナログ入力 V1、V2、V3、V4 の同時サンプリングを、CONVST B を使ってアナログ入力 V5、V6、V7、V8 の同時サンプリングを、それぞれ開始することができます。これは、オーバーサンプリングをオンにしている場合にのみ可能です。CONVST A ピンまたは CONVST B ピンがロー・レベルからハイ・レベルへ変化すると、対応するアナログ入力のフロントエンド・トラック・アンド・ホールド回路がホールドに設定されます。この機能を使うと、アナログ入力のセットの間に固有な位相遅延を生じさせることができます。

ピン番号	タイプ <sup>1</sup>	記号	説明
11	DI	RESET	リセット入力。ハイ・レベルにすると、RESETの立上がりエッジでAD7608がリセットされます。 t <sub>WAKE-UP</sub> 時間が経過した後、デバイスはパワーアップ後にRESETパルスを受信する必要があります。 RESETのハイ・パルス幅は、100 ns (typ)である必要があります。変換中にRESETパルスが入力されると、その変換は中止されます。読み出し中にRESETパルスが入力されると、出力レジスタ値は全ビット・ゼロにリセットされます。
12	DI	$\overline{\text{RD}}/\text{SCLK}$	パラレル・インターフェースが選択された場合パラレル・データ読み出し制御入力( $\overline{\text{RD}}$ ) / シリアル・インターフェースが選択された場合シリアル・クロック入力(SCLK)。パラレル・モードで $\overline{\text{CS}}$ と $\overline{\text{RD}}$ が共にロー・レベルになると、出力バスがイネーブルされます。パラレル・モードでは、各チャンネルの18ビット変換結果を読み出すために2個の $\overline{\text{RD}}$ パルスが必要とされます。最初の $\overline{\text{RD}}$ パルスではDB[17:2]が、次の $\overline{\text{RD}}$ パルスではDB[1:0]が、それぞれ出力されます。シリアル・モードでは、このピンはデータ転送のシリアル・クロック入力として機能します。 $\overline{\text{CS}}$ の立下がりエッジで、データ出力ラインD <sub>OUTA</sub> とD <sub>OUTB</sub> がスリーステートから抜け出して、変換結果のMSBが出力されます。SCLKクロックの立上がりエッジですべての後続データビットがシリアル・データ出力D <sub>OUTA</sub> とD <sub>OUTB</sub> に出力されます。詳細については、変換制御のセクションを参照してください。
13	DI	$\overline{\text{CS}}$	チップ・セレクト。このアクティブ・ロー・ロジック入力により、データ転送がフレーム化されます。パラレル・モードで $\overline{\text{CS}}$ と $\overline{\text{RD}}$ が共にロー・レベルになると、出力バスDB[15:0]がイネーブルされ、変換結果がパラレル・データ・バス・ラインへ出力されます。シリアル・モードでは、 $\overline{\text{CS}}$ を使ってシリアル読み出し転送をフレーム化し、シリアル出力データのMSBを出力します。
14	DO	BUSY	ビジー出力。CONVST A と CONVST B の立上がりエッジの後でこのピンがロー・レベルへ変化して、変換プロセスが開始されたことを表示します。BUSY出力のハイ・レベルは、すべてのチャンネルの変換プロセスが完了するまで維持されます。BUSYの立下がりエッジは、変換データが出力データ・レジスタにラッチされ、時間t <sub>4</sub> 後に読み出し可能であることを表示します。BUSYのハイ・レベル中に読み出されたすべてのデータは、BUSYの立下がりエッジの前に完了する必要があります。BUSY信号がハイ・レベルのときの、CONVST A または CONVST B の立上がりエッジは無視されます。
15	DO	FRSTDATA	デジタル出力。FRSTDATA出力信号は、パラレルまたはシリアル・インターフェースでの最初のチャンネルV1の読み出しタイミングを表示します。 $\overline{\text{CS}}$ 入力がハイ・レベルのとき、FRSTDATA出力ピンはスリーステートになります。 $\overline{\text{CS}}$ の立下がりエッジでFRSTDATAはスリーステートから抜け出します。パラレル・モードでは、V1の変換結果に対応する $\overline{\text{RD}}$ の立下がりエッジでFRSTDATAピンがハイ・レベルになって、V1の変換結果が出力データ・バス上にあることを表示します。FRSTDATA出力は $\overline{\text{RD}}$ の3番目の立下がりエッジの後にロー・レベルに戻ります。シリアル・モードでは、FRSTDATAは $\overline{\text{CS}}$ の立下がりエッジでハイ・レベルになり、このクロックによりV1のMSBがD <sub>OUTA</sub> へ出力されます。この信号は、 $\overline{\text{CS}}$ の立下がりエッジの後の、SCLKの18番目の立下がりエッジでロー・レベルに戻ります。詳細については、変換制御のセクションを参照してください。
22~16	DO	DB[6:0]	パラレル出力データビットDB6~DB0。 $\overline{\text{PAR/SER SEL}} = 0$ のとき、これらのピンはスリーステートのパラレル・デジタル出力ピンとして機能します。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ がロー・レベルのとき、これらのピンを使って、最初の $\overline{\text{RD}}$ パルス中に変換結果のDB8~DB2を出力し、2番目の $\overline{\text{RD}}$ パルス中に0を出力します。 $\overline{\text{PAR/SER SEL}} = 1$ の場合、これらのピンはGNDに接続する必要があります。
23	P	V <sub>DRIVE</sub>	ロジック電源入力。このピンに入力される電圧(2.3 V~5.25 V)により、インターフェースの動作電圧が決定されます。このピンは通常、ホスト・インターフェース(DSPまたはFPGA)の電源と同じ電源に接続されます。
24	DO	DB7/D <sub>OUTA</sub>	パラレル出力データビット7(DB7)/シリアル・インターフェース・データ出力ピン(D <sub>OUTA</sub> )。 $\overline{\text{PAR/SER SEL}} = 0$ のとき、このピンはスリーステートのパラレル・デジタル出力ピンとして機能します。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ がロー・レベルのとき、このピンを使って、変換結果のDB9を出力します。 $\overline{\text{PAR/SER SEL}} = 1$ のとき、このピンはD <sub>OUTA</sub> として機能し、シリアル変換データを出力します。詳細については、変換制御のセクションを参照してください。
25	DO	DB8/D <sub>OUTB</sub>	パラレル出力データビット8(DB8)/シリアル・インターフェース・データ出力ピン(D <sub>OUTB</sub> )。 $\overline{\text{PAR/SER SEL}} = 0$ のとき、このピンはスリーステートのパラレル・デジタル出力ピンとして機能します。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ がロー・レベルのとき、このピンを使って、変換結果のDB10を出力します。 $\overline{\text{PAR/SER SEL}} = 1$ のとき、このピンはD <sub>OUTB</sub> として機能し、シリアル変換データを出力します。詳細については、変換制御のセクションを参照してください。
31~27	DO	DB[13:9]	パラレル出力データビットDB13~DB9。 $\overline{\text{PAR/SER SEL}} = 0$ のとき、これらのピンはスリーステートのパラレル・デジタル出力ピンとして機能します。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ がロー・レベルのとき、これらのピンを使って、最初の $\overline{\text{RD}}$ パルス中に変換結果のDB15~DB11を出力し、2番目の $\overline{\text{RD}}$ パルス中に0を出力します。 $\overline{\text{PAR/SER SEL}} = 1$ の場合、これらのピンはGNDに接続する必要があります。
32	DO/DI	DB14	パラレル出力データビット14(DB14)。 $\overline{\text{PAR/SER SEL}} = 0$ のとき、このピンはスリーステートのパラレル・デジタル出力ピンとして機能します。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ がロー・レベルのとき、このピンを使って、最初の $\overline{\text{RD}}$ パルス中に変換結果のDB16を出力し、2番目の $\overline{\text{RD}}$ パルス中に同じ変換結果のDB0を出力します。 $\overline{\text{PAR/SER SEL}} = 1$ の場合、このピンはGNDに接続する必要があります。
33	DO/DI	DB15	パラレル出力データビット15(DB15)。 $\overline{\text{PAR/SER SEL}} = 0$ のとき、このピンはスリーステートのパラレル・デジタル出力ピンとして機能します。このピンを使って、最初の $\overline{\text{RD}}$ パルス中に変換結果のDB17を出力し、2番目の $\overline{\text{RD}}$ パルス中に同じ変換結果のDB1を出力します。 $\overline{\text{PAR/SER SEL}} = 1$ の場合、このピ

ピン番号	タイプ <sup>1</sup>	記号	説明
34	DI	REF SELECT	ンはGNDに接続する必要があります。 内蔵/外付けリファレンス電圧選択入力。ロジック入力。このピンがハイ・レベルの場合、内蔵リファレンスが選択/イネーブルされます。このピンがロー・レベルの場合、内蔵リファレンスがディスエーブルされるので、外付けリファレンス電圧を REFIN/REFOUT ピンに接続する必要があります。
36、39	P	REGCAP	内蔵レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。これらの出力ピンは、1 $\mu$ F のコンデンサを使って個別に AGND へデカップリングする必要があります。これらの出力ピンの電圧範囲は 2.5 V~2.7 V です。
42	REF	REFIN/ REFOUT	リファレンス電圧入力/出力。REF SELECT ピンをハイ・レベルにすると、外部で使用できる 2.5 V の内蔵リファレンス電圧がこのピンに出力されます。あるいは、REF SELECT ピンをロー・レベルにして内蔵リファレンス電圧をディスエーブルして、2.5 V の外付けリファレンス電圧をこの入力に接続することができます。内蔵/外付けリファレンス電圧のセクションを参照してください。内蔵または外付けのリファレンス・オプションに対して、このピンをデカップリングする必要があります。このピンと REFGND ピンの近くのグラウンドとの間に 10 $\mu$ F のコンデンサを接続する必要があります。
43、46	REF	REFGND	リファレンス電圧のグラウンド・ピン。これらのピンは AGND へ接続する必要があります。
44、45	REF	REFCAPA、 REFCAPB	リファレンス・バッファ出力フォース/検出ピン。これらのピンを相互接続して、低 ESR の 10 $\mu$ F セラミック・コンデンサで AGND へデカップリングする必要があります。
49、51、 53、55、 57、59、 61、63	AI	V1~V8	アナログ入力。これらのピンはシングルエンドのアナログ入力です。これらのチャンネルのアナログ入力範囲は、RANGE ピンにより指定されます。
50、52、 54、56、 58、60、 62、64	AI/ GND	V1GND~ V8GND	アナログ入力グラウンド・ピン。これらのピンは V1~V8 のアナログ入力ピンに対応します。すべてのアナログ入力 AGND ピンはシステムの AGND プレーンに接続する必要があります。

<sup>1</sup> ピン・タイプの分類: P=電源; AI=アナログ入力; REF=リファレンス; DI=デジタル入力; DO=デジタル出力。

## 代表的な性能特性

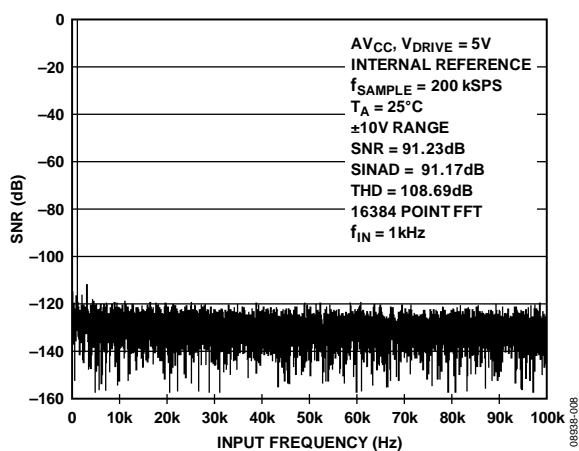


図 8.FFT プロット、±10 V 範囲

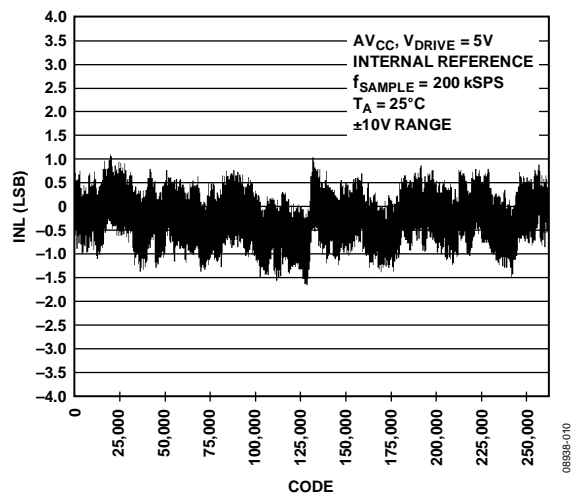


図 11.INL、±10 V 範囲

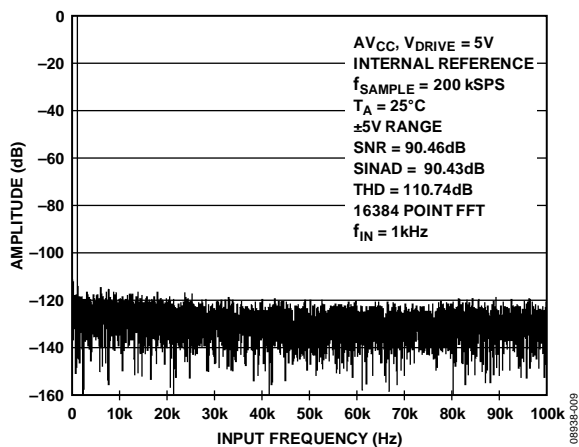


図 9.FFT プロット、±5 V 範囲

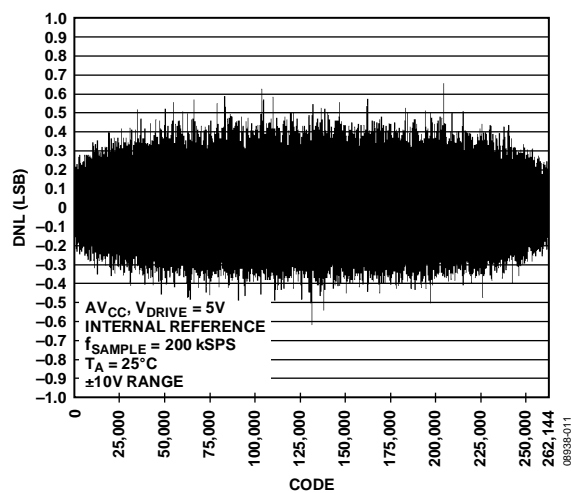


図 12.DNL、±10 V 範囲

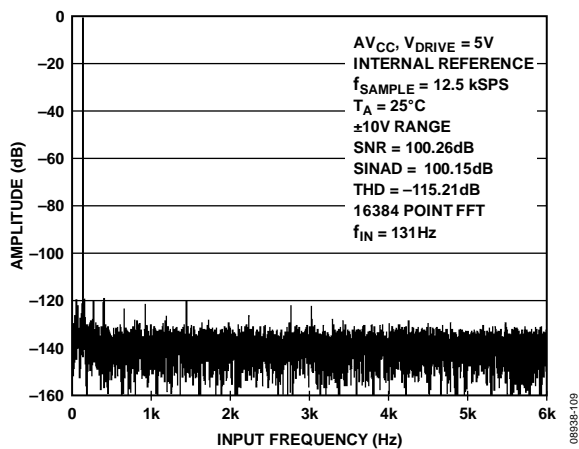


図 10.FFT オーバー・サンプリング、16 倍、±10 V 範囲

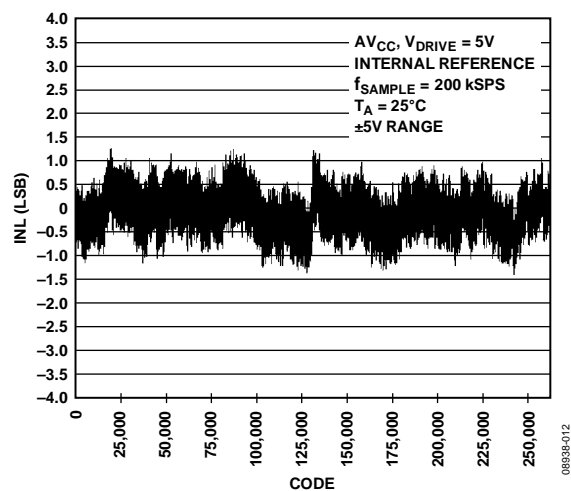


図 13.INL、±5 V 範囲

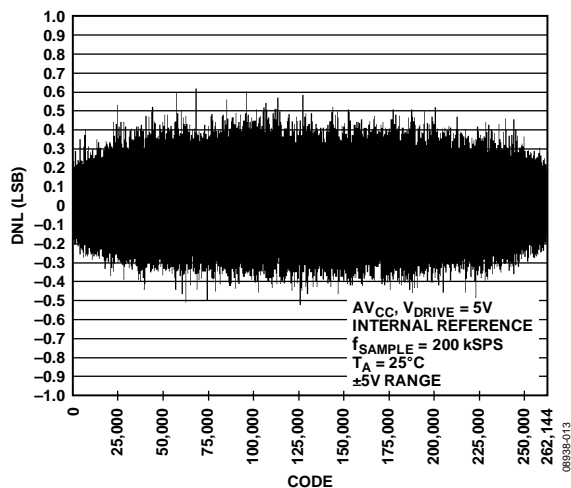


図 14. DNL、±5 V 範囲

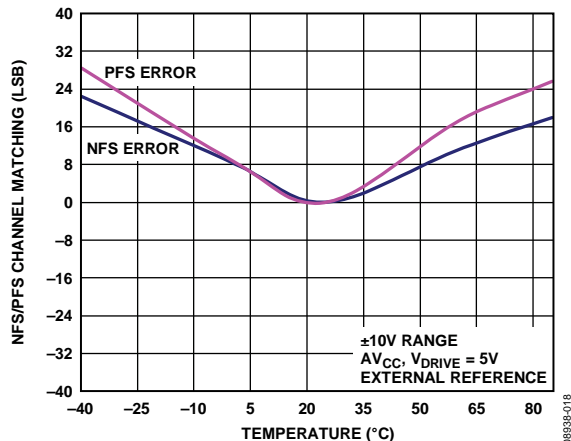


図 17. NFS/PFS 誤差マッチング

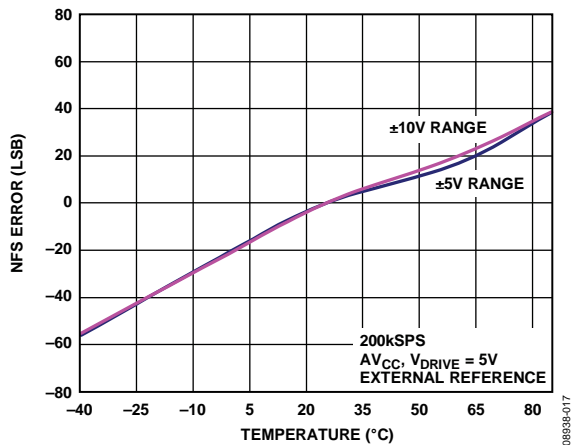


図 15. NFS 誤差の温度特性

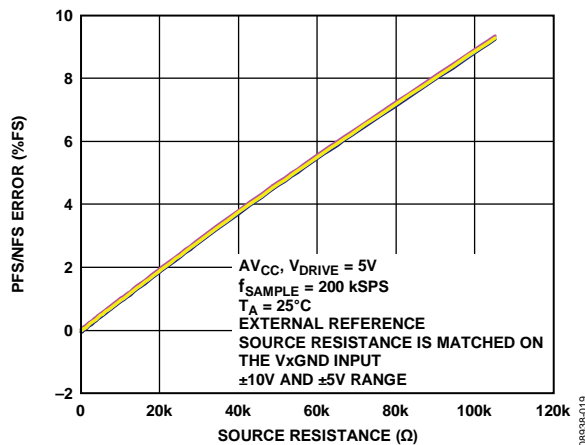


図 18. ソース抵抗対 PFS/NFS 誤差

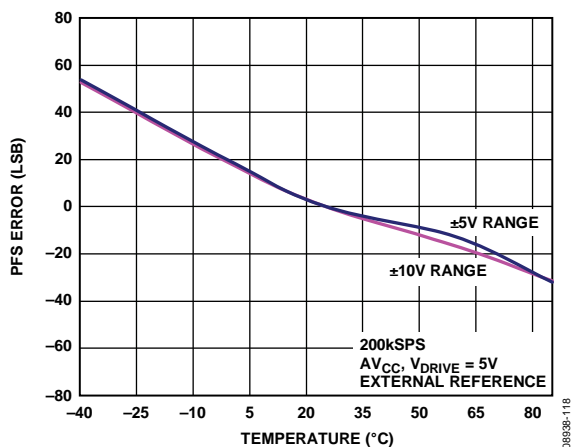


図 16. PFS 誤差の温度特性

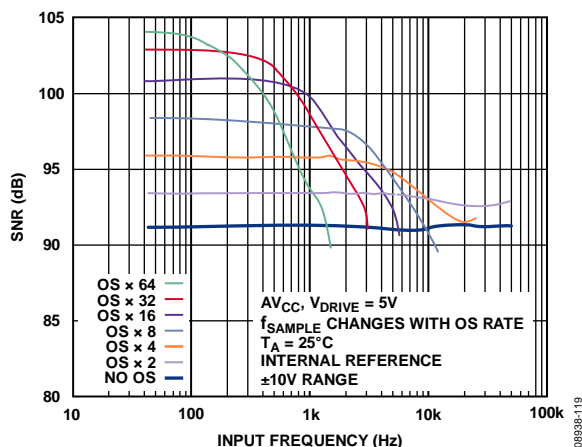


図 19. 様々なオーバーサンプリング・レートでの入力周波数対 SNR、±10 V 範囲

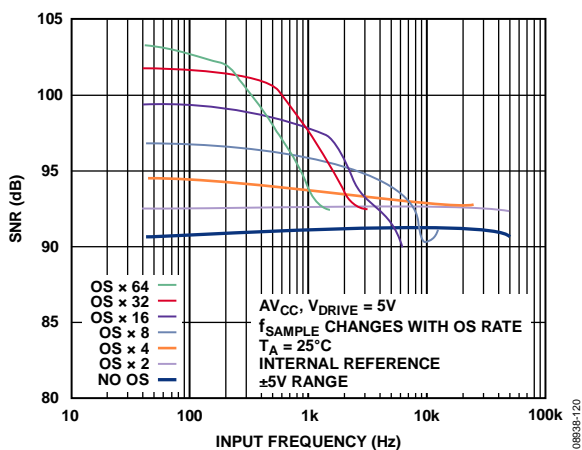


図 20. 様々なオーバーサンプリング・レートでの入力周波数対 SNR、 $\pm 5V$  範囲

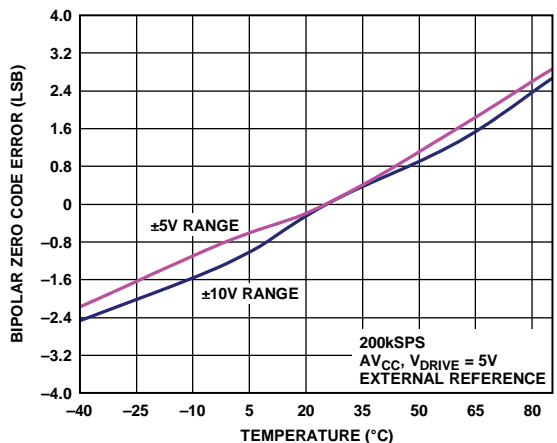


図 23. バイポーラ・ゼロ・コード誤差の温度特性

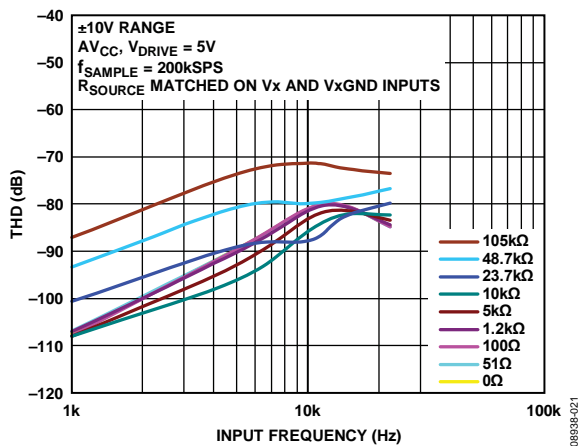


図 21. 様々なソース・インピーダンスでの入力周波数対 THD、 $\pm 10V$  範囲

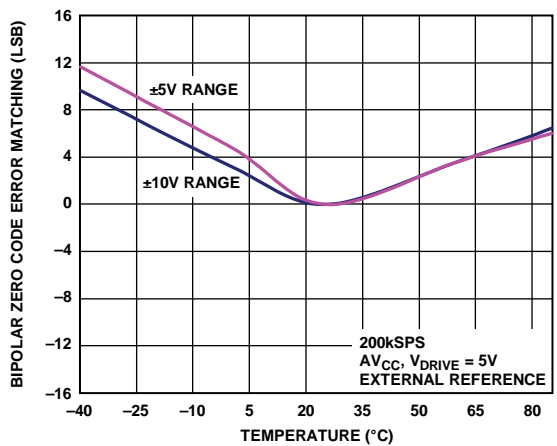


図 24. チャンネル間のバイポーラ・ゼロ・コード誤差マッチング

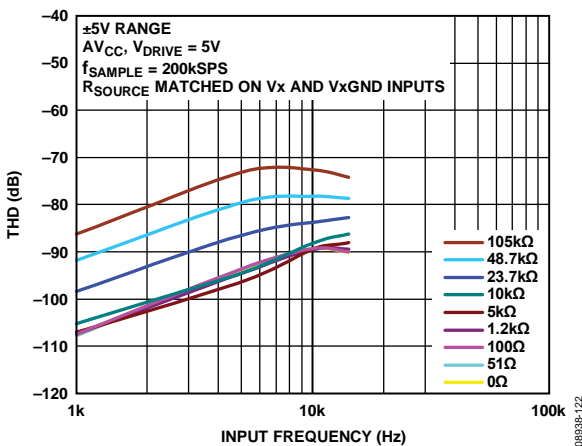


図 22. 様々なソース・インピーダンスでの入力周波数対 THD、 $\pm 5V$  範囲

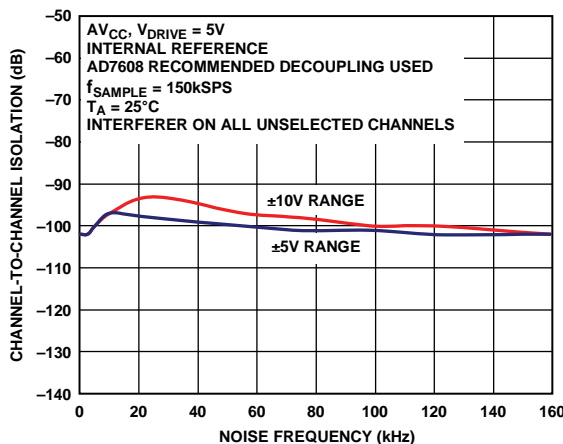


図 25. チャンネル間アイソレーション



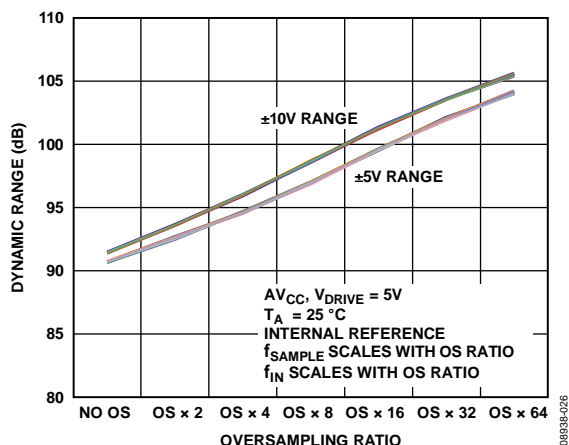


図 26. オーバーサンプリング比対ダイナミックレンジ

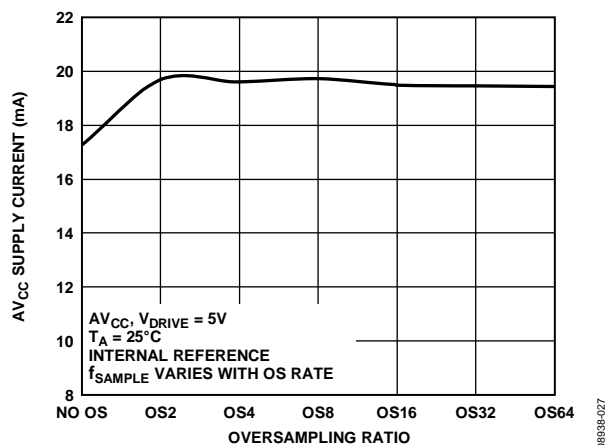


図 29. オーバーサンプリング・レート対電源電流

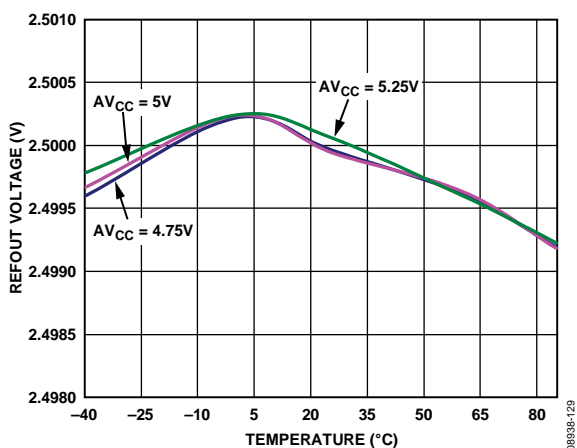


図 27. 様々な電源電圧でのリファレンス出力電圧の温度特性

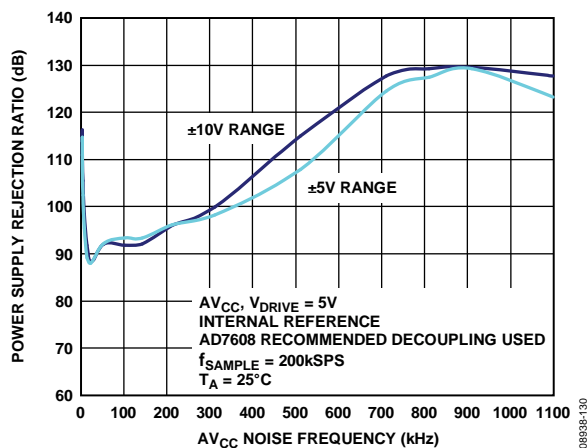


図 30. PSRR

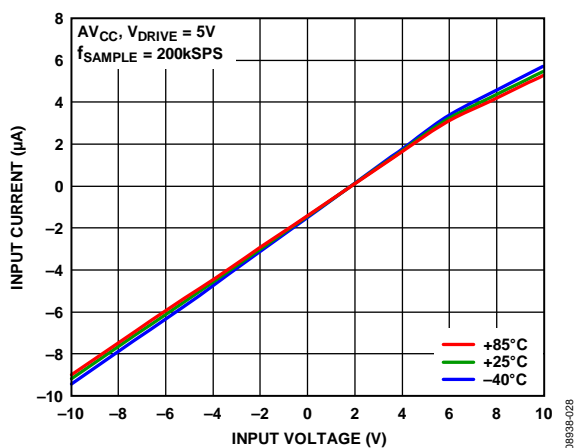


図 28. 様々な温度での入力電圧対アナログ入力電流

## 用語

### 積分非直線性

ADC 伝達関数の両端を結ぶ直線からの最大許容誤差をいいます。伝達関数の両端とは、ゼロスケール(最初のコード変化より $\frac{1}{2}$ LSB 下のポイント)とフルスケール(最後のコード変化より $\frac{1}{2}$ LSB 上のポイント)をいいます。

### 微分非直線性

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差をいいます。

### バイポーラ・ゼロ・コード誤差

ミッドスケール変化(全ビット 0 から全ビット 1 への変化)の理想入力電圧(すなわち  $0\text{ V} - \frac{1}{2}\text{ LSB}$ )からの差を意味します。

### バイポーラ・ゼロ・コード誤差のマッチ

任意の 2 入力チャンネル間のバイポーラ・ゼロ・コード誤差の絶対差を意味します。

### 正のフルスケール誤差

バイポーラ・ゼロ・コード誤差調整後の実際の最後のコード変化と最後のコード変化理論値( $10\text{ V} - 1\frac{1}{2}\text{ LSB}$  (9.99988))と  $5\text{ V} - 1\frac{1}{2}\text{ LSB}$  (4.99994))との差を意味します。正のフルスケール誤差には、内蔵リファレンス・バッファ成分も含まれます。

### 正のフルスケール誤差マッチング

任意の 2 入力チャンネル間の正のフルスケール誤差の絶対差を意味します。

### 負のフルスケール誤差

バイポーラ・ゼロ・コード誤差調整後の実際の最初のコード変化と最初のコード変化理論値( $-10\text{ V} - 1\frac{1}{2}\text{ LSB}$  (-9.99996))と  $-5\text{ V} - 1\frac{1}{2}\text{ LSB}$  (-4.99998))との差を意味します。負のフルスケール誤差には、内蔵リファレンス・バッファ成分も含まれます。

### 負のフルスケール誤差マッチング

任意の 2 入力チャンネル間の負のフルスケール誤差の絶対差を意味します。

### 信号対(ノイズ+歪み)比

A/D コンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは  $1/2$  サンプリング周波数( $f_s/2$ )までの全高調波の和で表します(DC を除く)。

この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。

正弦波を入力した場合の、理想 N ビット・コンバータに対する信号対(ノイズ+歪み)比の理論値は次式で表されます。

$$\text{信号対(ノイズ+歪み)比} = (6.02N + 1.76)\text{ dB}$$

したがって、18 ビット・コンバータの場合、信号対(ノイズ+歪み)比は 110.12 dB になります。

### 総合高調波歪み(THD)

高調波の rms 値総和と基本波の比です。AD7608 の場合、次式で与えられます。

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2 + V_8^2 + V_9^2}}{V_1}$$

ここで、

$V_1$  は基本波の rms 振幅。

$V_2 \sim V_9$  は、2 次～9 次の高調波の rms 振幅。

### ピーク高調波またはスプリアス・ノイズ

ADC 出力スペクトル内の(DC を除いて  $f_s/2$  まで)次に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されませんが、高調波がノイズ・フロアに埋め込まれている ADC の場合は、ノイズ・ピークにより決定されます。

### 相互変調歪み(IMD)

非線形性を持つアクティブ・デバイスに 2 つの周波数  $f_a$  および  $f_b$  を含む正弦波を入力すると、様々な和および差の周波数  $m f_a \pm n f_b$  を持つ歪み成分が発生します。ここで、 $m, n = 0, 1, 2, 3, \dots$  です。相互変調歪項とは、 $m$  と  $n$  が非ゼロの項をいいます。例えば、2 次項には  $(f_a + f_b)$  と  $(f_a - f_b)$  が含まれ、3 次項には  $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$  が含まれます。

相互変調歪みの計算は THD の仕様に従います。すなわち、dB で表した個々の歪み成分の rms 総和の、基本波の和の rms 振幅に対する比になります。

### 電源除去比(PSRR)

電源変動はフルスケール変化に影響しますが、コンバータの直線性には影響を与えません。PSR は、電源電圧の公称値からの変化で発生するフルスケール変化ポイントの最大変化を表します。PSR 比(PSRR)は、ADC 出力でのフルスケール周波数  $f$  の電力と、ADC の  $V_{DD}$  電源と  $V_{SS}$  電源に加えられた周波数  $f_s$  の 100 mVp-p 正弦波の電力との比として定義されます。

$$\text{PSRR (dB)} = 10 \log (P_f / P_{f_s})$$

ここで、

$P_f$  は ADC 出力での周波数  $f$  の電力。

$P_{f_s}$  は  $AV_{CC}$  電源に加えられた周波数  $f_s$  の電力に一致します。

### チャンネル間アイソレーション

チャンネル間アイソレーションは、全入力チャンネル間でのクロストークのレベルの大きさを表します。フルスケールの最大 160 kHz 正弦波信号をすべての非選択入力チャンネルに入力し、1 kHz 信号を入力した選択したチャンネルで信号の減衰を測定することにより決定します。

## 動作原理

### コンバータの詳細

AD7608 は、高速低消費電力電荷再分配型の逐次比較 A/D コンバータを採用したデータ・アキュイジション・システムであり、8 チャンネルのアナログ入力の同時サンプリングが可能です。AD7608 のアナログ入力には真のバイポーラ入力信号を入力することができます。RANGE ピンを使って $\pm 10\text{ V}$  または $\pm 5\text{ V}$  の入力範囲を選択します。AD7608 は 5 V 単電源で動作します。

AD7608 は、入力クランプ保護機能、入力信号スケールング・アンプ、2 次折り返し防止フィルタ、トラック・アンド・ホールド・アンプ、リファレンス電圧、リファレンス・バッファ、高速 ADC、デジタル・フィルタ、高速パラレルおよびシリアル・インターフェースを内蔵しています。AD7608 のサンプリングは CONVST x 信号を使って制御します。

### アナログ入力

#### アナログ入力範囲

AD7608 は真のバイポーラ・シングルエンド入力電圧を処理することができます。RANGE ピンのロジック・レベルにより、すべてのアナログ入力チャンネルのアナログ入力範囲が決定されます。このピンをハイ・レベルにすると、すべてのチャンネルでアナログ入力範囲が $\pm 10\text{ V}$  になります。このピンをロー・レベルにすると、すべてのチャンネルでアナログ入力範囲が $\pm 5\text{ V}$  になります。この RANGE ピンのロジック変化は、アナログ入力範囲に直ちに反映されますが、通常のアキュイジション時間条件の他に約  $80\ \mu\text{s}$  のセットリング・タイムが加わります。システム信号の入力範囲に応じて RANGE ピンをワイヤー接続することが推奨されます。

#### アナログ入力インピーダンス

AD7608 のアナログ入力インピーダンスは  $1\text{ M}\Omega$  です。これは、AD7608 のサンプリング周波数で変化しない固定入力インピーダンスです。この高いアナログ入力インピーダンスにより、AD7608 の前にドライバ・アンプが不要になるため、ソースまたはセンサーに直接接続することができます。ドライバ・アンプが不要になるため、バイポーラ電源(システム内のノイズ源となることがあります)をシグナル・チェーンから除くことができます。

### アナログ入力クランプ保護機能

図 31 に、AD7608 のアナログ入力構造を示します。各 AD7608 アナログ入力にはクランプ保護回路が内蔵されています。5 V の単電源動作ですが、このアナログ入力クランプ保護機能により、 $\pm 16.5\text{ V}$  までの入力オーバー電圧が許容されます。

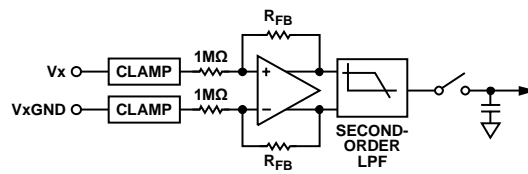


図 31.アナログ入力回路

図 32 に、クランプ回路の電流対電圧特性を示します。最大  $\pm 16.5\text{ V}$  の入力電圧に対して、クランプ回路に電流が流れません。 $\pm 16.5\text{ V}$  を超える入力電圧では、AD7608 のクランプ回路がターンオンします。

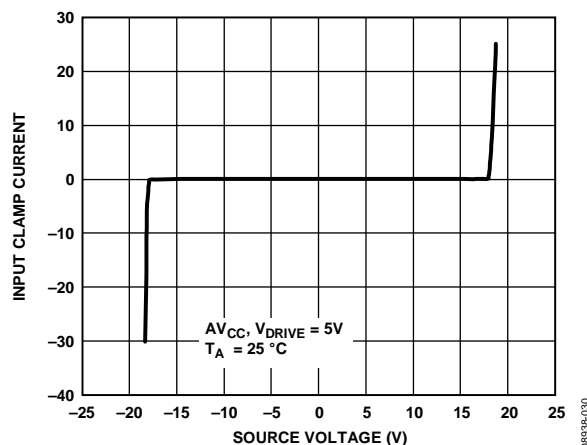


図 32.入力保護のクランプ特性

$\pm 16.5\text{ V}$  を超える入力電圧に対しては、アナログ入力チャンネルに直列抵抗を接続して、電流を $\pm 10\text{ mA}$  に制限する必要があります。アナログ入力チャンネル  $V_x$  に直列抵抗を使用するアプリケーションでは、アナログ入力 GND チャンネル  $V_{xGND}$  にも対応する抵抗が必要です(図 33 参照)。 $V_{xGND}$  チャンネルに対応する抵抗がないと、そのチャンネルにオフセット誤差が発生します。

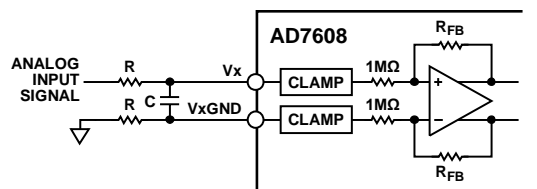


図 33.アナログ入力での入力抵抗マッチング

### アナログ入力の折り返し防止フィルタ

AD7608 はアナログ折り返し防止フィルタ(2次バターース)も内蔵しています。図 34 と図 35 に、それぞれアナログ折り返し防止フィルタの周波数応答と位相応答を示します。±5 V 範囲では、-3 dB 周波数は 15 kHz (typ)です。±10 V 範囲では、-3 dB 周波数は 23 kHz (typ)です。

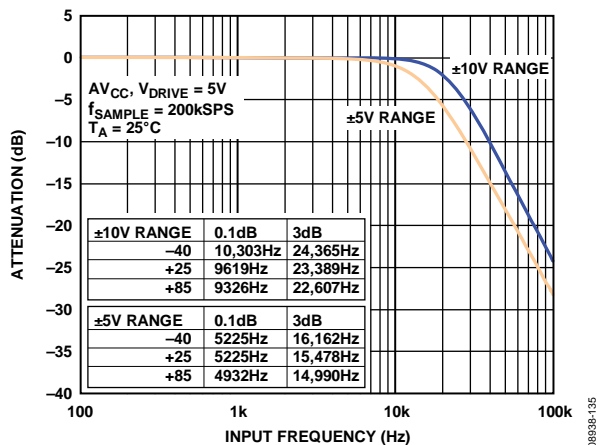


図 34. アナログ折り返し防止フィルタの周波数応答

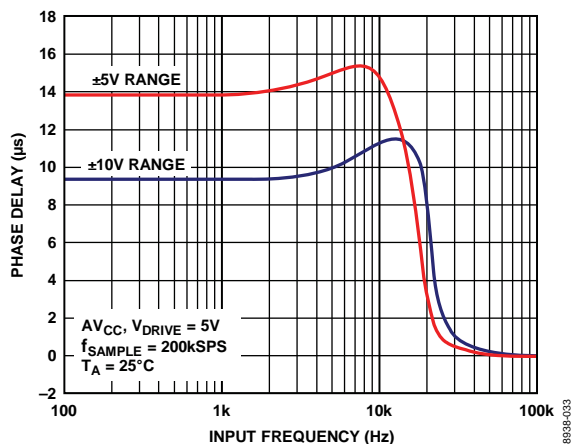


図 35. アナログ折り返し防止フィルタの位相応答

### トラック・アンド・ホールド・アンプ

AD7608 のトラック・アンド・ホールド・アンプにより、ADC はフルスケール振幅の入力正弦波を正確に 18 ビット分解能で取得することができます。このトラック・アンド・ホールド・アンプは、それぞれの入力を同時に CONVST x の立上がりエッジでサンプルします。トラック・アンド・ホールドのアパーチャ・タイム(すなわち外部 CONVST x 信号とトラック・アンド・ホールドの実際にホールドになるタイミングとの間の遅延)は、1 個のデバイス内の 8 個の全トラック・アンド・ホールド間で、さらにデバイス間でも一致するようにデザインされています。

このマッチングにより、システム内で複数の AD7608 デバイスを同時にサンプルすることができます。

全 8 チャンネル間での変換プロセスの終了は、BUSY の立下がりエッジで表示されます。トラック・アンド・ホールドがトラック・モードへ戻るのはこのポイントであり、ここで次のセットの変換に対するアキュイジション・タイムが開始されます。

デバイスの変換クロックは内部で発生され、AD7608 のすべてのチャンネルの変換時間は 4 μs です。BUSY 信号は 8 変換すべてが終了したときロー・レベルに戻って、変換プロセスの終了を表示します。BUSY の立下がりエッジで、トラック・アンド・ホールド・アンプはトラック・モードへ戻ります。BUSY がロー・レベルになった後に、パラレル、パラレル・バイト、またはシリアル・インターフェースを使って出力レジスタから新しいデータを読み出すことができます。あるいは、BUSY のハイ・レベルの間に前の変換のデータを読み出すことができます。変換中に AD7608 からデータを読み出しも、性能に影響を与えないので、高速なスループットを実現することができます。VDRIVE > 3.3 V のパラレル・モードで、変換中の読み出しにより SNR が約 1.5 dB 低下します。

### ADC の伝達関数

AD7608 の出力コーディングは 2 の補数です。デザイン上のコード変化は連続する整数 LSB 値の中間(1/2 LSB、3/2 LSB など)で発生します。AD7608 の LSB サイズは FSR/262,144 になります。AD7608 の理論伝達特性を図 36 に示します。

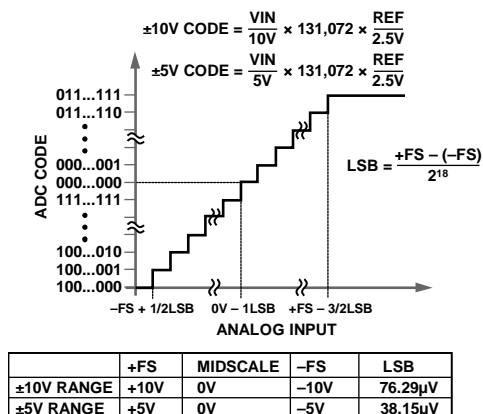


図 36. AD7608 の伝達特性

LSB サイズは選択したアナログ入力範囲に依存します。

## 内蔵/外付けリファレンス電圧

AD7608 は 2.5 V のバンド・ギャップ・リファレンス電圧を内蔵しています。REFIN/REFOUT ピンを使うと、4.5 V の内部リファレンス電圧を発生する内蔵 2.5 V リファレンスを外部へ出力するか、あるいはこのピンから 2.5 V の外付けリファレンス電圧を AD7608 に入力することができます。外付けの 2.5 V リファレンス電圧を内蔵バッファを使って 4.5 V まで増幅することもできます。このバッファされた 4.5 V リファレンス電圧が、SAR ADC で使用されるリファレンス電圧になります。

REF SELECT ピンはロジック入力ピンで、このピンを使って、内蔵リファレンス電圧または外付けリファレンス電圧を選択することができます。このピンをハイ・レベルにすると、内蔵リファレンスが選択されイネーブルされます。このピンをロー・レベルにすると、内蔵リファレンス電圧がディスエーブルされるので、外付けリファレンス電圧を REFIN/REFOUT ピンへ入力する必要があります。内蔵リファレンス・バッファは常にイネーブルされています。リセット後、AD7608 は REF SELECT ピンで選択したリファレンス・モードで動作します。内蔵および外付けのリファレンス・オプションに対して、REFIN/REFOUT ピンをデカップリングする必要があります。REFIN/REFOUT ピンに 10  $\mu$ F のセラミック・コンデンサが必要です。

AD7608 は、REF 電圧を約 4.5 V まで増幅するリファレンス・バッファを内蔵しています(図 37 参照)。REFCAPA ピンと REFCAPB ピンを外部で接続し、10  $\mu$ F のセラミック・コンデンサを REFGND に接続して、リファレンス・バッファがクロード・ループ動作するようにする必要があります。REFIN/REFOUT ピンに出力されるリファレンス電圧は 2.5 V です。

AD7608 を外付けリファレンス・モードに設定すると、REFIN/REFOUT ピンは高入力インピーダンス・ピンになります。複数の AD7608 デバイスを使用するアプリケーションでは、アプリケーションの条件に応じて次の構成が推奨されます。

## 外付けリファレンス電圧モード

外付けリファレンス ADR421 を 1 個使用して、全 AD7608 デバイスの REFIN/REFOUT ピンを駆動することができます(図 38 参照)。この構成では、AD7608 の各 REFIN/REFOUT ピンを最小 100 nF のコンデンサでデカップリングする必要があります。

## 内蔵リファレンス・モード

内蔵リファレンス・モードで動作するように設定された 1 個の AD7608 デバイスを使って、外付けリファレンス・モードで動作するように設定された残りの AD7608 デバイスを駆動することができます(図 39 参照)。内蔵リファレンス・モードに設定された AD7608 の REFIN/REFOUT ピンは、10  $\mu$ F のセラミック・コンデンサでデカップリングする必要があります。外付けリファレンス・モードに設定された他の AD7608 デバイスでは、REFIN/REFOUT ピンを最小 100 nF のコンデンサでデカップリングする必要があります。

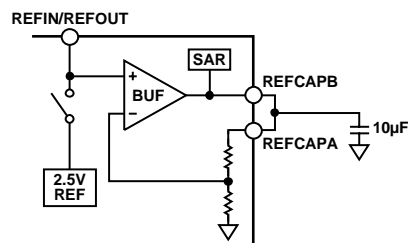


図 37.リファレンス電圧回路

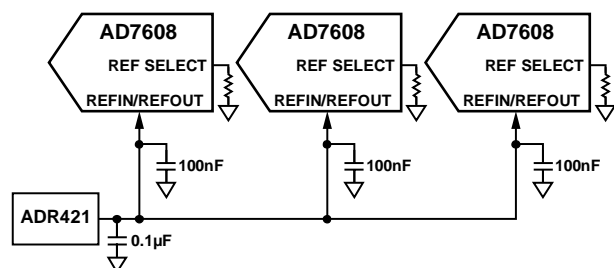


図 38.1 個の外付けリファレンス電圧で複数の AD7608 REFIN ピンを駆動

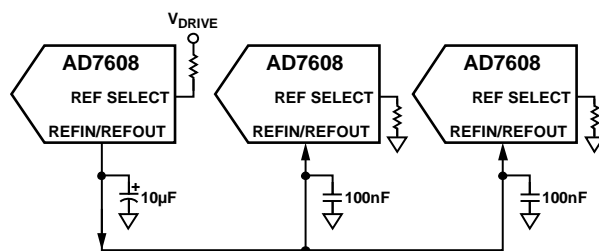


図 39.内蔵リファレンス電圧で複数の AD7608 REFIN ピンを駆動

## 代表的な接続図

図 40 に、AD7608 の一般的な接続図を示します。このデバイスには 4 本の AV<sub>CC</sub> 電源ピンがあり、4 本の各ピンは、100 nF のコンデンサを各電源ピンに、10 μF のコンデンサを電源に、それぞれ接続してデカップリングする必要があります。AD7608 は、内蔵リファレンス電圧または外付けリファレンス電圧で動作することができます。この構成では、AD7608 が内蔵リファレンス電圧で動作するように設定されています。ボード上で 1 個の AD7608 デバイスを使う場合、REFIN/REFOUT ピンを 10 μF のコンデンサでデカップリングする必要があります。複数の AD7608 デバイスを使用するアプリケーションについては、内蔵/外付けリファレンス電圧のセクションを参照してください。REFCAPA ピンと REFCAPB ピンを接続して、10 μF のセラミック・コンデンサでデカップリングします。

V<sub>DRIVE</sub> 電源はプロセッサと同じ電源に接続されます。V<sub>DRIVE</sub> 電圧が出力ロジック信号の電圧値を制御します。レイアウト、デカップリング、グラウンド接続については、レイアウトのガイドラインのセクションを参照してください。

電源を AD7608 に供給した後、RESET 信号をデバイスに入力して正しい動作モードに設定されたことを確認します。

## パワーダウン・モード

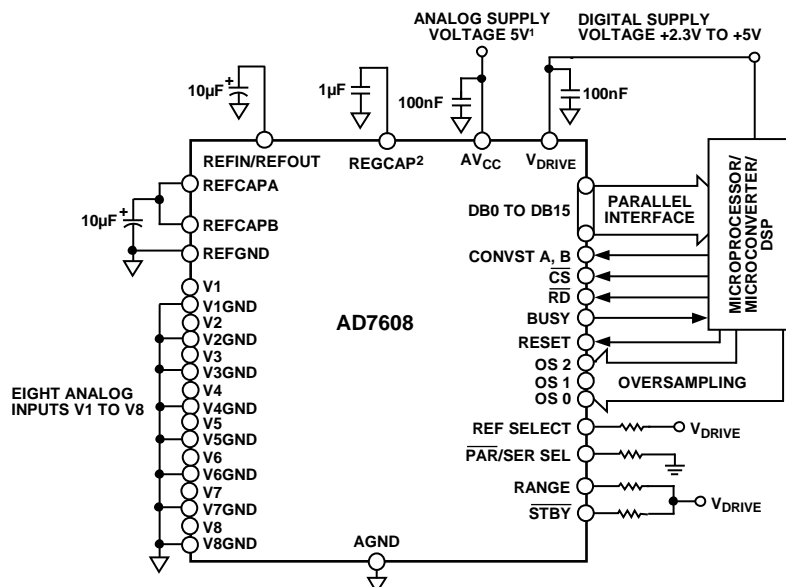
AD7608 にはスタンバイ・モードとシャットダウン・モードの 2 つのパワーダウン・モードがあります。STBY ピンにより、AD7608 が通常モードにあるか、または 2 つのパワーダウン・モードのいずれにあるかが制御されます。

パワーダウン・モードは、 $\overline{\text{STBY}}$  ピンがロー・レベルのときの RANGE ピンの状態によって選択されます。表 7 に、パワーダウン・モードを選択する際の設定を示します。AD7608 をスタンバイ・モードにすると、消費電流は最大 8 mA になり、パワーアップ時間は約 100 μs になります。これは REFCAPA ピンと REFCAPB ピンのコンデンサを充電する必要があるためです。スタンバイ・モードでは、内蔵のリファレンス電圧とレギュレータはパワーアップしたままで、アンプと ADC コアがパワーダウンします。

AD7608 をシャットダウン・モードにすると、消費電流は最大 11 μA になり、パワーアップ時間は約 13 ms になります(外付けリファレンス電圧モード)。シャットダウン・モードでは、全回路がパワーダウンします。AD7608 がシャットダウン・モードからパワーアップする際、所定のパワーアップ時間が経過した後、RESET 信号を AD7608 に入力する必要があります。

表 7. パワーダウン・モードの選択

Power-Down Mode	STBY	RANGE
Standby	0	1
Shutdown	0	0



- <sup>1</sup>DECOUPLING SHOWN ON THE AV<sub>CC</sub> PIN APPLIES TO EACH AV<sub>CC</sub> PIN (PIN 1, PIN 37, PIN 38, PIN 48). DECOUPLING CAPACITOR CAN BE SHARED BETWEEN AV<sub>CC</sub> PIN 37 AND PIN 38.  
<sup>2</sup>DECOUPLING SHOWN ON THE REGCAP PIN APPLIES TO EACH REGCAP PIN (PIN 36, PIN 39).

089354-038

図 40. 代表的な接続図

## 変換制御

### すべてのアナログ入力チャンネルでの同時サンプリング

AD7608では、すべてのアナログ入力チャンネルの同時サンプリングが可能です。両CONVST xピン(CONVST AとCONVST B)を接続すると、すべてのチャンネルが同時にサンプルされます。1本のCONVST x信号を使って、両CONVST x入力を制御します。この共通CONVST x信号の立上がりエッジで、すべてのアナログ入力チャンネルで同時サンプリングが開始されます。

AD7608は、変換の実行に使う発振器を内蔵しています。すべてのADCチャンネルの変換時間は $t_{CONV}$ です。BUSY信号は、変換中を表示します。CONVST xの立上がりエッジが入力されると、BUSYがハイ・レベルになり、変換プロセスが完了するとロー・レベルに変わります。BUSY信号の立下がりエッジを使って、8個の全トラック・アンド・ホールド・アンプがトラック・モードに戻されます。また、BUSYの立下がりエッジも、パラレル・バス(DB[15:0])、またはD<sub>OUT</sub>AとD<sub>OUT</sub>Bのシリアル・データラインから新しいデータが読出し可能であることを表示します。

### 2セットのチャンネルの同時サンプリング

AD7608では、2セットのアナログ入力チャンネルの同時サンプリングも可能です。この機能は、電源ライン保護と計測システムでPTトランスとCTトランスで生ずる位相差を補償する際に使うことができます。50 Hzシステムでは最大9°の位相補償が、60 Hzシステムでは最大10°の位相補償が、それぞれ可能です。

この機能は、2本のCONVST xピンに独立にパルスを入力して実行しますが、オーバーサンプリングを使用していない場合にのみ可能です。CONVST Aを使って最初のセットのチャンネル(V1~V4)の同時サンプリングを開始し、CONVST Bを使って2番目のセットのアナログ入力チャンネル(V5~V8)の同時サンプリングを開始します(図41参照)。CONVST Aの立上がりエッジで、最初のセットのチャンネルのトラック・アンド・ホールド・アンプがホールド・モードになります。CONVST Bの立上がりエッジで、2番目のセットのチャンネルのトラック・アンド・ホールド・アンプがホールド・モードになります。変換プロセスはCONVST xの両立上がりエッジが発生した後に開始されます。このため、BUSYは後の方のCONVST x信号の立上がりエッジでハイ・レベルになります。表3で、時間 $t_s$ はCONVST xサンプリング・ポイント間の最大許容時間を表しています。

2本のCONVST x信号を別々に使用する場合にも、データ読出しプロセスに変更はありません。

すべての未使用アナログ入力チャンネルはAGNDに接続してください。それでも、すべてのチャンネルが常に変換されているため、未使用チャンネルの変換結果が読出されたデータに含まれています。

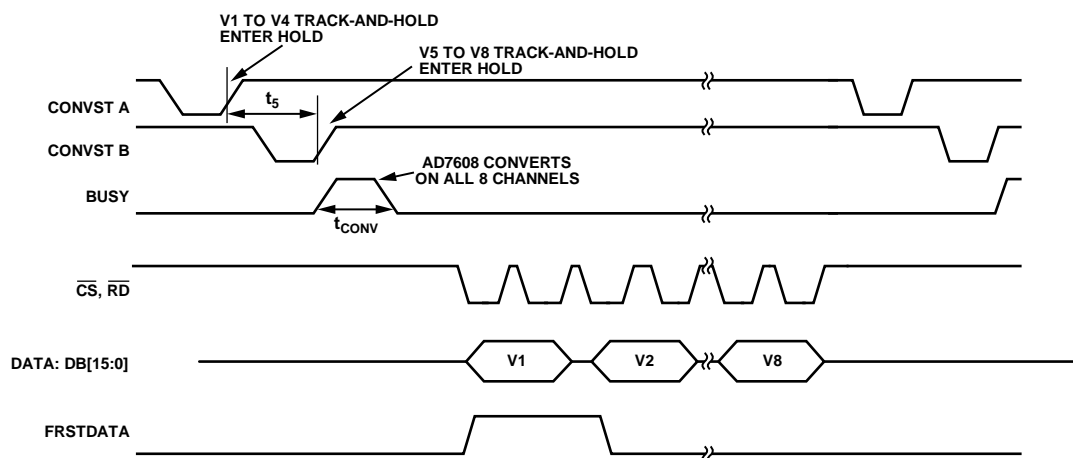


図 41. CONVST A/CONVST B 信号を別々に使用したチャンネル・セットの同時サンプリング—パラレル・モード

## デジタル・インターフェース

AD7608 には、パラレル・インターフェースと高速シリアル・インターフェースの 2 つのインターフェース・オプションがあります。インターフェース・モードは、 $\overline{\text{PAR/SER SEL}}$ ピンで選択します。

2 つのインターフェース・モードの動作を次のセクションで説明します。

### パラレル・インターフェース ( $\overline{\text{PAR/SER SEL}} = 0$ )

AD7608からのデータの読出しは、標準の $\overline{\text{CS}}$ 信号と $\overline{\text{RD}}$ 信号を使うパラレル・データバスを経由して行うことができます。パラレル・バスからデータを読出すときは、 $\overline{\text{PAR/SER SEL}}$ ピンをロー・レベルにする必要があります。 $\overline{\text{CS}}$ 入力信号と $\overline{\text{RD}}$ 入力信号を内部でゲーティングして変換結果をデータ・バスへ出力します。 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ をロー・レベルにすると、データラインDB15～DB0は高インピーダンス状態を維持します。

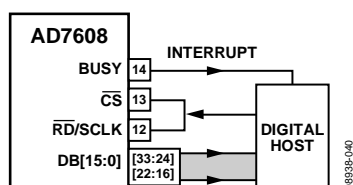


図 42. AD7608 のインターフェース図—パラレル・バスを使用する 1 個の AD7608、 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ を相互接続

$\overline{\text{CS}}$ 入力信号の立上がりエッジでバスがスリーステートになり、 $\overline{\text{CS}}$ 入力信号の立下がりエッジでバスが高インピーダンス状態から抜け出します。 $\overline{\text{CS}}$ はデータラインをイネーブするコントロール信号で、複数の AD7608 デバイスで同じパラレル・データ・バスを共用可能にする機能を持つのはこの信号です。

$\overline{\text{CS}}$ 信号をロー・レベルに固定して、 $\overline{\text{RD}}$ 信号を使って変換結果をアクセスすることができます(図4参照)。新しいデータの読出し動作は、 $\overline{\text{BUSY}}$ 信号がロー・レベルになった後に行うか(図2参照)、あるいは前の変換プロセスからのデータ読出し動作を $\overline{\text{BUSY}}$ がハイ・レベルのときに行うことができます(図3参照)。

$\overline{\text{RD}}$ ピンを使って出力変換結果レジスタからデータを読出します。各チャンネルからフル18ビットの変換結果を読出すためには2個の $\overline{\text{RD}}$ パルスが必要です。16個の $\overline{\text{RD}}$ パルス・シーケンスを AD7608 の $\overline{\text{RD}}$ ピンに入力すると、各チャンネルから変換結果が16ビット・パラレル出力バスへ昇順で出力されます。 $\overline{\text{BUSY}}$ がロー・レベルになった後の最初の $\overline{\text{RD}}$ 立下がりエッジで、V1変換結果のDB[17:2]が出力され、次の $\overline{\text{RD}}$ 立下がりエッジでV1変換結果のDB[1:0]がバスに出力されます。AD7608から8個の18ビット変換結果を読出すために16個の $\overline{\text{RD}}$ パルスが必要です。AD7608では、 $\overline{\text{RD}}$ の16番目の立下がりエッジでチャンネルV8の変換結果のDB[1:0]が出力されます。 $\overline{\text{RD}}$ 信号がロー・レベルになると、各チャンネルのデータ変換結果のデジタル・ホスト(DSP、FPGA)への転送がイネーブされます。

システム/ボード内に AD7608 が 1 個しか存在しない場合で、かつパラレル・バスを共用しない場合には、デジタル・ホストからの 1 個のコントロール信号だけでデータを読出すことができます。 $\overline{\text{CS}}$ 信号と $\overline{\text{RD}}$ 信号は相互に接続することができます(図 5 参照)。この場合、 $\overline{\text{CS}}$ / $\overline{\text{RD}}$ の立下がりエッジでデータ・バスがスリーステートから抜け出します。 $\overline{\text{CS}}$ 信号と $\overline{\text{RD}}$ 信号を接続すると、AD7608 からデータを出力して、デジタル・ホストから読出すことができます。この場合、 $\overline{\text{CS}}$ を使って、各データ・チャンネルのデータ転送をフレーム化します。この場合、8 チャンネルのデータを読出すために 16 個の $\overline{\text{CS}}$ パルスが必要です。



## シリアル・インターフェース (PAR/SER SEL = 1)

シリアル・インターフェースを使ってAD7608からデータを読み出すときは、PAR/SER SELピンをハイ・レベルにする必要があります。CS信号とSCLK信号を使ってAD7608からデータを転送します。AD7608には、D<sub>OUT</sub>AとD<sub>OUT</sub>Bの2本のシリアル・データ出力ピンがあります。これらのD<sub>OUT</sub>ラインの片方または両方を使ってAD7608からデータを読み出すことができます。AD7608の場合、チャンネルV1～チャンネルV4の変換結果がD<sub>OUT</sub>Aに最初に現れ、チャンネルV5～チャンネルV8の変換結果がD<sub>OUT</sub>Bに最初に現れます。

CSの立下がりエッジで、データ出力ライン(D<sub>OUT</sub>AとD<sub>OUT</sub>B)がスリーステートから抜け出して、変換結果のMSBが出力されます。SCLKクロックの立上がりエッジですべての後続データビットがシリアル・データ出力D<sub>OUT</sub>AとD<sub>OUT</sub>Bに出力されます。シリアル読み出しの間CS入力をロー・レベルに維持するか、またはパルスとして入力してSCLKで18サイクルの各チャンネル読み出しをフレーム化することができます。

図 43 に、AD7608 の 2 本の D<sub>OUT</sub> ラインを使った 8 個の同時変換結果の読み出し動作を示します。この場合、SCLK で 72 サイクルの転送を使ってAD7608 からデータをアクセスし、CSをロー・レベルにして、SCLKの 72 サイクルでフレーム化しています。データを 1 本の D<sub>OUT</sub> ラインだけで出力することもできます。この場合、D<sub>OUT</sub>A を使ってすべての変換データをアクセスすることが推奨されます。これはチャンネル・データが昇順で出力されるためです。AD7608 で 1 本の D<sub>OUT</sub> ラインだけを使って 8 個の変換結果すべてをアクセスするためには、SCLK で合計 144 サイクルが必要です。これらのSCLKの 144 サイクルは、1 本のCS信号でフレーム化するか、またはSCLKの 18 サイクルの各グループをCS信号で個々にフレーム化することができます。1 本だけのD<sub>OUT</sub>ラインを使用する欠点は、変換後に読み出す場合スループット・レートが低下することです。未使用D<sub>OUT</sub>ラインは、シリアル・モードでは未接続のままにする必要があります。AD7608 でD<sub>OUT</sub>Bを 1 本のD<sub>OUT</sub>ラインとして使用する場合、チャンネル変換結果はV5、V6、V7、V8、V1、V2、V3、V4 の順で出力されますが、FRSTDATAインジケータはV5 がD<sub>OUT</sub>Bで読み出された後にロー・レベルに戻ります。

図6に、シリアル・モードでAD7608から1チャンネルのデータ(CS信号でフレーム化)を読み出す際のタイミング図を示します。

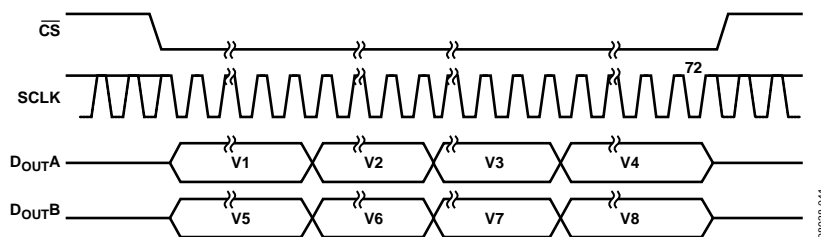


図 43.2 本の D<sub>OUT</sub> ラインを使用する AD7608 シリアル・インターフェース

SCLK入力信号は、シリアル読み出し動作のクロック・ソースになります。データをAD7608からアクセスするときは、CSをロー・レベルにします。CSの立下がりエッジで、バスがスリーステートから抜け出して、18ビット変換結果のMSBが出力されます。このMSBは、CSの立下がりエッジの後のSCLKの最初の立下がりエッジで有効になります。後続の17ビットのデータは、SCLKの立上がりエッジでAD7608から出力されます。データは、SCLKの立下がりエッジで有効になります。各変換結果をアクセスするためには、18サイクルのクロックをAD7608に入力する必要があります。

FRSTDATA出力信号は、最初のチャンネルV1の読み出しタイミングを表示します。CS入力がハイ・レベルのとき、FRSTDATA出力ピンはスリーステートになります。シリアル・モードでは、CSの立下がりエッジでFRSTDATAピンがスリーステートから抜け出してハイ・レベルになり、V1の変換結果がD<sub>OUT</sub>Aデータラインへ出力されたことを表示します。FRSTDATA出力は、SCLKの18番目の立下がりエッジでロー・レベルに戻ります。すべてのチャンネルをD<sub>OUT</sub>Bで読み出す場合、シリアル・データ出力ピンにV1が出力されたとき、FRSTDATA出力はハイ・レベルになりません。FRSTDATAはV1がD<sub>OUT</sub>Aで使用可能になったときにのみ(これがV5がD<sub>OUT</sub>Bで使用可能になるタイミング)ハイ・レベルになります。

## 変換中の読み出し

BUSY がハイ・レベルで変換が進行中に AD7608 からデータを読み出すことができます。これはコンバータ性能に影響を与えないので、高速なスループット・レートを実現することができます。変換中に、さらにオーバーサンプリングの使用の有無に関わらず、パラレルまたはシリアルの読み出しを行うことができます。図 3 に、パラレルまたはシリアル・モードで BUSY がハイ・レベルのときの読み出しタイミング図を示します。V<sub>DRIVE</sub> = 3.3 V ~ 5.25 V でシリアル・インターフェースを使って変換中に読み出すと、フル・スループット・レートが実現されます。

BUSY の立下がりエッジを除く任意の時間に AD7608 からデータを読み出すことができます。これは、BUSY の立下がりエッジで出力データ・レジスタが新しい変換データで更新されるためです。表 3 に示すようにこの条件では時間  $t_6$  が発生します。

## デジタル・フィルタ

AD7608 はオプションのデジタル 1 次 sinc フィルタを内蔵しています。このフィルタは低いスループット・レートを使用するアプリケーションか、または高い信号対ノイズ比または広いダイナミックレンジが必要なアプリケーションで使用されます。デジタル・フィルタのオーバーサンプリング比は、オーバーサンプリング・ピン OS [2:0]を使って制御します(表 8 参照)。OS 2 は MSB コントロール・ビットで、OS 0 は LSB コントロール・ビットです。表 8 に、様々なオーバーサンプル・レートを選擇するオーバーサンプリング・ビットのデコーディングを示します。OS ピンは、BUSY の立下がりエッジでラッチされます。これにより、次の変換のオーバーサンプリング・レートが設定されます(図 45 参照)。オーバーサンプリング機能の他に、出力変換結果が 18 ビット分解能にデシメートされます。

OS 比=8 を選擇するように OS ピンを設定すると、CONVST x の次の立上がりエッジで各チャンネルの最初のサンプルが取得され、すべてのチャンネルの残りの 7 サンプルは内部で発生されたサンプリング信号で取得されます。これらのサンプルの平均をとり SNR 性能を向上させます。表 8 に、±10 V 範囲と±5 V 範囲に対する SNR 性能 (typ)を示します。表 8 に示すように、OS 比の増加と共に SNR が向上します。OS 比を大きくすると、3 dB 周波数が低下するため、許容サンプリング周波数も低下します。10 kSPS のサンプリング周波数が必要なアプリケーションでは、最大 16 までの OS 比を使用することができます。この場合、アプリケーションでは SNR が向上しますが、入力 3 dB 帯域幅は約 6 kHz に制限されます。

オーバーサンプリングをターンオンする場合、CONVST A ピンと CONVST B ピンを相互接続して駆動する必要があります。オーバーサンプリング機能をターンオンすると、変換プロセスに対する BUSY のハイ・レベル時間が長くなります。実際の BUSY ハイ・レベル時間は選擇するオーバーサンプリング・レートに依存します。オーバーサンプリング・レートが高いほど、BUSY ハイ・レベル時間が長くなり、合計変換時間が長くなります(表 3 参照)。

図 44 に、オーバーサンプリング・レートが大きくなると変換時間が長くなり、様々なオーバーサンプリング・レートに対して

BUSY 信号が長くなることを示します。例えば、サンプリング周波数 10 kSPS ではサイクル時間が 100  $\mu$ s になります。図 44 に、OS  $\times 2$  と OS  $\times 4$  を示します。10 kSPS の例では、オーバーサンプリング・レートをさらに大きくするために十分なサイクル時間があり、SNR 性能を大幅に向上させることができます。例えば、初期サンプリングまたはスループット・レートが 200 kSPS で、かつオーバーサンプリングをターンオンするアプリケーションでは、スループット・レートを下げて変換時間を長くして読出しを可能にする必要があります。オーバーサンプリングをターンオンして最高速スループット・レートを実現するときは、BUSY のハイ・レベル時間中に読出しを行うことができます。BUSY の立下がりエッジで、出力データ・レジスタが新しい変換データで更新されるため、変換データの読出しはこのエッジで行わないようにする必要があります。

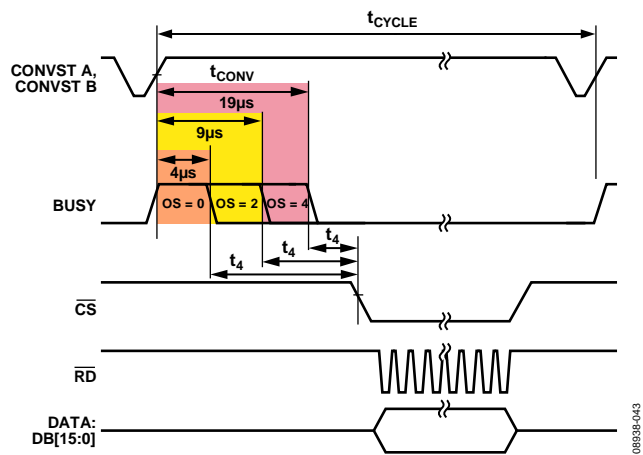


図 44. 変換後の読出しでの、オーバーサンプリングなし  
オーバーサンプリング $\times 2$ 、オーバーサンプリング $\times 4$

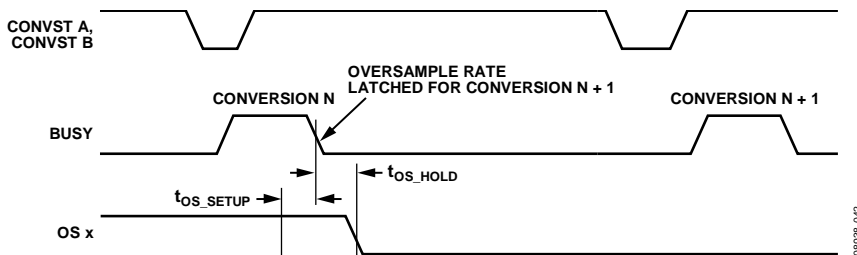


図 45.OS ピン・タイミング

表 8. オーバーサンプル・ビットのデコーディング

OS [2:0]	OS Ratio	SNR $\pm 5$ V Range (dB) <sup>1</sup>	SNR $\pm 10$ V Range (dB) <sup>1</sup>	3 dB BW $\pm 5$ V Range (kHz)	3 dB BW $\pm 10$ V Range (kHz)	Maximum Throughput CONVST x Frequency (kHz)
000	No OS	90.5	91.2	15	22	200
001	2	92.5	93.4	15	22	100
010	4	94.45	95.7	13.7	18.5	50
011	8	96.5	98	10.3	11.9	25
100	16	99.1	100.4	6	6	12.5
101	32	101.7	102.8	3	3	6.25
110	64	103	103.5	1.5	1.5	3.125
111	Invalid					

<sup>1</sup> フルスケール 100 Hz 入力信号で取得した SNR 値

図 46～図 52 に、DC ヒストグラム・プロットでのコードの広がりに対するオーバーサンプリングの効果を示します。オーバーサンプル・レートが大きくなると、コードの広がりが小さくなります(図 46～図 52 では、 $AV_{CC} = V_{DRIVE} = 5\text{ V}$ 、サンプリング・レートを OS 比でスケール)。

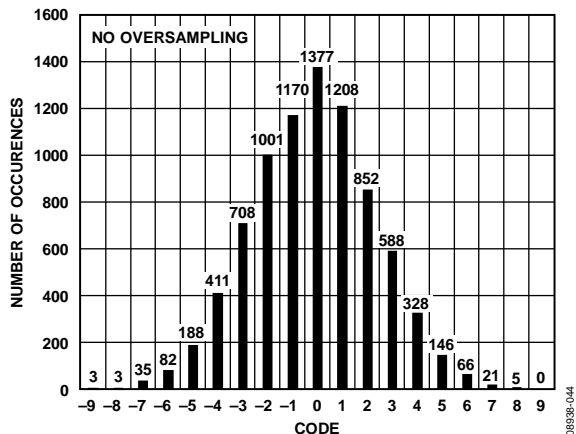


図 46.コードのヒストグラム—OS なし(18 個のコード)

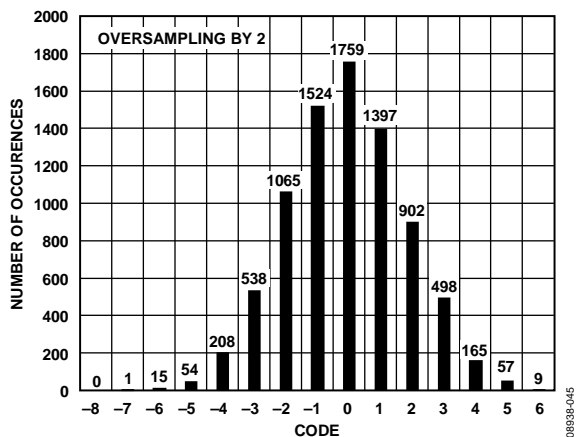


図 47.コードのヒストグラム—OS × 2 (14 個のコード)

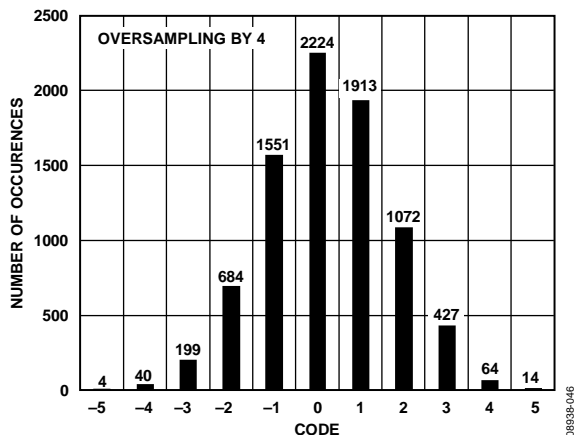


図 48.コードのヒストグラム—OS × 4 (11 個のコード)

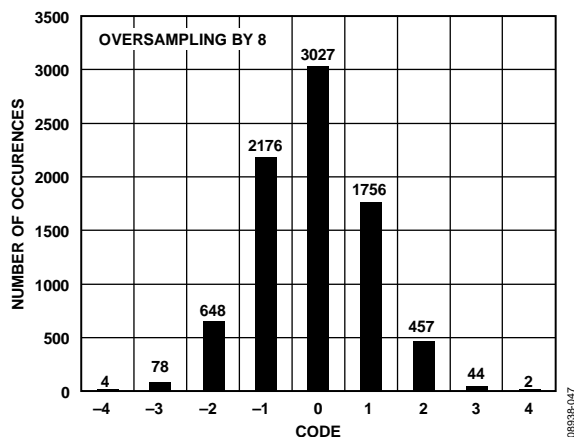


図 49.コードのヒストグラム—OS × 8 (9 個のコード)

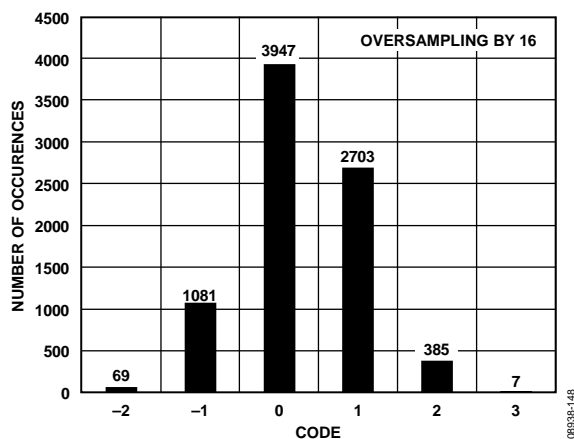


図 50.コードのヒストグラム—OS × 16 (6 個のコード)

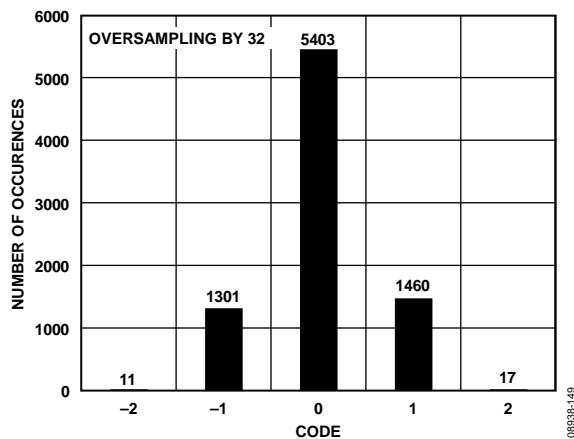


図 51.コードのヒストグラム—OS × 32 (5 個のコード)

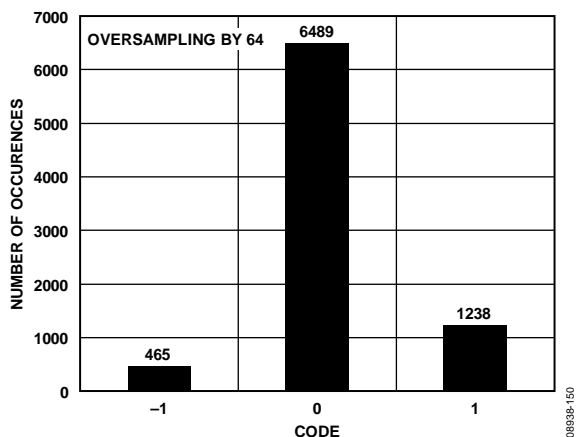


図 52.コードのヒストグラム—OS × 64 (3 個のコード)

オーバーサンプリング・モードを選択すると、ADC の後ろにデジタル・フィルタ機能を接続する効果があります。様々なオーバーサンプリング・レートと CONVST × サンプリング周波数により、様々なデジタル・フィルタ周波数特性が得られます。

図 53～図 58 に、オーバーサンプリング×2～オーバーサンプリング×64 に対するデジタル・フィルタ周波数特性を示します。アナログ折り返し防止フィルタとオーバーサンプリング・デジタル・フィルタの組み合わせを使って、AD7608 の前のフィルタ・デザインを簡素化できます。デジタル・フィルタでは、急勾配のロールオフとリニア位相応答を組み合わせています。

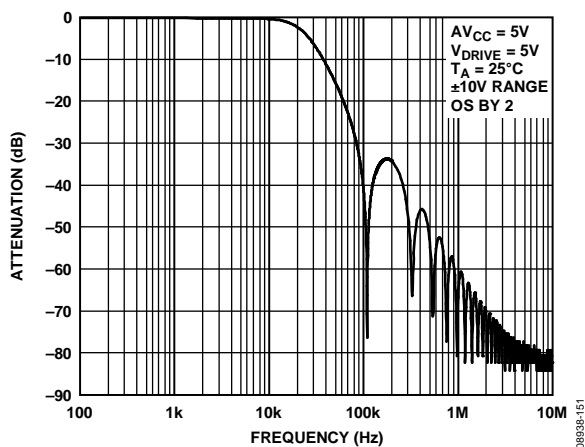


図 53.OS × 2 のデジタル・フィルタ

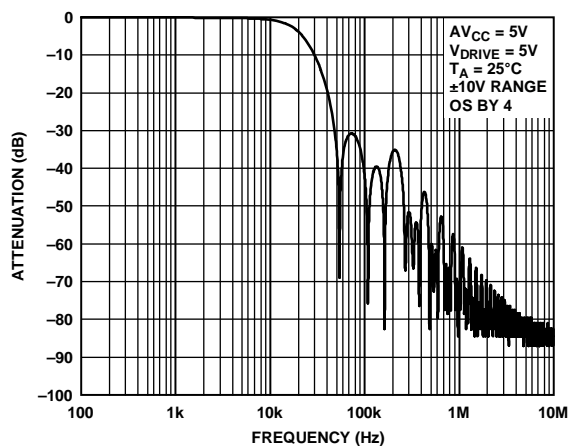


図 54.OS × 4 のデジタル・フィルタ応答

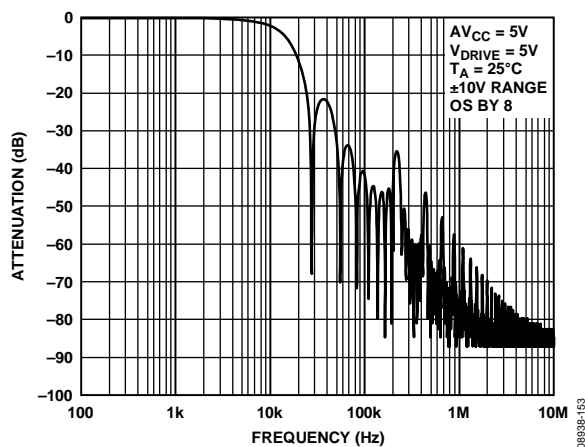


図 55.OS × 8 のデジタル・フィルタ応答

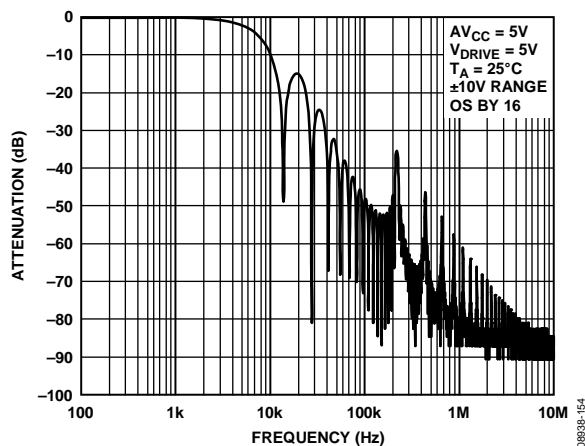


図 56.OS × 16 のデジタル・フィルタ応答

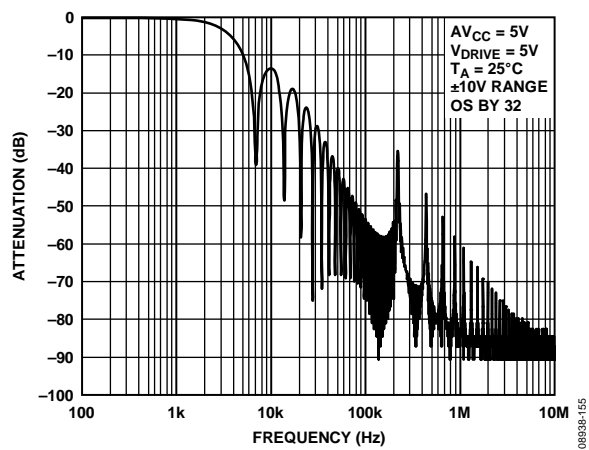


図 57.OS × 32 のデジタル・フィルタ応答

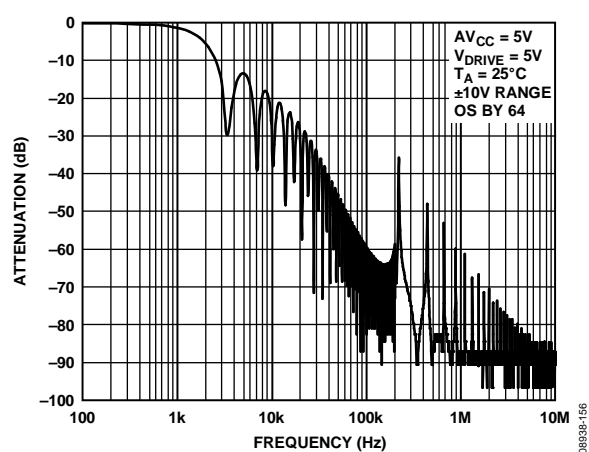


図 58.OS × 64 のデジタル・フィルタ応答

## レイアウトのガイドライン

AD7608 を実装するプリント回路ボードは、アナログ部とデジタル部が分離し、ボード内で異なる領域にまとめて配置されるようにデザインする必要があります。

少なくとも 1 枚のグラウンド・プレーンを使う必要があります。デジタル部とアナログ部に共通または分けて使うことができます。プレーンが分割されている場合、デジタルとアナログのグラウンド・プレーンはできるだけ AD7608 に近い 1 箇所接続する必要があります。

複数のデバイスがアナログ・グラウンドとデジタル・グラウンドの接続を必要とするシステム内で AD7608 を使用する場合にも、この接続は 1 箇所で行う必要があります。すなわち、AD7608 のできるだけ近くで星型グラウンド接続点を構成します。グラウンド・プレーンへの接続はしっかり行う必要があります。複数のグラウンド・ピンに対して 1 つの接続を共用することは避ける必要があります。各グラウンド・ピンに対して、グラウンド・プレーンへの個別のビアまたは複数のビアを使用する必要があります。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンが AD7608 の下を通過することは可能です。CONVST A、CONVST B やクロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、これらの信号はアナログ信号パスの近くを通過しないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。ボード上の近傍のパターンは、互いに右角度となるように配置してボードを通過するフィードスルー効果を減少させます。

AD7608 の  $AV_{CC}$  ピンと  $V_{DRIVE}$  ピンへの電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。可能な場合は、電源プレーンを使用してください。ボード上の AD7608 電源ピンと電源パターンの間はしっかり接続する必要があります。各電源ピンに対して 1 個または複数のビアを使用してください。

AD7608 に対する電源インピーダンスを下げるため、および電源スパイクの振幅を小さくするために、正しいデカップリングも重要です。デカップリング・コンデンサはこれらのピンと対応するグラウンド・ピンの近くに(理想的には直接に)配置する必要があります。REFIN/ REFOUT ピン、REFCAPA ピン、REFCAPB ピンに対するデカップリング・コンデンサは、対応する AD7608 ピンのできるだけ近くに配置し、可能な場合は、AD7608 デバイスと同じ側のボードに配置する必要があります。図 59 に、AD7608 ボードの表面の推奨デカップリングを示します。図 60 に、裏面のデカップリングを示します。裏面のデカップリングは、4 本の  $AV_{CC}$  ピンと  $V_{DRIVE}$  ピンに対するものです。

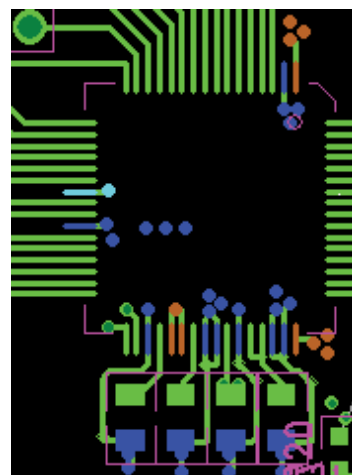


図 59. REFIN/REFOUT、REFCAPA、REFCAPB、REGCAP の各ピンに対する表面層のデカップリング



図 60.裏面層のデカップリング

デバイス間の優れた性能マッチングを保証するため、複数の AD7608 デバイスを使用するシステムでは、AD7608 デバイス間で対称なレイアウトを使用することが重要です。

図 61 に、2 個のデバイスを使用するレイアウトを示します。AV<sub>CC</sub> 電源プレーンは、両デバイスの右側にあります。V<sub>DRIVE</sub> 電源パターンは 2 個のデバイスの左側を通ります。リファレンス・チップは 2 個のデバイスの間に配置され、リファレンス電圧パターンは U1 のピン 42 の上側と U2 のピン 42 の下側を通ります。厚いグラウンド・プレーンを使用しています。

これらの対称なレイアウト原理は、3 個以上の AD7608 デバイスを使用するシステムに使用することができます。各 AD7608 デバイスは上下方向に配置し、リファレンス電圧は AD7608 デバイスの中間に配置し、リファレンス・パターンは図 61 と同じように上下方向に通します。

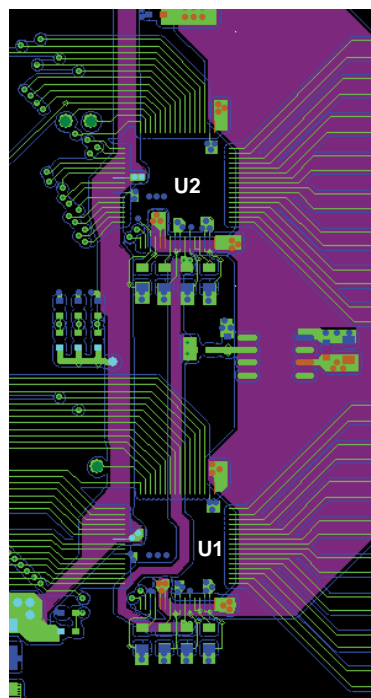


図 61.複数の AD7608 デバイスに対するレイアウト—表面層と電源プレーン層

## 外形寸法

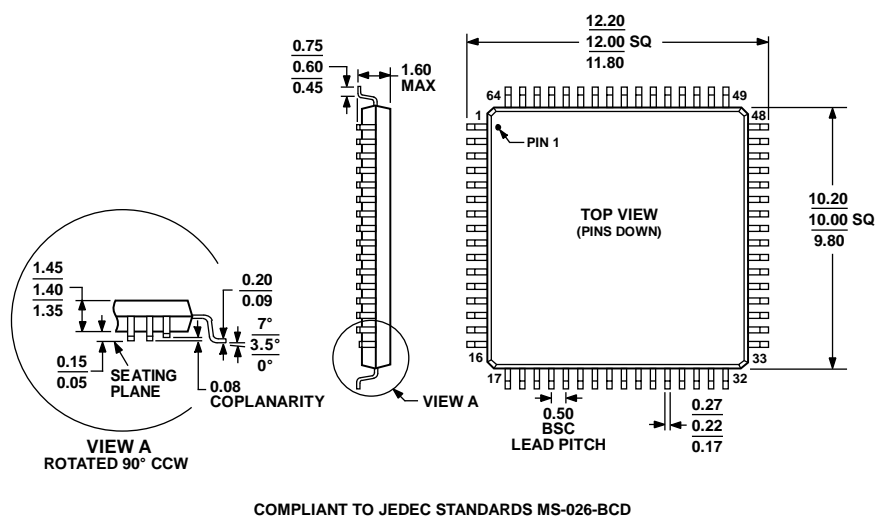


図 62.64 ピン・ロー・プロファイル・クワッド・フラット・パッケージ[LQFP]  
(ST-64-2)  
寸法: mm

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
AD7608BSTZ	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7608BSTZ-RL	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
EVAL-AD7608EDZ	-40°C to +85°C	Evaluation Board for the AD7608	
CED1Z		Converter Evaluation Development	

<sup>1</sup> Z = RoHS 準拠製品。