

英語のデータシートに間違いがありましたので、お詫びして訂正いたします。

この正誤表は、2009年4月17日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

英語のデータシートが改版された場合、これらの誤りが訂正されることがございます。

あらかじめご承知おきください。

正誤表作成年月日：2009年4月17日

製品名：AD7485

現在の英語データシートのリビジョン(Rev)：Rev.0

訂正箇所：

P.9-10

CONVERTER OPERATIONの補足説明

データシートには明確に記述しておりませんが、AD変換の結果は、シリアル出力を通して読みだす際、ひとつ前の変換結果を出力します。13ページのタイミングチャートにおいて、出力されるデータのD14～D0は、この変換の一つ前のデータです。CONVST信号による変換結果は、内部レジスタにセットされ、次のCONVSTとSCOクロックにより読みだされます。

特長

高速スループット・レート：1MSPS

広い入力帯域幅：40MHz

優れたDC精度性能

柔軟なシリアル・インターフェース

低消費電力：

80mW（フル・パワー）と3mW（NAPモード）

スタンバイ・モード：最大2 μ A

5V単電源動作

2.5V内蔵リファレンス

フルスケール・オーバーレンジ表示

概要

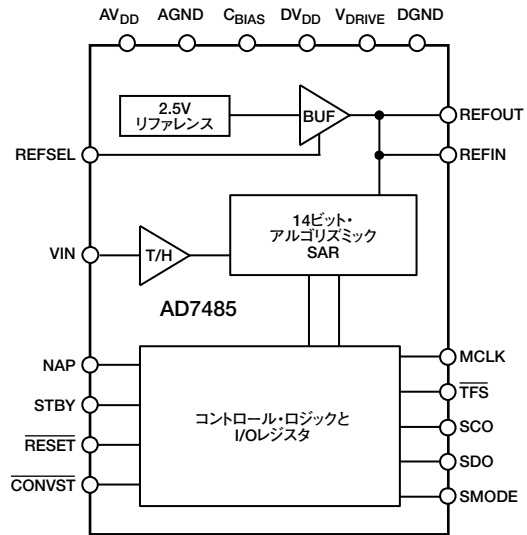
AD7485は、高速、低消費電力の14ビット逐次比較型ADCです。最高1MSPSのスループット・レートのシリアル・インターフェースを備えています。また、低ノイズ・広帯域のトラック/ホールド回路を内蔵しており、40MHzを超える入力周波数を扱うことができます。

変換のプロセスは、当社独自の逐次比較型アルゴリズム式です。CONVST信号の立ち下がりエッジで、サンプリングされ、入力信号の変換が開始されます。変換のプロセスは、外部マスター・クロックによって制御されます。標準的なシリアル信号線のインターフェースを持っているため、マイクロコントローラやDSPに直接接続できます。

AD7485は、優れたACおよびDC性能を持っています。工場トリミングで高いDC精度が実現されるため、INL、DNL、オフセット、ゲインの各誤差がきわめて低くなっています。

AD7485は、高度な設計技術を使用して、高いスループット・レートで消費電力をきわめて低く抑えています。ノーマル・モード動作での消費電力は80mWですが、そのほかに2つの電力節減モードがあります。1つはNAPモードで、高速パワーアップのためにリファレンス回路をアクティブ状態に保ち、消費電力は3mWです。もう1つのスタンバイ・モードでは、消費電力をわずか10 μ Wに削減します。

機能ブロック図



AD7485は、2.5Vのオンボード・リファレンスを備えています。外部供給の2.5Vリファレンス・ソースも利用できます。通常アナログ信号入力範囲は0~2.5Vです。

AD7485は、15番目のビットを介して、ユーザーにオーバーレンジを提供します。アナログ入力範囲が0~2.5Vの範囲を外れた場合には、15番目のデータ・ビットがハイレベルになります。

AD7485は、4.75~5.25Vの電源に接続します。V_{DRIVE}ピンを使用すれば、デジタル・インターフェース・ライン用の電圧レベルの設定も可能です。このV_{DRIVE}ピンの範囲は2.7~5.25Vです。デバイスは48ピンのLQFPパッケージに収められ、-40~+85℃の温度範囲で動作します。

AD7485 — 仕様¹ (特に指定のない限り、 $V_{DD}=5V\pm 5\%$ 、 $AGND=DGND=0V$ 、 V_{REF} =外部、 $f_{SAMPLE}=1MSPS$ 、全仕様は $T_{MIN}\sim T_{MAX}$ で規定し、 $V_{DRIVE}=2.7\sim 5.25V$ で有効)

| パラメータ | 仕様 | 単位 | テスト条件/コメント |
|---|--------------------------|----------------------------|--|
| ダイナミック性能 ^{2,3} 信号対ノイズおよび歪み (SINAD) ⁴ | 76.5 78 77 | dB min dB typ dB typ | $f_{IN}=500kHz$ サイン波 |
| 全高調波歪み (THD) ⁴ | -90 -95 -92 | dB max dB typ dB typ | 内蔵リファレンス |
| ピーク高調波またはスプリアス・ノイズ (SFDR) ⁴ 相互変調歪み (IMD) ⁴ | -88 | dB max | 内蔵リファレンス |
| 2次成分 | -96 | dB typ | $f_{IN1}=95.053kHz$ 、 $f_{IN2}=105.329kHz$ |
| 3次成分 | -94 | dB typ | |
| アパーチャ遅延 | 10 | ns typ | |
| フル・パワー帯域幅 | 40 3.5 | MHz typ MHz typ | 3dBのとき 0.1dBのとき |
| DC精度 | | | |
| 分解能 | 14 | ビット | |
| 積分非直線性 ⁴ | ± 1 ± 0.5 | LSB max LSB typ | |
| 微分非直線性 ⁴ | ± 0.75 ± 0.25 | LSB max LSB typ | 14ビットのノー・ミスコードを保証 |
| オフセット誤差 ⁴ | ± 6 0.036 | LSB max %FSR max | |
| ゲイン誤差 ⁴ | ± 6 0.036 | LSB max %FSR max | |
| アナログ入力 | | | |
| 入力電圧 | 0 2.5 | V min V max | |
| DCリーク電流 | ± 1 | μA max | |
| 入力容量 ⁵ | 35 | pF typ | |
| リファレンス入/出力 | | | |
| V_{REFIN} 入力電圧 | 2.5 | V | 仕様性能を得るには $\pm 1\%$ |
| V_{REFIN} 入力DCリーク電流 | ± 1 | μA max | |
| V_{REFIN} 入力容量 ⁵ | 25 | pF typ | |
| V_{REFIN} 入力電流 ⁶ | 220 | μA typ | 外部リファレンス |
| V_{REFOUT} 出力電圧 | 2.5 | V typ | |
| V_{REFOUT} 誤差、25°Cのとき | ± 50 | mV typ | |
| V_{REFOUT} 誤差 $T_{MIN}\sim T_{MAX}$ | ± 100 | mV max | |
| V_{REFOUT} 出力インピーダンス | 1 | Ω typ | |
| ロジック入力 | | | |
| 入力電圧ハイレベル、 V_{INH} | $V_{DRIVE}-1$ | V min | |
| 入力電圧ローレベル、 V_{INL} | 0.4 | V max | |
| 入力電流、 I_{IN} | ± 1 | μA max | |
| 入力容量、 C_{IN} ⁵ | 10 | pF typ | |
| ロジック出力 | | | |
| 出力ハイレベル電圧、 V_{OH} ⁷ | $0.7\times V_{DRIVE}$ | V min | |
| 出力ローレベル電圧、 V_{OL} ⁷ | $0.3\times V_{DRIVE}$ | V max | |
| フローティング状態リーク電流 | ± 10 | μA max | |
| フローティング状態出力容量 ⁵ | 10 | pF max | |
| 出力コーディング | 自然2進数 | | |
| 変換レート | | | |
| 変換時間 | 24 | MCLK | |
| トラック/ホールド・アクイジション時間 | 100 70 | ns max ns max | サイン波入力 フルスケール・ステップ入力 |
| スループット・レート | 1 | MSPS max | |

| パラメータ | 仕様 | 単位 | テスト条件/コメント |
|------------------------|------|--------|------------|
| 電源条件 | | | |
| V_{DD} | 5 | V | ±5% |
| V_{DRIVE} | 2.7 | V min | |
| | 5.25 | V max | |
| I_{DD} | | | |
| ノーマル・モード (静止時) | 12 | mA max | |
| ノーマル・モード (動作時) | 16 | mA max | |
| NAPモード | 0.6 | mA max | |
| スタンバイ・モード ⁸ | 2 | μA max | |
| | 0.5 | μA typ | |
| 消費電力 | | | |
| ノーマル・モード (動作時) | 80 | mW max | |
| NAPモード | 3 | mW max | |
| スタンバイ・モード ⁸ | 10 | μW max | |

注

¹ 温度範囲: -40~+85°C² このSINAD値には、約1dBの外部アナログ入力回路ノイズ成分が含まれます。³ 使用したアナログ入力回路については、代表的な性能特性のセクションを参照。⁴ 用語集を参照。⁵ 適合性を保証するために25°Cでサンプル・テスト済み。⁶ 変換時の外部リファレンスからの電流。⁷ $I_{LOAD}=200\mu A$ ⁸ GNDまたは V_{DRIVE} でのデジタル入力レベル。

仕様は予告なく変更されることがあります。

タイミング特性¹ (特に指定のない限り、 $V_{DD}=5V\pm 5\%$ 、 $AGND=DGND=0V$ 、 V_{REF} =外部、全仕様は $T_{MIN}\sim T_{MAX}$ で規定し、 $V_{DRIVE}=2.7\sim 5.25V$ で有効)

| パラメータ | 記号 | Min | Typ | Max | 単位 |
|---|------------|------------------|-----|------------------|-----|
| マスター・クロック周波数 | f_{MCLK} | 0.01 | | 25 | MHz |
| MCLK周期 | t_1 | 40 | | 100000 | ns |
| 変換時間 | t_2 | $t_1 \times 24$ | | | ns |
| \overline{CONVST} ロー周期 (モード1) ² | t_3 | $t_1 \times 22$ | | | ns |
| \overline{CONVST} ハイ周期 (モード1) ² | t_4 | 10 | | | ns |
| MCLKハイ周期 | t_5 | $0.4 \times t_1$ | | $0.6 \times t_1$ | ns |
| MCLKロー周期 | t_6 | $0.4 \times t_1$ | | $0.6 \times t_1$ | ns |
| \overline{CONVST} 立ち下がりエッジ~MCLK立ち上がりエッジ | t_7 | 7 | | | ns |
| MCLK立ち上がりエッジ~MSB有効 | t_8 | | | 15 | ns |
| SCO立ち下がりエッジ前のデータ有効 | t_9 | 10 | | | ns |
| SCO立ち下がりエッジ後のデータ有効 | t_{10} | 20 | | | ns |
| \overline{CONVST} 立ち上がりエッジ~SDOスリーステート | t_{11} | | | 6 | ns |
| \overline{CONVST} ロー周期 (モード2) ² | t_{12} | 10 | | $t_1 \times 2$ | ns |
| \overline{CONVST} ハイ周期 (モード2) ³ | t_{13} | 10 | | | ns |
| \overline{CONVST} 立ち下がりエッジ~ \overline{TFS} 立ち下がりエッジ | t_{14} | 10 | | | ns |
| \overline{TFS} 立ち下がりエッジ~MSB有効 | t_{15} | | | 30 | ns |
| \overline{TFS} 立ち上がりエッジ~SDOスリーステート | t_{16} | | | 8 | ns |
| \overline{TFS} ロー周期 ⁴ | t_{17} | $t_1 \times 22$ | | | ns |
| \overline{TFS} ハイ周期 ⁴ | t_{18} | 10 | | | ns |
| MCLK立ち下がり時間 | t_{19} | 5 | | 25 | ns |
| MCLK立ち上がり時間 | t_{20} | 5 | | 25 | ns |
| MCLK~SCO遅延 | t_{21} | 6 | | 25 | ns |

注

¹ 上記のすべてのタイミング仕様は、25pFの負荷容量によるものです。この値を超える負荷容量では、デジタル・バッファまたはラッチを使用する必要があります。² \overline{CONVST} アイドル・ハイ。詳細については、シリアル・インターフェースのセクションを参照。³ \overline{CONVST} アイドル・ロー。詳細については、シリアル・インターフェースのセクションを参照。⁴ このモードでは \overline{TFS} もローレベルに固定できます。

仕様は予告なく変更されることがあります。

AD7485

絶対最大定格*

(特に指定のない限り、 $T_A=25^\circ\text{C}$)

| | |
|---------------------------------|--|
| $V_{DD}\sim\text{GND}$ | -0.3~+7V |
| $V_{DRIVE}\sim\text{GND}$ | -0.3~+7V |
| アナログ入力電圧 $\sim\text{GND}$ | -0.3V $\sim\text{AV}_{DD}+0.3\text{V}$ |
| デジタル入力電圧 $\sim\text{GND}$ | -0.3V $\sim\text{V}_{DRIVE}+0.3\text{V}$ |
| REFIN $\sim\text{GND}$ | -0.3V $\sim\text{AV}_{DD}+0.3\text{V}$ |
| 入力電流 \sim 電源以外の任意のピン | $\pm 10\text{mA}$ |
| 動作温度範囲 | |
| コマーシャル | -40 \sim +85 $^\circ\text{C}$ |
| 保管温度範囲 | -65 \sim +150 $^\circ\text{C}$ |
| 接合温度 | 150 $^\circ\text{C}$ |

| | |
|-------------------------|------------------------------|
| θ_{JA} 熱抵抗 | 50 $^\circ\text{C}/\text{W}$ |
| θ_{JC} 熱抵抗 | 10 $^\circ\text{C}/\text{W}$ |
| ピン温度、ハンダ付け | |
| ペーパーフェーズ (60秒) | 215 $^\circ\text{C}$ |
| 赤外線 (15秒) | 220 $^\circ\text{C}$ |
| ESD | 1kV |

* 上記の絶対最大定格リストを超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格のみを規定するものであり、これらの規定値あるいはこの仕様書の動作セクションに記載した規定値を超える条件で、デバイスが機能的に動作することを意味するものではありません。長期間にわたって絶対最大定格条件で放置すると、デバイスの信頼性に影響を与えるおそれがあります。

オーダー・ガイド

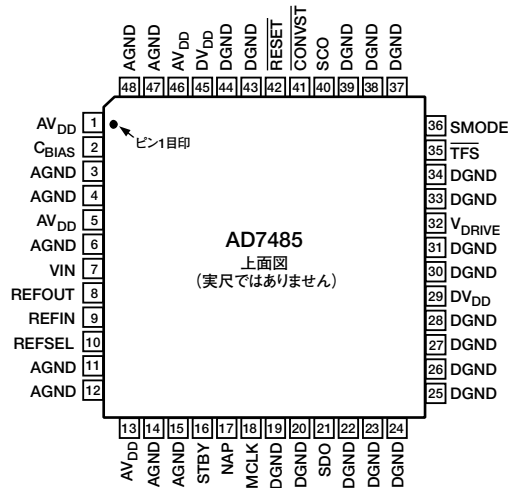
| モデル | 温度範囲 | パッケージ | オプション |
|-----------|---------------------------------|-------|-------|
| AD7485BST | -40 \sim +85 $^\circ\text{C}$ | LQFP | ST-48 |

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されます。AD7485は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置



ピン機能の説明

| ピン番号 | 記号 | 説明 |
|-------------------------------------|--------------------|--|
| 1、5、13、46 | AV _{DD} | アナログ回路用のプラス電源 |
| 2 | C _{BIAS} | 内部バイアス電圧用のデカップリング・ピン このピンとAGNDの間に1nFコンデンサを置いてください。 |
| 3、4、6、11、12、14、15、47、48 | AGND | アナログ回路用の電源グラウンド |
| 7 | VIN | アナログ入力 シングルエンドのアナログ入力チャンネル。 |
| 8 | REFOUT | リファレンス出力 REFOUTは、2.5V内蔵リファレンス・バッファの出力に接続します。このピンとAGNDの間に470nFコンデンサを置く必要があります。 |
| 9 | REFIN | リファレンス入力 このピンとAGNDの間に470nFコンデンサを置く必要があります。外部電圧リファレンス・ソースを使用する場合は、このピンにリファレンス電圧を印加してください。 |
| 10 | REFSEL | リファレンス・デカップリング・ピン 内蔵リファレンスを使用する場合は、このピンとAGNDの間に1nFコンデンサを接続する必要があります。外部リファレンス・ソースを使用する場合は、このピンをAGNDに直接接続してください。 |
| 16 | STBY | スタンバイ・ロジック入力 このピンがハイレベルのとき、デバイスはスタンバイ・モードになります。詳細については、電力節減のセクションを参照してください。 |
| 17 | NAP | NAPロジック入力 このピンがハイレベルのとき、デバイスは消費電力が非常に低いモードになります。詳細については、電力節減のセクションを参照してください。 |
| 18 | MCLK | マスター・クロック入力 これは、変換サイクルを制御するマスター・クロック用の入力です。このクロックは、最大周波数25MHzが可能です。変換ごとに24クロック・サイクルが必要です。 |
| 19、20、22~28、30、31、33、34、37~39、43、44 | DGND | デジタル回路用のグラウンド・リファレンス |
| 21 | SDO | シリアル・データ出力 変換データが、SCOの立ち上がりエッジでこのピンにラッチされます。SCOの立ち下がりエッジで、DSPの受信シリアル・ポートにラッチしてください。最初にオーバーレンジ・ビットがラッチされ、次に14ビットのデータ（MSBファースト）と末尾の0が続きます。 |
| 29、45 | DV _{DD} | デジタル回路用のプラス電源 |
| 32 | V _{DRIVE} | ロジック電源入力 AD7485のインターフェース・ロジックが動作する電圧は、このピンに供給される電圧によって決まります。 |
| 35 | TFS | 送信フレーム同期入力 シリアル・モード2では、このピンは、SDOに出力されるシリアル・データのフレーミング信号として機能します。TFSの立ち下がりエッジでSDOがスリーステートから出て、SCOの次の立ち上がりエッジでデータの出力を開始します。 |
| 36 | SMODE | シリアル・モード入力 このピンがローレベルでシリアル・モード1を選択し、ハイレベルでシリアル・モード2を選択します。詳細については、シリアル・インターフェースのセクションを参照してください。 |
| 40 | SCO | シリアル・クロック出力 このクロックは、MCLKから生成され、デバイスからの変換データをラッチするために使用されます。詳細については、シリアル・インターフェースのセクションを参照してください。 |
| 41 | CONVST | 変換開始ロジック入力 変換は、CONVST信号の立ち下がりエッジで開始されます。入力トラック／ホールド・アンプがトラック・モードからホールド・モードに変化し、変換プロセスが始まります。 |
| 42 | RESET | リセット・ロジック入力 このピンの立ち下がりエッジで、内部ステート・マシンをリセットし、進行中の変換を終了します。このピンをローレベルに保持すれば、デバイスはリセット状態に保たれます。 |

AD7485

用語集

積分非直線性

ADC伝達関数の両端を結ぶ直線からの最大偏差をいいます。伝達関数の両端とは、最初のコード遷移より1/2LSB下のゼロ・スケールと、最後のコード遷移より1/2LSB上のフル・スケールをいいます。

微分非直線性

ADCの2つの隣接コード間における1LSB変化の測定値と理論値の差をいいます。

オフセット誤差

最初のコード遷移 (00...000から00...001) と理論値 (AGND+0.5LSB) の差をいいます。

ゲイン誤差

オフセット誤差を調整した後の最後のコード遷移 (111...110から111...111) と理論値 ($V_{REF}-1.5LSB$) との差をいいます。

トラック/ホールド・アクイジション時間

トラック/ホールド・アクイジション時間は、変換の終了 (トラック/ホールド回路がトラック・モードに戻る時点) 後に、トラック/ホールド・アンプの出力がその最終値 $\pm 1/2LSB$ に到達するのに要する時間をいいます。

信号対 (ノイズ+歪み) 比

A/Dコンバータの出力で測定される信号と (ノイズ+歪み) の比をいいます。信号は基本波のRMS振幅で、ノイズはサンプリング周波数の半分 ($f_s/2$) までの、DCと基本波を除く全信号のRMS値の総和です。この比は、デジタル化プロセスの量子化レベル数に依存します。レベル数が大きいほど、量子化ノイズは小さくなります。サイン波入力に対する理想のNビット・コンバータの理論的な信号対 (ノイズ+歪み) 比は、次式で表されます。

$$\text{信号対 (ノイズ+歪み) 比} = (6.02N+1.76) \text{ dB}$$

14ビット・コンバータの場合、この値は86.04dBになります。

全高調波歪み

全高調波歪み (THD) は、高調波のRMS値総和と基本波の比です。AD7485の場合、次式で表されます。

$$THD(dB) = 20 \log \frac{\sqrt{V_2^2+V_3^2+V_4^2+V_5^2+V_6^2}}{V_1}$$

ここで、 V_1 は基本波のRMS振幅で、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は2次～6次高調波のRMS振幅です。

ピーク高調波またはスプリアス・ノイズ

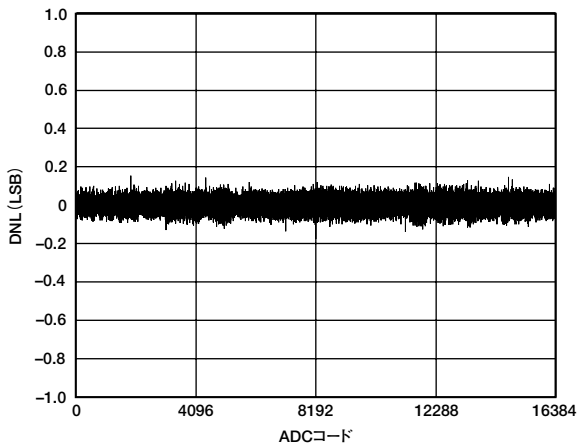
ピーク高調波またはスプリアス・ノイズは、ADC出力スペクトル (DCを除き、 $f_s/2$ まで) 内で2番目に大きい成分のRMS値と基本波のRMS値の比として定義されます。通常、この仕様はスペクトル内の最大高調波によって決まりますが、高調波がノイズ・フロアに埋もれているADCの場合は、ノイズ・ピークになります。

相互変調歪み

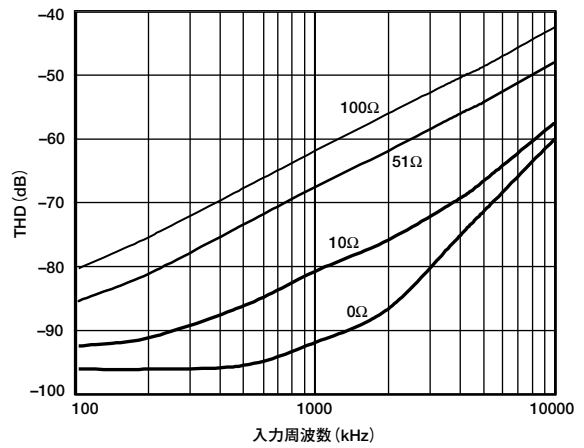
2つの周波数 f_a と f_b を持つサイン波で構成される入力に対して、非直線性を有するすべてのアクティブ・デバイスでは、和と差の周波数 $m f_a \pm n f_b$ ($m, n=0, 1, 2, 3, \dots$) の歪み項が発生します。相互変調項は、 m と n が非ゼロの項です。たとえば、2次項には (f_a+f_b) と (f_a-f_b) が含まれ、3次項には ($2f_a+f_b$)、($2f_a-f_b$)、(f_a+2f_b)、(f_a-2f_b) が含まれます。

AD7485は、CCIF規格に従い入力帯域上限に近い2つの入力周波数を使ってテストされています。この場合、一般に、2次項はもとのサイン波から離れた周波数になりますが、3次項は入力周波数に近い周波数になります。そのため、2次項と3次項が別々に規定されることになります。相互変調歪みは、THDの値に従って計算し、個々の歪み成分のRMS総和と基本波の合計RMS振幅の比 (単位dB) となります。

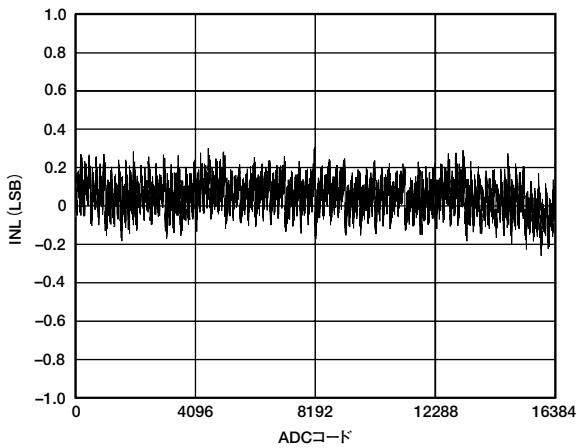
代表的な性能特性 — AD7485



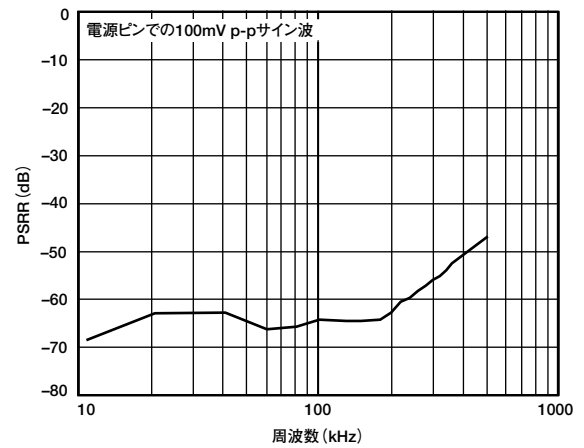
TPC1. 代表的なDNL



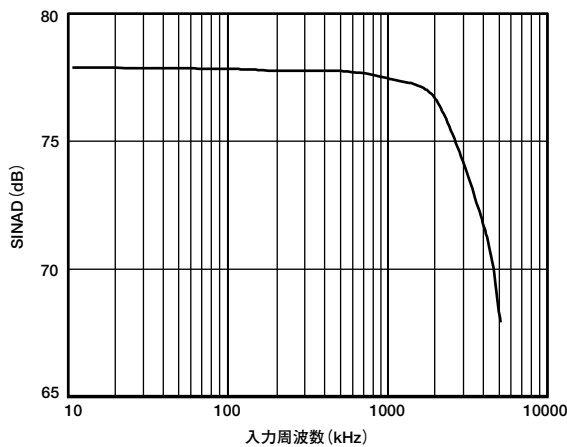
TPC4. THDとさまざまな入力抵抗の入カトーン



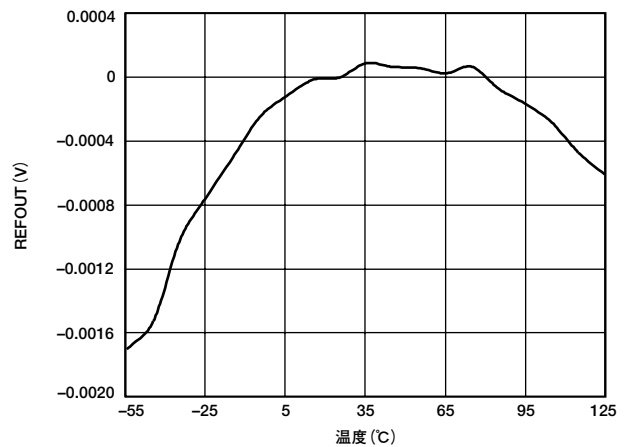
TPC2. 代表的なINL



TPC5. デカップリングなしのPSRR

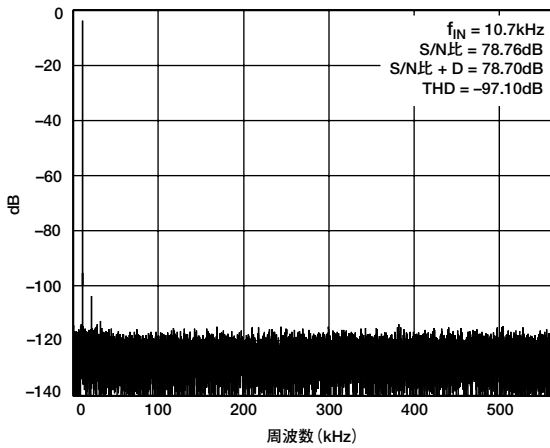


TPC3. SINADと入力カトーン (AD8021入力回路)

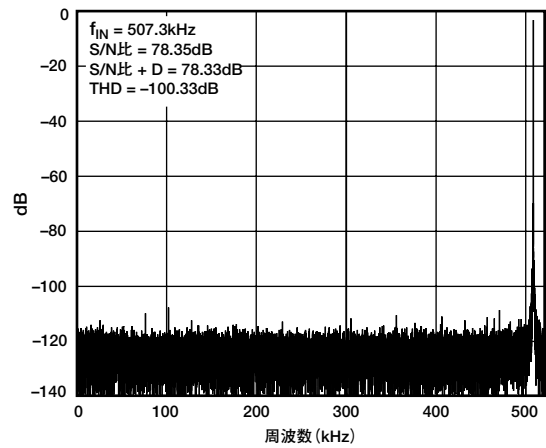


TPC6. リファレンス誤差

AD7485



TPC7. 10kHz入力トーンによる64k FFTプロット



TPC8. 500kHz入力トーンによる64k FFTプロット

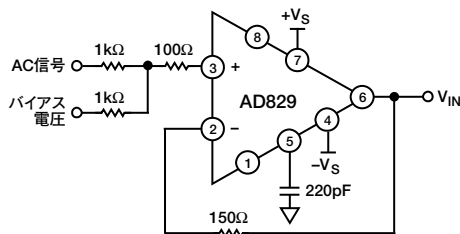


図1. 10kHz入力トーンに使用するアナログ入力回路

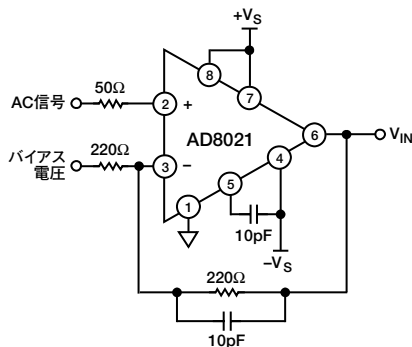


図2. 500kHz入力トーンに使用するアナログ入力回路

図1に、TPC7に示すFFTプロット用のデータ取得に使用するアナログ入力回路を示します。この回路では、入力バッファとしてアナログ・デバイセズのAD829オペ・アンプを使用します。図に示すようにバイポーラ・アナログ信号が印加され、ラベル付きの端子に接続した安定性のあるローノイズDC電圧でバイアスされます。AD829のピン5とアナログ・グラウンド・プレーンの間は、 220pF の補償コンデンサで接続します。AD829に $+12\text{V}$ と -12V の電源を供給します。デバイスのできるだけ近くで電源ピンをデカップリングし、 $0.1\mu\text{F}$ と $10\mu\text{F}$ のコンデンサを各ピンに接続します。いずれの場合も、 $0.1\mu\text{F}$ コンデンサが2つのコンデンサのうちデバイスに近い方のコンデンサになるようにしてください。AD829の詳細については、アナログ・デバイセズのWebサイトをご覧ください。

入力帯域幅が高いアプリケーションの場合、アナログ・デバイセズのAD8021オペ・アンプ (デュアルAD8022としても使用可能) を使用してAD7485を駆動することをお勧めします。図2に、TPC8に示すFFTプロット用のデータ取得に使用するアナログ入力回路を示します。図に示す端子にバイポーラ・アナログ信号を印加し、図のように接続した安定性のあるローノイズDC電圧でバイアスします。AD8021のピン5と負電源の間に、 10pF 補償コンデンサを接続します。前の回路と同様に、AD8021にも $+12\text{V}$ と -12V の電源を供給します。デバイスのできるだけ近くで電源ピンをデカップリングし、 $0.1\mu\text{F}$ と $10\mu\text{F}$ のコンデンサを各ピンに接続します。いずれの場合も、 $0.1\mu\text{F}$ コンデンサが2つのコンデンサのうちデバイスに近い方のコンデンサになるようにしてください。AD8021のロジック・リファレンス・ピンをアナログ・グラウンドに接続し、DISABLEピンを図のように正電源に接続します。AD8021の詳細については、アナログ・デバイセズのWebサイトをご覧ください。

回路の説明

コンバータの動作

AD7485は、14ビットのアルゴリズム逐次比較型A/Dコンバータで、容量性DACをベースにしています。トラック/ホールド、リファレンス、A/Dコンバータ、多彩なインターフェース・ロジック機能を1つのチップで提供しています。AD7485が変換できるアナログ入力信号範囲は0~2.5Vです。2.5Vリファレンスを必要としますが、これはデバイスの内蔵リファレンス、もしくは外部リファレンス・ソースから供給できます。図3に、ADCの概略図を示します。コントロール・ロジック、SAR、容量性DACを使用して、サンプリング・コンデンサに一定量の電荷を加算または減算して、コンパレータを平衡状態に戻します。

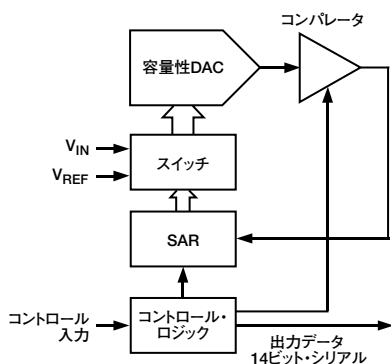


図3. 簡略化したブロック図

$\overline{\text{CONVST}}$ 入力をパルスすると、AD7485が変換を開始します。 $\overline{\text{CONVST}}$ の立ち下がりエッジで、トラック/ホールド回路がトラック・モードからホールド・モードに変化し、変換シーケンスが開始されます。デバイスの変換時間は 24MCLK 周期です。図4に、変換中のADCを示します。変換が始まると、SW2が開き、SW1がポジションBに移動してコンパレータの平衡が失われます。次に、ADCが逐次比較ルーチンを実行することによって、コンパレータは平衡状態に戻ります。コンパレータが平衡状態に戻ると、変換結果がSARレジスタに出ます。

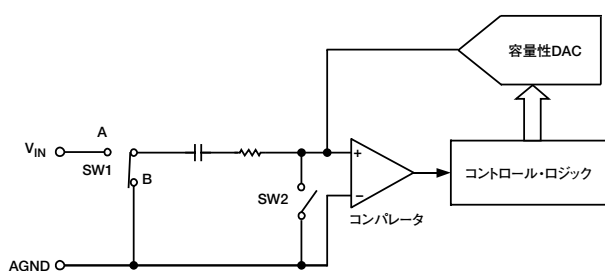


図4. ADCの変換位相

変換が終了すると、トラック/ホールド回路がトラック・モードに変化し、アキュイジション時間が始まります。トラック/ホールド回路のアキュイジション時間は70nsです。図5に、ADCのアキュイジション位相を示します。SW2は閉じられ、SW1はポジションAにあります。コンパレータは平衡状態に保たれ、サンプリング・コンデンサが V_{IN} で信号を取得します。

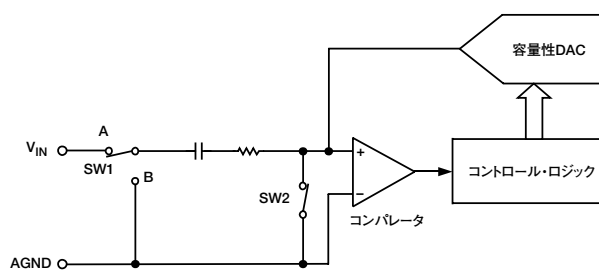


図5. ADCのアキュイジション位相

ADCの伝達関数

AD7485の出力コーディングはストレートバイナリーです。設計されたコード遷移は、連続した整数LSB値の中間(1/2LSB、3/2LSBなど)で生じます。LSBのサイズは $V_{\text{REF}}/16384$ です。AD7485のノミナル伝達特性を図6に示します。

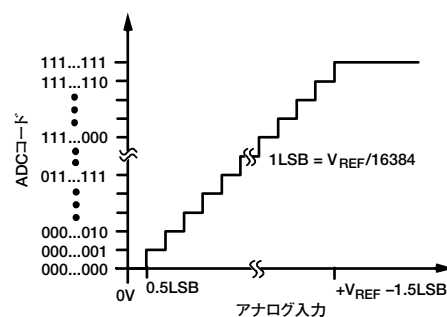


図6. 伝達特性

電力節減

AD7485では、高度な設計技術を使用して、高いスループット・レートで消費電力をきわめて低く抑えます。そのほかに、NAPモードとスタンバイ・モードという2つの電力節減モードがあります。これらのモードを選択するには、NAPピンまたはSTBYピンをハイレベルにします。

通常のフルパワー・モードで25MHz MCLKによってAD7485を動作させる場合、変換時の消費電流は16mAで、無信号時電流は12mAです。500kSPSのスループット・レートで動作させると、960nsの変換時間で全体的な消費電力が38.4mWになります。

$$(960 \text{ ns}/2\mu\text{s}) \times (5\text{V} \times 16\text{mA}) = 38.4\text{mW}$$

このサイクルの残りの1.04μsで、AD7485は31.2mWの電力を消費します。

$$(1.04\mu\text{s}/2\mu\text{s}) \times (5\text{V} \times 12\text{mA}) = 31.2\text{mW}$$

ここから、各サイクルで消費される電力は次のようになります。

$$38.4\text{mW} + 31.2\text{mW} = 69.6\text{mW}$$

AD7485

図7に、ノーマル・モードで動作するAD7485の変換シーケンスを示します。

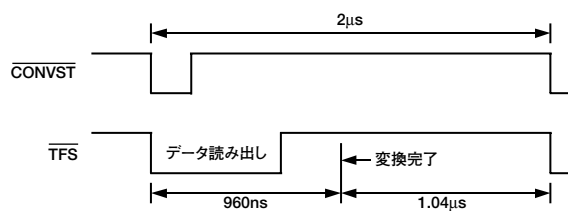


図7. ノーマル・モードの消費電力

NAPモードでは、内蔵リファレンス以外のすべての内部回路がパワーダウンされます。このモードでは、AD7485の消費電力は3mWまで減ります。外部リファレンスを使用しているとき、NAPモードを終了する場合は、変換を開始する最小300ns前に立ち上げて待機する必要があります。これは、パワーアップ後に内部回路が安定し、トラック/ホールド回路がアナログ入力信号を適切に取得できるようになるために必要な時間です。

各変換の後でAD7485をNAPモードにする場合、平均消費電力が減少しますが、スループット・レートはパワーアップ時間によって制限されます。100kSPSのスループット・レートでAD7485を使用し、各変換の後でデバイスをNAPモードにすると、平均消費電力は次のようになります。

パワーアップ位相の影響：

$$(300\text{ns}/10\mu\text{s}) \times (5\text{V} \times 12\text{mA}) = 1.8\text{mW}$$

変換位相の影響：

$$(960\text{ns}/10\mu\text{s}) \times (5\text{V} \times 16\text{mA}) = 7.68\text{mW}$$

残りのサイクルはNAPモードになるため、AD7485は2.622mWの電力しか消費しません。

$$(8.74\mu\text{s}/10\mu\text{s}) \times (5\text{V} \times 0.6\text{mA}) = 2.622\text{mW}$$

したがって、各サイクルで消費される電力は次のとおりになります。

$$1.8\text{mW} + 7.68\text{mW} + 2.622\text{mW} = 12.1\text{mW}$$

図8に、各変換の後でNAPモードにする場合のAD7485の変換シーケンスを示します。

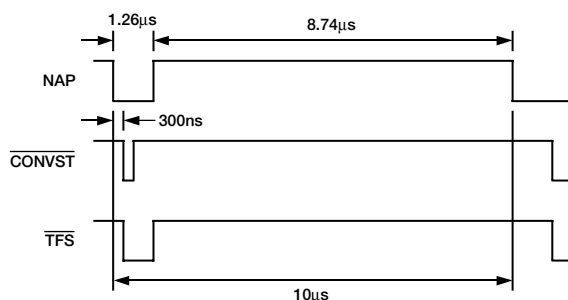


図8. NAPモードの消費電力

図9と図10には、それぞれノーマル・モードとNAPモードの場合の、電力とAD7485のスループットの典型的な関係を示します。

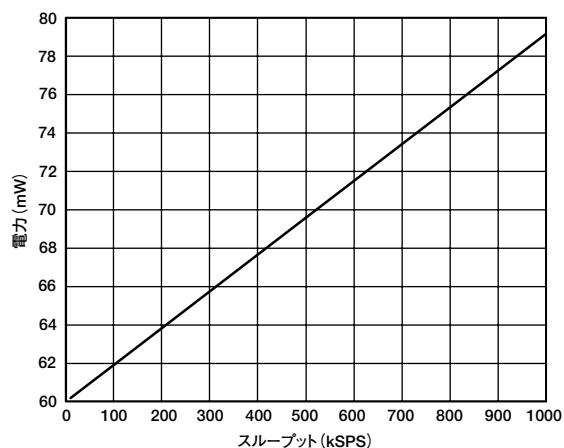


図9. ノーマル・モードにおける電力とスループット

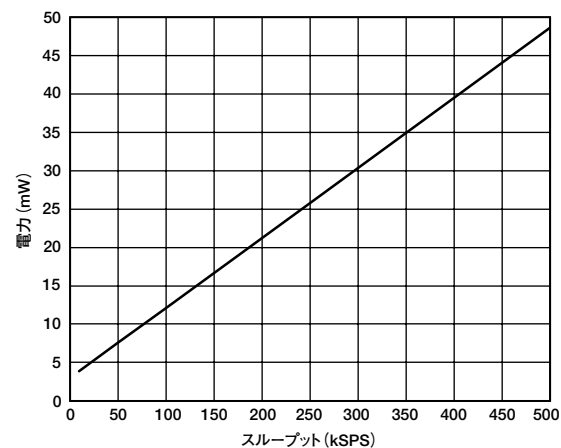


図10. NAPモードにおける電力とスループット

スタンバイ・モードでは、すべての内部回路がパワーダウンされ、AD7485の消費電力は10µWまで減ります。内蔵リファレンスはパワーダウンされているため、変換を開始できるようになるまでに必要なパワーアップ時間が長くなります。AD7485の内蔵リファレンスを使用する場合には、変換を開始する500ms前に、ADCがスタンバイ・モードから出る必要があります。必要なパワーアップ時間が経過する前に変換を開始すると、正しくない変換データが出ることになります。外部リファレンス・ソースを使用し、AD7485がスタンバイ・モードの間、パワーアップ状態を保持する場合には、必要なパワーアップ時間は80µsに減ります。

シリアル・インターフェース

AD7485には2つのシリアル・インターフェース・モードがあり、SMODEピンの状態に応じて選択されます。この2つのモードでは、MCLKピンに10kHz~25MHzのクロック信号を供給する必要があります。このMCLK信号は内部変換プロセスを制御するほか、SCO信号の取得にも使用されます。AD7485では逐次比較技法を使用していますので、変換を完了するには24 MCLKサイクルが必要です。さらに、ADCの誤差補正動作が行われます。最終変換結果が計算される前にすべてのビット・テストを完了する必要があります。これによって、出力される結果にはもう1つのクロック遅延が生じます。

シリアル・モード1 (図13) では、 $\overline{\text{CONVST}}$ ピンを使用して、変換を開始したり、シリアル・データをフレームで囲みます。 $\overline{\text{CONVST}}$ がローレベルになり、スリーステートからSDOラインが出ると、SCOの次の立ち上がりエッジでオーバーレンジ・ビットを出力し、続いて14ビットのデータ (MSBファースト) と末尾の0を出力します。すべてのデータを出力し、進行中の変換を完了するには、 $\overline{\text{CONVST}}$ が、22 SCOパルスの間ローレベルになる必要があります。 $\overline{\text{CONVST}}$ がハイレベルに戻ると、SDOラインはスリーステートに戻ります。このモードでは、 $\overline{\text{TFS}}$ をグラウンドに接続してください。

シリアル・モード2 (図14) では、 $\overline{\text{CONVST}}$ ピンを使用して変換を開始しますが、 $\overline{\text{TFS}}$ 信号を使用してシリアル・データをフレームで囲みます。このモードでは、 $\overline{\text{CONVST}}$ 信号はアイドル・ハイまたはアイドル・ローになります。アイドル・ハイでは、 $\overline{\text{CONVST}}$ パルス幅は10ns~2 MCLK周期でなければなりません。アイドル・ローでは、 $\overline{\text{CONVST}}$ パルス幅が少なくとも10nsになる必要があります。このモードでは、 $\overline{\text{TFS}}$ は最小22 SCOサイクルの間ローレベルになる必要がありますが、ローレベルに固定して接続することもできます。 $\overline{\text{TFS}}$ をローレベルに接続した場合には、SDOラインが常に駆動されます。

図15に、MCLKとSCO信号の関係を示します。

図11には、AD7485の代表的な接続図を示します。この場合、25MHzの水晶発振器モジュールからMCLK信号を供給します。また、DSP (ADSP-2189Mなど) の2番目のシリアル・ポートでも信号を供給できます (使用可能な場合)。

図11では、 V_{DRIVE} ピンを DV_{DD} に接続するので、ロジック出力レベルは0Vまたは DV_{DD} になります。出力ロジック信号の電圧値は、 V_{DRIVE} に印加される電圧によって制御されます。たとえば、5V電源で DV_{DD} を供給し、3V電源で V_{DRIVE} を供給する場合には、ロジック出力レベルは0Vもしくは3Vになります。この機能によって、AD7485は3Vデバイスにインターフェースをとることができると同時に、5V電源でA/Dの信号処理が可能になります。

変換が行われている間は、ADCの入力での最大スルー・レートは、500V/ μs に制限してください。こうすれば、現在の変換を破壊されないようにすることができます。多重化アプリケーションでは、最初のMCLK周期の後できるだけ早くチャンネル・スイッチングを行ってください。

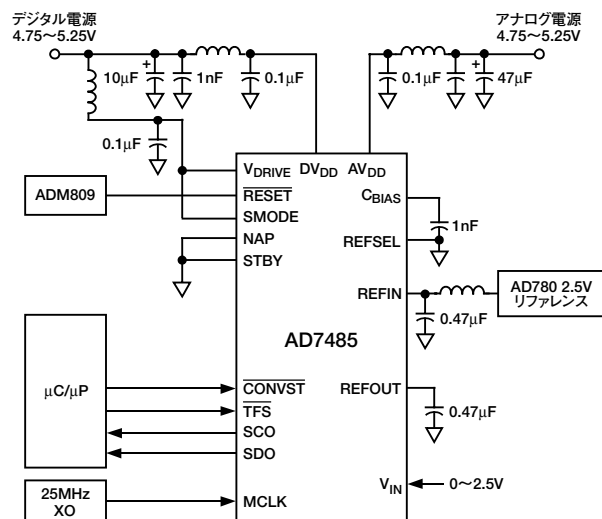


図11. 代表的な接続図

$\overline{\text{CONVST}}$ ピンの駆動

AD7485の指定の性能を実現するには、 $\overline{\text{CONVST}}$ ピンを低ジッター・ソースから駆動する必要があります。 $\overline{\text{CONVST}}$ ピンの立ち下がりエッジでサンプリング時点が決まるため、アナログ入力信号が高周波成分を含んでいる場合、このエッジに存在するジッターがノイズとして現れます。アナログ入力周波数 (f_{IN})、タイミング・ジッター (t_j)、結果として得られるS/N比 (SNR) の関係は、次の式で表されます。

$$\text{SNR}_{\text{JITTER}} \text{ (dB)} = 10 \log \frac{1}{(2\pi \times f_{\text{IN}} \times t_j)^2}$$

一例として、ジッターに起因する必要なS/N比が、500kHzの最大フルスケール・アナログ入力周波数で100dBになる場合、他のすべてのノイズ源を無視すると、 $\overline{\text{CONVST}}$ の立ち下がりエッジで3.18psという許容できるジッターが得られます。14ビット・コンバータ (理想のS/N比=86.04dB) では、許容できるジッターは上記の数値よりも大きくなりますが、大きなアナログ入力周波数で14ビット性能を得るには、 $\overline{\text{CONVST}}$ 回路の設計に十分な注意が必要です。

AD7485

ボード・レイアウトと接地

AD7485から最高の性能を得るには、少なくとも3層のプリント回路ボードを使用することをお勧めします。これらの層の1つ(なるべく中央の層)は、最高のシールド効果を実現するために、できるだけ完全なグラウンド・プレーンにしてください。ボードの設計に際しては、アナログ回路とデジタル回路を分離し、ボードの特定の領域にまとめるように配置してください。さらに、デジタル・ラインとアナログ・ラインを近接して配線することを避ければ、デジタル・ノイズがアナログ・ラインに混入しないようにすることができます。

AD7485への電源ラインは、約3mm幅として低インピーダンス・パスを提供し、電源ラインに対するグリッチの影響を低減します。正しいデカップリングも重要です。図11に示すように、フェライトとデカップリング・コンデンサの組み合わせを使用してください。

デカップリング・コンデンサは、電源ピンのできるだけ近くに置いてください。これは、多層ボードを使用すれば簡単にできます。AD7485ピンからの信号パターンは最上位層に配線できますが、デカップリング・コンデンサとフェライトは電力パターンが存在する最下位層に置きます。最上位プレーンと最下位プレーン間のグラウンド・プレーンによって、優れたシールド効果が得られます。

図12a～12eに、AD7485を直接取り囲むボード領域のサンプル・レイアウトを示します。ピン1はデバイスの左下隅です。図12aには最上位層を示します。AD7485が、最下位ルーティング層につながるハイライトしたバイアで取り付けられています。図12bには最下位層を示します。電力ルーティングの同じバイアをハイライトしています。図12cには、最下位層のシルクスクリーンを示します。ここでは、デバイスのすぐ下にデカップリング・コンポーネントがはんだ付けされています。図12dは、デカップリング・コンポーネントのはんだパッドにオーバーレイされたシルクスクリーンです。図12eには、最上位と最下位のルーティング・レイヤをオーバーレイしたものを示します。それぞれの図の黒い領域は、中央の層にグラウンド・プレーンが存在することを表しています。



図12a



図12b

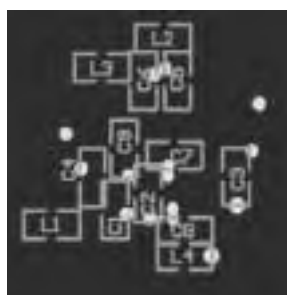


図12c

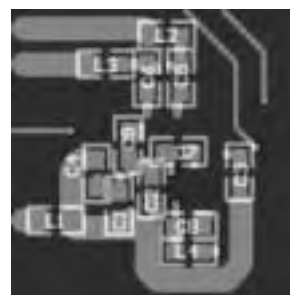


図12d



図12e

C1～6 : 100nF、C7～8 : 470nF、C9 : 1nF

L1～4 : Meggit-Sigma Chip Ferrite Beads (BMB2A0600RS2)

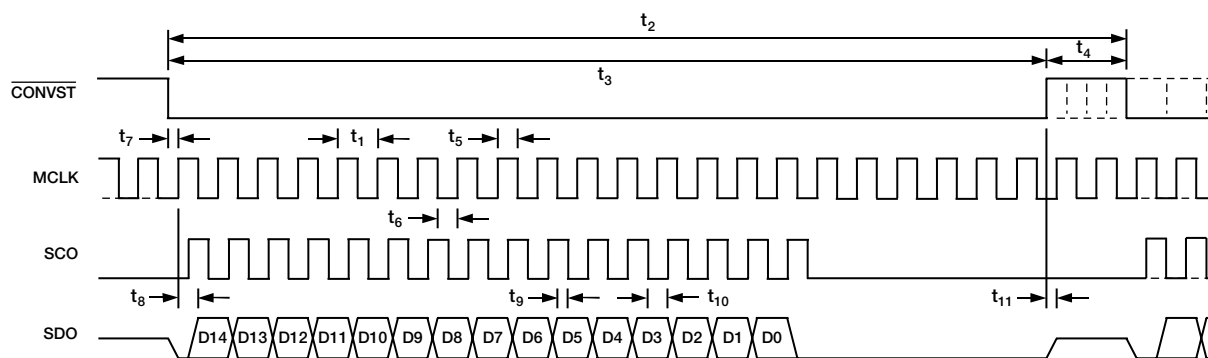


図13. シリアル・モード1 (SMODE=0) 読み出しサイクル

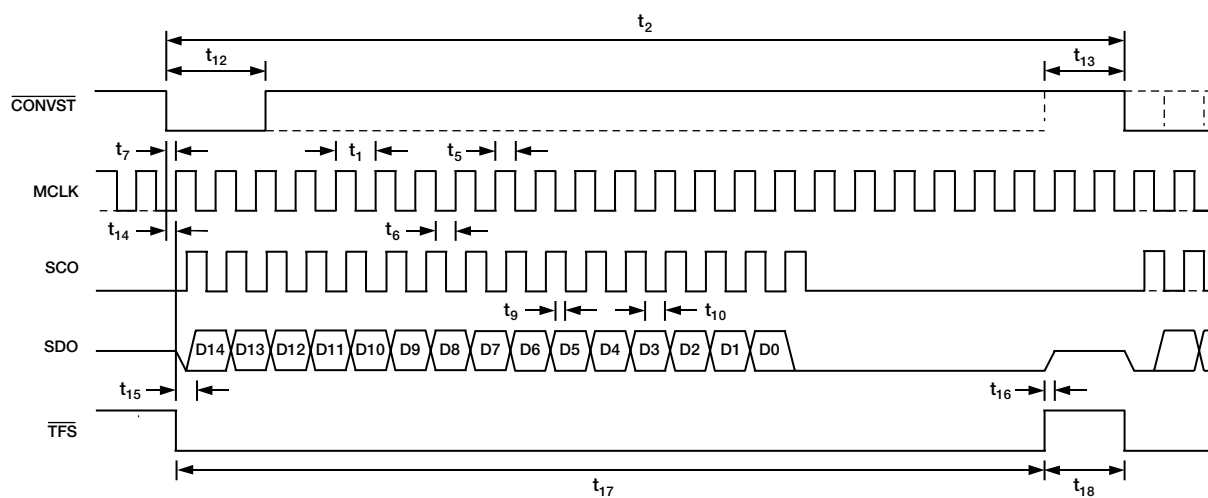


図14. シリアル・モード2 (SMODE=1) 読み出しサイクル

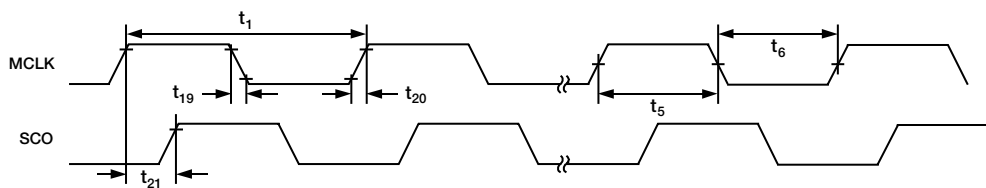


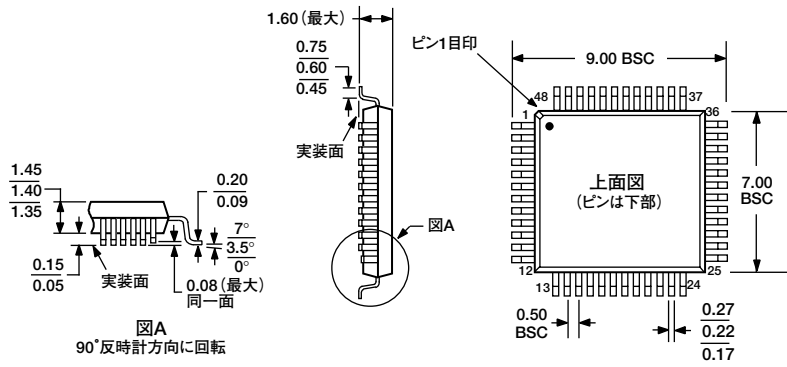
図15. シリアル・クロックタイミング

AD7485

外形寸法

48ピン・クワッド・フラットパック (LQFP)
厚さ1.4ミリ
(ST-48)

寸法はミリメートルで表示



JEDEC規格MS-026BBCに準拠

