

### 特長

- 2.7~5.25Vの $V_{DD}$ 仕様
- 最大スループット・レートで低消費電力：
  - $V_{DD}=3V$ 、555kSPSで3.3mW (max)
  - $V_{DD}=5V$ 、555kSPSで7.25mW (max)
- 疑似差動アナログ入力
- 広い入力帯域幅：
  - 入力周波数100kHzで70dB SINAD
- フレキシブルなパワー/シリアル・クロック速度マネジメント
- パイプライン遅延なし
- 高速シリアル・インターフェース：
  - SPI<sup>®</sup>/QSPI<sup>™</sup>/MICROWIRE<sup>™</sup>/DSP互換
- パワーダウン・モード：1 $\mu$ A (max)
- 8ピンSOT-23パッケージ

### アプリケーション

- トランスデューサ・インターフェース
- バッテリー駆動のシステム
- データ・アキュイジション・システム
- 携帯型計測器

### 機能ブロック図

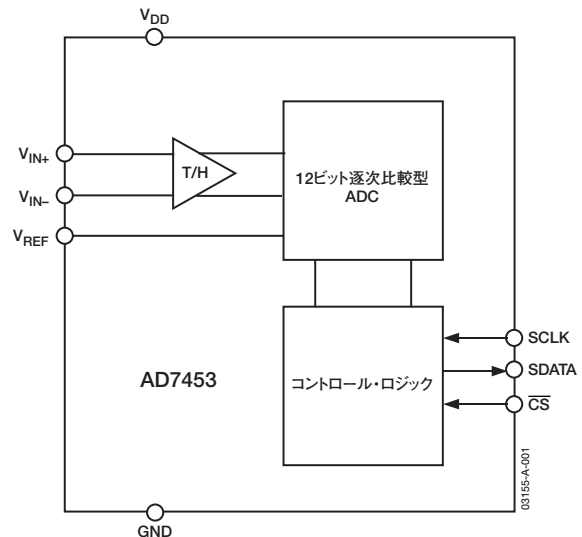


図1

### 概要

AD7453<sup>1</sup>は、疑似差動アナログ入力による低消費電力の高速12ビット逐次比較型 (SAR) A/Dコンバータ (ADC) です。2.7~5.25Vの単電源で動作し、555kSPSまでのスループット・レートが可能です。

内蔵するローノイズ、広帯域幅の差動トラック&ホールド・アンプ (T/H) は、最高3.5MHzの入力周波数を扱うことができます。リファレンス電圧は、外部から $V_{REF}$ ピンに印可し、電源とアプリケーションに応じて100mV~ $V_{DD}$ の範囲があります。

変換プロセスとデータ・アキュイジションを $\overline{CS}$ とシリアル・クロックによって制御するため、マイクロプロセッサやDSPにデバイスを接続することができます。 $\overline{CS}$ の立下がりエッジで入力信号をサンプリングし、変換もこの時点で開始します。

SARアーキテクチャを採用しているため、パイプライン遅延はありません。AD7453は高度な設計技法を利用し、きわめて低い消費電力を実現しています。

### 製品のハイライト

- 2.7~5.25V電源による動作
- 低消費電力で高スループット  
3V電源の場合、555kSPSのスループット・レートで最大消費電力が3.3mWになります。
- 疑似差動アナログ入力
- フレキシブルなパワー/シリアル・クロック速度マネジメント  
変換レートはシリアル・クロックによって決まります。このため、シリアル・クロック速度を上げて変換時間を短くすれば、消費電力を低減することができます。低いスループット・レートで電力効率を高めるシャットダウン・モードも備えています。
- 電圧が可変のリファレンス入力
- パイプライン遅延なし
- $\overline{CS}$ 入力とワンショット変換制御により、サンプリング・タイミングを正確に制御
- 500mVリファレンス電圧で、 $ENOB > 10$ ビット (typ)

<sup>1</sup> 米国特許番号6,681,332によって保護されています。

REV. B

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル  
電話03(5402)8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号  
電話06(6350)6868

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。  
© 2004 Analog Devices, Inc. All rights reserved.

# AD7453

## 目次

仕様	3	リファレンス	13
タイミング仕様	5	シリアル・インターフェース	13
絶対最大定格	6	動作モード	15
ESDに関する注意	6	ノーマル・モード	15
ピン配置と機能の説明	7	パワーダウン・モード	15
用語の説明	8	パワーアップ時間	16
AD7453—代表的な性能特性	9	消費電力とスループット・レートの関係	17
回路情報	11	マイクロプロセッサおよびDSPとのインターフェース	17
コンバータ動作	11	アプリケーション情報	19
ADCの伝達関数	11	AD7453の性能評価	19
代表的な接続図	12	外形寸法	20
アナログ入力	12	オーダー・ガイド	20
デジタル入力	13		

## 改訂履歴

### 2/04—Data Sheet changed from Rev. A to Rev. B

Added Patent Note	1
-------------------	---

### 1/04—Data Sheet changed from Rev. 0 to Rev. A

Updated Format	Universal
Changes to General Description	1
Changes to Specifications	3
Changes to Timing Specifications	5
Changes to Table 4	7
Replaced Figures 11, 12, 13	10
Changes to Typical Connection Diagram section	12
Change to Figures 18	12
Change to Reference Section	13
Changes to Timing Example	14

### 8/03—Rev. 0: Initial Version

## 仕様

特に指定のない限り、 $V_{DD}=2.7\sim 5.25V$ 、 $f_{SCLK}=10MHz$ 、 $f_s=555kSPS$ 、 $V_{REF}=2.5V$ 、 $F_{IN}=100kHz$ 、 $T_A=T_{MIN}\sim T_{MAX}$

表1

パラメータ	テスト条件/備考	Aバージョン <sup>1</sup>	Bバージョン <sup>1</sup>	単位
<b>動的性能</b>	$f_{IN}=100kHz$			
S/N比 (SNR) <sup>2</sup>	$V_{DD}=2.7\sim 5.25V$	70	70	dB (min)
信号/ノイズ+歪み (SINAD) <sup>2</sup>	$V_{DD}=2.7\sim 3.6V$	69	69	dB (min)
全高調波歪み (THD) <sup>2</sup>	$V_{DD}=4.75\sim 5.25V$	70	70	dB (min)
	$V_{DD}=2.7\sim 3.6V$ 、 $-78dB$ (typ)	-73	-73	dB (max)
	$V_{DD}=4.75\sim 5.25V$ 、 $-80dB$ (typ)	-75	-75	dB (max)
ピーク高調波または スプリアス・ノイズ <sup>2</sup>	$V_{DD}=2.7\sim 3.6V$ 、 $-80dB$ (typ)	-73	-73	dB (max)
相互変調歪み (IMD) <sup>2</sup>	$V_{DD}=4.75\sim 5.25V$ 、 $-82dB$ (typ)	-75	-75	dB (max)
2次項	$f_a=90kHz$ 、 $f_b=110kHz$	-80	-80	dB (typ)
3次項		-80	-80	dB (typ)
アパーチャ遅延 <sup>2</sup>		5	5	ns (typ)
アパーチャ・ジッタ <sup>2</sup>		50	50	ps (typ)
フルパワー帯域幅 <sup>2,3</sup>	@-3dB	20	20	MHz (typ)
	@-0.1dB	2.5	2.5	MHz (typ)
<b>DC精度</b>				
分解能		12	12	ビット
積分非直線性 (INL) <sup>2</sup>	12ビットまでノー・ミスコード保証	$\pm 1.5$	$\pm 1$	LSB (max)
微分非直線性 (DNL) <sup>2</sup>		$\pm 0.95$	$\pm 0.95$	LSB (max)
オフセット誤差 <sup>2</sup>		$\pm 3.5$	$\pm 3.5$	LSB (max)
ゲイン誤差 <sup>2</sup>		$\pm 3$	$\pm 3$	LSB (max)
<b>アナログ入力</b>				
フルスケール入力スパン	$V_{IN+}-V_{IN-}$	$V_{REF}$	$V_{REF}$	V
絶対入力電圧				
$V_{IN+}$	$V_{DD}=2.7\sim 3.6V$	$V_{REF}$	$V_{REF}$	V
$V_{IN-}$ <sup>4</sup>	$V_{DD}=4.75\sim 5.25V$	$-0.1\sim +0.4$	$-0.1\sim +0.4$	V
DCリーク電流		$\pm 1$	$\pm 1$	$\mu A$ (max)
入力容量	トラック/ホールド時	30/10	30/10	pF (typ)
<b>リファレンス入力</b>				
$V_{REF}$ 入力電圧	仕様性能に対して許容偏差 $\pm 1\%$	2.5 <sup>5</sup>	2.5 <sup>5</sup>	V
DCリーク電流		$\pm 1$	$\pm 1$	$\mu A$ (max)
$V_{REF}$ 入力容量	トラック/ホールド時	10/30	10/30	pF (typ)
<b>ロジック入力</b>				
ハイレベル電圧 ( $V_{INH}$ )		2.4	2.4	V (min)
ローレベル電圧 ( $V_{INL}$ )		0.8	0.8	V (max)
入力電流 ( $I_{IN}$ )	標準で10nA、 $V_{IN}=0V$ または $V_{DD}$	$\pm 1$	$\pm 1$	$\mu A$ (max)
入力容量 ( $C_{IN}$ ) <sup>6</sup>		10	10	pF (max)
<b>ロジック出力</b>				
ハイレベル電圧 ( $V_{OH}$ )	$V_{DD}=4.75\sim 5.25V$ 、 $I_{SOURCE}=200\mu A$	2.8	2.8	V (min)
	$V_{DD}=2.7\sim 3.6V$ 、 $I_{SOURCE}=200\mu A$	2.4	2.4	V (min)
ローレベル電圧 ( $V_{OL}$ )	$I_{SINK}=200\mu A$	0.4	0.4	V (max)
フローティング状態リーク電流		$\pm 1$	$\pm 1$	$\mu A$ (max)
フローティング状態出力容量 <sup>6</sup>		10	10	pF (max)
出力コーディング		ストレート (自然)	バイナリ	

# AD7453

パラメータ	テスト条件/備考	Aバージョン <sup>1</sup>	Bバージョン <sup>1</sup>	単位
変換レート				
変換時間	10MHz SCLKで1.6 $\mu$ s	16	16	SCLKサイクル
トラック&ホールド・	正弦波入力	250	250	ns (max)
アキュイジション時間 <sup>2</sup>	フルスケール・ステップ入力	290	290	ns (max)
スループット・レート		555	555	kSPS (max)
電源条件				
V <sub>DD</sub>		2.7/5.25	2.7/5.25	V (min/max)
I <sub>DD</sub> <sup>7, 8</sup>				
ノーマル・モード (静止時)	SCLK ONまたはOFF	0.5	0.5	mA (typ)
ノーマル・モード (動作時)	V <sub>DD</sub> =4.75~5.25V	1.5	1.5	mA (max)
	V <sub>DD</sub> =2.7~3.6V	1.2	1.2	mA (max)
フルパワーダウン・モード	SCLK ONまたはOFF	1	1	$\mu$ A (max)
消費電力				
ノーマル・モード (動作時)	V <sub>DD</sub> =5V; 100kSPSに対して	7.25	7.25	mW (max)
	1.55mW (typ) <sup>7</sup>			
	V <sub>DD</sub> =3V; 100kSPSに対して	3.3	3.3	mW (max)
	0.64mW (typ) <sup>7</sup>			
フルパワーダウン・モード	V <sub>DD</sub> =5V, SCLK ONまたはOFF	5	5	$\mu$ W (max)
	V <sub>DD</sub> =3V, SCLK ONまたはOFF	3	3	$\mu$ W (max)

<sup>1</sup> 温度範囲は、A、Bバージョンで-40~+85 $^{\circ}$ C。

<sup>2</sup> 「用語の説明」を参照。

<sup>3</sup> アキュイジション時間中に27V/ $\mu$ sを超える (フルスケール入力正弦波>3.5MHz) スループットのアナログ入力があると、コンバータが誤った変換結果を返すことがあります。

<sup>4</sup> V<sub>IN+</sub>に疑似グラウンドを提供するため、V<sub>IN-</sub>に小さいDC入力を印加します。

<sup>5</sup> AD7453は100mV~V<sub>DD</sub>の範囲のリファレンス入力で機能します。

<sup>6</sup> 特性評価データにより保証。

<sup>7</sup> 「消費電力とスループット・レートの関係」を参照してください。

<sup>8</sup> ミッドスケールのDC入力での測定。

## タイミング仕様

特性評価データにより保証。すべての入力信号は、 $t_r=t_f=5\text{ns}$  ( $V_{DD}$ の10~90%) で規定され、1.6Vの電圧レベルからタイミングをとります。

図2と「シリアル・インターフェース」を参照。

特に指定のない限り、 $V_{DD}=2.7\sim 5.25\text{V}$ 、 $f_{SCLK}=10\text{MHz}$ 、 $f_s=555\text{kSPS}$ 、 $V_{REF}=2.5\text{V}$ 、 $T_A=T_{MIN}\sim T_{MAX}$

表2

パラメータ	$T_{MIN}$ 、 $T_{MAX}$ での限界値	単位	説明
$f_{SCLK}^1$	10 10	kHz (min) MHz (max)	
$t_{CONVERT}$	$16\times t_{SCLK}$ 1.6	$\mu\text{s}$ (max)	$t_{SCLK}=1/f_{SCLK}$
$t_{QUIET}$	60	ns (min)	シリアル読み出し完了と $\overline{CS}$ の次の立下がりエッジとの間の最小静止時間
$t_1$	10	ns (min)	最小 $\overline{CS}$ パルス幅
$t_2$	10	ns (min)	$\overline{CS}$ の立下がりエッジからSCLKの立下がりエッジまでのセットアップ・タイム
$t_3^2$	20	ns (max)	$\overline{CS}$ の立下がりエッジからSDATAスリーステート・ディセーブルまでの遅延
$t_4^2$	40	ns (max)	SCLK立下がりエッジからのデータ・アクセス時間
$t_5$	$0.4 t_{SCLK}$	ns (min)	SCLKハイレベル・パルス幅
$t_6$	$0.4 t_{SCLK}$	ns (min)	SCLKローレベル・パルス幅
$t_7$	10	ns (min)	SCLKエッジからデータ有効までのホールド・タイム
$t_8^3$	10 35	ns (min) ns (max)	SCLK立下がりエッジからSDATAスリーステート・イネーブルまで SCLK立下がりエッジからSDATAスリーステート・イネーブルまで
$t_{POWER-UP}^4$	1	$\mu\text{s}$ (max)	フルパワーダウンからのパワーアップ時間

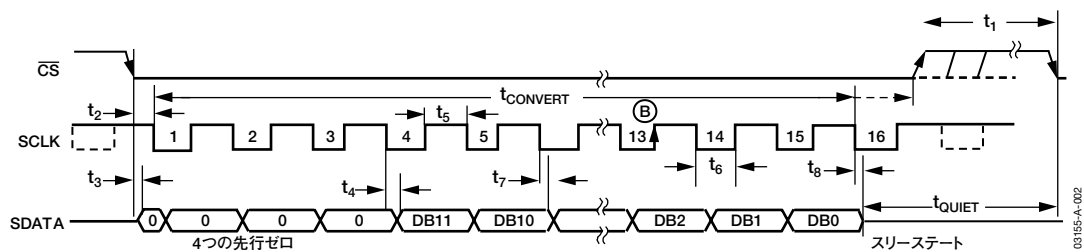


図2. AD7453シリアル・インターフェースのタイミング図

<sup>1</sup> SCLK入力のマーク/スペース比は40/60~60/40。

<sup>2</sup> 図3の負荷回路で測定。 $V_{DD}=5\text{V}$ のとき出力が0.8Vまたは2.4Vを超えるまでに必要な時間で、 $V_{DD}=3\text{V}$ のときは出力が0.4Vまたは2.0Vを超えるまでに必要な時間です。

<sup>3</sup>  $t_8$ は、図3の回路に負荷を与えたとき、データ出力が0.5V変化するために要する時間の測定値から導出されます。この値は25pFコンデンサの充放電の影響を受けない値として推測されているため、タイミング仕様で使用する時間 ( $t_8$ ) はデバイスの真の開放時間であり、バスの負荷容量とは無関係です。

<sup>4</sup> 「パワーアップ時間」を参照。

# AD7453

## 絶対最大定格

特に指定のない限り、 $T_A=25^\circ\text{C}$ 。

表3

パラメータ	定格
GNDに対する $V_{DD}$	$-0.3 \sim +7\text{V}$
GNDに対する $V_{IN+}$	$-0.3 \sim V_{DD} + 0.3\text{V}$
GNDに対する $V_{IN-}$	$-0.3 \sim V_{DD} + 0.3\text{V}$
GNDに対するデジタル入力電圧	$-0.3 \sim +7\text{V}$
GNDに対するデジタル出力電圧	$-0.3 \sim V_{DD} + 0.3\text{V}$
GNDに対する $V_{REF}$	$-0.3 \sim V_{DD} + 0.3\text{V}$
電源以外のピンへの入力電流 <sup>1</sup>	$\pm 10\text{mA}$
動作温度範囲	
商用 (A、Bバージョン)	$-40 \sim +85^\circ\text{C}$
保存温度範囲	$-65 \sim +150^\circ\text{C}$
ジャンクション温度	$150^\circ\text{C}$
$\theta_{JA}$ 熱抵抗	$211.5^\circ\text{C/W}$ (SOT-23)
$\theta_{JC}$ 熱抵抗	$91.99^\circ\text{C/W}$ (SOT-23)
ピン温度、ハンダ処理	
ベーキング時間 (60秒)	$215^\circ\text{C}$
赤外線 (15秒)	$220^\circ\text{C}$
ESD	$1\text{kV}$

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上でのデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

<sup>1</sup> 100mAまでの過渡電流では、SCRラッチアップは発生しません。

## 注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

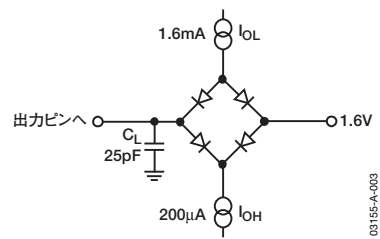


図3. デジタル出力タイミング仕様の負荷回路

03155-A-003



## ピン配置および機能の説明

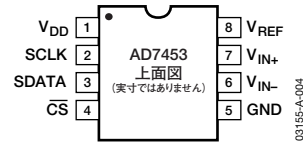


図4. 8ピンSOT-23のピン配置

表4. ピン機能の説明

記号	機能
$V_{REF}$	AD7453のリファレンス入力。この入力に100mV～ $V_{DD}$ の範囲の外部リファレンスを接続する必要があります。仕様規定されているリファレンス入力値は2.5Vです。このピンは、少なくとも0.1 $\mu$ FのコンデンサでGNDにデカップリングしてください。
$V_{IN+}$	非反転アナログ入力
$V_{IN-}$	反転入力。このピンで、 $V_{IN+}$ 入力のグラウンド・リファレンス・ポイントを設定します。グラウンドに接続するか、DCオフセットに接続して疑似グラウンドを得ます。
GND	アナログ・グラウンド。AD7453の全回路のグラウンド・リファレンス・ポイント。すべてのアナログ入力信号と外部リファレンス信号は、このGND電圧を基準にします。
$\overline{CS}$	チップ・セレクト。アクティブ・ローのロジック入力。この入力には、AD7453の変換開始とシリアル・データの転送制御という2つの機能があります。
SDATA	シリアル・データ。ロジック出力。AD7453からの変換結果がシリアル・データ・ストリームとしてこの出力から得られます。SCLK入力の立下がりエッジで、ビットをクロック出力します。AD7453のデータ・ストリームは、4つの先行ゼロと、それに続く12ビットの変換データ（MSBファースト）で構成されます。出力コーディングは、ストレート（自然）バイナリです。
SCLK	シリアル・クロック。ロジック入力。SCLKは、AD7453からのデータにアクセスするためのシリアル・クロックを提供します。変換プロセスのクロック源にもなります。
$V_{DD}$	電源入力。 $V_{DD}$ は2.7～5.25Vです。この電源は、0.1 $\mu$ Fコンデンサと10 $\mu$ Fタンタル・コンデンサによってGNDにデカップリングしてください。

# AD7453

## 用語の説明

### 信号／ノイズ+歪み (SINAD)

A/Dコンバータ出力で測定した信号／ノイズ+歪み比です。信号は基本波のrms振幅で、ノイズは1/2サンプリング周波数 ( $f_s/2$ ) までのすべての非基本波信号の和になります (DCを除く)。SINAD比はデジタル化プロセスの量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズが小さくなります。正弦波を入力した場合の理想のNビット・コンバータでのSINAD比の理論値は、次式で得られます。

$$\text{SINAD比} = (6.02N + 1.76)\text{dB}$$

これにより、12ビット・コンバータの場合は74dBになります。

### 全高調波歪み (THD)

全高調波歪みは、高調波のrms値総和と基本波の比です。AD7453の場合、次のようになります。

$$\text{THD(dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 $V_1$ は基本波のrms振幅、 $V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 、 $V_6$ は2次～6次高調波のrms振幅です。

### ピーク高調波 (スプリアス・ノイズ)

ピーク高調波 (スプリアス・ノイズ) は、ADC出力スペクトル内の2番目に大きい成分のrms値 (DCを除き、 $f_s/2$ まで) の基本波rms値に対する比です。通常、この仕様値はスペクトル内の最大の高調波によって決まりますが、高調波がノイズ・フロアに埋め込まれているADCの場合、ノイズ・ピークになります。

### 相互変調歪み (IMD)

非線形性のアクティブ・デバイスに2つの周波数 $f_a$ および $f_b$ の正弦波を入力すると、和および差の周波数 $m f_a \pm n f_b$  ( $m$ および $n$ は、0、1、2、3など) で歪み成分が発生します。相互変調歪み項とは、この $m$ と $n$ が非ゼロの項をいいます。たとえば、2次項には  $(f_a + f_b)$  と  $(f_a - f_b)$  があり、3次項には  $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$  があります。

AD7453は、入力帯域幅の上限に近い2つの入力周波数を使うCCIF規格でテストされています。この場合、通常、2次項は元の正弦波の周波数から離れ、3次項は入力周波数に近い周波数になります。このため、2次項と3次項は別々の仕様になります。相互変調歪みの計算は、THDの仕様に従い、基本波の和のrms振幅に対する個々の歪み成分のrms総和の比になり、dBで表します。

### アパーチャ遅延

サンプリング・クロックの立上がりエッジから、ADCが実際にサンプルを行うまでに要する時間です。

### アパーチャ・ジッタ

実際にサンプル取得が行われる有効時点についてのサンプルごとの変動です。

### フルパワー帯域幅

ADCのフルパワー帯域幅とは、再構成された基本波の振幅がフルスケール入力に対して0.1dBまたは3dB低下する入力周波数です。

### 積分非直線性 (INL)

ADC伝達関数の両端を結ぶ直線からの最大偏差です。

### 微分非直線性 (DNL)

ADCの2つの隣接コード間における1LSB変化の測定値と理想値の差です。

### オフセット誤差

理想値 ( $\text{AGND} + 1\text{LSB}$ ) と最初のコード遷移 (000...000から000...001) との偏差です。

### ゲイン誤差

オフセット誤差を調整した後の、理想値 ( $V_{\text{REF}} - 1\text{LSB}$ ) と最後のコード遷移 (111...110から111...111) との偏差です。

### トラック&ホールド・アクイジション時間

トラック&ホールド・アンプがトラック・モードにとどまり、トラック&ホールド・アンプの出力が、印加された入力信号の0.5LSB以内に達してセトリングするまでに必要とする最小時間です。

### 電源電圧変動除去比 (PSRR)

電源電圧変動除去比とは、フルスケール周波数 $f$ でのADC出力の電力と、周波数 $f_s$ のADC  $V_{\text{DD}}$ 電源に加えられる100mVp-p正弦波の電力との比です。この入力の周波数は、1kHz～1MHzの範囲で変動します。

$$\text{PSRR(dB)} = 10 \log(P_f/P_{f_s})$$

$P_f$ はADC出力における周波数 $f$ での電力で、 $P_{f_s}$ はADC出力における周波数 $f_s$ での電力です。



## AD7453—代表的な性能特性

デフォルト状態：特に指定のない限り、 $T_A=25^\circ\text{C}$ 、 $f_s=555\text{kSPS}$ 、 $f_{\text{SCLK}}=10\text{MHz}$ 、 $V_{\text{DD}}=2.7\sim 5.25\text{V}$ 、 $V_{\text{REF}}=2.5\text{V}$ 。

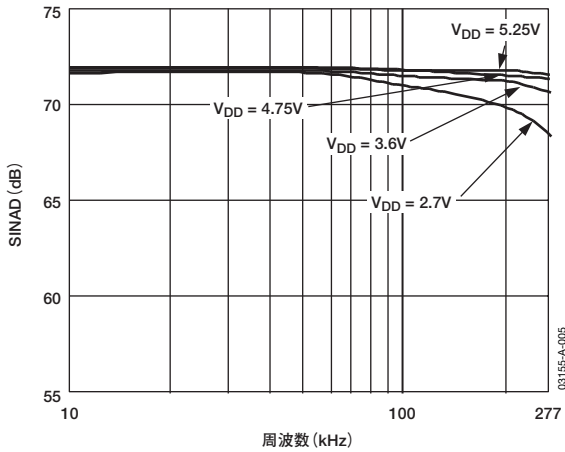


図5. さまざまな電源電圧に対するアナログ入力周波数 対 SINAD

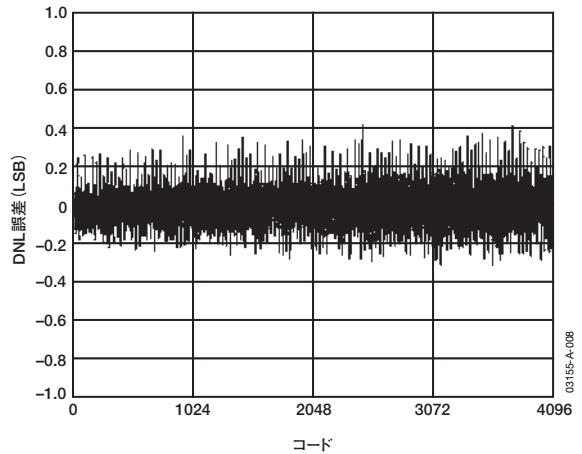


図8.  $V_{\text{DD}}=5\text{V}$ での代表的なDNL

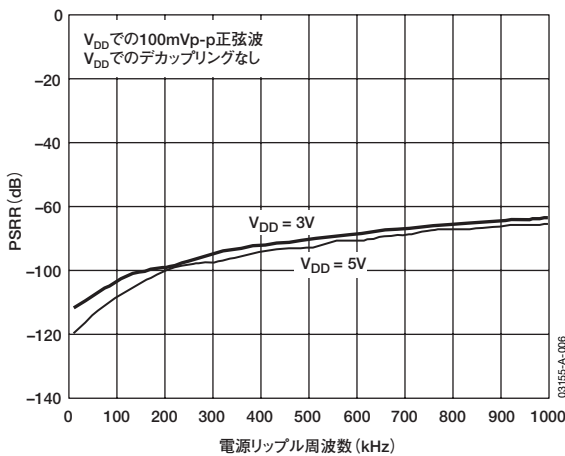


図6. 電源リップル周波数 対 PSRR (電源デカップリングなし)

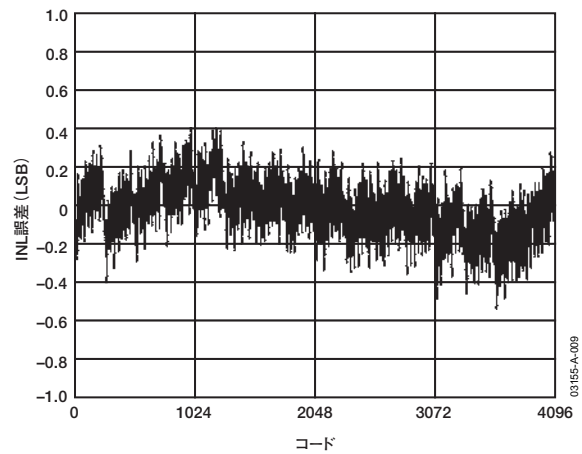


図9.  $V_{\text{DD}}=5\text{V}$ での代表的なINL

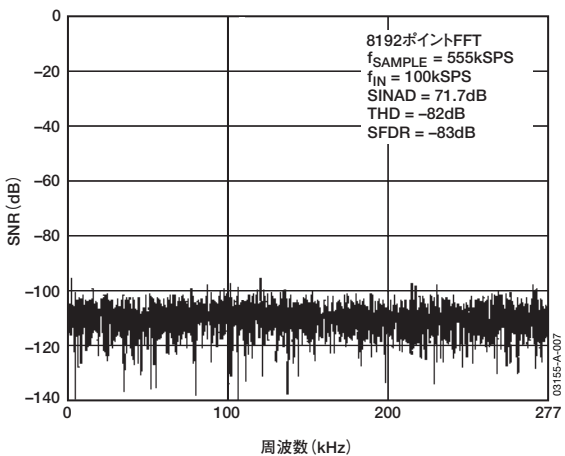


図7.  $V_{\text{DD}}=5\text{V}$ での動的性能

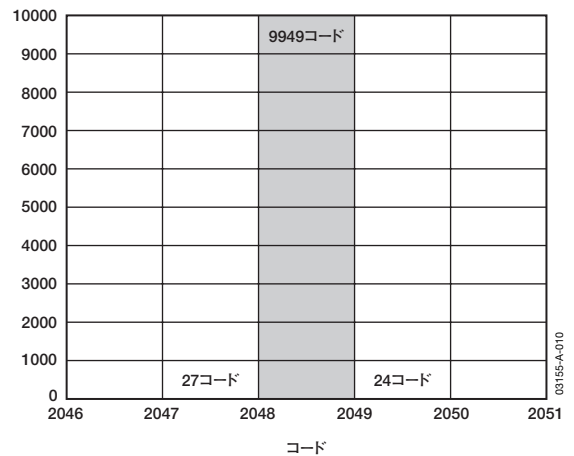


図10. DC入力を10,000回変換した場合のヒストグラム

# AD7453

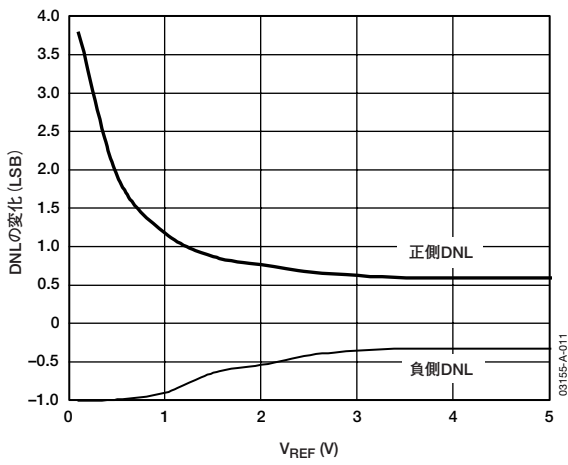


図11.  $V_{DD}=5V$ での $V_{REF}$  対 DNLの変化

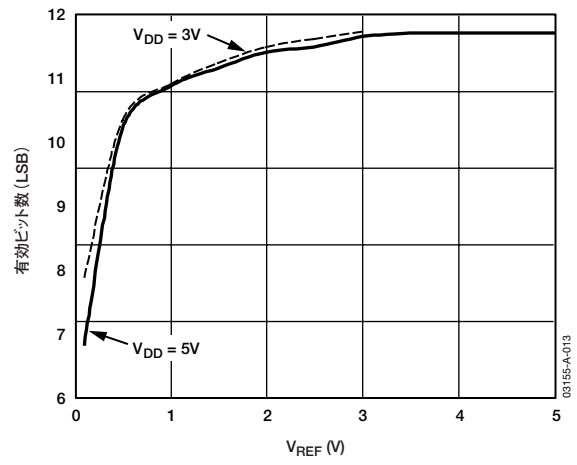


図13.  $V_{DD}=5V$ での $V_{REF}$  対 有効ビット数 (ENOB)

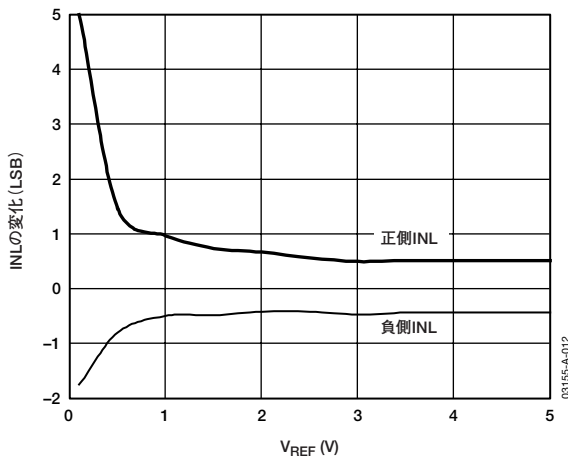


図12.  $V_{DD}=5V$ での $V_{REF}$  対 INLの変化

## 回路情報

AD7453は、低消費電力、単電源、12ビットの逐次比較型A/Dコンバータ（SAR ADC）で、疑似差動アナログ入力を備えています。2.7~5.25Vの単電源で動作し、10MHzのSCLKを供給すれば555kSPSまでのスループット・レートが可能です。VREFピンに外部リファレンスを入力する必要があります。

AD7453は、差動トラック&ホールド・アンプ、逐次比較型（SAR）ADC、シリアル・インターフェースを8ピンSOT-23パッケージに搭載しています。シリアル・クロック入力でデバイスからのデータにアクセスし、SAR ADCにクロック源を提供します。変換と変換の間に消費電力を低減するパワーダウン・オプションがあります。「動作モード」の項で説明しますが、このパワーダウン機能は標準のシリアル・インターフェースから実行します。

### コンバータ動作

AD7453は、2つの容量性DACをベースにしたSAR ADCです。図14と図15に、アキュイジション・フェーズと変換フェーズのADCの簡略回路図を示します。ADCは、コントロール・ロジック、SAR、2つの容量性DACで構成されています。図14（アキュイジション・フェーズ）では、SW3が閉じ、SW1とSW2がポジションA、コンパレータが平衡状態にあり、サンプリング・コンデンサ・アレイが入力の差動信号を取得します。

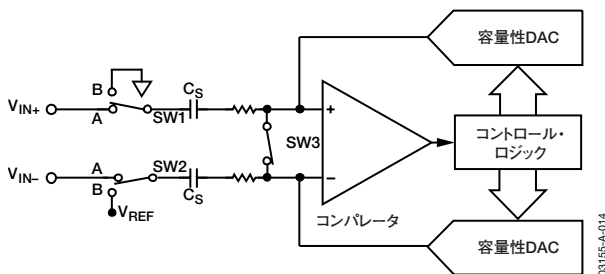


図14. ADCのアキュイジション・フェーズ

ADCが変換を開始すると（図15）、SW3が開き、SW1とSW2がポジションBに移動するため、コンパレータが不平衡状態になります。変換が始まると、2つの入力が切り離されます。コントロール・ロジックと電荷再配分式DACを使用し、サンプリング・コンデンサ・アレイに対して一定量の電荷を加算/減算することで、コンパレータを平衡状態に戻します。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは、ADCの出力コードを生成します。VIN+ピンとVIN-ピンを駆動するソースの出力インピーダンスは一致しなければなりません。これが一致しないと、2つの入力でセトリング・タイムが異なり、誤差が生じます。

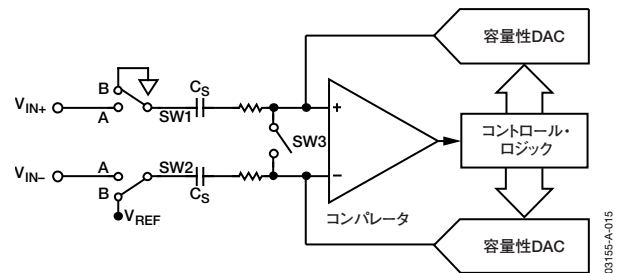


図15. ADCの変換フェーズ

### ADCの伝達関数

AD7453の出力コーディングはストレート（自然）バイナリです。設計されたコード遷移は連続したLSB値（1LSB、2LSB…と続く）で発生します。LSBサイズは $V_{REF}/4096$ です。図16に、AD7453の理想的な伝達特性を示します。

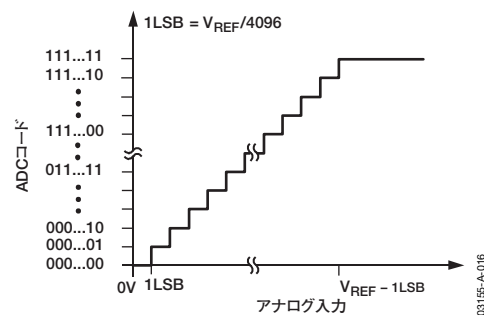


図16. 理想的な伝達特性

# AD7453

## 代表的な接続図

図17に、AD7453の代表的な接続図を示します。この設定では、GNDピンがシステムのアナログ・グラウンド・プレーンに接続されています。V<sub>REF</sub>ピンは2.5Vのデカップリングされたリファレンス源であるAD780に接続され、信号源はユニティ・ゲイン・バッファを介してV<sub>IN+</sub>アナログ入力に接続されています。DC電圧はV<sub>IN-</sub>ピンに接続され、V<sub>IN+</sub>入力に疑似グラウンドを提供します。V<sub>DD</sub>ピンは、0.1μFセラミック・コンデンサと並列接続した10μFタンタル・コンデンサによって、AGNDにデカップリングしてください。リファレンス・ピンは、0.1μF以上のコンデンサによってAGNDにデカップリングしてください。変換結果は16ビット・ワードで出力されます（4つの先行ゼロの後に12ビット結果のMSBが続きます）。

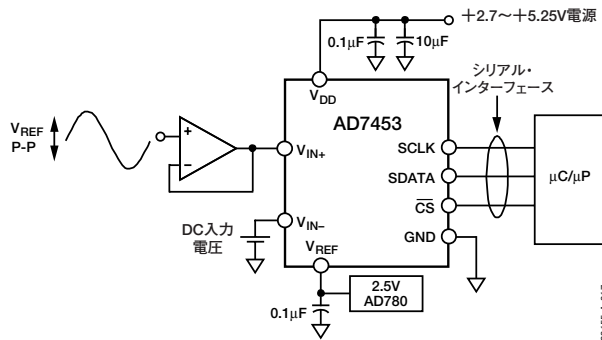


図17. 代表的な接続図

## アナログ入力

AD7453には疑似差動アナログ入力があります。V<sub>IN+</sub>入力を信号源に結合し、V<sub>REFP-p</sub>の振幅があればデバイスのフルダイナミック・レンジが得られます。DC入力はV<sub>IN-</sub>に接続します。この入力に印加された電圧が、V<sub>IN+</sub>入力にグラウンドまたは疑似グラウンドからのオフセットを提供します。疑似差動入力の主なメリットは、アナログ入力信号のグラウンドをADCのグラウンドから分離することです。これによって、DC共通・モード電圧をキャンセルできるようになります。

ADCが単電源で動作するため、グラウンド・ベースのバイポーラ信号を入力条件に合わせてレベル・シフトする必要があります。オペアンプ（AD8021など）の構成によって、AD7453の入力範囲に対応するようにグラウンド・ベースの信号（バイポーラ）をスケーリングおよびレベル・シフトできます。図18を参照してください。

変換が行われるとき、疑似グラウンドが0に対応し、最大アナログ入力は4096に対応します。

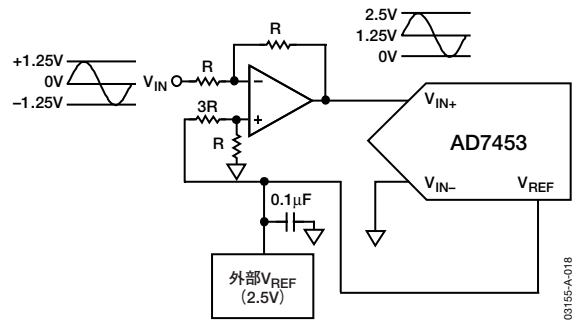


図18. バイポーラ入力信号をレベル・シフトするためのオペアンプ構成

## アナログ入力構造

図19に、AD7453のアナログ入力構造の等価回路を示します。4個のダイオードが、アナログ入力に対するESD保護機能を提供します。アナログ入力信号が電源レールより300mV以上超えないように注意してください。この値を超えると、これらのダイオードが順方向にバイアスされて、サブストレートに電流が流れるようになります。ダイオードがデバイスに修復不能な損傷を与えずに許容できる最大電流は10mAです。図19のコンデンサC1は標準で4pFで、主にピン容量に起因します。抵抗は、スイッチのオン抵抗を含みます。これらの抵抗の値は、標準で約100Ωです。コンデンサC2は、ADCのサンプリング・コンデンサで、標準で16pFの容量があります。

ACアプリケーションの場合は、該当するアナログ入力ピンにRCローパス・フィルタを使用して、アナログ入力信号から高周波成分を除去することを推奨します。高調波歪みとS/N比が重要なアプリケーションでは、アナログ入力を低インピーダンス・ソースから駆動してください。ソース・インピーダンスが大きいと、ADCのAC性能に大きな影響を及ぼします。このため、入力バッファ・アンプが必要になることもあります。オペアンプの選択は、アプリケーションによって異なります。

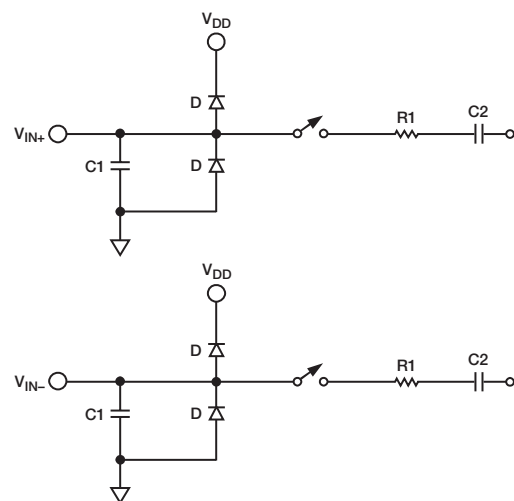


図19. 等価なアナログ入力回路（変換フェーズ・スイッチ開、トラック・フェーズ・スイッチ閉）

アンプを使用せずにアナログ入力を駆動するときは、ソース・インピーダンスを低い値にする必要があります。最大ソース・インピーダンスは、許容可能な全高調波歪み (THD) の大きさに依存します。ソース・インピーダンスが増加するとTHDが大きくなり、性能が低下します。図20に、さまざまなソース・インピーダンスでのTHDとアナログ入力信号周波数の関係を示します。

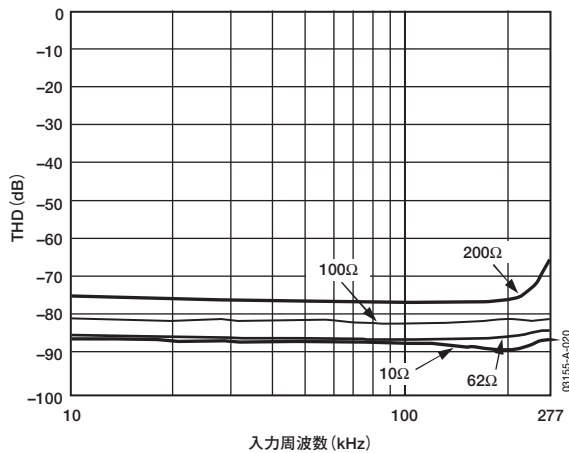


図20. さまざまなソース・インピーダンスでのアナログ入力周波数 対 THD

図21に、10MHzのSCLKによって555kSPSでサンプリングするときの、さまざまな電源電圧でのTHDとアナログ入力周波数の関係を示します。この場合、ソース・インピーダンスは10Ωです。

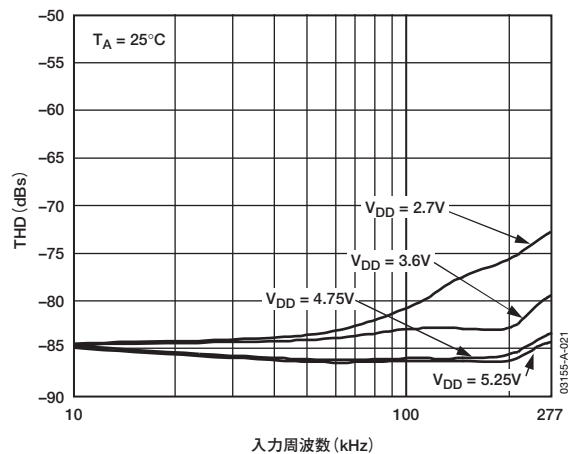


図21. さまざまな電源電圧でのアナログ入力周波数 対 THD

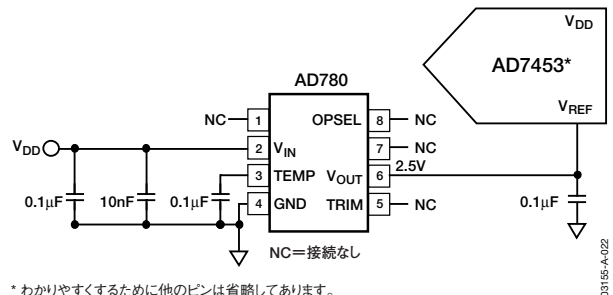
## デジタル入力

AD7453に対するデジタル入力は、アナログ入力を制限する最大定格によって制限されることはありません。印加されるデジタル入力 ( $\overline{CS}$ とSCLK) は7Vに達することもあり、アナログ入力のように $V_{DD}+0.3V$ の限界によって制限されません。

入りに $V_{DD}+0.3V$ の制限がないことから得られる主な利点は、電源シーケンスの問題を回避できることです。 $V_{DD}$ より前に $\overline{CS}$ やSCLKに電圧が印加された場合でも、ラッチアップの危険はありません。アナログ入力では、 $V_{DD}$ より前に0.3Vより大きい信号が印加されると、ラッチアップの危険があります。

## リファレンス

AD7453にリファレンスを供給するには、外付けのリファレンス源が必要です。このリファレンス入力範囲は $100mV \sim V_{DD}$ です。電源電圧範囲2.7~5.25Vに対して、仕様規定されているリファレンスは2.5Vです。アプリケーションに適したリファレンス入力を選択するときは、電源電圧を決して超えることがないようにしてください。リファレンス源での誤差によって、AD7453の伝達関数におけるゲイン誤差が生じます。 $V_{REF}$ ピンには、0.1μF以上のコンデンサを接続してください。AD7453には、AD780やADR421などのリファレンス源を推奨します。図22に、 $V_{REF}$ ピンの代表的な接続図を示します。



\* わかりやすくするために他のピンは省略してあります。

図22.  $V_{DD}=5V$ での代表的な $V_{REF}$ 接続図

## シリアル・インターフェース

図2に、AD7453のシリアル・インターフェースの詳細なタイミング図を示します。シリアル・クロックが変換クロックを提供し、変換時にデバイスからのデータの転送も制御します。 $\overline{CS}$ で変換プロセスが開始し、データ転送をフレーミングします。 $\overline{CS}$ の立下がりエッジでトラック&ホールドがホールド・モードになり、バスがスリーステートから抜け出します。この時点で、アナログ入力信号をサンプリングし、変換を開始します。変換完了には、SCLKで16サイクルが必要です。

13個のSCLK立下がりエッジが経過すると、図2のポイントBに示すように、トラック&ホールドが次のSCLKの立下がりエッジでトラック・モードに戻ります。SCLKの16番目の立下がりエッジで、SDATAラインがスリーステートに戻ります。

SCLKの16サイクルが経過する前に $\overline{CS}$ の立下がりエッジが発生すると、変換が中止され、SDATAラインがスリーステートに戻ります。

AD7453の変換結果は、シリアル・データ・ストリームでSDATA出力から得られます。SCLK入力の立下がりエッジでビットをクロック出力します。データ・ストリームは、4ビットのゼロの後に12ビットの変換データがMSBファーストで続きます。出力コーディングはストレート (自然) バイナリです。

# AD7453

変換を完了してAD7453の変換結果にアクセスするには、シリアル・クロックで16サイクルが必要です。 $\overline{CS}$ がローレベルになると、マイクロコントローラやDSPによって最初の先行ゼロが読み出せるようになります。次に、後続のSCLK立下がりエッジで2番目の先行ゼロから残りのデータをクロック出力します。シリアル・クロックの最初の立下がりクロック・エッジが、2番目の先行ゼロを出力することになります。前の（15番目の）立下がりエッジで出力されていたデータ転送の最終ビットは、16番目の立下がりエッジで有効になります。変換が完了し、16クロック・サイクル後にデータのアクセスが行われた後は、次の変換を開始する前に、規定のアクイジション時間と静止時間を満たすために十分な時間を空けることが重要です（次の「タイミング例」を参照）。

低速のSCLKを使用するアプリケーションでは、各SCLK立上がりエッジでデータを読み出すことができます。つまり、 $\overline{CS}$ の立下がりエッジ後の最初のSCLK立上がりエッジで先行ゼロを、15番目の立上がりSCLKエッジでDB0を、読み出すことができます。

## タイミング例1

$F_{SCLK}=10\text{MHz}$ でスループット・レート=555kSPSのとき、サイクル・タイムは次のようになります。

$$1/\text{スループット}=1/555,000=1.8\mu\text{s}$$

1サイクルは次の時間で構成されます。

$$t_2+12.5(1/F_{SCLK})+t_{ACQ}=1.8\mu\text{s}$$

したがって、 $t_2=10\text{ns}$ の場合は、次のようになります。

$$10\text{ns}+12.5(1/18\text{MHz})+t_{ACQ}=1\mu\text{s}$$

$$t_{ACQ}=540\text{ns}$$

540nsという値は、 $t_{ACQ}$ で290nsの条件を満たします。

図23より、 $t_{ACQ}$ は次のようになります。

$$2.5(1/F_{SCLK})+t_8+t_{QUIET}$$

ここで、 $t_8=35\text{ns}$ です。これにより、 $t_{QUIET}$ の値として255nsが得られ、60nsの最小条件を満たすことになります。

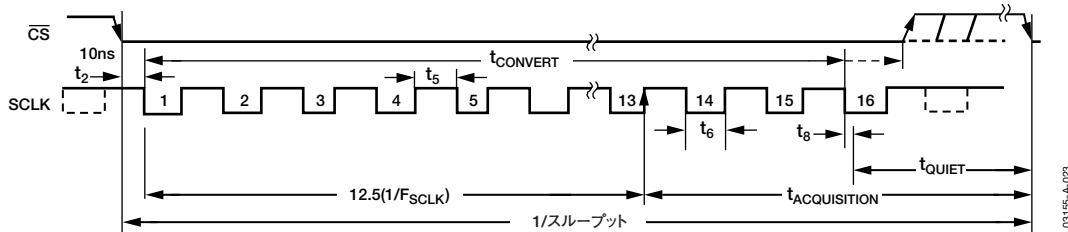


図23. シリアル・インターフェースのタイミング例

## 動作モード

AD7453の動作モードは、変換時に $\overline{CS}$ 信号のロジック状態を制御して選択します。動作モードには、ノーマル・モードとパワーダウン・モードがあります。変換開始後に $\overline{CS}$ がハイレベルになるポイントで、AD7453がパワーダウン・モードになるかが決まります。また、すでにパワーダウン・モードになっている場合も、 $\overline{CS}$ によってノーマル動作に戻るか、パワーダウン・モードにとどまるかを制御します。この2つの動作モードから、柔軟なパワーマネジメント・オプションが得られます。これらのオプションを選ぶことで、さまざまなアプリケーションの要求に最適な消費電力/スループット・レート比を選択できます。

### ノーマル・モード

最高のスループット・レート性能を得るためのモードです。AD7453は常時フルパワーアップ状態にとどまるため、パワーアップ時間を気にする必要はありません。図24に、このモードでのAD7453の一般的な動作図を示します。「シリアル・インターフェース」の項で説明したように、 $\overline{CS}$ の立下がりエッジで変換を開始します。デバイスを常時パワーアップさせておくには、 $\overline{CS}$ の立下がりエッジの後、少なくとも10個のSCLK立下がりエッジが経過するまで $\overline{CS}$ をローレベルに維持しておく必要があります。

10番目のSCLK立下がりエッジから16番目のSCLK立下がりエッジまでの任意のタイミングで $\overline{CS}$ をハイレベルにすると、デバイスはパワーアップ状態のままですが、変換が終了して、SDATAがスリーステートに戻ります。変換を完了して完全な変換結果にアクセスするには、シリアル・クロックで16サイクルが必要です。 $\overline{CS}$ は、次の変換までアイドルのハイレベルを維持するか、次の変換の前の一定の時点までアイドルのローレベルにすることができます。データ転送が完了してSDATAがスリーステートに戻った後は、静止時間 $t_{\text{QUIET}}$ の経過後に $\overline{CS}$ を再度ローレベルにして次の変換を開始できます。

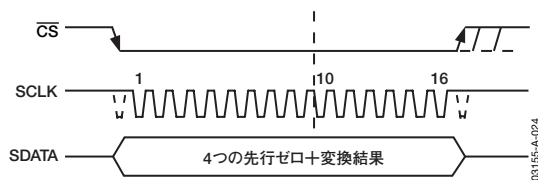


図24. ノーマル・モード動作

### パワーダウン・モード

このモードは、低スループット・レートが必要なアプリケーションでの使用を目的としています。各変換の間にADCをパワーダウンしたり、一連の変換を高スループット・レートで実行した後、このような変換と変換の間に比較的長時間にわたってADCをパワーダウンします。AD7453がパワーダウン・モードになると、全アナログ回路がパワーダウンします。パワーダウン・モードに入るには、図25に示すように、SCLKの2番目の立下がりエッジからSCLKの10番目の立下がりエッジまでの任意の時点で、 $\overline{CS}$ をハイレベルにして変換プロセスを中断させる必要があります。

SCLKのこのウインドウ内で $\overline{CS}$ をハイレベルにすると、デバイスがパワーダウン状態に入り、 $\overline{CS}$ の立下がりエッジで開始した変換を終了し、SDATAがスリーステートに戻ります。 $\overline{CS}$ の立下がりエッジからSDATAのスリーステート・イネーブルまでの時間は、 $t_{\text{S}}$ を超えることはできません（「タイミング仕様」を参照）。SCLKの2番目の立下がりエッジの前に $\overline{CS}$ がハイレベルになっても、デバイスはノーマル・モードのまま、パワーダウンしません。この機能によって、 $\overline{CS}$ ラインのグリッチによって偶発的にパワーダウンが生じるのを防ぎます。

この動作モードを終了してAD7453を再度パワーアップするには、ダミー変換を実行します。デバイスは、 $\overline{CS}$ の立下がりエッジでパワーアップを開始し、 $\overline{CS}$ がローレベルになっている間パワーアップを続け、SCLKの10番目の立下がりエッジで終了します。デバイスは1 $\mu\text{s}$ 経過後に完全にパワーアップし、図26に示すように、次の変換から有効なデータが得られます。

SCLKの10番目の立下がりエッジの前に $\overline{CS}$ がハイレベルになると、AD7453は再びパワーダウン・モードに戻ります。これにより、 $\overline{CS}$ ラインのグリッチや、 $\overline{CS}$ がローレベルのときの8サイクルのSCLKによって偶発的にパワーアップするのを防ぎます。このため、デバイスは $\overline{CS}$ の立下がりエッジでパワーアップを開始できますが、SCLKの10番目の立下がりエッジの前に $\overline{CS}$ の立下がりエッジが発生すると、再びパワーダウン状態に戻ります。

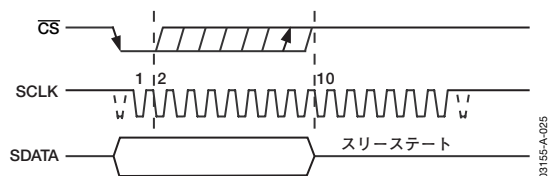


図25. パワーダウン・モードへの移行



# AD7453

## パワーアップ時間

AD7453のパワーアップ時間は $1\mu\text{s}$  (typ) です。10MHzまでの任意のSCLK周波数で、1ダミー・サイクルさえあればデバイスがパワーアップできることとなります。ダミー・サイクルが完了すると、ADCはフルパワーアップし、正常な入力信号を取り込むことができます。この場合も、ダミー変換後にバスがスリーステートに戻った時点からCSの次の立下がりエッジまで、静止時間 $t_{\text{QUIET}}$ が必要です。

555kSPSの最大スループット・レートでの動作時、AD7453は、1ダミー・サイクルでパワーアップして $\pm 0.5\text{LSB}$ の範囲内で信号を取得します。1ダミー・サイクルでパワーダウン・モードからパワーアップするとき (図26)、デバイスのパワーダウン中はホールド・モードにあったトラック&ホールドが、CSの立下がりエッジ後にデバイスが受け取る最初のSCLKエッジの後にトラック・モードに戻ります。これを図26のポイントAに示します。

任意のSCLK周波数でデバイスをパワーアップさせて $V_{\text{IN}}$ を入力するにはダミー・サイクル1つで十分ですが、必ずしも16 SCLKというフルのダミー・サイクルがないとデバイスをパワーアップして $V_{\text{IN}}$ を完全に得られないというわけではありません。デバイスのパワーアップと入力信号の取得には $1\mu\text{s}$ で十分です。

たとえば、5MHzのSCLK周波数をADCに入力する場合、サイクル・タイムは $3.2\mu\text{s}$  (つまり、 $1/(5\text{MHz}) \times 16$ ) になります。 $3.2\mu\text{s}$ の1ダミー・サイクルで、デバイスはパワーアップして $V_{\text{IN}}$ が完全に取り込まれます。ただし、5MHzのSCLKでは $1\mu\text{s}$ 後に、SCLKの5サイクル分しか経過していません。この時点でも、ADCは完全にパワーアップして信号が取得できます。したがって、この場合は、10番目のSCLKの立下がりエッジの後にCSをハイレベルにし、さらに $t_{\text{QUIET}}$ 経過後に再度ローレベルにして、変換を開始します。

最初にAD7453に電源を供給するとき、パワーダウン・モードかノーマル・モードのいずれかでADCがパワーアップします。このため、デバイスが完全にパワーアップしてから有効な変換を開始できるように、1ダミー・サイクルを経過させることを推奨します。同様に、デバイスをパワーダウン・モードでパワーアップする場合も、図25に示すようなサイクルを実行することで、ダミー・サイクルを使ってデバイスを確実にパワーダウン・モードにできます。AD7453に電源を供給した後のパワーアップ時間は、パワーダウン・モードからのパワーアップ時と同じです。デバイスがノーマル・モードで完全にパワーアップする場合は、約 $1\mu\text{s}$ 必要です。希望する動作モードにするためのダミー・サイクルは、 $1\mu\text{s}$ 待ってから行う必要はありません。ADCに電源を入れた直後にダミー・サイクルを発生させることもできます。ダミー変換の直後に最初の有効な変換を実行する場合は、十分なアキュイジション時間を確保できるように注意してください。

前述のように、パワーダウン・モードからパワーアップする際には、デバイスは、CSの立下がりエッジの後に入力された最初のSCLKエッジでトラック・モードに戻ります。ただし、電源を入れた後初めてADCがパワーアップする場合は、トラック&ホールドはすでにトラック・モードになっています。つまり、ADCが希望の動作モードでパワーアップしたため、モードの変更にダミー・サイクルが不要な場合は、トラック&ホールドをトラック・モードにするためのダミー・サイクルも不要ということになります (ADCの電源電流をモニタできることを前提としています)。

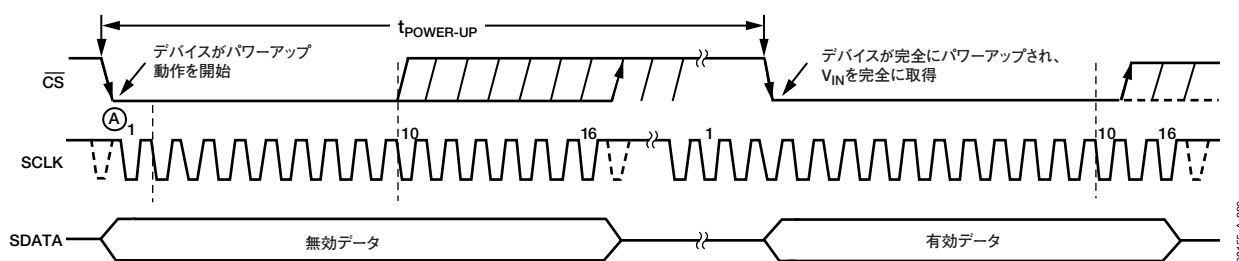


図26. パワーダウン・モードの終了



## 消費電力とスループット・レートの関係

変換しないときにAD7453をパワーダウン・モードにしておけば、低いスループット・レートでADCの平均消費電力が低減します。図27は、スループット・レートを減少させると、それだけデバイスがパワーダウン状態にとどまる時間が長くなり、その結果、平均消費電力が減少することを示しています。たとえば、AD7453が連続サンプリング・モードで、スループット・レート=100kSPS、SCLK=10MHzで、変換と変換の間にデバイスがパワーダウン・モードになる場合、消費電力は次のようになります。

$$\begin{aligned} \text{ノーマル動作時の消費電力} &= 7.25\text{mW (max)} \\ (\text{V}_{\text{DD}} &= 5\text{Vの場合}) \end{aligned}$$

パワーアップ時間が1ダミー・サイクル（サイクルの10番目のSCLKの立下がりエッジ後にCSがハイレベルになり、次いで静止時間後にローレベルになる場合、1.06 $\mu\text{s}$ ）で、残りの変換時間が別のサイクル（1.6 $\mu\text{s}$ ）になる場合、AD7453は各変換サイクル中の2.66 $\mu\text{s}$ \*の間に7.25mWを消費することになります。

スループット・レートが100kSPSの場合は、サイクル・タイムは10 $\mu\text{s}$ となり、各サイクルの平均消費電力は、次のようになります。

$$(2.66/10) \times 7.25\text{mW} = 1.92\text{mW}$$

同様に、 $\text{V}_{\text{DD}} = 3\text{V}$ の場合、ノーマル動作時の最大消費電力は3.3mWになります。このことから、AD7453は各変換サイクル中の2.66 $\mu\text{s}$ \*の間に3.3mWを消費することになります。

したがって、スループット・レート=100kSPSでの各サイクルの平均消費電力は、次のようになります。

$$(2.66/10) \times 3.3\text{mW} = 0.88\text{mW}$$

図27に示す消費電力は、このようにして計算した値です。

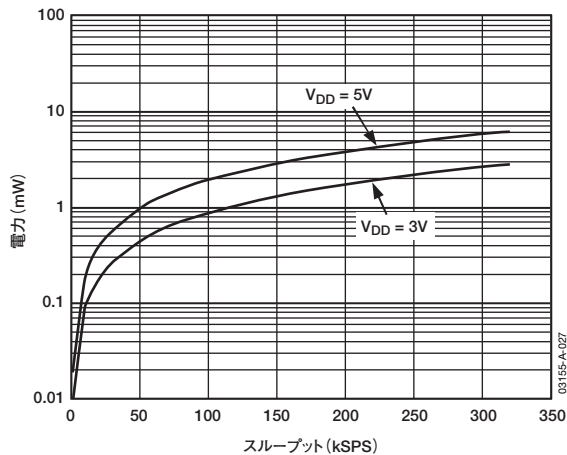


図27. パワーダウン・モードでのスループット・レートと電力の関係

\* この数値は、パワーダウン・モードに入るための時間がきわめて短いことを前提にしています。パワーダウン・モードに入るために使用するクロックのバーストが長くなると、この数値も大きくなります。

320kSPSを上回るスループット・レートでは、最適な消費電力性能を得るためにシリアル・クロック周波数を下げることが推奨します。

## マイクロプロセッサとDSPとのインターフェース

AD7453内蔵のシリアル・インターフェースを使えば、さまざまな種類のマイクロプロセッサに直接接続することができます。ここでは、いくつかの一般的なマイクロコントローラやDSPのシリアル・インターフェース・プロトコルとAD7453をインターフェースさせる方法について説明します。

### AD7453とADSP-21xxとのインターフェース

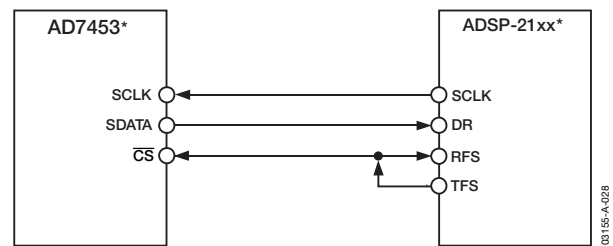
ADSP-21xxファミリーのDSPは、グルーロジックなしで直接AD7453にインターフェースできます。

SPORT制御レジスタを次のように設定します。

TFSW=RFSW=1	オルタネート・フレーミング
INVRFS=INVTFS=1	アクティブ・ロー・フレーム信号
DTYPE=00	データ右揃え
SLEN=1111	16ビット・データワード
ISCLK=1	内部シリアル・クロック
TFSR=RFSR=1	ワードごとのフレーム
IRFS=0	
ITFS=1	

パワーダウン・モードにするときは、SLENを1001に設定して8ビットのSCLKバーストを発生させます。

接続図を図28に示します。ADSP-21xxでは、SPORTのTFSとRFSを接続し、TFSを出力、RFSを入力に設定します。DSPをオルタネート・フレーミング・モードで動作させ、SPORT制御レジスタを上記のように設定します。TFSで発生するフレーム同期化信号をCSに接続し、すべての信号処理アプリケーションでそうであるように、等間隔サンプリングを行う必要があります。ただし、この例では、タイマ割込みを使ってADCのサンプリング・レートを制御するため、場合によっては等間隔サンプリングにならないことがあります。



\* わかりやすくするために他のピンは省略してあります。

図28. ADSP-21xxとのインターフェース

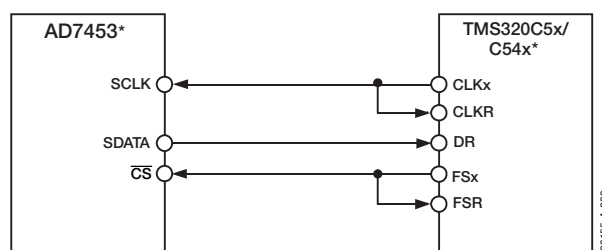
## AD7453

タイマ・レジスタなどには、必要なサンプル間隔で割込みを発生させる値が書き込まれます。割込みを受け付けると、TFS/DT（ADC制御ワード）と一緒に値を転送します。TFSを使用し、RFS、つまりデータの読出しを制御します。シリアル・クロックの周波数は、SCLKDIVレジスタで設定します。TFSと一緒に送信する命令が与えられると（AX0=TX0）、SCLKの状態をチェックします。SCLKがハイレベル、ローレベル、ハイレベルに変化するのを待ってから、DSPが送信を開始します。送信命令がSCLKの立上がりエッジまたはその近くで発生するようにタイマとSCLKの値が設定されていれば、データの送信が行われるか、または次のクロック・エッジまで待つことになります。

たとえば、ADSP-2111には16MHzのマスター・クロック周波数があります。SCLKDIVレジスタに値3を書き込むと、2MHzのSCLKが得られ、各SCLK周期が8マスター・クロック周期に等しくなります。タイマ・レジスタに値803を書き込んだ場合、割込みと割込みの間、およびその後の送信命令と送信命令の間に、100.5回のSCLKが発生します。この場合、送信命令がSCLKのエッジで発生するため、不等間隔のサンプリングになります。割込みと割込みの間のSCLKの数が整数Nの場合は、DSPは等間隔サンプリングを実行します。

### AD7453とTMS320C5x/C54xのインターフェース

TMS320C5x/C54xのシリアル・インターフェースでは、連続シリアル・クロックとフレーム同期信号を使って、データ転送動作をAD7453などのペリフェラル・デバイスに同期化します。CS入力を使用すると、グルーロジックなしで、TMS320C5x/C54xとAD7453のインターフェースが簡単にできます。TMS320C5x/C54xのシリアル・ポートを内部CLK<sub>x</sub>（Txシリアル・クロック）とFS<sub>x</sub>（Txフレーム同期）を使うバースト・モードで動作するように設定します。シリアル・ポート制御レジスタ（SPC）は、FO=0、FSM=1、MCM=1、TXM=1に設定しておきます。AD7453をパワーダウン・モードにするには、フォーマット・ビットFOを「1」に設定してワード長を8ビットに設定します。図29に接続図を示します。信号処理アプリケーションでは、TMS320C5x/C54xからのフレーム同期信号で等間隔サンプリングを実行する必要があります。

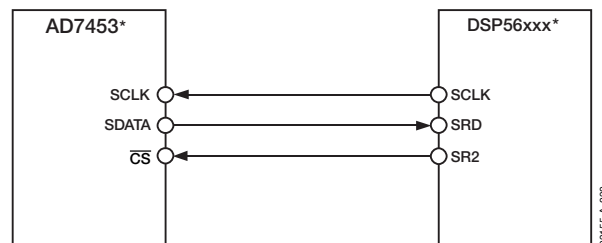


\*わかりやすくするために他のピンは省略してあります。

図29. TMS320C5x/C54xとのインターフェース

### AD7453とDSP56xxxとのインターフェース

図30の接続図に、AD7453と、モトローラ社のDSPファミリー、DSP56xxxのSSI（同期シリアル・インターフェース）との接続方法を示します。SSIは同期モードで動作し（CRBレジスタのSYNビット=1）、TxとRxに対する1ビット・クロック周期のフレーム同期を内部で生成します（CRBのFSL1ビット=1かつFSL0ビット=0）。CRAでWL1ビット=1かつWL0ビット=0に設定し、ワード長=16に設定します。AD7453をパワーダウン・モードで動作させる場合、CRAでWL1ビット=0かつWL0ビット=0に設定してワード長を8ビットに変更できます。信号処理アプリケーションでは、DSP56xxxからのフレーム同期信号で等間隔サンプリングを実行する必要があります。



\*わかりやすくするために他のピンは省略してあります。

図30. DSP56xxxとのインターフェース

## アプリケーション情報

### グラウンディングとレイアウト

AD7453を実装するPCボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するように設計する必要があります。これによって、分離が簡単にできるグラウンド・プレーンを使用できるようになります。一般に、エッチング部分を最小化すると最適なシールド効果が得られるため、グラウンド・プレーンではそのような技術を使用してください。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは1点のみで接続し、AD7453のGNDピンにできるだけ近い場所にスター結線してください。

チップにノイズがカップリングしないよう、デバイスの真下にデジタル・ラインを通さないようにしてください。ノイズのカップリングを防止するため、アナログ・グラウンド・プレーンをAD7453の下に配置するようにします。AD7453の電源ラインをできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減します。

クロックなどの高速のスイッチング信号をデジタル・グラウンドでシールドして、ボードの他の部分にノイズが拡散しないようにします。また、クロック信号がアナログ入力付近を通らないようにします。デジタル信号とアナログ信号は交差しないようにしてください。ボードの両面のパターンは、互いに直角になるように配置します。これにより、ボードを貫通するフィードスルーの影響を低減できます。マイクロストリップ技術は最善ですが、必ずしも両面ボードに使用できるとは限りません。

この技術では、ボードの部品面はグラウンド・プレーン専用にし、信号はハンダ面に配線します。デカップリングを正しく行うことも重要です。すべてのアナログ電源とGNDの間に10 $\mu$ Fのタンタル・コンデンサと0.1 $\mu$ Fのコンデンサを並列接続してデカップリングします。デカップリングの効果を最大にするため、できるだけデバイスの近くに配置します。

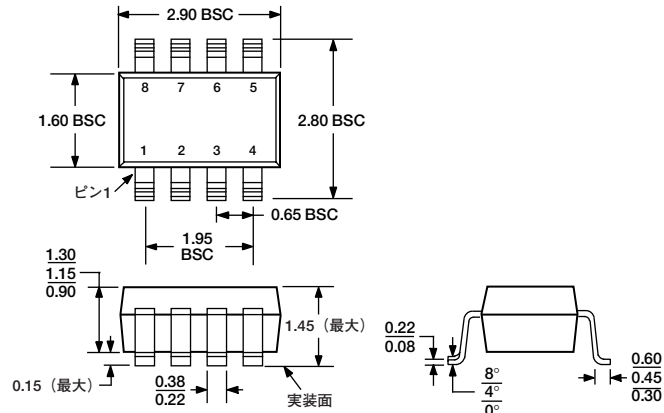
### AD7453の性能評価

評価用ボードのパッケージには、組立ておよびテスト済みの評価用ボード、付属文書、および評価用ボード・コントローラを介してPCからボードを制御するためのソフトウェアが含まれています。評価用ボード・コントローラは、AD7453評価用ボードのほか、多くのアナログ・デバイセズの評価用ボード（末尾にCBが付くもの）と組み合わせて使用できます。これによって、AD7453のAC性能とDC性能のデモ/評価ができます。

ソフトウェアを使用すると、AD7453のACテスト（高速フーリエ変換）とDCテスト（コードのヒストグラム）ができます。詳細については、評価用ボードに付属の「アプリケーション・ノート」をご覧ください。

# AD7453

## 外形寸法



JEDEC規格MO-178BAに準拠

図31. 8ピン・スモール・アウトライン・トランジスタ・パッケージ [SOT-23] (RT-8)

寸法単位：mm

### オーダー・ガイド

モデル	温度範囲	直線性誤差 (LSB) <sup>1</sup>	パッケージ	パッケージ・オプション	ブランド
AD7453ART-REEL7	-40～+85℃	±1.5	8ピンSOT-23	RT-8	C0C
AD7453BRT-R2	-40～+85℃	±1	8ピンSOT-23	RT-8	C09
AD7453BRT-REEL7	-40～+85℃	±1	8ピンSOT-23	RT-8	C09
EVAL-AD7453CB <sup>2</sup>			評価用ボード		
EVAL-CONTROL BRD <sup>2,3</sup>			コントローラ・ボード		

<sup>1</sup> 直線性誤差は、積分非直線性誤差を意味します。

<sup>2</sup> 単独の評価用ボードとしても、評価用ボード・コントローラと組み合わせて評価/デモ用に使用することもできます。

<sup>3</sup> 評価用ボード・コントローラは完備したユニットになっており、末尾番号CBが付くすべてのアナログ・デバイス製評価用ボードに対し、PCで制御と通信ができます。評価用キットを完備するには、ADC評価用ボード (EVAL-AD7453CB)、EVAL-CONTROL BRD2、および12VのACトランスを注文する必要があります。詳細については、AD7453のアプリケーション・ノートを参照してください。