



16ビット絶縁型シグマ・デルタ変調器

データシート

AD7402

特長

- 10 MHz の内部クロック・レート
- 16 ビット、ノーミッシング・コード
- 信号対ノイズ比 (SNR): 87 dB (typ)
- 実効ビット数 (ENOB): 13.5 ビット (typ)
- オフセット・ドリフトの温度特性: 1.7 $\mu\text{V}/^\circ\text{C}$ (typ)
- デジタル・アイソレータを内蔵
- 内蔵リファレンス電圧
- フルスケール・アナログ入力範囲: $\pm 320\text{ mV}$
- 動作範囲: $-40^\circ\text{C} \sim +105^\circ\text{C}$
- 高い同相モード過渡電圧耐性: 25 $\text{kV}/\mu\text{s}$ 以上
- 亀裂対策を強化したワイド・ボディ 8 ピン SOIC パッケージを採用

電磁干渉(EMI)を小さくするため出力スルーレートを制限

安全性規制の認定

UL 認定済み:

5,000 V rms、1 分間の UL 1577 規格に準拠

「CSA Component Acceptance Notice 5A」に準拠

VDE の適合性認定済み

DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12

$V_{\text{IORM}} = 1250\text{ V}_{\text{PEAK}}$

アプリケーション

- シャント電流モニタ
- AC モーター・コントロール
- 電源インバータおよびソーラー・インバータ
- 風力タービン・インバータ
- データ・アキュジション・システム
- A/D コンバータとフォトアイソレータの置き換え

概要

AD7402¹ はアナログ入力信号を高速な 1 ビット・データ・ストリームへ変換する高性能 2 次 $\Sigma\text{-}\Delta$ 変調器で、アナログ・デバイセズの iCoupler® 技術を採用したデジタル・アイソレータを内蔵しています。AD7402 は 4.5 V \sim 5.5 V (V_{DD1}) の電源で動作し、 $\pm 250\text{ mV}$ ($\pm 320\text{ mV}$ フルスケール)の差動入力信号を受け付けます。差動入力は、電気的絶縁が必要とされる高電圧アプリケーションでのシャント電圧モニタリングに最適です。

アナログ入力は、高性能アナログ変調器で連続的にサンプルされ、10 MHz のデータレートを持つ、「1」が全体に占める密度を表すデジタル出力ストリームへ変換されます。オリジナル情報は適切なデジタル・フィルタを使って再生することができます。

¹ 米国特許 5,952,849、6,873,065、7,075,329 により保護されています。

機能ブロック図

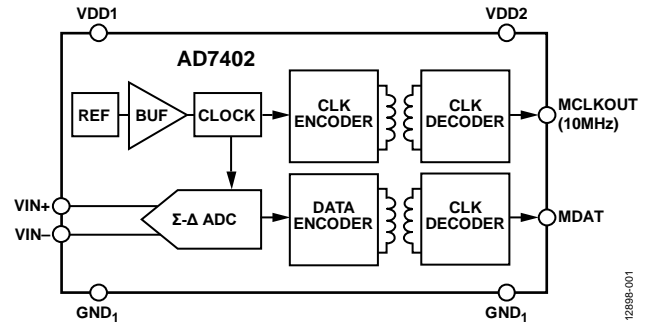


図 1.

39 kSPS で 87 dB の信号対ノイズ比 (SNR)を実現します。シリアル入力/出力では、3 V \sim 5.5 V または 3.3 V 電源 (V_{DD2})の電源を使用することができます。

シリアル・インターフェースはデジタル的に絶縁されています。内蔵アイソレータは、高速 CMOS 技術とモノリシック・トランス技術の組み合わせにより、フォトカプラ・デバイスのような置換品より優れた性能特性を提供します。AD7402 デバイスは 8 ピン・ワイド・ボディ SOIC パッケージを採用し、動作温度範囲は $-40^\circ\text{C} \sim +105^\circ\text{C}$ です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2015 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	動作原理.....	13
アプリケーション.....	1	回路説明.....	13
機能ブロック図.....	1	アナログ入力.....	13
概要.....	1	差動入力.....	14
改訂履歴.....	2	デジタル出力.....	14
仕様.....	3	アプリケーション情報.....	15
タイミング仕様.....	4	電流検出アプリケーション.....	15
パッケージ特性.....	5	電圧検出アプリケーション.....	15
絶縁および安全性関連の仕様.....	5	入力フィルタ.....	15
適用規格.....	5	デジタル・フィルタ.....	16
DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12 絶縁特性.....	6	電源の注意事項.....	19
絶対最大定格.....	7	グラウンド接続とレイアウト.....	19
ESD の注意.....	7	絶縁寿命.....	19
ピン配置およびピン機能説明.....	8	外形寸法.....	20
代表的な性能特性.....	9	オーダー・ガイド.....	20
用語.....	12		

改訂履歴

2/15—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD1} = 4.5\text{ V} \sim 5.5\text{ V}$ 、 $V_{DD2} = 3\text{ V} \sim 5.5\text{ V}$ 、 $V_{IN+} = -250\text{ mV} \sim +250\text{ mV}$ 、 $V_{IN-} = 0\text{ V}$ 、 $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ 、sinc3 フィルタでテスト、256 のデシメーション・レート(Verilog コードで定義)。すべての電圧はそれぞれのグラウンドを基準とします。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
STATIC PERFORMANCE					
Resolution	16			Bits	Filter output truncated to 16 bits
Integral Nonlinearity (INL) ¹		±1	±5	LSB	Guaranteed no missed codes to 16 bits
Differential Nonlinearity (DNL) ¹			±0.99	LSB	
Offset Error ¹		±0.2	±0.75	mV	
Offset Drift vs. Temperature		1.7	5	μV/°C	
Offset Drift vs. V_{DD1}		85		μV/V	
Gain Error ¹		0.2	±0.5	% FSR	
Gain Error Drift vs. Temperature		18	32	ppm/°C	
Gain Error Drift vs. V_{DD1}		11	20	μV/°C	
Gain Error Drift vs. V_{DD1}		0.2		mV/V	
ANALOG INPUT					
Input Voltage Range	-320		+320	mV	$V_{IN+} = \pm 250\text{ mV}$, $V_{IN-} = 0\text{ V}$ $V_{IN+} = 0\text{ V}$, $V_{IN-} = 0\text{ V}$
Input Common-Mode Voltage Range		-200 to +300			
Dynamic Input Current		±19	±28	μA	
Input Capacitance		0.05		μA	
		14		pF	
DYNAMIC SPECIFICATIONS					
Signal-to-(Noise + Distortion) Ratio (SINAD) ¹	74	82		dB	$V_{IN+} = 35\text{ Hz}$
Signal-to-Noise Ratio (SNR) ¹	86	87		dB	
Total Harmonic Distortion (THD) ¹		-84		dB	
Peak Harmonic or Spurious Noise (SFDR) ¹		-84		dB	
Effective Number of Bits (ENOB) ¹	12	13.5		Bits	
Noise Free Code Resolution ¹	14			Bits	
ISOLATION TRANSIENT IMMUNITY¹					
	25	30		kV/μs	
LOGIC OUTPUTS					
Output High Voltage, V_{OH}	$V_{DD2} - 0.1$			V	$I_O = -200\text{ μA}$
Output Low Voltage, V_{OL}			0.4	V	$I_O = +200\text{ μA}$
POWER REQUIREMENTS					
V_{DD1}	4.5		5.5	V	$V_{DD1} = 5.5\text{ V}$ $V_{DD2} = 5.5\text{ V}$ $V_{DD2} = 3.3\text{ V}$
V_{DD2}	3		5.5	V	
I_{DD1}		26	31	mA	
I_{DD2}		6	7	mA	
		4.5	5.5	mA	
POWER DISSIPATION					
			209	mW	$V_{DD1} = V_{DD2} = 5.5\text{ V}$

¹用語のセクションを参照してください。

タイミング仕様

特に指定がない限り、 $V_{DD1} = 4.5\text{ V} \sim 5.5\text{ V}$ 、 $V_{DD2} = 3\text{ V} \sim 5.5\text{ V}$ 、 $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ 。

表 2.

Parameter ¹	Min	Typ	Max	Unit	Description
f_{MCLKOUT}^2	9.4	10	10.6	MHz	Master clock output frequency
t_1^3			± 10	ns	Data access time after MCLKOUT rising edge
t_2^3	44			ns	Data hold time after MCLKOUT falling edge
t_3	33			ns	Master clock low time
t_4	33			ns	Master clock high time

1 初期リリース時はサンプル・テストにより適合性を保証。

2 クロック出力のマーク/スペース比は 45/55 \sim 55/45。

3 $V_{DD2} = 3\text{ V} \sim 3.6\text{ V}$ の場合出力が 0.8 V または 2.0 V を横切るために要する時間または $V_{DD2} = 4.5\text{ V} \sim 5.5\text{ V}$ の場合出力が 0.8 V または $0.7 \times V_{DD2}$ を横切る時間として定義されます。図 2. データ・タイミングを参照してください。±200 μA の負荷と 25 pF の負荷容量で測定。

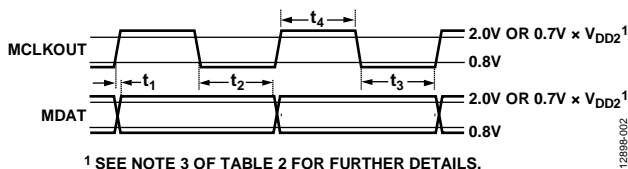


図 2. データ・タイミング

パッケージ特性

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input to Output) ¹	R _{I-O}		10 ¹²		Ω	
Capacitance (Input to Output) ¹	C _{I-O}		2.2		pF	f = 1 MHz
IC Junction to Ambient Thermal Resistance	θ _{JA}		105		°C/W	Thermocouple located at center of package underside, test conducted on 4-layer board with thin traces

¹ デバイスを 2 端子デバイスと見なします。すなわち、ピン 1～ピン 4 を相互に接続し、ピン 5～ピン 8 を相互に接続します。

絶縁および安全性関連の仕様

表 4.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Input-to-Output Momentary Withstand Voltage	V _{ISO}	5000 min	V	1-minute duration
Minimum External Air Gap (Clearance)	L(I01)	8.1 min ^{1, 2}	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	8.1 min ¹	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.034 min	mm	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		II		Material Group (DIN VDE 0110, 1/89, Table I)

¹ 汚染度 2 および高度 ≤ 2000 メータの亀裂と間隙の測定ガイドライン IEC 60950-1 に準拠。

² 所要最小間隔を維持するようにパッドのレイアウトに注意してください。

適用規格

表 5.

UL ¹	CSA	VDE ²
Recognized under 1577 Component Recognition Program ¹	Approved under CSA Component Acceptance Notice 5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ²
5000 V rms Isolation Voltage Single Protection	Basic insulation per CSA 60950-1-07 and IEC 60950-1, 810 V rms (1145 V _{PEAK}) maximum working voltage ³ Reinforced insulation per CSA 60950-1-07 and IEC 60950-1, 405 V rms (583 V _{PEAK}) maximum working voltage ³ Reinforced insulation per IEC 60601-1, 250 V rms (353 V _{PEAK}) maximum working voltage	Reinforced insulation per DIN V VDE V 0884-10 (VDE V 0884-10):2006-12, 1250 V _{PEAK}
File E214100	File 205078	File 2471900-4880-0001

¹ UL1577 に従い、絶縁テスト電圧 6,000 V rms 以上を 1 秒間加えて各 AD7402-8 を確認テストします(リーク電流検出規定値 = 15μA)。

² DIN V VDE V 0884-10 に従い、各 AD7402-8 に 2344 V_{PEAK} 以上の絶縁テスト電圧を 1 秒間加えることによりテストして保証されています(部分放電の検出規定値 = 5 pC)。

³ 汚染度 2 と材料グループ III に対して定格を計算。AD7402 RI-8-1 パッケージ材料の定格は、CSA により CTI > 400 V したがって材料グループ II に規定。

DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12 絶縁特性

このアイソレータは、安全性制限値データ以内での電氣的絶縁強化に対してのみ有効です。安全性データは、保護回路を使って確実に順守する必要があります。

表 6.

Description	Symbol	Characteristic	Unit
INSTALLATION CLASSIFICATION PER DIN VDE 0110 For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 450 V rms For Rated Mains Voltage ≤ 600 V rms For Rated Mains Voltage ≤ 1000V rms		I to IV I to IV I to IV I to IV	
CLIMATIC CLASSIFICATION		40/105/21	
POLLUTION DEGREE (DIN VDE 0110, TABLE 1)		2	
MAXIMUM WORKING INSULATION VOLTAGE	V_{IORM}	1250	V_{PEAK}
INPUT TO OUTPUT TEST VOLTAGE, METHOD B1 $V_{IORM} \times 1.875 = V_{PR}$, 100% Production Test, $t_m = 1$ Second, Partial Discharge < 5 pC	$V_{PD(M)}$	2344	V_{PEAK}
INPUT TO-OUTPUT TEST VOLTAGE, METHOD A After Environmental Test Subgroup 1 $V_{IORM} \times 1.6 = V_{PR}$, $t_m = 60$ Seconds, Partial Discharge < 5 pC After Input and/or Safety Test Subgroup 2/Safety Test Subgroup 3 $V_{IORM} \times 1.2 = V_{PR}$, $t_m = 60$ Seconds, Partial Discharge < 5 pC	$V_{PR(M)}$	2000 1500	V_{PEAK} V_{PEAK}
HIGHEST ALLOWABLE OVERVOLTAGE (TRANSIENT OVERVOLTAGE, $t_{TR} = 10$ Seconds)	V_{IOTM}	8000	V_{PEAK}
SURGE ISOLATION VOLTAGE 1.2 μ s Rise Time, 50 μ s, 50% Fall Time	V_{IOSM}	12000	V_{PEAK}
SAFETY LIMITING VALUES (MAXIMUM VALUE ALLOWED IN THE EVENT OF A FAILURE, SEE Figure 3) Case Temperature Side 1 (P_{VDD1}) and Side 2 (P_{VDD2}) Power Dissipation	T_S P_{SO}	150 1.19	$^{\circ}C$ W
INSULATION RESISTANCE AT T_S , $V_{IO} = 500$ V	R_{IO}	>10 ⁹	Ω

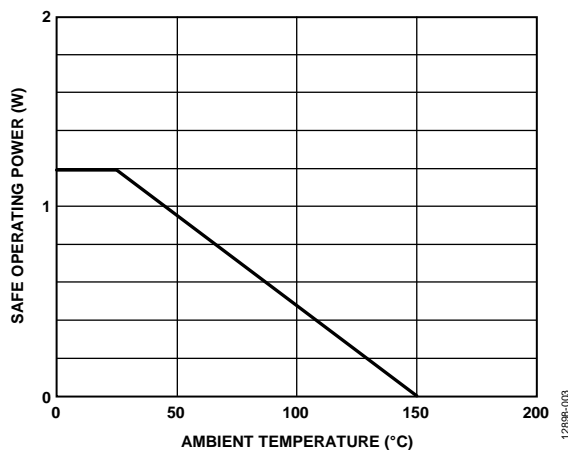


図 3. 温度ディレーティング・カーブ、DIN V VDE V 0884-10 による安全制限値のケース温度に対する依存性

絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。すべての電圧はそれぞれのグラウンドを基準とします。

表 7.

Parameter	Rating
VDD1 to GND1	-0.3 V to +6.5 V
VDD2 to GND2	-0.3 V to +6.5 V
Analog Input Voltage to GND1	-1 V to $V_{DD1} + 0.3\text{ V}$
Output Voltage to GND2	-0.3 V to $V_{DD2} + 0.3\text{ V}$
Input Current to Any Pin Except Supplies ¹	$\pm 10\text{ mA}$
Operating Temperature Range	$-40\text{ }^\circ\text{C}$ to $+105\text{ }^\circ\text{C}$
Storage Temperature Range	$-65\text{ }^\circ\text{C}$ to $+150\text{ }^\circ\text{C}$
Junction Temperature	$150\text{ }^\circ\text{C}$
Pb-Free Temperature, Soldering	
Reflow	$260\text{ }^\circ\text{C}$
ESD	2 kV
FICDM ²	$\pm 1250\text{ V}$
HBM ³	$\pm 4000\text{ V}$

¹ 最大 100 mA までの過渡電流では SCR のラッチ・アップは生じません。

² JESD22-C101; RC 回路: $1\text{ }\Omega$ 、パッケージ容量 (Cpkg); クラス: IV。

³ ESDA/JEDEC JS-001-2011; RC 回路: $1.5\text{ k}\Omega$ 、 100 pF ; クラス: 3A。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上での製品動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと製品の信頼性に影響を与えます。

表 8. 最大連続動作電圧¹

Parameter	Max	Unit	Constraint
AC Voltage			
Bipolar Waveform	1250	V_{PEAK}	20-year minimum lifetime (VDE approved working voltage)
Unipolar Waveform	1250	V_{PEAK}	20-year minimum lifetime
DC Voltage	1250	V_{PEAK}	20-year minimum lifetime

¹ アイソレーション障壁に加わる連続電圧の大きさを意味します。

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

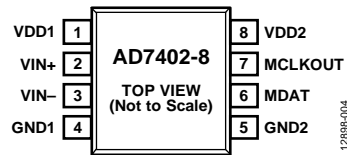


図 4. ピン配置

表 9. ピンの機能説明

ピン番号	記号	説明
1	VDD1	4.5 V～5.5 V の電源電圧。これは、AD7402 の絶縁側の電源電圧で GND1 を基準とします。
2	VIN+	正のアナログ入力。
3	VIN-	負のアナログ入力。通常 GND1 へ接続します。
4	GND1	グラウンド 1。これは、絶縁側のすべての回路のグラウンド基準ポイントです。
5	GND2	グラウンド 2。これは、非絶縁側のすべての回路のグラウンド基準ポイントです。
6	MDAT	シリアル・データ出力。1 ビットの変調器出力が、シリアル・データ・ストリームとしてこのピンに出力されます。ビットは MCLKOUT 入力の立上がりエッジで出力され、MCLKOUT の次の立下がりエッジで有効になります。
7	MCLKOUT	10 MHz (typ) のマスター・クロック・ロジック出力。変調器からのビット・ストリームは、MCLKOUT の立下がりエッジで有効です。
8	VDD2	3 V～5.5 V の電源電圧。これは非絶縁側の電源電圧で GND2 を基準とします。

代表的な性能特性

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 5\text{ V}$ 、 $V_{DD2} = 5\text{ V}$ 、256 オーバーサンプリング比 (OSR) の sinc3 フィルタを使用。

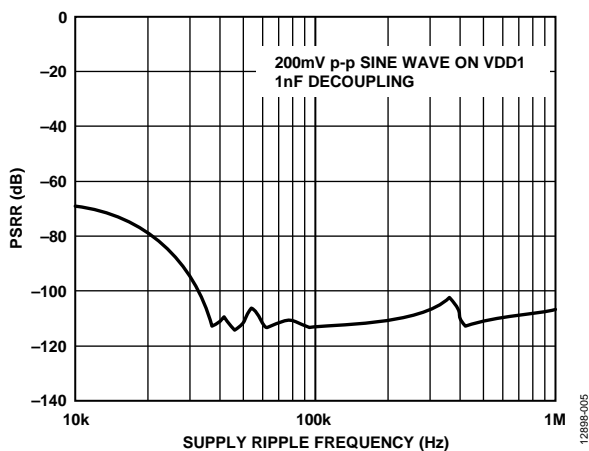


図 5. 電源リップル周波数対 PSRR

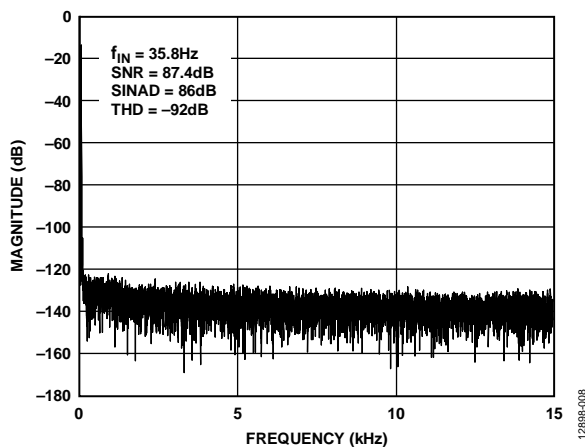


図 8. 高速フーリエ変換 (FFT)

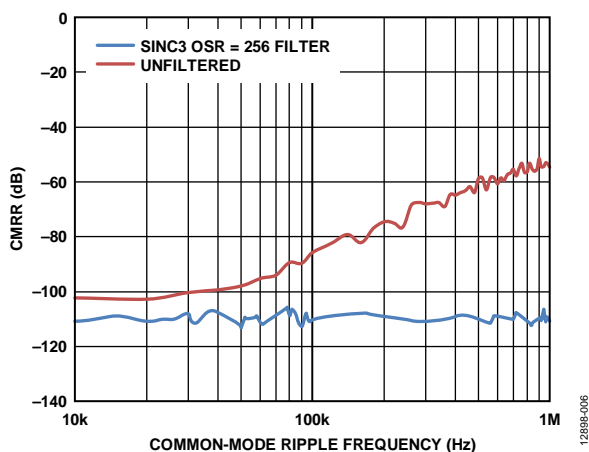


図 6. 同相モード・リップル周波数対 CMRR

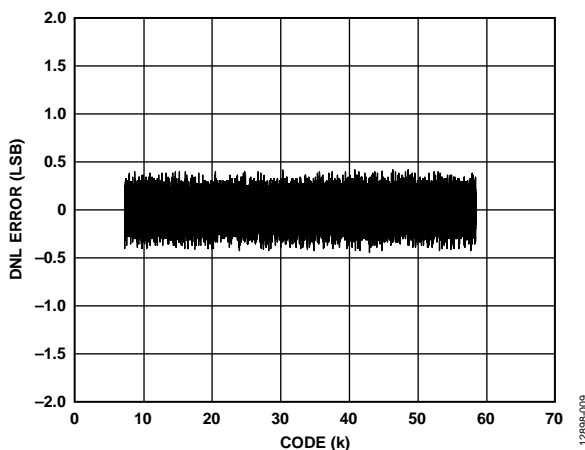


図 9. DNL 誤差

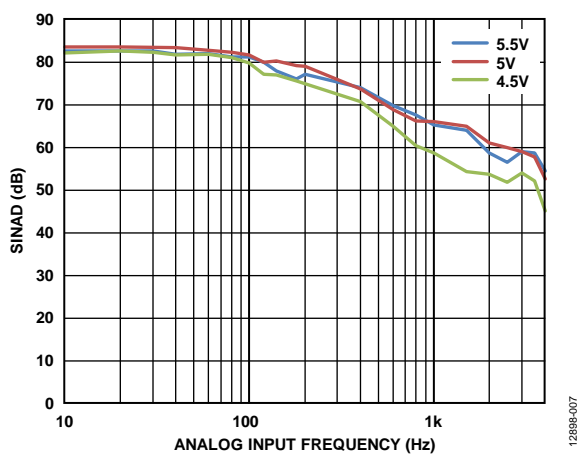


図 7. アナログ入力周波数対 SINAD

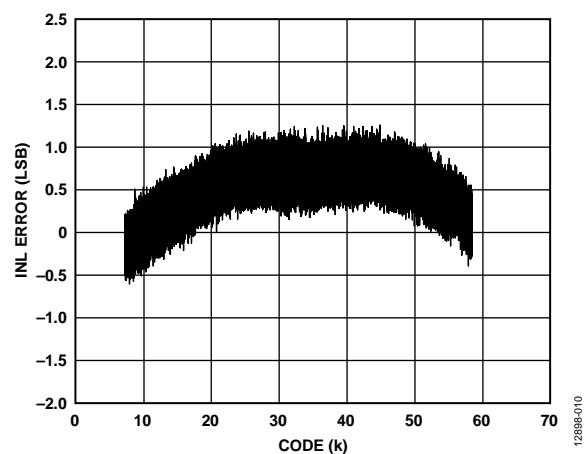


図 10. INL 誤差

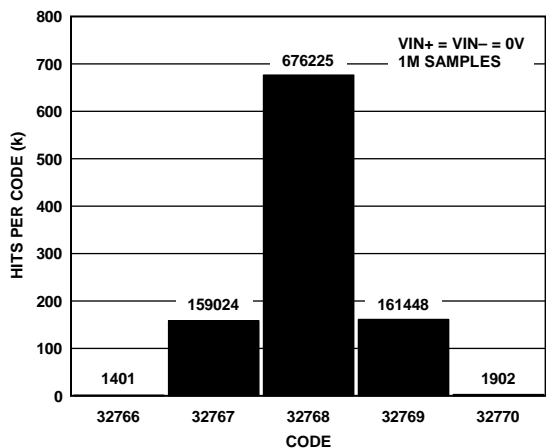


図 11. コード中心でのコードのヒストグラム

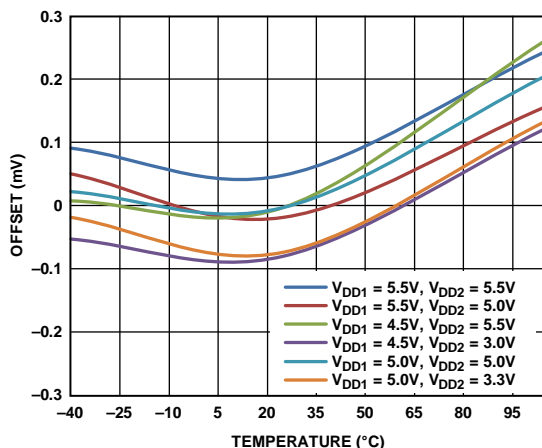


図 14. オフセットの温度特性

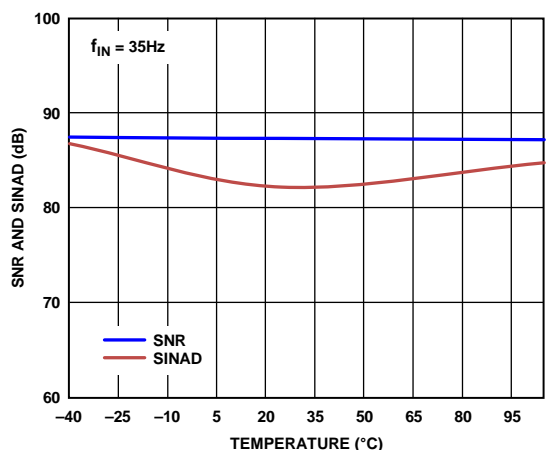


図 12. SNR と SINAD の温度特性

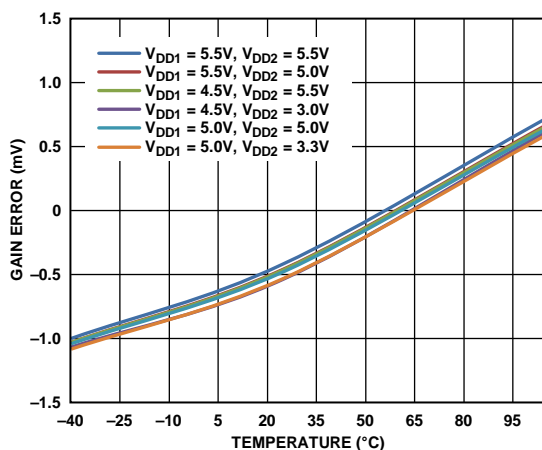


図 15. ゲイン誤差の温度特性

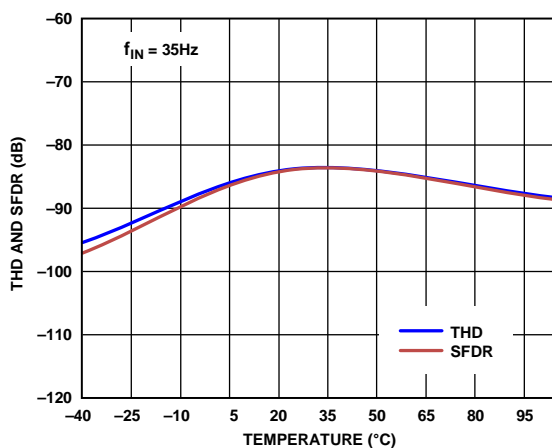


図 13. THD と SFDR の温度特性

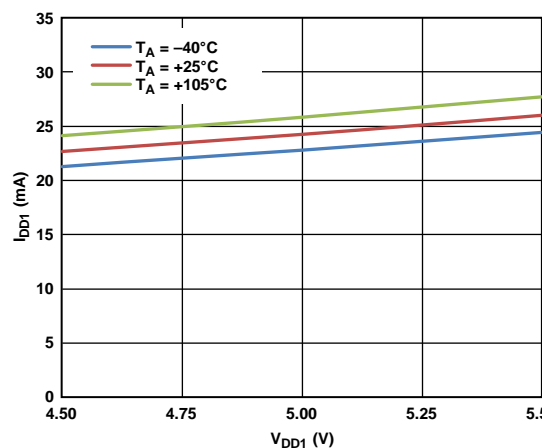


図 16. 様々な温度での V_{DD1} 対 I_{DD1}

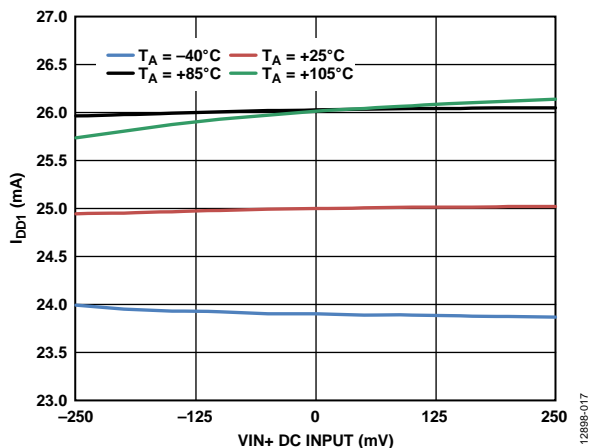


図 17. 様々な温度での VIN+ DC 入力対 I_{DD1}

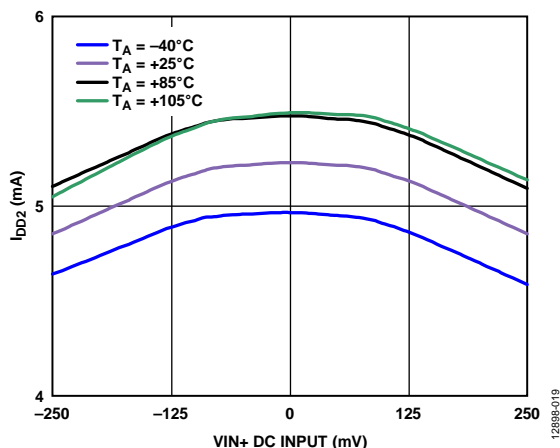


図 19. 様々な温度での VIN+ DC 入力対 I_{DD2}

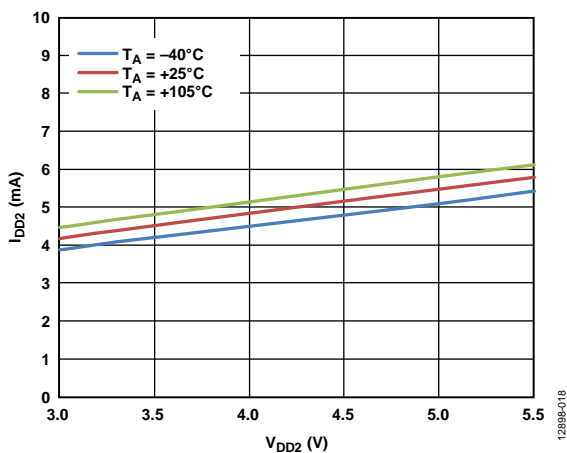


図 18. 様々な温度での V_{DD2} 対 I_{DD2}

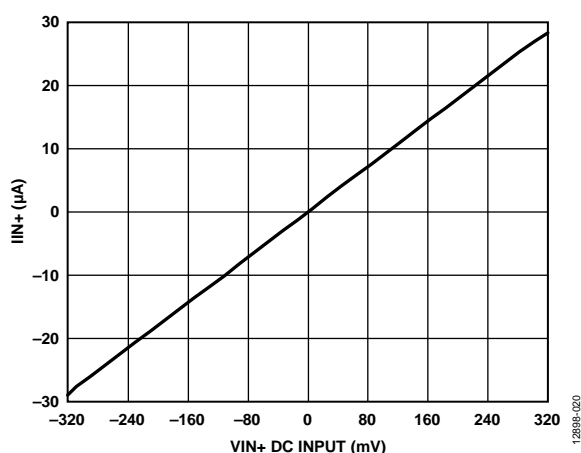


図 20. VIN+ DC 入力対 I_{IN+}

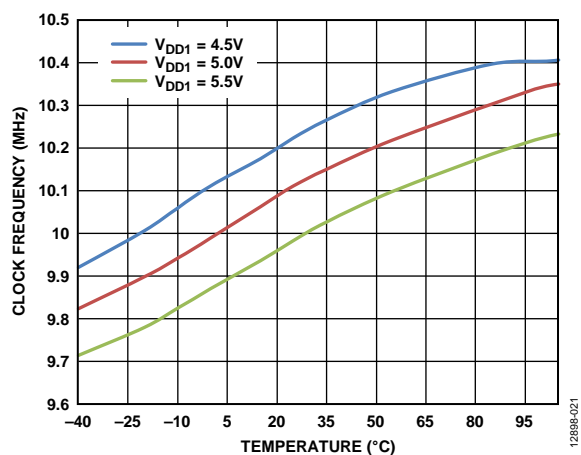


図 21. 様々な電源電圧でのクロック周波数の温度特性

用語

微分非直線性(DNL)

ADCの2つの隣接コード間における1LSB変化の測定値と理論値の差を意味します。

積分非直線性(INL)

ADC伝達関数の両端を結ぶ直線からの最大許容誤差です。伝達関数の両端とは、16ビット・レベルのコード7168に対する負フルスケール -250 mV ($V_{\text{IN}+} - V_{\text{IN}-}$)と、16ビット・レベルのコード58,368に対する正フルスケール $+250\text{ mV}$ ($V_{\text{IN}+} - V_{\text{IN}-}$)を意味します。

オフセット誤差

オフセット誤差は、理論値 $V_{\text{IN}+} - V_{\text{IN}-}$ ($= 0\text{ V}$)からのミッドスケール・コード (16ビット・レベルの32,768)の差を意味します。

ゲイン誤差

ゲイン誤差には正のフルスケール・ゲイン誤差と負のフルスケール・ゲイン誤差が含まれます。正のフルスケール・ゲイン誤差は、オフセット誤差調整後の理論値 $V_{\text{IN}+} - V_{\text{IN}-}$ ($= 250\text{ mV}$)に対する正のフルスケール・コード規定値(16ビット・レベルの58,368)の偏差を表します。負のフルスケール・ゲイン誤差は、オフセット誤差調整後の理論値 $V_{\text{IN}+} - V_{\text{IN}-}$ ($= -250\text{ mV}$)に対する負のフルスケール・コード規定値 (16ビット・レベルの7168)の偏差を表します。

信号対ノイズおよび歪み比(SINAD)

SINADは、A/Dコンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は正弦波のrms値で、ノイズはサンプリング周波数の1/2 ($f_s/2$)までのすべての非基本波信号のrms和です(DC以外の高調波を含む)。

信号対ノイズ比(SNR)

SNRは、ADC出力での信号のノイズに対する測定された比です。信号は基本波のrms振幅で表します。ノイズは1/2サンプリング周波数($f_s/2$)までのすべての非高調波の和で表します(DCを除く)。この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。正弦波を入力した場合の、理想Nビット・コンバータに対する信号対ノイズ比の理論値は次式で表されます。

$$\text{信号対ノイズ比} = (6.02N + 1.76)\text{ dB}$$

したがって、12ビット・コンバータの場合、SNRは74 dBになります。

アイソレーション過渡電圧耐性

アイソレーション過渡電圧耐性は、クロックまたはデータの破壊なしでアイソレーション境界に跨って加えることができる過渡電圧パルスの立上がりレートと立下がりレートを規定します。AD7402は、100 kHzの過渡電圧パルス周波数でテストされました。

全高調波歪み(THD)

THDは高調波のrms値総和と基本波の比です。AD7402の場合、次式で与えられます。

$$\text{THD(dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

V_1 は基本波のrms振幅。

V_2, V_3, V_4, V_5, V_6 は、2次~6次の高調波のrms振幅。

ピーク高調波またはスプリアス・ノイズ(SFDR)

ピーク高調波またはスプリアス・ノイズは、ADC出力スペクトル内の(DCを除いて $f_s/2$ まで)次に大きい成分のrms値の、基本波rms値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋めこまれているADCの場合は、ノイズ・ピークにより決定されます。

実効ビット数(ENOB)

ENOBは次式で定義されます。

$$\text{ENOB} = (\text{SINAD} - 1.76)/6.02 \text{ ビット}$$

ノイズ・フリー・コード分解能(NFCR)

ノイズ・フリー・コード分解能は、コード・フリッカが存在しない分解能をビット数で表します。Nビット・コンバータのノイズ・フリー・コード分解能は次式で定義されます。

$$\text{ノイズ・フリー・コード分解能(ビット数)} = \log_2(2^N / \text{ピーク to ピーク・ノイズ})$$

ピーク to ピーク・ノイズ(ビット数)は、 $V_{\text{IN}+} = V_{\text{IN}-} = 0\text{ V}$ で測定されます。

同相モード除去比(CMRR)

CMRRは、 $\pm 250\text{ mV}$ 周波数 f のADC出力の電力と、周波数 f_s の同相モード電圧 $V_{\text{IN}+}$ と $V_{\text{IN}-}$ に加えられた $+250\text{ mV}$ ピーク to ピーク正弦波の電力の比として定義され、次式で表されます。

$$\text{CMRR (dB)} = 10 \log(P_f/P_{f_s})$$

ここで、

P_f はADC出力での周波数(f)の電力。

P_{f_s} は、ADC出力での周波数 f_s の電力。

電源変動除去比(PSRR)

電源変動はフルスケール変化に影響しますが、コンバータの直線性には影響を与えません。PSRRは、電源電圧の公称値からの変化により発生する規定フルスケール($\pm 250\text{ mV}$)変化ポイントの最大変化を表します。

動作原理

回路説明

AD7402 絶縁型 Σ - Δ 変調器は、アナログ入力信号を高速 (最大 10 MHz) な 1 ビットのデータ・ストリームに変換します。変調器から出力される時間平均 1 ビット・データは、入力信号に比例します。図 22 に、代表的なアプリケーション回路を示します。ここでは、AD7402 を使ってアナログ入力(電流検出抵抗すなわちシャント)とデジタル出力との間が絶縁され、デジタル出力はその後デジタル・フィルタで処理されて N ビット・ワードになります。

アナログ入力

AD7402 の差動アナログ入力は、スイッチド・キャパシタ回路で構成されています。この回路は、入力信号を 1 ビットの出力ストリームにデジタル化する 2 次変調器ステージで構成されています。サンプル・クロック (MCLKOUT) は、変換プロセスと出力データ・フレーム・クロックのクロック信号として使われます。このクロック・ソースは、AD7402 に内蔵されています。アナログ入力信号は変調器により連続的にサンプルされ、内蔵リファレンス電圧と比較されます。時間に対して正確にアナログ入力を表すデジタル・ストリームがコンバータ出力に現れます (図 23 参照)。

0 V の差動信号は、MDAT 出力ピンで理論的には 1 と 0 が交互に繰り返されるストリームになります。この出力は、時間の 50% がハイ・レベルで時間の 50% がロー・レベルになります。250 mV の差動入力から、時間の 89.06% がハイ・レベルになる 1 と 0 のストリームが発生します。-250 mV の差動入力から、時間の 10.94% がハイ・レベルになる 1 と 0 のストリームが発生します。

320 mV の差動入力からは、理論的にすべて 1 のストリームが発生します。-320 mV の差動入力からは、理論的にすべて 0 のストリームが発生します。絶対フルスケール範囲は ± 320 mV で、規定フルスケール性能範囲は ± 250 mV です (表 10)。

表 10. アナログ入力範囲

Analog Input	Voltage Input (mV)
Positive Full-Scale Value	+320
Positive Specified Performance Input	+250
Zero	0
Negative Specified Performance Input	-250
Negative Full-Scale Value	-320

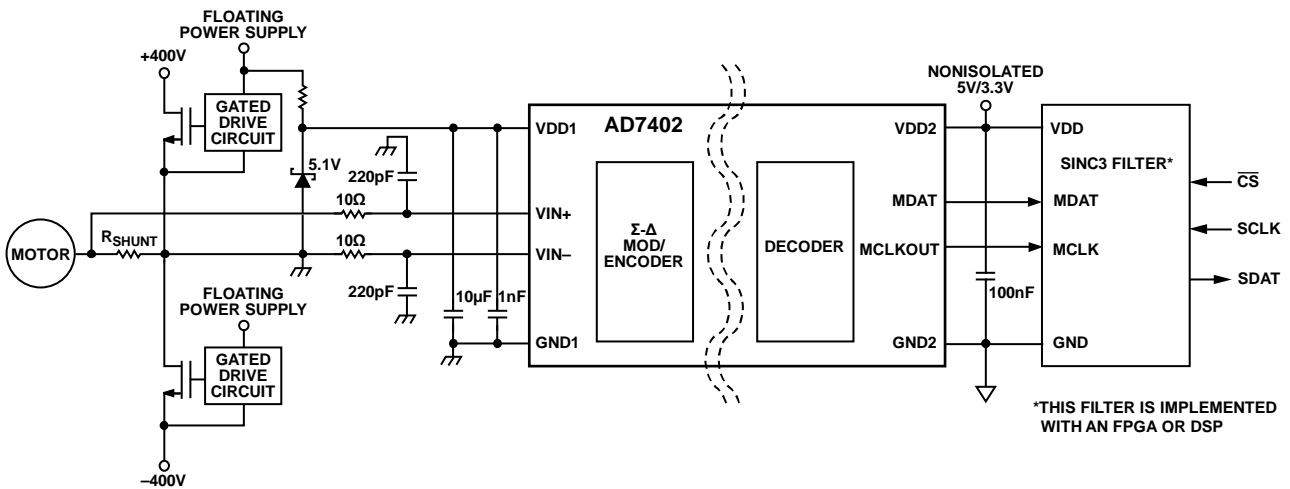


図 22. 代表的なアプリケーション回路

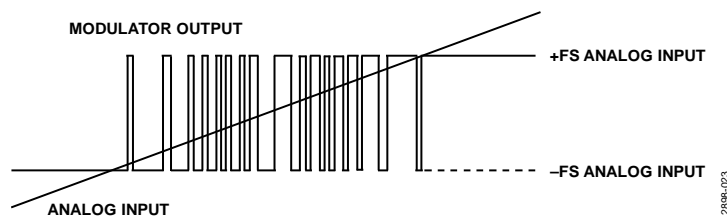


図 23. アナログ入力対変調器出力

元の情報を復元するときは、この出力をデジタル的にフィルタおよびデシメーションする必要があります。sinc3 フィルタは 2 次変調器である AD7402 変調器より 1 次高いため、このフィルタの使用が推奨されます。256 のデシメーション・レートを使用すると、16 ビット・ワード・レートは 39 kSPS になります。sinc フィルタ構成の詳細については、デジタル・フィルタのセクションを参照してください。図 24 に、16 ビット出力に対する AD7402 の伝達関数を示します。

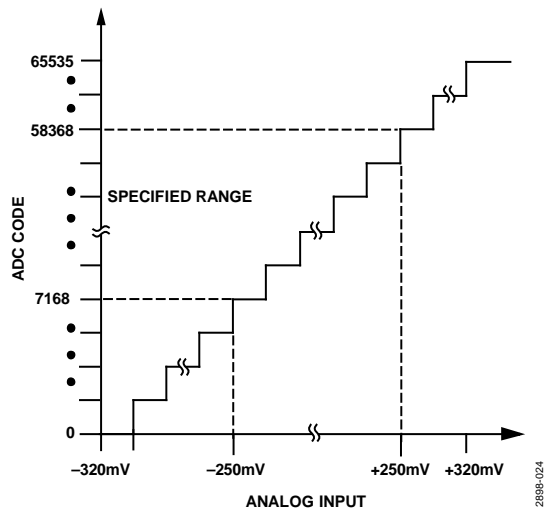


図 24. フィルタおよびデシメーション付きの 16 ビット伝達関数

差動入力

変調器へのアナログ入力は、スイッチド・キャパシタ設計になっています。アナログ信号は、直線性の優れたサンプリング・コンデンサにより電荷に変換されます。アナログ入力の簡略化した等価回路図を図 25 に示します。アナログ入力を駆動する信号源は、MCLKOUT の 1/2 サイクルごとにサンプリング・コンデンサに電荷を供給して、次の 1/2 サイクルで必要とされる精度で安定する必要があります。

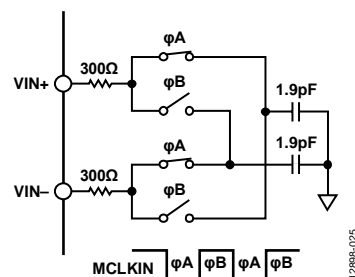


図 25. アナログ入力の等価回路

AD7402 はアナログ入力間の差動電圧をサンプルするため、各入力で同相モード・ノイズが小さい入力回路により低ノイズ性能を維持します。

デジタル出力

AD7402 MDAT 出力ドライバは、スルーレートを制限したドライバです。このドライバの電磁放射は小さくなるため、伝導と放射による電磁干渉が小さくなります。

アプリケーション情報

電流検出アプリケーション

AD7402は、シャント抵抗 (R_{SHUNT})両端の電圧をモニタする電流検出アプリケーションに最適です。外付けシャント抵抗を流れる負荷電流により、AD7402の入力ピンに電圧が発生します。AD7402は、電流検出抵抗のアナログ入力とデジタル出力との間で絶縁を実現します。適切なシャント抵抗値を選択すると、様々な電流範囲をモニタすることができます。

R_{SHUNT} の選択

AD7402 と組み合わせて使われるシャント抵抗値(R_{SHUNT})は、アプリケーション固有の電圧、電流、電源の条件によって決定されます。抵抗が小さいと消費電力が小さくなり、インダクタンスが小さい抵抗を使うと電圧スパイクの誘導を防止でき、抵抗偏差が小さいと電流変動が小さくなります。選択する最終値は、低消費電力と精度との兼ね合いにより決定されます。抵抗値が大きいと、ADCのフル性能入力範囲を使うため、最大 SNR性能を実現します。抵抗値が小さいと消費電力が小さくなりますが、フル性能入力範囲を使用しません。ただし、AD7402 は低い入力信号レベルでも優れた性能を提供するため、小さい値のシャント抵抗を使ってシステム性能を維持することができます。

シャント抵抗を選択するときは、シャントを流れる電流を先に決定します。3相誘導モーターのシャント電流は次式で表されます。

$$I_{RMS} = \frac{P_W}{1.73 \times V \times EF \times PF}$$

ここで、

I_{RMS} はモーター位相電流 (A rms)。

P_W はモーター電力 (W)。

V はモーター電源電圧 (V ac)。

EF はモーター効率 (%)。

PF は力率 (%)。

シャント・ピーク検出電流 I_{SENSE} を決めるときは、モーター相電流とシステムで発生する可能性のある過負荷を考慮してください。ピーク検出電流が既知の場合、AD7402 の電圧範囲 (± 250 mV) をピーク検出電流で除算すると最大シャント値が求まります。

シャント抵抗の消費電力が大き過ぎる場合は、シャント抵抗を小さくできますが、ADC 入力範囲が小さくなります。図 26 に、様々な入力信号振幅に対して、AD7402 の SINAD 性能特性と分解能の ENOB を示します。図 27 に、DC 入力信号振幅に対する rms ノイズ性能を示します。AD7402 の優れた性能により、狭い入力信号範囲でも小さいシャント値の使用が可能ですが、同時に高レベルの性能とシステム全体の効率も維持することができます。

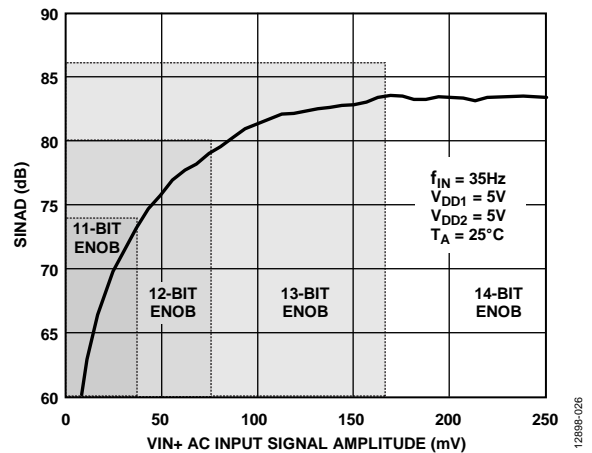


図 26. V_{IN+} AC 入力信号振幅対 SINAD

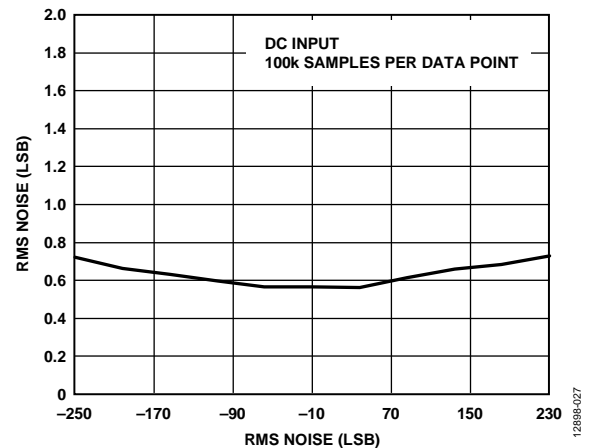


図 27. V_{IN+} DC 入力信号振幅対 RMS ノイズ

R_{SHUNT} では I^2R の消費電力を許容する必要があります。抵抗の電力定格を超えると、抵抗値がドリフトするか、抵抗が壊れて断線が生じるおそれがあります。この断線が原因で、AD7402 のピン間差動電圧が絶対最大定格を超えてしまうことがあります。 I_{SENSE} が大きな高周波成分を持つ場合には、低インダクタンスの抵抗を選択してください。

電圧検出アプリケーション

AD7402 は、絶縁型電圧モニタリングにも使用することができます。例えば、モーター・コントロール・アプリケーションで、バス電圧の検出に使用することができます。被モニタ電圧が AD7402 の規定アナログ入力範囲を超えるアプリケーションでは、分圧回路を使って被電圧モニタを所要範囲まで小さくすることができます。

入力フィルタ

シャント抵抗両端電圧を直接測定する代表的な使用ケースでは、各入力にシンプルな RC ローパス・フィルタを使い、シャント抵抗の両端に AD7402 を直接接続することができます。

最適性能を実現するために差動入力駆動に推奨される回路構成を図 28 に示します。両アナログ入力ピンに RC ローパス・フィルタを接続します。抵抗とコンデンサの推奨値は、それぞれ 10 Ω と 220 pF です。可能な場合、各アナログ入力のソース・インピーダンスを一致させてオフセットを小さくします。

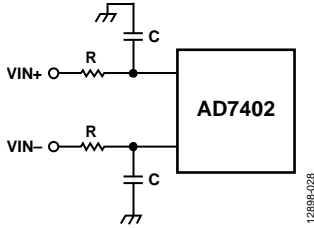


図 28. RC ローパス・フィルタ入力回路

AD7402 の入力フィルタ構成は、図 28 のローパス構成に限定されません。図 29 の差動 RC フィルタ構成も優れた性能を実現します。抵抗とコンデンサの推奨値は、それぞれ 22 Ω と 47 pF です。

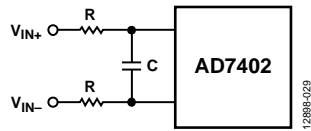


図 29. 差動 RC フィルタ回路

図 30 に、様々な抵抗値とコンデンサ値での、図 28 と図 29 に示す入力フィルタ構成の代表的性能の比較を示します。

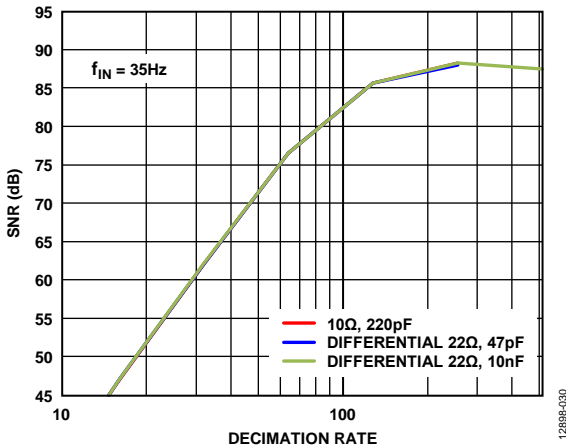


図 30. 様々な抵抗値とコンデンサ値での、異なるフィルタ構成に対するデシメーション・レート対 SNR

デジタル・フィルタ

AD7402 出力は、連続的なデジタル・ビット・ストリームです。元の入力信号情報を復元するときは、この出力ビット・ストリームをデジタル的にフィルタおよびデシメーションする必要があります。シンプルのため sinc フィルタの使用が推奨されます。sinc³ フィルタは 2 次変調器である AD7402 変調器より 1 次高いため、このフィルタの使用が推奨されます。

選択するフィルタ・タイプ、デシメーション・レート、使用する変調器クロックにより、システム全体の分解能とスループット・レートが決定されます。デシメーション・レートが高いほど、システム精度が向上しますが(図 31)、精度とスループット・レートの間のトレードオフが必要になります。

デシメーション・レートが高いほど、スループットの低いソリューションになります。

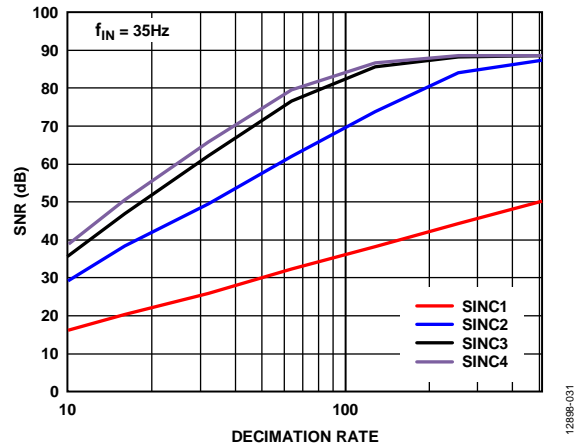


図 31. 様々な Sincx フィルタ次数でのデシメーション・レート対 SNR

AD7402 には sinc³ フィルタの使用が推奨されます。このフィルタは、フィールド・プログラマブル・ゲート・アレイ (FPGA) またはデジタル信号プロセッサ (DSP) を使って実現することができます。

sinc フィルタの伝達関数は式 1 で表されます。

$$H(z) = \left(\frac{1 - z^{-DR}}{DR(1 - z^{-1})} \right)^N \tag{1}$$

ここで、
DR はデシメーション・レート。
N は sinc フィルタの次数。

sinc フィルタのスループット・レートは、変調器クロックと選択するデシメーション・レートにより決定されます。

$$\text{Throughput} = \frac{MCLK}{DR} \tag{2}$$

ここで、MCLK は変調器クロック周波数。

デシメーション・レートが高くなると、sinc フィルタから出力されるデータ・サイズが大きくなります。出力データ・サイズは式 3 で表されます。上位 16 ビットを使って 16 ビットの結果を返します。

$$\text{データ・サイズ} = N \times \log_2 DR \tag{3}$$

sinc³ フィルタの場合、-3 dB フィルタ応答ポイントは式 1 のフィルタ伝達関数から求めることができ、スループット・レートの 0.262 倍になります。3 次 sinc フィルタのフィルタ特性を表 11 に示します。

表 11. 10 MHz に対する Sinc3 フィルタの特性

Decimation Ratio (DR)	Throughput Rate (kHz)	Output Data Size (Bits)	Filter Response (kHz)
32	312.5	15	81.8
64	156.2	18	40.9
128	78.1	21	20.4
256	39.1	24	10.2
512	19.55	27	5.1

次の Verilog コードは、Xilinx® Spartan®-6 FPGA 上での sinc3 フィルタの実現例を示します。データの読出しは負のクロック・エッジであることに注意してください。負のクロック・エッジでデータを読み込むことが推奨されます。このコードは、32~4096 のデシメーション・レートに対応できるように変更することができます。

```

module dec256sinc24b
(
input mclk1, /* used to clk filter */
input reset, /* used to reset filter */
input mdata1, /* input data to be filtered */
output reg [15:0] DATA, /* filtered output */
output reg data_en,
input [15:0] dec_rate
);

/* Data is read on negative clk edge */

reg [36:0] ip_data1;
reg [36:0] acc1;
reg [36:0] acc2;
reg [36:0] acc3;
reg [36:0] acc3_d2;
reg [36:0] diff1;
reg [36:0] diff2;
reg [36:0] diff3;
reg [36:0] diff1_d;
reg [36:0] diff2_d;

reg [15:0] word_count;

reg word_clk;
reg enable;

/*Perform the Sinc action*/
always @ (mdata1)
if(mdata1==0)
    ip_data1 <= 37'd0;
    /* change 0 to a -1 for twos complement
*/
else
    ip_data1 <= 37'd1;

/*Accumulator (Integrator)
Perform the accumulation (IIR) at the speed of
the modulator.
Z = one sample delay MCLKOUT = modulators
conversion bit rate */

```

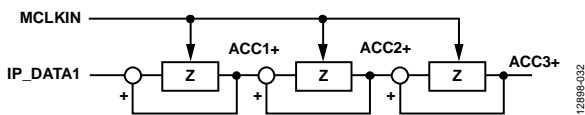


図 32. アキュムレータ

```

always @ (negedge mclk1, posedge reset)
begin
if (reset)
begin
/* initialize acc registers on reset
*/
acc1 <= 37'd0;
acc2 <= 37'd0;

```

```

acc3 <= 37'd0;
end
else
begin
/*perform accumulation process */
acc1 <= acc1 + ip_data1;
acc2 <= acc2 + acc1;
acc3 <= acc3 + acc2;
end
end

/*decimation stage (MCLKOUT/WORD_CLK) */
always @ (negedge mclk1, posedge reset)
begin
if (reset)
word_count <= 16'd0;
else
begin
if ( word_count == dec_rate - 1 )
word_count <= 16'd0;
else
word_count <= word_count +
16'b1;
end
end

always @ ( negedge mclk1, posedge reset )
begin
if ( reset )
word_clk <= 1'b0;
else
begin
if ( word_count == dec_rate/2 -
1 )
word_clk <= 1'b1;
else if ( word_count == dec_rate
- 1 )
word_clk <= 1'b0;
end
end

/*Differentiator (including decimation stage)
Perform the differentiation stage (FIR) at a
lower speed.
Z = one sample delay WORD_CLK = output word
rate */

```

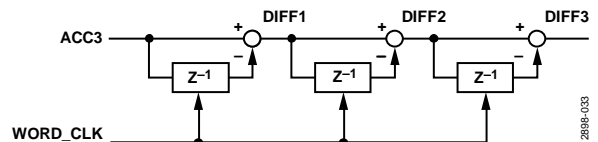


図 33. 微分器

```

always @ (negedge word_clk, posedge reset)
begin
if(reset)
begin
acc3_d2 <= 37'd0;
diff1_d <= 37'd0;
diff2_d <= 37'd0;

```

```

        diff1 <= 37'd0;
        diff2 <= 37'd0;
        diff3 <= 37'd0;

    end
    else
    begin

        diff1 <= acc3 - acc3_d2;
        diff2 <= diff1 - diff1_d;
        diff3 <= diff2 - diff2_d;
        acc3_d2 <= acc3;
        diff1_d <= diff1;
        diff2_d <= diff2;

    end

end

/* Clock the Sinc output into an output
register
WORD_CLK = output word rate */

```

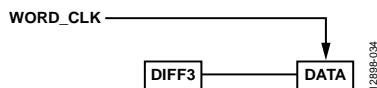


図 34. Sinc3 出力から出力レジスタへのクロック駆動

```

always @ (negedge word_clk )
begin

    case ( dec_rate )
        16'd32:begin
            DATA <= (diff3[15:0] ==
16'h8000) ? 16'hFFFF : {diff3[14:0], 1'b0};
            end
        16'd64:begin
            DATA <= (diff3[18:2] ==
17'h10000) ? 16'hFFFF : diff3[17:2];
            end
        16'd128:begin
            DATA <= (diff3[21:5] ==
17'h10000) ? 16'hFFFF : diff3[20:5];
            end
        16'd256:begin
            DATA <= (diff3[24:8] ==
17'h10000) ? 16'hFFFF : diff3[23:8];
            end
        16'd512:begin
            DATA <= (diff3[27:11] ==
17'h10000) ? 16'hFFFF : diff3[26:11];
            end
        16'd1024:begin
            DATA <= (diff3[30:14] ==
17'h10000) ? 16'hFFFF : diff3[29:14];
            end
        16'd2048:begin
            DATA <= (diff3[33:17] ==
17'h10000) ? 16'hFFFF : diff3[32:17];
            end
        16'd4096:begin
            DATA <= (diff3[36:20] ==
17'h10000) ? 16'hFFFF : diff3[35:20];

```

```

        end
        default:begin
            DATA <= (diff3[24:8] ==
17'h10000) ? 16'hFFFF : diff3[23:8];
            end
        endcase
    end

end

/* Synchronize Data Output*/
always@ (negedge mclk1, posedge reset )
begin
    if ( reset )
    begin
        data_en <= 1'b0;
        enable <= 1'b1;

    end
    else
    begin
        if ( (word_count == dec_rate/2 -
1) && enable )
        begin
            data_en <= 1'b1;
            enable <= 1'b0;

        end
        else if ( (word_count == dec_rate
- 1) && ~enable )
        begin
            data_en <= 1'b0;
            enable <= 1'b1;

        end
        else
            data_en <= 1'b0;

    end
end

end
endmodule

```

電源の注意事項

AD7402には、5 V VDD1 電源が必要で、これの実現には種々の方法があります。1つの方法は、ADuM6000のような絶縁型DC/DCコンバータを使う方法です。この方法では、アイソレーション障壁を跨いで5Vの安定化DC電源を提供します。ADuM6000の固有アイソレーションはAD7402より低いことに注意してください。

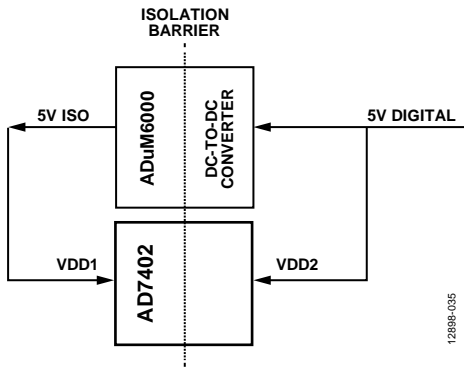


図 35. ADuM6000 絶縁型 5 V DC/DC レギュレータの例

もう1つの方法は、ADP2441のような降圧DC/DCレギュレータを使ってアイソレーション障壁の高電圧側でDC電源を安定化する方法です。

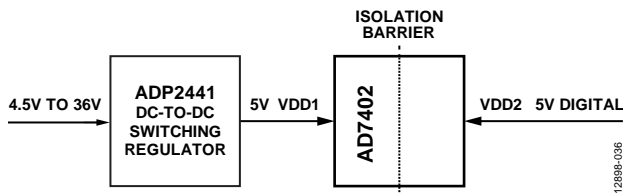


図 36. ADP2441 降圧 DC/DC レギュレータの例

グラウンド接続とレイアウト

VDD1 電源を 10 μF のコンデンサと 1 nF のコンデンサの並列接続で GND1 へデカップリングすることが推奨されます。VDD2 電源は 100 nF の値で GND2 へデカップリングしてください。高い同相モード過渡電圧が発生するアプリケーションでは、アイソレーション障壁を通過するボード結合が最小になるように注意する必要があります。さらに、すべての結合もデバイス側のすべてのピンで等しく発生するようにボード・レイアウトを設計してください。この注意を怠ると、ピン間で発生する電位差がデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生するおそれがあります。すべてのデカップリング・コンデンサは、できるだけ電源ピンの近くに配置してください。

アナログ入力の直列抵抗を小さくして、特に高温での歪みの影響を回避してください。可能な場合、各アナログ入力のソース・インピーダンスを一致させてオフセットを小さくします。アナログ入力のプリント回路ボード (PCB) パターンの不一致と熱電対効果をチェックしてオフセット・ドリフトを小さくしてください。

絶縁寿命

すべての絶縁構造は、十分長い期間にわたって電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えられる電圧波形の特性に依存します。アナログ・デバイゼスは、規制当局が行うテストの他に、広範囲なセットの評価を実施してAD7402の絶縁構造の寿命を測定しています。

アナログ・デバイゼスは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対して、寿命を縮める係数を求めました。これらの係数を使うと、実際の動作電圧での故障までの時間を計算することができます。表 8 に、バイポーラ AC 動作条件下で 20 年のサービス寿命に対するピーク電圧と最大 VDE 認定動作電圧を示します。

連続アイソレーション電圧について AD7402 に対しこれらのテストを実施しました。故障の発生を加速するため、通常使用の電圧を超えるテスト電圧を選択しました。これらのユニットの故障までの時間を記録して、加速係数の計算に使用しました。これらの係数を使って、通常動作条件下での故障までの時間を計算しました。表 8 に示す値は、次の 2 つの値より小さくなっています。

- 少なくとも連続使用寿命 20 年を保証する値
- VDE 認定 最大動作電圧

AD7402 の寿命は、アイソレーション障壁に加えられる波形のタイプに依存します。iCoupler 絶縁構造は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるストレスを受けます。図 37、図 38、図 39 に、これらのアイソレーション電圧波形を示します。

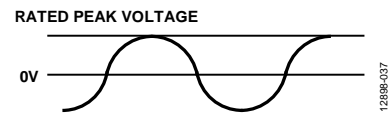


図 37. バイポーラ AC 波形、50 Hz または 60 Hz

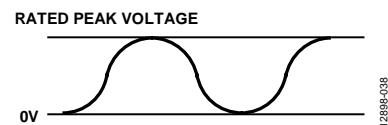


図 38. ユニポーラ AC 波形、50 Hz または 60 Hz

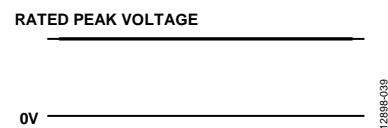


図 39. DC 波形

外形寸法

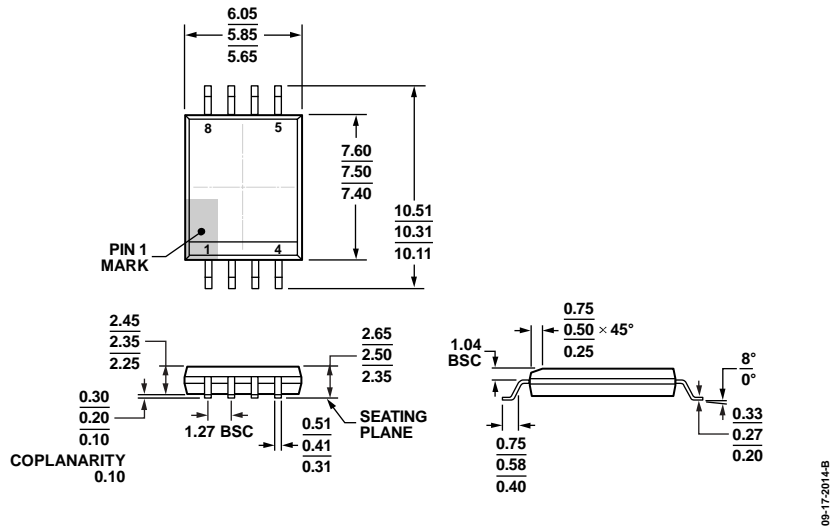


図 40. 8 ピン沿面距離強化型標準スモール・アウトライン・パッケージ [SOIC_IC]
ワイド・ボディ
(RI-8-1)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD7402-8BRIZ	-40°C to +105°C	8-Lead Standard Small Outline Package, with Increased Creepage [SOIC_IC]	RI-8-1
AD7402-8BRIZ-RL	-40°C to +105°C	8-Lead Standard Small Outline Package, with Increased Creepage [SOIC_IC]	RI-8-1
AD7402-8BRIZ-RL7	-40°C to +105°C	8-Lead Standard Small Outline Package, with Increased Creepage [SOIC_IC]	RI-8-1

¹ Z = RoHS 準拠製品。