

### 特長

クロック・レート：10MHz  
 2次モジュレータ  
 16ビットのノー・ミッシング・コード保証  
 INL：16ビットで $\pm 2\text{LSB}$  (typ)  
 オフセット・ドリフト： $3.5\mu\text{V}/\text{C}$  (max)  
 デジタル・アイソレータ内蔵  
 リファレンス内蔵  
 低消費電力動作：5.25V動作時に18mA (max)  
 動作温度範囲： $-40\sim+105\text{C}$   
 16ピンSOICパッケージ  
 AD7401は外部クロック・バージョン  
 適用規格

#### UL認定

UL1577に準拠し1分間で3,750Vrms

#### CSA部品承認通達#5A

#### VDE適合性認定

DIN EN 60747-5-2 (VDE 0884 Part 2) : 2003-01

DIN EN 60950 (VDE 0805) : 2001-12、EN 60950 : 2000

$V_{\text{IORM}}=891\text{Vpeak}$

### アプリケーション

ACモータ制御

データ・アクイジション・システム

A/D+光アイソレータ回路の置換品

### 概要

AD7400<sup>1</sup>は、アナログ・デバイセズの*iCoupler*<sup>®</sup>技術をベースとするデジタル・アイソレータを内蔵し、アナログ入力信号を高速の1ビット・データ・ストリームに変換する2次の $\Sigma\Delta$  (シグマ・デルタ) モジュレータです。AD7400は5Vの電源で動作し、 $\pm 200\text{mV}$  ( $\pm 320\text{mV}$ フルスケール) の差動入力信号を受け入れます。アナログ入力アナログ・モジュレータによって連続的にサンプリングされるため、サンプル&ホールド回路を外付けする必要がありません。入力情報は、10MHzのデータレートで1の値のコード密度として出力ストリームの中に含まれます。適切なデジタル・フィルタを使用することで、オリジナルの情報を再構成できます。シリアルI/Oでは、5Vまたは3Vの電源 ( $V_{\text{DD2}}$ ) を使用できます。

シリアル・インターフェースはデジタル絶縁されます。高速CMOSとモノリシックの空心トランス技術の組合せにより、オンチップのアイソレータ回路はフォトカプラなどのデバイスに比べて大幅に優れた性能特性を發揮します。また、リファレンスも内蔵しています。AD7400は16ピンSOICパッケージで提供されており、 $-40\sim+105\text{C}$ で動作します。

<sup>1</sup> 米国特許番号5,952,849、6,873,065および7,075,329で保護されています。その他の特許は申請中です。

### 機能ブロック図

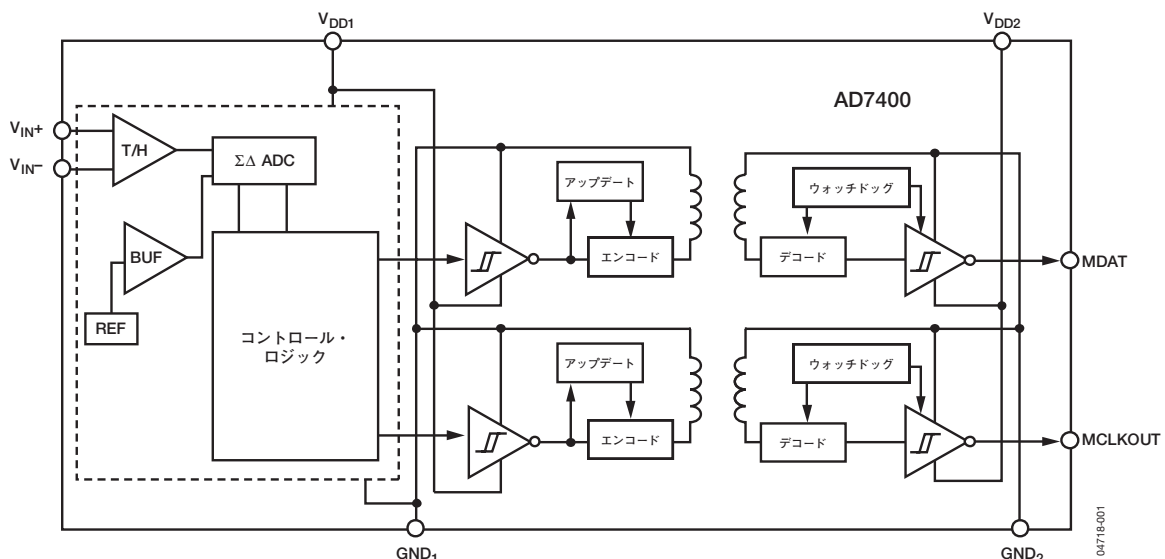


図1

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。  
© 2006 Analog Devices, Inc. All rights reserved.

REV. A

**アナログ・デバイセズ株式会社**

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル  
電話03 (5402) 8200

大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号  
電話06 (6350) 6868

# AD7400

## 目次

特長 .....	1	代表的な性能特性 .....	9
アプリケーション .....	1	用語の説明 .....	12
概要 .....	1	動作原理 .....	13
機能ブロック図 .....	1	回路情報 .....	13
改訂履歴 .....	2	アナログ入力 .....	13
仕様 .....	3	差動入力 .....	14
タイミング仕様 .....	4	デジタル・フィルタ .....	14
絶縁および安全性関連の仕様 .....	5	アプリケーション情報 .....	17
適用規格 .....	5	グラウンディングとレイアウト .....	17
DIN EN 60747-5-2 (VDE 0884 Part 2) の絶縁特性 .....	6	AD7400の性能評価 .....	17
絶対最大定格 .....	7	絶縁寿命 .....	17
ESDに関する注意 .....	7	外形寸法 .....	18
ピン配置と機能の説明 .....	8	オーダー・ガイド .....	18

## 改訂履歴

### 12/06—Rev. 0 to Rev.A

Changes to Features .....	1
Changes to Table 6 .....	7
Changes to Analog Input Section .....	13
Changes to Figure 26 .....	15

### 1/06—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $V_{DD1}=4.5\sim 5.25V$ 、 $V_{DD2}=3\sim 5.5V$ 、 $V_{IN+}=-200\sim +200mV$ 、 $V_{IN-}=0V$ （シングルエンド）、 $T_A=T_{MIN}\sim T_{MAX}$ 、 $f_{MCLK}=10MHz$ 。Verilogコードの定義に準拠してSinc<sup>3</sup>フィルタを使用し、256のデシメーション・レートでテスト。<sup>1</sup>

表1

パラメータ	Yバージョン <sup>1, 2</sup>	単位	テスト条件/備考
<b>静的性能</b>			
分解能	16	ビット (min)	フィルタ出力を16ビットに切捨て
積分非直線性 (INL) <sup>3</sup>	±15	LSB (max)	-40~+85°C、±2LSB (typ)
	±25	LSB (max)	>85~105°C
微分非直線性 (DNL) <sup>3</sup>	±0.9	LSB (max)	16ビットのノー・ミッシング・コードを保証
オフセット誤差 <sup>3</sup>	±0.5	mV (max)	
	±50	μV (typ)	$T_A=25^\circ C$
温度対 オフセット・ドリフト <sup>3</sup>	3.5	μV/°C (max)	-40~+105°C
	1	μV/°C (typ)	
$V_{DD1}$ 対 オフセット・ドリフト	120	μV/V (typ)	
ゲイン誤差 <sup>3</sup>	±1	mV (max)	
温度対 ゲイン誤差ドリフト <sup>3</sup>	23	μV/°C (typ)	-40~+105°C
$V_{DD1}$ 対 ゲイン誤差ドリフト <sup>3</sup>	110	μV/V (typ)	
<b>アナログ入力</b>			
入力電圧範囲	±200	mV (min)/mV (max)	規定の性能を保証する電圧範囲、フルスケール範囲±320mV
ダイナミック入力電流	±7	μA (max)	$V_{IN+}=400mV$ 、 $V_{IN-}=0V$
	±0.5	μA (typ)	$V_{IN+}=V_{IN-}=0V$
入力容量	10	pF (typ)	
<b>動的仕様</b>			
S/(N+D) (SINAD) <sup>3</sup>	70	dB (min)	$V_{IN+}=35Hz$ 、400mVp-pのサイン波
	65	dB (min)	-40~+85°C
	79	dB (typ)	>85~105°C
S/N比 (SNR) <sup>3</sup>	71	dB (min)	-40~+105°C
全高調波歪み (THD) <sup>3</sup>	-88	dB (typ)	
ピーク高調波またはスプリアス・ノイズ (SFDR) <sup>3</sup>	-88	dB (typ)	
有効ビット数 (ENOB) <sup>3</sup>	11.5	ビット	
絶縁過渡耐圧 <sup>3</sup>	25	kV/μs (min)	
	30	kV/μs (typ)	
<b>ロジック出力</b>			
ハイレベル出力電圧 ( $V_{OH}$ )	$V_{DD2}-0.1$	V (min)	$I_O=-200\mu A$
ローレベル出力電圧 ( $V_{OL}$ )	0.4	V (max)	$I_O=+200\mu A$
<b>電源条件</b>			
$V_{DD1}$	4.5/5.25	V (min)/V (max)	
$V_{DD2}$	3/5.5	V (min)/V (max)	
$I_{DD1}$ <sup>4</sup>	12	mA (max)	$V_{DD1}=5.25V$
$I_{DD2}$ <sup>5</sup>	6	mA (max)	$V_{DD2}=5.5V$
	4	mA (max)	$V_{DD2}=3.3V$

<sup>1</sup> 温度範囲は-40~+85°Cで測定。

<sup>2</sup> すべての電圧は、該当する各グラウンドを基準とします。

<sup>3</sup> 「用語の説明」を参照。

<sup>4</sup> 図14を参照。

<sup>5</sup> 図15を参照。

# AD7400

## タイミング仕様

特に指定のない限り、 $V_{DD1}=4.5\sim 5.25V$ 、 $V_{DD2}=3\sim 5.5V$ 、 $T_A=T_{MIN}\sim T_{MAX}$ で規定。<sup>1</sup>

表2

パラメータ	$T_{MIN}$ 、 $T_{MAX}$ における限界値	単位	説明
$f_{MCLKOUT}^2$	10	MHz (typ)	マスター・クロックの出力周波数
	9/11	MHz (min)/MHz (max)	マスター・クロックの出力周波数
$t_1^3$	40	ns (max)	MCLK立上がりエッジ後のデータ・アクセス時間
$t_2^3$	10	ns (min)	MCLK立上がりエッジ後のデータ・ホールド時間
$t_3$	$0.4 \times t_{MCLKOUT}$	ns (min)	マスター・クロックのローレベル時間
$t_4$	$0.4 \times t_{MCLKOUT}$	ns (min)	マスター・クロックのハイレベル時間

<sup>1</sup> 量産開始時にサンプル・テストにより適合性を保証。

<sup>2</sup> クロック出力のマーク・スペース比：40/60～60/40。

<sup>3</sup> 図2の負荷回路を用いて測定し、出力が0.8Vまたは2.0Vに達するまでの所要時間とします。

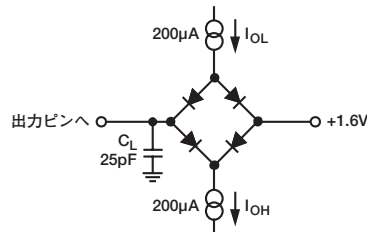


図2. デジタル出力のタイミング仕様を測定するための負荷回路

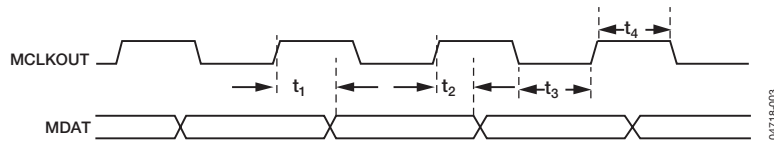


図3. データ・タイミング

## 絶縁および安全性関連の仕様

表3

パラメータ	記号	値	単位	条件
入力-出力間の瞬時絶縁耐圧	$V_{iso}$	3750 (min)	V	1分の持続時間
最小外部空間距離 (クリアランス)	L (I01)	7.46 (min)	mm	入力ピンから出力ピンまでの空間最短距離を測定
最小外部沿面距離 (クリーパージ)	L (I02)	8.1 (min)	mm	入力ピンから出力ピンまでのボディ表面に沿う最短パスを測定
最小内部空間距離 (内部クリアランス)		0.017 (min)	mm	絶縁体を通過する絶縁距離
耐トラッキング性 (トラッキング指数)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
絶縁グループ		IIIa		材料グループ (DIN VDE 0110、1/89、Table 1)

## 適用規格

表4

UL <sup>1</sup>	CSA	VDE <sup>2</sup>
1577部品認定プログラムによる認定 <sup>1</sup>	CSA部品承認通達#5Aによる認定	DIN EN 60747-5-2 (VDE 0884 Part 2) : 2003-01に準拠した認定 <sup>2</sup>
3750Vrmsの絶縁電圧	CSA 60950-1-03および IEC 60950-1に準拠した強化絶縁、630Vrmsの最大動作電圧	基本絶縁、891Vピーク DIN EN 60747-5-2 (VDE 0884 Part 2) : 2003-01、DIN EN 60950 (VDE 0805) : 2001-12、EN 60950 : 2000の各規格に適合強化絶縁、891Vピーク
File E214100	File 205078	File 2471900-4880-0001

<sup>1</sup> UL1577に従い、各AD7400に4500Vrms以上の絶縁テスト電圧を1秒間加える方法によってテストし保証しています。(リーク電流の検出規定値=7.5 $\mu$ A)。

<sup>2</sup> DIN EN 60747-5-2に従い、各AD7400に1671Vピーク以上の絶縁テスト電圧を1秒間加える方法によってテストし保証しています (部分放電の検出規定値=5pC)。

# AD7400

## DIN EN 60747-5-2 (VDE 0884 Part 2) の絶縁特性

このアイソレータは、安全性限界値データの範囲内での基本絶縁にのみ有効です。安全性データは、保護回路を使って遵守してください。

表5

説明	記号	特性	単位
DIN VDE 0110による絶縁分類 定格メイン電圧 $\leq 300\text{Vrms}$ の場合 定格メイン電圧 $\leq 450\text{Vrms}$ の場合 定格メイン電圧 $\leq 600\text{Vrms}$ の場合		I-IV I-II I-II	
環境による分類		40/105/21	
汚染度 (DIN VDE 0110、Table 1)		2	
最大動作絶縁電圧	$V_{IORM}$	891	V peak
入カー出力間テスト電圧、メソッドB1 $V_{IORM} \times 1.875 = V_{PR}$ 、100%の出荷テスト、 $t_m = 1$ 秒、部分放電 $< 5\text{pC}$	$V_{PR}$	1671	V peak
入カー出力間テスト電圧、メソッドA 環境テスト・サブグループ1の実施後 $V_{IORM} \times 1.6 = V_{PR}$ 、 $t_m = 60$ 秒、部分放電 $< 5\text{pC}$ 入力/安全性テスト・サブグループ2/3の実施後 $V_{IORM} \times 1.2 = V_{PR}$ 、 $t_m = 60$ 秒、部分放電 $< 5\text{pC}$	$V_{PR}$	1426 1069	V peak
最大許容過電圧 (過渡過電圧、 $t_{TR} = 10$ 秒)	$V_{TR}$	6000	V peak
安全性限界値 (障害発生時の最大許容値、図4も参照のこと) ケース温度 サイド1電流 サイド2電流	$T_S$ $I_{S1}$ $I_{S2}$	150 265 335	$^{\circ}\text{C}$ mA mA
$T_S$ 、 $V_{IO} = 500\text{V}$ での絶縁抵抗	$R_S$	$> 10^9$	$\Omega$

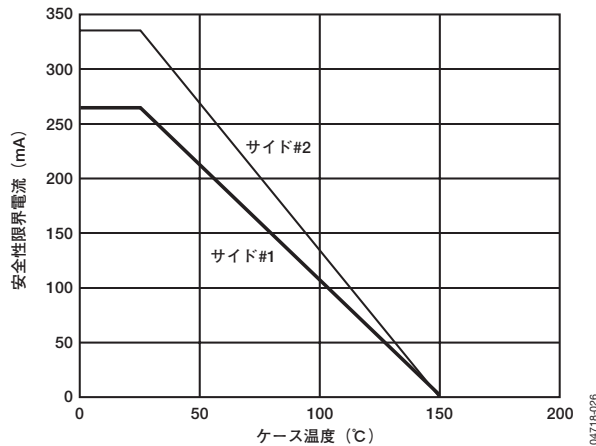


図4. 温度ディレーティング・カーブ  
 (DIN EN 60747-5-2によるケース温度の変化に対する安全性限界電流の依存性)

## 絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。すべての電圧はそれぞれのグラウンドを基準としています。

表6

パラメータ	定格値
GND <sub>1</sub> に対するV <sub>DD1</sub>	-0.3~+6.5V
GND <sub>2</sub> に対するV <sub>DD2</sub>	-0.3~+6.5V
GND <sub>1</sub> に対するアナログ入力電圧	-0.3V~V <sub>DD1</sub> +0.3V
GND <sub>2</sub> に対する出力電圧	-0.3V~V <sub>DD2</sub> +0.3V
電源ピンを除くすべてのピンに対する入力電流 <sup>1</sup>	±10mA
動作温度範囲	-40~+105°C
保存温度範囲	-65~+150°C
ジャンクション温度	150°C
	113°C (UL) <sup>2</sup>
SOICパッケージ	
$\theta_{JA}$ 熱抵抗	89.2°C/W
$\theta_{JC}$ 熱抵抗	55.6°C/W
抵抗値（入力-出力間）(R <sub>L0</sub> )	10 <sup>12</sup> Ω
容量（入力-出力間）(C <sub>L0</sub> ) <sup>3</sup>	1.7pF (typ)
鉛フリー、ハンダ処理温度	
リフロー	260 (+0)°C
ESD	1.5kV

<sup>1</sup> 100mAまでの過渡電流では、SCRラッチアップは発生しません。

<sup>2</sup> UL認定は最高113°Cまでしか適用されません。

<sup>3</sup> f=1MHz

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

表7. 最大連続動作電圧<sup>1</sup>

パラメータ	最大値	単位	条件
AC電圧、 バイポーラ信号波形	565	V <sub>PK</sub>	50年以上使用可能
AC電圧、 ユニポーラ信号波形	891	V <sub>PK</sub>	CSA/VDE規格で認定された最大動作電圧
DC電圧	891	V	CSA/VDE規格で認定された最大動作電圧

<sup>1</sup> 絶縁バリアを通過して印加される連続的な電圧レベルを基準とします。詳細については、「絶縁寿命」を参照してください。

## ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

# AD7400

## ピン配置と機能の説明

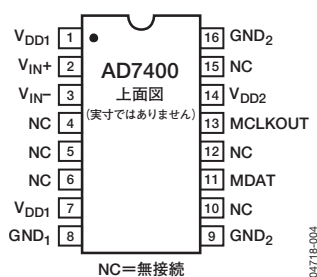


図5. ピン配置

表8. ピン機能の説明

ピン番号	記号	説明
1、7	V <sub>DD1</sub>	電源電圧 (4.5~5.25V)。AD7400の絶縁側の電源電圧で、GND <sub>1</sub> を基準とします。
2	V <sub>IN+</sub>	正のアナログ入力。規定範囲は±200mV。
3	V <sub>IN-</sub>	負のアナログ入力。通常はGND <sub>1</sub> に接続。
4~6、10、12、15	NC	無接続
8	GND <sub>1</sub>	グラウンド1。絶縁側に配置される回路すべてのグラウンド基準ポイント。
9、16	GND <sub>2</sub>	グラウンド2。非絶縁側に配置される回路すべてのグラウンド基準ポイント。
11	MDAT	シリアル・データ出力。シングル・ビットのモジュレータ出力が、シリアル・データ・ストリームとしてこのピンに加えられます。ビット・データはMCLKOUT出力の立上がりエッジでクロック出力され、次のMCLKOUTの立上がりエッジで有効になります。
13	MCLKOUT	マスター・クロックのロジック出力。10MHz (typ)。MCLKOUTのエッジが立ち上がるときに、モジュレータから出力されるビット・ストリームが有効になります。
14	V <sub>DD2</sub>	電源電圧 (3~5.5V)。AD7400の非絶縁側の電源電圧で、GND <sub>2</sub> を基準とします。



## 代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、20kHzのブリックウォール・フィルタを使用。

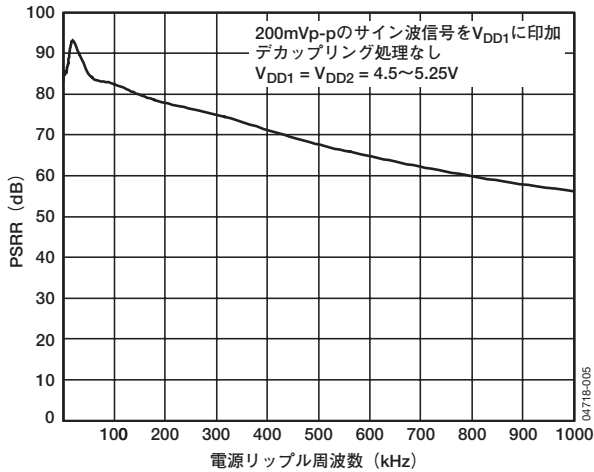


図6. 電源のデカップリング処理を行わない場合の電源リップル周波数対 PSRR (1MHzのフィルタを使用)

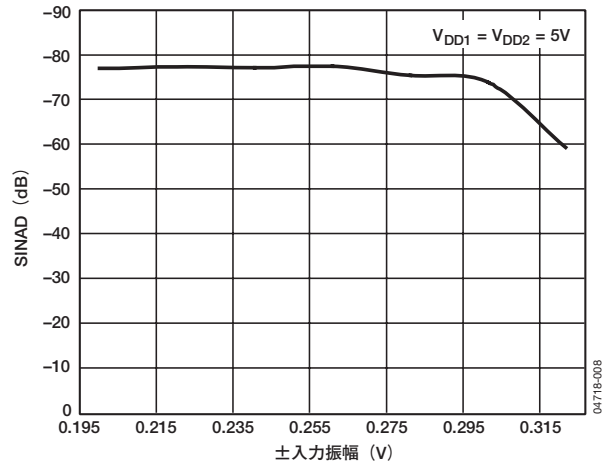


図9.  $V_{IN}$  対 SINAD

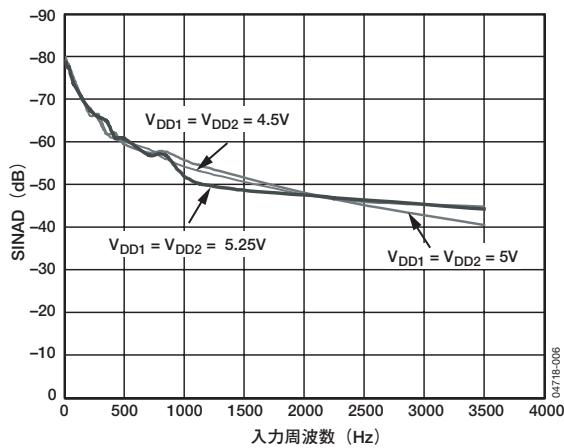


図7. さまざまな電源電圧におけるアナログ入力周波数対 SINAD

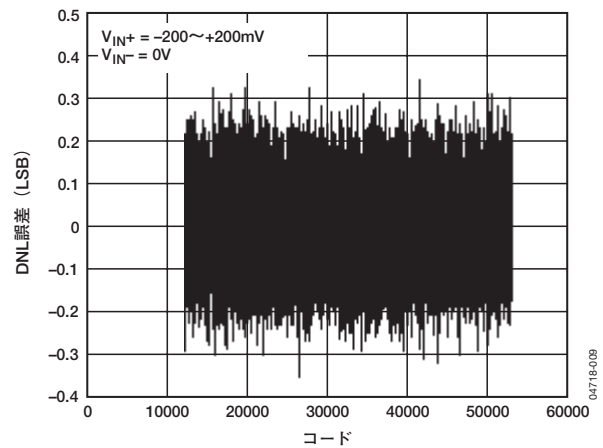


図10. 代表的なDNL、 $\pm 200\text{mV}$ の範囲 (Sinc<sup>3</sup>フィルタを使用、256倍のデシメーション)

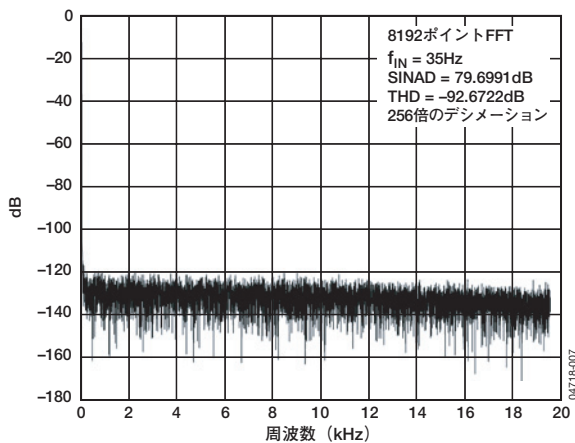


図8. 代表的なFFT、 $\pm 200\text{mV}$ の範囲 (Sinc<sup>3</sup>フィルタを使用、256倍のデシメーション)

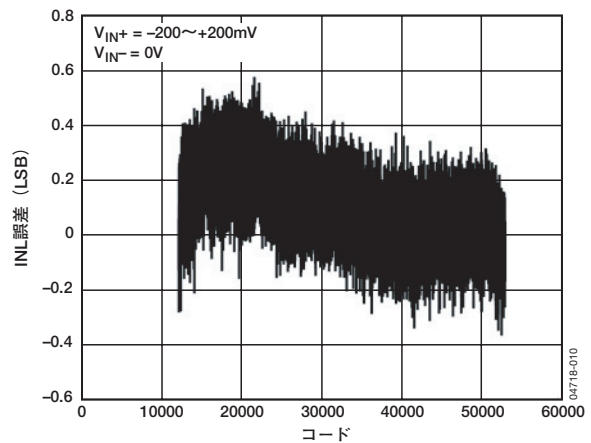


図11. 代表的なINL、 $\pm 200\text{mV}$ の範囲 (Sinc<sup>3</sup>フィルタを使用、256倍のデシメーション)

# AD7400

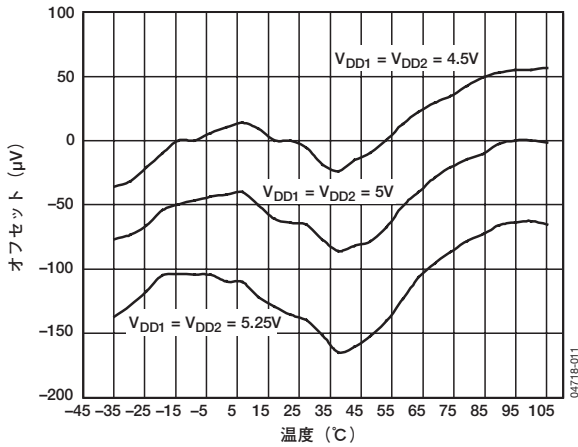


図12. さまざまな電源電圧におけるオフセット・ドリフトの温度特性

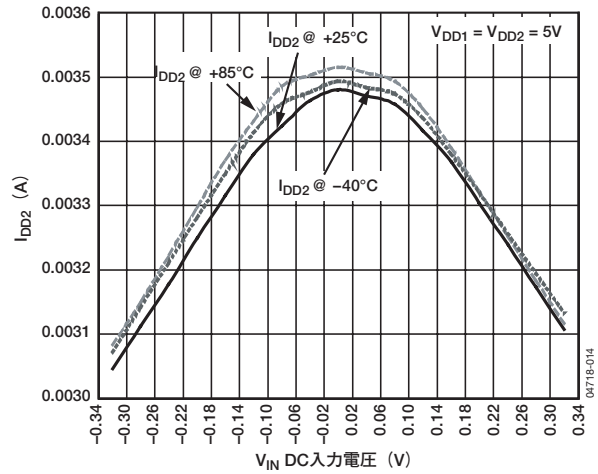


図15. さまざまな温度における  $V_{\text{IN}}$  対  $I_{\text{DD2}}$

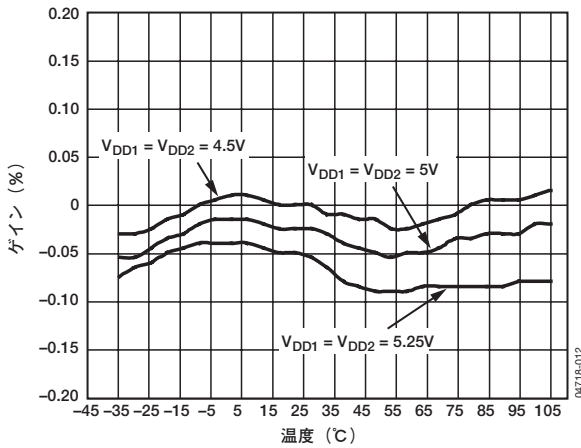


図13. さまざまな電源電圧におけるゲイン誤差ドリフトの温度特性

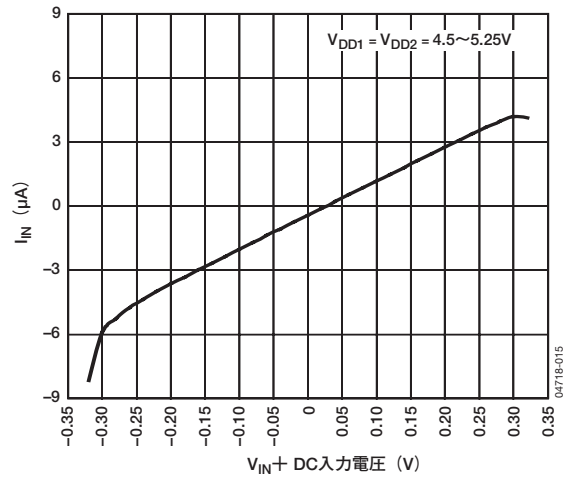


図16.  $V_{\text{IN}} + \text{DC}$  入力対  $I_{\text{IN}}$

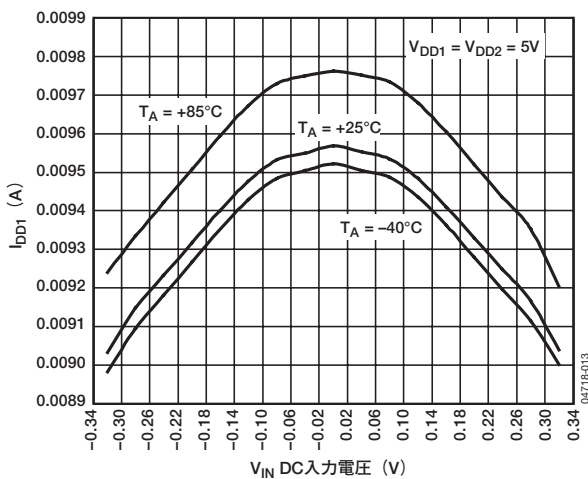


図14. さまざまな温度における  $V_{\text{IN}}$  対  $I_{\text{DD1}}$

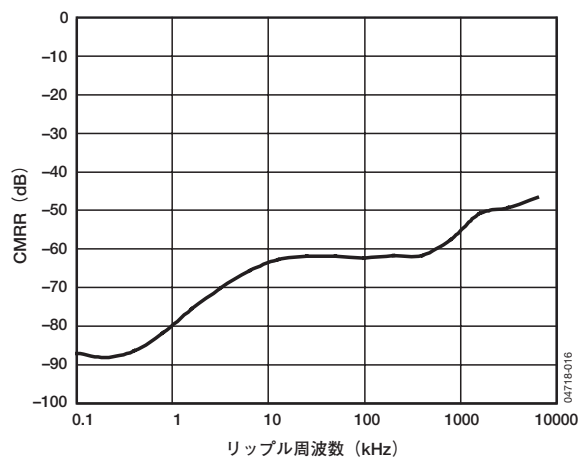


図17. 同相リップル周波数対 CMRR

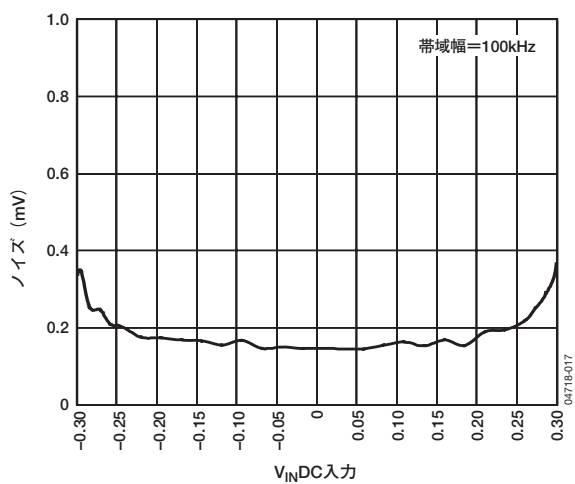


図18.  $V_{IN}$ DC入力 対 RMSノイズ電圧

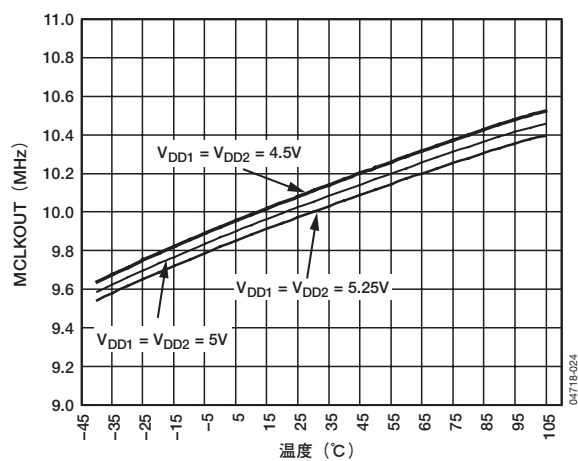


図19. さまざまな電源電圧における  
MCLKOUTの温度特性

## 用語の説明

### 微分非直線性 (DNL)

ADCの隣接する2つのコード間における1LSB変化の測定値と理論値の差です。

### 積分非直線性 (INL)

ADC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差をいいます。伝達関数のエンドポイントは、規定の負のフルスケールである $-200\text{mV}$  ( $V_{\text{IN}+}-V_{\text{IN}-}$ ) (16ビット・レベルではコード12,288) および規定の正のフルスケールである $+200\text{mV}$  ( $V_{\text{IN}+}-V_{\text{IN}-}$ ) (16ビット・レベルではコード53,248) です。

### オフセット誤差

理想的な $V_{\text{IN}+}-V_{\text{IN}-}$ の値 (すなわち $0\text{V}$ ) からのミッドスケール・コード (16ビット・レベルではコード32,768) の偏差です。

### ゲイン誤差

これには、正側フルスケールのゲイン誤差と負側フルスケールのゲイン誤差が含まれます。正側フルスケールのゲイン誤差は、オフセット誤差が完全に調整された後で、規定の正側フルスケール・コード (16ビット・レベルではコード53,248) が理想的な $V_{\text{IN}+}-V_{\text{IN}-}$ の値 ( $+200\text{mV}$ ) から逸脱する偏差です。負側フルスケールのゲイン誤差は、オフセット誤差が完全に調整された後で、規定の負側フルスケール・コード (16ビット・レベルではコード12,288) が理想的な $V_{\text{IN}+}-V_{\text{IN}-}$ の値 ( $-200\text{mV}$ ) から逸脱する偏差です。ゲイン誤差には、リファレンス誤差が含まれます。

### 信号/ノイズ & 歪み比 (SINAD)

ADCの出力における信号対 (ノイズ+歪み) の比の測定値です。信号は基本波のRMS振幅として表されます。ノイズはDC成分を除き、サンプリング周波数の $1/2$  ( $f_s/2$ ) までに相当する基本波以外の信号をすべて合計した値として表されます。この比はデジタル化プロセスの量子化レベル数に応じて変化し、レベルが高いほど量子化ノイズが小さくなります。サイン波を入力とする理想的なNビット・コンバータの信号対 (ノイズ+歪み) 比の理論値は、次式から求められます。

$$\text{SINAD} = (6.02N + 1.76) \text{ dB}$$

したがって、12ビット・コンバータでは74dBになります。

### 有効ビット数 (ENOB)

有効ビット数は、次式から計算します。

$$\text{ENOB} = (\text{SINAD} - 1.76) / 6.02$$

### 全高調波歪み (THD)

高調波のRMS値総和と基本波の比です。AD7400では、次のように定義されます。

$$\text{THD}(\text{dB}) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

$V_1$ は基本波のRMS振幅

$V_2, V_3, V_4, V_5, V_6$ は2次~6次高調波のRMS振幅

### ピーク高調波またはスプリアス・ノイズ

ADCの出力スペクトル (DC成分を除き、 $f_s/2$ まで) 内で2番目に大きい高調波成分のRMS値と基本波のRMS値の比として定義されます。通常、この仕様値はスペクトル内の最大高調波によって決定されますが、高調波がノイズ・フロアに埋もれているADCの場合は、ノイズ・ピークにより決定されます。

### 同相ノイズ除去比 (CMRR)

周波数 $f$ 時における $\pm 200\text{mV}$ のADC出力パワーと、周波数 $f_c$ 時に $V_{\text{IN}+}$ と $V_{\text{IN}-}$ の同相電圧に印加される $200\text{mV}_{\text{p-p}}$ のサイン波信号パワーとの比として定義され、次式から求められます。

$$\text{CMRR}(\text{dB}) = 10 \log (P_f / P_{f_s})$$

ここで、

$P_f$ は周波数 $f$ 時におけるADC出力のパワー

$P_{f_s}$ は周波数 $f_s$ 時におけるADC出力のパワー

### 電源電圧変動除去比 (PSRR)

電源電圧の変動はフルスケール遷移に影響を及ぼしますが、コンバータの直線性には影響を与えません。電源電圧変動除去比は、電源電圧の変動によって、規定のフルスケール ( $\pm 200\text{mV}$ ) 遷移ポイントが公称値から逸脱するときの最大変化を表します (図6を参照)。

### 絶縁過渡耐圧

絶縁境界を通過して印加されるトランジェント・パルスの立上がり/立下がり速度を規定します。絶縁境界を越えると、クロックの障害やデータの破損が発生します (100kHzのトランジェント・パルス周波数を使用してテストしました)。

## 動作原理

### 回路情報

絶縁型 $\Sigma\Delta$ モジュレータAD7400は、アナログ入力信号を高速 (typ値10MHz)、シングル・ビットのデータ・ストリームに変換します。このモジュレータによって変換されるシングル・ビット・データの平均時間は、入力信号に正比例します。代表的なアプリケーション回路を図22に示します。この回路ではAD7400を使用してアナログ入力、電流センシング抵抗、デジタル出力の間を絶縁し、デジタル出力をデジタル・フィルタで処理して、Nビットのワードを出力しています。

### アナログ入力

AD7400の差動アナログ入力は、スイッチド・キャパシタ回路を使用して構成されます。この回路は、入力信号をデジタルの1ビット出力ストリームに変換する2次モジュレータ段を構成します。変換プロセス用のクロック信号に加えて、出力データ・フレーミング用のクロック信号が、サンプル・クロック (MCLKOUT) から供給されます。このクロック・ソースはAD7400に内蔵されています。アナログ入力信号はモジュレータによって連続的にサンプリングされ、内部の電圧リファレンスと比較されます。時間の経過に伴ってアナログ入力を正確に表すデジタル・ストリームが、コンバータの出力に現れます (図20を参照)。

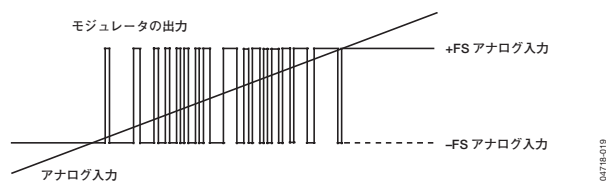


図20. アナログ入力とモジュレータ出力の関係

差動信号が0Vのときに、(理想的には) 1と0のデータ・ストリームがMDATピンから出力されます。この出力は、ハイレベル時間が50%、ローレベル時間が50%となります。差動入力が増+200mVのときに、ハイレベル時間が全時間の81.25%に相当する1と0のデータ・ストリームが出力されます。差動入力が増-200mVのときは、ハイレベル時間が全時間の18.75%に相当する1と0のデータ・ストリームが出力されます。

差動入力が増320mVの場合は、理想的にはオール1のデータ・ストリームが出力されます。表9に示すように、これはAD7400の絶対フルスケール範囲に該当し、200mVは規定のフルスケール範囲です。

表9. アナログ入力範囲

アナログ入力	入力電圧
フルスケール範囲	+640mV
正側フルスケール	+320mV
規定の正側入力電圧範囲	+200mV
ゼロ	0mV
規定の負側入力電圧範囲	-200mV
負側フルスケール	-320mV

オリジナルの情報を再構成する場合は、この出力をデジタル・フィルタリングおよびデシメーション処理する必要があります。AD7400モジュレータよりも次数が1つ高いSinc<sup>3</sup>フィルタの使用を推奨します。256のデシメーション・レートを適用する場合は、内部クロック周波数を10MHzと想定すると、16ビット・ワードレートが39kHzになります。図21は、16ビット出力を基準とするAD7400の伝達関数を示します。

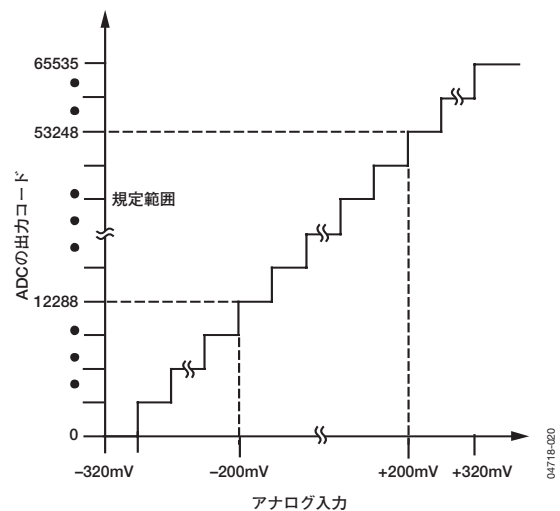


図21. フィルタリングおよびデシメーション処理を行う場合の16ビット伝達関数

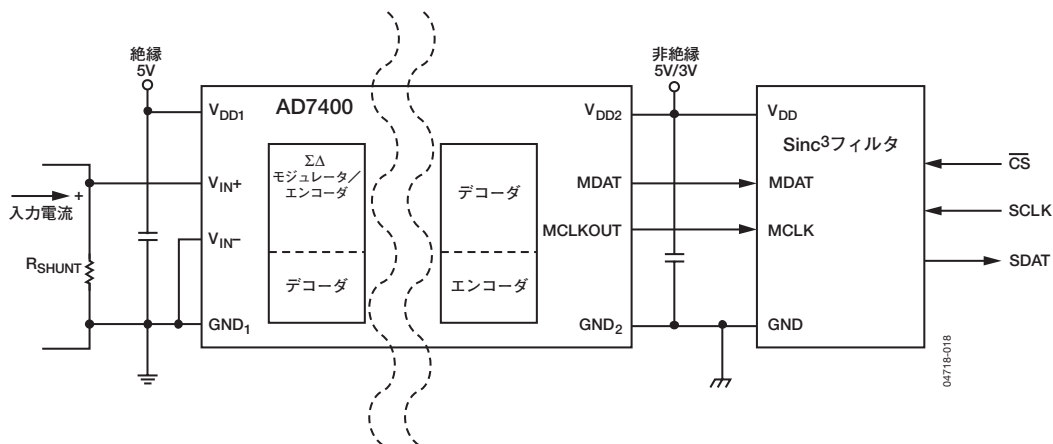


図22. 代表的なアプリケーション回路

# AD7400

## 差動入力

モジュレータのアナログ入力は、スイッチド・キャパシタ設計になっています。高度にリニアなサンプリング・コンデンサによって、アナログ信号が電荷に変換されます。アナログ入力の簡略等価回路図を図23に示します。アナログ入力を駆動する信号源には、MCLKOUTのハーフ・サイクルごとに電荷をサンプリング・コンデンサに供給し、次のハーフ・サイクル以内に要求精度にセトリングすることが求められます。

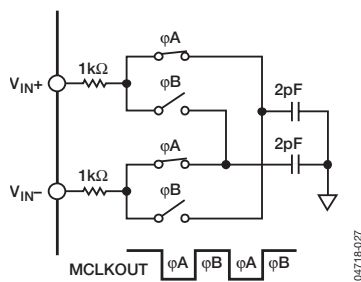


図23. アナログ入力等価回路

AD7400はアナログ入力間で差動電圧をサンプリングするため、入力回路が各入力で同相ノイズを低く抑えることによって、低ノイズ性能が達成されます。アナログ入力の駆動に使用されるアンプは、AD7400から高い性能を得る上で非常に重要な役割を果たします。

容量性負荷がオペアンプの出力でスイッチングされると、振幅が瞬間的に低下します。オペアンプはこのような状態を補正するような動作を実行し、その過程でスルーレートの限界値に達します。このような非線形性の応答によって過度のリングングが発生し、歪みが生じるおそれがあります。アンプとAD7400入力との間にローパスRCフィルタを接続することでこの問題を解決できます。各入力に外付けされるコンデンサは、サンプリング・プロセスで発生する電流スパイクの低減に役立ち、抵抗は負荷の過渡応答性からオペアンプを絶縁します。

最高の性能を得るための差動入力駆動の推奨回路構成を図24に示します。2本の入力ピン間に接続されるコンデンサが電荷のソースまたはシンク動作を行うため、1つの入力が必要とされる電荷の大部分をもう一方の入力から効率的に供給することができます。ここでの直列抵抗はサンプリング・プロセスで発生する電流スパイクからオペアンプを絶縁します。抵抗とコンデンサの推奨値は、22Ωと47pFです。

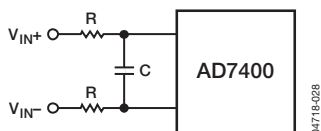


図24. 差動入力RCネットワーク

## デジタル・フィルタ

Sinc<sup>3</sup>フィルタをAD7400に使用することを推奨します。このフィルタは、FPGAまたはDSPによって実現できます。以下に記載するVerilogコードは、Xilinx®Spartan-II 2.5V FPGAにSinc<sup>3</sup>フィルタを実装する例を示しています。Altera®デバイスなどの別のFPGA向けに、このコードをコンパイルすることも可能です。この場合、クロックの立下がりエッジでデータが読み出されますが、必要に応じてクロックの上上がりエッジでデータを読み出すこともできます。各種のフィルタでさまざまなデシメーション・レートを適用した場合の影響を図28に示します。

```
/*`クロックの立下がりエッジでデータを読み出し*/
module DEC256SINC24B(mdata1, mclk1, reset,
DATA);

input mclk1;          /*フィルタのクロックに使用*/
input reset;         /*フィルタのリセットに使用*/
input mdata1;        /*フィルタリングするIPデータ*/
output [15:0] DATA; /*フィルタリングした出力*/

integer location;
integer info_file;

reg [23:0] ip_data1;
reg [23:0] acc1;
reg [23:0] acc2;
reg [23:0] acc3;
reg [23:0] acc3_d1;
reg [23:0] acc3_d2;
reg [23:0] diff1;
reg [23:0] diff2;
reg [23:0] diff3;
reg [23:0] diff1_d;
reg [23:0] diff2_d;
reg [15:0] DATA;
reg [7:0] word_count;

reg word_clk;
reg init;
```

```

/*Sinc動作を実行*/
always @ (mdata1)
if(mdata1==0)
    ip_data1 <= 0; /*2の補数形式で0から-1に変更*/
else
    ip_data1 <= 1;
/*アキュムレータ (積算器)
モジュレータの速度で積算 (IIR) を実行

```

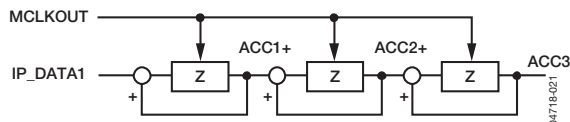


図25. アキュムレータ

```

Z=1サンプル遅延
MCLKOUT=モジュレータの変換ビットレート*/
always @ (negedge mclk1 or posedge reset)
if (reset)
begin
/*アキュムレーション・レジスタをリセットして初期化*/
acc1 <= 0;
acc2 <= 0;
acc3 <= 0;
end
else
begin
/*積算プロセスを実行*/
acc1 <= acc1 + ip_data1;
acc2 <= acc2 + acc1;
acc3 <= acc3 + acc2;
end
/*デシメーション段 (MCLKOUT/ WORD_CLK) */
always @ (posedge mclk1 or posedge reset)
if (reset)
word_count <= 0;
else
word_count <= word_count + 1;
always @ (word_count)
word_clk <= word_count[7];
/*微分器 (デシメーション段を含む)
低速で微分段 (FIR) を実行

```

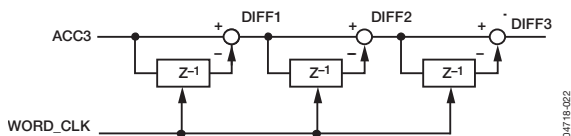


図26. 微分器

```

Z=1サンプル遅延
WORD_CLK=出力ワードレート
*/
always @ (posedge word_clk or posedge
reset) if(reset)
begin
acc3_d2 <= 0;
diff1_d <= 0;
diff2_d <= 0;
diff1 <= 0;
diff2 <= 0;
diff3 <= 0;
end
else
begin
diff1 <= acc3 - acc3_d2;
diff2 <= diff1 - diff1_d;
diff3 <= diff2 - diff2_d;
acc3_d2 <= acc3;
diff1_d <= diff1;
diff2_d <= diff2; end
/* Sinc出力を出力レジスタにクロック入力

```

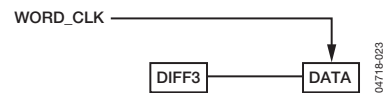


図27. Sinc出力を出力レジスタに格納するクロック動作

```

WORD_CLK=出力ワードレート */
always @ (posedge word_clk)
begin
DATA[15] <= diff3[23];
DATA[14] <= diff3[22];
DATA[13] <= diff3[21];
DATA[12] <= diff3[20];
DATA[11] <= diff3[19];
DATA[10] <= diff3[18];
DATA[9] <= diff3[17];
DATA[8] <= diff3[16];
DATA[7] <= diff3[15];
DATA[6] <= diff3[14];
DATA[5] <= diff3[13];
DATA[4] <= diff3[12];
DATA[3] <= diff3[11];
DATA[2] <= diff3[10];
DATA[1] <= diff3[9];
DATA[0] <= diff3[8];
end
endmodule

```

# AD7400

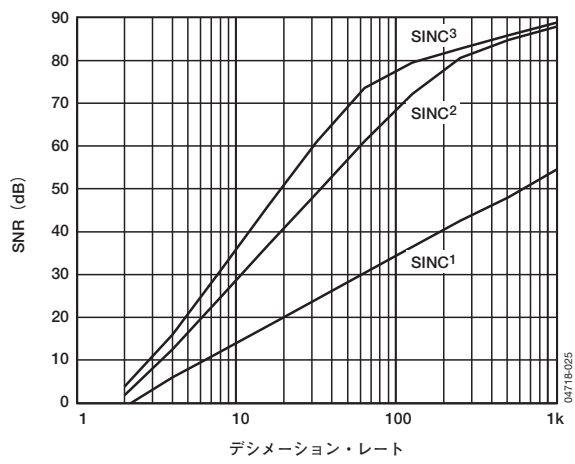


図28. 各種フィルタのデシメーション・レート 対 SNR



## アプリケーション情報

### グラウンディングとレイアウト

$V_{DD1}$ と $V_{DD2}$ 両方の電源は、100nFのコンデンサを接続して、デカップリングを行うことを特に推奨します。片方または両方の $V_{DD1}$ ピンをデカップリングしても、これによって性能が大きく影響を受けることはありません。高い同相トランジェントが発生する可能性のあるアプリケーションでは、絶縁バリア間で生じるボードのカップリングを最小限に抑えてください。さらに、カップリングが発生する場合、その影響が特定の部品面に実装されるすべてのピンに対して均等に及ぶようにボードのレイアウト設計を行ってください。この点に関する配慮を怠ると、デバイスの絶対最大定格を超える電圧差が各ピン間で発生し、デバイスのラッチアップまたは永続的な損傷が起きるおそれがあります。デカップリング用のコンデンサはすべて、電源ピンのできるだけ近くに配置してください。

特に高温時の歪みの影響を回避するために、アナログ入力に接続する直列抵抗の値はできるだけ小さくしてください。可能であれば、オフセットを最小限に抑えるために、各アナログ入力の信号源インピーダンスを等しくしてください。さらに、オフセット・ドリフトを低減するために、PCボード上で走らせるアナログ入力パターン配線のミスマッチと熱電対の影響についても注意してください。

### AD7400の性能評価

グラウンド・プレーンを分離し、ボードをAD7400パッケージの真下で分離して絶縁性を高めた、シンプルなスタンドアロンのAD7400評価用ボードを用意しています。このボード上でAD7400の各ピンにアクセスして評価を行うことができます。外部電源と他のすべての回路（デジタル・フィルタなど）はユーザが用意する必要があります。

### 絶縁寿命

時間の経過と高い電圧にさらされると、すべての絶縁構造部は絶縁破壊を起こしやすくなります。アナログ・デバイスでは、規制機関が行う試験とは別に、AD7400内部の絶縁構造の寿命を判別するためのさまざまな評価を実施しています。

これらのテストでは、多くのデバイスに連続的なクロス絶縁電圧を印加しています。故障の発生を促すために、通常使用時よりも高い電圧でテストを行いました。これらのユニットが故障するまでの時間を記録し、その時間に基づいて加速係数を計算しました。次に、これらの係数を使用して、通常の動作条件における故障時間を算出しています。表7に記載する値は、以下に示す2つのうち小さい方の値です。

- 50年以上連続的な使用が可能な電圧
- CSA/VDE規格で認定された最大動作電圧

AD7400の絶縁寿命は、絶縁バリア間に印加される信号の波形の種類によって異なります。*iCoupler*®絶縁構造に加えられるストレスは、信号がバイポーラAC、ユニポーラAC、DCのいずれの波形であるかによって異なります。図29、図30、図31は、それぞれの絶縁電圧波形を示します。



図29. バイポーラAC信号波形

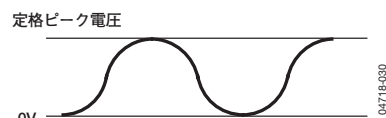


図30. ユニポーラAC信号波形

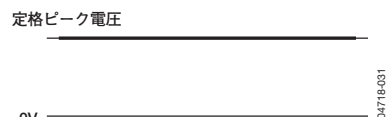
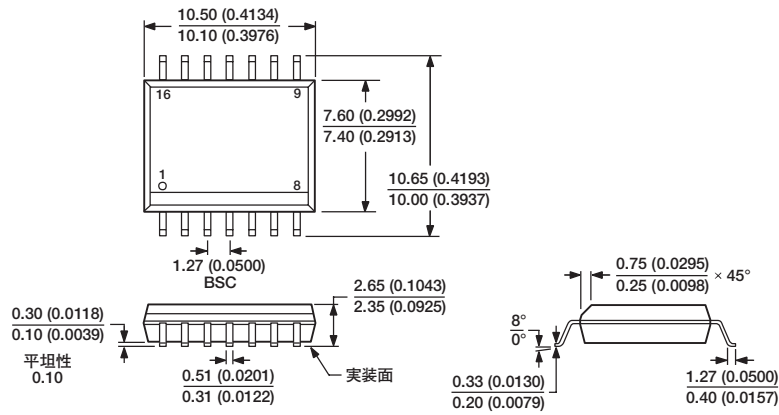


図31. DC信号波形

# AD7400

## 外形寸法



JEDEC規格MS-013-AAに準拠  
 管理寸法はミリメートルの単位で表記しています。  
 カッコ内に示すインチ単位の寸法は、ミリメートル値に基づく概数で、  
 参考のためにのみ記載しています。設計ではこの値を使用しないでください。

112006-B

図32. 16ピン標準スモール・アウトライン・パッケージ [SOIC\_W]  
 ワイドボディ  
 (RW-16)  
 寸法単位：mm (インチ)

## オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD7400YRWZ <sup>1</sup>	-40~+105°C	16ピン標準スモール・アウトライン・パッケージ (SOIC_W)	RW-16
AD7400YRWZ-REEL <sup>1</sup>	-40~+105°C	16ピン標準スモール・アウトライン・パッケージ (SOIC_W)	RW-16
AD7400YRWZ-REEL7 <sup>1</sup>	-40~+105°C	16ピン標準スモール・アウトライン・パッケージ (SOIC_W)	RW-16
EVAL-AD7400EB		スタンドアロン評価用ボード	

<sup>1</sup> Z=鉛フリー製品