

## AD7398/AD7399

### 特長

AD7398 - 12ビット分解能

AD7399 - 10ビット分解能

プログラマブルなパワー・シャットダウン

単電源(3~5V)または両電源( $\pm 5V$ )動作

3線式シリアルSPIコンパチブル・インターフェース

内部パワーオン・リセット

マルチチャンネルDAC同時更新用のダブル・バッファ・レジスタ

4つの独立したレール to レールのリファレンス入力

薄型16ピンTSSOPパッケージ供給可能

低温度係数: 1.5ppm/

### アプリケーション

自動車の出力電圧スパン

携帯通信機器

デジタル制御による較正

PC周辺機器

### 概要

クワッド、12/10ビット電圧出力D/AコンバータAD7398/AD7399は、3~5Vの単電源または $\pm 5V$ の両電源で動作するように設計されています。アナログ・デバイス社の強力なCBCMOSプロセスに基づき構築された、ローコストと単電源または両電源での使い勝手の良さを提供する、モノリシックDACです。

フルスケール出力電圧は、与えられる外部リファレンス $V_{REF}$ によって決定します。有効な $V_{REF}$ の値は $V_{SS} < V_{REF} < V_{DD}$ なので、広い範囲からフルスケール電圧を選択できます。マルチプル・アプリケーションでは、AC入力は $\pm 5V_p$ まで可能です。

ダブル・バッファ・シリアル・データ・インターフェースにより、高速な3線式SPIおよびシリアル・データ入力(CS)、クロック(CLK)、チップ・セレクト( $\overline{CS}$ )を用いたマイクロコントローラにコンパチブルな入力を提供します。一般的なレベル応答のロードDACストローブ(LDAC)入力によって、あらかじめロードされている入力レジスタから、すべてのDAC出力を同時に更新できます。さらに、内部のパワーオン・リセットにより、システムの立ち上がり時に出力電圧を強制的に0にできます。外部の非同期リセット( $\overline{RS}$ )も、すべてのレジスタを強制的にゼロ・コード状態にします。プログラマブルなパワー・シャットダウン機能により、使用していないDACの消費電力を低減できます。

両製品ともピン出力は共通なので、ユーザーはレイアウトを再設計せずに、アプリケーションに応じた分解能を選択できます。8ビット分解能のアプリケーションについては、ピン・コンパチブルな製品であるAD7304を参照してください。

AD7398/AD7399は、拡張工業温度範囲( $-40 \sim +125$ )で仕様規定されています。製品は、広幅16ピンSOICおよび超小型で1.1mmの薄型16ピンTSSOPパッケージで供給されます。

機能ブロック図

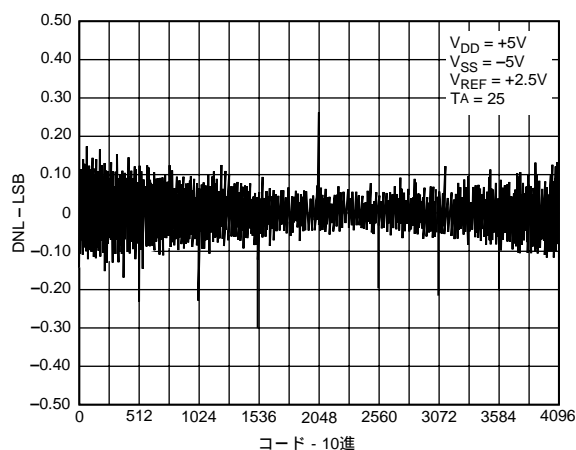
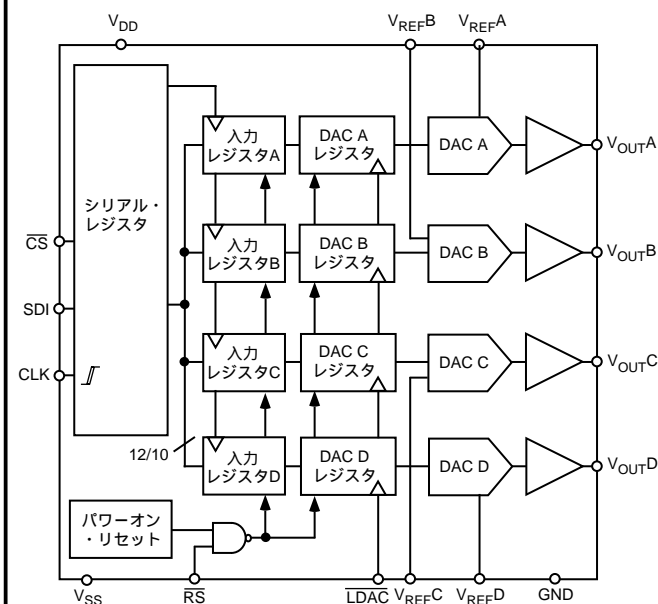


図1 AD7398のDNL対コード ( $T_A = 25$ )

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

# AD7398/AD7399 仕様

AD7398 12ビット電圧出力DAC (特に指示のない限り、@V<sub>DD</sub> = 5V、V<sub>SS</sub> = 0V、またはV<sub>DD</sub> = +5V、  
V<sub>SS</sub> = -5V、V<sub>REF</sub> = +2.5V、-40 < T<sub>A</sub> < +125 )

パラメータ	記号	条件	3 ~ 5V ± 10%	± 5V ± 10%	単位
<b>DC精度</b>					
分解能 <sup>1</sup>	N		12	12	ビット
相対精度 <sup>2</sup>	INL		± 1.5	± 1.5	LSB max
微分非直線性 <sup>2</sup>	DNL		± 1	± 1	LSB max
ゼロスケール誤差	V <sub>ZSE</sub>	Data = 000 <sub>H</sub>	7	± 2.5	mV max
フルスケール電圧誤差	V <sub>FSE</sub>	Data = FFF <sub>H</sub>	± 2.5	± 2.5	mV max
フルスケール温度係数 <sup>3</sup>	TCV <sub>FS</sub>		1.5	1.5	ppm/ typ
<b>リファレンス入力</b>					
V <sub>REF</sub> IN範囲 <sup>4</sup>	V <sub>REF</sub>		0/V <sub>DD</sub>	V <sub>SS</sub> /V <sub>DD</sub>	V min/max
入力抵抗 <sup>5</sup>	R <sub>REF</sub>	Data = 555 <sub>H</sub> 、最悪ケース	35	35	k typ <sup>6</sup>
入力容量 <sup>3</sup>	C <sub>REF</sub>		5	5	pF typ
<b>アナログ出力</b>					
出力電流	I <sub>OUT</sub>	Data = 800 <sub>H</sub> 、V <sub>OUT</sub> = 4LSB	± 5	± 5	mA typ
容量性負荷 <sup>3</sup>	C <sub>L</sub>	発振なし	200	400	pF max
<b>ロジック入力</b>					
ロジック入力ロー電圧	V <sub>IL</sub>	V <sub>DD</sub> = 3V	0.5		V max
		V <sub>DD</sub> = 5V	0.8	0.8	V max
ロジック入力ハイ電圧	V <sub>IH</sub>	CLKのみ	80% V <sub>DD</sub>	4.0	V min
			2.1 ~ 2.4	2.4	V min
入力リーク電流	I <sub>IL</sub>		1	1	μ A max
入力容量 <sup>3</sup>	C <sub>IL</sub>		10	10	pF max
<b>インターフェース・タイミング<sup>3,7</sup></b>					
クロック周波数	f <sub>CLK</sub>		11	16.6	MHz max
クロック幅ハイ	t <sub>CH</sub>		45	30	ns min
クロック幅ロー	t <sub>CL</sub>		45	30	ns min
CSからクロック・セットアップ	t <sub>CSS</sub>		10	5	ns min
クロックからCSホールド	t <sub>CSH</sub>		20	15	ns min
ロードDACパルス幅	t <sub>LDAC</sub>		45	30	ns min
データ・セットアップ	t <sub>DS</sub>		15	10	ns min
データ・ホールド	t <sub>DH</sub>		10	5	ns min
ロード・セットアップからCS	t <sub>LDS</sub>		0	0	ns min
ロード・ホールドからCS	t <sub>L DH</sub>		20	15	ns min
<b>AC特性</b>					
出力スルー・レート	SR	Data = 000 <sub>H</sub> ~ FFF <sub>H</sub> ~ 000 <sub>H</sub>	2	2	V/ μ s typ
セトリング時間 <sup>8</sup>	t <sub>s</sub>	フルスケールの ± 0.1%まで	6	6	μ s typ
シャットダウン・リカバリ	t <sub>SDR</sub>		6	6	μ s typ
DACグリッチ	Q	Code 7FF <sub>H</sub> ~ 800 <sub>H</sub> ~ 7FF <sub>H</sub>	150	150	nVs typ
デジタル・フィードスルー	Q <sub>DF</sub>		15	15	nVs typ
フィードスルー	V <sub>OUT</sub> /V <sub>REF</sub>	V <sub>REF</sub> = 1.5V <sub>DC</sub> + 1V <sub>p-p</sub> Data = 000 <sub>H</sub> , f = 100kHz	- 63	- 63	dB typ
<b>電源特性</b>					
シャットダウン電源電流	I <sub>DD_SD</sub>	無負荷	30/60	30/60	μ A typ/max
正極性電源電流	I <sub>DD</sub>	V <sub>IL</sub> = 0V、無負荷	1.5/2.5	1.6/2.7	mA typ/max
負極性電源電流	I <sub>SS</sub>	V <sub>IL</sub> = 0V、無負荷	1.5/2.5	1.6/2.7	mA typ/max
消費電力	P <sub>DISS</sub>	V <sub>IL</sub> = 0V、無負荷	5	16	mW typ
電源感度	PSS	V <sub>DD</sub> = ± 5%	0.006	0.006	%/% max

## 注

- 1 LSBは、12ビットのAD7398ではV<sub>REF</sub>/4096となります。
  - 2 最初の8つのコード (000<sub>H</sub>、007<sub>H</sub>) は単電源動作での直線性誤差の測定では除外されています。
  - 3 これらのパラメータは設計において保証されていますが製造テストの対象となっておりません。
  - 4 V<sub>REF</sub>がV<sub>DD</sub>またはV<sub>SS</sub>の電源に接続されているときには、対応するV<sub>OUT</sub>電圧はグラウンドと電源電圧から出力バッファのオフセット電圧を減算した電圧の範囲をプログラムし、V<sub>ZSE</sub>特性と同様となります。データシートの動作の項の詳細な議論を参照してください。
  - 5 入力インピーダンスは、コードに依存します。
  - 6 typ値は25 °Cで測定した場合の平均的な読み出し値です。
  - 7 すべての入力制御信号は、t<sub>R</sub> = t<sub>F</sub> = 2ns (3Vの10 ~ 90%) についての仕様で、1.5Vの電圧レベルから計時したものです。
  - 8 セトリング時間の仕様は、グラウンドの最後の3つのLSB以内の負極性側への遷移には適用されません。
- 仕様は予告なく変更されることがあります。

# AD7398/AD7399

AD7399 10ビット電圧出力DAC (特に指示のない限り、@V<sub>DD</sub> = 5V、V<sub>SS</sub> = 0V、またはV<sub>DD</sub> = +5V、  
V<sub>SS</sub> = -5V、V<sub>REF</sub> = +2.5V、-40 < T<sub>A</sub> < +125 )

パラメータ	記号	条件	3 ~ 5V ± 10%	± 5V ± 10%	単位
<b>スタティック特性</b>					
分解能 <sup>1</sup>	N		10	10	ビット
相対精度 <sup>2</sup>	INL		± 1	± 1	LSB max
微分非直線性 <sup>2</sup>	DNL		± 1	± 1	LSB max
ゼロスケール誤差	V <sub>ZSE</sub>	モノトニック Data = 000 <sub>H</sub>	7	± 4	mV max
フルスケール電圧誤差	V <sub>FSE</sub>	Data = 3FF <sub>H</sub>	± 15	± 15	mV max
フルスケール温度係数 <sup>3</sup>	TCV <sub>FS</sub>		1.5	1.5	ppm/ typ
<b>リファレンス入力</b>					
V <sub>REF</sub> IN範囲 <sup>4</sup>	V <sub>REF</sub>		0/V <sub>DD</sub>	V <sub>SS</sub> /V <sub>DD</sub>	V min/max
入力抵抗 <sup>5</sup>	R <sub>REF</sub>	Data = 155 <sub>H</sub> 、最悪ケース	40	40	k typ <sup>6</sup>
入力容量 <sup>3</sup>	C <sub>REF</sub>		5	5	pF typ
<b>アナログ出力</b>					
出力電流	I <sub>OUT</sub>	Data = 200 <sub>H</sub> 、V <sub>OUT</sub> = 1LSB		± 5	mA typ
容量性負荷 <sup>3</sup>	C <sub>L</sub>	発振なし	200	400	pF max
<b>ロジック入力</b>					
ロジック入力ロー電圧	V <sub>IL</sub>	V <sub>DD</sub> = 3V	0.5		V max
		V <sub>DD</sub> = 5V	0.8	0.8	V max
ロジック入力ハイ電圧	V <sub>IH</sub>	CLKのみ	80%V <sub>DD</sub>	4.0	V min
			2.1 ~ 2.4	2.4	V min
入力リーク電流	I <sub>IL</sub>		1	1	μ A max
入力容量 <sup>3</sup>	C <sub>IL</sub>		10	10	pF max
<b>インターフェース・タイミング<sup>3,7</sup></b>					
クロック周波数	f <sub>CLK</sub>		11	16.6	MHz max
クロック幅ハイ	t <sub>CH</sub>		45	30	ns min
クロック幅ロー	t <sub>CL</sub>		45	30	ns min
CSからクロック・セットアップ	t <sub>CSS</sub>		10	5	ns min
クロックからCSホールド	t <sub>CSH</sub>		20	15	ns min
ロードDACパルス幅	t <sub>LDAC</sub>		45	30	ns min
データ・セットアップ	t <sub>DS</sub>		15	10	ns min
データ・ホールド	t <sub>DH</sub>		10	5	ns min
ロード・セットアップからCS	t <sub>LDS</sub>		0	0	ns min
ロード・ホールドからCS	t <sub>L DH</sub>		20	15	ns min
<b>AC特性</b>					
出力スルーレート	SR	Data = 000 <sub>H</sub> ~ 3FFF <sub>H</sub> ~ 000 <sub>H</sub>	2	2	V/ μ s typ
セトリング時間 <sup>8</sup>	t <sub>s</sub>	フルスケールの ± 0.1%まで	6	6	μ s typ
シャットダウン・リカバリ	t <sub>SDR</sub>		6	6	μ s typ
DACグリッチ	Q	Code 1FF <sub>H</sub> ~ 200 <sub>H</sub> ~ 1FF <sub>H</sub>	150	150	nVs typ
デジタル・フィードスルー	Q <sub>DF</sub>		15	15	nVs typ
フィードスルー	V <sub>OUT</sub> /V <sub>REF</sub>	V <sub>REF</sub> = 1.5V <sub>DC</sub> + 1V <sub>p-p</sub> Data = 000 <sub>H</sub> , f = 100kHz	- 63	- 63	dB typ
<b>電源特性</b>					
シャットダウン電源電流	I <sub>DD_SD</sub>	無負荷	30/60	30/60	μ A typ/max
正極性電源電流	I <sub>DD</sub>	V <sub>IL</sub> = 0V、無負荷	1.5/2.5	1.6/2.7	mA typ/max
負極性電源電流	I <sub>SS</sub>	V <sub>IL</sub> = 0V、無負荷	1.5/2.5	1.6/2.7	mA typ/max
消費電力	P <sub>DISS</sub>	V <sub>IL</sub> = 0V、無負荷	5	16	mW typ
電源感度	PSS	V <sub>DD</sub> = ± 5%	0.006	0.006	%/% max

## 注

- 1 LSBは、10ビットのAD7399ではV<sub>REF</sub>/1024となります。
  - 2 最初の2つのコード ( 000<sub>H</sub>、001<sub>H</sub> ) は単電源動作での直線性誤差の測定では除外されています。
  - 3 これらのパラメータは設計において保証されていますが製造テストの対象となっておりません。
  - 4 V<sub>REF</sub>がV<sub>DD</sub>またはV<sub>SS</sub>の電源に接続されているときには、対応するV<sub>OUT</sub>電圧はグラウンドと電源電圧から出力バッファのオフセット電圧を減算した電圧の範囲をプログラムし、V<sub>ZSE</sub>特性と同様となります。データシートの動作の項の詳細な議論を参照してください。
  - 5 入力インピーダンスは、コードに依存します。
  - 6 typ値は25 °Cで測定した場合の平均的な読み出し値です。
  - 7 すべての入力制御信号は、t<sub>r</sub> = t<sub>f</sub> = 2ns ( 3Vの10 ~ 90% ) についての仕様で、1.5Vの電圧レベルから計時したものです。
  - 8 セトリング時間の仕様は、グラウンドの最後の3つのLSB以内の負極性側への移行には適用されません。
- 仕様は予告なく変更されることがあります。

# AD7398/AD7399

## 絶対最大定格\*

$V_{DD} \sim GND$  ..... - 0.3V、+ 7V  
 $V_{SS} \sim GND$  ..... + 0.3V、- 7V  
 $V_{REF} \sim GND$  .....  $V_{SS}$ 、 $V_{DD}$   
 ロジック入力  $\sim GND$  ..... - 0.3V、+ 8V  
 $V_{OUT} \sim GND$  .....  $V_{SS} - 0.3V$ 、 $V_{DD} + 0.3V$   
 $I_{OUT}$  短絡回路  $\sim GND$  ..... 50mA

## 熱抵抗 $J_A$

16ピンSOICパッケージ ..... 158 /W  
 16ピン薄型シュリンク表面実装型 (RU-16) ..... 180 /W

最大接合温度 ( $T_J \text{ Max}$ ) ..... 150

パッケージのワット損 ..... ( $T_J \text{ Max} - T_A$ ) /  $J_A$

動作温度範囲 ..... - 40 ~ + 125

保管温度範囲 ..... - 65 ~ + 150

## ビン温度

R-16 (蒸着、60秒) ..... 215

RU-16 (赤外線、15秒) ..... 224

## 注

\* 絶対最大定格は独立して適用される限界値であり、この値を超えると、回路動作が損なわれるという値であり、必ずしも機能的な動作を意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。

## オーダー・ガイド

モデル	分解能 (ビット)	温度範囲	パッケージ	パッケージ・ オプション	コンテナ 数量
AD7398BR	12	- 40 ~ + 125	SOL-16	R-16	48
AD7398BR-REEL7	12	- 40 ~ + 125	SOL-16	R-16	1,000
AD7398BRU-REEL7	12	- 40 ~ + 125	16ピンTSSOP	RU-16	1,000
AD7399BR	10	- 40 ~ + 125	SOL-16	R-16	48
AD7399BR-REEL7	10	- 40 ~ + 125	SOL-16	R-16	1,000
AD7399BRU-REEL7	10	- 40 ~ + 125	16ピンTSSOP	RU-16	1,000

AD7398は3254個のトランジスタを持っています。

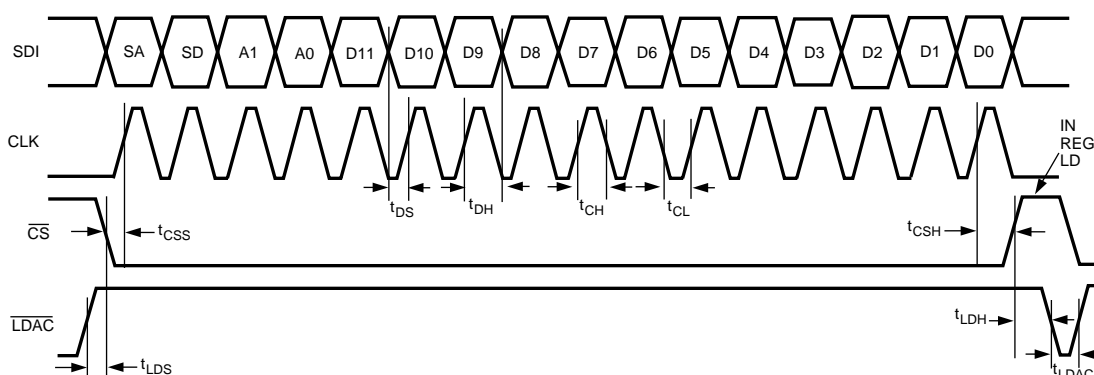


図2 AD7398タイミング図 (AD7399でSDI = 14ビットのみ)

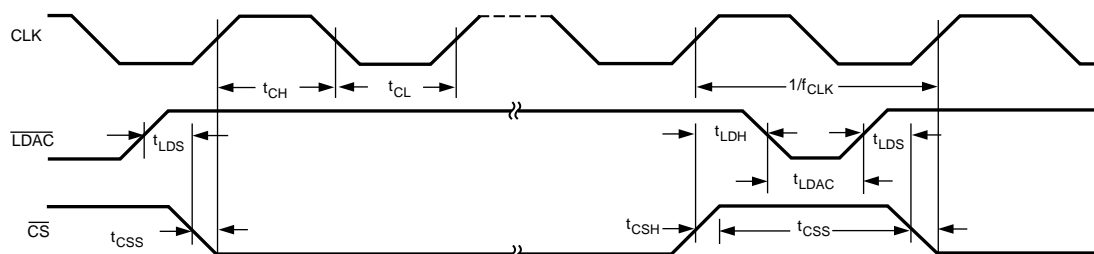


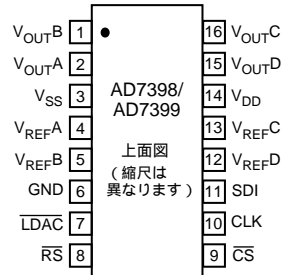
図3 連続クロック・タイミング図

## 注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお願いいたします。



## ピン配置



## ピン機能の説明

ピン番号	ピン記号	機能
1	V <sub>OUTB</sub>	DAC Bの電圧出力。
2	V <sub>OUTA</sub>	DAC Aの電圧出力。
3	V <sub>SS</sub>	負極性電源入力。0～5Vの動作範囲仕様。
4	V <sub>REFA</sub>	DAC Aのリファレンス入力端子。DAC Aをフルスケールの出力範囲に設定します。ピンはV <sub>DD</sub> またはV <sub>SS</sub> に接続できます。
5	V <sub>REFB</sub>	DAC Bのリファレンス入力端子。DAC Aをフルスケールの出力範囲に設定します。ピンはV <sub>DD</sub> またはV <sub>SS</sub> に接続できます。
6	GND	グラウンド・ピン。
7	LDAC	ロードDACレジスタのストローブで、レベル応答のアクティブ・ロー。すべての入力レジスタのデータをDACレジスタに転送します。非同期のアクティブ・ローの入力です。動作については制御ロジックの真理値表を参照してください。
8	RS	リセット入力であり、DACレジスタをすべて0のコードに設定します。シフト・レジスタの内容が変更されます。
9	CS	アクティブ・ロー入力のチップ・セレクト。ハイのときにシフト・レジスタのロードをディスエーブルにします。CSがハイに戻ると、シリアル・レジスタのデータを入力レジスタに転送します。LDACを動作させません。
10	CLK	シュミット・トリガーのクロック入力。正極性のエッジでデータをシフト・レジスタに入力します。
11	SDI	シリアル・データ入力。入力されたデータは、直接、シフト・レジスタにロードされます。
12	V <sub>REFD</sub>	DAC Dのリファレンス入力端子。DAC Dをフルスケールの出力範囲に設定します。ピンはV <sub>DD</sub> またはV <sub>SS</sub> に接続できます。
13	V <sub>REFC</sub>	DAC Cのリファレンス入力端子。DAC Cをフルスケールの出力範囲に設定します。ピンはV <sub>DD</sub> またはV <sub>SS</sub> に接続できます。
14	V <sub>DD</sub>	正極性の電源入力。3～5V ± 10%の動作範囲仕様。
15	V <sub>OUTD</sub>	DAC Dの電圧出力。
16	V <sub>OUTC</sub>	DAC Cの電圧出力。

# AD7398/AD7399

表Ⅰ 制御ロジック真理値表

CS	CLK	LDAC	シリアル・レジスタ機能	入力レジスタ機能	DACレジスタ
H	X	H	影響なし	影響なし	影響なし
L	L	H	影響なし	影響なし	影響なし
L	+	H	シフト・レジスタのデータを1ビット進める	ラッチ	ラッチ
L	H	H	影響なし	ラッチ	ラッチ
+	L/H	H	影響なし	SRの内容で更新	ラッチ
H	X	L	影響なし	ラッチ	透過
H	X	+	影響なし	ラッチ	ラッチ

注

1 +は正極性の遷移。 -は負極性の遷移。Xは任意。SRはシフト・レジスタ

2 パワーオンの時点では、入力レジスタおよびDACレジスタの双方がすべて0にロードされます。

3 パワー・シャットダウンの間、任意の内部レジスタを再プログラムできますが、部品がシャットダウン・モードから復帰するまで出力アンプは新しい値を生成しません。

4 LDAC入力はレベル応答の入力であり、4つのDACレジスタを制御します。

表Ⅱ AD7398シリアル入力レジスタのデータ・フォーマット、データはMSB先頭フォーマットでロードされます

ビット位置 AD7398	MSB																LSB
	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	
	SA	SD	A1	A0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	

注

ビット位置B14およびB15はパワー・シャットダウン制御ビットのSDおよびSAです。SAがロジック1に設定された場合には、すべてのDACがパワー・シャットダウン・モードとなります。SDがロジック1に設定された場合には、ビットB12およびB13（A0およびA1）によってデコードされたアドレスがパワー・シャットダウンとなるDACチャンネルを決定します。

表Ⅲ AD7399シリアル入力レジスタのデータ・フォーマット、データはMSB先頭フォーマットでロードされます

ビット位置 AD7399	MSB															LSB
	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0		
	SA	SD	A1	A0	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0		

注

ビット位置B12およびB13はパワー・シャットダウン制御ビットのSDおよびSAです。SAがロジック1に設定された場合には、すべてのDACがパワー・シャットダウン・モードとなります。SDがロジック1に設定された場合には、ビットB10およびB11（A0およびA1）によってデコードされたアドレスがパワー・シャットダウンとなるDACチャンネルを決定します。

表Ⅳ AD7398/AD7399 アドレス・デコード制御

SA	SD	A1	A0	影響を受けるDACチャンネル
1	X	X	X	すべてのDACがシャットダウン
0	1	0	0	DAC Aがシャットダウン
0	1	0	1	DAC Bがシャットダウン
0	1	1	0	DAC Cがシャットダウン
0	1	1	1	DAC Dがシャットダウン
0	0	0	0	DAC Aの入力レジスタをデコード
0	0	0	1	DAC Bの入力レジスタをデコード
0	0	1	0	DAC Cの入力レジスタをデコード
0	0	1	1	DAC Dの入力レジスタをデコード

## 用語説明

相対精度、INL (Integral Nonlinearity)

基本周波数(FFT解析により決定)の電力スペクトルが3dB低下するアナログ入力周波数。

微分非直線性、DNL (Differential Nonlinearity)

微分非直線性は、隣接する任意の2つのコードの理論的な1LSBの変化と、現実に測定された値の差です。積分非直線性を最大 $\pm 1$ LSBの仕様とすることにより単調性が保証されます。特性3に代表的なDNL対コードのプロットを示します。

ゼロスケール誤差、 $V_{ZSE}$

ゼロスケール誤差は、DACレジスタにゼロ・コードがロードされたときの、ゼロ電圧からの出力電圧の誤差を表す尺度です。

フルスケール誤差、 $V_{FSE}$

フルスケール誤差は、DACレジスタにフルスケール・コードがロードされたときの、フルスケール電圧からの出力電圧の誤差を表す尺度です。

フルスケール温度係数、 $TC_{VFS}$

温度の変化に伴うフルスケール誤差の変化を表す尺度です。ppm/ またはmVで表されます。

DACグリッチ・インパルス、Q

デジタル/アナログ・グリッチ・インパルスは、DACレジスタに入力されるコードの状態が変化したときに、アナログ

出力に注入されるインパルスです。通常は、nV-s領域として規定され、デジタル入力コードが大キャリアの遷移(ミッドスケール遷移)で1LSBだけ変化したときに測定されます。特性10にグリッチ・インパルスのプロットを示します。

デジタル・フィードスルー、 $Q_{DF}$

デジタル・フィードスルーは、DACのデジタル入力からDACのアナログ出力に注入されるインパルスを表す尺度ですが、DAC出力が更新されないときに測定されます。 $\overline{CS}$ はハイに保持され、CLKおよびSDIはトグル状態です。nV-sで規定され、データ・バスのフルスケールのコード変化、すなわち、すべて0からすべて1またはその逆で測定されます。特性11に、代表的なデジタル・フィードスルーのプロットを示します。

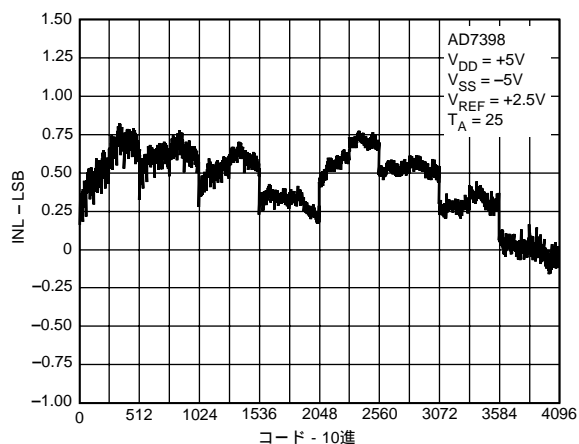
電源感度、PSS

電源電圧が変化した場合のDAC出力への影響を示します。電源感度は、DACのフルスケール出力に対する $V_{DD}$ の変化の%値における変化に対する出力の変化の%値として表されます。 $V_{DD}$ を $\pm 10\%$ 範囲で変化させます。

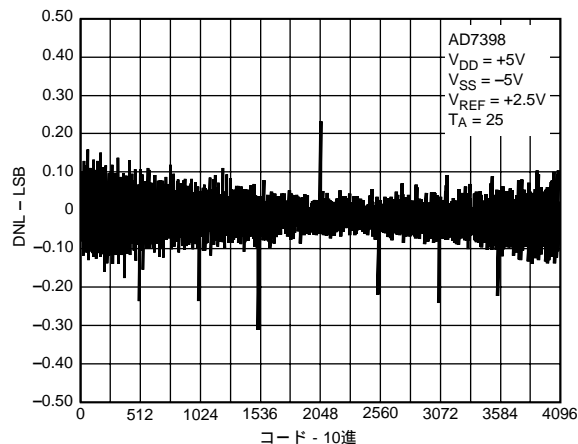
リファレンス・フィードスルー、 $V_{OUT}/V_{REF}$

DACがすべて0でロードされたときの $V_{REF}$ 入力からDAC出力へのフィードスルーを表す尺度です。100kHz、1Vp-pが $V_{REF}$ に与えられます。リファレンス・フィードスルーは、dBまたはmVp-pで表されます。

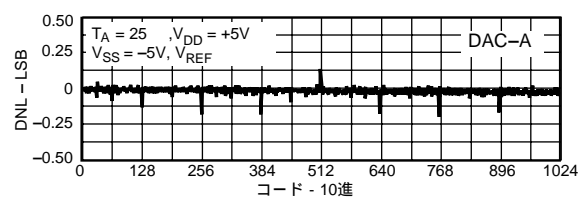
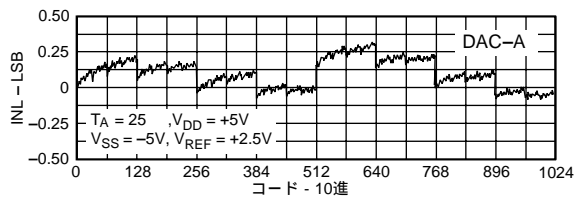
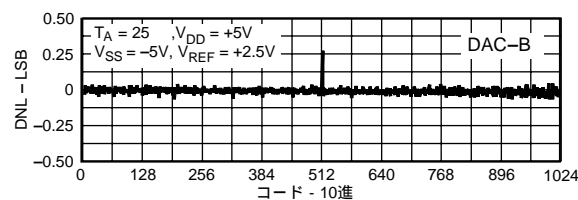
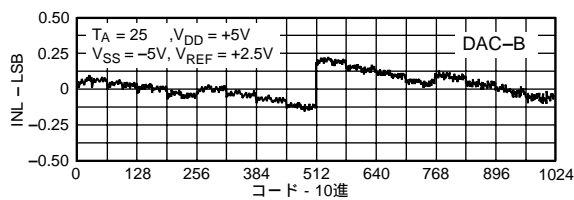
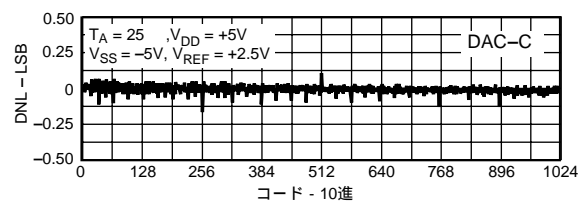
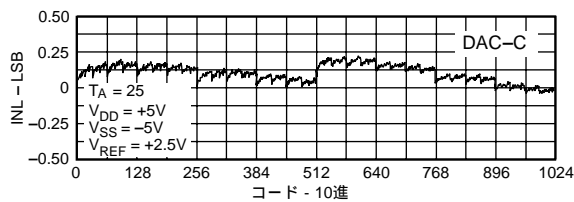
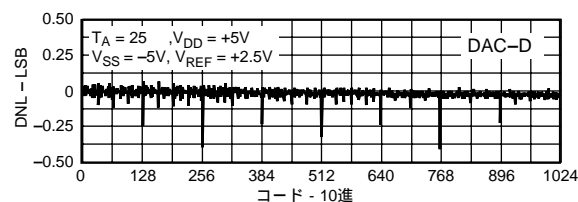
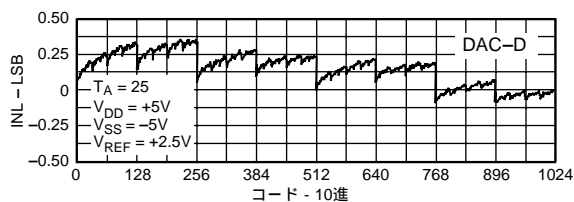
# AD7398/AD7399 代表的な性能特性



特性1 AD7398のINL 対 コード ( $T_A = 25$  )



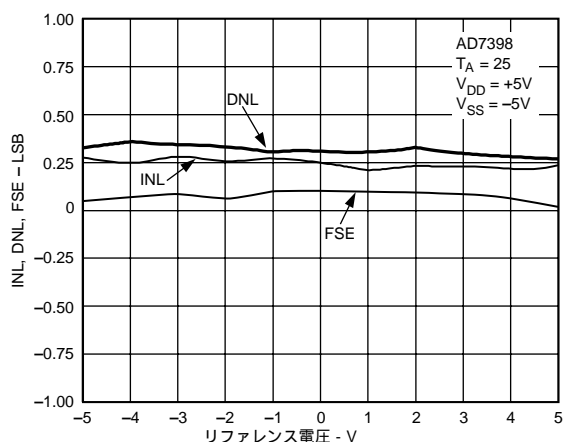
特性2 AD7399のINL 対 コード ( $T_A = 25$  )



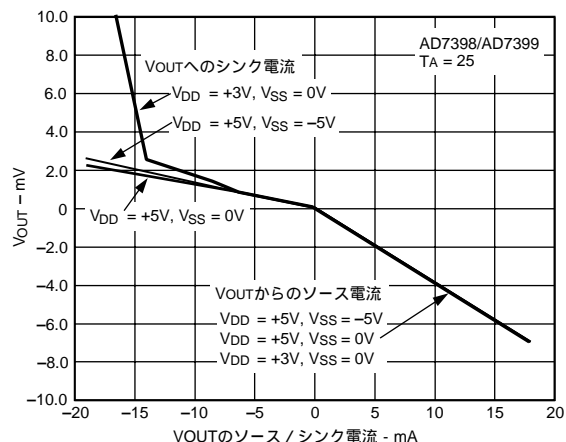
特性3 AD7398のDNL 対 コード ( $T_A = 25$  )

特性4 AD7399のDNL 対 コード ( $T_A = 25$  )

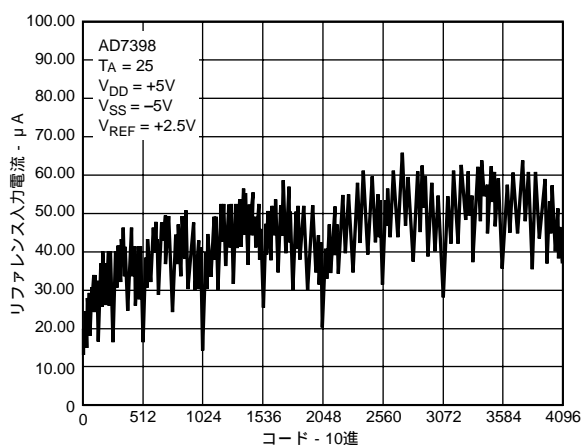




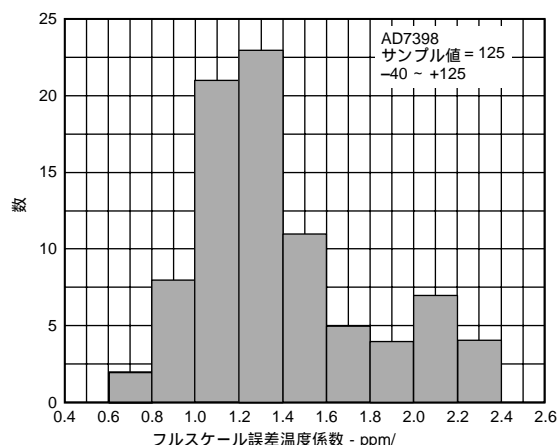
特性5 AD7398のINL、DNL、FSE 対 リファレンス電圧



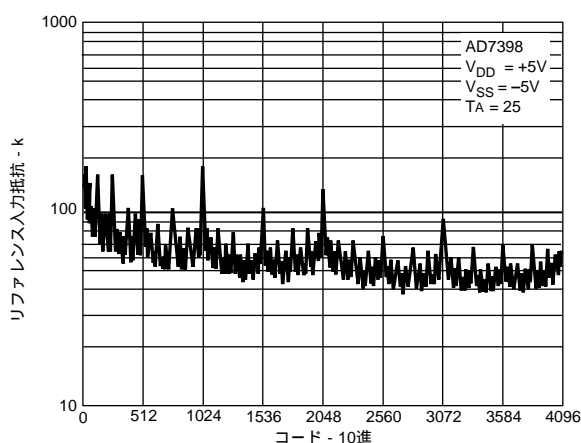
特性8  $V_{OUT}$  対 負荷電流



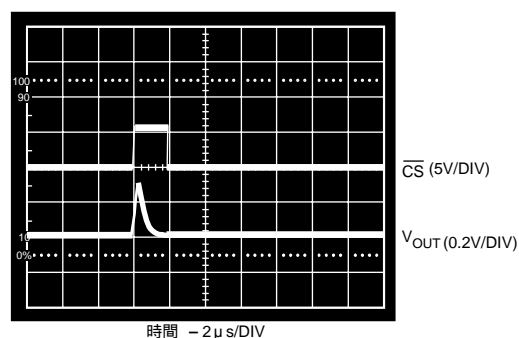
特性6 AD7398のリファレンス入力コード 対 コード



特性9 AD7398のフルスケール誤差温度係数

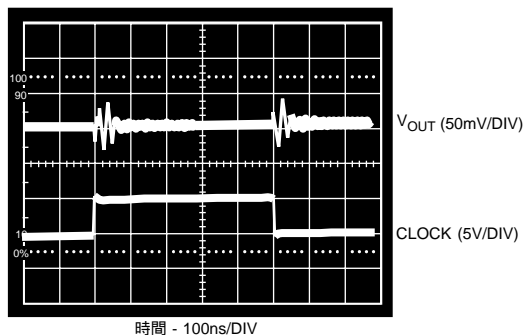


特性7 AD7398のリファレンス入力抵抗 対 コード

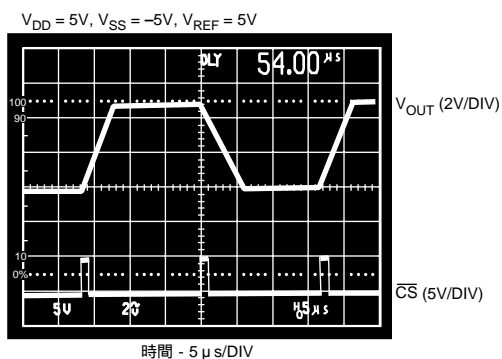


特性10 AD7398のミッドスケール・グリッチ

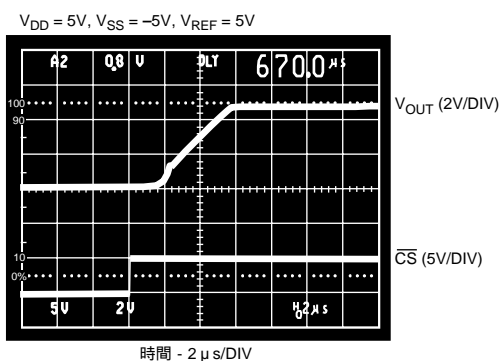
# AD7398/AD7399



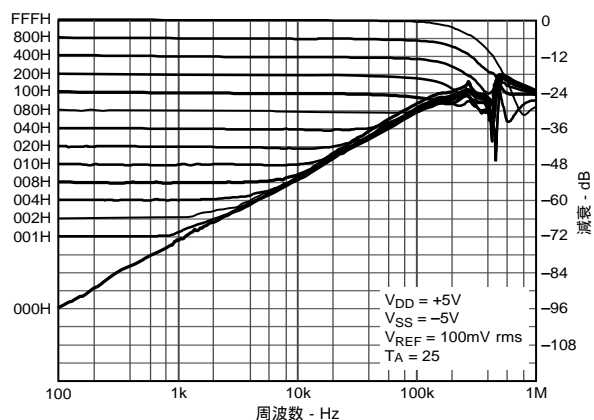
特性11 AD7398のデジタル・フィードスルー



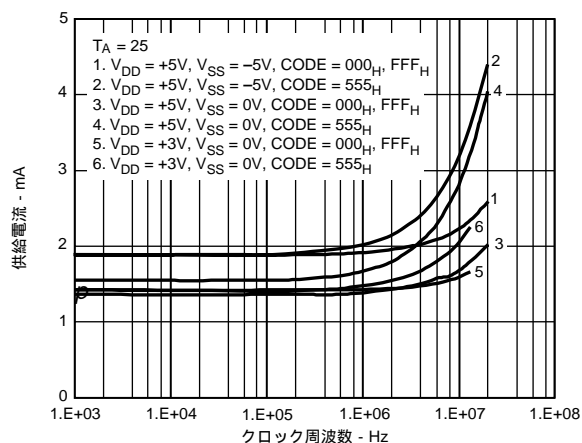
特性12 AD7398の大信号セトリング時間



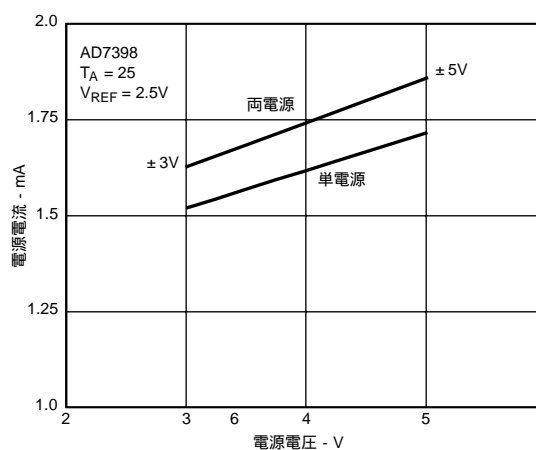
特性13 AD7398のシャットダウン・リカバリ



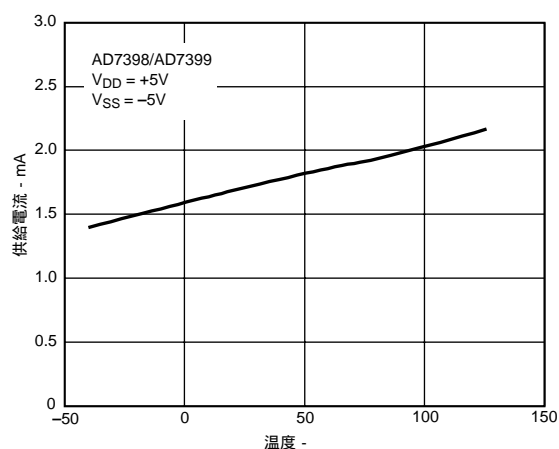
特性14 AD7398の乗算ゲイン 対 周波数



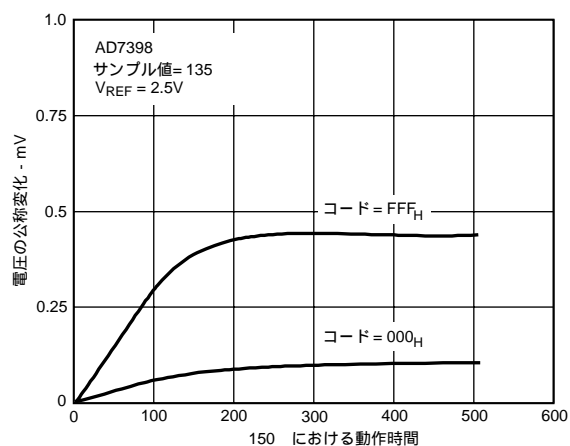
特性15 AD7398の電源電流 対 クロック周波数



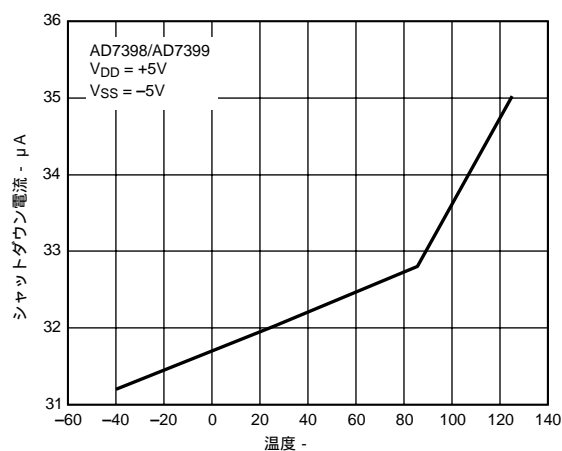
特性16 AD7398の供給電流 対 電源電圧



特性17 供給電流 対 温度



特性19 AD7398の長時間ドリフト



特性18 シャットダウン電流 対 温度

# AD7398/AD7399

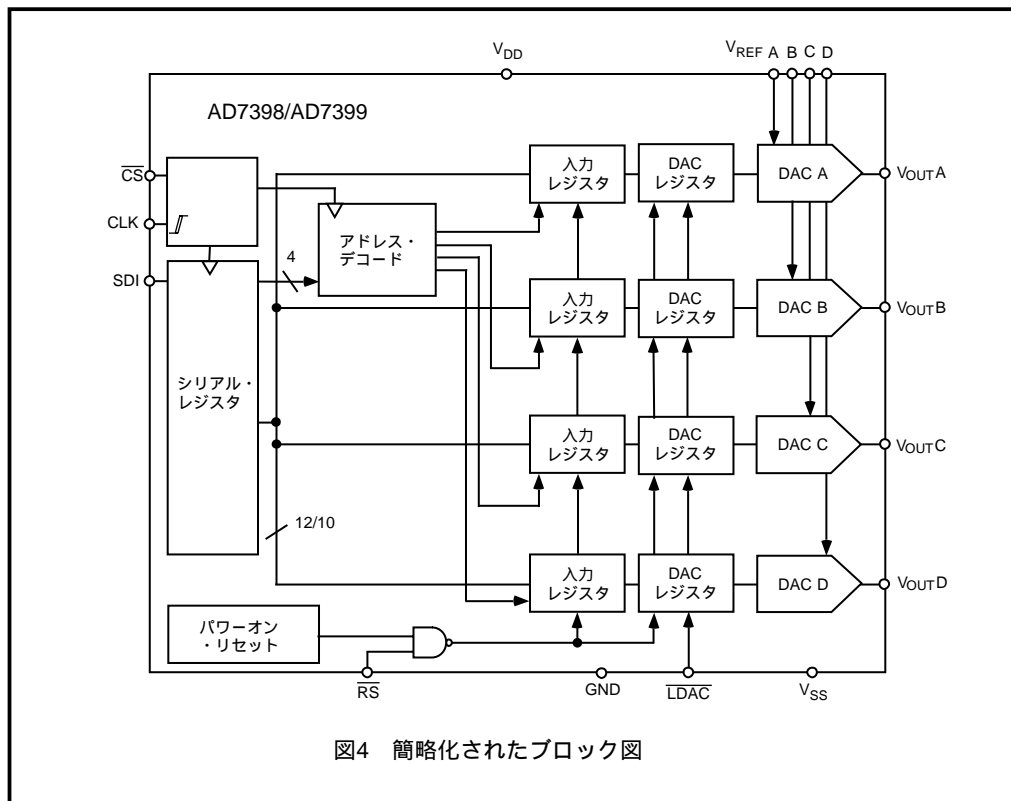


図4 簡略化されたブロック図

## 回路動作

AD7398/AD7399は、それぞれ、4つの12ビット(AD7398)および10ビット(AD7399)の電圧出力D/Aコンバータを備えています。各DACは、それぞれが独立した乗算リファレンス入力を持っています。両製品とも、ゼロスケール・リセットのためのRSピン付き3線式SPIコンパチブル・シリアル・データ・インターフェースを備えています。さらに、LDACのストロブにより、ハードウェアで同期化された出力電圧の変化に対して4チャンネルを同時更新できます。

$$V_{OUT} = V_{REF} \times \frac{D}{4096} \quad (\text{AD7398}) \quad (1)$$

$$V_{OUT} = V_{REF} \times \frac{D}{1024} \quad (\text{AD7399}) \quad (2)$$

ここで、Dは12ビットまたは10ビットのデータ・ワードを10進数で表したものです。V<sub>REF</sub>は、外部から与えられるリファレンス電圧です。

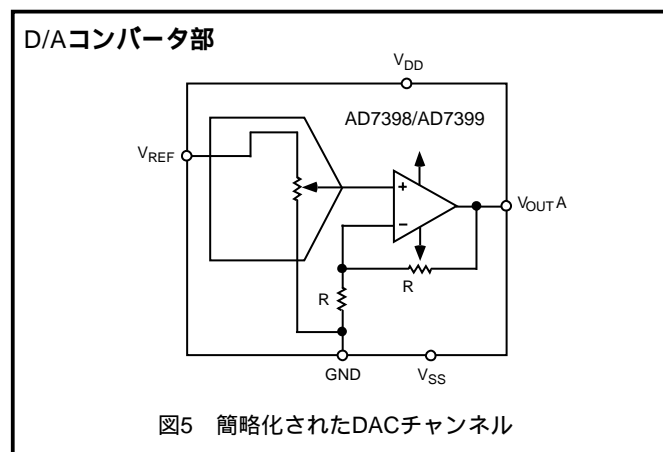


図5 簡略化されたDACチャンネル

## DAC動作

AD7398/AD7399の内部のR-2Rラダーは、入力リファレンス電圧と同じ極性の出力電圧を保持する電圧スイッチング・モードで動作します。専用のスケールング手法により、DACの入力リファレンス電圧を減衰させます。出力バッファ・アンプは、内部DAC出力を増幅してV<sub>REF</sub>からV<sub>OUT</sub>へのゲインをユニティとします。DACの公称出力電圧は、外部から与えられるV<sub>REF</sub>およびデジタル・データ D から以下のように算出されます。

良好なアナログ特性を確保するために、並列接続の0.01 μF (電源ピンの近くに実装) のセラミック・コンデンサと1 μFから10 μFのタンタル・コンデンサで電源をバイパスし、リップル電圧の低いクリーンな電源を使用してください。このアプリケーションにスイッチング電源も使用できますが、高いリップル電圧と周波数に依存するPSS特性に配慮する必要があります。また、AD7398/AD7399の電源は、アナログ電源電圧から得ることが最善といえます(5Vのデジタル電源は用いないでください)。

リファレンスの入力抵抗はコードに依存し、AD7398では交差するコード010101010101がDACにロードされるワースト・ケースに対して35k となります。同様に、AD7399では、0101010101がDACにロードされたときに40k となります。

## V<sub>REF</sub>を電源と同じに設定した場合の動作

AD7398/AD7399は、グラウンドからV<sub>DD</sub>またはV<sub>SS</sub>までの全範囲にわたる出力電圧のスイングを得られるように設計されています。最大の出力スイングは、対応するV<sub>REF</sub>入力ピンが同じ電源に接続されているときに得られます。この電源は低ノイズおよび低リップルであることが必要で、ADR292およびREF02など適切なリファレンス電圧ソースを使用するのが望まれます。出力スイングは、内部バッファのオフセット電圧および出力段の出力ドライブ電流容量によって制限されます。出力電圧に最も近い出力電圧によって無負荷の状態で両方の電源に到達できるため、少なくともV<sub>ZSE</sub> オフセット電圧を設定

する必要があります。負荷のある出力では、1mAの負荷電流あたり2mVの割合でヘッドルームが減少します。また、内部DACの電圧が出力バッファのオフセット電圧を超えるまで、AD7398の最初の8つのビットが電源電圧またはグラウンドにおいて応答しないように、内部のオペアンプはオフセット電圧を持っていなければならない点に注意してください。同様に、AD7399の最初の2つのビットは使用しないください。

## 電源のシーケンス処理

AD7398/AD7399の $V_{DD}/V_{SS}$ は、システムのアナログ電源から電源を供給されます。さらに、外部リファレンスの $V_{IN}$ も同じ電源を供給する必要があります。このような手法により、リファレンスが $V_{DD}/V_{SS}$ より先にパワーオンされたとき、または、 $V_{DD}/V_{SS}$ の後にパワーオフされた時のラッチアップ発生を防止できます。 $V_{DD}/V_{SS}$ および $V_{REF}$ が分離された電源ソースである場合には、 $V_{DD}/V_{SS}$ を $V_{REF}$ の前にパワーオンし、 $V_{REF}$ の後でパワーオフしてください。さらに、使用されないDACの $V_{REF}$ ピンはGNDまたは同じ電源ソースに接続して同様なパワーアップ/ダウンのシーケンスを実現してください。

## プログラマブルなパワー・シャットダウン

シリアル入力レジスタの2つのMSBであるSAおよびSDは、多様なシャットダウン・モードをプログラムするために用いられます。SAがロジック1に設定された場合には、全DACがシャットダウン・モードとなります。SA=0およびSD=1の場合には、ビットA0およびA1がアドレス指定する、対応するDACがシャットダウンされます。表II～IVを参照してください。

## 最悪ケースにおける精度

リファレンスが完全であると仮定すると、ワースト・ケースの出力電圧は次式により算出されます。

$$V_{OUT} = \frac{D}{2^N} \times (V_{REF} + V_{FSE}) + V_{ZSE} + INL \quad (3)$$

ここで、

- Dは、DACにロードされる10進のコードで0  $\leq D < 2^N - 1$ の範囲、
- Nは、ビット数
- $V_{REF}$ は、与えられるリファレンス電圧
- $V_{FSE}$ は、フルスケール誤差 (V)
- $V_{ZSE}$ は、ゼロスケール誤差 (V)
- INLは、積分非直線性で、フルスケールまたはゼロスケールで0となっています。

## シリアル・データ・インターフェース

AD7398/AD7399は、3線式 ( $\overline{CS}$ 、SDI、CLK) SPIコンパチブルのシリアル・データ・インターフェースです。シリアル・データは、16ビット (AD7398) および14ビット (AD7399) のデータ・ワード・フォーマットでシリアル入力レジスタにクロック入力されます。ロードは、MSB先頭です。表IIIに、AD7398の16ビットのデータ・ワードの定義を示します。表IIIは、AD7399の14ビットのデータ・ワードを定義します。データは、SDIピンに与えられ、インターフェース・タイミング仕様に規定するデータ・セットアップおよびデータ・ホールド時間の要求事項に従ったCLKの正極性のエッジによって、レジスタにクロック入力されます。データは、チップ・セレクト $\overline{CS}$ がアクティブ・ローのときにのみクロック入力されます。AD7398では、シリアル・レジスタに入力される最後の16ビットのみが、 $\overline{CS}$ がロジック・ハイの状態に戻るときに転送され、残りのビットは無視されます。AD7399では、シリアル・レジスタに入力される最後の14ビットのみが、 $\overline{CS}$ がロジック・ハイの状態に戻るときに転送され、残りのビットは無視されます。大部分のマイクロコントローラの出力シリアル・データは1バイトあたり8ビットなの

で、AD7398およびAD7399には右詰めされた2つのデータ・バイトが書き込まれます。1番目および2番目のバイト転送の間で $\overline{CS}$ ラインをローに保持することにより、シリアル・レジスタの更新が確実に行われます。

データがシフト・レジスタの中で適正に配置されると、 $\overline{CS}$ の正極性のエッジにより、アドレスビットであるA1およびA0をデコードして、決定されるターゲットのDACレジスタへの新しいデータの転送が開始されます。AD7398については、表I、II、IVおよび図2、3で、ソフトウェア・シリアル・インターフェースの特性が定義されています。AD7399については、表I、III、IVおよび図3 (例外として14ビット) で、ソフトウェア・シリアル・インターフェースの特性が定義されています。図6、7に、AD7398/AD7399のキー・デジタル制御ピンの等価ロジック・インターフェースを示します。

非同期のRSにより、プリセット機能によるゼロコード状態へのリセットおよびDACレジスタのロード動作へのハードウェア制御によるリセットが得られます。この機能が必要とされない場合には、RSピンをロジック・ハイに接続してけます。

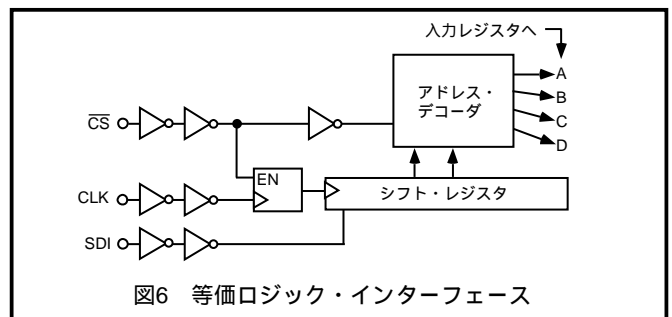


図6 等価ロジック・インターフェース

## パワーオン・リセット

電源 $V_{DD}$ がオンにされたときに、内部のストロープにより、すべての入力およびDACレジスタが強制的にゼロ・コード状態になります。電源 $V_{DD}$ は矛盾しない結果を得るために、特に $V_{DD} = 1.5 \sim 2.2V$ の範囲においてドリフトのないスムーズな正極性の傾斜を持つ必要があります。電源 $V_{SS}$ は、パワーオン・リセット動作に影響を与えません。DACレジスタのデータは、有効なシリアル・レジスタへのロードが行われるまで0の状態となります。

## ESD保護回路

すべての入力ピンは、逆バイアスされたESD保護ツェナー・ダイオードを備え、図7のようにグラウンド (GND) および $V_{DD}$ に接続されています。

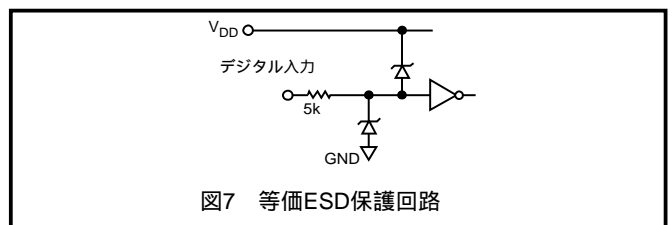


図7 等価ESD保護回路

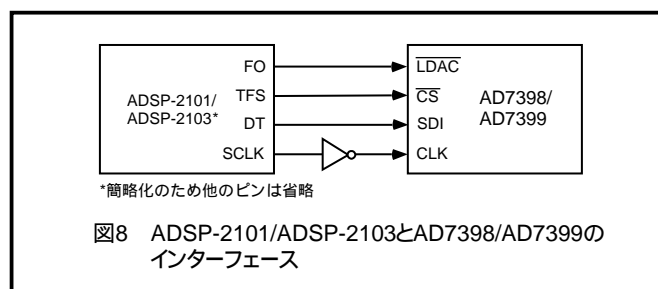
## マイクロプロセッサとのインターフェース

マイクロプロセッサからAD7398/AD7399へのインターフェースは、DSPプロセッサおよびマイクロコントローラに対してコンパチブルの、標準的なプロトコルを用いたシリアル・バス経由で行われます。この通信チャンネルは、クロック信号、データ信号、同期信号からなる3線式インターフェースが必要です。AD7398/AD7399には、CLKの立ち上がりエッジで有効となる16/14ビットのデータ・ワードが必要です。DACの更新は、すべてのデータがクロック入力されたときに自動的に行われ、また、LDACの制御により行われます。

# AD7398/AD7399

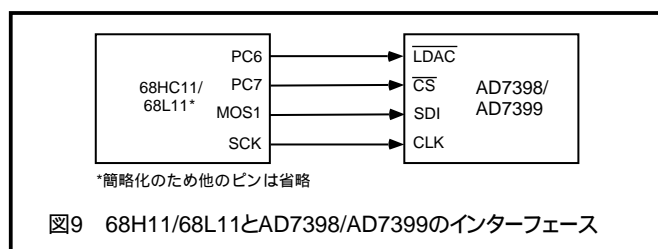
ADSP-2101/ADSP-2103からAD7398/AD7399へのインターフェース

図8に、AD7398/AD7399とADSP-2101/ADSP-2103間のシリアル・インターフェースを示します。ADSP-2101/ADSP-2103は、SPORT (シリアル・ポート) 送信交番フレーミング・モード動作に設定されます。ADSP-2101/ADSP-2103は、SPORT制御レジスタ経由でプログラムされ、内部クロック動作、アクティブ・ロー・フレーミング、ワード長16ビットに設定してください。AD7398では、SPORTがイネーブルにされた後にTxレジスタへ1つのワードを書き込むことにより送信が開始されます。AD7399では、最後の14ビットを保持するため、最初の2ビットは任意です。同様に、SPORTがイネーブルにされた後にTxレジスタへ1つのワードを書き込むことにより送信が開始されます。エッジ・トリガーが異なるので、DSPとDAC間のSCLKにインバータが必要です。



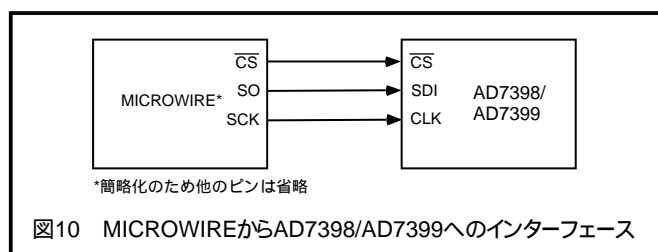
68HC11からAD7398/AD7399へのインターフェース

図9に、AD7398/AD7399とマイクロプロセッサ68HCのシリアル・インターフェースを示します。68HC11のSCKがDACのCLKをドライブし、MOSI出力がシリアル・データ・ラインをドライブします。CS信号は、ポート・ラインのうちの1つからドライブされます。68HC11は、MSTR = 1、CPOL = 0、CPHA = 0としてマスター・モードに設定されます。MOSI出力に現われるデータは、SCKの立ち上がりエッジで有効となります。



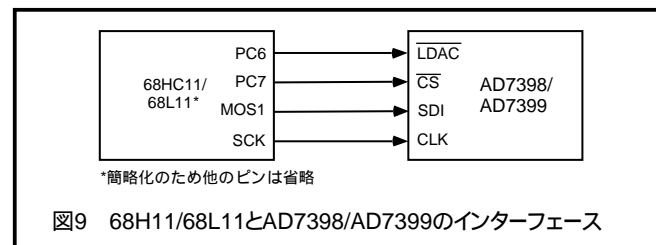
MICROWIREからAD7398/AD7399へのインターフェース

図10に、AD7398/AD7399とMICROWIREコンパチブルのデバイスとのインターフェースを示します。シリアル・データは、シリアル・クロックの立ち下りエッジでシフト出力され、シリアル・クロックの立ち上がりエッジでAD7398/AD7399に入力されます。DACは、立ち上がりエッジで入力シフト・レジスタにデータをクロック入力するため、ロジック回路の追加は不要です。



80C51/80L51とAD7398/AD7399のインターフェース

図11に、AD7398/AD7399とマイクロコントローラ80C51/80L51のインターフェースを示します。マイクロコントローラのTxDがAD7398/AD7399のCLKをドライブし、RxDがDACのシリアル・データ・ラインをドライブします。P3.3はシリアル・ポート上のビット・プログラマブルなピンであり、CSをドライブするために使用されます。



80C51/80L51がLSB先頭に対応するのにに対し、AD7398/AD7399は16/14ビットのワードについてMSB先頭を想定していることに注意してください。送信ルーティンでは対応する配慮が必要です。殆どの場合にはシフト出力し、これをDACに入力する前に正しいビット順序で保存するソフトウェアを用いて行われます。さらに、80C51は2バイト・ワードで16ビットのデータを出力するため、AD7399の場合、再配置後の最初の2ビットは任意となります。これは、AD7399の14ビット・ワードから切り捨てられるためです。DACにデータが送信される時に、P3.3はローとされます。RxDのデータはTxDの立ち下りエッジで有効となるので、DACはシリアル・クロックの立ち上がりエッジでデータを入力シフト・レジスタにクロック入力するので、クロックを反転させてください。80C51/80L51は、送信サイクルの中で生成されるわずか8つのクロックの立ち下りエッジで、データを8ビットのバイトとして送信します。AD7399は14ビットのワードを要するので、P3.3または他の任意のプログラマブルなピンはDACへの入力信号CSであり、P3.3は16ビットの書き込みサイクル、2x8ビット・ワードの最初でローにし、16ビット、2x8サイクルが完了するまでローに保持する必要があります。次に、P3.3は再びハイになり、新しいデータがDACにロードされます。ここでも、再配置後の最初の2ビットは任意となります。また、AD7398/AD7399のLDACを他のビット・プログラマブルなピンであるP3.4経由で、80C51/80L51のシリアル・ポート出力によっても制御できます。

アプリケーション

ステアケース・ウインドウ・コンパレータ

多くのアプリケーションでは、電圧レベルが予め決定された範囲にあるかどうかを判断する必要があります。いくつかの要求事項はオーバーラップしないウインドウについてのものであり、また、他の要求事項はオーバーラップしたウインドウについてのものです。両方の回路の設定を、それぞれ図12、13に示します。

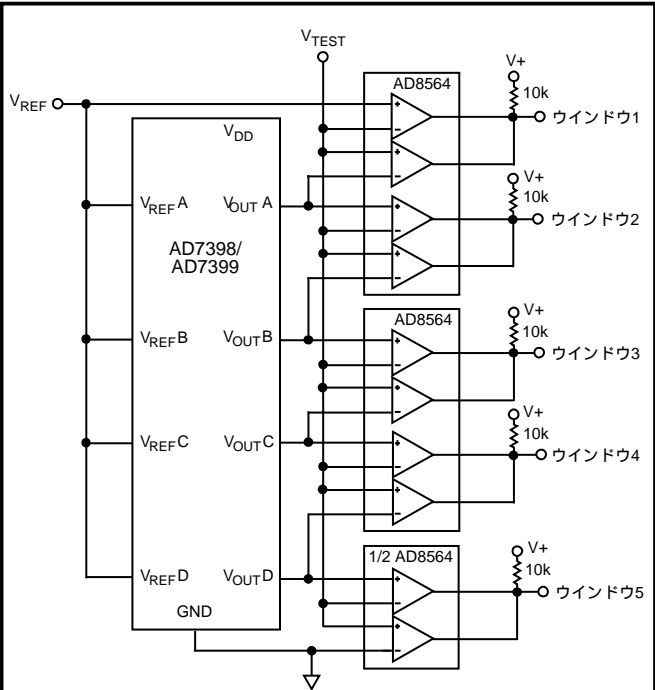


図12 オーバーラップしないウインドウについてのコンパレータ

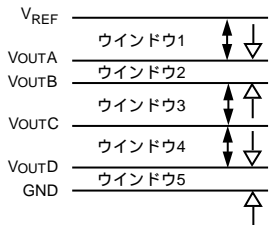


図13 オーバーラップしないウインドウの範囲

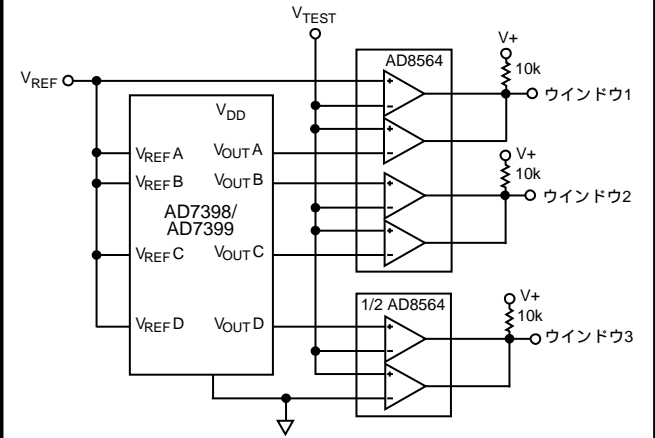


図14 オーバーラップしたウインドウについてのコンパレータ

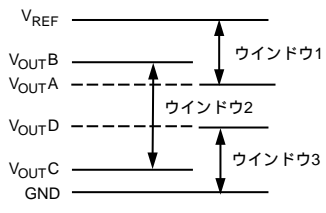


図15 オーバーラップするウインドウの範囲

オーバーラップなしの回路では、1つのAD7398/AD7399を用いて、10のコンパレータによって5つの電圧ウインドウを構成します。これらのウインドウは、図13に示すようなVREFとアナログ・グラウンドの間の範囲となります。同様に、オーバーラップのある回路では、6つのコンパレータを用いて、図15に示すような3つのオーバーラップしたウインドウを構成します。

プログラマブルなDACリファレンス電圧

AD7398/AD7399の柔軟性により、内部DACのうちの1つを用いて残りの他のDACに共通するプログラマブルなVREFXを制御できます。

図16に、回路の設定を示します。VREFXのVREFに対する関係は、デジタル・コードおよびR1とR2の比により決定され、以下の式により算出されます。

$$V_{REFX} = V_{REF} \times \left(1 + \frac{R2}{R1}\right) - V_{REFX} \times \frac{D}{2^N} \times \frac{R2}{R1} \quad (5)$$

$$V_{REFX} = \frac{V_{REF} \times \left(1 + \frac{R2}{R1}\right)}{\left(1 + \frac{D}{2^N} \times \frac{R2}{R1}\right)} \quad (6)$$

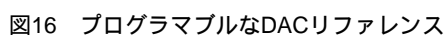
ここで、Dは、入力コードを10進数で表したものであり、VREFは、与えられる外部リファレンスであり、VREFXは、DAC AからDAC Dのリファレンス電圧です。

表V VREFX 対 R1およびR2

R1、R2	デジタル・コード	VREFX
R1 = R2	0000 0000 0000	2VREF
R1 = R2	1000 0000 0000	1.3VREF
R1 = R2	1111 1111 1111	VREF
R1 = 3R2	0000 0000 0000	4VREF
R1 = 3R2	1000 0000 0000	1.6VREF
R1 = 3R2	1111 1111 1111	VREF

VREFXの精度は、R1およびR2の品質による影響を受けるため、誤差が少なく温度係数の低い薄型フィルム抵抗を使用する必要があります。

## TDS01/2001/1000



サイズはインチと( mm )で示します

Figure 1: Dimensions of the package. The diagram shows a top view and a side view of a rectangular package. The top view includes dimensions for pin pitch (0.201 (5.10) and 0.193 (4.90)), pin width (0.006 (0.15) and 0.002 (0.05)), pin spacing (0.0256 (0.65) and 0.0118 (0.30)), and pin height (0.0433 (1.10) MAX). The side view shows package height (0.177 (4.50) and 0.169 (4.30)), pin height (0.256 (6.50) and 0.246 (6.25)), and lead angle (8° and 0°). The package is labeled with pin numbers 1, 8, 9, and 16.