

特長

- 16ビットA/Dコンバータを6個内蔵
- プログラマブルな入力サンプル・レート
- 同時サンプリング
- S/N比：76dB
- 最大サンプル・レート：64kS/s
- クロストーク：-83dB
- 小さい群遅延 各ADCチャンネルで25 μ s Typ)
- プログラマブルな入力ゲイン
- 複数のデバイスをカスケード接続できるフレキシブルなシリアル・ポート
- +2.7~+5.5V単電源動作
- 最大消費電力80mW(+2.7V)
- リファレンス内蔵
- 28ピンSOIC、44ピンTQFPパッケージ

アプリケーション

- 汎用アナログ入力
- 工業用電力検針
- モーター・コントロール
- 同時サンプリング・アプリケーション

概要

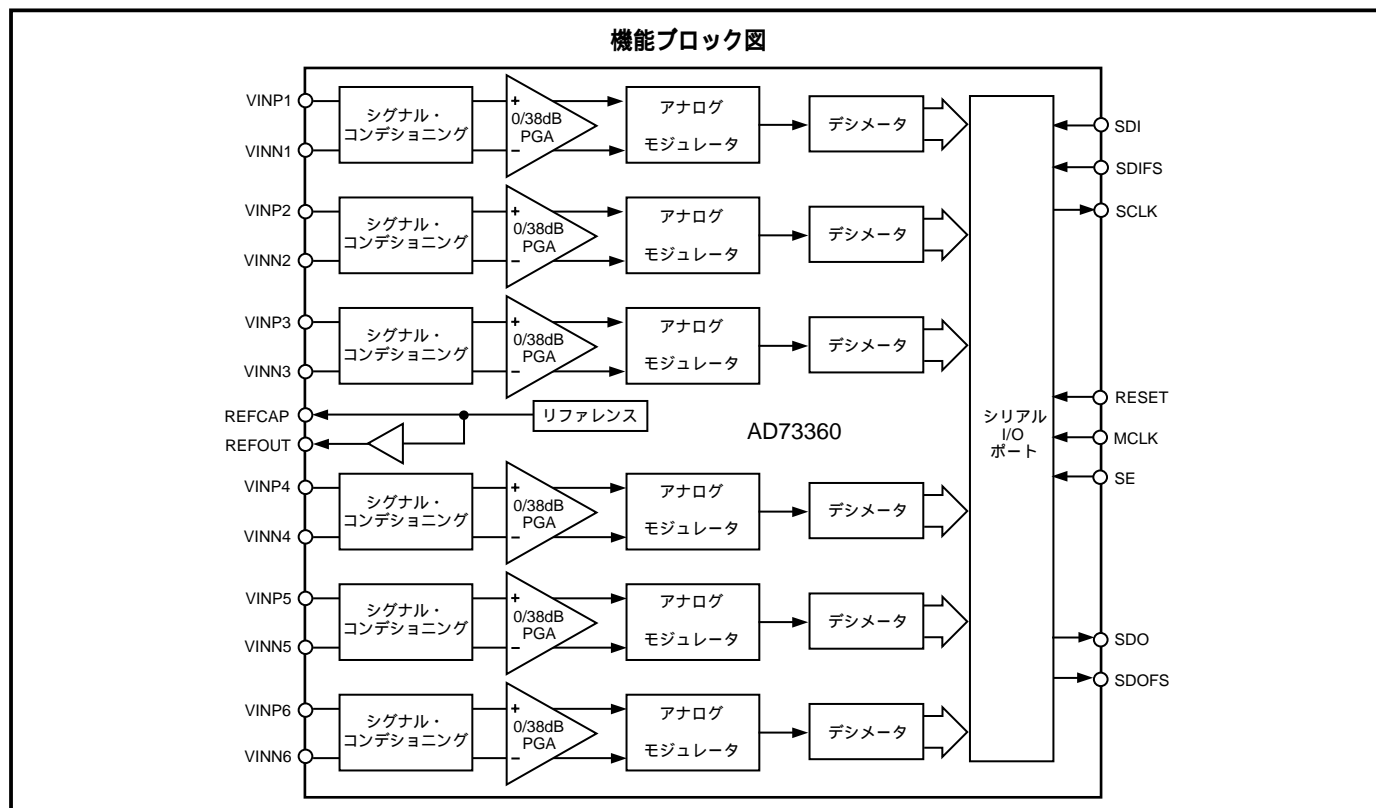
AD73360は、工業用電力検針や多チャンネル・アナログ入力など汎用アプリケーション向けの、6チャンネル入力のアナログ・フロントエンド・プロセッサです。6個の16ビットA/Dコンバータ・チャンネルを内蔵し、各変換チャンネルは音声信号帯域で76dBのS/N比を備えています。各チャンネルは、0~38dB範囲で8段階にプログラマブルな入力ゲイン・アンプ(PGA)を内蔵しています。

各チャンネルが同期サンプルを行うために、各変換の間に(位相)遅延が生じないAD73360は、特に工業用電力検針に最適です。また、AD73360は、全チャンネルで群遅延の小さい変換を特長としています。リファレンスを内蔵しており、3V、または5V動作の選択が可能です。

AD73360のサンプリング・レートは、64kHz、32kHz、16kHz、8kHzに設定できます(マスター・クロック16.384MHzの場合)。

シリアル・ポート(SPORT)を用いて、1個またはカスケード接続された複数のデバイスを業界標準のDSPエンジンに容易にインターフェースできます。SPORTの転送レートは、高速と低速両方のDSPエンジンに合わせてインターフェースするように設定できます。

AD73360は28ピンSOIC、44ピンTQFPパッケージを採用しています。



アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

REV.0

AD73360 仕様¹

(特に指定のない限り、AVDD = +3V ± 10%、DVDD = +3V ± 10%、DGND = AGND = 0V、 $f_{MCLK} = 16.384\text{MHz}$ 、 $f_{SCLK} = 8.192\text{MHz}$ 、 $f_s = 8\text{kHz}$ ； $T_A = T_{MIN} \sim T_{MAX}$)

| パラメータ | AD73360A | | | 単位 | テスト条件 / 備考 |
|---|----------|-----------------------|-----------------|----------------------|---|
| | Min | Typ | Max | | |
| リファレンス | | | | | |
| REFCAP | | | | | |
| 絶対電圧、 V_{REFCAP} | 1.125 | 1.25 | 1.375 | V | 5VEN = 0 |
| REFCAP TC | | 50 | | ppm/ | REFCAPとAGND2の間に0.1μFのコンデンサが必要 |
| REFOUT | | | | | |
| 出力インピーダンス(Typ) | | 130 | | | |
| 絶対電圧、 V_{REFOUT} | 1.123 | 1.25 | 1.375 | V | 無負荷 |
| 最小負荷抵抗 | 1 | | | k | |
| 最大負荷容量 | | | 100 | pF | |
| ADC仕様 | | | | | |
| VINでの最大入力範囲 ^{2, 3} | | | 1.578 - 2.85 | Vp-p dBm | 5VEN = 0、差動で測定 |
| VINでの公称リファレンス値 (0dBm0) | | 1.0954 - 6.02 | | Vp-p dBm | 5VEN = 0、差動で測定 |
| 絶対ゲイン | | | | | |
| PGA = 0dB | - 0.8 | | + 0.8 | dB | 1.0kHz |
| PGA = 38dB | - 0.8 | | + 0.8 | dB | 1.0kHz |
| ゲイン・トラッキング誤差 | | ± 0.1 | | dB | 1.0kHz、+ 3 ~ - 50dBm0 |
| 信号対ノイズ + 歪み比 | | | | | |
| PGA = 0dB | 73 | 77 | | dB | 0Hz ~ $f_s/2$ 、 $f_s = 8\text{kHz}$ |
| PGA = 38dB | | 62 | | dB | 0 ~ 4kHz、 $f_s = 64\text{kHz}$ |
| 総高調波歪み | | | | | |
| PGA = 0dB | | - 83 | - 76 | dB | |
| PGA = 38dB | | - 70 | | dB | |
| 相互変調歪み | | - 76 | | dB | PGA = 0dB |
| アイドル・チャンネル・ノイズ | | - 70 | | dB | PGA = 0dB |
| ADC間クロストーク | | - 83 | | dB | ADC1入力信号レベル：1.0kHz、 ADC2入力：アイドル |
| DCオフセット | - 30 | + 10 | + 45 | mV | PGA = 0dB |
| 電源除去比 | | - 55 | | dB | AVDD、DVDDピンの入力信号レベル：1.0kHzの 100mVp-pサイン波 |
| 群遅延 ^{4, 5} | | 25 50 95 190 | | μs μs μs μs | 出力サンプル・レート64kHz 出力サンプル・レート32kHz 出力サンプル・レート16kHz 出力サンプル・レート8kHz |
| VINでの入力抵抗 ^{2, 4} | | 25 | | k ⁶ | DMCLK = 16.384MHz |
| 周波数応答 (ADC)出力(Typ) 周波数(f_s で正規化) | | | | | |
| 0 | | 0 | | dB | |
| 0.03125 | | - 0.1 | | dB | |
| 0.0625 | | - 0.25 | | dB | |
| 0.125 | | - 0.6 | | dB | |
| 0.1875 | | - 1.4 | | dB | |
| 0.25 | | - 2.8 | | dB | |
| 0.3125 | | - 4.5 | | dB | |
| 0.375 | | - 7.0 | | dB | |
| 0.4375 | | - 9.5 | | dB | |
| > 0.5 | | < - 12.5 | | dB | |

| パラメータ | AD73360A | | | 単位 | テスト条件 / 備考 |
|------------------|----------------|-----|----------|---------|--------------------|
| | Min | Typ | Max | | |
| ロジック入力 | | | | | |
| V_{INH} 入力ハイ電圧 | $V_{DD} - 0.8$ | | V_{DD} | V | |
| V_{INL} 入力ロー電圧 | 0 | | 0.8 | V | |
| I_{IH} 入力電流 | | | 10 | μA | |
| C_{IN} 入力容量 | | | 10 | pF | |
| ロジック出力 | | | | | |
| V_{OH} 出力ハイ電圧 | $V_{DD} - 0.4$ | | V_{DD} | V | IOUT 100 μA |
| V_{OL} 出力ロー電圧 | 0 | | 0.4 | V | IOUT 100 μA |
| スリー・ステート・リーク電流 | - 10 | | + 10 | μA | |
| 電源 | | | | | |
| AVDD1、AVDD2 | 2.7 | | 3.3 | V | |
| DVDD | 2.7 | | 3.3 | V | |
| I_{DD}^8 | | | | | 表I参照 |

- 注
- 動作温度範囲 - 40 ~ + 85 に従って、 $T_{MIN} = - 40$ 、 $T_{MAX} = + 85$ とします。
 - テスト条件：入力PGA = 0dBゲインに設定(特に指定のない場合)。
 - ADCのモジュレータに対する入力での測定。
 - 設計により保証。
 - 全体の群遅延は、サンプル・レートと外部デジタル・フィルタ処理に影響されます。
 - ADCの入ラインピーダンスはDMCLKに反比例し、 $(4 \times 10^{11}) / DMCLK$ に近似します。
 - ADCとDACの周波数応答は、入力をオーディオ・リファレンス・レベル(出力レベル - 10dBm0を発生する入力レベル)に設定し、38dBのプリアンプをバイパスし、入力ゲイン0dBで測定。
 - テスト条件：デジタル入力は無負荷、アナログ入力をグラウンドにAC結合。

仕様は予告無く変更されることがあります。

表I. 電流 (AVDD = DVDD = + 3.3V)

| 条件 | アナログ電流 | デジタル電流 | 合計電流 (Max) | SE | MCLKオン | 備考 |
|-------------------|--------|--------|------------|----|--------|--------------------------|
| ADCのみオン | 12 | 10 | 26.5 | 1 | | REFOUTをディスエーブル |
| REFCAPのみオン | 0.75 | 0.04 | 1.0 | 0 | × | REFOUTをディスエーブル |
| REFCAPとREFOUTのみオン | 3.3 | 0.04 | 4.5 | 0 | × | |
| 全部をオフ | 0.01 | 1.2 | 1.5 | 0 | | MCLKアクティブ・レベルを0VとDVDDに設定 |
| 全部をオフ | 0.01 | 0.03 | 0.1 | 0 | × | デジタル入力は固定で0VまたはDVDDに設定 |

特に指定のない限り、上記はmA単位でtyp値、MCLK = 16.384MHz、SCLK = 16.384MHzです。

AD73360 仕様1

(特に指定のない限り、AVDD = +5V ± 10%、DVDD = +5V ± 10%、DGND = AGND = 0V、 $f_{MCLK} = 16.384\text{MHz}$ 、 $f_{SCLK} = 8.192\text{MHz}$ 、 $f_s = 8\text{kHz}$ ； $T_A = T_{MIN} \sim T_{MAX}$)

| パラメータ | AD73360A | | | 単位 | テスト条件 / 備考 |
|-----------------------------|----------|----------|-----|----------------|---|
| | Min | Typ | Max | | |
| リファレンス | | | | | |
| REFCAP | | | | | |
| 絶対電圧、 V_{REFCAP} | | 1.25 | | V | 5VEN = 0 |
| | | 2.5 | | V | 5VEN = 1 |
| REFCAP TC | | 50 | | ppm/ | REFCAPとAGND2の間に0.1 μ Fのコンデンサが必要 |
| REFOUT | | | | | |
| 出力インピーダンス (Typ) | | 130 | | | |
| 絶対電圧、 V_{REFOUT} | | 1.25 | | V | 5VEN = 0、無負荷 |
| | | 2.5 | | V | 5VEN = 1、無負荷 |
| 最小負荷抵抗 | 2 | | | k | 5VEN = 1 |
| 最大負荷容量 | | | 100 | pF | |
| ADC仕様 | | | | | |
| VINでの最大入力範囲 ^{2, 3} | | 3.156 | | Vp-p | 5VEN = 1、差動で測定 |
| | | 3.17 | | dBm | |
| VINでの公称リファレンス値 (0dBm0) | | 2.1908 | | Vp-p | 5VEN = 1、差動で測定 |
| | | 0 | | dBm | |
| 絶対ゲイン | | | | | |
| PGA = 0dB | | 0.1 | | dB | 1.0kHz |
| PGA = 38dB | | - 0.5 | | dB | 1.0kHz |
| ゲイン・トラッキング誤差 | | ± 0.1 | | dB | 1.0kHz、+ 3 ~ - 50dBm0 |
| 信号対ノイズ + 歪み比 | | | | | |
| PGA = 0dB | | 76 | | dB | 0Hz ~ $f_s / 2$ 、 $f_s = 8\text{kHz}$ |
| PGA = 38dB | | 70 | | dB | 0 ~ 4kHz、 $f_s = 64\text{kHz}$ |
| 総高調波歪み | | | | | |
| PGA = 0dB | | - 86 | | dB | |
| PGA = 38dB | | - 80 | | dB | |
| 相互変調歪み | | - 79 | | dB | PGA = 0dB |
| アイドル・チャンネル・ノイズ | | - 76 | | dB | PGA = 0dB |
| ADC間クロストーク | | - 85 | | dB | ADC1入力信号レベル：1.0kHz、ADC2入力：アイドル |
| DCオフセット | | + 20 | | mV | PGA = 0dB |
| 電源除去比 | | - 55 | | dB | AVDD、DVDDピンの入力信号レベル：1.0kHzの100mVp-pサイン波 |
| 群遅延 ^{4, 5} | | 25 | | μ s | 出力サンプル・レート64kHz |
| | | 50 | | μ s | 出力サンプル・レート32kHz |
| | | 95 | | μ s | 出力サンプル・レート16kHz |
| | | 190 | | μ s | 出力サンプル・レート8kHz |
| VINでの入力抵抗 ^{2, 4} | | 25 | | k ⁶ | DMCLK = 16.384MHz |
| 周波数応答 | | | | | |
| (ADC)出力 (Typ) | | | | | |
| 周波数 (f_s で正規化) | | | | | |
| 0 | | 0 | | dB | |
| 0.03125 | | - 0.1 | | dB | |
| 0.0625 | | - 0.25 | | dB | |
| 0.125 | | - 0.6 | | dB | |
| 0.1875 | | - 1.4 | | dB | |
| 0.25 | | - 2.8 | | dB | |
| 0.3125 | | - 4.5 | | dB | |
| 0.375 | | - 7.0 | | dB | |
| 0.4375 | | - 9.5 | | dB | |
| > 0.5 | | < - 12.5 | | dB | |

| パラメータ | AD73360A | | | 単位 | テスト条件 / 備考 |
|------------------|----------------|-------|----------|---------|---------------------|
| | Min | Typ | Max | | |
| ロジック入力 | | | | | |
| V_{INH} 入力ハイ電圧 | $V_{DD} - 0.8$ | | V_{DD} | V | |
| V_{INL} 入力ロー電圧 | 0 | | 0.8 | V | |
| I_{IH} 入力電流 | | - 0.5 | | μA | |
| C_{IN} 入力容量 | | 10 | | pF | |
| ロジック出力 | | | | | |
| V_{OH} 出力ハイ電圧 | $V_{DD} - 0.4$ | | V_{DD} | V | IOOUT 100 μA |
| V_{OL} 出力ロー電圧 | 0 | | 0.4 | V | IOOUT 100 μA |
| スリー・ステート・リーク電流 | | - 0.3 | | μA | |
| 電源 | | | | | |
| AVDD1、AVDD2 | 4.5 | | 5.5 | V | |
| DVDD | 4.5 | | 5.5 | V | |
| I_{DD}^8 | | | | | 表II参照 |

- 注
- 動作温度範囲 - 40 ~ + 85 に従って、 $T_{MIN} = - 40$ 、 $T_{MAX} = + 85$ とします。
 - テスト条件：入力PGAを0dBゲインに設定(特に指定のない場合)。
 - ADCのモジュレータに対する入力で測定。
 - 設計により保証。
 - 全体の群遅延は、サンプル・レートと外部デジタル・フィルタ処理に影響されます。
 - ADCの入力インピーダンスはDMCLKに反比例し、 $(4 \times 10^{11}) / DMCLK$ に近似します。
 - ADCとDACの周波数応答は、入力をオーディオ・リファレンス・レベル(出力レベル - 10dBm0を発生する入力レベル)に設定し、38dBのプリアンプをバイパスし、入力ゲイン0dBで測定。
 - テスト条件：デジタル入力は無負荷、アナログ入力をグラウンドにAC結合。

仕様は予告無く変更されることがあります。

表II. 電流 (AVDD = DVDD = + 5.5V)

| 条件 | アナログ電流 | デジタル電流 | 合計電流 (Max) | SE | MCLKオン | 備考 |
|-------------------|--------|--------|------------|----|--------|--------------------------|
| ADCのみオン | 16 | 16 | 32 | 1 | | REFOUTをディスエーブル |
| REFCAPのみオン | 0.8 | 0 | 0.8 | 0 | × | REFOUTをディスエーブル |
| REFCAPとREFOUTのみオン | 3.5 | 0 | 3.5 | 0 | × | |
| 全部をオフ | 0.1 | 1.9 | 2.0 | 0 | | MCLKアクティブ・レベルを0VとDVDDに設定 |
| 全部をオフ | 0 | 0.05 | 0.06 | 0 | × | デジタル入力は固定で0VまたはDVDDに設定 |

特に指定のない限り、上記はmA単位でtyp値です。

表III. 信号範囲

| | 3V電源 | 5V電源 | |
|-------------------|-----------------|------------|------------|
| | 5VEN = 0 | 5VEN = 0 | 5VEN = 1 |
| V_{REFCAP} | 1.25V \pm 10% | 1.25V | 2.5V |
| V_{REFOUT} | 1.25V \pm 10% | 1.25V | 25V |
| ADC | | | |
| V_{IN} での最大入力範囲 | 1.578Vp-p | 1.578Vp-p | 3.156Vp-p |
| 公称リファレンス・レベル | 1.0954Vp-p | 1.0954Vp-p | 2.1908Vp-p |

AD73360

タイミング特性

(特に指定のない限り、AVDD = +3V ± 10%、DVDD = +3V ± 10%、
AGND = DGND = 0V、 $T_A = T_{MIN} \sim T_{MAX}$)

| パラメータ | $T_A = -40 \sim +85$ での規定値 | 単位 | 説明 |
|----------|-------------------------------|--------|-----------------------------|
| クロック信号 | | | 図1参照 |
| t_1 | 61 | ns min | MCLK周期 |
| t_2 | 24.4 | ns min | MCLK幅ハイ |
| t_3 | 24.4 | ns min | MCLK幅ロー |
| シリアル・ポート | | | 図3と図4を参照 |
| t_4 | t_1 | ns min | SCLK周期 |
| t_5 | $0.4 \times t_1$ | ns min | SCLK幅ハイ |
| t_6 | $0.4 \times t_1$ | ns min | SCLK幅ロー |
| t_7 | 20 | ns min | SCLKロー前のSDI/SDIFSセットアップ・タイム |
| t_8 | 0 | ns min | SCLKロー後のSDI/SDIFSホールド・タイム |
| t_9 | 10 | ns max | SCLKハイからのSDOFS遅延 |
| t_{10} | 10 | ns min | SCLKハイ後のSDOFSホールド・タイム |
| t_{11} | 10 | ns min | SCLKハイ後のSDOホールド・タイム |
| t_{12} | 10 | ns max | SCLKハイからのSDO遅延 |
| t_{13} | 30 | ns max | MCLKからのSCLK遅延 |

タイミング特性

(特に指定のない限り、AVDD = +5V ± 10%、DVDD = +5V ± 10%、
AGND = DGND = 0V、 $T_A = T_{MIN} \sim T_{MAX}$)

| パラメータ | $T_A = -40 \sim +85$ での規定値 | 単位 | 説明 |
|----------|-------------------------------|--------|-----------------------------|
| クロック信号 | | | 図1参照 |
| t_1 | 61 | ns min | MCLK周期 |
| t_2 | 24.4 | ns min | MCLK幅ハイ |
| t_3 | 24.4 | ns min | MCLK幅ロー |
| シリアル・ポート | | | 図3と図4を参照 |
| t_4 | t_1 | ns min | SCLK周期 |
| t_5 | $0.4 \times t_1$ | ns min | SCLK幅ハイ |
| t_6 | $0.4 \times t_1$ | ns min | SCLK幅ロー |
| t_7 | 20 | ns min | SCLKロー前のSDI/SDIFSセットアップ・タイム |
| t_8 | 0 | ns min | SCLKロー後のSDI/SDIFSホールド・タイム |
| t_9 | 10 | ns max | SCLKハイからのSDOFS遅延 |
| t_{10} | 10 | ns min | SCLKハイ後のSDOFSホールド・タイム |
| t_{11} | 10 | ns min | SCLKハイ後のSDOホールド・タイム |
| t_{12} | 10 | ns max | SCLKハイからのSDO遅延 |
| t_{13} | 30 | ns max | MCLKからのSCLK遅延 |

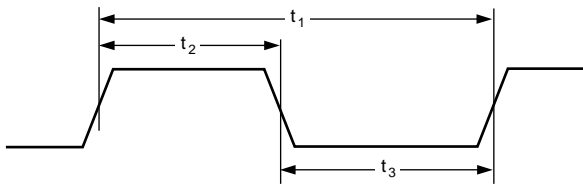


図1 MCLKのタイミング

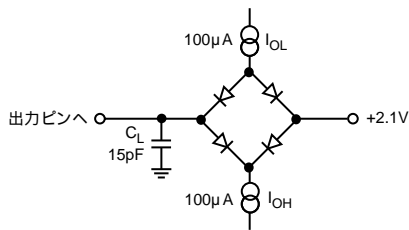


図2 タイミング仕様の負荷回路

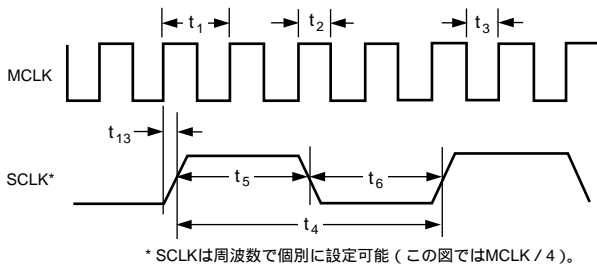


図3 SCLKのタイミング

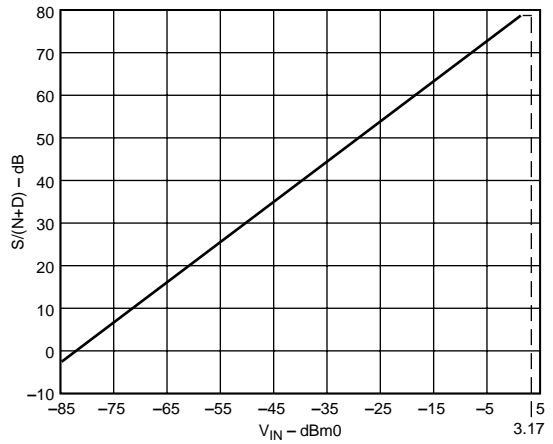


図5a 音声帯域 (300Hz ~ 3.4kHz) での $S/(N+D)$ 対 V_{IN} (ADC@3V)

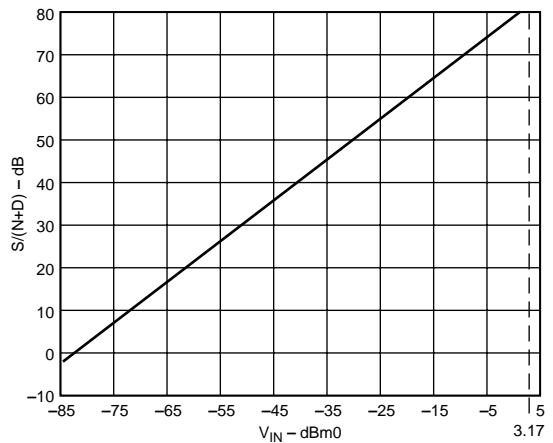


図5b 音声帯域 (300Hz ~ 3.4kHz) での $S/(N+D)$ 対 V_{IN} (ADC@5V)

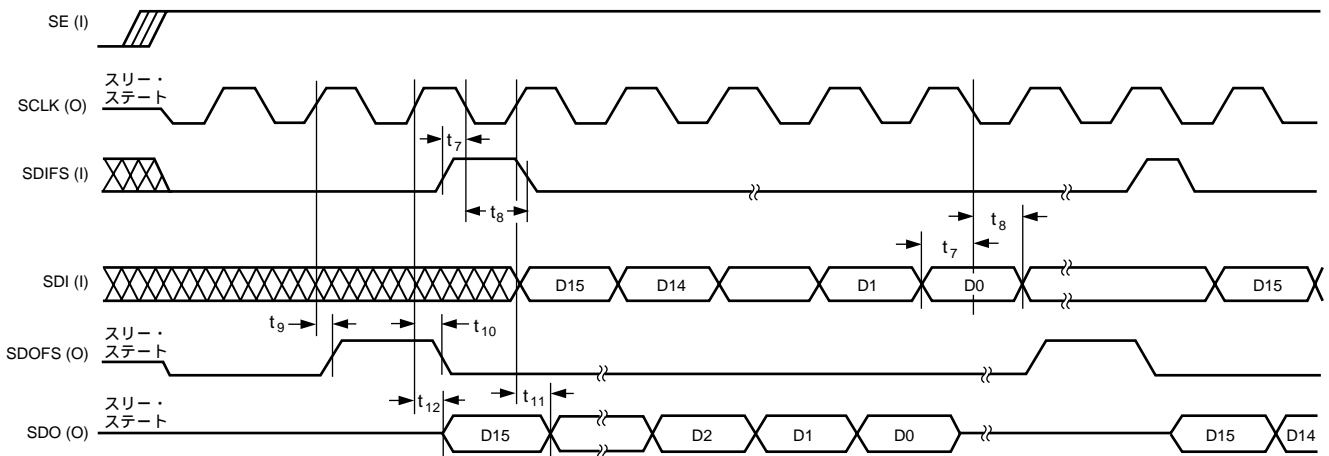


図4 シリアル・ポート (SPORT)

AD73360

絶対最大定格*

(特に指定のない限り、 $T_A = +25$)

| | |
|----------------------|----------------------|
| GNDに対するAVDD、DVDD | - 0.3 ~ +7V |
| DGNDに対するAGND | - 0.3 ~ +0.3V |
| DGNDに対するデジタルI/O電圧 | - 0.3V ~ DVDD + 0.3V |
| AGNDに対するアナログI/O電圧 | - 0.3V ~ AVDD + 0.3V |
| 動作温度範囲 | |
| 工業用(Aバージョン) | - 40 ~ +85 |
| 保管温度範囲 | - 65 ~ +150 |
| 最大接合温度 | +150 |
| SOIC、 J_A 熱インピーダンス | 75 /W |
| ピン温度、ハンダ処理 | |
| 蒸着(60秒) | +215 |
| 赤外線(15秒) | +220 |

*上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

| モデル | 温度範囲 | パッケージオプション |
|----------------|---|------------|
| AD73360AR | - 40 ~ +85 | R-28 |
| AD73360ASU | - 40 ~ +85 | SU-44 |
| EVAL-AD73360EB | 評価ボード ² + EZ-KIT Lite アップグレード ³ | |
| EVAL-AD73360EZ | 評価ボード ² + EZ-KIT Lite ⁴ | |

注

- R = 0.3スモール・アウトラインIQ(SOIC)、SU = 薄型クワッド・フラットバックIQ(TQFP)。
- AD73360評価ボードは、ADSP-2181 EZ-KIT Lite、Texas Instruments社のEVMキットにインターフェースできます。
- アップグレードは、EZ-KIT Liteの拡張ポートP3に接続するコネクタで構成されています。このオプションはEZ-KIT Lite用です。
- EZ-KIT LiteはAD73360評価ボードにインターフェースできるように変更されています。このオプションは、EZ-KIT Liteをお持ちでないユーザー用です。

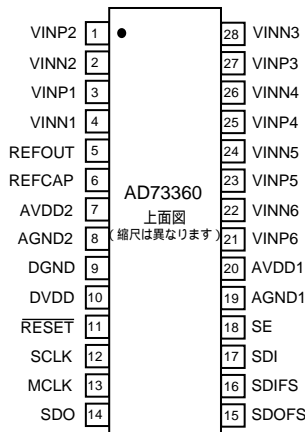
注意

ESD(静電放電)の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。

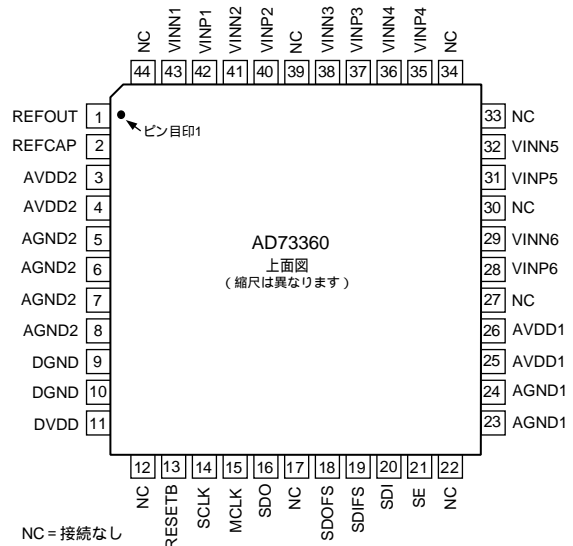


ピン配置

R-28



SU-44



ピン機能説明

| 記号 | 機能 |
|--------|---|
| VINP1 | 入力チャンネル1の正端子に対するアナログ入力。 |
| VINN1 | 入力チャンネル1の負端子に対するアナログ入力。 |
| VINP2 | 入力チャンネル2の正端子に対するアナログ入力。 |
| VINN2 | 入力チャンネル2の負端子に対するアナログ入力。 |
| VINP3 | 入力チャンネル3の正端子に対するアナログ入力。 |
| VINN3 | 入力チャンネル3の負端子に対するアナログ入力。 |
| VINP4 | 入力チャンネル4の正端子に対するアナログ入力。 |
| VINN4 | 入力チャンネル4の負端子に対するアナログ入力。 |
| VINP5 | 入力チャンネル5の正端子に対するアナログ入力。 |
| VINN5 | 入力チャンネル5の負端子に対するアナログ入力。 |
| VINP6 | 入力チャンネル6の正端子に対するアナログ入力。 |
| VINN6 | 入力チャンネル6の負端子に対するアナログ入力。 |
| REFOUT | バッファを通したリファレンス出力で、公称値1.2Vまたは2.4Vで、この値はビット5VEN(CRC : 7)の状態に依存します。必要に応じて外部リファレンスでオーバードライブできます。 |
| REFCAP | 内部リファレンス用にAGND2に対する0.1 μ Fのバイパス・コンデンサが必要です。コンデンサはこのピンに接続します。 |
| AVDD2 | アナログ電源接続。 |
| AGND2 | アナログ・グラウンド/サブストレート接続。 |
| DGND | デジタル・グラウンド/サブストレート接続。 |
| DVDD | デジタル電源接続。 |
| RESET | アクティブ・ローのリセット信号。この入力によりチップ全体がリセットされて、コントロール・レジスタがリセットされ、デジタル回路がクリアされます。 |
| SCLK | AD73360に入/出力するシリアル転送レートを決定する、シリアル・クロック出力です。シリアル・ポート(SPORT)に入/出力するデータまたは制御情報のクロックとして使用されます。SCLKの周波数はマスター・クロック(MCLK)を分周したものです。この分周比(整数)は、外部マスター・クロック・レート分周器とシリアル・クロック・レート分周器の積に等しくなります。 |
| MCLK | マスター・クロック入力。MCLKは外部クロック信号から駆動されます。 |
| SDO | シリアル・データ出力。このピンにはデータと制御情報が出力され、SCLKの立ち上がりエッジでクロック駆動されます。SEがローで、かつ情報が転送されていないときは、SDOはスリー・ステートになります。 |
| SDOFS | SDOシリアル転送のフレーミング信号出力。フレーム同期は1ビット幅で、各出力ワードの先頭ビット(MSB)の前でSCLKの1周期間アクティブになります。SDOFSはSCLKの立ち上がりエッジを基準とします。SEがローのときは、SDOFSはスリー・ステートになります。 |
| SDIFS | SDIシリアル転送のフレーミング信号入力。フレーム同期は1ビット幅で、各入力ワードの先頭ビット(MSB)より1 SCLK周期前に有効になります。SDIFSはSCLKの立ち下がりエッジでサンプルされ、SEがローのときは無視されます。 |
| SDI | シリアル・データ入力。このピンにはデータと制御情報が入力され、SCLKの立ち下がりエッジでクロック駆動されます。SEがローのときは、SDIは無視されます。 |
| SE | SPORTのイネーブル。SPORTに対する非同期イネーブルの入力ピンです。DSPによりSEがローに設定されると、SPORTの出力ピンはスリー・ステートになり、入力ピンは無視されます。消費電力を減らすために、SCLKを内部でディスエーブルにすることもできます。SEをハイに設定すると、SPORTのコントロール・レジスタとデータ・レジスタの値(SEがローになる前の値)は維持されますが、タイミング・カウンタと他の内部レジスタにはリセット値が設定されます。 |
| AGND1 | アナログ・グラウンド/サブストレート接続。 |
| AVDD1 | アナログ電源接続。 |

AD73360

用語

絶対ゲイン

絶対ゲインは、既知の信号に対するコンバータのゲインを表します。絶対ゲインは、各ADCに1kHzサイン波を0dBm0で入力して、差動信号として測定します。絶対ゲイン特性は、ゲイン・トラッキング誤差特性に使用されます。

クロストーク

クロストークは、あるチャンネルから隣接チャンネルへ信号が結合して発生します。結合した信号振幅の、入力信号振幅に対する比として定義されます。クロストークはdB単位で表します。

ゲイン・トラッキング誤差

ゲイン・トラッキング誤差は、絶対信号レベルを基準とする種々の信号レベルに対する、コンバータ出力の変化を表します。絶対信号レベルは、ADCへの1kHz入力で0dBm0 (= 絶対ゲイン) です。0dBm0 (ADC)でのゲイン・トラッキング誤差を0dBと定義します。

群遅延

群遅延は、ラジアン周波数に対するラジアン位相の導関数 $d(\phi)/df$ として定義されます。群遅延は、システムの平均遅延を周波数の関数として表します。一定の群遅延を持つ線形システムは線形な位相応答を持ちます。群遅延の一定値からの偏差は、システムの位相応答の非線形性の程度を表しています。

アイドル・チャンネル・ノイズ

アイドル・チャンネル・ノイズは、入力がグラウンドに接続されたときにデバイス出力で測定された、総信号エネルギーと定義されます(周波数範囲0~4kHzで測定)。

相互変調歪み

非線形性を持つアクティブなデバイスに2つの周波数 f_a 、 f_b を含むサイン波を入力すると、 m 、 $n = 0, 1, 2, 3, \dots$ として、さまざまな和と差の周波数 $m f_a \pm n f_b$ を持つ歪み成分が発生します。相互変調歪みの項とは、 m と n が非ゼロの項をいいます。最終的なテストでは、2次項には $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ が含まれます。

電源除去比

電源除去比は、電源ノイズに対するデバイスの敏感さを表します。電源除去比は、電源をサイン波で変調して、出力でノイズを測定(0dBを基準)して測定します。

サンプル・レート

サンプル・レートとは、ADCの出力を更新するレートをいいます。サンプル・レートはDMCLKを基準に定められ、プログラムブルです。

信号対ノイズ+THD

S/N比と高調波歪みの和は、周波数範囲内に含まれる他のスペクトラム成分のrms値総和(高調波は含むがDCは除く)に対する、測定入力信号のrms値の比として定義されます。

略語

| | |
|-------|---|
| ADC | A/Dコンバータ。 |
| BW | 帯域幅。 |
| CRx | コントロール・レジスタを表し、xは文字(A~E)が入ります。AD73360にはCRA~CRHの8個の読み書き可能なコントロール・レジスタがあります。 |
| CRx:n | ビット位置を表し、nの値は、コントロール・レジスタ内の位置を表す数値(0~7)です。xは文字(A~E)が入ります。位置7はMSBを、位置0はLSBをそれぞれ表します。 |
| DMCLK | デバイスの(内部)マスター・クロック。これは、外部マスター・クロック(MCLK)を内部マスター・クロック分周器で分周して得られた内部マスター・クロックを指します。 |
| FSLB | フレーム同期ループバック。フレーム同期ループバックでは、カスケード接続内の最終デバイスのSDOFSはDSPのRFSとTFS、およびカスケード接続内の先頭デバイスのSDIFSに接続されます。データの入力と出力は同時に行われます。非FSLBの場合は、SDOFSとSDOIはDSPのRxポートに接続され、SDIFSとSDIIはTxポートに接続されます。 |
| PGA | プログラマブル・ゲイン・アンプ。 |
| SC | スイッチド・キャパシタ。 |
| SLB | シリアル・ポート・ループバック。 |
| SNR | S/N比。 |
| SPORT | シリアル・ポート。 |
| THD | 総高調波歪み。 |
| VBW | 音声帯域幅。 |

機能説明

概要

AD73360は6チャンネルの16ビット・アナログ・フロントエンドです。6個の独立したエンコーダ・チャンネルから構成されており、各チャンネルは、シグナル・コンデショニング機能、プログラマブル・ゲイン・アンプ、A/Dコンバータ、デシメータを内蔵しています。これらの各部分について以下に説明します。

エンコーダ・チャンネル

各エンコーダ・チャンネルは、シグナル・コンデショナ、スイッチド・キャパシタPGA、A/Dコンバータ(ADC)から構成されています。ADCの一部となる内蔵デジタル・フィルタも、システム・レベルで重要なフィルタ機能を実行します。オーバーサンプリングの比率が大きいため、簡単な単極のRC段で注目する帯域内で十分な減衰が得られるように、入力の折り返しノイズ減衰条件が軽減されています。

シグナル・コンデショナ

各アナログ・チャンネルは、独立したシグナル・コンデショニング・ブロックを内蔵しています。この機能を使い、使用するモード(差動またはシングル・エンド)に応じて、アナログ入力を構成できます。

プログラマブル・ゲイン・アンプ

各エンコーダ部のアナログ・フロントエンドは、モジュレータの一部となるスイッチド・キャパシタPGAから構成されています。SCサンプリング周波数はDMCLK/8です。PGAは、マイクロフォンのような低レベル出力ソースからADCに入力される信号レベルの増幅に使用でき、外付けアンプの追加が不要です。PGAのプログラマブル・ゲインの設定を表IVに示します。

モジュレータへの入力信号レベルは、最大許容入力電圧を超えることはできません。

PGAゲインは、コントロール・レジスタD、E、F内のIGS0、IGS1、IGS2の各ビットを使って設定します。

表IV. エンコーダ・チャンネルのPGA設定

| IxGS2 | IxGS1 | IxGS0 | ゲイン(dB) |
|-------|-------|-------|---------|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 6 |
| 0 | 1 | 0 | 12 |
| 0 | 1 | 1 | 18 |
| 1 | 0 | 0 | 20 |
| 1 | 0 | 1 | 26 |
| 1 | 1 | 0 | 32 |
| 1 | 1 | 1 | 38 |

ADC

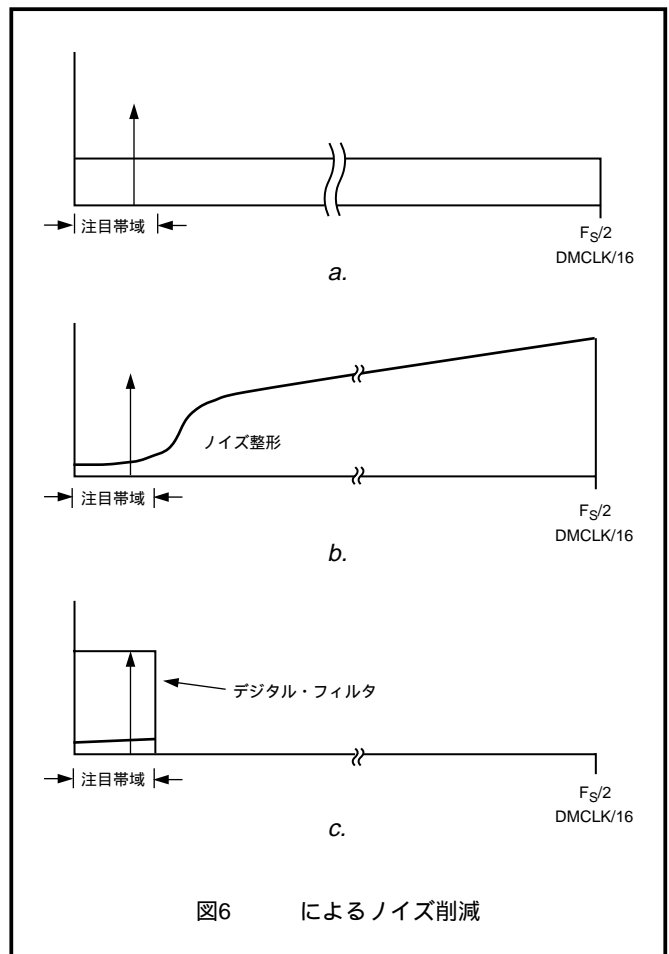
各チャンネルは、アナログモジュレータとデジタル・アンチエイリアス・デシメーション・フィルタから構成されています。モジュレータは信号のノイズ整形を行い、DMCLK/8レートで1ビット・サンプル値を発生します。このビットストリームはアナログ入力信号を表し、アンチエイリアス・デシメーション・フィルタに入力されます。デシメーション・フィルタはサンプル・レートを下げて分解能を向上させます。

アナログモジュレータ

AD73360の入力チャンネルでは変換技術を採用して高精度の16ビット出力を発生させ、また、システム・フィルタも内蔵しています。

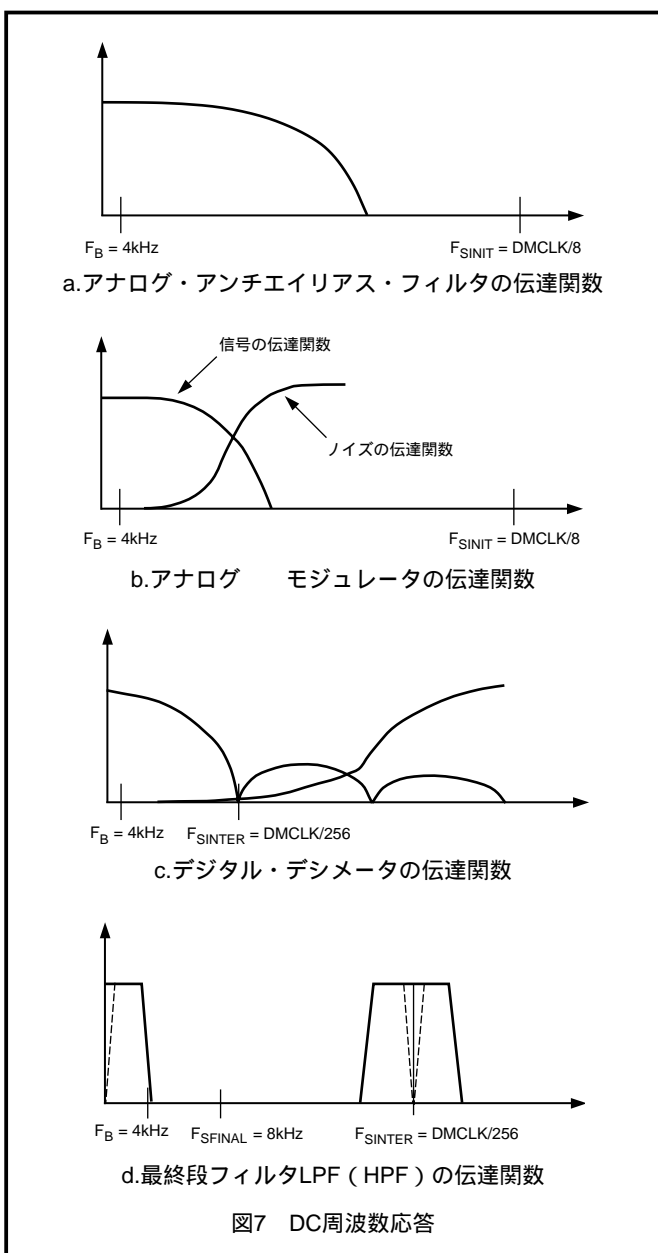
コンバータでは、オーバーサンプリングと呼ばれる技術を使用します。この技術では、サンプリング・レートが信号内の最高の注目周波数の何倍かに設定されます。AD73360の場合、

モジュレータの初段サンプリング・レートはDMCLK/8です。オーバーサンプリングの主要な効果は、量子化ノイズが非常に広い帯域(最大 $F_s/2 = \text{DMCLK}/16$)に拡散されることです(図6a)。これは、注目帯域内のノイズが大幅に減少することを意味します。コンバータのもう一つの相補的な機能は、ノイズ整形と呼ばれる技術を使用することです。この技術はノイズを帯域内から帯域外に追い出す効果があります(図6b)。これらの技術の組み合わせとデジタル・フィルタの適用が帯域内ノイズを十分減衰させて、AD73360のダイナミック性能を保証しています(図6c)。



AD73360

図7に、AD73360の代表的なアプリケーションで採用される、さまざまなフィルタ段を示します。図7aは、外部アナログ・アンチエイリアス・フィルタの伝達関数を示します。単極のRCフィルタですが、サンプリング周波数により折り返されるあらゆる信号を処理できるように、カットオフ周波数を初段サンプリング周波数(DMCLK/8)から十分に離しています。また、初段オーバーサンプリング・レートと注目帯域の間の大きな差も示しています。図7bは、モジュレータの信号応答とノイズ整形応答です。この信号応答では、ノイズ整形によって固有の量子化ノイズが帯域外に追い出されるため、高い周波数の信号に対する減衰が追加されています。詳細図7cには、DMCLK/256の整数倍がゼロになっているデジタル・デシメーション・フィルタの応答(3乗Sinc応答)が示してあります。詳細図7dは、DSPエンジン内の最終段の折り返しノイズ・フィルタの適用を示します。これには、ユーザーの要求と使用可能なMIPSに基づいて実現できるという利点があります。図7a~7cに示すフィルタは、AD73360内で構成されているものです。



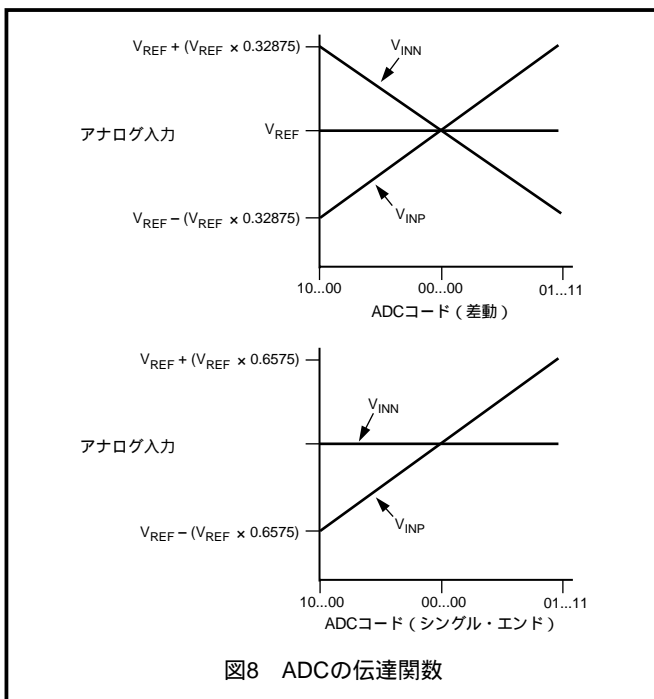
デシメーション・フィルタ

AD73360のデジタル・フィルタは、2つの重要な機能を実行します。1つは、アナログ・モジュレータによって整形された帯域外の量子化ノイズの除去。次に、高い周波数のビット・ストリームを間引いて、低いレートの15ビット・ワードに変換することです。

アンチエイリアス・デシメーション・フィルタは、サンプリング・レートをDMCLK/8からDMCLK/256に引き下げて、選択したサンプリング・レートに応じて分解能を1~15ビットに引き上げる、3乗Sincデジタル・フィルタです。そのZ変換は $(1 - Z^{-32}) / (1 - Z^{-1})^3$ になります。これにより、わずか25 μ sの最小群遅延を保証します。

ADCのコーディング

ADCのコーディング方式は2の補数フォーマットになっています(図8参照)。出力ワードはデシメーション・フィルタ内で組み立てられ、ワード長は選択されたデシメーション・レートに応じて、モジュレータ出力の1ビットから、ADCブロックの最終出力である15ビット・ワード長まで変化します。16ビット・データ・モードでは、この値は左詰めされて、LSBに“0”が設定されます。ただし、正のフル・スケール以上の入力値に対しては、出力ワードは0x7FFFに設定され、従ってLSBに“1”が設定されます。コントロール/データ・モードでは精度が15ビットに固定され、16ビット転送のMSBがフレーム内で制御またはデータを識別するフラグ・ビットとして使用されます。



リファレンス

AD73360のリファレンスREFCAPはバンドギャップ・リファレンスで、ローノイズの温度補償済みリファレンスをADCに提供します。パツファ済みのリファレンスもREFOUTピンに出力でき、外部アナログ回路のバイアスに使うこともできます。このリファレンスはデフォルトで公称値1.25Vですが、CRCの5VENビット(CRC:7)を設定して公称値2.5Vにも設定できます。一般に、5Vモードは $V_{DD} = 5V$ 時のみ使用可能です。

外部回路にバイアスを供給するために、CRC内のRUビット(CRC:6)を設定してリファレンス出力(REFOUT)をイネーブルにできます。

シリアル・ポート (SPORT)

AD73360は、双方向の同期シリアル・ポート (SPORT) を使ってホスト・プロセッサと通信します。このシリアル・ポートは最新DSPの殆どと互換性があります。SPORTは、デジタル・データと制御情報の送/受信に使用します。また、複数のAD73360をカスケード接続して入力チャンネルを追加することが可能です(最大8個のAD73360)。

送/受信モードでは、シリアル・クロック (SCLK) レートでMSBを先頭にしてデータが転送されます。各AD73360ブロックのSPORTではシリアル入力とシリアル出力の間で共通のシリアル・レジスタを使っているため、AD73360とホスト・プロセッサ (DSPエンジン) 間の通信は、必ずAD73360側から起動する必要があります。この構成では、AD73360がマスター・モードになります。これにより、入力データと出力サンプルの間の衝突を防止しています。

SPORTの概要

AD73360のSPORTはフレキシブルな全二重の同期シリアル・ポートであり、プロトコルは最大8個のAD73360デバイスを、6線式インターフェースを使って1個のDSPにカスケード接続できるように設計されています。このシリアル・ポートは非常にフレキシブルなアーキテクチャを採用し、各デバイス内にある2つの内部コントロール・レジスタを使って設定できます。AD73360のSPORTには、コントロール、データ、コントロール/データの、3つの動作モードがあります。

注: 各AD73360はそれぞれSPORT部分を持っているため、それぞれのSPORTレジスタ設定を行う必要があります。SPORTとサンプル・レート動作を制御するレジスタ (CRAとCRB) には、同じ値を設定してください。そうしないと正常に動作しません。

コントロール・モード (CRA : 0 = 0) では、8個の内部コントロール・レジスタに書き込みを行って、AD73360の内部構成を設定できます。このモードでは、AD73360に対して制御情報の書き込み/読み出しを行えます。データ・モード (CRA : 0 = 1) では、AD73360に送信された情報は無視されますが、AD73360のエンコーダ部 (ADC) からのデータは読み出されます。このモードでは、AD73360から読み出されるのはADCデータのみです。コントロール/データ・モード (CRA : 0 = 1かつCRA : 1 = 1) では、AD73360に送信する情報に、制御情報またはADCデータのどちらを含むかを、ユーザーが指定できます。これは、16ビット・フレームのMSBをフラグ・ビットとして使用して実行されます。コントロール/データ・モードでは、16ビット・フレーム内の情報が、制御情報とADCデータのどちらかを識別するためにMSBを使うので、分解能は15ビットに減少します。

SPORTには1個の16ビットシリアル・レジスタがあり、入力と出力のデータ転送に共用されています。入力データと出力データが同じレジスタを共用するため、注意が必要です。第一に、情報を書き込む際には、事前に必ず、シリアル・レジスタが直前のADCサンプル・ワードで上書きされたときに発生する出力サンプル・イベントを参照してください。SPORTが直前のADCワードの出力を開始したら、DSPは新しい制御またはデータ・ワードを、安全にAD73360に書き込みます。設定によっては、出力サンプルをシリアル・レジスタにシフト・アウトしている最中に、データをデバイスに書き込むこともできます。これにつ

いてはデバイス・インターフェースの項を参照してください。シリアル・クロック・レート (CRB : 2~3) は、次の出力サンプル・イベントが発生するまでにデバイスに書き込める16ビット・ワード数を定めます。

図9に、SPORTのブロック図を示します。この図には、8個のコントロール・レジスタ (A~H)、外部MCLKから内部DMCLK分周器まで、シリアル・クロック分周器などを示してあります。分周器レートは、コントロール・レジスタBを使って設定します。AD73360にはマスター・クロック分周器があり、これを使って外部から供給する高周波数のDSPクロックまたはCPUクロックをフレキシブルに分周でき、シリアル転送またはサンプリング・レート条件に適する低周波数のマスター・クロックを、AD73360内部で発生できます。マスター・クロック分周器には5種類の分周オプションがあります ($\div 1$ (デフォルト) $\div 2$ 、 $\div 3$ 、 $\div 4$ 、 $\div 5$)。これらのオプションは、レジスタB内のマスター・クロック分周器フィールドに該当するコードをロードして選択します (表VI参照)。マスター・クロック分周器を使って内部デバイス・マスター・クロック (DMCLK) を設定すると、サンプル・レートとシリアル・クロックがDMCLKから供給されます。

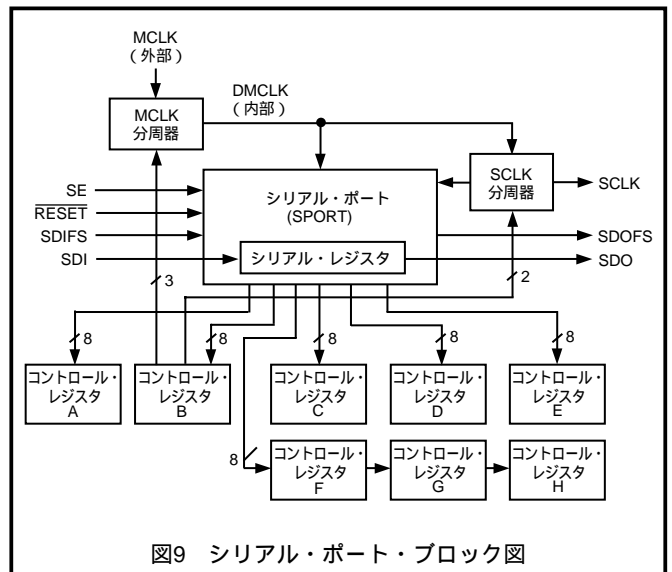


図9 シリアル・ポート・ブロック図

SPORTは、DMCLK、DMCLK/2、DMCLK/4、DMCLK/8の4種類のシリアル・クロック (SCLK) レートで動作できます。ここでDMCLKは内部クロックすなわちデバイスのマスター・クロックであり、外部クロックすなわちピンのマスター・クロックをマスター・クロック分周器で分周したものです。マスター・クロックの選択、シリアル・クロックの設定、サンプル・レート分周器の設定の際には、次のサンプル周期の前にAD73360から全データの読み出しを完了できるように、十分な時間を保証するよう注意してください。

AD73360

SPORTのレジスタ・マップ

AD73360には、8個の8ビット・コントロール・レジスタがあります。表Vに、AD73360のコントロール・レジスタ・マップを示します。最初の2個のコントロール・レジスタCRA、CRBは、SPORTの制御に使われます。これらのレジスタは、シリアル・クロック・レート、内部マスター・クロック・レート、サンプル・レート、デバイス数などのパラメータ設定を保持しています。複数のAD73360をカスケード接続する場合、各デバイス内のレジスタCRA、CRBには、同じ設定を行ってください(これに

ついてはプログラム例で示します)。他の6個のレジスタCRC~CRHは、リファレンス、消費電力コントロール、ADCチャンネル、デバイスのPGA部への制御設定を保持します。各AD73360内のCRC~CRHは、同じ値にする必要はありません。コントロール・レジスタはSCLKの立ち下がりエッジで書き込まれます。

表V. コントロール・レジスタ・マップ

| アドレス (バイナリ) | 名前 | 説明 | タイプ | ワード幅 | リセット時設定 (Hex) |
|-------------|-----|--------------|-----|------|---------------|
| 000 | CRA | コントロール・レジスタA | R/W | 8 | 0x00 |
| 001 | CRB | コントロール・レジスタB | R/W | 8 | 0x00 |
| 010 | CRC | コントロール・レジスタC | R/W | 8 | 0x00 |
| 011 | CRD | コントロール・レジスタD | R/W | 8 | 0x00 |
| 100 | CRE | コントロール・レジスタE | R/W | 8 | 0x00 |
| 101 | CRF | コントロール・レジスタF | R/W | 8 | 0x00 |
| 110 | CRG | コントロール・レジスタG | R/W | 8 | 0x00 |
| 111 | CRH | コントロール・レジスタH | R/W | 8 | 0x00 |

表VI. コントロール・ワード

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|-----|-----------|----|----|-----------|---|---|----------|---|---|---|---|---|---|---|
| C/D | R/W | デバイス・アドレス | | | レジスタ・アドレス | | | レジスタ・データ | | | | | | | |

| コントロール | フレーム | 説明 |
|----------|--------------------|--|
| ビット15 | Control/Data (C/D) | ハイに設定されると、プログラム・モードまたはプログラム/データ・モード内でコントロール・ワードを表します。ローに設定されると、プログラム/データ・モードでデータ・ワードを、プログラム・モードで無効コントロール・ワードをそれぞれ表します。 |
| ビット14 | Read/Write (R/W) | ローに設定されると、アドレス・フィールドがゼロの場合に、レジスタ・フィールドの設定で選択されたレジスタにデータ・フィールドを書き込むように、デバイスに指定します。ハイに設定されると、選択されたレジスタを入力シリアル・レジスタのデータ・フィールドに書き込み、さらにデバイスからシリアル出力経路で新しいコントロール・ワードを出力するようにデバイスに指定します。 |
| ビット13~11 | デバイス・アドレス | この3ビット・フィールドはアドレス情報を保持します。このフィールドがゼロの場合にのみ、デバイスが選択されます。アドレスが非ゼロの場合は、その値が減らされて、デバイスからシリアル出力経路でコントロール・ワードが渡されます。 |
| ビット10~8 | レジスタ・アドレス | この3ビット・フィールドを使って、AD73360の8個のコントロール・レジスタを選択します。 |
| ビット7~0 | レジスタ・データ | この8ビット・フィールドは、アドレス・フィールドがゼロの場合に、選択されたレジスタに読み込み/書き出しするデータを保持します。 |

表VII. コントロール・レジスタA

コントロール・レジスタA

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|-----|-----|-----|-----|---|----|----------|
| RESET | DC2 | DC1 | DC0 | SLB | - | MM | DATA/PGM |

| ビット | 名前 | 説明 |
|-----|----------|-------------------------------|
| 0 | DATA/PGM | 動作モード(0=プログラム、1=データ・モード) |
| 1 | MM | コントロール/データ・モード(0=オフ、1=イネーブル) |
| 2 | 予約済み | 0に設定しておいてください |
| 3 | SLB | SPORTループバック・モード(0=オフ、1=イネーブル) |
| 4 | DC0 | デバイス数(ビット0) |
| 5 | DC1 | デバイス数(ビット1) |
| 6 | DC2 | デバイス数(ビット2) |
| 7 | RESET | ソフトウェア・リセット(0=オフ、1=リセット起動) |

表VIII. コントロール・レジスタB

コントロール・レジスタB

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|------|------|------|------|------|-----|-----|
| CEE | MCD2 | MCD1 | MCD0 | SCD1 | SCD0 | DR1 | DR0 |

| ビット | 名前 | 説明 |
|-----|------|--------------------------------|
| 0 | DIR0 | デシメーション・レート(ビット0) |
| 1 | DIR1 | デシメーション・レート(ビット1) |
| 2 | SCD0 | シリアル・クロック分周器(ビット0) |
| 3 | SCD1 | シリアル・クロック分周器(ビット1) |
| 4 | MCD0 | マスター・クロック分周器(ビット0) |
| 5 | MCD1 | マスター・クロック分周器(ビット1) |
| 6 | MCD2 | マスター・クロック分周器(ビット2) |
| 7 | CEE | コントロール・エコー・イネーブル(0=オフ、1=イネーブル) |

表IX. コントロール・レジスタC

コントロール・レジスタC

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|----|-------|---|---|---|---|-----|
| 5VEN | RU | PUREF | - | - | - | - | GPU |

| ビット | 名前 | 説明 |
|-----|-------|---|
| 0 | GPU | デバイス電源(0=電源オフ、1=電源オン) |
| 1 | 予約済み | 0に設定しておいてください |
| 2 | 予約済み | 0に設定しておいてください |
| 3 | 予約済み | 0に設定しておいてください |
| 4 | 予約済み | 0に設定しておいてください |
| 5 | PUREF | REF電源(0=パワー・ダウン、1=パワー・アップ) |
| 6 | RU | REFOUT使用(0=REFOUTをディスエーブル、1=REFOUTをイネーブル) |
| 7 | 5VEN | 5V動作モード(0=5Vモードをディスエーブル、1=5Vモードをイネーブル) |

AD73360

表X. コントロール・レジスタD

コントロール・レジスタD

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|-------|-------|-------|------|-------|-------|-------|
| PUI2 | I2GS2 | I2GS1 | I2GS0 | PUI1 | I1GS2 | I1GS1 | I1GS0 |

| ビット | 名前 | 説明 |
|-----|-------|----------------------|
| 0 | I1GS0 | ADC1 : 入力ゲイン選択(ビット0) |
| 1 | I1GS1 | ADC1 : 入力ゲイン選択(ビット1) |
| 2 | I1GS2 | ADC1 : 入力ゲイン選択(ビット2) |
| 3 | PUI1 | ADC1電源制御(1=オン、0=オフ) |
| 4 | I2GS0 | ADC2 : 入力ゲイン選択(ビット0) |
| 5 | I2GS1 | ADC2 : 入力ゲイン選択(ビット1) |
| 6 | I2GS2 | ADC2 : 入力ゲイン選択(ビット2) |
| 7 | PUI2 | ADC電源制御(1=オン、0=オフ) |

表XI. コントロール・レジスタE

コントロール・レジスタE

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|-------|-------|-------|------|-------|-------|-------|
| PUI4 | I4GS2 | I4GS1 | I4GS0 | PUI3 | I3GS2 | I3GS1 | I3GS0 |

| ビット | 名前 | 説明 |
|-----|-------|----------------------|
| 0 | I3GS0 | ADC3 : 入力ゲイン選択(ビット0) |
| 1 | I3GS1 | ADC3 : 入力ゲイン選択(ビット1) |
| 2 | I3GS2 | ADC3 : 入力ゲイン選択(ビット2) |
| 3 | PUI3 | ADC3電源制御(1=オン、0=オフ) |
| 4 | I4GS0 | ADC4 : 入力ゲイン選択(ビット0) |
| 5 | I4GS1 | ADC4 : 入力ゲイン選択(ビット1) |
| 6 | I4GS2 | ADC4 : 入力ゲイン選択(ビット2) |
| 7 | PUI4 | ADC4電源制御(1=オン、0=オフ) |

表XII. コントロール・レジスタF

コントロール・レジスタF

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|-------|-------|-------|------|-------|-------|-------|
| PUI6 | I6GS2 | I6GS1 | I6GS0 | PUI5 | I5GS2 | I5GS1 | I5GS0 |

| ビット | 名前 | 説明 |
|-----|-------|----------------------|
| 0 | I5GS0 | ADC5 : 入力ゲイン選択(ビット0) |
| 1 | I5GS1 | ADC5 : 入力ゲイン選択(ビット1) |
| 2 | I5GS2 | ADC5 : 入力ゲイン選択(ビット2) |
| 3 | PUI5 | ADC5電源制御(1=オン、0=オフ) |
| 6 | I6GS0 | ADC6 : 入力ゲイン選択(ビット0) |
| 5 | I6GS1 | ADC6 : 入力ゲイン選択(ビット1) |
| 6 | I6GS2 | ADC6 : 入力ゲイン選択(ビット2) |
| 7 | PUI6 | ADC6電源制御(1=オン、0=オフ) |

表XIII. コントロール・レジスタG

コントロール・レジスタG

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|------|-----|-----|-----|-----|-----|-----|
| SEEN | RMOD | CH6 | CH5 | CH4 | CH3 | CH2 | CH1 |

| ビット | 名前 | 説明 |
|-----|------|--------------------|
| 0 | CH1 | チャンネル1選択 |
| 1 | CH2 | チャンネル2選択 |
| 2 | CH3 | チャンネル3選択 |
| 3 | CH4 | チャンネル4選択 |
| 4 | CH5 | チャンネル5選択 |
| 5 | CH6 | チャンネル6選択 |
| 6 | RMOD | アナログ・モジュレータのリセット |
| 7 | SEEN | シングルエンド入力モードのイネーブル |

表XIV. コントロール・レジスタH

コントロール・レジスタH

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|-----|-----|-----|-----|-----|-----|-----|
| INV | TME | CH6 | CH5 | CH4 | CH3 | CH2 | CH1 |

| ビット | 名前 | 説明 |
|-----|-----|-------------------|
| 0 | CH1 | チャンネル1選択 |
| 1 | CH2 | チャンネル2選択 |
| 2 | CH3 | チャンネル3選択 |
| 3 | CH4 | チャンネル4選択 |
| 4 | CH5 | チャンネル5選択 |
| 5 | CH6 | チャンネル6選択 |
| 6 | TME | テスト・モードのイネーブル |
| 7 | INV | 反転チャンネル・モードのイネーブル |

レジスタ・ビットの説明

コントロール・レジスタA

- CRA : 0 データ/プログラム・モード。このビットは、AD73360の動作モードを制御します。CRA : 1が0の場合にこのビットを0に設定すると、プログラム・モードに設定されます。CRA : 1が0の場合にこのビットを1に設定すると、データ・モードに設定されます。
- CRA : 1 プログラム/データ・モード。このビットが0の場合、動作モードはCRA : 0により決定されます。このビットが1の場合、AD73360はプログラム/データ・モードで動作します。
- CRA : 2 予約済み。このビットは予約されており、正しい動作のためには0を書き込んでおいてください。
- CRA : 3 SPORTループバック。これは診断モードです。正しい動作のためには、このビットに0を書き込んでおいてください。
- CRA : 4~6 デバイス・カウント・ビット。これらのビットを使って、カスケード接続されているデバイス数を設定します。カスケード接続されている全AD73360には同一の値を設定する必要があります。表XVIIIを参照してください。
- CRA : 7 リセット。このビットに1を書き込むと、AD73360のソフトウェア・リセットが起動されます。

コントロール・レジスタB

- CRB : 0~1 デシメーション・レート。これらのビットを使ってAD73360のデシメーションを設定します。表VIIを参照してください。
- CRB : 2~3 シリアル・クロック分周器。これらのビットを使ってシリアル・クロック周波数を設定します。表VIを参照してください。
- CRB : 4~6 マスター・クロック分周器。これらのビットを使ってマスター・クロック分周比を設定します。表Vを参照してください。
- CRB : 7 コントロール・エコー・イネーブル。このビットを1に設定すると、AD73360は受信したコントロール・ワードを書き出します。これは診断モードで使用します。プログラム/データ・モードまたはデータ・モードでは、このビットを0に設定しておいてください。

AD73360

コントロール・レジスタC

- CRC : 0 グローバル・パワー・アップ。このビットに1を書き込むと、CRD~CRF内の消費電力コントロール・ビットの状態に無関係に、AD73360の全6チャンネルがパワー・アップします。6チャンネルより少ないチャンネル数を使用する場合は、このビットに0を設定して、使用するチャンネルの消費電力コントロール・ビットに1を設定します。
- CRC : 1~4 予約済み。これらのビットは予約されており、正しい動作のためには0を書き込んでおいてください。
- CRC : 5 リファレンスのパワー・アップ。このビットは内部リファレンスの状態を制御します。このビットに1を書き込むと、リファレンスがパワー・アップします。このビットに0を書き込むと、リファレンスがパワー・ダウンします。少なくとも1つのチャンネルがイネーブルされると、リファレンスは自動的にパワー・アップすることに注意してください。
- CRC : 6 リファレンス出力。このビットに1を書き込むと、REFOUTピンがイネーブルされます。
- CRC : 7 5Vイネーブル。このビットに1を書き込むと、5V動作モードがイネーブルされます。

コントロール・レジスタD

- CRD : 0~2 入力ゲインの選択。これらのビットを使って、ADC1の入力ゲインを選択します。表IVを参照してください。
- CRD : 3 ADC1の消費電力コントロール。このビットに1を書き込むと、ADC1がパワー・アップします。
- CRD : 4~6 入力ゲインの選択。これらのビットを使って、ADC2の入力ゲインを選択します。表IVを参照してください。
- CRD : 7 ADC2の消費電力コントロール。このビットに1を書き込むと、ADC2がパワー・アップします。

コントロール・レジスタE

- CRE : 0~2 入力ゲインの選択。これらのビットを使って、ADC3の入力ゲインを選択します。表IVを参照してください。
- CRE : 3 ADC3の消費電力コントロール。このビットに1を書き込むと、ADC3がパワー・アップします。
- CRE : 4~6 入力ゲインの選択。これらのビットを使って、ADC4の入力ゲインを選択します。表IVを参照してください。
- CRE : 7 ADC4の消費電力コントロール。このビットに1を書き込むと、ADC4がパワー・アップします。

コントロール・レジスタF

- CRF : 0~2 入力ゲインの選択。これらのビットを使って、ADC5の入力ゲインを選択します。表IVを参照してください。
- CRF : 3 ADC5の消費電力コントロール。このビットに1を書き込むと、ADC5がパワー・アップします。
- CRF : 4~6 入力ゲインの選択。これらのビットを使って、ADC6の入力ゲインを選択します。表IVを参照してください。
- CRF : 7 ADC6の消費電力コントロール。このビットに1を書き込むと、ADC6がパワー・アップします。

コントロール・レジスタG

- CRG : 0~5 チャンネルの選択。これらのビットはCRG : 6およびCRG : 7と組み合わせて使います。アナログ・モジュレータ・ビットのリセット(CRG : 6)が1の場合に、チャンネル選択ビット・ロケーションに1を設定すると、対応するチャンネルのアナログ・モジュレータがリセットされます。シングルエンド・イネーブル・モード・ビット(CRG : 7)が1の場合にチャンネル選択ビット・ロケーションに1を設定すると、対応するチャンネルがシングルエンド・モードになります。チャンネル選択ビットに0を設定すると、対応するチャンネルが差動モードになり、CRG : 6とCRG : 7の状態と無関係に、アナログ・モジュレータリセットされません。
- CRG : 6 アナログ・モジュレータのリセット。このビットに1を設定すると、チャンネル選択ビット(CRG : 0~5)が、1に設定されているチャンネルのアナログ・モジュレータをリセットします。通常動作の場合は、このビットに0を設定します。
- CRG : 7 シングルエンド・イネーブル・モード。このビットに1を設定すると、チャンネル選択ビット(CRG : 0~5)が1に設定されているチャンネルをシングルエンド・モードにします。このビットに0を設定すると、全チャンネルを差動入力モードにします。

コントロール・レジスタH

- CRH : 0~5 反転の選択。これらのビットはCRH : 7と組み合わせて使います。反転チャンネル・モード・ビット・イネーブル(CRH : 7)が1の場合に、チャンネル選択ビット・ロケーションに1を設定すると、対応するチャンネルが反転モードになります。チャンネル選択ビットに0を設定すると、対応するチャンネルが差動モードになり、CRG : 7の状態と無関係に、そのチャンネルは反転されません。
- CRH : 6 テスト・モードのイネーブル。正しい通常動作のためには、このビットに0を設定しておいてください。
- CRH : 7 反転チャンネル・モードのイネーブル。このビットに1を設定すると、チャンネル選択ビット(CRG : 0~5)が1に設定されているチャンネルの反転をイネーブルします。このビットに0を設定すると、全チャンネルに対して通常モードが選択されます。

マスター・クロック分周器

AD73360にはプログラマブルなマスター・クロック分周器があります。これを使い、外部からMCLKピンに入力されるマスター・クロックを分周比1、2、3、4、5で分周して、内部マスター・クロック信号(DMCLK)を発生できます。このDMCLKはサンプリング・クロックとシリアル・クロックのレート計算に使用されます。マスター・クロック分周器は、CRB:4~6を使って設定します。表XVに、種々のビット設定に対応する分周比を示します。デフォルトの分周比は1です。

表XV. DMCLK (内部) レート分周器の設定

| MCD2 | MCD1 | MCD0 | DMCLKレート |
|------|------|------|----------|
| 0 | 0 | 0 | MCLK |
| 0 | 0 | 1 | MCLK / 2 |
| 0 | 1 | 0 | MCLK / 3 |
| 0 | 1 | 1 | MCLK / 4 |
| 1 | 0 | 0 | MCLK / 5 |
| 1 | 0 | 1 | MCLK |
| 1 | 1 | 0 | MCLK |
| 1 | 1 | 1 | MCLK |

シリアル・クロック・レート分周器

AD73360にはプログラマブルなシリアル・クロック分周器があります。これを使い、データのシリアル・クロック(SCLK)レートをDSPエンジンまたはホスト・プロセッサのシリアル・クロック・レートに合わせられます。使用可能な最大SCLKレートはDMCLKで、DMCLK/2、DMCLK/4、DMCLK/8の各レートも使用可能です。最も低速のレート(DMCLK/8)がデフォルトのSCLKレートになっています。シリアル・クロック分周器はビットCRB:2~3を使って設定します。表XVIに、種々のビット設定に対応するシリアル・クロック・レートを示します。

表XVI. SCLKレート分周器の設定

| SCD1 | SCD0 | SCLKレート |
|------|------|-----------|
| 0 | 0 | DMCLK / 8 |
| 0 | 1 | DMCLK / 4 |
| 1 | 0 | DMCLK / 2 |
| 1 | 1 | DMCLK |

デシメーション・レート分周器

AD73360にはプログラマブルなデシメーション・レート分周器があります。これを使い、AD73360のADCサンプル・レートをDSPソフトウェアの要求に合わせられます。使用可能な最大サンプル・レートはDMCLK/256で、DMCLK/512、DMCLK/1024、DMCLK/2048も使用できます。最低速(DMCLK/2048)がデフォルト・サンプル・レートになっています。サンプル・レート分周器は、ビットCRB:0~1を使用して設定します。表XVIIに、種々のビット設定に対応するサンプル・レートを示します。

表XVII. デシメーション・レート分周器の設定

| DR1 | DRO | サンプルレート |
|-----|-----|--------------|
| 0 | 0 | DMCLK / 2048 |
| 0 | 1 | DMCLK / 1024 |
| 1 | 0 | DMCLK / 512 |
| 1 | 1 | DMCLK / 256 |

動作概要

AD73360は、データを時分割多重(TDM)フォーマットで入/出力します。AD73360からデータを読み出すときは、各チャンネルは固定タイム・スロットを使ってデータを転送します。チャンネルがパワー・アップされていない場合、割り当てられたタイム・スロットではデータが転送されず、SDOラインがスリー・ステートになります。AD73360がパワー・アップまたはリセットされると、プログラム・モードに設定されて、SDOFSを出力します。リセットの後、SDOFSは各サンプル周期(マスター・クロックが16.384MHzの場合125μs)に1回アサートされます。AD73360がフレーム同期ループバック・モードの場合は、各SDOFSパルス後に1コントロール・ワードを転送できます。図10aに、リセット後のSDO、SDOFSの各ラインのタイミングを示します。SDOから送信されるシリアル・データには、AD73360がデータ・モードまたはプログラム/データ・モードになるまで、有効ADCデータが含まれていません。コントロール・レジスタD~Fを使うと、チャンネルを個別にパワー・アップできます。この機能を使うと、フレキシブルな消費電力の制御ができます。図10bに、全チャンネル・パワー・アップ時のAD73360のSDOFSとSDOを、図10cにはチャンネル1、3、5のパワー・アップ時のSDOFSとSDOを、それぞれ示します。

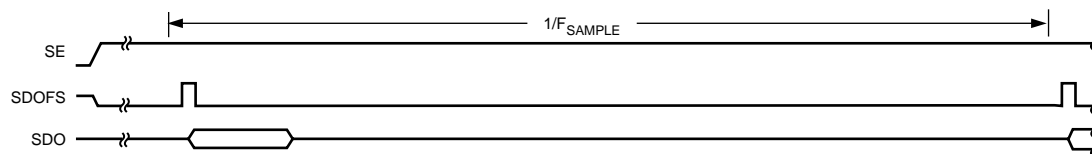


図10a リセット後の出力タイミング(プログラム・モード)

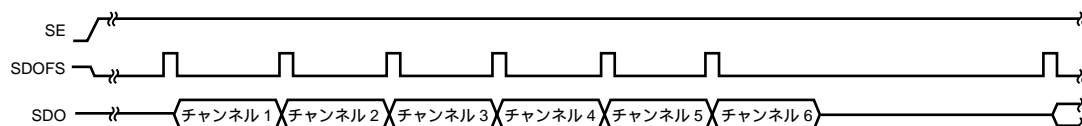


図10b 出力タイミング: 全チャンネルがパワー・アップ(データ・モードとプログラム/データ・モード)

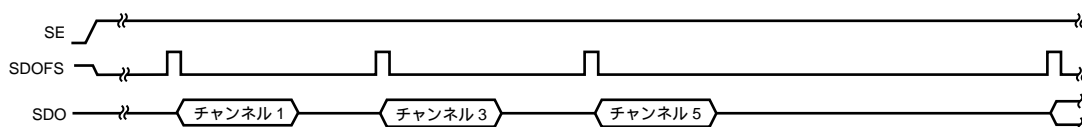


図10c 出力タイミング: チャンネル1、3、5がパワー・アップ(データ・モードとプログラム/データ・モード)

AD73360

AD73360のリセット

RESETピンは、全コントロール・レジスタをリセットします。全レジスタがゼロにリセットされて、SCLK(DMCLK/8)とサンプル・レート(DMCLK/2048)がデフォルトの最小値に設定されて、低速のDSPエンジンとも交信できます。RESETピンを使ったコントロール・レジスタのリセットと同様に、コントロール・レジスタA内のRESETビット(CRA:7)を使ったAD73360のリセットもできます。このハド/ソフトウェア・リセットは、DMCLKクロックで4サイクルを要します。リセット時に、DATA/PGM(CRA:0)は0に設定されて(デフォルト状態)、プログラム・モードがイネーブルされます。リセット状態により、パワーオン/リセット直後のデバイスの正しい設定が保証されます。リセットに続き、RESETピンがハイになった後MCLKクロックで約2070サイクルが経過すると、SDOFSがアサトされます。リセット後およびプログラム・モード内で出力されるデータはランダムであり、データ・モードまたはコントロール/データ・モードが設定されるまで、有効な情報が含まれません。

消費電力管理

パワー・コントロール・レジスタCRCを設定して、AD73360内の個々の機能ブロックを個別にイネーブルにできます。これにより、不要な部分の電源をオフにでき、ユーザー設計の際に不要な部分に電源を供給しない柔軟性が実現します。パワー・コントロール・レジスタは、各アナログ・フロントエンド・ユニット内の主要な機能ブロックへの個別の制御設定を提供します。さらに、ビットのセット/クリアにより、全部分のパワー・アップ/ダウンを行う、グローバル・オーバーライド機能も提供します。この方法を使い、例えばリファレンス(CRC:5)などの特定部分の電源を個別にオンにし、他の部分を電源オフにもできます。グローバル・パワー・アップ(CRC:0)を使って全部をイネーブルにもできますが、グローバル制御を使ってパワーオフが必要な場合は、個別ビットが設定されているため、リファレンスはイネーブルのままになっています。CRCの設定の詳細については、表XIIを参照してください。CRD~CRFを使うと、個々のチャンネルの消費電力を制御でき、必要に応じて複数のチャンネルをパワー・ダウンできます。

動作モード

AD73360には、プログラム・モード、データ・モード、プログラム/データ・モードの3つの主要な動作モードがあります。デバイスの構成(レジスタ設定)は、プログラム・モードとプログラム/データ・モード内でのみ変更できます。全てのモードで、AD73360に入/出力する情報転送は16ビット・パケットを使って行うため、DSPエンジンのシリアル・ポートは16ビット転送に設定しておいてください。

プログラム(コントロール)モード

プログラム・モード(CRA:0=0)では、ユーザーがコントロール・レジスタに書き込みを行ってAD73360の動作(SPORT動作、カスケード接続長、消費電力管理、入/出力ゲインなど)を指定します。このモードでは、DSPエンジンからAD73360に送信された16ビット情報パケットがコントロール・ワードとして解釈されます。コントロール・ワードのフォーマットは表VIに示します。このモードでは、ユーザーがコントロール・ワードのアドレス・フィールドを使って、設定するデバイスのアドレスを指定する必要があります。AD73360はこのフィールドを読み、それがゼロ(000バイナリ)の場合、そのワードが自分に指定されたものと解釈します。アドレス・フィールドが非ゼロの場合は、その値を減らしてコントロール・ワードをカスケード接続内の次のデバイスに渡すか、あるいはDSPエンジンに戻します。この3ビット・アドレス・フォーマットにより、カスケード接続さ

れた最大8個のAD73360をアドレス指定できます。このアドレス指定方式は、制御情報をAD73360に送信するときだけ有効になります。AD73360をDSPに接続した独立の設定で使用する場合は、2つのデバイス・アドレスは0に対応します。一方、AD73360を複数デバイスのカスケード接続内で使用する場合は、デバイス・アドレスはカスケード接続内のハドウェア位置に対応します。

リセットの後、SEピンがイネーブルされると、AD73360はSDOFSピンをハイにして出力サンプル・イベントが発生したことを表示して応答します。SPORTからのデータ送信中にもAD73360へのコントロール・ワードの書き込みは可能です(図12参照)。また、サンプル時間間隔を超えない範囲で出力ワードを遅らせることもできます。詳細については、デジタル・インターフェースの項を参照してください。リセット後、コントロール・レジスタBが設定されるまで、出力フレーム同期パルスはデフォルトの低いサンプル・レート(DMCLK/2048)で発生します。コントロール・レジスタBが設定された後は、SDOFSは選択したレートでパルスを出力します。この機能は、低速のコントローラ・デバイスがAD73360と通信できるようにするためです。プログラム・モードでは、デバイスからのデータ出力はランダムであり、ADCデータとして解釈することはできません。

データ・モード

種々のコントロール・レジスタに書き込みを行いAD73360を設定すると、AD73360はプログラム・モードを抜け出してデータ・モードに入ります。これは、DATA/PGM(CRA:0)ビットを1に、MM(CRA:1)を0に設定して行われます。AD73360がデータ・モードに入ると、入力データは無視されます。通常データ・モードにあるとき(コントロール/データ・モードがディスエーブルのとき)は、コントロール・レジスタの設定を再設定するためには、ハドウェア・リセットを受信する必要があります。通常データ・モードでのアナログ・フロントエンドの初期化と動作については、別紙Cで詳しく説明します。

プログラム/データ・モード

このモードでは、AD73360にコントロール・ワードを送信すると同時に、ADCワードを受信できます。この機能を使い、コントロール・レジスタの再設定により入力ゲインの制御が変更できる、AD73360の適応型制御が可能になります。標準データ・フレームは16ビットのままですが、この場合はMSBをフラグ・ビットとして使って、フレーム内の残りの15ビットが制御情報であることを識別しています。MMビット(CRA:1)を1に、DATA/PGMビット(CRA:0)を1にそれぞれ設定すると、このコントロール/データ・モードがイネーブルされます。通常動作中に制御設定の変更が必要な場合は、このモードを使うと、データのフォーマットが少し面倒ですが、制御とデータの両情報をロードできます。ADCからの出力サンプルも、MSBがゼロに設定されて、データ・ワードであることを示していることに注意してください。

1個のAD73360のコントロール/データ・モードでの初期化と動作の詳細は、別紙Bに記載します。別紙Dでは、コントロール/データ・モードでのアナログ・フロントエンド・カスケード接続の初期化と動作について説明しています。コントロール/データ・モードをアクティブに設定する前には、必ずしもプログラム・モードでコントロール・レジスタに書き込みを行う必要はありません。最初にCRAに対する書き込みを行い、その後で別のコントロール・ワードを書き込むことにより、コントロール/データ・モードの選択ができます。

インターフェース

AD73360は、従来型のシリアル・ポート接続とイネーブル・コントロール・ラインを使って、ほとんどの最新DSPエンジンにインターフェースできます。シリアル入力と出力データはフレーム同期化信号を使っています。この同期化信号は16ビット・ワードの開始前の1クロック・サイクル間、また、送信が連続している場合の直前ワードの最終ビットの間に、アクティブ・ハイになります。AD73360からシリアル・クロック(SCLK)が出力され、DSPのTxポートまたはRxポートに対するシリアル転送レートを決定します。次の2種類の基本構成が使用できます。1つ目の構成(図11)では、DSPのTxデータ、Txフレーム同期、Rxデータ、Rxフレーム同期を、それぞれAD73360のSDI、SDIFS、SDO、SDOFSに接続しています。この構成は、間接的結合または非フレーム同期ループバックと呼ばれ、入力データの送信を出力データの受信から切り離す効果を持っています。DSPのシリアル・ポートをこの構成に設定するときは、Rxフレーム同期を入力に、Txフレーム同期をDSPから発生する出力に、それぞれ設定してください。DSPはAD73360に送信するワード数を決定する機能を持っているため、この構成はコントロール/データ・モードでの動作に便利です。これは、与えられたサンプル間隔内で、デバイス設定を使ったフル制御が可能であることを意味します。2つ目の構成(図12)では、DSPのTxデータとRxデータをそれぞれAD73360のSDIとSDOに接続し、DSPのTxフレーム同期とRxフレーム同期をそれぞれAD73360のSDIFSとSDOFSに接続します。この構成は、直接結合またはフレーム同期ループバックと呼ばれ、フレーム同期信号同士が一緒に接続され、AD73360への入力データがAD73360からの出力データに強制的に同期させられます。AD73360のSDOFSは両方に対する入力なので、Tx F_sとRx F_sの両方を入力にするようにDSPを設定してください。この構成は入/出力イベントの同時発生を可能にし、通常のデータ・モード動作として最も簡単な構成です。この構成でDSPを設定するときは、AD73360をリセットから抜け出させる前に、最初のコントロール・ワードをTxレジスタにプリロードしておくことをお奨めします。このようにすると、AD73360の最初のワード出力と同時に、このワードが確実に送信されることが保証されます。

デジタル・インターフェース

AD73360は、一般的なほとんどのDSPに容易にインターフェースできるよう設計されています。SCLK、SDO、SDOFS、SDI、SDIFSは、それぞれDSPのシリアル・クロック、受信データ、受信データ・フレーム同期、送信データ、送信データ・フレーム同期ピンに接続します。SEピンは、パラレル出力ピンまたはADSP-21xxのFL0-2またはTMS320C5xのXF)などのフラグ・ピンで制御できます。あるいは、SPORT電源オフが不要な場合、適切なプルアップ抵抗を使ってハイに固定できます。RESETピンは、システム・ハードウェア・リセットに接続できます。また、専用の制御ラインを使った制御もできます。グローバル・システム・リセットに接続するときは、ソフトウェア・リセット可能な、コントロール/データ・モードでの動作をお奨めします。それ以外では、AD73360をリセットする適当な方法がありません。図11と図12に、それぞれADSP-218xとTMS320C5xの代表的な接続を示します。

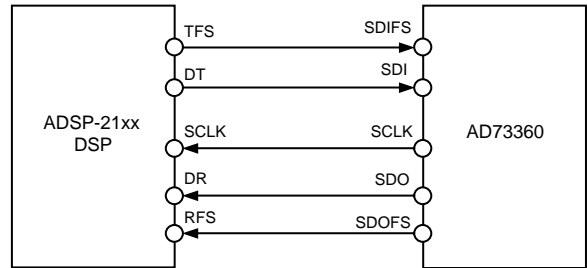


図11 間接結合または非フレーム同期ループバック構成

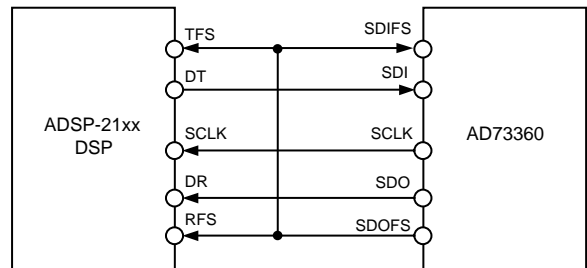


図12 直接結合またはフレーム同期ループバック構成

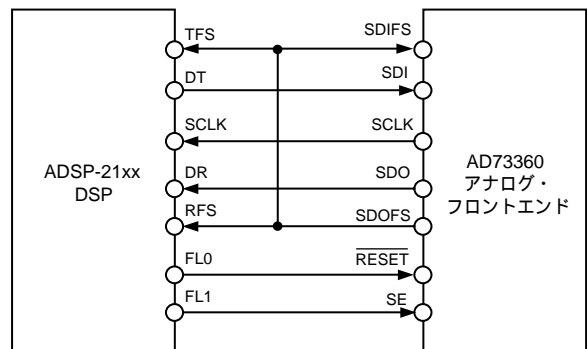


図13 AD73360とADSP-21xxとの接続

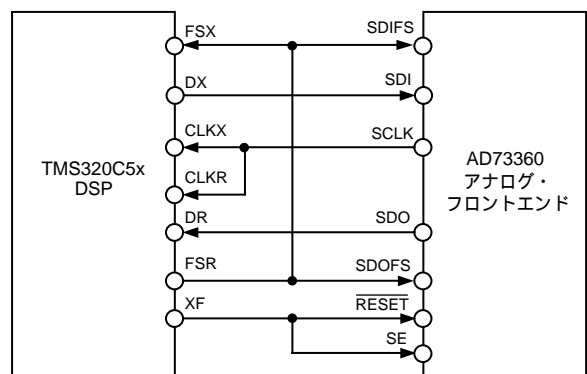


図14 AD73360とTMS320C5xとの接続

AD73360

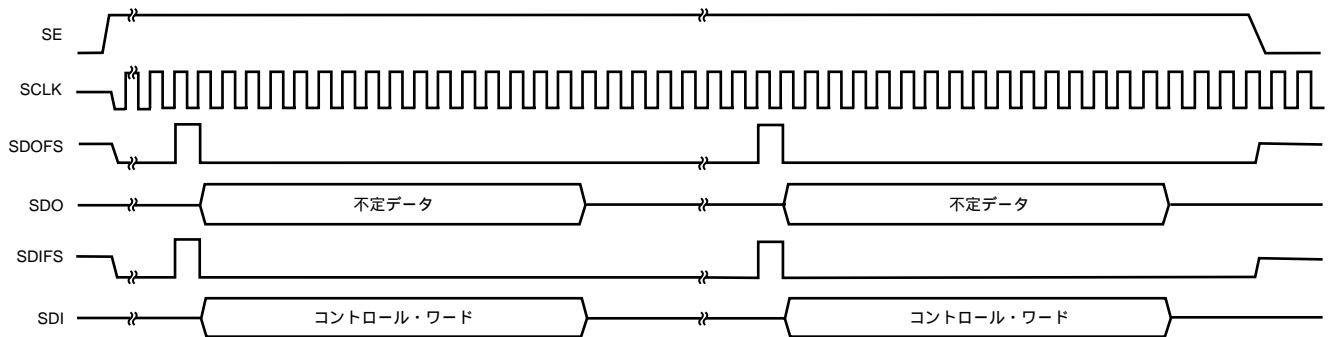


図15a プログラム・モード動作でのインターフェース信号のタイミング(レジスタへの書き込み)

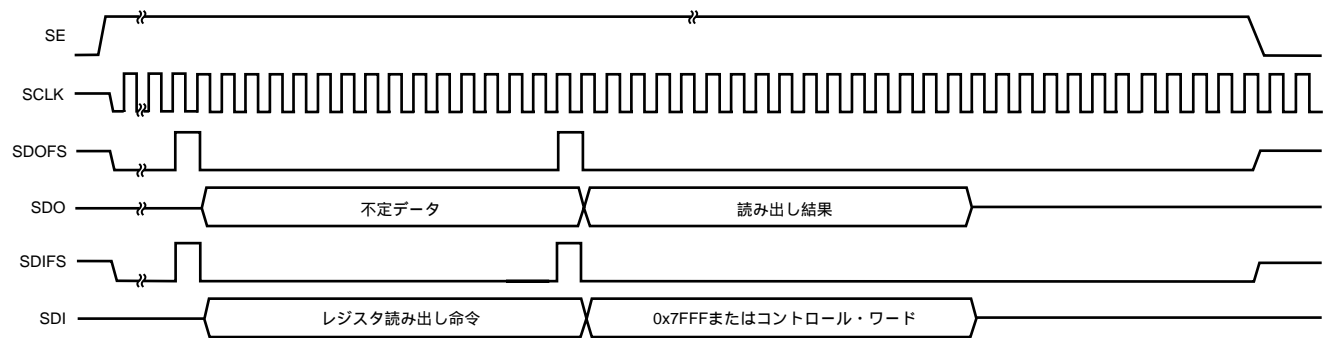


図15b プログラム・モード動作でのインターフェース信号のタイミング(レジスタの読み出し)

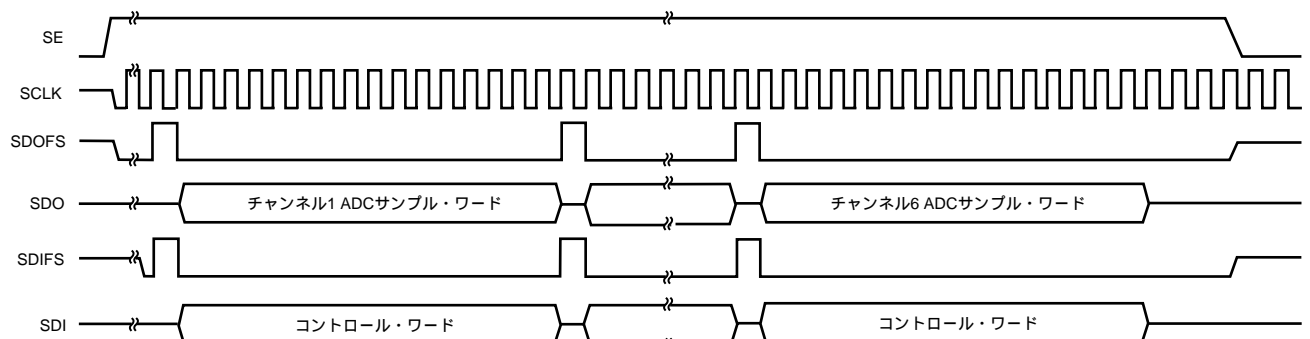


図16a プログラム/データ・モード動作でのインターフェース信号のタイミング

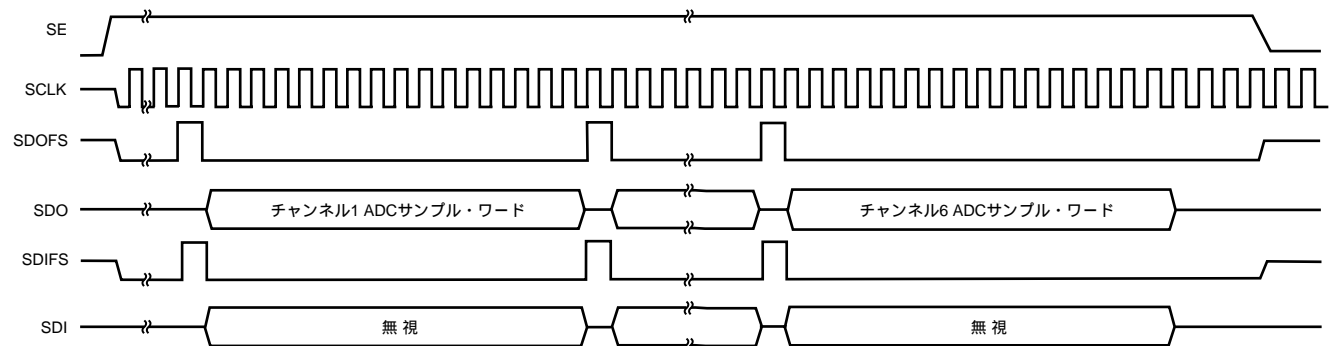


図16b データ・モード動作でのインターフェース信号のタイミング

カスケード動作

AD73360は、最大8個までのデバイスを1つのシリアル・ポートにカスケード接続できます(図17)。SPORTインターフェース・プロトコルは、デバイスに送信される情報パケットにデバイス・アドレスを組み込むように設計されています。このため、コントロール信号またはアドレス指定のためにハードウェアのオーバーヘッドを増加させずにカスケード接続が可能です。カスケード接続は、前述の2つのモードで構成できます。

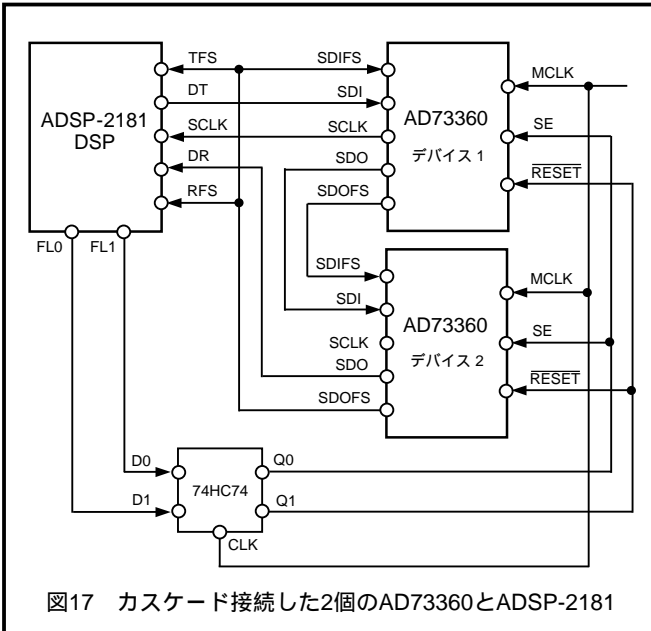


図17 カスケード接続した2個のAD73360とADSP-2181

カスケード接続されたAD73360の数と選択したシリアル・クロック・レートのために、カスケード動作には幾つかの制約が発生することがあります。次式は、サンプル・レート、シリアル・クロック、カスケード接続できるデバイス数の組み合わせが正しく動作するか否かを表します。この式は、直接結合フレーム同期構成(図12)の場合を仮定しており、割り込み区切りは考慮していません。

$$\frac{1}{f_s} \geq \frac{6 \times [((\text{デバイス数} - 1) \times 16) + 17]}{SCLK}$$

カスケード動作で間接結合フレーム同期構成を使う場合には、コントロール・ワード・データを送信する際に、カスケード接続内の全デバイスに対して制約が起きることを知っておく必要があります。直前のADCサンプルの読み出しと次のサンプル周期の開始との間に、全コントロール・ワードを送信するための十分な時間を保証する必要があります。

カスケード・モードでは、正しい時間にデータを出力できるデバイスがカスケード接続内に何個存在するか、各デバイスに認識させる必要があります。コントロール・レジスタAには、プログラミング段階でDSPが設定する3ビット・フィールド(DC0~2)が配置されています。デフォルト状態では、このフィールドは

000bに設定され、これはカスケード内に1個のデバイスが存在することに对应します(表XVIII)。ただし、カスケード動作の場合、このフィールドにはカスケード接続内のデバイス数より1つ小さいバイナリ値を設定してください。カスケード接続内に複数のAD73360が存在する場合には、ADC結果を順番にDSPへ送信します。例えば、カスケード接続内にデバイスが2個存在する場合、デバイス2のチャンネル1、デバイス1のチャンネル1、デバイス2のチャンネル2、デバイス1のチャンネル2等々の順序でデータが出力されます。カスケード接続内の先頭デバイスがチャンネル・データを送信した場合、1サイクルのSCLK周期が追加されます。この区間に、最終デバイスが次のチャンネルの送信を開始するときに、SDOFSがアサ・トされます。多くのDSPはフレーム同期の後のクロック・エッジをカウントして追加されたビットを無視するため、これにより問題が生ずることはありません。

複数のデバイスをカスケード接続している場合には、パワー・アップするADCチャンネルに関する制約もあります。すべてのケースで、カスケード接続されたデバイスは全て同じチャンネルをパワー・アップさせる必要があります(すなわち、2個のデバイスがカスケード接続され、デバイス1のチャンネル1とチャンネル2、およびデバイス2のチャンネル5を使用する場合には、両デバイスのチャンネル1、チャンネル2、チャンネル5をパワー・アップしてください)。図18に、カスケード接続された2個のデバイスのタイミング・シーケンスを示します。

表XVIII. デバイス数の設定

| DC2 | DC1 | DC0 | カスケード長 |
|-----|-----|-----|--------|
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 2 |
| 0 | 1 | 0 | 3 |
| 0 | 1 | 1 | 4 |
| 1 | 0 | 0 | 5 |
| 1 | 0 | 1 | 6 |
| 1 | 1 | 0 | 7 |
| 1 | 1 | 1 | 8 |

図17のカスケード接続された複数AD73360とDSPの接続は、1個のAD73360の場合と複雑さは変わりません。SDOとSDOFSをDSPのRxポートに接続する代わりに、ここではカスケード接続内の次のデバイスのSDIとSDIFSにデジ・チェーン接続しています。カスケード接続内の最終デバイスのSDOとSDOFSをDSPのRxポートに接続してカスケード接続が完成します。全デバイスのSEとRESETには、図19の回路を使ってMCLKに同期した信号が接続されます。全デバイスが同じSCLK周波数と位相で動作するため、DSPのSCLK入力には1個のAD73360から出力されるSCLKを接続するだけで済みます。

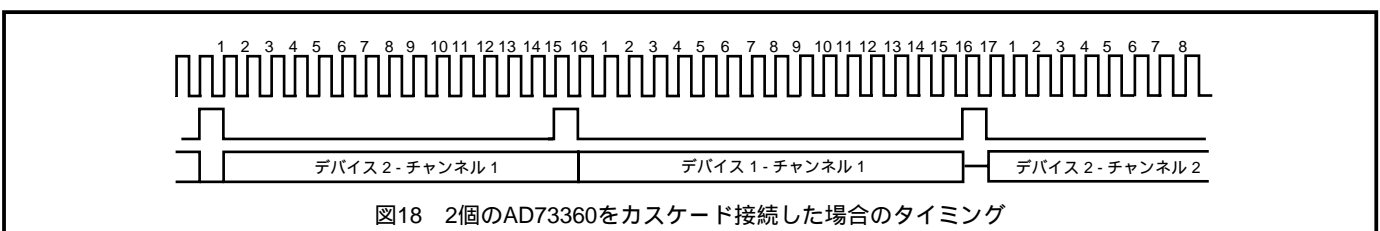


図18 2個のAD73360をカスケード接続した場合のタイミング

AD73360

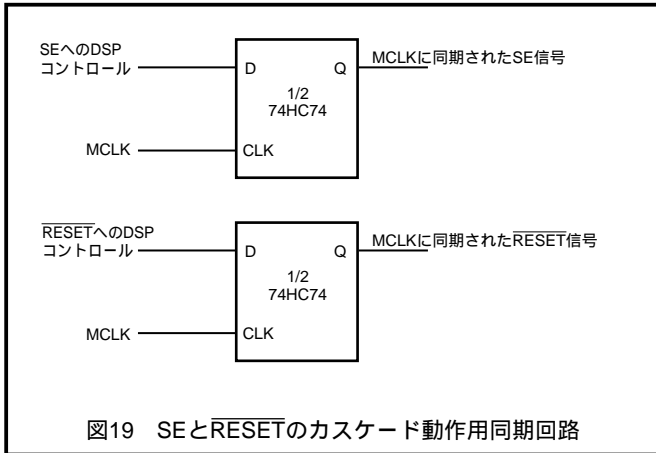


図19 SEとRESETのカスケード動作用同期回路

性能

AD73360は、高性能・低価格の変換を提供するように設計され、代表的なアプリケーションでこの高性能を達成する方法を理解することが重要です。この項では、スペクトル図を使ってAD73360の代表的な性能を解説し、デバイス内で直接またはDSP内で後処理を行うことによって要求サンプル・レートを達成する際に使用可能な、幾つかのオプションを説明します。また、別の手段についても、その利点と欠点を説明します。

エンコーダ部

エンコーダ部のサンプル周波数はDMCLK / 256であり、DMCLK = 16.384MHzの場合には64kHzの出力レートになります。

モジュレータのノイズ整形機能も、使用するクロック周波数に依存します。これは、特定の帯域幅での最適なダイナミック性能が、使用可能な最高レートのオーバーサンプリングで達成されることを意味します。注目信号がDC ~ 4kHzの音声帯域幅内にあるとすると、64kHzのサンプリングは、音声帯域幅内で良好なS/N比を与えるスペクトル応答を示します(図20)。

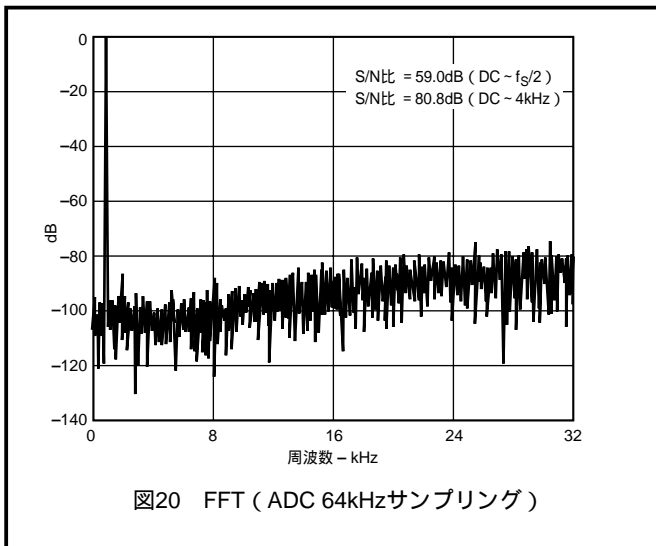


図20 FFT (ADC 64kHzサンプリング)

CRB内のデシメーション・レート分周器の設定を変えることにより、サンプリング・レートを変えることができます。DMCLK = 16.384MHzの場合、64kHz、32kHz、16kHz、8kHzのサンプル・レートが使用可能です。

図21に、最大オーバーサンプリング・レートを使って8kHzでサンプルした信号の最終スペクトル応答を示します。

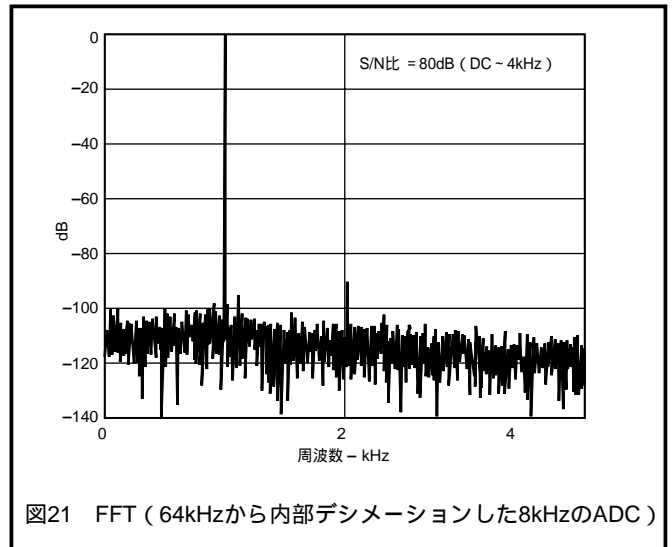


図21 FFT (64kHzから内部デシメーションした8kHzのADC)

CRB(MCD2 ~ MCD1)内にあるDMCLKレート分周器の設定を変更してオーバーサンプリング比を小さくして、低いサンプル・レートを発生できます。これは、狭い帯域内に量子化ノイズを分散させて、ダイナミック性能を低下させます。図22に、DMCLKレートを下げて8kHzレートでサンプルした信号のFFTを示します。

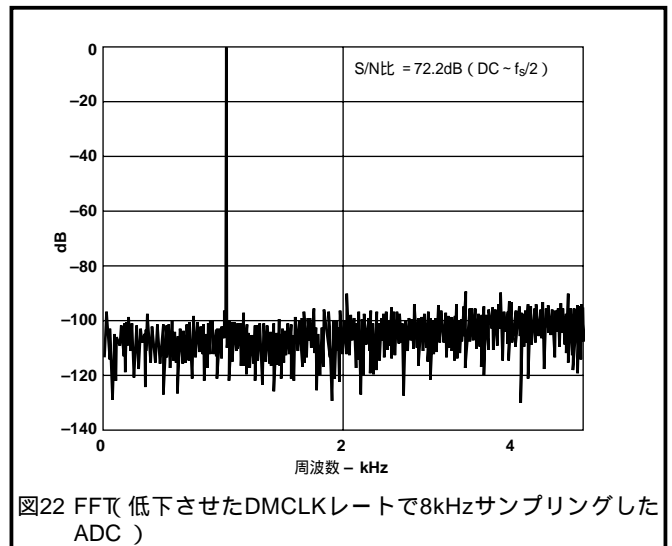
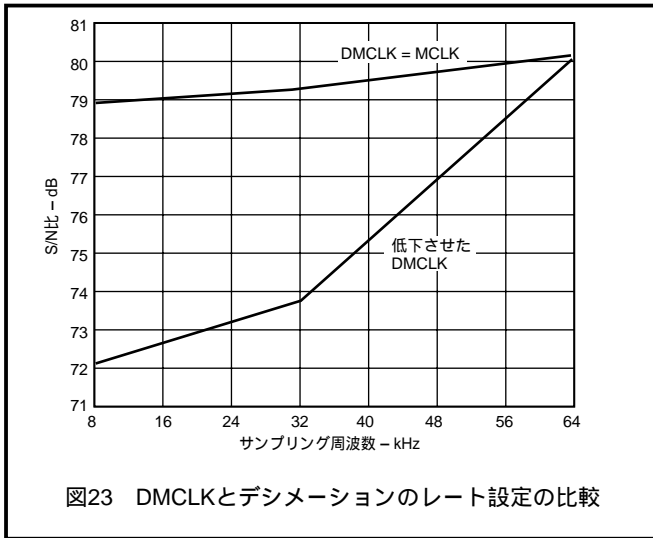


図22 FFT (低下させたDMCLKレートで8kHzサンプリングしたADC)

図23に、デシメーションとDMCLKのレート設定を変化させた場合の、S/N比の比較を示します。



エンコーダの群遅延

サンプリング・レートを高く設定すると、AD73360の群遅延は非常に小さくなります。これは次の関係式で求められます。

$$\text{群遅延(デシメータ)} = \text{次数} \times ((M - 1) / 2) \times T_{\text{dec}}$$

ここで、

次数はデシメータの次数 (= 3)

Mはデシメーション係数 (= 32)

T_{dec} はデシメーション・サンプル時間間隔 (= $1 / 2.048e6$)

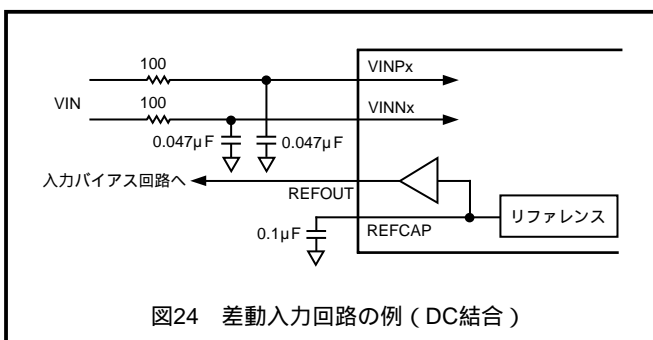
$$\Rightarrow \text{群遅延(デシメータ)} = 3 \times (32 - 1) / 2 \times (1 / 2.048e6) = 22.7 \mu\text{s}$$

最終段フィルタをDSPで構成した場合は、全体の群遅延を計算する際に最終段フィルタの群遅延も考慮する必要があります。

設計上の考慮事項

アナログ入力

AD73360には6個のシグナル・コンデショニング入力があり、シグナル・コンデショニング・ブロックを使い、シングル・エンドまたは差動信号で使用できます。入 / 出力をシングル・エンド・モードでインターフェースさせることも可能です。この項では、入 / 出力構成の選択、アナログ・インターフェース部の正しい構成について説明します。必要に応じて、AD73360の内部で入力信号の反転もできます。入力信号のDCバイアス・レベルが内部リファレンス・レベル (REFOUT) と等しい場合は、AD73360へのアナログ入力信号のDC結合もできます。図24に、AD73360への推奨差動入力回路を示します。図24の回路では、3dB点で34kHzとなる一次ローパス・フィルタを使用しています。



サンプル済み信号のエイリアス防止のために、AD73360に外付けするフィルタはこれだけで済みます。ADCでは、非常に高度なオーバーサンプル技術を使って、デジタル領域に各種のアンチエイリアス・フィルタ処理を行うため、外部アンチエイリアス・フィルタが低い次数のもので済みます。最適性能を得るためには、アンチエイリアス・フィルタに高品質な誘電体型 (NPO) コンデンサの使用を推奨します。

入力回路のゲインが不足する場合、AD73360の内部38dBプリアンプをイネーブルにできます。このプリアンプはCRD内のビットIGS0~IGS2を使って設定できます。合計ゲインの設定では、ADCのモジュレータ入力の信号レベルが最大入力範囲を超えないように、フル・スケール入力信号を調整してください。アナログ入力信号のDCバイアスは、内部・リファレンスから与えます。入力信号を内部リファレンス・レベル (REFOUTピン使用) でバイアスしない場合は、外付けコンデンサを使用してAC結合してください。CINは0.1 μF以上にします。入力のDCバイアスはREFOUTへ抵抗を接続して得られます (図25参照)。

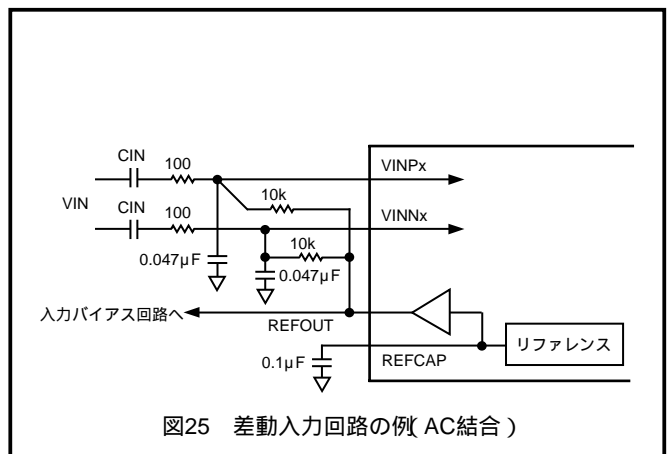
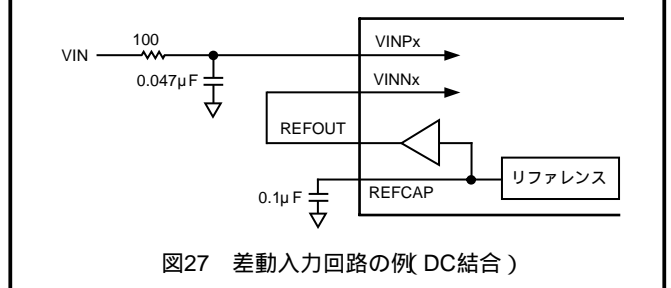
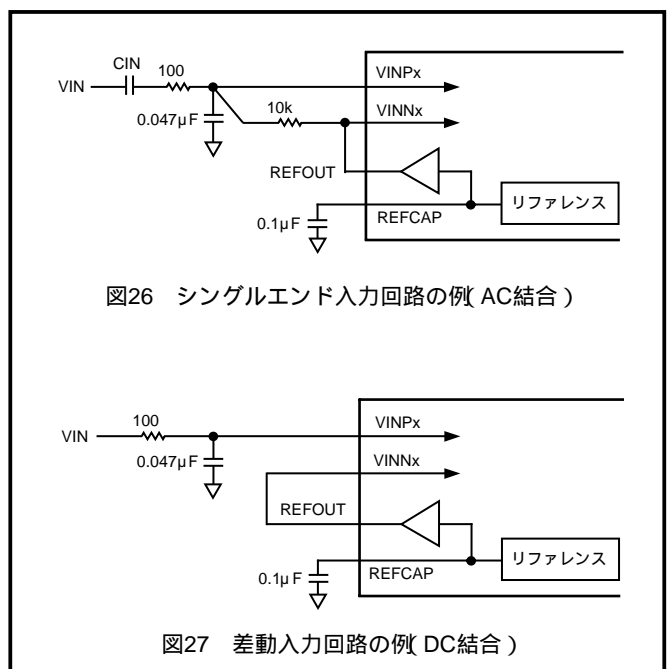


図26と図27に、シングル・エンド動作での、AC結合入力回路とDC結合入力回路を示します。



AD73360

デジタル・インターフェース

AD73360は多様なサンプル・レートとクロック速度が使用できるため、アプリケーションによっては、希望の性能を得るために最適な組み合わせの選択が重要です。AD73360から出力されるデータを高速なシリアル・クロックで読み出して、より多くの処理時間を割り当てることもできますが、その代わりに回路にデジタル・ノイズが発生します。デジタル入/出力ラインに直列に抵抗 (< 50 typ) を接続して、デジタル・ノイズの削減もできます。優れた接地とレイアウトによっても、ノイズを最小に抑えられます。

一般に、最適性能はアプリケーションで必要とされる最低速のサンプル・レートとSCLK周波数を選択することにより達成されます。これは発生するデジタル・ノイズが最小になるためです。図28に、1サンプル周期で全6チャンネルからデータを読み出すことを可能にする、サンプル・レートとSCLK周波数の組み合わせを示します。これらの図はDMCLK = MCLKの設定に対応します。

| | 8KSPS | 16KSPS | 32KSPS | 64KSPS |
|-------|-------|--------|--------|--------|
| SCLK | | | x | x |
| 2MHz | | | | x |
| 4MHz | | | | |
| 8MHz | | | | |
| 16MHz | | | | |

注：SCLKとサンプル・レートの組み合わせによっては、許容時間内に全6チャンネルのデータを読み出すのに不十分な場合もあります。このような場合をxで示してあります。

図28 SCLKとサンプル・レートの組み合わせ

接地とレイアウト

AD73360のアナログ入力は差動なので、アナログ・モジュレータ内の多くの電圧はコモン・モード電圧です。AD73360は優れたコモン・モード除去比を備え、入力でのコモン・モード・ノイズを除去します。AD73360のアナログ電源とデジタル電源は独立かつ分離しており、AD73360のアナログ部とデジタル部の結合を最小にしています。エンコーダ部のデジタル・フィルタは、モジュレータ・サンプリング周波数の整数倍以外の広帯域で電源ノイズを除去します。また、ノイズ源がアナログ・モジュレータを飽和させない限り、デジタル・フィルタがアナログ入力のノイズも除去します。しかし、AD73360のADC分解能が高く、AD73360で発生するノイズ・レベルが低いので、接地とレイアウトについて注意が必要です。

AD73360を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するように設計してください。AD73360のピン配置では、アナログ・インターフェースとデジタル・インターフェースは、互いにパッケージの反対側で接続するようになっています。このため、グラウンド・プレーンが簡単に分離できます(図29)。一般に、グラウンド・プレーンのエッチングを最小にすると、シールド効果を上げることができます。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは1点で接続してください。この接続点がAD73360の近くにある場合は、図29に示すようにフェライト・ビーズ・インダクタの使用を推奨します。

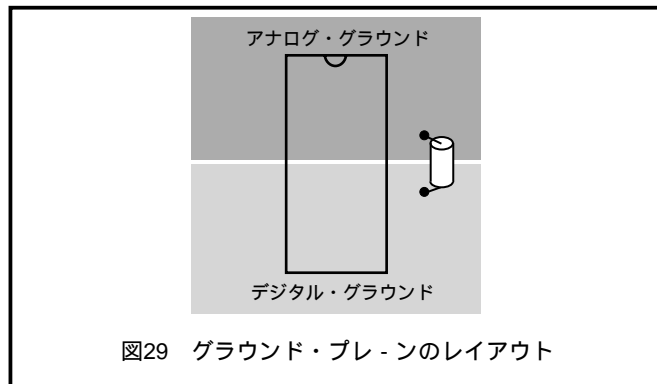


図29 グラウンド・プレーンのレイアウト

ノイズがチップに混入しないように、AD73360の真下にデジタル・ラインを通さないでください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンをAD73360の下に通過させてください。AD73360の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチの影響を軽減させます。クロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分へのノイズ放射を防止します。また、クロック信号がアナログ入力の近くを通過しないようにします。ボードの反対面のパターンは、互いに右回りで通過させます。これにより、ボードを貫通する結合の影響を減らせます。マイクロストリップ技術は最善ですが、両面ボードでは常に可能とは限りません。この技術では、ボードの部品面はグラウンド・プレーン専用にして、信号は反対面に配線します。

高速デバイスではデカップリングが重要です。AD73360では、リファレンス(REFCAP)ピンと電源ピンをデカップリングしてください。高性能を維持するため、REFCAPピンと電源ピンのできるだけ近くにデカップリング・コンデンサの接続を推奨します。全アナログ電源とデジタル電源は、0.1 μFセラミック・コンデンサと10 μFタンタル・コンデンサの並列接続を通してそれぞれAGNDとDGNDとデカップリングしてください。AD73360のAVDDとDVDDを共通の電圧で駆動するシステムでは、システムのAVDD電源の使用を推奨します。この電源に対しては、AD73360のAVDDピンとAGND間に推奨アナログ電源デカップリング・コンデンサを、DVDDピンとDGNDの間に推奨デジタル電源デカップリング・コンデンサをそれぞれ接続してください。

DSPプログラミング時の考慮事項

この項では、DSPのシリアル・ポートの設定方法、およびRx割り込みとTx割り込みのイネーブルの意味について説明します。

DSP SPORTの設定

以下は、AD73360を接続する際の正常な動作に必要なDSP SPORTの重要な設定です。

- ・外部SCLKの設定。
- ・シリアル・ワード長 = 16ビット。
- ・各ワードに送/受信のフレーム同期が必要。
- ・受信フレーム同期はDSPへ入力。
- ・送信フレーム同期は、
 - 入力 フレーム同期ループバック・モード、
 - 出力 非フレーム同期ループバック・モード。
- ・シリアル・ワードのMSBの1SCLKサイクル前にフレーム同期を挿入。
- ・フレーム同期はアクティブ・ハイ。

DSP SPORTの割り込み

SPORTの割り込みをイネーブルにした場合、フレーム同期ピンでアクティブ信号が発生しても、SPORT割り込みが発生するタイミングに一致しないことに注意してください。

ADSP-21xxプロセッサでは、SPORT割り込みをイネーブルして、Tx/Rx動作を処理する割り込みサ - ビス・ル - チン(ISR)を使う必要があります。TMS320CSxプロセッサでは、RxレジスタとTxレジスタのステータスをポーリングできます。これは、理想的にはTx ISRである1つのISRを使ってRx/Tx動作の監視が可能なることを意味します(Tx割り込みの後には、通常、Rx ISRが実行されるためです)。

アプリケーション例

ベクター・モーター・コントロール

モーターを流れる電流は2つの成分に分けられます。1つはトルクを発生させる成分で、もう1つは磁束を発生させる成分です。モーターの最適性能のためには、これらの2つの成分を独立して制御する必要があります。3相モーターの従来型制御では、モーターの入力電流 または電圧 と駆動周波数が基本制御変数になっていますが、トルクと磁束は電流(または電圧)と周波数の関数になっています。この関係の影響により、モーターの性能低下が生じることがあります。例えば、周波数を上げてトルクを増加させる場合、磁束は減少する傾向があります。

ACモーターのベクター制御では、駆動電流と電流周波数の他に位相も制御します。モーターの位相制御では、モーター内の回転磁界に対するモーターの位置情報をフィードバックする必要があります。この情報を使って、ベクター・コントローラが数学的に3相駆動電流をトルク成分と磁束成分に変換します。6チャンネルを同時サンプルできるAD73360は、ベクター・モーター制御アプリケーションでの使用に最適です。

AD73360を使用したベクター・モーター制御アプリケーションのブロック図を図30に示します。磁界の位置は、モーターの各相電流から計算されます。AD73360の V_{IN1} 、 V_{IN2} 、 V_{IN3} を使用してこの情報をデジタル化します。

同時サンプリング機能は、チャンネル間の相対位相情報の維持に不可欠です。モーターとAD73360の間で、電流検出用に絶縁アンプ、トランス、ホール効果センサ - 等を使います。モーター情報は、モーターへの3本の入力電圧から取得します。AD73360は、 V_{IN4} 、 V_{IN5} 、 V_{IN6} を使ってこの情報を取得します。AD73360からフィードバックされた情報に基づいて、DSPマイクロプロセッサを使った数学的な変換と制御ループ計算を実行します。

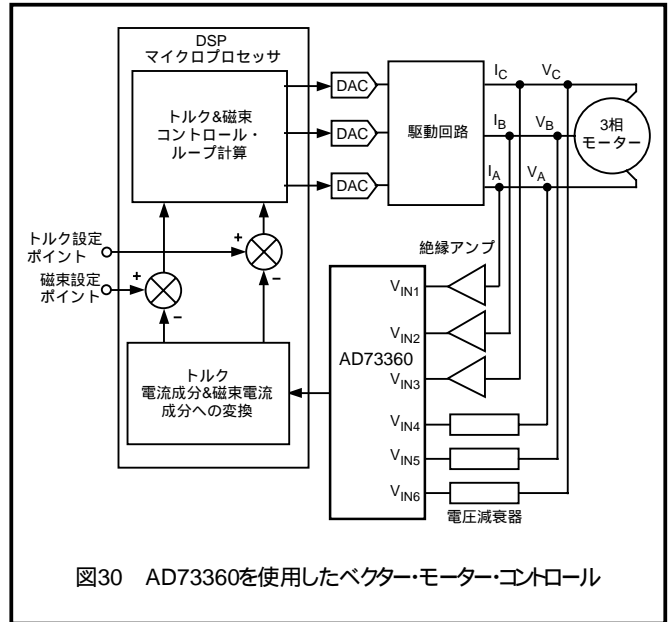


図30 AD73360を使用したベクター・モーター・コントロール

工業用電力の測定

AD73360を使って、3相電源の3つの位相の電圧 / 電流測定ができます。3つの電圧と3つの電流の位相間で相対的な位相情報を維持するために、同時サンプリングが重要となるこのアプリケーションに、AD73360の同時サンプリング・アーキテクチャは最適です。図31に、3相計測システムのブロック図を示します。 V_{IN1} 、 V_{IN2} 、 V_{IN3} の各チャンネルを使って、各相の電圧を測定します(電圧減衰器を経由)。各相の電流は、電流検出用の絶縁アンプ、トランス、ホール効果センサ - を使って検出できます。 V_{IN4} 、 V_{IN5} 、 V_{IN6} を使ってこの情報をデジタル化します。DSPマイクロプロセッサを使って、AD73360から取得した情報に数学的な計算を実行します。

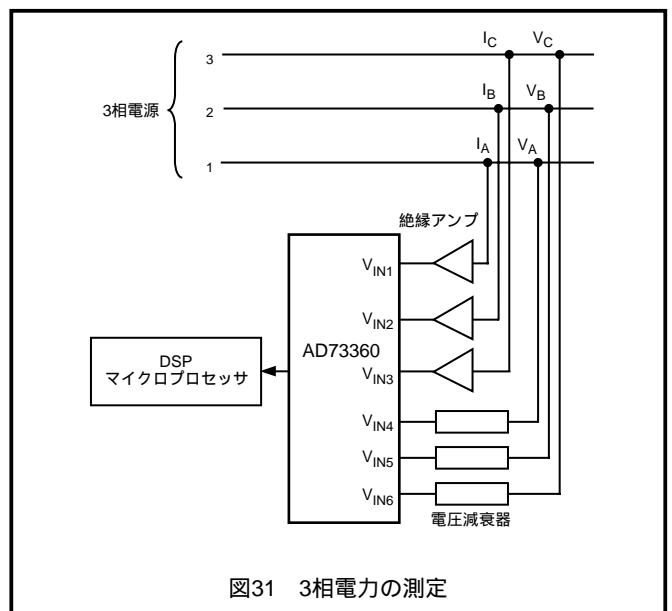


図31 3相電力の測定

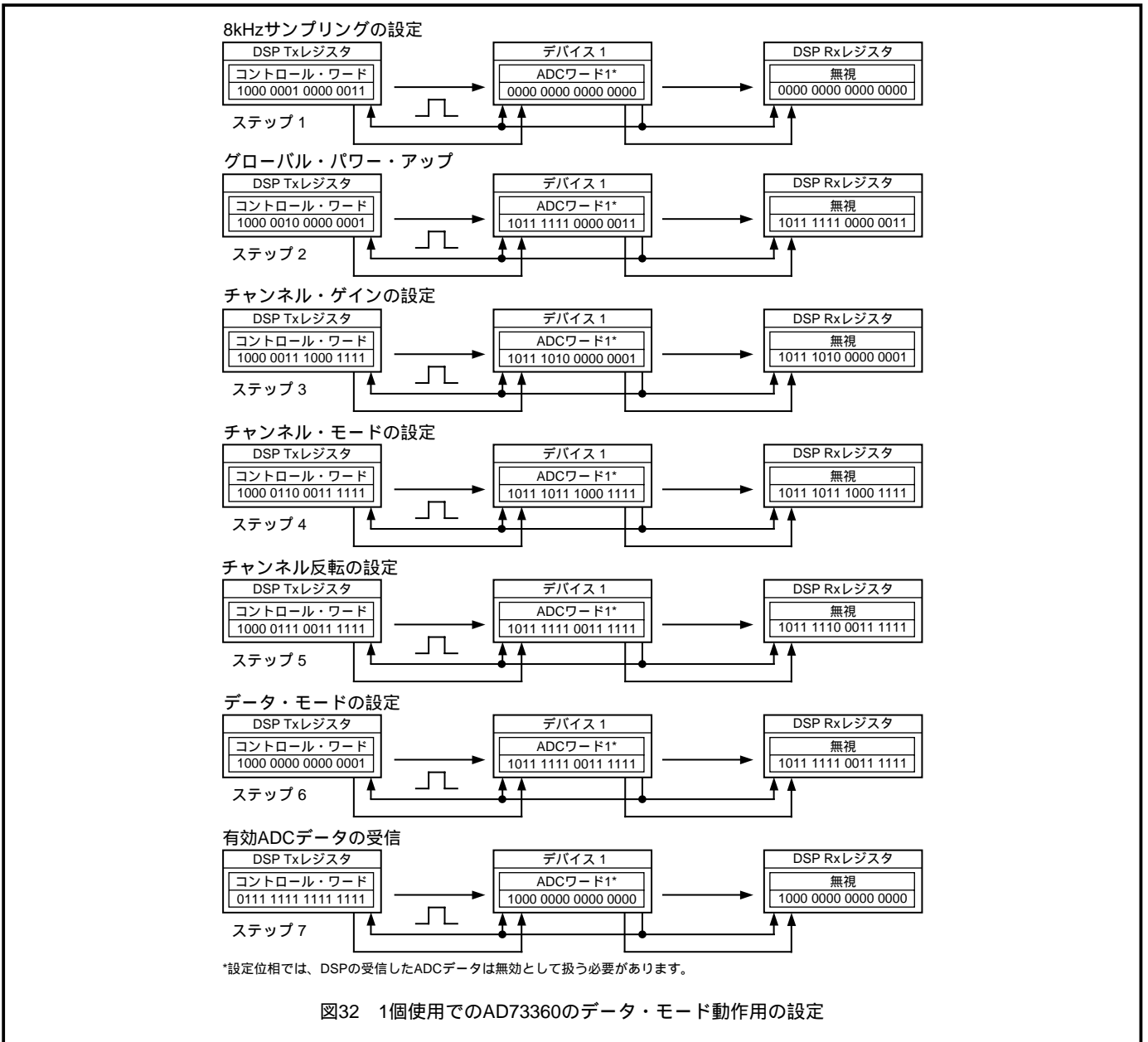
別紙A

1個使用のAD73360のデータ・モード動作の設定

この項では、1個のAD73360を通常のデータ・モードで動作させる設定での、代表的なシ・ケンスについて説明します。内部レジスタを設定するためにAD73360へ送信するコントロール(プログラム)ワードと、プログラム・モードとデータ・モードが受信する代表的な出力データについて説明します。AD73360はフレーム同期ループバック・モードで接続します(図13)。このモードでは、SDO/SDOFSラインを使って、AD73360がワードを出力する毎にDSPのTxレジスタから入力ワードが発生されます(一方、AD73360がプログラム・モードの場合には無効なADCデータが送信され、実際はDSPが書き込んだ直前のコントロール・ワードを変更したものが出力されます)。各ケースとも、DSPのTxレジスタには、データが予めロードされた後でフレーム・パルスが受信されます。ステップ1ではAD73360はリセットされたばかりで、最初の出力イベントでは無効な出力ワードをプリセットします¹。DSPのTxレジスタには、データ・バイト0x03でCRBを

設定するコントロール・ワードが格納されています。これによりサンプル・レートが8kHzに設定されます(マスター・クロック = 16.384MHz)。ステップ2ではDSPのTxレジスタ内にあるコントロール・ワードにより、AD73360の全チャンネルがパワー・アップします。AD73360は次のフレーム同期パルスでこのデータを受信します。DSPのRxレジスタでは、無効なADCワードも受信されます。ステップ3ではAD73360の各チャンネルの設定が選択されます。この設定は、全チャンネルに必要な設定を完了するまで繰り返せます。ステップ4、5では、各チャンネルのモードを設定します(シングル・エンド・モード、差動モード、非反転/反転)。ステップ6でAD73360がデータ・モードになり、ステップ7で最初の有効ADCワードが受信されます。

注
1 このシ・ケンスは、DSP SPORTのRx/Tx割り込みがイネーブルされている場合です。カスケード構成内のコントロール・ワード間に区切りがないことを保証するのが重要です。これは特に、SCLKとDMCLKのレートを格納しているコントロール・レジスタBの設定時に重要です。

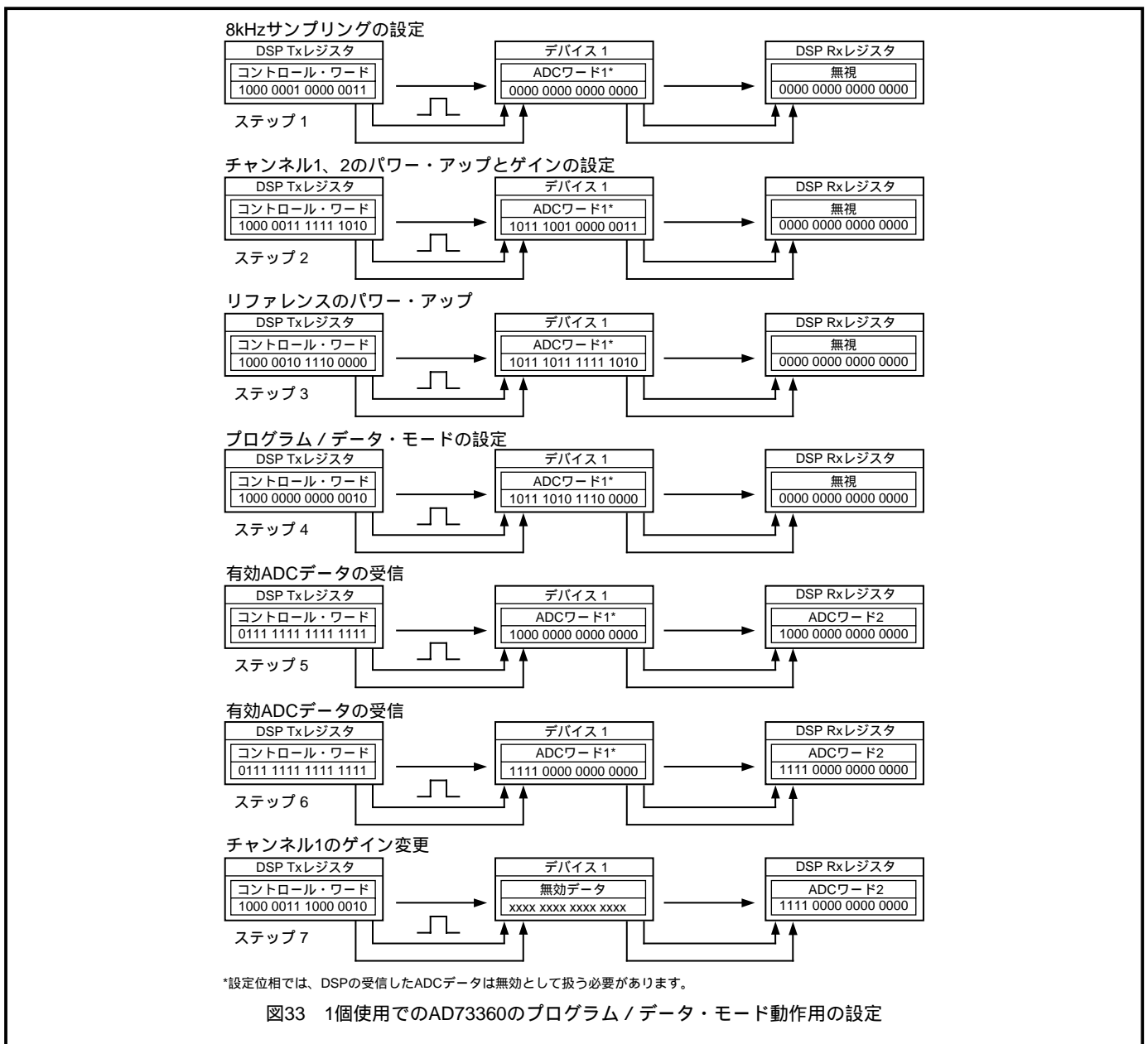


別紙B

1個使用のAD73360のプログラム/データ・モード動作の設定
この項では、1個のAD73360を通常のプログラム/データ・モードで動作する設定での代表的なシ・ケンスについて説明します。AD73360は非フレーム同期ループバック・モードで接続します(図14)。このモードでは、DSPのTxレジスタが1サンプル周期中にデバイスに送信するワード数を決定します。非フレーム同期ループバック・モードでは、デバイスのシリアル・レジスタ内にあるADC変換結果またはレジスタ読み出し結果が書き込み動作によって中断されないように、AD73360への書き込みに注意が必要です。これを回避する最善の方法は、AD73360に送信データが存在しないときに、コントロール・ワードのみを書き込むことです。これでDSPがAD73360に行う書き込み回数を制限して、SCLK速度とパワー・アップしているチャンネル数に依存するようにします。この例では、2チャンネルがパワー・アップしており、ADC変換結果を読み出した後、データを送信するために十分な時間があることを想定しています。

ステップ1では、AD73360はリセットされたばかりで、最初の出力イベントでは無効なADCサンプル・ワードをプリロードします¹。DSPがこのワードを受信すると、AD73360への設定情報の送信を開始できます。最初のコントロール・ワードで、サンプリング・レートが8kHzに設定されます。ステップ2では、DSPがAD73360にチャンネル1とチャンネル2のパワー・アップ、および各ゲインの設定を指示します。この時点では、AD73360から読み出されるデータはありません。ステップ3、4では、リファレンスを設定して、AD73360をプログラム/データ・モードにします。ステップ5、6では、有効なADC変換結果がAD73360から読み出されます。ステップ7では、DSPがチャンネル1のゲインを変更する命令をAD73360に送信します。

注
1 このシ・ケンスは、DSP SPORTのRxとTx割り込みがイネーブルされている場合です。カスケード構成内のコントロール・ワード間に区切りがないことを保証するのが重要です。これは特に、SCLKとDMCLKのレートを格納しているコントロール・レジスタBの設定時に重要です。



別紙C

2個使用でのAD73360のデータ・モード動作の設定

この項では、2個のカスケード接続されたAD73360を動作する設定でのコントロール・ワードの代表的なシ - ケンスについて説明します。初期化シ - ケンスを完全に説明するのではなく、プログラミング位相と動作位相で発生する代表的な入 / 出力イベントを紹介します¹。この説明では図34を使用します。

ステップ1では、AD73360のリセット直後に最初の出力サンプル・イベントが発生します。SDOFS信号が両デバイスで同時に発生します。これにより、DSP Rxレジスタがデバイス2からADCワードを受信する準備を行い、一方、デバイス1から出力されるSDOFSはデバイス2に対するSDIFSになります。デバイス2のSDOFSは、DSPのTFSとRFS、およびデバイス1のSDIFSにそれぞれ接続されているため、このイベントは新しいコントロール・ワードもDSP Txレジスタからデバイス1へ出力させます。デバイス1にロードされるコントロール・ワードはデバイス2にアドレス指定され(すなわち、アドレス・フィールドが001)。デバイス1はアドレス・フィールドをデクリメントして次のフレーム同期が到着したときにデバイス2に渡します。DSPがコントロール・ワードを送信するときに、デバイス2は無効なADCワードを出力します(デバイスがプログラム / データ・モードまたはデータ・モードになるまでAD73360は有効なADCワードを出力しないことに注意。設定位相で受信するADC値は無視されます)。同時に、デバイス1はADC変換結果をデバイス2に出力します。すべてのデータが転送されると、デバイス1にはデバイス2に対する命令(SCLK周波数を設定する命令)が格納され、デバイス2はデバイス1からADC変換結果を受信し、DSPはデバイス2からADC変換結果を受信します。

ステップ2では、デバイス2はデバイス1から受信したADCワードの送信を開始します。これにより、DSPは2番目のコマンド・ワードの送信を開始します。このコマンドは、デバイス1にシリアル・クロックの変更を指示します。同時に、デバイス1は、最初のコントロール・ワードをデバイス2に渡します。この方法で、両デバイスがコントロール・ワード命令を受信して、同時にそれを実行します。

ステップ3は、DSPがデバイス2に対するコントロール・ワードを送信する点でステップ1と同じです。デバイス1は、無効なADC変換結果をデバイス2に渡し、デバイス2は自分の無効なADC変換結果をDSPへ送信します。

ステップ4では、デバイス2がデバイス1から受信した無効なADCサンプルを送信し、同時にデバイス1からコントロール・ワードを受信します。デバイス2の送信により、DSPはデバイス1に対するコントロール・ワードの送信を開始します。これは、ステップ3で送信されたコントロール・ワードに似ていますが、このワードがデバイス1に送信される点が異なっています。送信が完了すると、両デバイスは全チャンネルをパワー・アップする命令の受信を終え、リファレンスなどを設定します。必要に応じて、ステップ3と4を繰り返して、アナログ部に関する他のレジスタを設定できます。

ステップNは、デバイスの動作モードをデータ・モードに変更する最初のステップです。デバイス2がADCワードを出力するとき、DSPはデバイス2のCRAへのコントロール・ワードをデバイス1へ送信します。ステップ1の場合と同様に、デバイス1がアドレス・フィールドをデクリメントして、次のフレーム同期でそのコントロール・ワードを次に渡します。

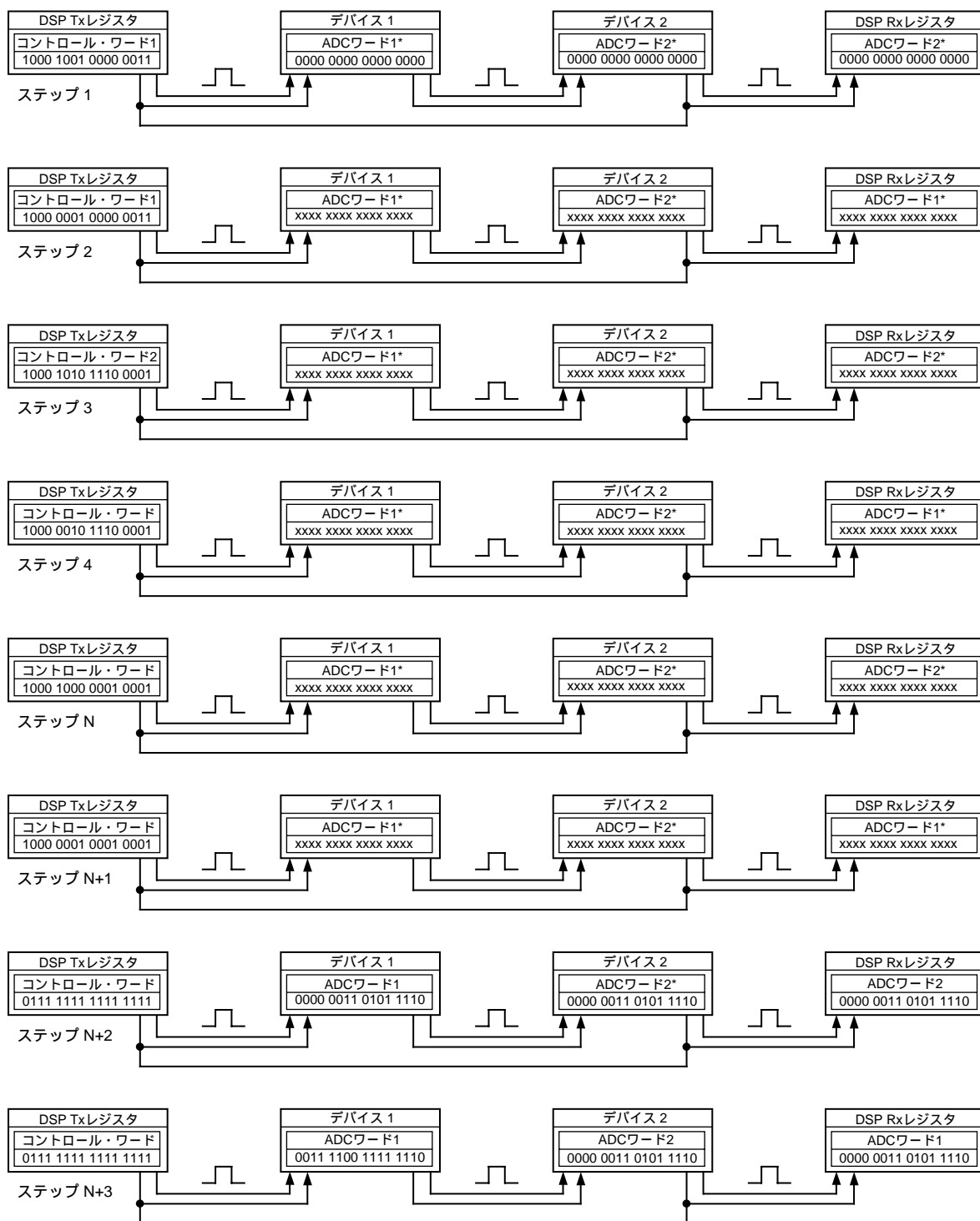
ステップN+1では、デバイス2がデバイス1から受信したADCワードを送信します。これにより、DSPがデバイス1に対するコントロール・ワード(CRAレジスタの設定)の送信を開始します。同時に、デバイス2はデバイス1からコントロール・ワードを受け取ります。両デバイスはプログラム・モードからデータ・モードへ変更するコマンドを同時に受信し、カスケード接続内のデバイス数もここで設定されます。

ステップN+2では、有効なADCデータの受信が開始されます。チェーン内の最後のデバイス(デバイス2)からデータが先に到着することに注意してください。デバイス2が自分のADCデータを送信するとき、デバイス1からADCデータを受信します。DSPから送信されたすべてのデータは、これ以後無視されます。

ステップN+3では、デバイス2がデバイス1からADCサンプルを受信し、それをDSPへ送信します。ステップN+2とステップN+3を繰り返して、サンプルを行うことができます。

注

1 このシ - ケンスは、DSP SPORTのRx/Tx割り込みがイネーブルされている場合です。カスケード構成内のコントロール・ワード間に区切りがないことを保証するのが重要です。これは特に、SCLKとDMCLKのレートが格納しているコントロール・レジスタBの設定時に重要です。



*設定位相では、DSPの受信したADCデータは無効として扱う必要があります。

図34 2個使用でのカスケード接続されたAD73360のデータ・モード動作の設定

AD73360

別紙D

2個使用でのAD73360のプログラム/データ・モード動作の設定

この項では、2個のカスケード接続されたAD73360をプログラム/データ・モードで動作する設定でのコントロール・ワードの代表的なシ・ケンスについて説明します。初期化シ・ケンスを完全に説明するのではなく、プログラミング位相と動作位相で発生する代表的な入/出カイベントを紹介します¹⁾。この説明では図35を使用します。

ステップ1では、AD73360のリセット直後に最初の出力サンプル・イベントが発生します。SDOFS信号が両デバイスで同時に発生します。これにより、DSP Rxレジスタがデバイス2からADCワードを受信する準備を行い、一方、デバイス1から出力されるSDOFSはデバイス2に対するSDIFSになります。カスケード接続は、非FSLBとして構成されます。これは、カスケード接続に送信する内容をDSPが制御することを意味します。DSPはデバイス2から無効なADCワードを受信し、同時にデバイス2はデバイス1から無効なADCワードを受信します。両AD73360がプログラム・モードにある場合と同様に、1サンプル周期当たり出力イベントは1個だけです。DSPはコントロール・ワードをAD73360に送信できるようになります。

ステップ2では、DSPがデバイス1に対するコントロール・ワードの送信を完了します。デバイス1はこのワードが自分宛でないことを識別して、アドレス・フィールドをデクリメントします。さらに、SDOFSを発生して、チェーン内の次のデバイスに対するコントロール・ワードの送信へ進みます。この時点で、DSPがデバイス1に対するコントロール・ワードを送信します。これにより、両デバイスが同時にコントロール・ワードを受信して実行することを保証しています。

ステップ3では、一連の最初のコントロール・ワード書き込みが終了します。DSPはデバイス2からADCワードを受信ようになり、各デバイスはコントロール・レジスタBをアドレス指定してSCLKとサンプルのレートを設定するコントロール・ワードを受信します。非FSLBでAD73360のカスケード接続を設定する際には、シリアル・ポートに影響を与えるコントロール・ワードは、全デバイスで同時に受信するように保証することが重要です。

ステップ4では、サンプル周期がもう1つ加わり、両デバイスのSDOFSが出力されます。デバイス2はADC変換結果をDSPに送信し、デバイス1はADC変換結果をデバイス2に送信します。次のサンプル周期の前の残りの時間は、AD73360内のその他のレジスタの設定に使えます。後続の書き込みが次のサンプル周期と重なってデータが壊れないように注意してください。コントロール・ワードはデバイス2、デバイス1、デバイス2などの順で書き込まれます。

ステップ5では、DSPがADCコントロール・レジスタを設定して、チャンネル・ゲイン、動作モードなどの選択を開始します。このケースでは、最初の書き込み動作でコントロール・レジスタDに書き込みを行い、ゲイン0dBでADCチャンネル1とチャンネル2をパワー・アップさせます。このステップを繰り返して、全レジスタを設定します。AD73360は、デバイス2、デバイス1、デバイス2などの順で設定してください。

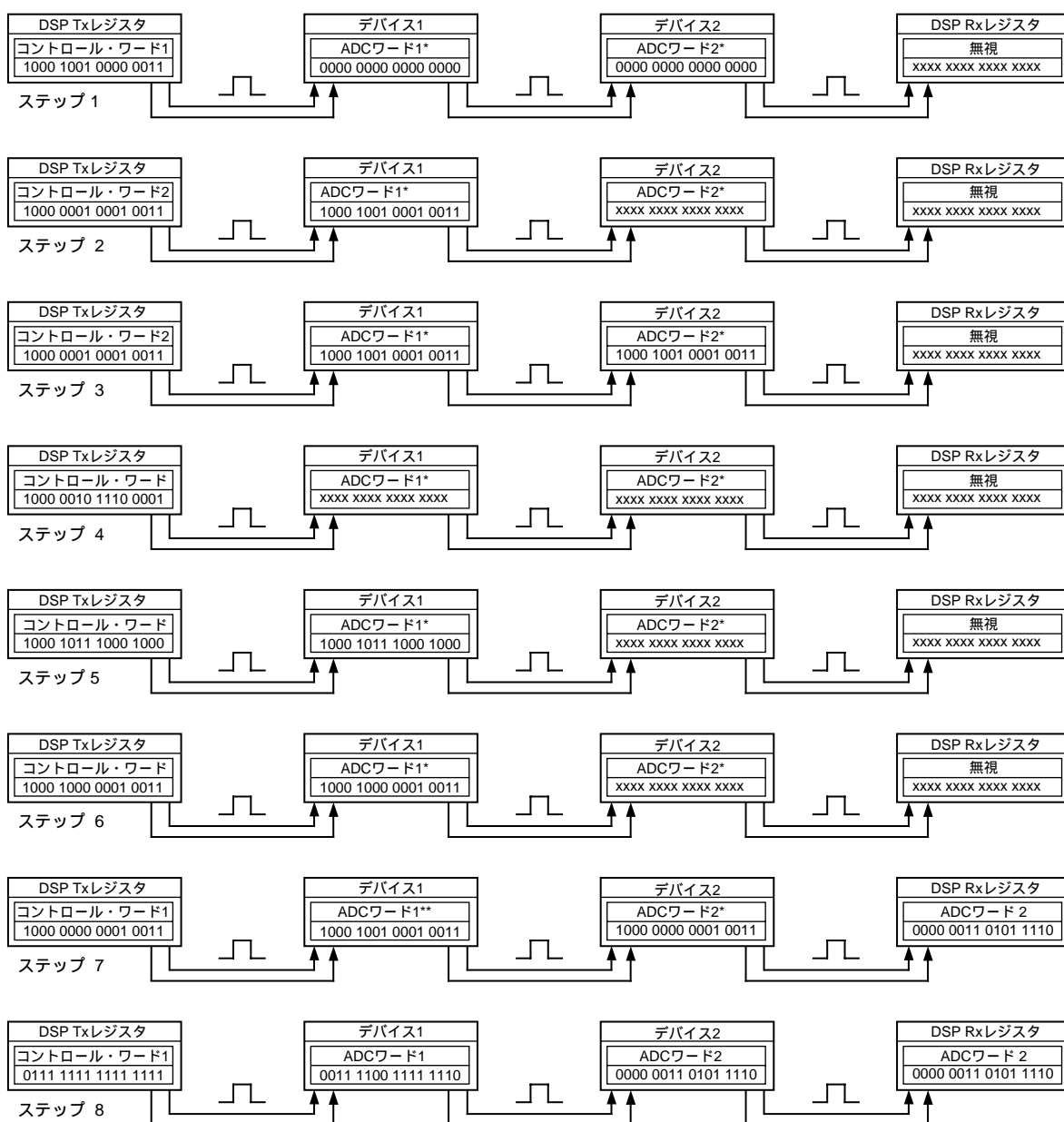
ステップ6では、DSPがデバイス2に対するコントロール・ワードを送信します。このコントロール・ワードはデバイス数を2に設定し、AD73360をプログラム/データ・モードにします。デバイス1がこのコントロール・ワードを受信すると、アドレス・フィールドをデクリメントして、SDOFSを発生して、デバイス2に渡します。

ステップ7では、DSPがデバイス1のコントロール・ワードを送信します。これは、デバイス1がデバイス2に対するコントロール・ワードを送信するのと同時に実行して、両デバイスが同時にプログラム/データ・モードに変わるようにする必要があります。

ステップ8では、カスケード接続からの最初の有効なADCワードの受信を開始します。割り当てられた時間内に必要なすべてのコントロール・ワードを送信できる十分な時間があると想定しています。

注

¹⁾ このシ・ケンスは、DSP SPORTのRx/Tx割り込みがイネーブルされている場合です。カスケード構成内のコントロール・ワード間に区切りがないことを保証するのが重要です。これは特に、SCLKとDMCLKのレートを格納しているコントロール・レジスタBの設定時に重要です。



*設定位相では、DSPの受信したADCデータは無効として扱う必要があります。
 **このコントロール・ワードは、受信したデバイスに宛てられたものではありません。そのアドレス・フィールドはデクリメントされて、データはカスケード接続内の次のデバイスに渡されます。

図35 2個のカスケード接続されたAD73360のプログラム / データ・モード用の設定

AD73360

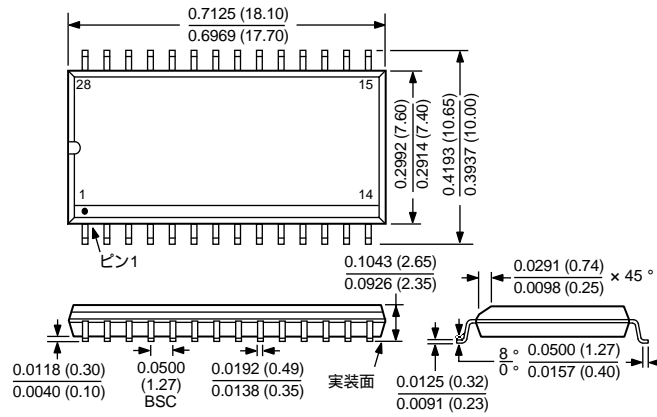
目次

| 項 | ページ | 項 | ページ |
|------------------|-----|----------------------------------|-----|
| 特長 | 1 | 動作 | 19 |
| 機能ブロック図 | 1 | 概要 | 19 |
| 概要 | 1 | AD73360のリセット | 20 |
| 仕様(3V) | 2 | 消費電力管理 | 20 |
| 仕様(5V) | 4 | 動作モード | 20 |
| タイミング特性(3V) | 6 | プログラム(コントロール)モード | 20 |
| タイミング特性(5V) | 6 | データ・モード | 20 |
| タイミング図 | 7 | プログラム/データ・モード | 20 |
| 仕様のグラフ | 7 | インターフェース | 21 |
| 絶対最大定格 | 8 | デジタル・インターフェース | 21 |
| オ-ダ-・ガイド | 8 | カスケード動作 | 23 |
| ピン配置 | 8 | 性能 | 24 |
| ピン機能説明 | 9 | エンコーダ部 | 24 |
| 用語 | 10 | エンコーダの群遅延 | 25 |
| 略語 | 10 | 設計上の考慮事項 | 25 |
| 機能説明 | 11 | アナログ入力 | 25 |
| 概要 | 11 | デジタル・インターフェース | 26 |
| エンコーダ・チャンネル | 11 | 接地とレイアウト | 26 |
| シグナル・コンデショナ | 11 | DSPプログラミング時の考慮事項 | 26 |
| プログラマブル・ゲイン・アンプ | 11 | DSP SPORTの設定 | 26 |
| ADC | 11 | DSP SPORTの割り込み | 27 |
| アナログ モジュレータ | 11 | アプリケーション例 | 27 |
| デシメーション・フィルタ | 12 | ベクター・モーター・コントロール | 27 |
| ADCコード | 12 | 工業用電力検針 | 27 |
| リファレンス | 12 | 別紙A(1個でのAD73360のデータ・モード動作) | 28 |
| シリアル・ポート(SPORT) | 13 | 別紙B(1個でのAD73360のプログラム/データ・モード動作) | 29 |
| SPORTの概要 | 13 | 別紙C(2個でのAD73360のデータ・モード動作) | 30 |
| SPORTのレジスタ・マップ | 14 | 別紙D(2個でのAD73360のプログラム/データ・モード動作) | 32 |
| コントロール・レジスタ表 | 14 | 外形寸法 | 35 |
| レジスタ・ビットの説明 | 17 | | |
| マスター・クロック分周器 | 19 | | |
| シリアル・クロック・レート分周器 | 19 | | |
| デシメーション・レート分周器 | 19 | | |

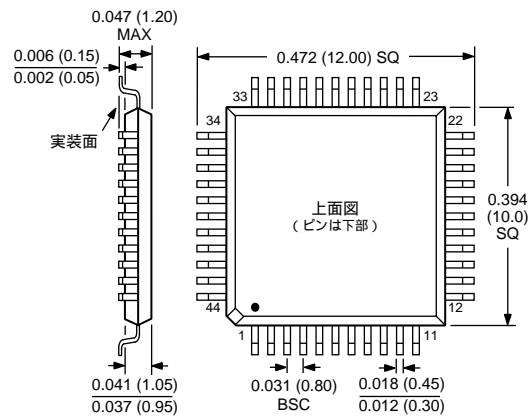
外形寸法

サイズはインチと (mm) で示します。

28ピン・スモール・アウトラインIC (R-28)



44ピン薄型クワッド・フラットパック (SU-44)



AD73360

D2162-2.7-2/00,1A

PRINTED IN JAPAN

