

特長

16ビットA/Dコンバータ
 16ビットD/Aコンバータ
 プログラマブルな入/出力サンプル・レート
 ADCのS/N比：75dB
 DACのS/N比：70dB
 最大サンプル・レート：64kS/s
 クロストーク：-90dB
 小さい群遅延（ADCチャンネル：25ms typ、
 DACチャンネル：50ms typ）
 プログラマブルな入/出力ゲイン
 フレキシブルなシリアル・ポート
 （最大8個のデバイスをカスケード接続可能）
 単電源動作（+2.7～+5.5V）
 2.7Vでの最大消費電力：50mW
 リファレンス内蔵
 20ピンSOIC/SSOPパッケージを使用

アプリケーション

汎用アナログI/O
 音声処理
 コードレス通信およびパーソナル通信
 電話機器
 音/振動のアクティブ・コントロール
 データ通信

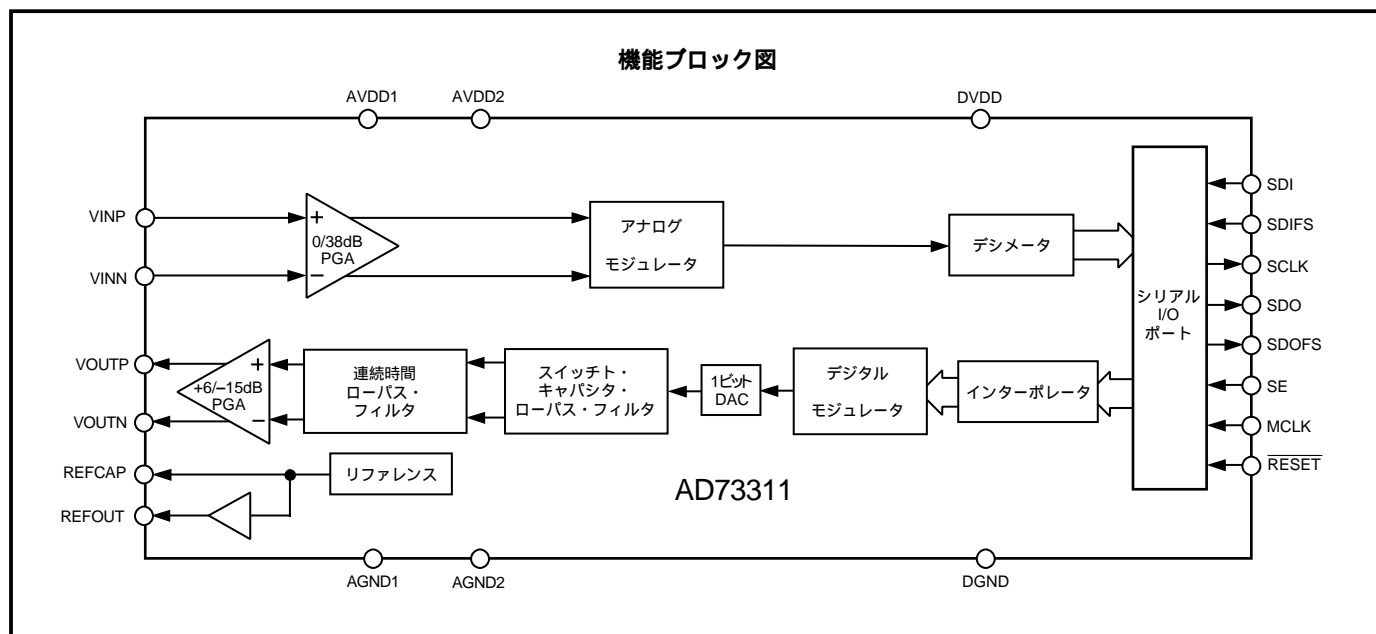
概要

AD73311は、音声や電話などの汎用アプリケーションを対象とするフロントエンド・プロセッサで、1チャンネルの16ビットA/Dコンバータと1チャンネルの16ビットD/Aコンバータを内蔵しています。各チャンネルは、音声信号帯域で70dBのS/N比を備えています。DSPエンジンによる外付けデジタル・フィルタを使用して、最終的なチャンネル帯域幅の減少と、S/N比の改善が可能です。

AD73311は、低速ビット・レート、高品質圧縮、音声の強調/認識/合成など、あらゆる音声/電話分野のアプリケーションに適しています。群遅延特性が小さいので、シングル/多チャンネル両方の、アクティブ制御アプリケーションにも最適です。

A/DコンバータおよびD/Aコンバータ・チャンネルは、入/出力ゲインがそれぞれ38dBおよび21dBの範囲で設定可能です。リファレンスを内蔵しているため、単電源動作が可能です。また、シリアル・ポート（SPORT）を使用して、1個のデバイスまたはカスケード接続された複数のデバイスを、容易に業界標準のDSPエンジンにインターフェースできます。

AD73311は、20ピンSOICおよびSSOPパッケージで供給されます。



アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD73311

仕様¹

(特に指定のない限り、AVDD = +3V ± 10%、DVDD = +3V ± 10%、
DGND = AGND = 0V、f_{MCLK} = 16.384MHz、F_S = 64kHz、T_A = T_{MIN} ~ T_{MAX})

パラメータ	AD73311A			単位	テスト条件 / 備考
	Min	Typ	Max		
リファレンス					5VEN = 0
REFCAP					
絶対電圧、V _{REFCAP}	1.08	1.2	1.32	V	
REFCAP TC		50		ppm/	REFCAPとAGND2の間に0.1 μFのコンデンサが必要
REFOUT					
出力インピーダンス (Typ)		68			
絶対電圧、V _{REFOUT}	1.08	1.2	1.32	V	無負荷
最小負荷抵抗	1			k	
最大負荷容量			100	pF	
ADC仕様					
VINでの最大入力範囲 ^{2, 3}			1.578 - 2.85	Vp-p dBm	5VEN = 0、差動で測定
VINでの公称リファレンス値 (0dBm0)		1.0954 - 6.02		Vp-p dBm	5VEN = 0、差動で測定
絶対ゲイン					
PGA = 0dB	- 0.75	0.1	+ 1.0	dB	1.0kHz、0dBm0
PGA = 38dB	- 1.5	- 0.5	+ 0.5	dB	1.0kHz、0dBm0
ゲイン・トラッキング誤差		± 0.1		dB	1.0kHz、+ 3 ~ - 50dBm0
信号対 (ノイズ + 歪み) 比					図5を参照
PGA = 0dB	70	76		dB	300Hz ~ 3.4kHzの周波数範囲
	55	56		dB	0Hz ~ 32kHzの周波数範囲
PGA = 38dB	61	65		dB	300Hz ~ 3.4kHzの周波数範囲
	53	54		dB	0Hz ~ 32kHzの周波数範囲
全高調波歪み					
PGA = 0dB		- 83	- 70	dB	
PGA = 38dB		- 83	- 70	dB	
相互変調歪み		- 78		dB	PGA = 0dB
アイドル・チャンネル・ノイズ		- 76		dBm0	PGA = 0dB
クロストーク		- 100		dB	ADC入力信号レベル：1.0kHz、0dBm0 DAC入力はアイドル
DCオフセット	- 20	+ 15	+ 50	mV	PGA = 0dB
電源除去比		- 55		dB	AVDD、DVDDピンでの入力信号レベル： 1.0kHz、100mV p-pサイン波
群遅延 ^{4, 5}		25		μs	64kHz出力サンプル・レート
VINでの入力抵抗 ^{2, 4}		25		k ⁶	DMCLK = 16.384MHz
DAC仕様					
最大電圧出力振幅 ²					
シングル・エンド			1.578 - 2.85	Vp-p dBm	5VEN = 0、PGA = 6dB
差動			3.156 3.17	Vp-p dBm	5VEN = 0、PGA = 6dB
公称電圧出力振幅 (0dBm0)					
シングル・エンド		1.0954 - 6.02		Vp-p dBm	5VEN = 0、PGA = 6dB
差動		2.1909 0		Vp-p dBm	5VEN = 0、PGA = 6dB
出力バイアス電圧	1.08	1.2	1.32	V	5VEN = 0、REFOUT：無負荷
絶対ゲイン	- 0.75	+ 0.2	+ 1.0	dB	1.0kHz、0dBm0
ゲイン・トラッキング誤差		± 0.1		dB	1.0kHz、+ 3 ~ - 50dBm0
信号対 (ノイズ + 歪み) 比					AVDD = + 3.0V ± 5%、図5を参照
PGA = 0dB	62.5	70		dB	300Hz ~ 3.4kHzの周波数範囲
		62.5		dB	0Hz ~ 32kHzの周波数範囲
PGA = 6dB	62.5	71		dB	300Hz ~ 3.4kHzの周波数範囲
		62.5		dB	0Hz ~ 32kHzの周波数範囲
全高調波歪み					AVDD = + 3V ± 5%
PGA = 0dB		- 70	- 62.5	dB	
PGA = 6dB		- 70	- 62.5	dB	
相互変調歪み		- 68		dB	PGA = 0dB
アイドル・チャンネル・ノイズ		- 82		dBm0	PGA = 0dB
クロストーク		- 100		dB	ADC入力信号レベル：AGND、DAC 出力信号レベル：1.0kHz、0dBm0

パラメータ	AD73311A			単位	テスト条件 / 備考
	Min	Typ	Max		
DAC仕様 (続き)					
電源除去比		- 55		dB	AVDD、DVDDピンの入力信号レベル： 1.0kHz、100mV p-pサイン波 64kHz入力サンプリング・レート インターポレータはバイパス (CRE : 5 = 1) PGA = 6dB
群遅延 ^{4, 5}		25		μs	
出力DCオフセット ^{2, 7}	- 30	+ 20	+ 70	mV	
最小負荷抵抗、 R_L ^{2, 8}	150				
シングル・エンド 差動	150				
最大負荷容量、 C_L ^{2, 8}			500	pF	
差動			100	pF	
周波数応答 (ADCおよびDAC)の出力 (Typ)					外付けのデジタル・フィルタを使って、 チャンネル周波数応答が設定可能
0Hz		0		dB	
2000Hz		- 0.1		dB	
4000Hz		- 0.25		dB	
8000Hz		- 0.6		dB	
12000Hz		- 1.4		dB	
16000Hz		- 2.8		dB	
20000Hz		- 4.5		dB	
24000Hz		- 7.0		dB	
28000Hz		- 9.5		dB	
> 32000Hz		< - 12.5		dB	
ロジック入力					
V_{INH} 、入力ハイ電圧	$V_{DD} - 0.8$		V_{DD}	V	
V_{INL} 、入力ロー電圧	0		0.8	V	
I_{IH} 、入力電流			10	μA	
C_{IN} 、入力容量			10	pF	
ロジック出力					
V_{OH} 、出力ハイ電圧	$V_{DD} - 0.4$		V_{DD}	V	IOUT 100 μA
V_{OL} 、出力ロー電圧	0		0.4	V	IOUT 100 μA
スリー・ステート・リーク電流	- 10		+ 10	μA	
電源					
AVDD1、AVDD2	2.7		3.3	V	表Iを参照
DVDD	2.7		3.3	V	
I_{DD} ¹⁰					

注

- 1 動作温度範囲 - 40 + 85 に従って、 $T_{MIN} = - 40$ 、 $T_{MAX} = + 85$ とします。
- 2 テスト条件：入力PGAを0dBゲインに、出力PGAを6dBゲインにそれぞれ設定し、アナログ出力は無負荷 (特に指定のない場合)。
- 3 ADCの モジュレータに対する入力で測定。
- 4 設計により保証。
- 5 全体の群遅延は、サンプル・レートと外部デジタル・フィルタ処理に影響されます。
- 6 ADCの入力インピーダンスはDMCLKに反比例し、 $(4 \times 10^{11}) / DMCLK$ に近似します。
- 7 VOUTPとVOUTNの間。
- 8 VOUT出力で測定。
- 9 ADCとDACの周波数応答は、入力をオーディオ・リファレンス値 (出力値 - 10dBm0を発生する入力値) に設定し、38dBプリアンプをバイパスし、入力ゲイン0dBで測定。
- 10 テスト条件：デジタル入力は無負荷、アナログ入力をグラウンドにAC結合、アナログ出力は無負荷。
仕様は予告なく変更されることがあります。

表I 電流 (AVDD = DVDD = + 3.3 V)

条件	アナログ電流	内部デジタル電流	外部インターフェース電流	合計電流	SE	MCLKオン	備考
ADCのみオン	7	3	0.5	11.5	1		REFOUTをディスエーブル
ADCとDACをオン	10	5	0.5	17.5	1		REFOUTをディスエーブル
REFCAPのみオン	0.75	0	0	1.0	0	×	REFOUTをディスエーブル
REFCAPとREFOUTのみオン	3.0	0	0	4.5	0	×	
全部をオフ	0	0.85	0	1.0	0		MCLKアクティブ・レベルを0VとDVDDに設定
全部をオフ	0.00	0.007	0	0.04	0	×	デジタル入力は固定で0VまたはDVDDに設定

特に指定のない限り、上記値はmA単位のtyp値です。

AD73311 仕様¹

(特に指定のない限り、AVDD = +5V ± 10%、DVDD = +5V ± 10%、
DGND = AGND = 0V、fMCLK = 16.384MHz、F_S = 64kHz ; T_A = T_{MIN} ~ T_{MAX})

パラメータ	AD73311A			単位	テスト条件 / 備考
	Min	Typ	Max		
リファレンス					
REFCAP					
絶対電圧、VREFCAP		1.2		V	5VEN = 0
		2.4		V	5VEN = 1
REFCAP TC		50		ppm/	REFCAPとAGND2の間に0.1 μFのコンデンサが必要
REFOUT					
出カインピーダンス (Typ)		68			
絶対電圧、V _{REFOUT}		1.2		V	5VEN = 0、無負荷
		2.4		V	5VEN = 1、無負荷
最小負荷抵抗	2			k	5VEN = 1
最大負荷容量			100	pF	
ADC仕様					
VINでの最大入力範囲 ^{2, 3}		3.156		Vp-p	5VEN = 1、差動で測定
		3.17		dBm	
VINでの公称リファレンス値 (0dBm0)		2.1908		Vp-p	5VEN = 1、差動で測定
		0		dBm	
絶対ゲイン					
PGA = 0dB		0.1		dB	1.0kHz、0dBm0
PGA = 38dB		- 0.5		dB	1.0kHz、0dBm0
ゲイン・トラッキング誤差		± 0.1		dB	1.0kHz、+ 3 ~ - 50dBm0
信号対 (ノイズ + 歪み) 比					図5を参照
PGA = 0dB		76		dB	300Hz ~ 3.4kHzの周波数範囲
		59		dB	0Hz ~ 32kHzの周波数範囲
PGA = 38dB		71		dB	300Hz ~ 3.4kHzの周波数範囲
		57		dB	0Hz ~ 32kHzの周波数範囲
全高調波歪み					
PGA = 0dB		- 76		dB	
PGA = 38dB		- 69		dB	
相互変調歪み		- 69		dB	PGA = 0dB
アイドル・チャンネル・ノイズ		- 67		dBm0	PGA = 0dB
クロストーク		- 80		dB	ADC入力信号レベル : 1.0kHz、0dBm0 DAC入力はアイドル
DCオフセット		+ 20		mV	PGA = 0dB
電源除去比		- 55		dB	AVDD、DVDDピンの入力信号レベル : 1.0kHz、100mV p-pサイン波
群遅延 ^{4, 5}		25		μs	出力サンプル・レート64kHz
VINでの入力抵抗 ^{2, 4}		25		k ⁶	DMCLK = 16.384MHz
DAC仕様					
最大電圧出力振幅 ²					
シングル・エンド		6.256		Vp-p	5VEN = 1、PGA = 6dB
		3.17		dBm	
差動		6.312		Vp-p	5VEN = 1、PGA = 6dB
		9.19		dBm	
公称電圧出力振幅 (0dBm0)					
シングル・エンド		2.1908		Vp-p	5VEN = 1、PGA = 6dB
		0		dBm	
差動		4.3918		Vp-p	5VEN = 1、PGA = 6dB
		6.02		dBm	
出力バイアス電圧		V _{REFOUT}		V typ	5VEN = 1、REFOUT無負荷
絶対ゲイン		± 0.4		dB	1.0kHz、0dBm0
ゲイン・トラッキング誤差		± 0.1		dB	1.0kHz、+ 3 ~ - 50dBm0
信号対 (ノイズ + 歪み) 比					図5を参照
PGA = 0dB		66		dB	300Hz ~ 3.4kHzの周波数範囲
		64		dB	0Hz ~ 32kHzの周波数範囲
PGA = 6dB		66		dB	300Hz ~ 3.4kHzの周波数範囲
		64		dB	0Hz ~ 32kHzの周波数範囲
全高調波歪み					
PGA = 0dB		- 62.5		dB	
PGA = 6dB		- 62.5		dB	
相互変調歪み		- 60		dB	PGA = 0dB
アイドル・チャンネル・ノイズ		- 75		dBm	PGA = 0dB
クロストーク		- 80		dB	ADC入力信号レベル : AGND、DAC 出力信号レベル : 1.0kHz、0dBm0

パラメータ	AD73311A			単位	テスト条件 / 備考
	Min	Typ	Max		
DAC仕様 (続き)					
電源除去比		- 55		dB	AVDD、DVDDピンの入力信号レベル： 1.0kHz、100mV p-pサイン波 入力サンプル・レート64kHz インターポレータはバイパス (CRE : 5 = 1) PGA = 6dB
群遅延 ^{4、5}		25		μs	
出力DCオフセット ^{2、7}		+ 30		mV	
最小負荷抵抗、RL ^{2、8}	150				
シングル・エンド 差動	150				
最大負荷容量、CL ^{2、8}			500	pF	
シングル・エンド 差動			100	pF	
周波数応答 (ADC、DAC) の出力 (Typ)					外付けのデジタル・フィルタを使って、 チャンネル周波数応答が設定可能
0Hz		0		dB	
2000Hz		- 0.1		dB	
4000Hz		- 0.25		dB	
8000Hz		- 0.6		dB	
12000Hz		- 1.4		dB	
16000Hz		- 2.8		dB	
20000Hz		- 4.5		dB	
24000Hz		- 7.0		dB	
28000Hz		- 9.5		dB	
> 32000Hz		< - 12.5		dB	
ロジック入力					
V _{INH} 、入力ハイ電圧	V _{DD} - 0.8		V _{DD}	V	
V _{INL} 、入力ロー電圧	0		0.8	V	
I _{IH} 、入力電流		- 0.5		μA	
C _{IN} 、入力容量		10		pF	
ロジック出力					
V _{OH} 、出力ハイ電圧	V _{DD} - 0.4		V _{DD}	V	I _{OUT} 100 μA
V _{OL} 、出力ロー電圧	0		0.4	V	I _{OUT} 100 μA
スリー・ステート・リーク電流		- 0.3		μA	
電源					
AVDD1、AVDD2	4.5		5.5	V	表IIを参照
DVDD	4.5		5.5	V	
I _{DD} ¹⁰					

注

- 動作温度範囲 - 40 ~ + 85 に従って、T_{MIN} = - 40、T_{MAX} = + 85 とします。
- テスト条件：入力PGAを0dBゲインに、出力PGAを6dBゲインにそれぞれ設定し、アナログ出力は無負荷 (特に指定のない場合)。
- ADCのモジュレータに対する入力での測定。
- 設計より保証。
- 全体の群遅延は、サンプル・レートと外部デジタル・フィルタ処理に影響されます。
- ADCの入力インピーダンスはDMCLKに反比例し、(4 × 10¹¹) / DMCLKに近似します。
- VOUTPとVOUTNの間。
- VOUT出力での測定。
- ADCとDACの周波数応答は、入力をオーディオリファレンス (出力値 - 10dBm0を発生する入力値) に設定し、38dBプリアンプをバイパスし、入力ゲイン0dBで測定。
- テスト条件：デジタル入力は無負荷、アナログ入力をグラウンドにAC結合、アナログ出力は無負荷。
仕様は予告なく変更されることがあります。

AD73311

表II 電流 (AVDD = DVDD = +5.5V)

条件	アナログ電流	内部デジタル電流	外部インターフェース電流	合計電流	SE	MCLKオン	備考
ADCのみオン	8.5	6	2	16.5	1		REFOUTをディスエーブル
ADCとDACをオン	14.5	6	2	22.5	1		REFOUTをディスエーブル
REFCAPのみオン	0.8	0	0	0.8	0	×	REFOUTをディスエーブル
REFCAPとREFOUTのみオン	3.5	0	0	3.5	0	×	
全部をオフ	0	1.5	0	1.5	0		MCLKアクティブ・レベルを0VとDVDDに設定
全部をオフ	0	0.01	0	0.01	0	×	デジタル入力は固定で0VまたはDVDDに設定

特に指定のない限り、上記値はmA単位のtyp値です。

表III 信号範囲

		3V電源 5VEN = 0	5V電源	
			5VEN = 0	5VEN = 1
V_{REFCAP}		1.2V ± 10%	1.2V	2.4V
V_{REFOUT}		1.2V ± 10%	1.2V	2.4V
ADC	V_{IN} での最大入力範囲 公称リファレンス値	1.578Vp-p 1.0954Vp-p	1.578Vp-p 1.0954Vp-p	3.156Vp-p 2.1908Vp-p
DAC	最大電圧 出力振幅 シングル・エンド 差動 公称電圧 出力振幅 シングル・エンド 差動 出力バイアス電圧	 1.578Vp-p 3.156Vp-p 1.0954Vp-p 2.1908Vp-p V_{REFOUT}	 1.578Vp-p 3.156Vp-p 1.0954Vp-p 2.1909Vp-p V_{REFOUT}	 3.156Vp-p 6.312Vp-p 2.1908Vp-p 4.3818Vp-p V_{REFOUT}

タイミング特性 (特に指定のない限り、AVDD = +5V ± 10%、DVDD = +5V ± 10%、AGND = DGND = 0V、 $T_A = T_{MIN} \sim T_{MAX}$)

パラメータ	$T_A = -40 \sim +85$ での規定値	単位	解説
クロック信号			図1参照
t_1	61	ns min	MCLK周期
t_2	24.4	ns min	MCLK幅ハイ
t_3	24.4	ns min	MCLK幅ロー
シリアル・ポート			図3、4を参照
t_4	t_1	ns min	SCLK周期
t_5	$0.4 \times t_1$	ns min	SCLK幅ハイ
t_6	$0.4 \times t_1$	ns min	SCLK幅ロー
t_7	20	ns min	SCLKロー前のSDI/SDIFSセットアップ・タイム
t_8	0	ns min	SCLKロー後のSDI/SDIFSホールド・タイム
t_9	10	ns max	SCLKハイからのSDOFS遅延
t_{10}	10	ns min	SCLKハイ後のSDOFSホールド・タイム
t_{11}	10	ns min	SCLKハイ後のSDOホールド・タイム
t_{12}	10	ns max	SCLKハイからのSDOの遅延
t_{13}	30	ns max	MCLKからのSCLKの遅延

タイミング特性

(特に指定のない限り、AVDD = +5V ± 10%、DVDD = +5V ± 10%、AGND = DGND = 0V、
 $T_A = T_{MIN} \sim T_{MAX}$)

パラメータ	$T_A = -40 \sim +85$ での規定値	単位	解説
クロック信号			図1参照
t_1	61	ns min	MCLK周期
t_2	24.4	ns min	MCLK幅ハイ
t_3	24.4	ns min	MCLK幅ロー
シリアル・ポート			図3、4を参照
t_4	t_1	ns min	SCLK周期
t_5	$0.4 \times t_1$	ns min	SCLK幅ハイ
t_6	$0.4 \times t_1$	ns min	SCLK幅ロー
t_7	20	ns typ	SCLKロー前のSDI/SDIFSセットアップ・タイム
t_8	0	ns typ	SCLKロー後のSDI/SDIFSホールド・タイム
t_9	10	ns typ	SCLKハイからのSDOFS遅延
t_{10}	10	ns typ	SCLKハイ後のSDOFSホールド・タイム
t_{11}	10	ns typ	SCLKハイ後のSDOホールド・タイム
t_{12}	10	ns typ	SCLKハイからのSDOの遅延
t_{13}	30	ns typ	MCLKからのSCLKの遅延

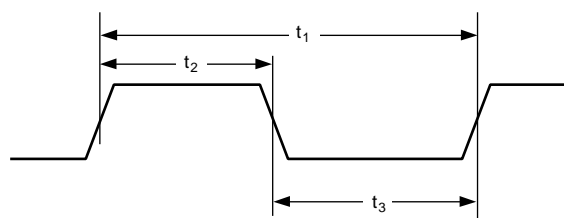


図1 MCLKのタイミング

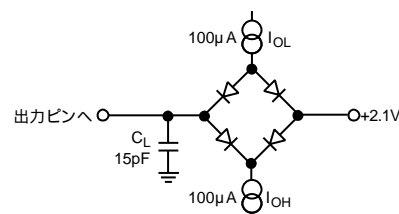
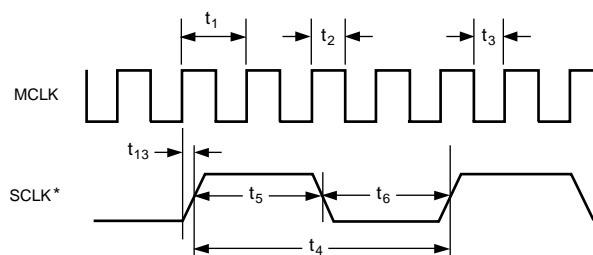


図2 タイミング仕様の負荷回路



* SCLKは周波数で個別に設定可能(この図ではMCLK/4)

図3 SCLKのタイミング

AD73311

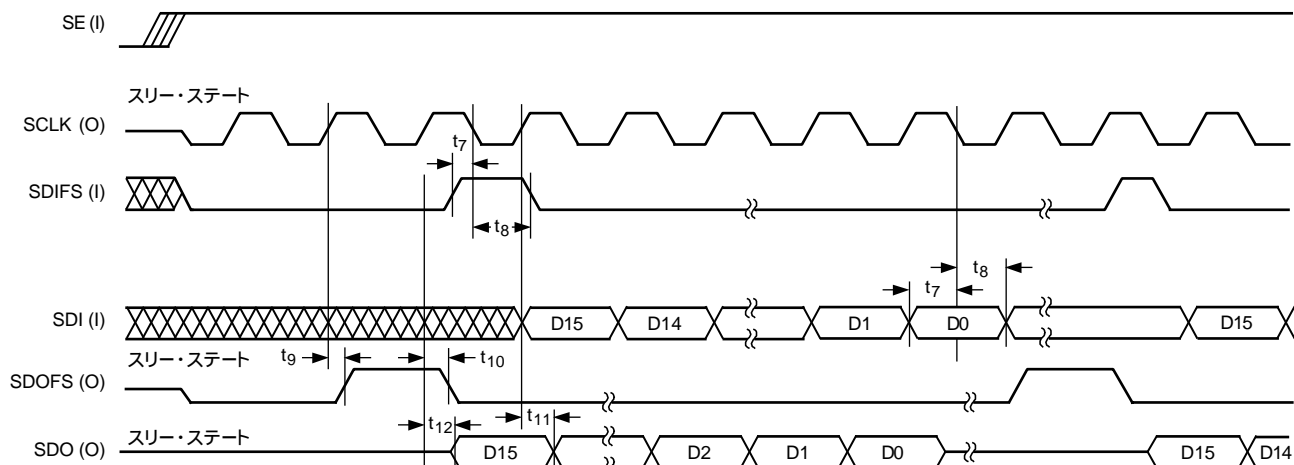


図4 シリアル・ポート (SPORT)

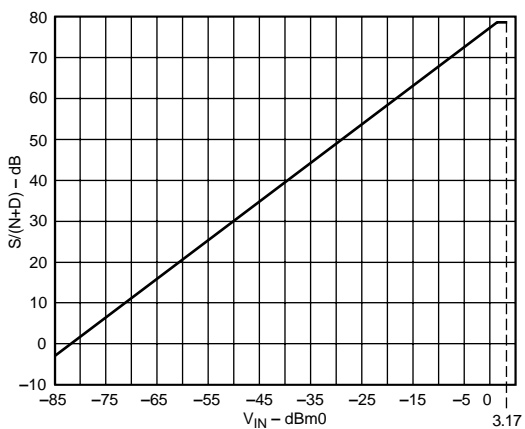


図5a 音声帯域 (300Hz ~ 3.4kHz) における S(N+D) 対 VIN (ADC@3V)

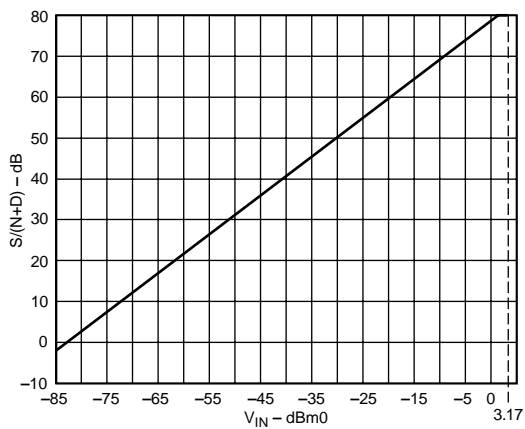


図5c 音声帯域 (300Hz ~ 3.4kHz) における S(N+D) 対 VIN (ADC@5V)

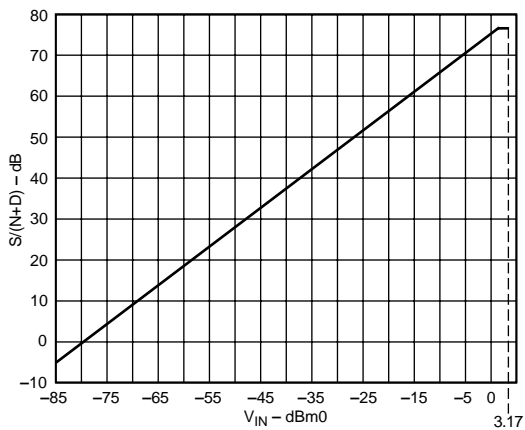


図5b 音声帯域 (300Hz ~ 3.4kHz) における S(N+D) 対 VIN (DAC@3V)

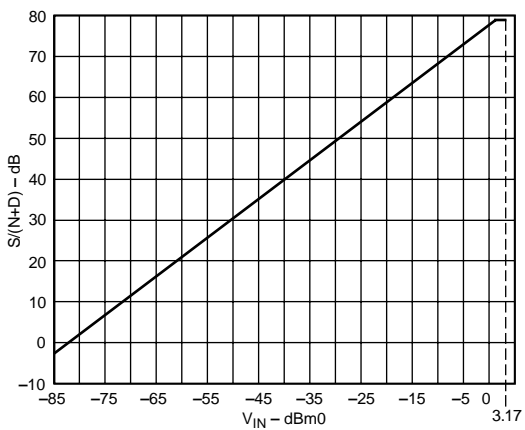


図5d 音声帯域 (300Hz ~ 3.4kHz) における S(N+D) 対 VIN (DAC@5V)

絶対最大定格*

(特に指定のない限り、 $T_A = +25$)

AVDD、DVDD ~ GND - 0.3 ~ +7V

AGND ~ DGND - 0.3 ~ +0.3V

デジタルI/O電圧 ~ DGND - 0.3V ~ DVDD + 0.3V

アナログI/O電圧 ~ AGND - 0.3V ~ AVDD + 0.3V

動作温度範囲

工業用 (Aバージョン) - 40 ~ +85

保管温度範囲 - 65 ~ +150

最大接合温度 +150

SOIC、 J_A 熱インピーダンス 75 W

ピン温度、ハンダ処理

蒸着 (60秒) +215

赤外線 (15秒) +220

SSOP、 J_A 熱インピーダンス 90 W

ピン温度、ハンダ処理

蒸着 (60秒) +215

赤外線 (15秒) +220

* 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。

オーダー・ガイド

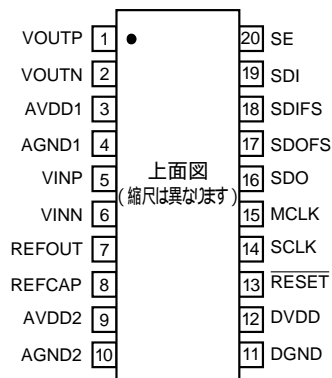
モデル	温度範囲	パッケージ・オプション ¹
D73311AR	- 40 ~ +85	R-20
AD73311ARS	- 40 ~ +85	RS-20
EVAL-AD73311EB	評価ボード ² +EZ-KIT Liteアップグレード ³	
EVAL-AD73311EZ	評価ボード ² +EZ-KIT Lite ⁴	

注

- R = 0.3インチ・スモール・アウトラインIC (SOIC)、RS = シュリンク・スモール・アウトライン・パッケージ (SSOP)。
- AD73311評価ボードには、カスケード接続するコーデック数 (1~4) を選択する機能があります。この評価ボードは、ADSP-2181 EZ-KIT LiteまたはTexas Instruments社のEVMキットにインターフェースできます。
- アップグレードは、置き換え用PROMとコネクタで構成されています。このオプションはEZ-KIT Lite用です。
- EZ-KIT LiteはAD73311評価ボードにインターフェースできるように変更されています。このオプションは、EZ-KIT Liteをお持ちでないユーザー用です。



ピン配置



AD73311

ピン機能の説明

ピン番号	記号	機能
1	VOUTP	出力チャンネルの正端子からのアナログ出力。
2	VOUTN	出力チャンネルの負端子からのアナログ出力。
3	AVDD1	出力ドライバへのアナログ電源接続。
4	AGND1	出力ドライバへのアナログ・グラウンド接続。
5	VINP	入力チャンネルの正端子に対するアナログ入力。
6	VINN	入力チャンネルの負端子に対するアナログ入力。
7	REFOUT	バッファを通したリファレンス出力で、1.2Vまたは2.4Vの公称値を持ち、この値はビット5VEN (CRC : 7) の状態に依存します。
8	REFCAP	内部リファレンス用にAGND2に対する0.1 μ Fのバイパス・コンデンサが必要です。コンデンサはこのピンに接続します。
9	AVDD2	アナログ電源接続。
10	AGND2	アナログ・グラウンド/サブストレート接続。
11	DGND	デジタル・グラウンド/サブストレート接続。
12	DVDD	デジタル電源接続。
13	RESET	アクティブ・ローのリセット信号。この入力によりチップ全体がリセットされて、コントロール・レジスタがリセットされ、デジタル回路がクリアされます。
14	SCLK	シリアル・クロック出力で、このレートがコーデックの入/出力のシリアル転送レートを決定します。シリアル・ポート (SPORT) に入/出力するデータまたは制御情報のクロックとして使用されます。SCLKの周波数はマスター・クロック (MCLK) を分周したものです。この分周比 (整数) は、外部マスター・クロック・レート分周器とシリアル・クロック・レート分周器の積に等しくなります。
15	MCLK	マスター・クロック入力。MCLKは外部クロック信号から駆動されます。
16	SDO	コーデックのシリアル・データ出力。このピンにはデータと制御情報が出力され、SCLKの立ち上がりエッジでクロック駆動されます。SEがローで、かつ情報が転送されていないときは、SDOはスリー・ステートになります。
17	SDOFS	SDOシリアル転送のフレーミング信号出力。フレーム同期は1ビット幅で、各出力ワードの先頭ビット (MSB) の前でSCLKの1周期間アクティブになります。SDOFSはSCLKの立ち上がりエッジを基準とします。SEがローのときは、SDOFSはスリー・ステートになります。
18	SDIFS	SDIシリアル転送のフレーミング信号入力。フレーム同期は1ビット幅で、各入力ワードの先頭ビット (MSB) より1周期 (SCLK) 前に有効になります。SDIFSはSCLKの立ち下がりエッジでサンプルされ、SEがローのときは無視されます。
19	SDI	コーデックのシリアル・データ入力。データと制御情報がこのピンに入力され、SCLKの立ち下がりエッジでクロック駆動されます。SEがローのときは無視されます。
20	SE	SPORTのイネーブル。SPORTに対する非同期イネーブルの入力ピンです。DSPによりSEがローに設定されると、SPORTの出力ピンはスリー・ステートになり、入力ピンは無視されます。消費電力を減らすために、内部でSCLKをディスエーブルにすることもできます。SEをハイに設定すると、SPORTのコントロール・レジスタとデータ・レジスタの値 (SEがローになる前の値) は維持されますが、タイミング・カウンタと他の内部レジスタにはリセット値が設定されます。

用語

絶対ゲイン

絶対ゲインは、既知の信号に対するコンバータのゲインを表します。絶対ゲインは、DACに1kHzサイン波を0dBm0で、ADCに1kHzサイン波を0dBm0でそれぞれ入力して、差動信号として測定します。絶対ゲイン仕様は、ゲイン・トラッキング・エラー仕様で使用されます。

クロストーク

クロストークは、あるチャンネルから隣接チャンネルへ信号が混入して発生します。混入信号振幅の、入力信号振幅に対する比として定義されます。クロストークはdB値で表します。

ゲイン・トラッキング誤差

ゲイン・トラッキング誤差は、絶対信号レベルを基準とする種々の信号レベルに対する、コンバータ出力の変化を表します。絶対信号レベルは、DACの場合1kHzで0dBm0 (= 絶対ゲイン)、ADCの場合1kHzで0dBm0 (= 絶対ゲイン) です。0dBm0 (ADC) と0dBm0 (DAC) でのゲイン・トラッキング誤差を0dBと定義します。

群遅延

群遅延は、ラジアン周波数に対するラジアン位相の導関数 $d(f)/df$ として定義されます。群遅延は、システムの平均遅延を周波数の関数として表します。一定の群遅延を持つ線形システムは線形な位相応答を持ちます。群遅延の一定値からの偏差は、システムの位相応答の非線形性の程度を表しています。

アイドル・チャンネル・ノイズ

アイドル・チャンネル・ノイズは、入力がグラウンドに接続されたときにデバイス出力で測定された、合計信号エネルギーと定義されます (周波数範囲300Hz ~ 3400Hzで測定)。

相互変調歪み

非線形性を持つアクティブなデバイスに2つの周波数 f_a 、 f_b を含むサイン波を入力すると、 $m, n = 0, 1, 2, 3, \dots$ として、さまざまな和と差の周波数 $m f_a \pm n f_b$ を持つ歪み成分が発生します。相互変調歪みの項とは、 m と n が非ゼロの項をいいます。最終的なテストでは、2次項には $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ が含まれます。

電源除去比

電源除去比は、電源ノイズに対するデバイスの敏感さを表します。電源除去比は、電源をサイン波で変調して、出力でノイズを測定 (0dBを基準) して測定します。

サンプル・レート

サンプル・レートとは、ADCの場合は出力レジスタを、DACの場合はその入力レジスタからの出力を、それぞれ更新するレートをいいます。サンプル・レートは、DMCLKを基準 (= DMCLK/256) に定められ、DMCLKを変更することによってのみ、変更可能です。

SNR + THD

S/N比と高調波歪みの和は、周波数範囲300Hz ~ 3400Hz内に含まれる他のスペクトラム成分のrms値総和 (高調波を含み、DCは除く) に対する測定入力信号のrms値の比として定義されます。

略語

ADC	A/Dコンバータ。
ALB	アナログ・ループバック。
BW	帯域幅。
CRx	コントロール・レジスタを表し、xは文字 (A ~ E) が入ります。AD73311にはCRA ~ CREの5個の読み書き可能なコントロール・レジスタがあります。
CRx:n	ビット位置を表し、nの値は、コントロール・レジスタ内の位置を表す数値 (0 ~ 7) です。xは文字 (A ~ E) が入ります。位置7はMSBを、位置0はLSBをそれぞれ表します。
DAC	D/Aコンバータ。
DLB	デジタル・ループバック。
DMCLK	デバイスの (内部) マスター・クロック。これは、外部マスター・クロック (MCLK) を内部マスター・クロック分周器で分周して得られた内部マスター・クロックを指します。
FSLB	フレーム同期ループバック。フレーム同期ループバックでは、カスケード接続内の最終デバイスのSDOFSはDSPのRFSとTFS、およびカスケード接続内の先頭デバイスのSDIFSに接続されます。データの入力と出力は同時に行われます。非FSLBの場合は、SDOFSとSDOはDSPのRxポートに接続され、SDIFSとSDIはTxポートに接続されます。
PGA	プログラマブル・ゲイン・アンプ。
SC	スイッチト・コンデンサ。
SNR	信号対ノイズ比 (S/N比)。
SPORT	シリアル・ポート。
THD	全高調波歪み。
VBW	音声帯域幅。

AD73311

機能説明

エンコーダ・チャンネル

両エンコーダ・チャンネルは、スイッチト・キャパシタPGAと A/Dコンバータ (ADC) で構成されています。

ADCの一部を構成する内蔵デジタル・フィルタも重要なシステム・レベルのフィルタ機能を持っています。ハイ・レベルのオーバーサンプリングの採用により、簡単な単極のRCステージにより注目帯域内で十分な減衰が得られるように、入力のエイリアス減衰条件が軽減されています。

プログラマブル・ゲイン・アンプ

各エンコーダ部のアナログ・フロント・エンドは、モジュレータの一部を構成するスイッチト・キャパシタPGAで構成されています。SCのサンプリング周波数はDMCLK/8です。PGAはマイクロフォンのような低レベル出力ソースからADCに入力される信号レベルの増幅に使用でき、外付けアンプの追加が不要です。PGAのプログラマブル・ゲインの設定を表IVに示します。モジュレータへの入力信号レベルは、最大許容入力電圧を超えることはできません。PGAゲインは、コントロール・レジスタD内のIGS0、IGS1、IGS2 (CRD : 0~2) の各ビットを使って設定します。

表IV エンコーダ・チャンネルのPGA設定

IGS2	IGS1	IGS0	ゲイン (dB)
0	0	0	0
0	0	1	6
0	1	0	12
0	1	1	18
1	0	0	20
1	0	1	26
1	1	0	32
1	1	1	38

ADC

ADCは、アナログモジュレータとデジタル・アンチエイリアス・デシメーション・フィルタで構成されています。モジュレータは信号のノイズ整形を行い、DMCLK/8レートで1ビット・サンプル値を生成します。このビット・ストリームはアナログ入力信号を表し、アンチエイリアス・デシメーション・フィルタに入力されます。デシメーション・フィルタはサンプル・レートを下げ、分解能を向上させます。

アナログモジュレータ

AD73311の入力チャンネルはシグマ・デルタ変換技術を採用して高精度の16ビット出力を発生させ、また、システム・フィルタも内蔵しています。

コンバータでは、オーバーサンプリングと呼ばれる技術を使っています。この技術では、サンプル・レートが信号内の最高周波数の何倍かに設定されます。AD73311の場合、モジュレータの初段サンプル・レートはDMCLK/8です。オーバーサンプリングの主要な効果は、量子化ノイズが非常に広い帯域 (最大 $F_s/2 = DMCLK/16$) に拡散されることです (図6a)。これは、注目する帯域内のノイズが大幅

に減少することを意味します。

コンバータのもう1つの相補的な機能は、ノイズ整形と呼ばれる技術を使用することです。この技術はノイズを帯域内から帯域外に追い出す効果があります (図6b)。これらの技術の組み合わせとデジタル・フィルタの適用が帯域内ノイズを十分減衰させて、AD73311のダイナミック性能を保証しています (図6c)。

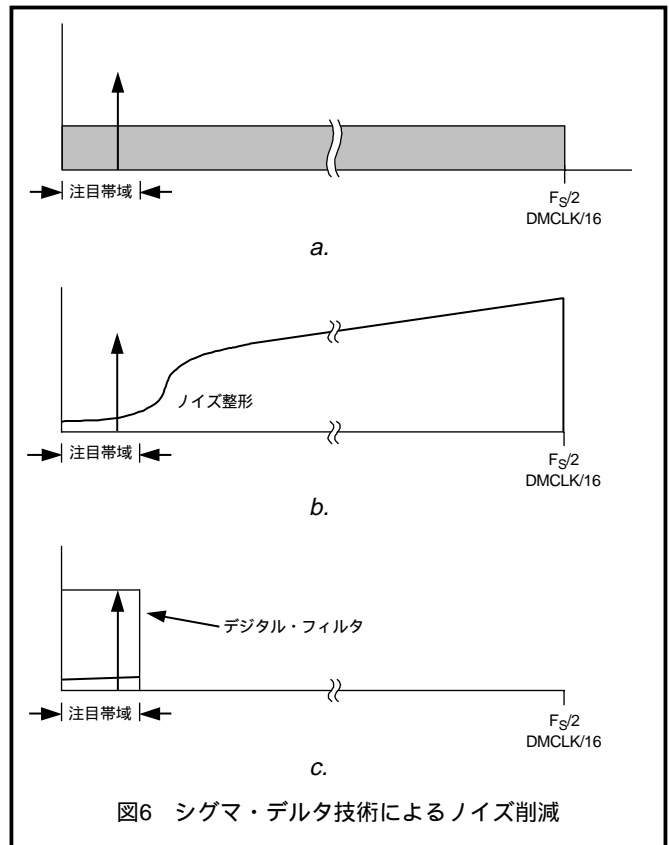
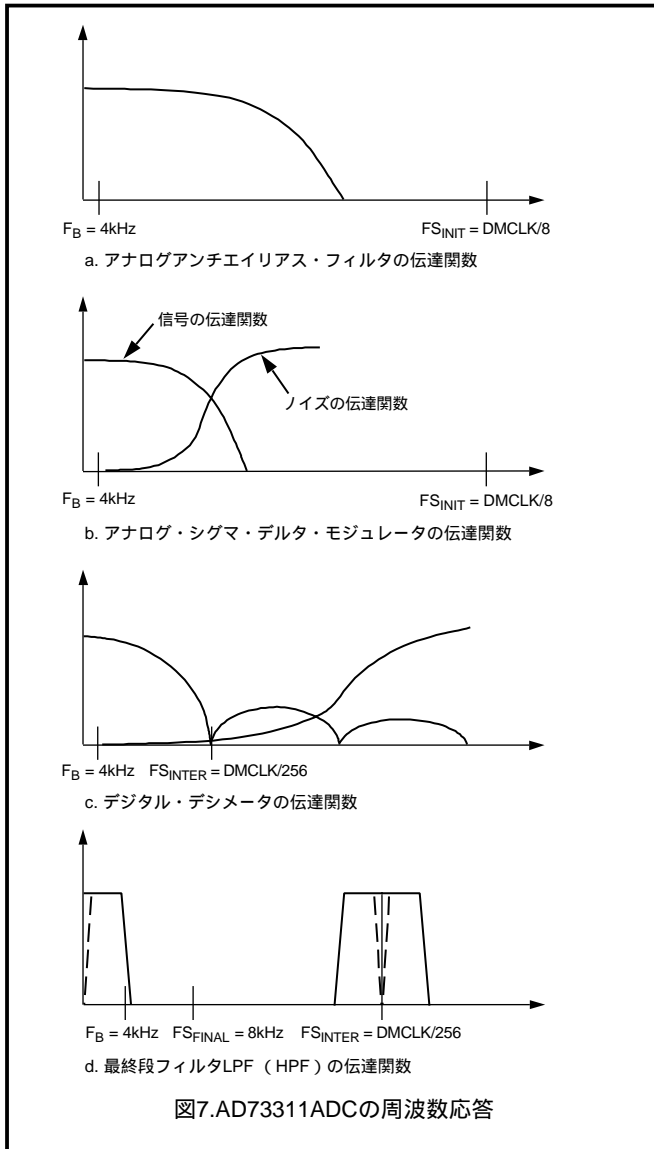


図6 シグマ・デルタ技術によるノイズ削減

図7に、AD73311の代表的なアプリケーションで採用される、さまざまなフィルタ段を示します。図7aは、外付けのアナログ・アンチエイリアス・フィルタの伝達関数を示します。単極のRCフィルタですが、サンプリング周波数により折り返されるあらゆる信号を処理できるように、カットオフ周波数を初段サンプリング周波数 (DMCLK/8) から十分に離しています。また、初段オーバーサンプリング・レートと注目帯域の間の大きな差も示してあります。図7bには、モジュレータの信号応答とノイズ整形応答が示してあります。この信号応答では、ノイズ整形によって固有の量子化ノイズが帯域外に追い出されるため、高い周波数の信号をさらに減衰させていることが分かります。詳細図7cには、DMCLK/256の整数倍のところをゼロになっているデジタル・デシメーション・フィルタの応答 (3乗Sinc応答) が示してあります。この応答は64kHzサンプリングでのデシメーション・フィルタの更新レートに対応します。3乗Sinc応答の各ゼロ点は、選択したサンプリング周波数の整数倍に対応します。詳細図7dには、DSPエンジン内の最終段のアンチエイリアス・フィルタの適用を示します。これには、ユーザーの条件と使用可能なMIPSに基づいて実現できるという利点があります。図7a~7cに示すフィルタはAD73311内で構成されています。



デシメーション・フィルタ

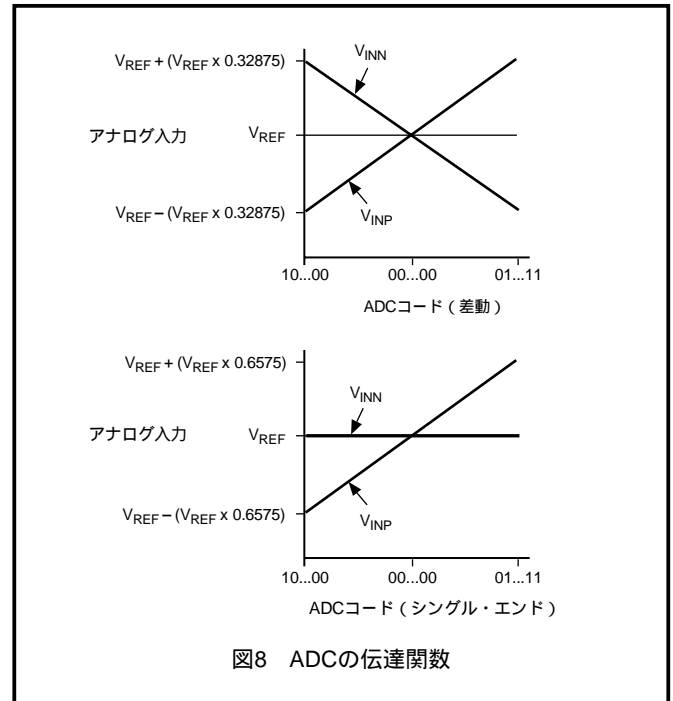
AD73311に使用されているデジタル・フィルタは、2つの重要な機能を実行します。1つは、アナログ・モジュレータにより整形された帯域外の量子化ノイズの除去。2つめは、高い周波数のビット・ストリームを間引いて、低いレートの15ビット・ワードに変換することです。

アンチエイリアス・デシメーション・フィルタは、サンプル・レートをDMCLK/8からDMCLK/256に下げて、選択したサンプル・レートに応じて精度を1～15ビットに引き上げる、3乗Sincデジタル・フィルタです。そのZ変換は、 $[(1 - Z^{-32}) / (1 - Z^{-1})]^3$ になります。これにより、わずか25 μ sの最小群遅延が補償されます。

ADCのコーディング

ADCのコーディング方式は2の補数フォーマットになっています(図8参照)。出力ワードはデシメーション・フィルタ内で組み立てられ、ワード長は選択されたデシメーション・レートに応じてモジュレータ出力の1ビットから、ADCブロックの最終出力である15ビット・ワード長まで変化します。16ビット・データ・モードでは、この値は左シフトされ、LSBは0に設定されます。ただし、正のフル・スケール以上の入力データに対しては、出力ワードは0x7FFFに設定されます(LSBは1に設定)。コントロール/データ・モードでは、

精度が15ビットに固定され、16ビット転送のMSBがフレーム内で制御またはデータを識別するフラグ・ビットとして使用されます。



デコーダ・チャンネル

デコーダ・チャンネルは、デジタル・インターポレータ、デジタルモジュレータ、1ビットD/Aコンバータ(DAC)、アナログ平滑化フィルタ、差動出力を持つプログラマブル・ゲイン・アンプから構成されています。

DACのコーディング

DACのコーディング方式は2の補数フォーマットで、0x7FFFが正のフル・スケールで0x8000が負のフル・スケールになっています。

インターポレーション・フィルタ

アンチイメージング・インターポレーション・フィルタは、3乗Sincデジタル・フィルタです。このフィルタは、16ビット入力ワードのサンプル・レートをDMCLK/256レートからDMCLK/8まで引き上げ、インターポレーション処理により発生するイメージを減衰させます。そのZ変換は、 $[(1 - Z^{-32}) / (1 - Z^{-1})]^3$ になります。DACは、サンプル・レートDMCLK/256でホストDSPプロセッサから16ビット・サンプルを受信します。ホスト・プロセッサがシリアル・ポートへの新しい値の書き込みに失敗すると、既存の(前の)データが再度読み出されます。データ・ストリームはアンチイメージング・インターポレータ・フィルタによりフィルタ処理されますが、コントロール・レジスタ内のIBYPビット(CRE:5を設定し、インターポレータをバイパスして最小の群遅延を得られる構成のオプションもあります。インターポレータ・フィルタは、ADCのアンチエイリアス・デシメーション・フィルタと同じ特性を持っています。

インターポレーション・フィルタの出力はDACのデジタルモジュレータに入力され、そこで16ビット・データからDMCLK/8レートの1ビット・サンプルに変換されます。モジュレータは信号のノイズ整形を行い、コンバータの通過帯域内でこの処理に固有の誤差を最小にします。モジュレータのビット・ストリーム出力は1ビットDACに入力され、ここでアナログ電圧に変換されます。

AD73311

アナログ平滑化フィルタとPGA

1ビットDACの出力はDMCLK/8でサンプルされるため、フィルタを通して出力を低周波数信号に復元する必要があります。デコーダのアナログ平滑化フィルタは、前段に3次スイッチト・コンデンサ・フィルタが付いた連続時間フィルタで構成されます。この連続時間フィルタは、プログラマブルな出力ゲイン・アンプ (PGA) の一部を構成しています。このPGAを使用すると、出力信号レベルを -15 ~ +6dB の範囲で3dBステップで調整できます (表V)。PGAのゲインはコントロール・レジスタD内にあるビットOGS0、OGS1、OGS2 (CRD : 4~6) を使って設定します。

表V デコーダ・チャンネルのPGAの設定

OGS2	OGS1	OGS0	ゲイン (dB)
0	0	0	+6
0	0	1	+3
0	1	0	0
0	1	1	-3
1	0	0	-6
1	0	1	-9
1	1	0	-12
1	1	1	-15

差動出力アンプ

デコーダには一対の差動アナログ出力 (VOUTPおよびVOUTN) があります。出力チャンネルは、コントロール・レジスタD内のMUTEビット (CRD : 7) を設定してミュートできます。出力信号はコーデックの内部リファレンスでDCバイアスされています。

リファレンス

AD73311のREFCAPはバンドギャップ・リファレンスで、ローノイズの温度補償済みリファレンスをDACとADCに提供しています。バッファ済みのリファレンスもREFOUTピンに出力でき、外部アナログ回路のバイアスに使えます。このリファレンスはデフォルトで公称値1.2Vですが、CRCの5VENビット (CRC : 7) を設定して公称値2.4Vに設定できます。一般に、5VモードはV_{DD} = 5Vの場合のみ使用可能です。

外部回路にバイアスを供給するために、CRC内のRUビット (CRC : 6) を設定して、リファレンス出力 (REFOUT) をイネーブリングにできます。

シリアル・ポート (SPORT)

AD73311コーデックは、双方向の同期シリアル・ポート (SPORT) を使ってホスト・プロセッサと通信します。このシリアル・ポートは殆どの最新DSPと互換性を持っています。SPORTを使って、デジタル・データと制御情報を送 / 受信します。

送信と受信のモードでは、シリアル・クロック (SCLK) レートでMSBを先頭にしてデータが転送されます。各コーデック・ブロックのSPORTではシリアル入力とシリアル出力の間で共通のシリアル・レジスタを使っているため、AD73311コーデックとホスト・プロセッサ (DSPエンジン) の間の通信は、必ずコーデック側から起動する必要があります。この構成では、コーデックはマスター・モードになります。これにより入力データと出力サンプルの間の衝突を防止しています。

SPORTの概要

AD73311のSPORTはフレキシブルな全二重の同期シリアル・ポートで、プロトコルは最大8個のデバイスを6線式インターフェースを使って1個のDSPにカスケード接続できるように設計されています。このシリアル・ポートは非常に柔軟なアーキテクチャを採用し、各コーデック・ブロック内の2つの内部コントロール・レジスタを使って設定できます。AD73311のSPORTには、コントロール・モード、データ・モード、コントロール / データ・モードの3つの動作モードがあります。

コントロール・モード (CRA : 0 = 0) では、5個の内部コントロール・レジスタに書き込みを行い、デバイスの内部構成を設定できます。このモードでは、コーデックに制御情報の書き込み / 読み出しを行えます。データ・モード (CRA : 0 = 1) では、AD73311に送信された情報を使ってデコーダ部 (DAC) を更新し、エンコーダ部 (ADC) のデータがAD73311から読み出されます。このモードでは、DACとADCのデータだけが書き / 読みされます。コントロール / データ・モード (CRA : 0 = 1かつCRA : 1 = 1) では、AD73311に送信する情報に制御情報またはDACデータのどちらを含むかを、ユーザーが指定できます。これは、16ビット・フレームのMSBをフラグ・ビットに使用して実行されます。コントロール / データ・モードでは、16ビット・フレーム内の情報が制御情報またはDAC、ADCデータのどれかの識別にMSBを使うため、分解能が15ビットに減少します。

SPORTには1個の16ビット・シリアル・レジスタがあり、入 / 出力のデータ転送に共用されています。入力データと出力データが同じレジスタを共用するため、注意が必要です。第一に、情報を書き込む際には、事前に必ず、シリアル・レジスタが直前のADCサンプル・ワードで上書きされたときに発生する出力サンプル・イベントを参照してください。SPORTが直前のADCワードの出力を開始したら、DSPは新しい制御またはデータ・ワードを安全にコーデックに書き込みます。設定によっては、出力サンプルをシリアル・レジスタにシフト・アウトしている最中に、データをデバイスに書き込むこともできます。これについてはデバイス・インターフェースの項を参照してください。シリアル・クロック・レート (CRB : 2~3) は、次の出力サンプル・イベントが発生するまでにデバイスに書き込める16ビット・ワード数を定めます。

図9に、SPORTのブロック図を示します。5個のコントロール・レジスタ (A~E) 外部MCLKから内部DMCLK分周器まで、シリアル・クロック分周器などを示しています。分周器レートは、コントロール・レジスタBを使って設定します。AD73311にはマスター・クロック分周器があり、これを使うと外部から供給する高周波数のDSPまたはCPUのクロックを柔軟に分周でき、シリアル転送またはサンプリング・レート条件に適する低周波数のマスター・クロックをコーデック内部で生成できます。マスター・クロック分周器には5種類の分周オプションがあります (÷1 (デフォルト) ÷2, ÷3, ÷4, ÷5)。これらは、レジスタB内のマスター・クロック分周器フィールドに該当するコードをロードして選択します。マスター・クロック分周器を使って内部デバイス・マスター・クロック (DMCLK) を設定すると、サンプル・レートとシリアル・クロックの設定がDMCLKから供給されます。

SPORTは、DMCLK、DMCLK/2、DMCLK/4、DMCLK/8の4種類のシリアル・クロック SCLK レートで動作できます。ここでDMCLKは、内部クロックすなわちデバイスのマスター・クロックであり、外部クロックすなわちピンのマスター・クロックをマスター・クロック分周器で分周したものです。DMCLK/8の低いSCLKレートで動作する場合 (低速DSPとインターフェースする場合) SPORTはDMCLK/256のサンプル・レートで最大2個のデバイスをカスケード接続できます。

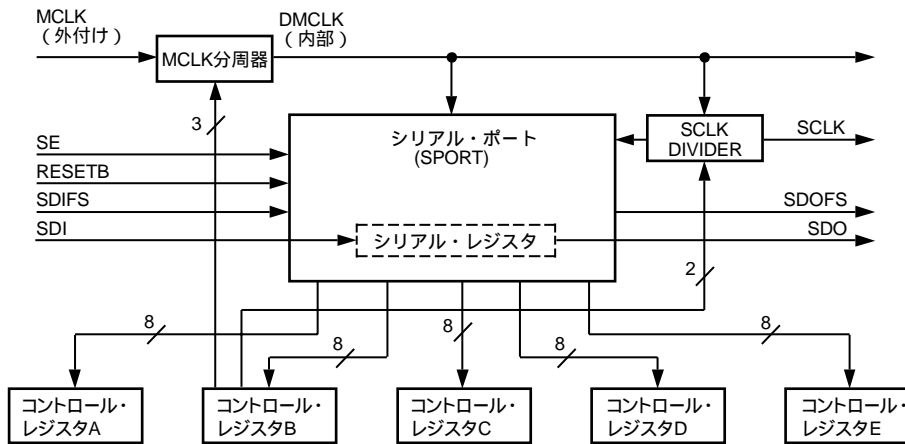


図9 SPORTのブロック図

SPORTのレジスタ・マップ

AD73311には、コントロール・レジスタ・バンクとデータ・レジスタ・バンクの、2つのレジスタ・バンクがあります。コントロール・レジスタ・バンクは、5個の読み/書き可能な8ビット・レジスタから構成されています。表VIIに、AD73311のコントロール・レジスタ・マップを示します。最初の2個のコントロール・レジスタCRAとCRBは、SPORTの制御に使われます。これらのレジスタは、ビット・レート、内部マスター・クロック・レート、サンプル・レート、デバイス数（複数のAD73311を1つのSPORTにカスケード接続した場合）などのパラメータ設定を保持しています。他の3個のレジスタCRC~CREは、ADC、DAC、リファレンス、消費電力コントロールの各部分に対する制御設定を保持します。コントロール・レジスタはSCLKの立ち上がりエッジで書き込まれます。データ・レジスタ・バンクは、DACレジスタとADCレジスタの2個の16ビット・レジスタから構成されています。

マスター・クロック分周器

AD73311にはプログラマブルなマスター・クロック分周器があります。これを使い、外部からMCLKピンに入力されるマスター・クロックを、分周比1、2、3、4、5で分周して内部マスター・クロック信号（DMCLK）を生成できます。このDMCLKはサンプリング・クロック・レートとシリアル・クロック・レートの計算に使用されます。マスター・クロック分周器は、CRB：4~6を使って設定します。表VIに、種々のビット設定に対応する分周比を示します。デフォルトの分周比は1です。

表VI DMCLK（内部）レート分周器の設定

MCD2	MCD1	MCD0	DMCLKレート
0	0	0	MCLK
0	0	1	MCLK/2
0	1	0	MCLK/3
0	1	1	MCLK/4
1	0	0	MCLK/5
1	0	1	MCLK
1	1	0	MCLK
1	1	1	MCLK

シリアル・クロック・レート分周器

AD73311にはプログラマブルなシリアル・クロック分周器があります。これを使い、データのシリアル・クロック SCLK レートをDSPエンジンまたはホスト・プロセッサのシリアル・クロック・レートに合わせられます。使用可能な最大SCLKレートはDMCLKで、DMCLK/2、DMCLK/4、DMCLK/8の各レートも使用可能です。最も低速のレート（DMCLK/8）がデフォルトのSCLKレートになっています。シリアル・クロック分周器はビットCRB:2~3を使って設定します。表VIIIに、種々のビット設定に対応するシリアル・クロック・レートを示します。

表VI DMCLK（内部）レート分周器の設定

SCD1	SCD0	SCLKレート
0	0	DMCLK/8
0	1	DMCLK/4
1	0	DMCLK/2
1	1	DMCLK

DACアドバンス・レジスタ

DACへの書き込みは、各サンプリングの間に、ADCデータの読み出しに内部で同期されています。デフォルトのDAC書き込みは、ADCデータがレディになってSDOFSフラグが設定されるより1サイクル（SCLKクロック）前に発生しますが、コントロール・レジスタE（CRE：0~4）内のDACアドバンス・フィールドを変更して、このDAC書き込みポジションを前に進めることができます。このフィールドは5ビット幅で、1ステップ1（FS×32）で31ステップまで設定可能です（表VIII参照）。ADCとDACを直列に接続してデータを処理すると、設定によっては、このDAC更新の調整により群遅延を小さくできる場合もあります。DACアドバンス機能の使い方は、追記Eに示します。

注：DAC部に電源が入っている間は、DACアドバンス・レジスタを変更しないでください。

表VIII DACタイミングの制御

DA4	DA3	DA2	DA1	DA0	進み時間*
0	0	0	0	0	0ns
0	0	0	0	1	488.2ns
0	0	0	1	0	976.5ns
1	1	1	1	0	14.64 μs
1	1	1	1	1	15.13 μs

*DMCLK = 16.384MHz

AD73311

表IX コントロール・レジスタ・マップ

アドレス (2進数)	名称	説明	タイプ	幅	リセット時設定 (Hex)
000	CRA	コントロール・レジスタA	R/W	8	0x00
001	CRB	コントロール・レジスタB	R/W	8	0x00
010	CRC	コントロール・レジスタC	R/W	8	0x00
011	CRD	コントロール・レジスタD	R/W	8	0x00
100	CRE	コントロール・レジスタE	R/W	8	0x00
101 ~ 111		予約済み			

動作説明

AD73311のリセット

RESETピンは、全てのコントロール・レジスタをリセットします。全てのレジスタはゼロにリセットされて、SCLKレート (DMCLK/8) とサンプル・レート (DMCLK/2048) がデフォルトの最小値に設定されて、低速のDSPエンジンとも通信できるようになります。RESETピンを使ってコントロール・レジスタをリセットすると同時に、コントロール・レジスタA内にあるRESETビット (CRA : 7) を使ってAD73311をリセットできます。このハード/ソフトウェア・リセットは、DMCLKクロックで4サイクルを要します。リセット時に、DATA/PGM (CRA : 0) は0に設定されて (デフォルト状態) プログラム・モードがイネーブルにされます。リセット状態により、パワーオンまたはリセット直後のデバイスの正しい設定が保証されます。リセットに続いて、RESETがハイになった後DMCLKクロックで280サイクルが経過すると、SDOFSがアサートされます。リセット後およびプログラム・モード内で出力されるデータはランダムであり、データ・モードまたはコントロール/データ・モードが設定されるまで、有効な情報は含まれません。

消費電力管理

パワー・コントロール・レジスタCRCを設定することにより、AD73311内の個々の機能ブロックを個別にイネーブルにできます。これにより、不要な部分の電源をオフにでき、

ユーザー設計の際に不要な部分に電源を供給しない柔軟性を実現します。パワー・コントロール・レジスタは、各コーデック・ユニット内の主要な機能ブロックに対して個別の制御設定を提供します。さらに、ビットを設定することにより、全ての部分の電源をオンにするグローバル・オーバーライド機能も提供します。この方法を使うと、例えばリファレンス (CRC : 5) などの特定部分の電源を個別にオンにし、他の部分の電源をオフできます。グローバル・パワーアップ (CRC : 0) を使って全部をイネーブルにできますが、グローバル制御を使ってパワーオフが必要な場合は、個別ビットが設定されているため、リファレンスはイネーブルのままになっています。CRCの設定の詳細については、表XIIIを参照してください。

動作モード

AD73311には、5つの動作モードがあります。デジタル・ループバックとSPORTループバックの2つの動作モードは、診断モードとして用意されています。プログラム・モード、データ・モード、プログラム/データ・モードの3つの動作モードは汎用モードです。デバイス設定レジスタの設定は、プログラム・モードとプログラム/データ・モード内でのみ変更できます。全モードで、デバイスに入/出力する情報転送に16ビット・パケットが使われるので、DSPエンジンのシリアル・ポートは16ビット転送に設定しておいてください。

表X コントロール・ワード

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
C/D	R/W	デバイス・アドレス			レジスタ・アドレス			レジスタ・データ								

コントロール	フレーム	説明
ビット15	Control/Data (C/D)	ハイに設定されると、プログラム・モードまたはプログラム/データ・モード内でコントロール・ワードを表します。ローに設定されると、プログラム/データ・モードでデータ・ワードを、プログラム・モードで無効コントロール・ワードを、それぞれ表します。
ビット14	Read/Write (R/W)	ローに設定されると、アドレス・フィールドがゼロの場合に、レジスタ・フィールドの設定により選択されたレジスタにデータ・フィールドを書き込むように指定します。ハイに設定されると、選択されたレジスタを入力シリアル・レジスタのデータ・フィールドに書き込み、さらにデバイスからシリアル出力経路で新しいコントロール・ワードを出力するように指定します。この3ビット・フィールドはアドレス情報を保持します。このフィールドがゼロの場合にのみ、デバイスが選択されます。アドレスが非ゼロの場合は、その値が減らされて、デバイスからシリアル出力経路でコントロール・ワードが渡されます。
ビット13~11	デバイス・アドレス	この3ビット・フィールドはアドレス情報を保持します。このフィールドがゼロの場合にのみ、デバイスが選択されます。アドレスが非ゼロの場合は、その値が減らされて、デバイスからシリアル出力経路でコントロール・ワードが渡されます。
ビット10~8 ビット7~0	レジスタ・アドレス レジスタ・データ	この3ビット・フィールドを使って、AD73311の5個のコントロール・レジスタを選択します。この8ビット・フィールドは、アドレス・フィールドがゼロの場合に、選択されたレジスタに読み込み/書き出しするデータを保持します。

表XI コントロール・レジスタA

コントロール・レジスタA

7	6	5	4	3	2	1	0
RESET	DC2	DC1	DC0	DLB	ALB	MM	DATA/ PGM

ビット	名称	説明
0	DATA/PGM	動作モード (0=プログラム、1=データ・モード)
1	MM	コントロール/データ・モード (0=オフ、1=イネーブル)
2	ALB	アナログ・ループバック・モード (0=オフ、1=イネーブル)
3	DLB	デジタル・ループバック・モード (0=オフ、1=イネーブル)
4	DC0	デバイス数 (ビット0)
5	DC1	デバイス数 (ビット1)
6	DC2	デバイス数 (ビット2)
7	RESET	ソフトウェア・リセット (0=オフ、1=リセット起動)

表XII コントロール・レジスタB

コントロール・レジスタB

7	6	5	4	3	2	1	0
CEE	MCDC2	MCDC1	MCDC0	SCD1	SCD0	1	1

ビット	名称	説明
0	予約済み	1に設定しておいてください
1	予約済み	1に設定しておいてください
2	SCD0	シリアル・クロック分周器 (ビット0)
3	SCD1	シリアル・クロック分周器 (ビット1)
4	MCD0	マスター・クロック分周器 (ビット0)
5	MCD1	マスター・クロック分周器 (ビット1)
6	MCD2	マスター・クロック分周器 (ビット2)
7	CEE	コントロール・エコー・イネーブル (0=オフ、1=イネーブル)

表XIII コントロール・レジスタC

コントロール・レジスタC

7	6	5	4	3	2	1	0
5VEN	RU	PUREF	PUDAC	PUADC	0	0	PU

ビット	名称	説明
0	PU	デバイス電源 (0=電源オフ、1=電源オン)
1	予約済み	0に設定しておいてください
2	予約済み	0に設定しておいてください
3	PUADC	ADC電源 (0=電源オフ、1=電源オン)
4	PUDAC	DAC電源 (0=電源オフ、1=電源オン)
5	PUREF	REF電源 (0=電源オフ、1=電源オン)
6	RU	REFOUT使用 (0=REFOUTをディスエーブル、1=REFOUTをイネーブル)
7	5VEN	5V動作モード (0=5Vモードをディスエーブル、1=5Vモードをイネーブル)

AD73311

表XIV コントロール・レジスタD

コントロール・レジスタD

7	6	5	4	3	2	1	0
MUTE	OGS2	OGS1	OGS0	RMOD	IGS2	IGS1	IGS0

ビット	名称	説明
0	IGS0	入力ゲイン選択 (ビット0)
1	IGS1	入力ゲイン選択 (ビット1)
2	IGS2	入力ゲイン選択 (ビット2)
3	RMOD	ADCモジュレータのリセット (0=オフ、1=リセットをイネーブル)
4	OGS0	出力ゲイン選択 (ビット0)
5	OGS1	出力ゲイン選択 (ビット1)
6	OGS2	出力ゲイン選択 (ビット2)
7	MUTE	出力ミュート (0=ミュートをオフ、1=ミュートをイネーブル)

表XV コントロール・レジスタE

コントロール・レジスタE

7	6	5	4	3	2	1	0
0	0	IBYP	DA4	DA3	DA2	DA1	DA0

ビット	名称	説明
0	DA0	DACアドバンス設定 (ビット0)
1	DA1	DACアドバンス設定 (ビット1)
2	DA2	DACアドバンス設定 (ビット2)
3	DA3	DACアドバンス設定 (ビット3)
4	DA4	DACアドバンス設定 (ビット4)
5	IBYP	インターポレータのバイパス (0=バイパスをディスエーブル、1=バイパスをイネーブル)
6	予約済み	0に設定しておいてください
7	予約済み	0に設定しておいてください

プログラム (コントロール) モード

プログラム・モード (CRA:0=0) では、ユーザーがコントロール・レジスタへの書き込みで、デバイスの動作 (SPORT動作、カスケード接続長、消費電力管理、入 / 出力ゲインなど) を指定します。このモードでは、DSPエンジンからデバイスに送信された16ビット情報パケットがコントロール・ワードとして解釈されます。表Xにそのフォーマットを示します。このモードでは、ユーザーがコントロール・ワードのアドレス・フィールドに、設定するデバイスのアドレスを指定する必要があります。デバイスはこのフィールドを読み、それがゼロ (0002進数) の場合、そのワードが自分に指定されたものと解釈します。アドレス・フィールドが非ゼロの場合は、そのワードの値を減らしてカスケード接続内の次のデバイスに渡すか、あるいはDSPエンジンに戻します。この3ビット・アドレス・フォーマットにより、カスケード接続された最大8個のデバイスをアドレス指定できます。このアドレス指定方式は、コントロール・データをAD73311に送信するときだけ有効になります。(DACデータをデバイスに送信するときは別のフォーマットが使われます)。コーデック1個構成では、全コントロール・ワード・アドレスをゼロにしてください。そうしないと認識されません。複数コーデック構成では、0~N-1のデバイス・アドレスが有効です (Nはカスケード接続されたデバイスの数)。

リセットの後、SEピンがイネーブルにされると、コーデックはSDOFSピンをハイにして出力サンプル・イベントの発生を表示して応答します。SPORTからのデータ送信中にも、AD73311へのコントロール・ワードが書き込みます (図10参照)。あるいは、サンプル時間間隔を超えない範囲で出力ワードの遅延も可能です。リセット後、コントロール・レジスタBが設定されるまで、出力フレーム同期パルスはデフォルトの低いサンプル・レート (DMCLK/2048) で発生します。コントロール・レジスタBが設定された後は、SDOFSパルスはDMCLK/256に戻ります。これは、低速のコントローラ・デバイスがAD73311と通信可能にするためです。プログラム・モードでは、デバイスからのデータ出力はランダムで、ADCデータとして解釈できません。

データ・モード

種々のコントロール・レジスタに書き込みを行いデバイスを設定すると、デバイスはプログラム・モードを抜け出してデータ・モードに入ります。これは、DATA/PGM (CRA:0ビットを1に、MM (CRA:1) を0にそれぞれ設定して行います。デバイスがデータ・モードに入ると、16ビット入力データ・フレームがコントロール・フレームの代わりにDACデータとして解釈されます。このデータは直接DACレジスタにロードされます。データ・モードでは、入力データ・フレーム全体がDACデータを含むため、AD73311はSDIFSピンで受信した入力フレーム同期数のカウントを使用します。そのカウント数がCRA内のデバイス数フィールドに保存されているデバイス数に等しい場合、デバイスは現在受信中のデータ・フレームを自分に対するDAC更新データと判断します。通常データ・モード時 (コントロール / データ・モードがディスエーブル) には、コントロール・レジスタを再設定するために、ハードウェア・リセットを受信する必要があります。コーデック1個構成では、DSPからAD73311に送信される各16ビット・データ・フレームはDACデータと解釈されます。デバイス数のデフォルトは1なので、各入力フレーム同期により16ビットのデータ・

フレームがDACレジスタにロードされます。

通常データ・モードでのAD73311の初期化と動作の詳細は、追記Aに記載します。通常データ・モードでのカスケード2個接続コーデックの初期化と動作の詳細は、追記Cに記載します。

プログラム / データ・モード

このモードでは、コントロール・ワードとDACデータを同時にAD73311へ送信できます。このためデバイスの適応型制御が可能です。すなわち、DACデータの通常のフローにコントロール・ワードを挿入して、入 / 出力ゲインなどの制御が可能です。標準データ・フレームは16ビットのままですが、この場合MSBをフラグ・ビットとして使って、フレーム内の残りの15ビットがDACデータと制御情報のどちらかを識別しています。DACデータの場合、15ビットのデータをMSB側に1ビット・シフトし、LSB=0にして、DACレジスタにロードします。MMビット (CRA:1ビットを1に、DATA/PGMビット (CRA:0) を1にそれぞれ設定すると、このコントロール / データ・モードがイネーブルになります。通常動作中に制御設定の変更が必要な場合は、このモードを使うと、データのフォーマットが少し面倒ですが、制御とデータの両情報をロードできます。ADCからの出力サンプルも、MSBがゼロに設定され、それがデータ・ワードであることを示していることに注意してください。

コントロール / データ・モード内での1個のAD73311の動作の詳細は、追記Bに記載します。コントロール / データでのカスケード2個接続コーデックの初期化と動作についての詳細は、追記Dに記載します。コントロール / データ・モードをアクティブに設定する前の、プログラム・モードでのコントロール・レジスタへの書き込みは必ずしも必要ではありません。最初のコントロール・ワードを使ってCRAを設定してコントロール / データ・モードを開始させ、その後でDACデータ間にコントロール・ワードを挿入することも可能です。

アナログ・ループバック

アナログ・ループバック・モードは診断目的に使用でき、ループバック・スイッチを経由して、差動DAC出力をADC入力に接続します。このモードでは、ADCをサンプラーとして使って復元された出力信号を監視できるため、ADCによるDACの機能チェックができます。ALBビット (CRF:7) をセットすると、アナログ・ループバックがイネーブルになります。シリアル・インターフェースは動作中なので、ゲイン設定などを行えます。コントロール / データ・モードでALBがイネーブルにされた場合のみ、ユーザーがALBをディスエーブルにできます。その他の場合は、AD73311をリセットする必要があります。

デジタル・ループバック

このモードを使うと、デバイスのSPORTにワードを書き込み、それをSCLKの16サイクル後にループバックして、DSPインターフェースと接続の確認ができます。デバイスに送信されたフレーム同期とデータ・ワードが、出力ポートを経由して戻されます。この場合も、シリアル・インターフェースは動作中なので、ゲイン設定などの制御が可能です。コントロール / データ・モード動作によりDLBがイネーブルになった場合のみ、DLBをディスエーブルにできます。その他の場合は、デバイスをリセットする必要があります。

AD73311

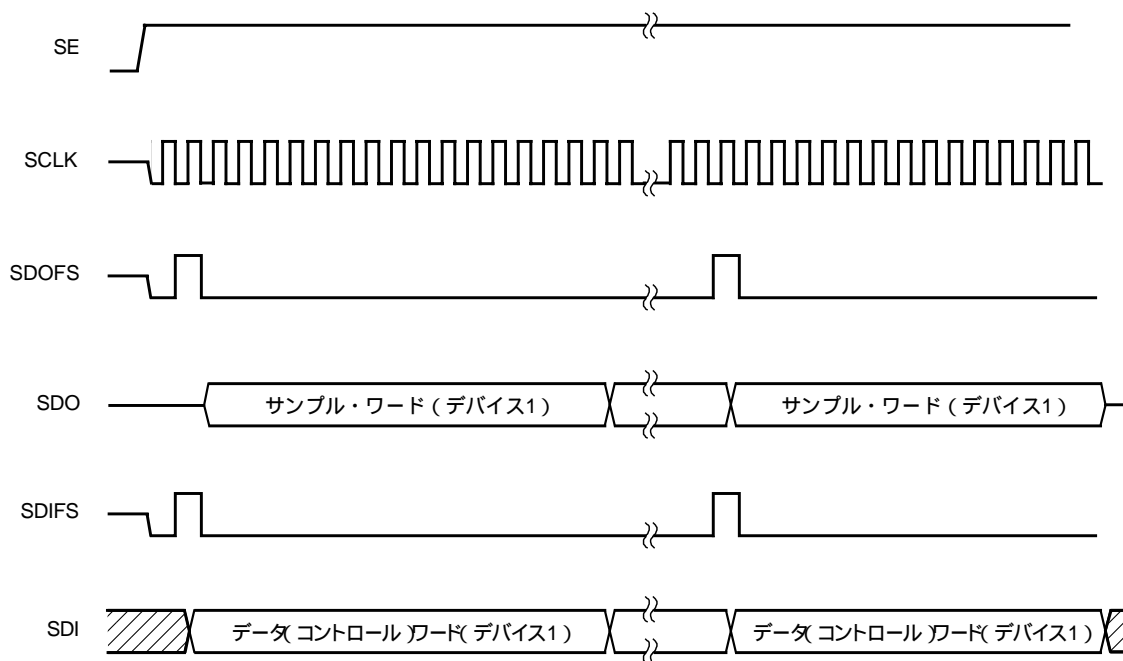


図10 シングル・デバイス動作でのインターフェース信号のタイミング

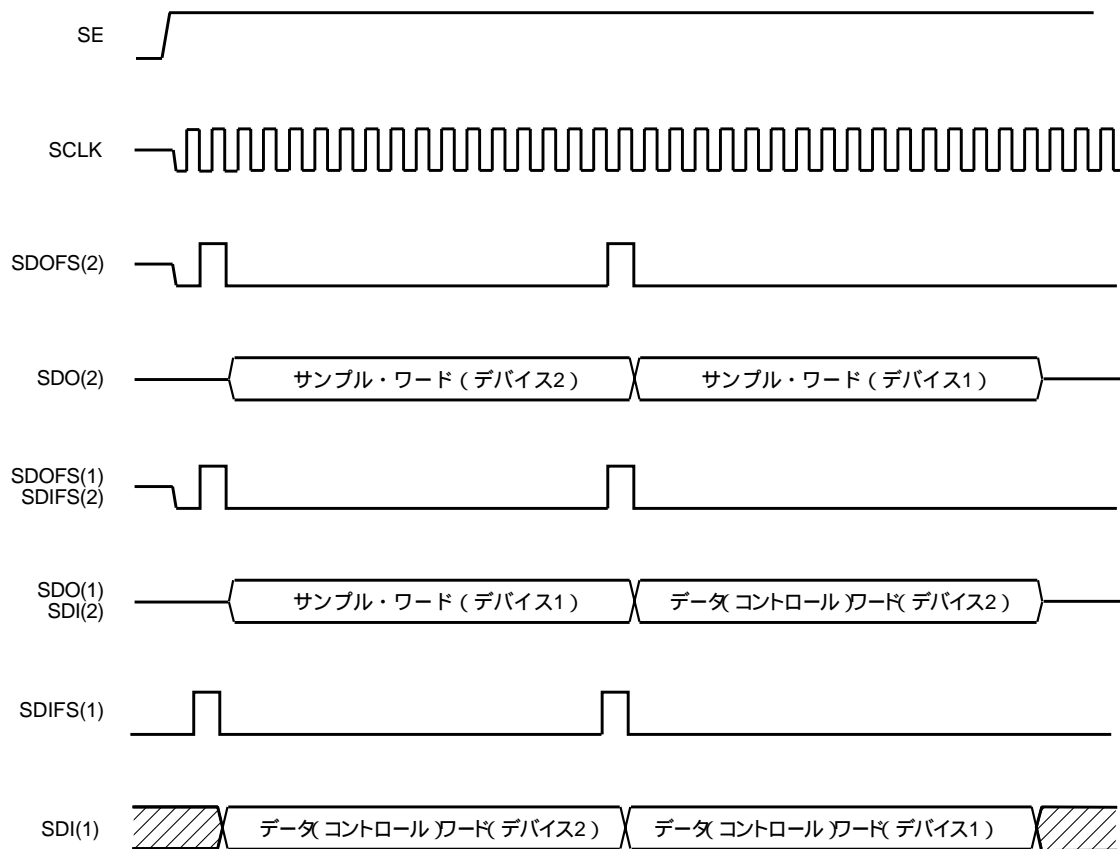
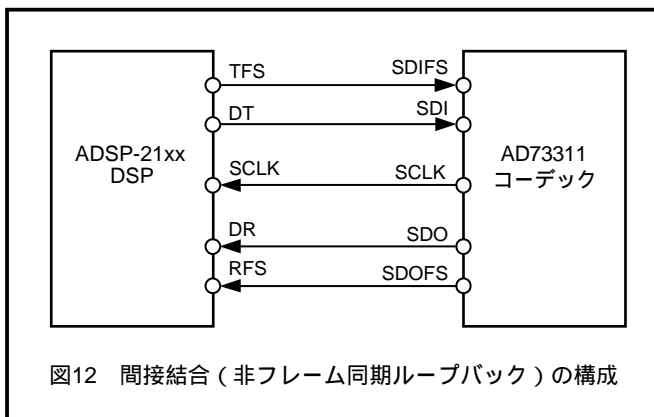


図11 カスケード接続デバイス動作でのインターフェース信号のタイミング

インターフェース

AD73311は、従来型のシリアル・ポート接続とイネーブル制御ラインを使ってほとんどの最新DSPエンジンにインターフェースできます。シリアル入力と出力データはフレーム同期化信号を使っています。この同期化信号は16ビット・ワードの開始前の1クロック・サイクル間、または送信が連続している場合の直前ワードの最終ビットの間アクティブ・ハイになります。シリアル・クロック (SCLK) はコーデックから出力され、DSPのTxポートとRxポートへのシリアル転送レートを決定します。次の2種類の基本構成が使用できます。1つ目の構成 (図12) では、DSPのTxデータ、Txフレーム同期、Rxデータ、Rxフレーム同期を、それぞれコーデックのSDI、SDIFS、SDO、SDOFSに接続します。この構成は間接的結合または非フレーム同期ループバックと呼ばれ、入力データの送信を出力データの受信から切り離す効果があります。コーデック出力データの受信とコーデックへの入力データの送信の間の遅延は、DSPのソフトウェア実行時間に依存します。DSPのシリアル・ポートをこの構成にするときは、Rx FSを入力に、Tx FSをDSPからの出力に設定してください。DSPはコーデックに送信するワード (DACまたはコントロール) 数を決定する機能を持つので、この構成はコントロール/データ・モード動作に便利です。これは、与えられたサンプル間隔内でDACを更新する他に、デバイス設定を使ったフル制御が可能なことを意味します。2つ目の構成 (図13) では、DSPのTxデータとRxデータをそれぞれコーデックのSDIとSDOに接続し、DSPのTxとRxフレーム同期をそれぞれコーデックのSDIFSとSDOFSに接続します。この構成は直接結合またはフレーム同期ループバックと呼ばれ、フレーム同期信号同士が一緒に接続され、コーデックへの入力データがコーデックからの出力データに強制的に同期させられます。コーデックのSDOFSは両方に対する入力なので、Tx FSとRx FSの両方を入力にするようにDSPを設定してください。この構成は入/出力のイベントの同時発生を可能にし、通常データ・モード動作として最も簡単です。この構成でDSPを設定するときは、コーデックをリセットから抜け出させる前に、最初のコントロール・ワードをTxレジスタにプリロードすることを推奨します。このようにすると、デバイスからの最初のワード出力と同時に、ワードの確実な送信が保証されます。



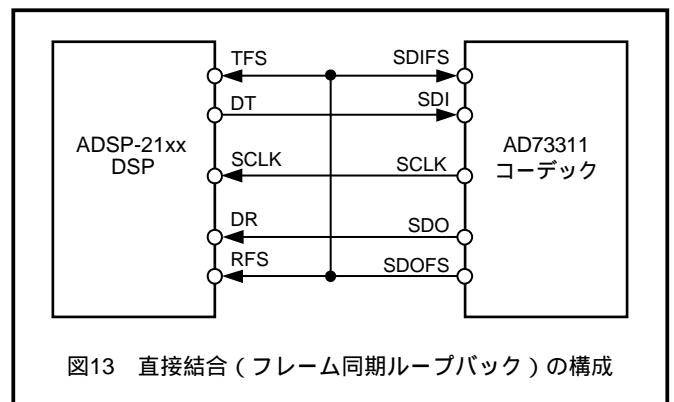
カスケード動作

AD73311は、1つのシリアル・ポートに最大8個のコーデックをカスケード接続できるように設計されています (図31参照)。SPORTインターフェース・プロトコルは、デバイスに送信される情報のパケットにデバイス・アドレスを組み込めるように設計されています。このため、制御信号またはアドレス指定用のハードウェアを追加せずに、カスケード接続が構成できます。カスケード接続は、前述の2つのモードで構成できます。

カスケード接続動作には、接続デバイス数と選択されたシリアル・クロック・レートに起因する幾つかの制約があります。表XVIIに、1~8個のカスケード接続数でのSCLKレートの条件を示します。この表は、図13の直接接続フレーム同期方式の場合です。

表XVI カスケード接続動作

SCLK	カスケード接続デバイス数							
	1	2	3	4	5	6	7	8
DMCLK	✓	✓	✓	✓	✓	✓	✓	✓
DMCLK/2	✓	✓	✓	✓	✓	✓	✓	✓
DMCLK/4	✓	✓	✓	X	X	X	X	X
DMCLK/8	✓	✓	X	X	X	X	X	X



カスケード接続動作で間接結合のフレーム同期構成を使う場合は、カスケード接続内の全デバイスにデータを送信する際の制約に留意してください。許容時間は実効的にはサンプリング間隔 (256/DMCLK) で決定されます。この値は、サンプル・レート64kHzの場合15.265 μsになります。DSPはこの間隔でN x 16ビットの情報を転送する必要があります。ここで、Nはカスケード接続されたデバイス数です。各ビットには1/SCLKが必要で、Rx割り込みの受信とTxデータの送信の間に遅延が発生します。正常動作での関係は次式で求められます。

$$256/DMCLK > (N/SCLK) + \text{割り込み遅延時間}$$

割り込み遅延には、ADCサンプリングとDSP内で発生するRx割り込みの時間が含まれます。この時間はSCLKクロックで16サイクルになります。

データ・モードとコントロール/データ・モードでは入力フレーム同期パルスのカウントして、シリアル入力レジスタの値でDACレジスタの更新タイミングを決定しているため、AD73311をカスケード接続モードに設定している場合、各デバイスがカスケード接続内のデバイス数を知る必要があります。

AD73311

コントロール・レジスタAには、DSPのプログラミング時に設定される3ビット・フィールド（DC0～2）があります。デフォルトではこのフィールドに000bが設定されます。この値はカスケード接続のデバイス数が1個であることを表します（表XVII参照）。カスケード接続動作の場合には、このフィールドにカスケード接続デバイス数より1小さい2進数値を設定してください。

表XVII デバイス数の設定

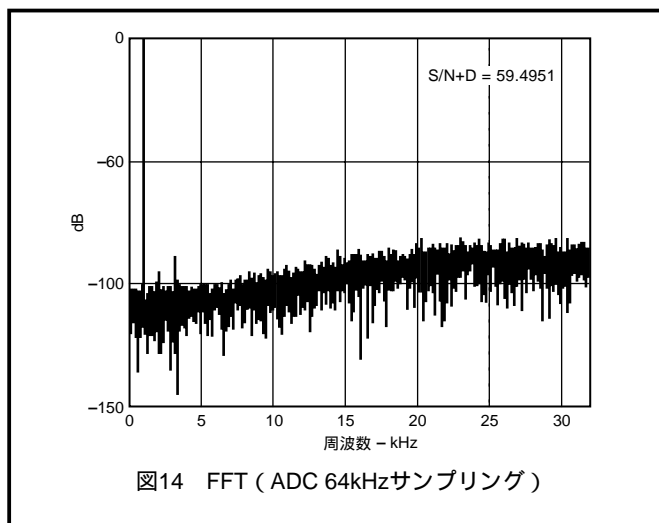
DC2	DC1	DC0	カスケード長
0	0	0	1
0	0	1	2
0	1	0	3
0	1	1	4
1	0	0	5
1	0	1	6
1	1	0	7
1	1	1	8

性能

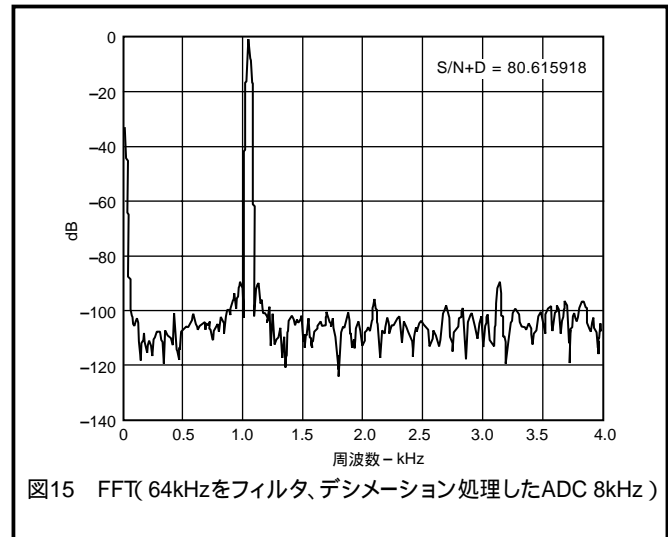
AD73311は、低価格で高性能を提供するように設計されており、代表的なアプリケーションで高性能を達成する方法を理解することが重要です。この項では、スペクトル図を使ってAD73311の代表的な特性を解説し、デバイス内で直接またはDSP内で後処理を行って必要なサンプル・レートを達成する際に使用可能な、幾つかのオプションを説明します。また、別の方法についても、その利点と欠点を説明します。

エンコーダ部

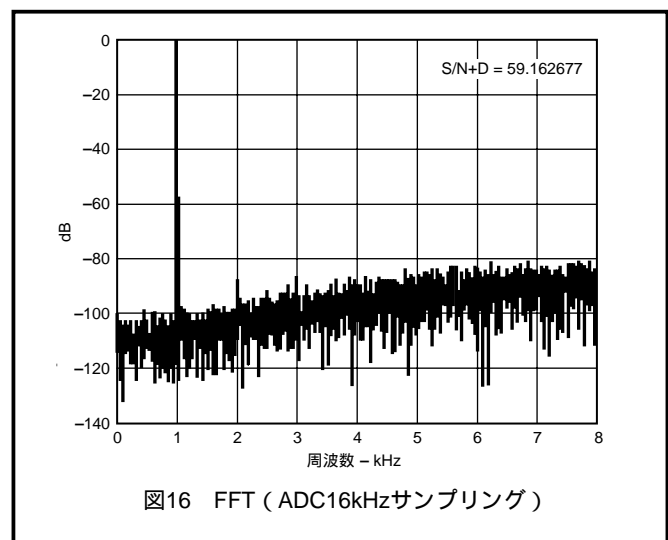
AD73311はMCLK/256のサンプリング・レートを使用し、DMCLK = 16.384MHzの場合、出力レートは64kHzになります。モジュレータのノイズ整形もクロック周波数に依存するため、使用可能な最大レートのオーバーサンプリングを使うことにより、特定の帯域幅における最善のダイナミック性能を達成できます。注目信号が4kHzの音声帯域幅である場合、64kHzのサンプリングにより、音声帯域幅内で昇降名S/N比と与実現するスペクトル応答が得られます（図14）。



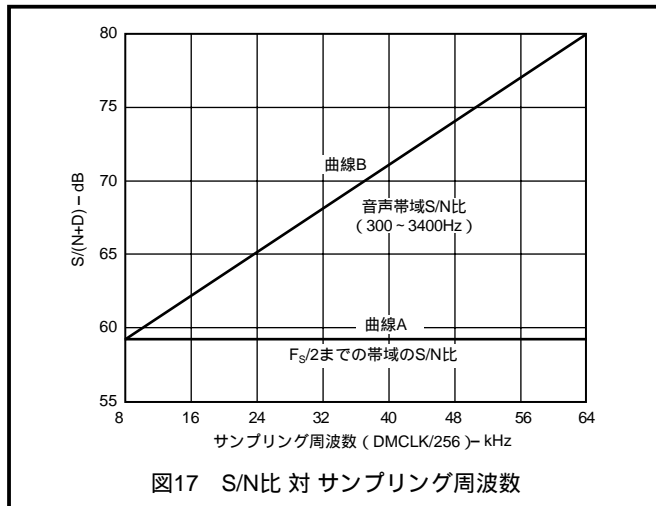
8kHzのサンプリングが必要な場合、DSPエンジンを使って、信号を帯域制限する事後処理と、8kHzの最終サンプリング・レートを得るためのサンプルのデシメーションを行う必要があります。図15に、64kHzでサンプル処理されたデータをデジタル・フィルタ処理して8kHzレートにデシメーションした結果の、最終スペクトル応答を示します。使用したフィルタは、6次楕円フィルタです。



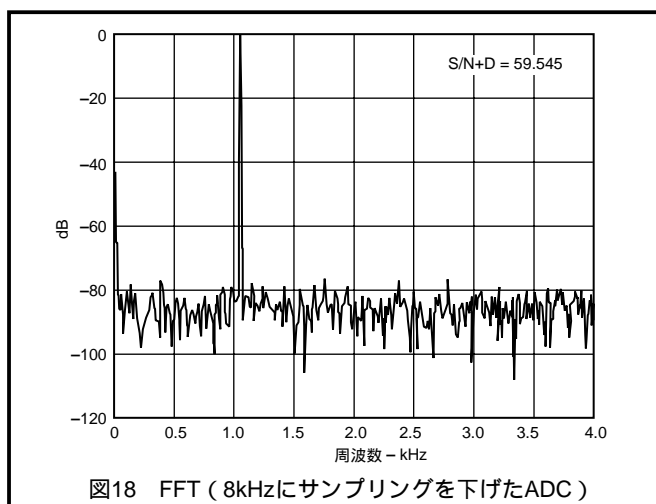
AD73311はマスター・クロック分周回路を内蔵しています。マスター・クロックが16.384MHzの場合、サンプリング周波数を64kHz、32kHz、21.33kHz、16kHz、12.8kHzから選択できます。DMCLKレートを下げるとコンバータのサンプリング・レートも下がり、これによりノイズ整形の帯域幅も減少します。F_s/2までのS/N比は、64kHzサンプリングの場合と変わりありませんが、ノイズ整形の減少のため音声帯域幅内では劣化します。図16に、16kHzのサンプリング・レートの影響を示します。



8kHzの直接サンプリング・レートを生成するためには、外部マスター・クロックを8.192MHzに下げ、マスター・クロック分周比を4(8kHzのサンプル・レートを生成)に設定してください。この場合、3乗Sincデシメーション・フィルタは8kHzに最初のゼロ点を持つため、その応答が音声帯域の応答に影響を与えます。図17の曲線Aは、サンプル・レート F_s に無関係に、 $F_s/2$ までのS/N比がほぼ不変であることを示します。曲線Bは音声帯域で達成可能なS/N比は、サンプル・レート F_s に比例することを示します。これら2本の曲線は、 $F_s = 8\text{kHz}$ で交叉し、この点では、 $F_s/2$ が音声帯域幅に一致します。



入力信号が外部で帯域制限されている場合は、DSP内でサンプル処理されたデータにデシメーションを行うことにより、64kHzサンプル・レートから直接8kHzサンプリングができます。この技術では、8~64kHz帯域から8kHz帯域にエイリアスを発生させるため、入力信号に高精度の帯域制限を行う必要があります。図18に、このデシメーション技術を使ってサンプリング・レートを下げた場合のスペクトル応答を示します。



エンコーダの群遅延

AD73311は非常に小さい群遅延を実現します。これは次の関係式により得られます。

$$\text{群遅延 (デシメータ)} = \text{次数} \times ((M - 1)/2) \times T_{\text{dec}}$$

ここで、

次数はデシメータの次数 (= 3)、

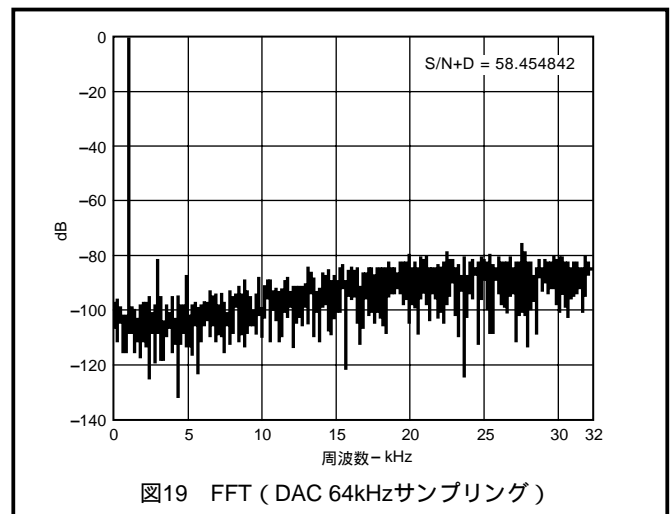
Mはデシメーション係数 (= 32)、

$$\begin{aligned} T_{\text{dec}} & \text{はデシメーション・サンプル時間間隔 (= } 1/2.048\text{e6} \text{)} \\ & \text{= } > \text{群遅延 (デシメータ)} = 3 \times (32 - 1) / 2 \times (1/2.048\text{e6}) \\ & = 22.7 \mu\text{s} \end{aligned}$$

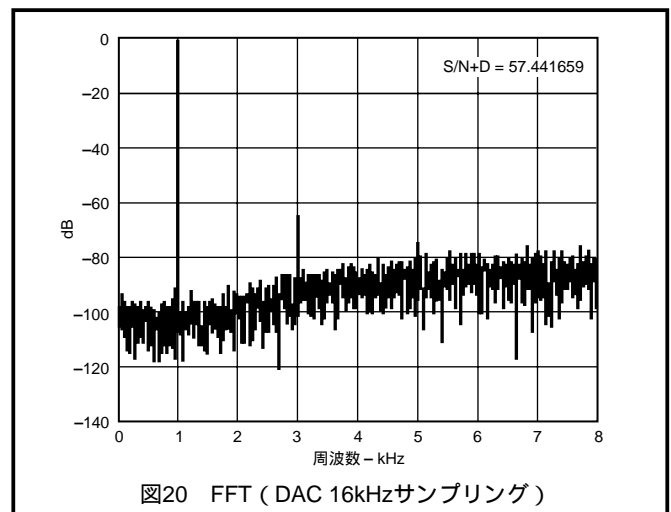
最終段フィルタをDSPで構成した場合は、全体の群遅延を計算する際に最終段フィルタの群遅延も考慮してください。

デコーダ部

デコーダ部では、エンコーダ部と同じレートのMCLK/256で更新(サンプル)を行っています。MCLK = 16.384MHzの場合、このレートは64kHzになります。図19に、64kHzサンプリングにおけるデコーダ部のスペクトル応答を示します。この場合も、モジュレータは音声帯域DC~4kHz内でノイズ整形を低減させます。音声帯域でのS/N比を改善するために、8kHzから64kHzへのインターポレーション後にDSPを使った一次アンチエイリアス・フィルタを設置できます。



エンコーダ部と同様に、図20の16kHzサンプリングの例の通り、DMCLKレートを下げると、音声帯域のS/N比も小さくなります。これは、モジュレータがノイズ整形を狭い帯域幅に縮小させるため、音声帯域内のノイズが増加してしまいます。



AD73311

DACでのサブサンプル（サンプリング・レートより低いレートでの更新）による、DSPのオーバーヘッドの削減もできますが、サブサンプルされた帯域幅が通常の帯域幅に折り返されるため、イメージを除去するために、高性能の外付けアンチ・イメージ・フィルタが必要になってしまいます。グループ遅延を抑えたい場合には、インターポレータ入力を使って実現できます。グループ遅延をさらに減らす場合は、デジタル 入力を使用して実現できます。ただし、入力サンプルの繰り返しにより、イメージの減衰が抑えられてしまいます。図21に、インターポレータをバイパスして、64kHzでサンプルした場合のデコーダのスペクトル応答を示します。

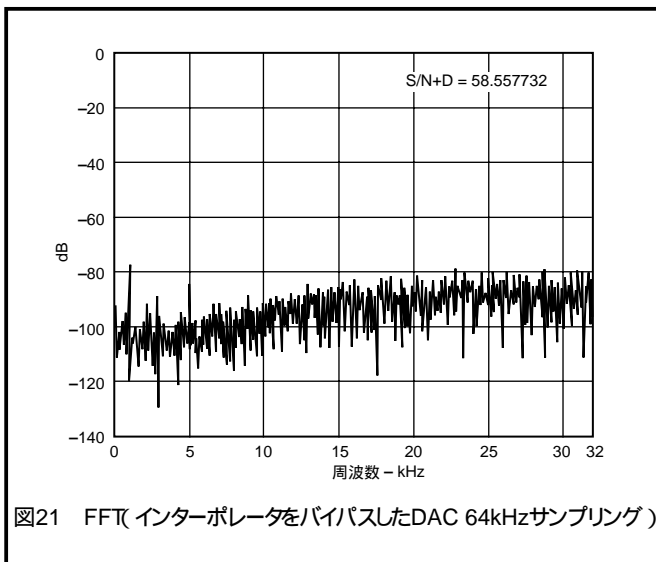


図21 FFT(インターポレータをバイパスしたDAC 64kHzサンプリング)

デコーダ群遅延

インターポレータのロールオフは、主に次式で得られる固有の群遅延を持つ3乗Sinc関数特性によって決まります。

$$\text{群遅延 (インターポレータ)} = \text{次数} \times (L - 1) / 2 \times T_{\text{int}}$$

ここで、

次数はインターポレータの次数 (= 3)。

Lはインターポレータ係数 (= 32)。

T_{int}はインターポレータ・サンプル時間間隔

$$(\text{=} 1/2.048\text{e}6)$$

= > 群遅延 (インターポレータ)

$$= 3 \times (32 - 1) / 2 \times (1/2.048\text{e}6)$$

$$= 22.7 \mu\text{s}$$

アナログ部の群遅延は約25 μsです。

設計上の考慮事項

アナログ入力

入力信号のDCバイアス・レベルが内部リファレンス値 (REFOUT) に一致している場合は、コーデックへのアナログ入力信号をDC結合できます。図22に、AD73311のアナログ入力ピン (VIN) の、推奨される差動入力回路を示します。図22の回路では、3dBポイントが34kHzである1次ローパス・フィルタを使っています。サンプル処理された信号のエイリアス防止は、AD73311に簡単なフィルタを外付けするだけで可能です。AD73311コーデックのADCは、アンチエイリアス・フィルタの大部分をデジタル領域で実現する高いオーバーサンプリング手法を採用しているため、外付けするアンチエイリアス・フィルタは低次で済みます。最適な性能を得るためには、アンチエイリアス・フィルタに高品質の電解コンデンサ (NPO) を使用してください。

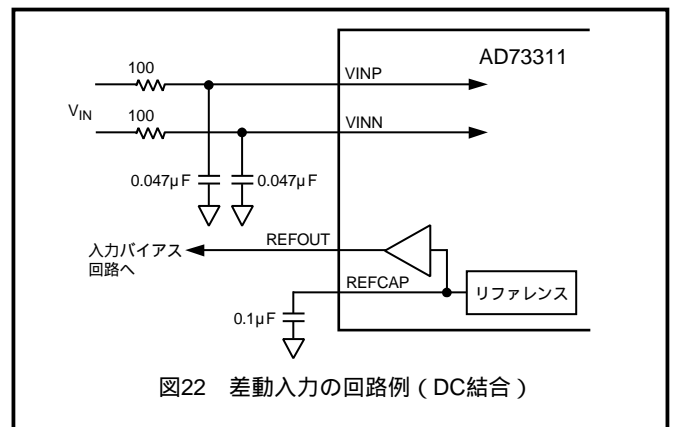


図22 差動入力の回路例 (DC結合)

入力回路のゲインが不足する場合は、AD73311の内部38dBプリアンプをイネーブルにできます。このプリアンプはCRD内のビットIGS0~2を使って設定できます。ADCのモジュレータ入力での信号レベルが最大入力範囲を超えないように、合計ゲインを設定してフル・スケール入力信号を調整してください。

アナログ入力信号のDCバイアスは、内部リファレンスから得られます。入力信号を内部リファレンス値 (REFOUTピン使用) でバイアスしない場合は、外部コンデンサを使用してAC結合してください。C_{IN}は0.1 μF以上にします。入力のDCバイアスはREFOUTへ抵抗を接続して実現します(図23参照)。

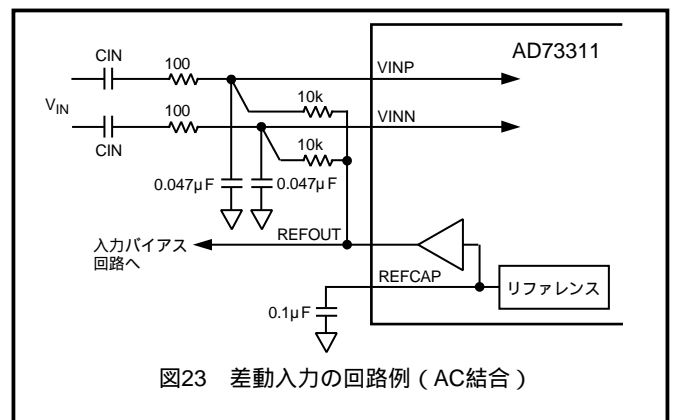


図23 差動入力の回路例 (AC結合)

図24、25に、シングルエンド動作での、DC結合とAC結合の入力回路例を示します。

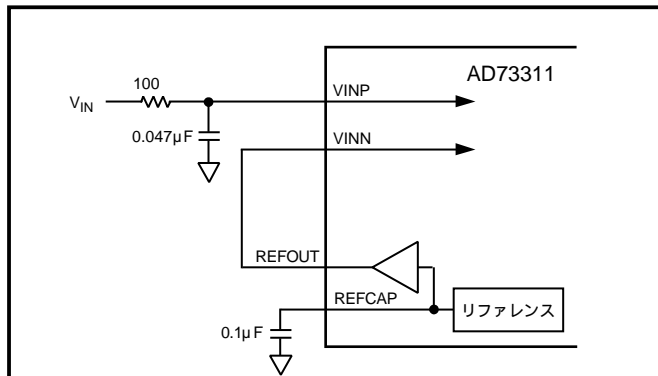


図24 シングルエンド入力回路例 (DC結合)

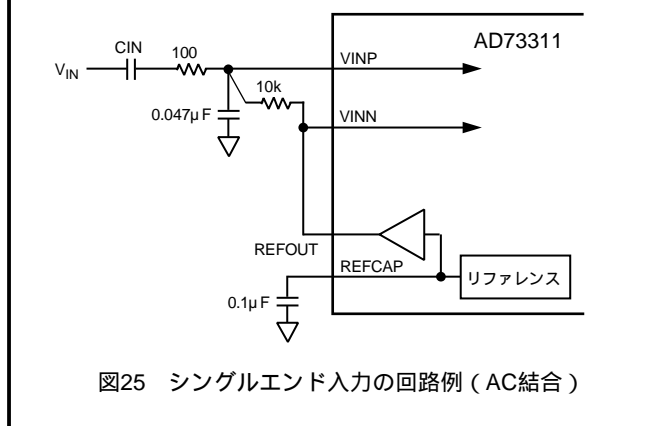


図25 シングルエンド入力回路例 (AC結合)

アナログ出力

AD73311の差動アナログ出力 (VOUT) は、内部差動アンプで構成されています。この差動出力は負荷または外部アンプにACまたはDC結合で直接接続できます。図26に、AC結合で差動出力を得られる簡単な回路を示します。この回路のコンデンサ (C_{OUT}) は、オプションです。使用の場合は、その値は次式で選択します。

$$C_{OUT} = \frac{1}{2 f_c R_L}$$

ここで、f_cはカットオフ周波数です。

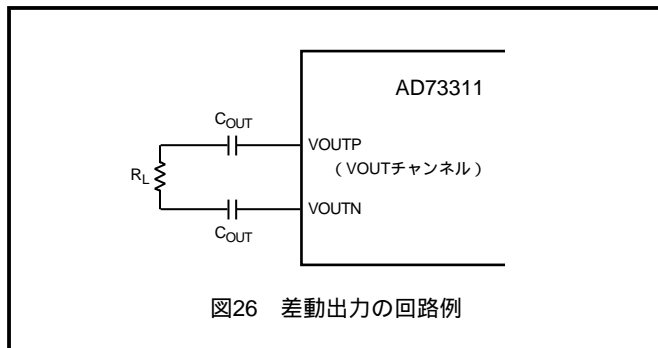


図26 差動出力の回路例

図27に、AC結合によるシングルエンド出力の回路例を示します。DC電流を阻止する場合は、この回路のコンデンサ (C_{OUT}) が必要になります。

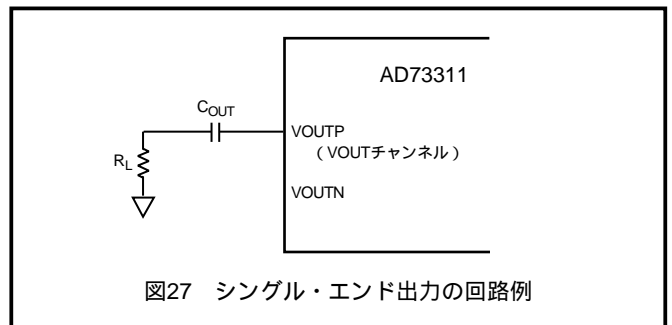


図27 シングル・エンド出力の回路例

デジタル・インターフェース

AD73311は、一般的なほとんどのDSPに容易にインターフェースできるように設計されています。SCLK、SDO、SDOFS、SDI、SDIFSは、それぞれDSPのシリアル・クロック、受信データ、受信データ・フレーム同期、送信データ、送信データ・フレーム同期ピンに接続します。SEピンは、パラレル出力ピンまたはADSP-21xxのFL0~2(またはTMS320C5xのXF)などのフラグ・ピンから制御できます。あるいは、SPORT電源オフが不要な場合、適切なプルアップ抵抗を使ってハイに固定できます。RESETピンは、システム・ハードウェア・リセットに接続、あるいは、専用の制御ラインを使った制御が可能です。グローバル・システム・リセットに接続するとき、AD73311をソフトウェア・リセット可能なコントロール/データ・モードで動作させることを推奨します。それ以外に、デバイスをリセットする便利な方法はありませぬ。図28、29に、それぞれADSP-2181とTMS320C5xに対する代表的な接続を示します。

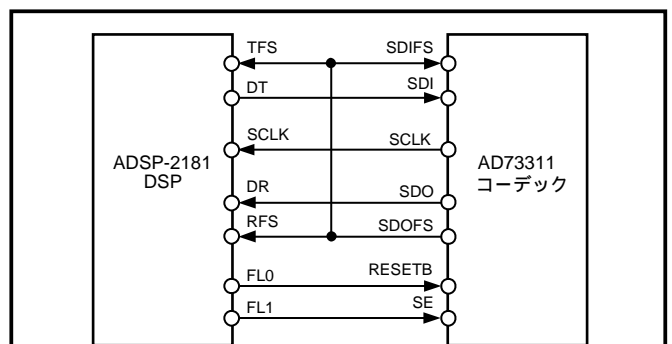


図28 AD73311とADSP-2181の接続

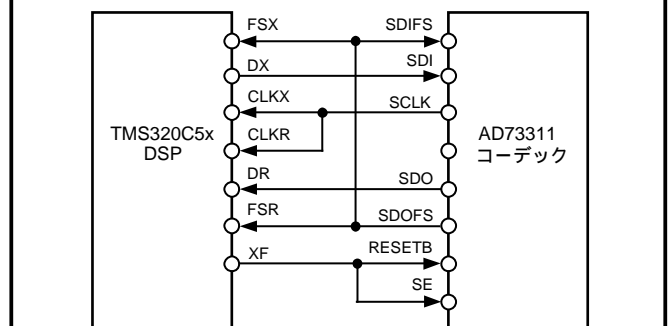


図29 AD73311とTMS320C5xの接続

AD73311

カスケード動作

最大8個までのコーデックのカスケード接続が必要な場合は、カスケード接続内の各デバイスのSE信号とRESET信号のタイミングを同期化する必要があります。簡単なD型フリップ・フロップを使って、各信号をマスター・クロックMCLKに同期させることができます（図30参照）。

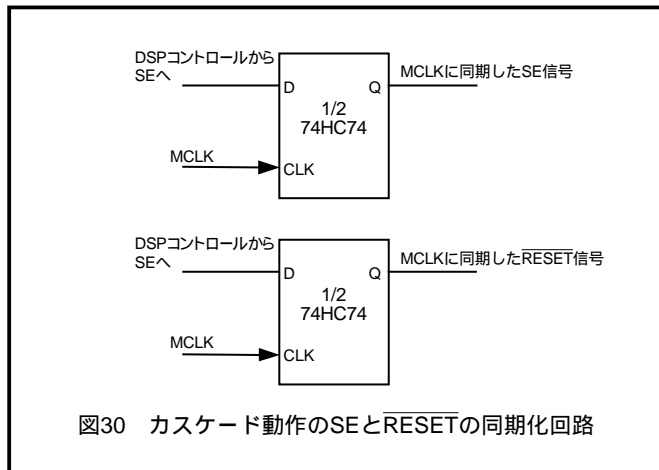


図30 カスケード動作のSEとRESETの同期化回路

カスケード接続されたデバイスとDSPの接続は、図31に示すように、1個のデバイスの場合と同様に単純です。SDOとSDOFSをDSPのRxポートに接続する代わりに、これらの信号をカスケード接続内の隣のデバイスのSDIとSDIFSにディジーチェーン接続します。カスケード接続内の最終デバイスのSDOとSDOFSを、DSPのRxポートに接続してカスケード接続を完成させます。全てのデバイスのSEとRESETには、前述の回路を使ってMCLKに同期した信号を接続します。全デバイスは同じSCLK周波数と位相で動作するため、1個のデバイスのSCLKのみをDSPのSCLK入力に接続します。

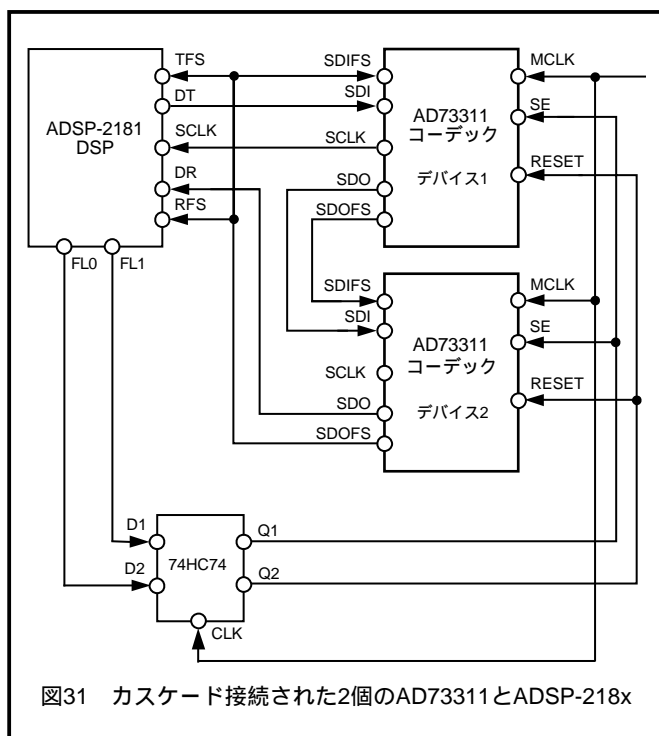


図31 カスケード接続された2個のAD73311とADSP-2181x

接地とレイアウト

AD73311のアナログ入力は差動なので、アナログ・モジュレータ内の電圧のほとんどはコモン・モード電圧です。これら入力でのコモン・モード・ノイズは、優れたコモン・モード除去比により除去できます。AD73311のアナログ電源とデジタル電源は独立しており、ピンを離して、デバイスのアナログ部とデジタル部のカップリングを最小にしています。エンコーダ部のデジタル・フィルタは、モジュレータ・サンプリング周波数の整数倍以外の広い帯域の電源ノイズを除去します。また、ノイズ源がアナログ・モジュレータを飽和させない限り、デジタル・フィルタがアナログ入力のノイズも除去します。しかし、AD73311のADCの分解能が高く、AD73311で生じるノイズ・レベルが低いいため、接地とレイアウトについて注意が必要です。

AD73311を実装するプリント基板ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するように設計してください。AD73311のピン配置では、アナログとデジタルのインターフェースは、互いにパッケージの反対側で接続するようになっています。このため、グラウンド・プレーンが容易に分離できません（図32参照）。一般に、グラウンド・プレーンのエッチングを最小にすると、シールド効果を上げられます。デジタルとアナログのグラウンド・プレーンは1点で接続してください。この接続点がデバイス近くにある場合は、図32に示すようにフェライト・ビーズ・インダクタの使用を推奨します。

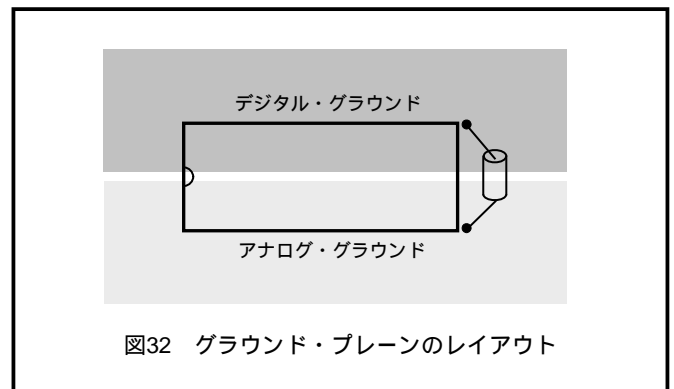


図32 グラウンド・プレーンのレイアウト

ノイズがチップに混入するので、デバイスの真下にデジタル・ラインを通さないでください。ノイズ混入を防止するため、AD73311の下にアナログ・グラウンド・プレーンを使用することも可能です。AD73311の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッドによる影響を軽減させます。クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分へのノイズの輻射を防止します。また、クロック信号がアナログ入力の近くを通過しないようにします。ボードの反対面のパターンは、互いに右回りで通過するようにします。これにより、ボードを貫通する結合の影響を減らせます。マイクロストリップ技術は最善ですが、両面ボードでは常に可能とは限りません。この方法では、ボードの部品面はグラウンド・プレーン専用にして、信号は反対面に配線します。

高速デバイスを使うときは、デカップリングが重要です。AD73311では、リファレンス (REFCAP) ピンと電源ピンをデカップリングする必要があります。デバイスの高性能を維持するため、REFCAPピンと電源ピンのできるだけ近くにデカップリング・コンデンサを接続することを推奨します。全てのアナログ電源とデジタル電源は、0.1 μ Fのセラミック・コンデンサと10 μ Fのタンタル・コンデンサを並列接続して、それぞれAGNDとDGNDからデカップリングする必要があります。AD73311のAVDDとDVDDを同じ電圧で駆動するシステムでは、システムのAVDD電源の使用をお奨めします。この電源に対しては、AD73311のAVDDピンとAGNDの間に推奨アナログ電源デカップリング・コンデンサを、DVDDピンとDGNDの間に推奨デジタル電源デカップリング・コンデンサをそれぞれ接続してください。

DSPプログラミングの考慮事項

この項では、DSPのシリアル・ポートの設定方法、およびRx割り込みとTx割り込みのイネーブルの意味について説明します。

DSP SPORTの設定

AD73311を使用した際の正常動作に必要なDSP SPORTの重要な設定を次に示します。

- ・外部SCLKの設定。
- ・シリアル・ワード長 = 16ビット。
- ・各ワードに送信フレーム同期と受信フレーム同期が必要。
- ・受信フレーム同期はDSPへ入力。
- ・送信フレーム同期は、
 - 入力 フレーム同期ループバック・モード。
 - 出力 非フレーム同期ループバック・モード。
- ・シリアル・ワードのMSBの1 SCLKサイクル前にフレーム同期を挿入。
- ・フレーム同期はアクティブ・ハイ。

DSP SPORTの割り込み

SPORT割り込みをイネーブルにした場合、フレーム同期ピン上のアクティブ信号は、SPORT割り込みが発生した時点での位置に対応する必要がないことに注意してください。ADSP-21xxプロセッサでは、SPORT割り込みをイネーブルして、Tx/Rxの動作を処理する割り込みサービス・ルーチン (ISR) を使う必要があります。TMS320CSxプロセッサでは、RxレジスタとTxレジスタのステータスをポーリングできません。これは、理想的にはTx ISRである1つのISRを使ってRx/Tx動作の監視が可能なことを意味します (Tx割り込みの後には、通常、Rx ISRが実行されるため)。

AD73311

追記A

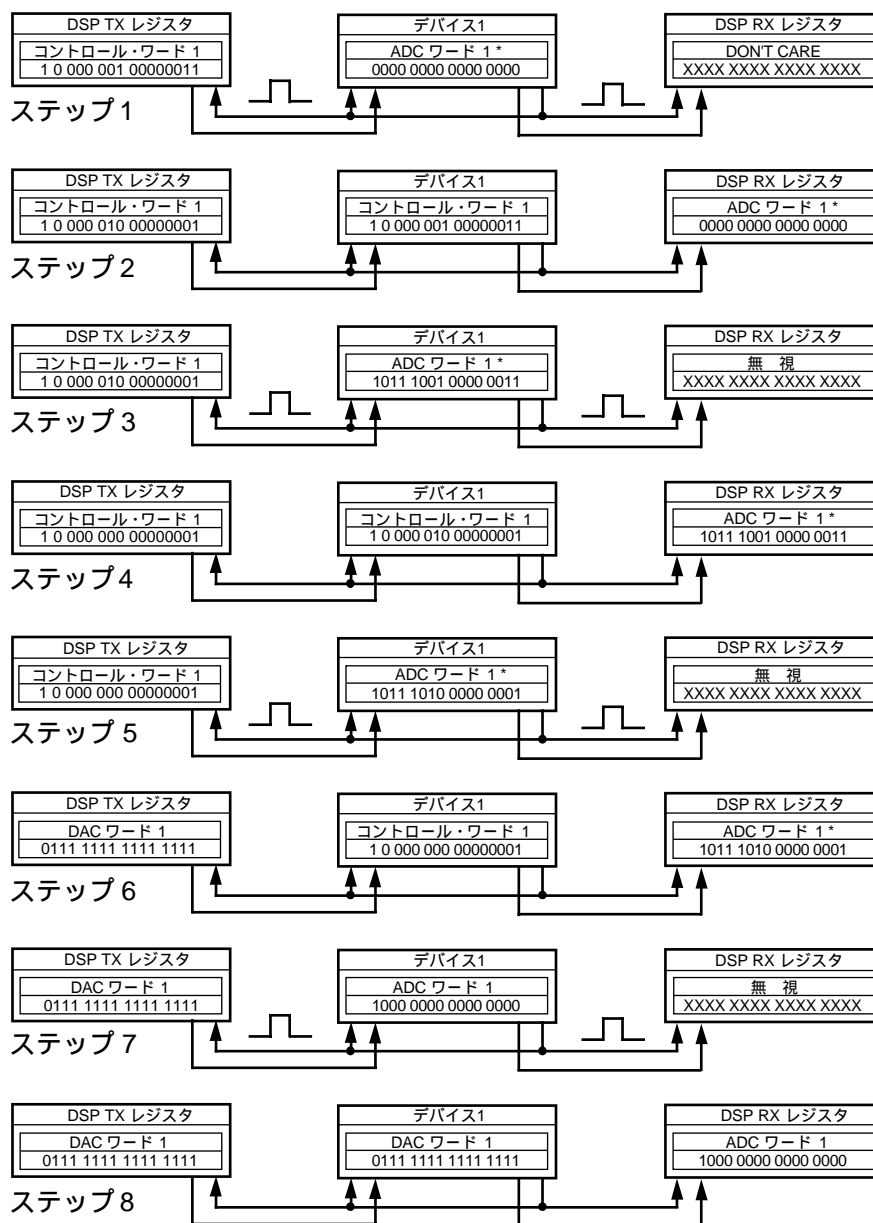
1個使用のAD73311のデータ・モード動作の設定

この項では、1個のAD73311コーデックを通常のデータ・モードで動作させる設定での、代表的なシーケンスについて説明します。内部レジスタを設定するためにAD73311へ送信するコントロール・ワードと、プログラミング・モードと動作モードが受信する代表的な出力データについて説明します。デバイスはフレーム同期ループバック・モード(図13参照)で接続します。この接続では、SDO/SDOFSラインからコーデックが1ワードを出力する毎に、DSPのTxレジスタから1ワードの入力が発生します。ステップ1では、デバイスはリセットの直後にあり、最初の出カイベントで無効な出力ワードを出力します¹。DSPのTxレジスタには、データ・ワード0x03によりCRBを設定するコン

ロール・ワードが格納されています。ステップ2では、DSPのTxレジスタから制御ワードがAD73311のSPORTに送信されて、DSPのRxレジスタが出力ワードを受信します。ステップ3、4では、レジスタCRCに0x01が設定され、アナログ部をパワーアップします。ステップ5、6では、CRAのPGM/DATAビットの設定によりAD73311がプログラム・モードに設定されます。ステップ7では、デバイスがデータ・モードに設定されたため、デバイスの出力ワードが有効なADCワードになります。AD73311コーデックは自分に対して送信されるDACデータを待つようになり、DSPからの全データを16ビットDACデータとして解釈します。

注

¹ プログラム・モードでコーデックから出力されるデータは無効であり、ADCデータと解釈することはできません。ただし、レジスタの読み出し、または制御ワードの書き込みによりCEEがイネーブルにされたときの出力は例外です。



*プログラム・モード中のADCサンプルは無効。

図33 1個使用でのAD73311の通常データ・モード用の設定

追記B

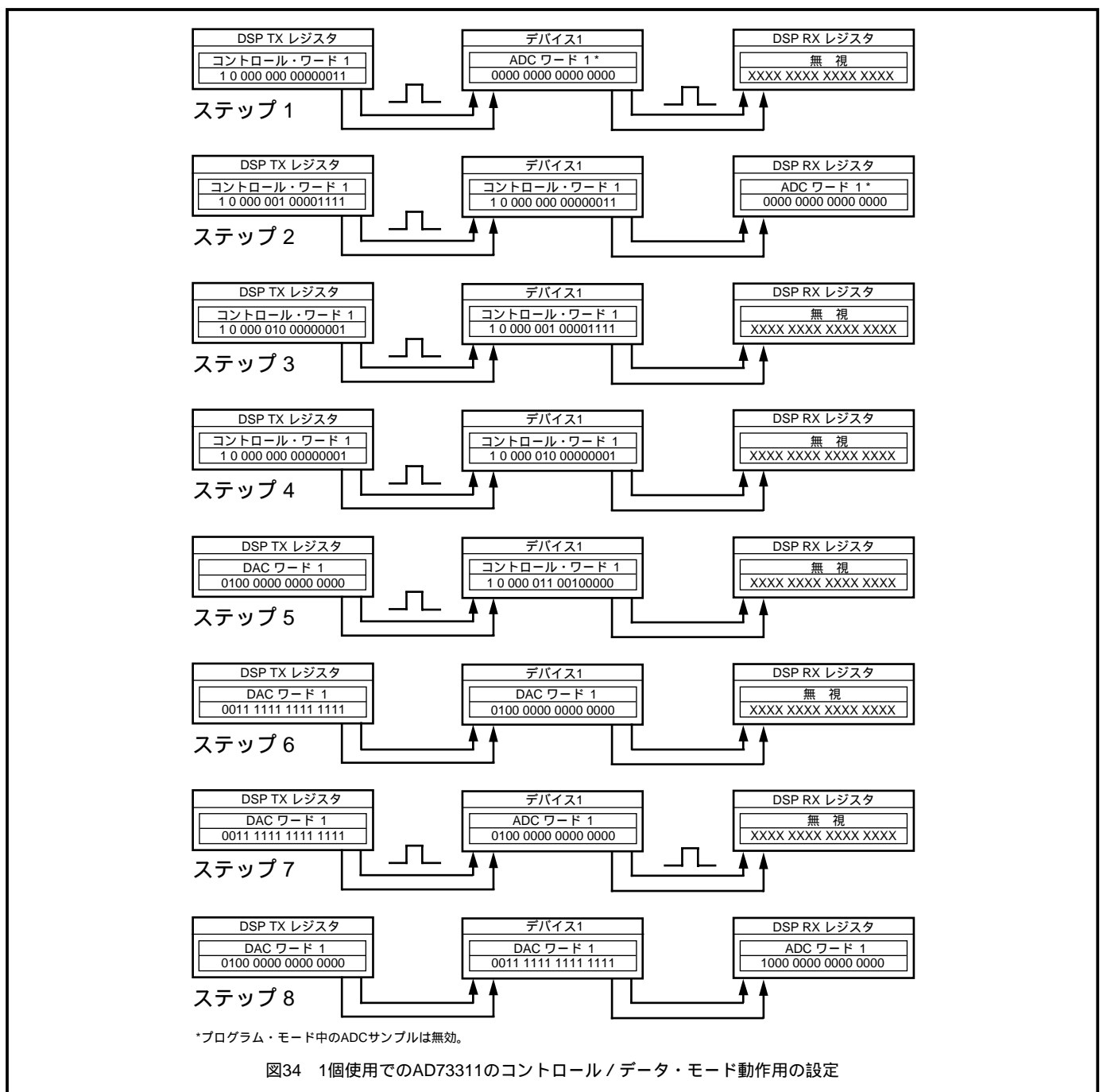
1個使用のAD73311のコントロール/データ・モード動作の設定

この項では、1個のAD73311コーデックをコントロール/データ・モードで動作させる設定での、代表的なシーケンスについて説明します。デバイスは非フレーム同期ループバック・モード(図14参照)で接続します。この接続では、DSPのTxレジスタがデバイスに送信されるワード数を決定します。ステップ1では、デバイスはリセットの直後にあり、最初の出力イベントでは無効な出力ワードを出力します¹。DSPのTxレジスタには、データ・ワード0x03によりCRBを設定するコントロール・ワードが格納されています(この場合はコントロール/データ・モードに設定)。ステップ2では、DSPのTxレジスタから制御ワードがコーデックのSPORTに送信されて、DSPのRxレジスタが出力ワードを受信します。Txレジスタは、SDIFSを出力して、コーデックのCRBを設

定するコントロール・ワードを送信します。ステップ3では、CRBが設定されてサンプル・レートが設定されます。ステップ4ではレジスタCRCが設定され、アナログ部がパワーアップします。ステップ5では、CRDを使ってエンコーダのゲインが0dBに設定されます。ステップ6では、DACレジスタがシリアル・レジスタの内容により更新されます²。ステップ6でのDACロードの代わりに、レジスタ読み出しサイクルを挿入することもできます。ステップ7、8には、別のADC読み出し/DAC書き込みサイクルを示します。

注

- 1 プログラム・モードでコーデックから出力されるデータは無効であり、ADCデータと解釈することはできません。ただし、レジスタの読み出し、または制御ワードの書き込みによりCEEがイネーブルにされたときの出力は例外です。
- 2 コントロール/データ・モードでは、次のADCサンプルが正しいことを保証するために、チャンネルのコントロール・ワードを読み出し、コントロール・ワードの書き込みの終了が必要な場合があります。あるいはその代わりに、そのADCワードを無視するか、それが不可能な場合には、16ビット・ワード内で“アドレス・フィールド”の値を減らして再設定できます。



AD73311

追記C

2個のカスケード接続AD73311のデータ・モード動作の設定

この項では、2個のカスケード接続AD73311をデータ・モードで動作させる設定での、AD73311へ送信するコントロール・ワードの代表的なシーケンスについて説明します。初期化シーケンスを完全に説明するのではなく、プログラミングと動作段階で発生する代表的な入/出力イベントを紹介します¹。この説明では図35を使用します。

ステップ1では、デバイス・リセットの直後に最初の出力サンプル・イベントが発生します。SDOFS信号が両デバイスで同時に発生します。これにより、DSP Rxレジスタがデバイス2からADCワードを受信する準備を行い、一方、デバイス1から出力されるSDOFSはデバイス2へのSDIFSになります。デバイス2のSDOFSは、DSPのTFSとRFS、およびデバイス1のSDIFSに接続されているため、このイベントにより新しいコントロール・ワードもDSP Txレジスタからデバイス1に出力されます。

ステップ2では、最初のコントロール・ワード送信後にデバイスのステータスが調べられます。DSPはデバイス2からADCワードを受信し、一方、デバイス2はデバイス1からADCワードを受信し、デバイス1はデバイス2に送信されたコントロール・ワードを受信します。この段階で、デバイス2がデバイス1のADCワードを受信するため、両デバイスのSDOFSが再度発生します。また、それがデバイス2にアドレス指定された有効なコントロール・ワードではないため、DSPに渡されず。同様に、デバイス1はデバイス2に送信されたコントロール・ワード(アドレス・フィールドは非ゼロ)を受信します。コントロール・ワードのアドレス・フィールドの値が減らされて次に渡されます。

ステップ3では、最初の一連のコントロール・ワードの書き込みが完了します。DSPはここまでに両方の無効ADCワードを受信し、各デバイスはコントロール・レジスタBをアドレス指定するコントロール・ワードを受信し、内部MCLK分周器比を1に、SCLKレートをDMCLK/8にそれぞれ設定します。両方がアドレス指定されたコントロール・ワードを同時に受信するため、両デバイスの更新が同時に行われることに注意してください。各デバイスのSCLKまたはDMCLKの更新の間に遅延が起きると異常動作になってしまうため、カスケード接続の動作では重要な点です。ここで説明するようにFSLB構成の場合には発生しませんが、非FSLB構成の場合には考慮が必要です。このシーケンスのもう1つの重要な点は、受信された複数のデータ・ワードは逆の順序で送信されることです。すなわち、DSPはADCワードを先に受信するとき、デバイス2を先に、次にデバイス1を受信します。同様に、DSPから送信するワードは、デバイス2が先に、次にデバイス1が送信されます。これによって、全デバイスの同時更新が保証されます。

ステップ4では、次に発生するADCサンプル・イベントにより、各デバイスのSDOFSラインがハイになります。DSP Txレジスタは、カスケード接続に書き込まれる最初の2つのコントロール・ワードを保持します(デバイス2へのワード)。

ステップ5では、最初の2つのコントロール・ワードの送信に続き、DSP Rxレジスタはデバイス2のADCワードを保持します。デバイス2のシリアル・レジスタはデバイス1のADCワードを、デ

バイス1のシリアル・レジスタはデバイス2をアドレス指定するコントロール・ワードを、DSP Txレジスタはデバイス1をアドレス指定する次のコントロール・ワードを、それぞれ保持します。両デバイスとも自分にアドレス指定されたコントロール・ワードでないものを受信したため、再度SDOFSラインをハイにします。ステップ6では、2番目の一連のコントロール・ワードの書き込みが完了します。この場合、両デバイスはコントロール・レジスタAをアドレス指定したコントロール・ワードを受信します。このコントロール・ワードでは、デバイス数フィールドがカスケード接続内の2つのデバイスで等しく設定されており、PGM/DATAビットが1に設定されてデバイスがデータ・モードに設定されています。

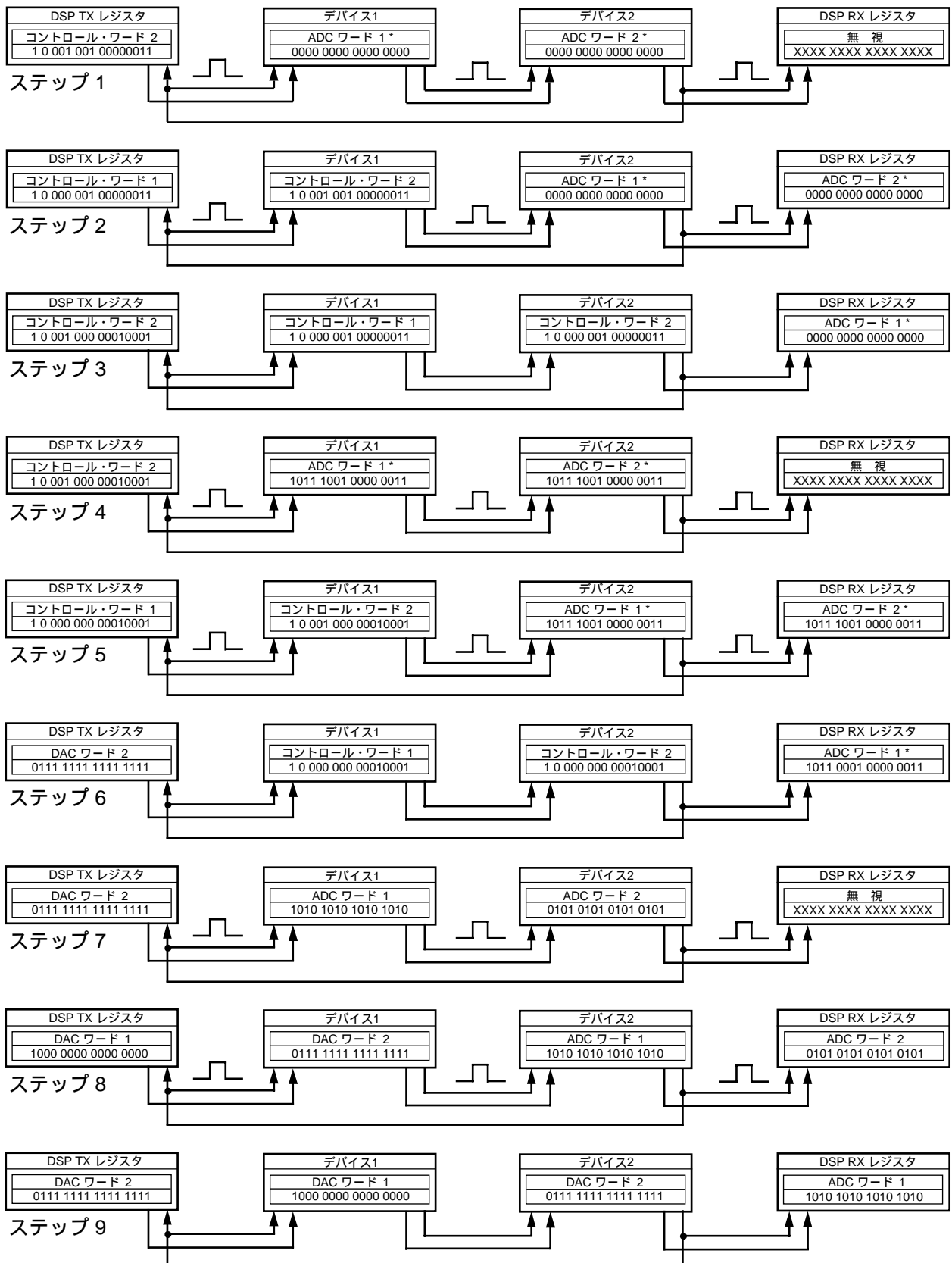
ステップ7では、設定段階が完了し、実際のデバイス・データの読み出しと書き込みが開始されます。ADCサンプリング・イベントのときに2デバイスのシリアル・レジスタにロードされたワードは有効なADCデータを含んでおり、DSPのTxレジスタからデバイスに書き込まれたワードはDACワードとして解釈されます。DSP Txレジスタには、デバイス2のDACワードが保持されることに注意してください。

ステップ8では、最初のDACワードがカスケード接続に送信され、デバイス2のADCワードがカスケード接続から読み出されます。DSP Txレジスタはデバイス1のDACワードを保持します。カスケード接続に送信されるワードは16ビットDACワードとして解釈され、アドレス指定方法は、送信ワードにアドレスを組み込む方法からシリアル・ポートがSDIFSパルス数をカウントする方法に切り替えられます。受信されたSDIFSパルス数がコントロール・レジスタ内のデバイス数フィールドの値(カスケード接続の長さ)に一致すると、各デバイスがDACレジスタをそれぞれのシリアル・レジスタ内にあるワードで置き換えます。ステップ8では、各デバイスは1 SDIFSパルスしか受信しません。デバイス2はADCワードを送信するときに、デバイス1のSDOFSから1SDIFSパルスを受信します。デバイス1はDSPのTxレジスタからデバイス2へのDACワードを受信すると同時に、1 SDIFSパルスを受信します。したがって、各デバイスはそれぞれのSDOFSラインをハイにして、それぞれのシリアル・レジスタ内にある現在のワードを渡し、各デバイスは別のSDIFSパルスを受信します。

ステップ9では、ADCの読み出しサイクルとDACの書き込みサイクルが終了します。ステップ8に続いて、各デバイスはコントロール・レジスタA内のデバイス数フィールドの設定に一致する2 SDIFSパルスを受信します。各デバイスのDACレジスタは、デバイス数条件を満たすSDIFSパルスに付随してきたワードの値で置き換えられます。内部フレーム同期カウンタがゼロにリセットされ、次のDAC更新サイクルのカウントを開始します。

注

¹ このシーケンスでは、DSP SPORTのRx割り込みとTx割り込みがイネーブルにされていると仮定しています。カスケード接続内の複数のコントロール・ワード間に遅延(分離)が発生しないように保証することが重要です。コントロール・レジスタBはSCLKレートとDMCLKレートの設定を保持しているため、このレジスタを設定するときは特に重要です。



*プログラム・モード中のADCサンプルは無効。

図35 2個のカスケード接続AD73311のデータ・モード動作の設定

AD73311

追記D

2個のカスケード接続AD73311の

コントロール/データ・モード動作の設定

この項では、2個のカスケード接続AD73311をコントロール/データ・モードで動作させる設定での、AD73311へ送信するコントロール・ワードの代表的なシーケンスについて説明します。初期化シーケンスを完全に説明するのではなく、プログラミングと動作段階で発生する代表的な入/出力イベントを紹介します¹。この説明では図36を使用します。ステップ1では、デバイス・リセット直後に最初の出力サンプルが発生します。SDOFS信号が両デバイスで同時に発生します。これにより、DSP Rxレジスタはデバイス2からADCワードを受信する準備を行い、一方、デバイス1から出力されるSDOFSはデバイス2へのSDIFSになります。カスケード接続は非FSLBに設定されます。これは、カスケード接続に送信する内容をDSPが制御することを意味します²。

ステップ2では、最初のコントロール・ワード送信後にデバイスのステータスが調べられます。DSPはデバイス2からADCワードを受信し、一方デバイス2はデバイス1からADCワードを受信し、デバイス1はデバイス2に送信されたコントロール・ワードを受信します。この段階で、デバイス2がデバイス1のADCワードを受信するため、両デバイスのSDOFSが再度発生します。また、それがデバイス2にアドレス指定された有効なコントロール・ワードではないため、DSPに渡されます。同様に、デバイス1はデバイス2に対して送信されたコントロール・ワード(アドレス・フィールドは非ゼロ)を受信します。コントロール・ワードのアドレス・フィールドの値が減らされて次に渡されます。

ステップ3では、最初の一連のコントロール・ワードの書き込みが完了します。DSPは両ADCワードを受信し、各デバイスはコントロール・レジスタAをアドレス指定するコントロール・ワードを受信し、そのデバイス数フィールドを2に設定し、デバイスをコントロール/データ・モードMMに設定してPGM/DATAを1に設定します。

ステップ4では、次に発生するADCサンプル・イベントが、各デバイスのSDOFSラインをハイにします。デバイスはコントロール/データ・モードになります。これは、シリアル・ポートが送信された16ビット・ワードのMSBを調べて、そのワードがDACデータと制御情報のどちらか識別することを意味します。デバイスの設定に続いて、各デバイス内のADCワードはステップ1~3でコントロール/データ・モードの再設定が必要な場合があります。コントロール・ワードがデバイスに書き込まれたときにも、コントロール/データ・モード動作が発生します。DSP Txレジスタは、カスケード接続に書き込まれる2つのコントロール・ワードの最初のワード(デバイス2へのワード)を保持します。

ステップ5では、最初の2つのコントロール・ワードの送信に続いて、DSP Rxレジスタはデバイス2のADCワードを保持します。デバイス2のシリアル・レジスタはデバイス1のADCワードを、デバイス1のシリアル・レジスタはデバイス2をアドレス指定するコントロール・ワードを、DSP Txレジ

スタはデバイス1をアドレス指定する次のコントロール・ワードを、それぞれ保持します。両デバイスとも自分にアドレス指定されたコントロール・ワードでないものを受信したため、再度SDOFSラインをハイにします。

ステップ6では、2番目の一連のコントロール・ワードの書き込みが完了します。この場合、両デバイスはコントロール・レジスタCをアドレス指定したコントロール・ワードを受信します。このコントロール・ワードは、デバイスのアナログ部の電源をオンにします。DSPのTxレジスタからコントロール・ワードが送信されて、デバイス2のコントロール・レジスタCを読み出します。これは、次のADCワードの破壊を防止するために実行されます³。

ステップ7では、デバイス2に書き込まれたコントロール・ワードがデバイス1にあり、DSP Txレジスタは、デバイス1のレジスタCを読み出すコントロール・ワードを保持します。

ステップ8では、デバイス1とデバイス2は読み出しを実行するコントロール・ワードを受信します。コントロール・ワード内の読み出しビットが認識されると、両デバイス内で、SDOFSパルスが発生して、レジスタ・データが出力されます。ステップ9では、デバイス2からのアドレス・フィールドの値を減らしたワードが読み出され、DSPのRxレジスタに転送されます。また、デバイス1からアドレス・フィールドの値を減らしたワードが読み出され、デバイス2のシリアル・レジスタに転送されます。デバイス2のコントロール・ワードはアドレス0(つまりデバイス2をアドレス指定したもの)ではないので、SDOFSラインにパルスを出力してデバイス2からシフトアウトされます。

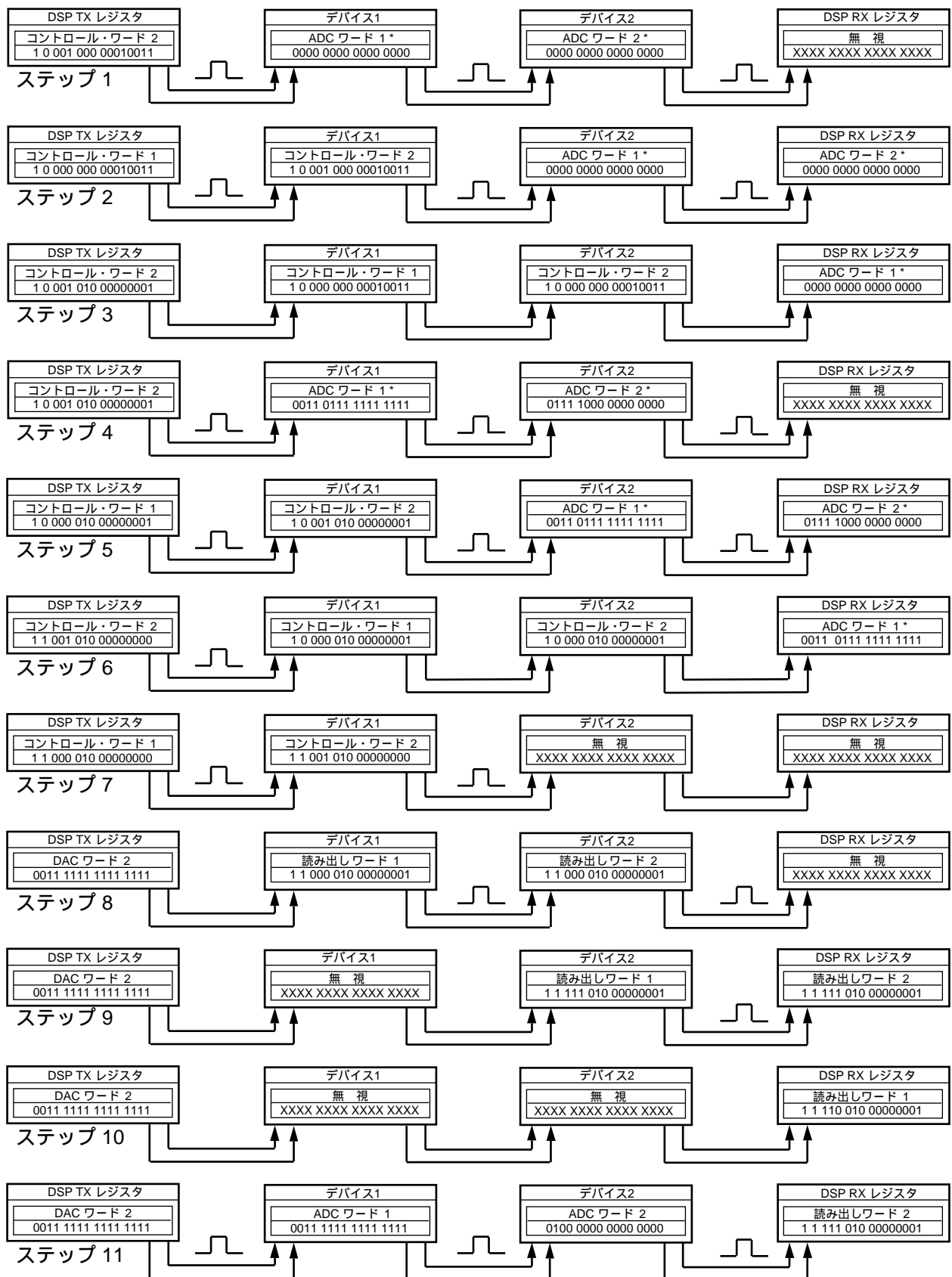
ステップ10では、読み出しが完了し、デバイス1の読み出しワードがDSPのRxレジスタに転送されます。このアドレス・フィールドの値は更に減らされることに注意してください。

ステップ11では、次のサンプル・イベントが発生します。ステップ6~9で実行された読み出しの影響によりADC値が破壊されないことに注意してください。

上の例ではDACの更新を実行していませんが、SCLKレートとカスケード接続長が許容する場合には、ADCサンプリング周期内でDACの更新とコントロール・レジスタの変更が可能です。DAC更新では、デバイスをデータ・モード動作に設定する際に説明したものと同一フレーム同期カウンタ方式を使います⁴。

注

- このシーケンスでは、DSP SPORTのRx割り込みとTx割り込みがイネーブルされていると仮定しています。カスケード接続内の複数のコントロール・ワード間に遅延(分離)が発生しないように保証することが重要です。コントロール・レジスタBはSCLKレートとDMCLKレートの設定を保持しているため、このレジスタを設定するときは特に重要です。
- コントロール/データ・モードでは、DACワードとコントロール・ワードをカスケード接続内のデバイスへ送信できます。FSLBを使用すると、カスケード接続に送信するワード数がカスケード接続内のデバイス数に一致します。これは、DAC更新をレジスタ書き込みで置き換える必要があることを意味しています。非FSLBでは、次のサンプル・イベントまで十分時間がある場合、必要に応じてDSPがコントロール・ワードの送信を追加できます。
- コントロール/データ・モードでは、次のADCサンプルの正確さを保証するために、デバイスへのコントロール・ワードを読み出し、コントロール・ワードの書き込みの終了が必要な場合があります。あるいはその代わりに、そのADCワードを無視するが、それが不可能な場合には、16ビット・ワード内で“アドレス・フィールド”の値を減らして再設定できます。
- コントロール/データ・モードでは、通常のデータ・モードの場合と同じSDIFSカウンタ方式を使ってDAC更新を行います。ただし、DACワード(MSBがゼロ)だけがフレーム同期カウンタをインクリメントできると認識される点が異なります。



*プログラム・モード中のADCサンプルは無効。

図36 2個のカスケード接続AD73311のコントロール/データ・モード動作の設定

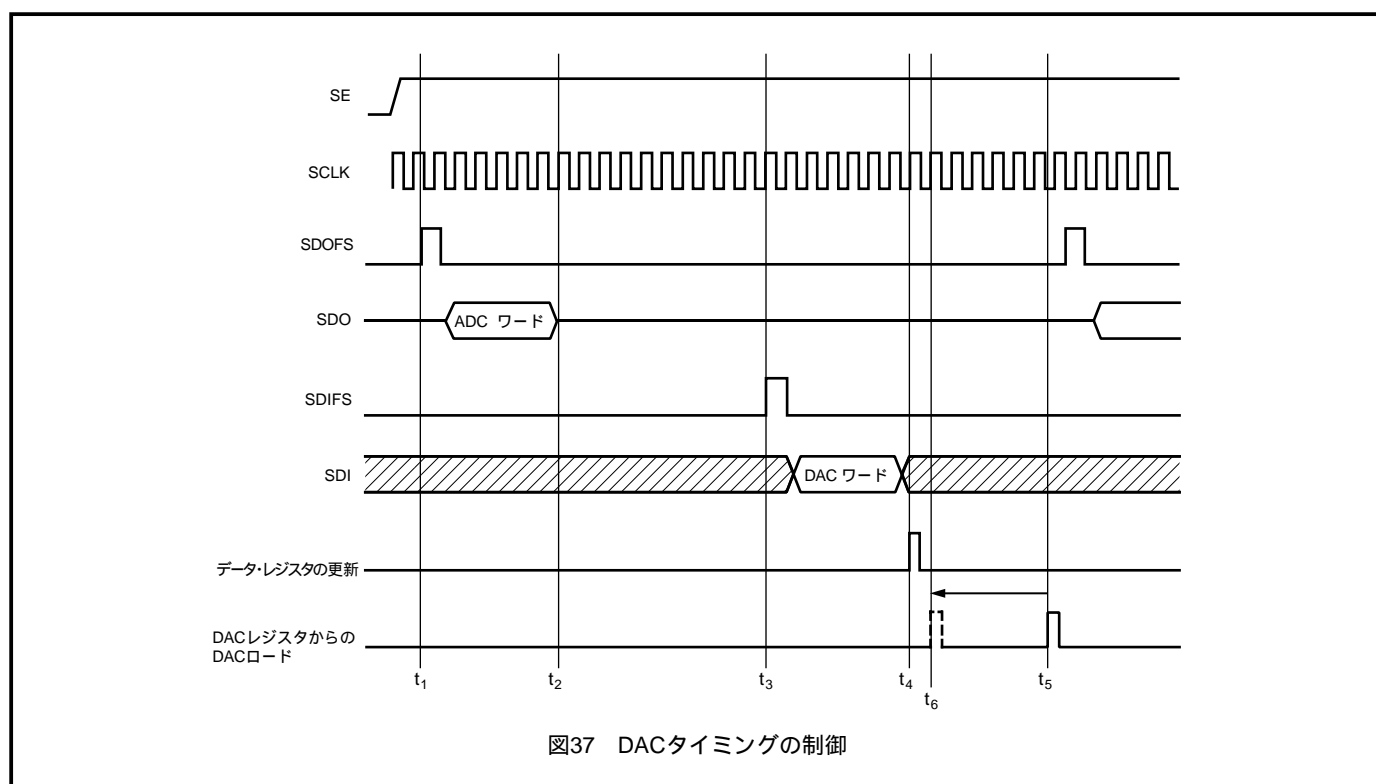
AD73311

追記E

DACタイミングの制御例

ADCレジスタの内容がシリアル・レジスタにロードされる（SDOFSがハイになる）直前に、AD73311のDACはDACレジスタの内容からロードされます。このデフォルトのDACロード位置は、SDOFSがハイになる位置に対して時間的に前に進められます。図37に、ADCの読み出しとDACロードのシーケンス例を示します。時間 t_1 で、SDOFSがハイになり新しいADCワードのレディを表示します。SDOFSパルスに続いて、16 SCLKサイクル内にADCデータの16ビットがクロック駆動されてSDOへ出力され、時間 t_2 で終了します。ここで、DSPのSPORTが16ビット・ワードを受信します。

DSPはこの情報を処理して、AD73311に送信するDACワードを発生します。時間 t_3 は、AD73311へのDACワード送信シーケンスの開始を表します。このシーケンスは、時間 t_4 で終わります。ここで、DACレジスタはAD73311のシリアル・レジスタ内の16ビットで置き換えられます。ただし、時間 t_5 まで、DACはDACレジスタから更新されません。これはアプリケーションによっては許容できない場合があります。この遅延を抑えてDACを時間 t_6 でロードするため、DACアドバンス・レジスタに必要な進め時間に対応する適切な値を設定できます（DACタイミング・コントロールの設定の詳細については表VIIIを参照してください）。



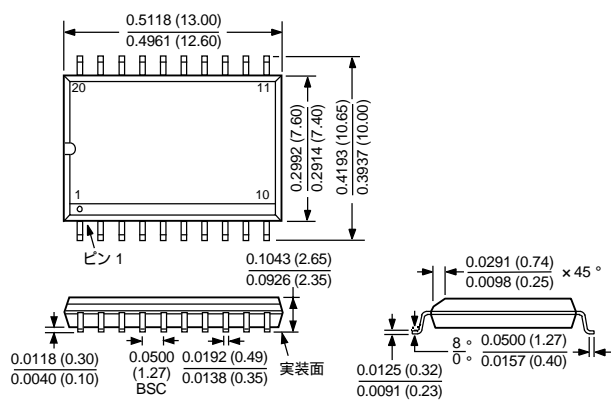
目次

項	ページ	項	ページ
特長	1	動作	16
機能ブロック図	1	AD73311のリセット	16
概要	1	消費電力の管理	16
仕様 (3V)	2、3	動作モード	16
仕様 (5V)	4、5	コントロール・レジスタの表	17、18
タイミング特性 (3V)	6	プログラム (コントロール) モード	19
タイミング特性 (5V)	7	データ・モード	19
タイミング図	7、8	プログラム/データ・モード	19
性能グラフ	8、22~24	アナログ・ループバック	19
絶対最大定格	9	デジタル・ループバック	19
オーダー・ガイド	9	インターフェース信号のタイミング	20
ピン配置	9	インターフェース	21
ピン機能説明	10	カスケード動作	21
用語	11	性能	22
略語	11	エンコーダ部	22
機能説明	12	エンコーダの群遅延	23
エンコーダ・チャンネル	12	デコーダ部	23
プログラマブル・ゲイン・アンプ	12	デコーダの群遅延	24
ADC	12	設計上の考慮事項	24
アナログモジュレータ	12	アナログ入力	24
デシメーション・フィルタ	13	アナログ出力	25
ADCのコーディング	13	デジタル・インターフェース	25
デコーダ・デバイス	13	カスケード動作	26
DACのコーディング	13	接地とレイアウト	26
インターポレーション・フィルタ	13	DSPプログラミングの考慮事項	27
アナログ平滑化フィルタとPGA	14	DSP SPORTの設定	27
差動出力アンプ	14	DSP SPORTの割り込み	27
リファレンス	14	追記A (1個使用でのデータ・モード動作)	28
シリアル・ポート (SPORT)	14	追記B (1個使用でのプログラム/データ・モード動作)	29
SPORTの概要	14	追記C (2個接続でのデータ・モード動作)	30、31
SPORTレジスタ・マップ	15	追記D (2個接続でのプログラム/データ・モード動作)	32、33
マスター・クロック分周器	15	追記E (DACタイミング制御の例)	34
シリアル・クロック・レート分周器	15	外形寸法	36
DACアドバンス・レジスタ	15		

外形寸法

サイズはインチと (mm) で示します。

20ピン・スモール・アウトラインIC
(R-20)



20ピン・シュリンク・スモール・アウトラインIC
(RS-20)

