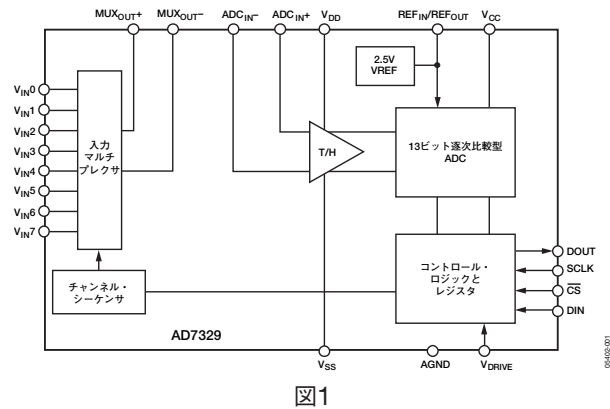


## 特長

符号付12ビット (13ビット) SAR型ADC  
 真のバイポーラ入力レンジ  
 ソフトウェアで入力レンジの選択が可能  
 ±10V、±5V、±2.5V、0~+10V  
 1MSPSのスループット・レート  
 チャンネル・シーケンサ付きの8チャンネルのアナログ入力  
 シングルエンド、真の差動、疑似差動のアナログ入力機能  
 高いアナログ入力インピーダンス  
 マルチプレクサとADCに個別にアクセスできるMUX<sub>OUT</sub>ピンと  
 ADC<sub>IN</sub>ピン  
 低消費電力: 21mW  
 温度インジケータ  
 フルパワー信号帯域幅: 20MHz  
 2.5Vの内部リファレンス  
 高速シリアル・インターフェース  
*i*CMOS™プロセス技術  
 24ピンTSSOPパッケージ  
 パワーダウン・モード

## 機能ブロック図



## 概要

AD7329<sup>1</sup>は、*i*CMOS (工業用CMOS) プロセスによって設計された8チャンネル、符号付12ビットの逐次比較型ADCです。*i*CMOSは、高電圧CMOSと低電圧CMOSの技術を組み合わせたプロセスです。これによって、前世代の高電圧デバイスでは実現できなかったフットプリントで33Vの動作ができる、広範囲な高性能アナログICの開発が可能になりました。従来のCMOSプロセスを採用したアナログICと異なり、*i*CMOSデバイスはバイポーラ入力信号を受け入れるとともに、性能をさらに向上し、消費電力を大幅に低減し、さらに小さいパッケージでの提供が可能となっています。

AD7329は、真のバイポーラ・アナログ入力信号を受け入れます。±10V、±5V、±2.5V、0~+10Vの4つの入力レンジをソフトウェアで選択でき、各アナログ入力チャンネルを4つの入力レンジのいずれかに個別に設定できます。また、アナログ入力チャンネルはそれぞれシングルエンド、真の差動、または疑似差動に設定できます。

このADCは2.5Vのリファレンスを内蔵していますが、外部リファレンスを使用することもできます。3Vのリファレンス電圧をREF<sub>IN</sub>/REF<sub>OUT</sub>ピンに加えると、±12Vの真のバイポーラ・アナログ入力を受け入れることができます。また、最大1MSPSのスループット・レートの動作を可能にする高速シリアル・インターフェースを備えています。

## 製品のハイライト

- AD7329は、±10V、±5V、±2.5Vの真のバイポーラ・アナログ入力信号と0~+10Vのユニポーラ信号を受け入れます。
- 8つのアナログ入力は、8つのシングルエンド入力、4つの真の差動入力ペア、4つの疑似差動入力、あるいは7つの疑似差動入力に構成できます。
- 1MSPSをサポートするシリアル・インターフェース。SPI™/QSPI™/DSP/MICROWIRE™互換です。
- 1MSPS時で21mWの低消費電力。
- MUX<sub>OUT</sub>ピンとADC<sub>IN</sub>ピンによって、ADCへの入力前段でマルチプレクサ出力の信号変換が可能です。

表1. 同種のデバイス

製品番号	スループット・レート	チャンネル数
AD7328	1000kSPS	8
AD7327	500kSPS	8
AD7324	1000kSPS	4
AD7323	500kSPS	4
AD7322	1000kSPS	2
AD7321	500kSPS	2

<sup>1</sup> 米国特許番号6,731,232によって保護されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
 ※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。  
 © 2006 Analog Devices, Inc. All rights reserved.

# AD7329

## 目次

特長	1	レジスタ	25
機能ブロック図	1	レジスタのアドレス指定	25
概要	1	コントロール・レジスタ	26
製品のハイライト	1	シーケンス・レジスタ	28
改訂履歴	2	レンジ・レジスタ	28
仕様	3	シーケンサ動作	29
タイミング仕様	7	リファレンス	31
絶対最大定格	8	V <sub>DRIVE</sub>	31
ESDに関する注意	8	温度インジケータ	31
ピン配置と機能の説明	9	動作モード	32
代表的な性能特性	11	ノーマル・モード	32
用語の説明	15	フルシャットダウン・モード	32
動作原理	17	自動シャットダウン・モード	33
回路情報	17	自動スタンバイ・モード	33
コンバータの動作	17	スループット・レートと消費電力の関係	34
出力コーディング	18	シリアル・インターフェース	35
伝達関数	18	マイクロプロセッサとのインターフェース	36
アナログ入力構造	18	AD7329とADSP-21xxのインターフェース	36
トラック&ホールド部	19	AD7329とADSP-BF53xのインターフェース	36
代表的な接続図	20	外形寸法	37
アナログ入力	20	オーダー・ガイド	37
ドライバ・アンプの選択	23		

## 改訂履歴

4/06—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $V_{DD}=12\sim 16.5V$ 、 $V_{SS}=-12\sim -16.5V$ 、 $V_{CC}=4.75\sim 5.25V$ 、 $V_{DRIVE}=2.7\sim 5.25V$ 、 $V_{REF}=2.5V$ の内部/外部リファレンス、 $f_{SCLK}=20MHz$ 、 $f_S=1MSPS$ 、 $T_A=T_{MIN}\sim T_{MAX}$ 。MUX<sub>OUT+</sub>は直接ADC<sub>IN+</sub>に接続し、MUX<sub>OUT-</sub>は直接ADC<sub>IN-</sub>に接続。ADC<sub>IN-</sub>はシングルエンド・モードでGNDに接続。

表2

パラメータ <sup>1</sup>	Min	Bバージョン		単位	テスト条件/備考
		Typ	Max		
ダイナミック性能					$f_{IN}=50kHz$ のサイン波
S/N比 (SNR) <sup>2</sup>	76	77		dB	差動モード
	72.5	74		dB	シングルエンド/疑似差動モード
信号/ノイズ&歪み (SINAD) <sup>2</sup>	75	76.5		dB	差動モード、 $\pm 2.5V$ と $\pm 5V$ のレンジ
		76.5		dB	差動モード、 $0\sim +10V$ と $\pm 10V$ のレンジ
	72	73.5		dB	シングルエンド/疑似差動モード、 $\pm 2.5V$ と $\pm 5V$ のレンジ
		73.5		dB	シングルエンド/疑似差動モード、 $0\sim +10V$ と $\pm 10V$ のレンジ
全高調波歪み (THD) <sup>2</sup>		-87	-80	dB	差動モード、 $\pm 2.5V$ と $\pm 5V$ のレンジ
		-85		dB	差動モード、 $0\sim +10V$ と $\pm 10V$ のレンジ
		-82	-77	dB	シングルエンド/疑似差動モード、 $\pm 2.5V$ と $\pm 5V$ のレンジ
		-80		dB	シングルエンド/疑似差動モード、 $0\sim +10V$ と $\pm 10V$ のレンジ
ピーク高調波またはスプリアス・ノイズ (SFDR) <sup>2</sup>		-88	-80	dB	差動モード、 $\pm 2.5V$ と $\pm 5V$ のレンジ
		-86		dB	差動モード、 $0\sim +10V$ と $\pm 10V$ のレンジ
		-84	-78	dB	シングルエンド/疑似差動モード、 $\pm 2.5V$ と $\pm 5V$ のレンジ
		-82		dB	シングルエンド/疑似差動モード、 $0\sim +10V$ と $\pm 10V$ のレンジ
相互変調歪み (IMD) <sup>2</sup>					$f_a=50kHz$ 、 $f_b=30kHz$
2次項		-88		dB	
3次項		-90		dB	
アパーチャ遅延 <sup>3</sup>		7		ns	
アパーチャ・ジッタ <sup>3</sup>		50		ps	
同相ノイズ除去比 (CMRR) <sup>2</sup>		-79		dB	最大100kHzのリップル周波数。図17を参照
チャンネル間絶縁 <sup>2</sup>		-75		dB	非選択チャンネル上の $f_{IN}$ =最大100kHz。図14を参照
フルパワー帯域幅		20		MHz	3dB時
		1.5		MHz	0.1dB時

# AD7329

パラメータ <sup>1</sup>	Bバージョン			単位	テスト条件/備考
	Min	Typ	Max		
DC精度 <sup>4</sup>					DC精度仕様はすべて、0～+10Vモード時の代表値です。
分解能	13			ビット	
ノー・ミスコード	12ビット +符号			ビット	差動モード
	11ビット +符号			ビット	シングルエンド/疑似差動モード
積分非直線性 <sup>2</sup>			±1.1	LSB	差動モード
			±1	LSB	シングルエンド/疑似差動モード
			-0.7/+1.2	LSB	シングルエンド/疑似差動モード (LSB=FSR/8192)
微分非直線性 <sup>2</sup>			-0.9/+1.5	LSB	差動モード。13ビットまでノー・ミスコードを保証
			±0.9	LSB	シングルエンド・モード。12ビットまでノー・ミスコードを保証
			-0.7/+1	LSB	シングルエンド/疑似差動モード (LSB=FSR/8192)
オフセット誤差 <sup>2,5</sup>			-4/+9	LSB	シングルエンド/疑似差動モード
			-7/+10	LSB	差動モード
オフセット誤差マッチング <sup>2,5</sup>			±0.6	LSB	シングルエンド/疑似差動モード
			±0.5	LSB	差動モード
ゲイン誤差 <sup>2,5</sup>			±8.0	LSB	シングルエンド/疑似差動モード
			±14	LSB	差動モード
ゲイン誤差マッチング <sup>2,5</sup>			±0.5	LSB	シングルエンド/疑似差動モード
			±0.5	LSB	差動モード
正側フルスケール誤差 <sup>2,6</sup>			±4	LSB	シングルエンド/疑似差動モード
			±7	LSB	差動モード
正側フルスケール誤差マッチング <sup>2,6</sup>			±0.5	LSB	シングルエンド/疑似差動モード
			±0.5	LSB	差動モード
バイポーラ・ゼロ誤差 <sup>2,6</sup>			±8.5	LSB	シングルエンド/疑似差動モード
			±7.5	LSB	差動モード
バイポーラ・ゼロ誤差マッチング <sup>2,6</sup>			±0.5	LSB	シングルエンド/疑似差動モード
			±0.5	LSB	差動モード
負側フルスケール誤差 <sup>2,6</sup>			±4	LSB	シングルエンド/疑似差動モード
			±6	LSB	差動モード
負側フルスケール誤差マッチング <sup>2,6</sup>			±0.5	LSB	シングルエンド/疑似差動モード
			±0.5	LSB	差動モード

パラメータ <sup>1</sup>	Min	Bバージョン		単位	テスト条件/備考
		Typ	Max		
アナログ入力					
入力レンジ (レンジ・レジスタで設定)		±10		V	リファレンス=2.5V。表6を参照 V <sub>DD</sub> =10V (min)、V <sub>SS</sub> =-10V (min)、 V <sub>CC</sub> =2.7~5.25V
		±5		V	V <sub>DD</sub> =5V (min)、V <sub>SS</sub> =-5V (min)、V <sub>CC</sub> = 2.7~5.25V
		±2.5		V	V <sub>DD</sub> =5V (min)、V <sub>SS</sub> =-5V (min)、V <sub>CC</sub> = 2.7~5.25V
		0~10		V	V <sub>DD</sub> =10V (min)、V <sub>SS</sub> =AGND (min)、 V <sub>CC</sub> =2.7~5.25V
疑似差動V <sub>IN-</sub> 入力レンジ					V <sub>DD</sub> =16.5V、V <sub>SS</sub> =-16.5V、V <sub>CC</sub> =5V。図43 と図44を参照
		±3.5		V	リファレンス=2.5V、レンジ=±10V
		±6		V	リファレンス=2.5V、レンジ=±5V
		±5		V	リファレンス=2.5V、レンジ=±2.5V
		+3/-5		V	リファレンス=2.5V、レンジ=0~+10V
DCリーク電流			±100	nA	V <sub>IN</sub> =V <sub>DD</sub> またはV <sub>SS</sub>
		3		nA	各チャンネル、V <sub>IN</sub> =V <sub>DD</sub> またはV <sub>SS</sub>
入力容量 <sup>3</sup>		16		pF	全レンジ、シングルエンドでのトラック時
ADC <sub>IN</sub> ±容量 <sup>3</sup>		7		pF	±10Vレンジ、シングルエンドでのトラック時
		10		pF	±5Vレンジ、シングルエンドでのトラック時
		14.5		pF	±2.5Vレンジ、シングルエンドでのトラック時
		10.5		pF	0~+10Vレンジ、シングルエンドでの トラック時
		4.0		pF	全レンジ、シングルエンドでのホールド時
MUX <sub>OUT-</sub> 容量 <sup>3</sup>		7.5		pF	全レンジ、シングルエンド
MUX <sub>OUT+</sub> 容量 <sup>3</sup>		13		pF	全レンジ、シングルエンド
リファレンス入出力					
入力レンジ	2.5		3	V	
入力DCリーク電流			±1	μA	
入力容量		10		pF	
リファレンス出力電圧		2.5		V	
リファレンス出力電圧誤差 (@25°C)			±5	mV	
リファレンス出力電圧誤差 (T <sub>MIN</sub> ~T <sub>MAX</sub> )			±10	mV	
リファレンス温度係数			25	ppm/°C	
		3		ppm/°C	
リファレンス出力インピーダンス		7		Ω	
ロジック入力					
ハイレベル入力電圧 (V <sub>INH</sub> )	2.4			V	
ローレベル入力電圧 (V <sub>INL</sub> )			0.8	V	V <sub>CC</sub> =4.75~5.25V
			0.4	V	V <sub>CC</sub> =2.7~3.6V
入力電流 (I <sub>IN</sub> )			±1	μA	V <sub>IN</sub> =0VまたはV <sub>DRIVE</sub>
入力容量 (C <sub>IN</sub> ) <sup>3</sup>		10		pF	

# AD7329

パラメータ <sup>1</sup>	Bバージョン			単位	テスト条件/備考
	Min	Typ	Max		
ロジック出力					
ハイレベル出力電圧 ( $V_{OH}$ )	$V_{DRIVE}-0.2V$			V	$I_{SOURCE}=200\mu A$
ローレベル出力電圧 ( $V_{OL}$ )			0.4	V	$I_{SINK}=200\mu A$
フローティング状態リーク電流			$\pm 1$	$\mu A$	
フローティング状態出力容量 <sup>3</sup>		5		pF	
出力コーディング	純ストレート・バイナリ				コントロール・レジスタのコーディング・ビットを1に設定
	2の補数				コントロール・レジスタのコーディング・ビットを0に設定
変換レート					
変換時間			800	ns	SCLK=20MHzで16SCLKサイクル
トラック&ホールド・アクイジション時間 <sup>2,3</sup>			300	ns	フルスケール・ステップ入力。「用語の説明」を参照
スループット・レート			1	MSPS	「シリアル・インターフェース」を参照。 $V_{CC}=4.75\sim 5.25V$
			770	kSPS	$V_{CC}<4.75V$
電源条件					
$V_{DD}$	12		16.5	V	デジタル入力=0Vまたは $V_{DRIVE}$ 表6を参照
$V_{SS}$	-12		-16.5	V	表6を参照
$V_{CC}$	2.7		5.25	V	表6を参照。 $V_{CC}<4.75V$ 時の代表仕様値
$V_{DRIVE}$	2.7		5.25	V	
ノーマル・モード (スタティック)		0.9		mA	$V_{DD}=16.5V, V_{SS}=-16.5V, V_{CC}=V_{DRIVE}=5.25V$ $f_{SAMPLE}=1MSPS$
ノーマル・モード (動作時)					
$I_{DD}$			360	$\mu A$	$V_{DD}=16.5V$
$I_{SS}$			410	$\mu A$	$V_{SS}=-16.5V$
$I_{CC}$ と $I_{DRIVE}$			3.2	mA	$V_{CC}=V_{DRIVE}=5.25V$
自動スタンバイ・モード (ダイナミック)					$f_{SAMPLE}=250kSPS$
$I_{DD}$			200	$\mu A$	$V_{DD}=16.5V$
$I_{SS}$			210	$\mu A$	$V_{SS}=-16.5V$
$I_{CC}$ と $I_{DRIVE}$			1.3	mA	$V_{CC}=V_{DRIVE}=5.25V$
自動シャットダウン・モード (スタティック)					SCLKオンまたはオフ
$I_{DD}$			1	$\mu A$	$V_{DD}=16.5V$
$I_{SS}$			1	$\mu A$	$V_{SS}=-16.5V$
$I_{CC}$ と $I_{DRIVE}$			1	$\mu A$	$V_{CC}=V_{DRIVE}=5.25V$
フルシャットダウン・モード					SCLKオンまたはオフ
$I_{DD}$			1	$\mu A$	$V_{DD}=16.5V$
$I_{SS}$			1	$\mu A$	$V_{SS}=-16.5V$
$I_{CC}$ と $I_{DRIVE}$			1	$\mu A$	$V_{CC}=V_{DRIVE}=5.25V$
消費電力					
ノーマル・モード (動作時)			30	mW	$V_{DD}=16.5V, V_{SS}=-16.5V, V_{CC}=5.25V$
		21		mW	$V_{DD}=12V, V_{SS}=-12V, V_{CC}=5V$
フルシャットダウン・モード			38.25	$\mu W$	$V_{DD}=16.5V, V_{SS}=-16.5V, V_{CC}=5.25V$

<sup>1</sup> 温度範囲は-40~+85°C。

<sup>2</sup> 「用語の説明」を参照。

<sup>3</sup> 量産開始時にサンプル・テストにより適合性を保証。

<sup>4</sup> DC精度において、差動モードでのLSBサイズはFSR/8192。シングルエンド・モード/疑似差動モードでのLSBサイズは、特に指定のない限りFSR/4096。

<sup>5</sup> ストレート・バイナリの出力コーディングで、0~+10Vのユニポーラ・レンジ。

<sup>6</sup> 2の補数の出力コーディングで、バイポーラ・レンジ。

## タイミング仕様

$V_{DD}=12\sim 16.5V$ 、 $V_{SS}=-12\sim -16.5V$ 、 $V_{CC}=4.75\sim 5.25V$ 、 $V_{DRIVE}=2.7\sim 5.25V$ 、 $V_{REF}=2.5V$  (内部/外部リファレンス)、 $T_A=T_{MIN}\sim T_{MAX}$ 。特に指定のない限り、32pFの負荷でのタイミング仕様を適用。MUX<sub>OUT+</sub>を直接ADC<sub>IN+</sub>に接続し、MUX<sub>OUT-</sub>を直接ADC<sub>IN-</sub>に接続。ADC<sub>IN-</sub>はシングルエンド・モードでGNDに接続。

表3

パラメータ	T <sub>MIN</sub> 、T <sub>MAX</sub> 時の限界値		単位	説明 V <sub>DRIVE</sub> ≤ V <sub>CC</sub>
	V <sub>CC</sub> < 4.75V	V <sub>CC</sub> = 4.75 ~ 5.25V		
f <sub>SCLK</sub>	50	50	kHz (min)	t <sub>SCLK</sub> = 1/f <sub>SCLK</sub>
	14	20	MHz (max)	
t <sub>CONVERT</sub>	16 × t <sub>SCLK</sub>	16 × t <sub>SCLK</sub>	ns (max)	シリアル読出しの終了からCSの次の立下がりエッジまでの最小時間
t <sub>QUIET</sub>	75	60	ns (min)	CSの最小パルス幅
t <sub>1</sub>	12	5	ns (min)	CSからSCLKまでのセットアップ時間、バイポーラ入力レンジ (±10V、±5V、±2.5V)
t <sub>2</sub> <sup>1</sup>	25	20	ns (min)	CSからSCLKまでのセットアップ時間、ユニポーラ入力レンジ (0 ~ +10V)
t <sub>3</sub>	45	35	ns (min)	CSからDOOUTのスリーステート状態がデイスエーブルになるまでの遅延時間
t <sub>4</sub>	26	14	ns (max)	SCLKの立下がりエッジの後のデータ・アクセス時間
t <sub>5</sub>	57	43	ns (max)	SCLKのロー・パルス幅
t <sub>6</sub>	0.4 × t <sub>SCLK</sub>	0.4 × t <sub>SCLK</sub>	ns (min)	SCLKのハイ・パルス幅
t <sub>7</sub>	0.4 × t <sub>SCLK</sub>	0.4 × t <sub>SCLK</sub>	ns (min)	SCLKからデータ有効までのホールド時間
t <sub>8</sub>	13	8	ns (min)	SCLKの立下がりエッジからDOOUTがハイ・インピーダンスになるまでの時間
t <sub>9</sub>	40	22	ns (max)	SCLKの立下がりエッジからDOOUTがハイ・インピーダンスになるまでの時間
t <sub>10</sub>	10	9	ns (min)	SCLKの立下がりエッジからのDINセットアップ時間
t <sub>POWER-UP</sub>	4	4	ns (min)	SCLKの立下がりエッジの後のDINホールド時間
	750	750	ns (max)	自動スタンバイ・モードからのパワーアップ時間
	500	500	μs (max)	フルシャットダウン/自動シャットダウン・モードからのパワーアップ時間、内部リファレンスの使用時
	25	25	μs (typ)	フルシャットダウン/自動シャットダウン・モードからのパワーアップ時間、外部リファレンスの使用時

<sup>1</sup> V<sub>CC</sub>=4.75~5.25Vと0~+10Vのユニポーラ・レンジを選択し、t<sub>2</sub>が20nsで1MSPSのスループット・レート動作の場合、マーク・スペース比を50:50にする必要があります。

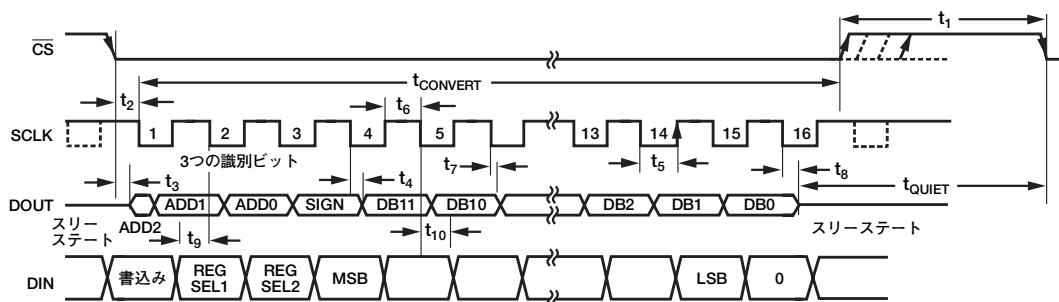


図2. シリアル・インターフェースのタイミング図

01542-2/02

## 絶対最大定格

特に指定のない限り、 $T_A=25^\circ\text{C}$ 。

表4

パラメータ	定格値
AGND、DGNDに対する $V_{DD}$	$-0.3 \sim +16.5\text{V}$
AGND、DGNDに対する $V_{SS}$	$+0.3 \sim -16.5\text{V}$
$V_{DD} \sim V_{CC}$	$V_{CC} - 0.3\text{V} \sim +16.5\text{V}$
AGND、DGNDに対する $V_{CC}$	$-0.3 \sim +7\text{V}$
AGND、DGNDに対する $V_{DRIVE}$	$-0.3 \sim +7\text{V}$
AGND～DGND	$-0.3 \sim +0.3\text{V}$
AGNDに対するアナログ入力電圧 <sup>1</sup>	$V_{SS} - 0.3\text{V} \sim V_{DD} + 0.3\text{V}$
DGNDに対するデジタル入力電圧	$-0.3 \sim +7\text{V}$
DGNDに対するデジタル出力電圧	$-0.3\text{V} \sim V_{DRIVE} + 0.3\text{V}$
AGNDに対する $REF_{IN}$	$-0.3\text{V} \sim V_{CC} + 0.3\text{V}$
電源ピンを除くすべての ピンに対する入力電流 <sup>2</sup>	$\pm 10\text{mA}$
動作温度範囲	$-40 \sim +85^\circ\text{C}$
保存温度範囲	$-65 \sim +150^\circ\text{C}$
ジャンクション温度	$150^\circ\text{C}$
TSSOPパッケージ	
$\theta_{JA}$ 熱インピーダンス	$128^\circ\text{C}/\text{W}$
$\theta_{JC}$ 熱インピーダンス	$42^\circ\text{C}/\text{W}$
鉛フリー温度 (ハンダ・リフロー)	$260(0)^\circ\text{C}$
ESD	$2.5\text{kV}$

<sup>1</sup> 別の $V_{DD}$ および $V_{SS}$ 電源回路からアナログ入力を駆動する場合、AD7329の $V_{DD}$ と $V_{SS}$ の各電源ピンに対して直列にショットキー・ダイオードを接続してください。

<sup>2</sup> 100mAまでの過渡電流では、SCRラッチアップは発生しません。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

### 注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。





## ピン配置と機能の説明

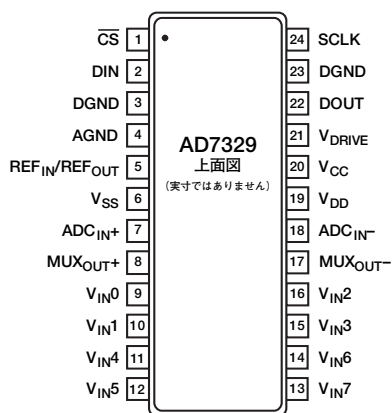


図3. TSSOPのピン配置

表5. ピン機能の説明

ピン番号	記号	説明
24	SCLK	ロジック入力のシリアル・クロック。シリアル・クロック入力、AD7329のデータにアクセスするときに使用するSCLKを提供します。このクロックは、変換プロセス用のクロック・ソースとしても使用します。
22	DOUT	シリアル・データ出力。変換出力データがシリアル・データ・ストリームとして、このピンに供給されます。SCLK入力の立下がりエッジでビットがクロック出力され、データのアクセスには16サイクルのSCLKが必要です。データ・ストリームは、3個のチャンネル識別ビット、1個の符号ビット、12ビットの変換データで構成されます。データはMSBファーストで出力されます（「シリアル・インターフェース」を参照）。
1	$\overline{\text{CS}}$	チップ・セレクト。ローレベルでアクティブのロジック入力です。この入力には、AD7329における変換の開始とシリアル・データ転送のフレーミングの2つの機能があります。
2	DIN	データ入力。オンチップのレジスタに書き込まれるデータがこの入力に供給され、SCLKの立下がりエッジでレジスタにクロック入力します（「レジスタ」を参照）。
21	V <sub>DRIVE</sub>	ロジック電源入力。このピンに入力した電圧によって、インターフェースの動作電圧が決まります。このピンはDGNDにデカップリングしてください。このピンの電圧はV <sub>CC</sub> の電圧と異なっても構いませんが、V <sub>CC</sub> を0.3V以上超えないようにしてください。
3、23	DGND	デジタル・グラウンド。AD7329の全デジタル回路のグラウンド基準ポイントです。理想的には、DGND電圧とAGND電圧を同じ電位にします。遷移時も、0.3V以上離れないようにしてください。
4	AGND	アナログ・グラウンド。AD7329の全アナログ回路のグラウンド基準ポイントです。すべてのアナログ入力信号と外部リファレンス電圧信号は、このAGND電圧を基準とします。理想的には、AGND電圧とDGND電圧を同じ電位にします。遷移時も、0.3V以上離れないようにしてください。
5	REF <sub>IN</sub> /REF <sub>OUT</sub>	リファレンス入出力。このピンからオンチップのリファレンス電圧を取り、AD7329の外部で利用できます。あるいは、内部リファレンスをディスプレイにして、このピンに外部リファレンスを接続できます。これが、パワーアップ時のデフォルト設定になります。内部リファレンス電圧は公称2.5Vで、このピンから得られます。680nFのコンデンサをこのリファレンス・ピンに配置してください（「リファレンス」を参照）。
20	V <sub>CC</sub>	2.7~5.25Vのアナログ電源電圧。AD7329のADCコアの電源電圧です。この電源ピンはAGNDにデカップリングしてください。
19	V <sub>DD</sub>	正側電源電圧。アナログ入力部の正側電源電圧です。
6	V <sub>SS</sub>	負側電源電圧。アナログ入力部の負側電源電圧です。
7	ADC <sub>IN+</sub>	正側ADC入力。このピンからオンチップのトラック&ホールド・アンプにアクセスできます。ピンに印加される電圧は、高電圧のままの信号（±10V、±5V、±2.5V、0~+10V）です。
8	MUX <sub>OUT+</sub>	正側マルチプレクサ出力。マルチプレクサの出力はこのピンから取ります。ピンの電圧は、コントロール・レジスタまたはシーケンス・レジスタでの選択に応じてV <sub>IN+</sub> 入力チャンネルに加えられる電圧と等しい高電圧のままの信号です。外部フィルタリングやバッファ処理が必要ない場合は、このピンをADC <sub>IN+</sub> ピンに接続してください。

# AD7329

ピン番号	記号	説明
17	MUX <sub>OUT-</sub>	負側マルチプレクサ出力。このピンからオンチップのトラック&ホールド・アンプにアクセスできません。AD7329が差動モードのときに、このピンに印加される電圧は高電圧のままの信号です。シングルエンド・モードのときは、AGND電圧に等しくなり、MUX <sub>OUT-</sub> を直接ADC <sub>IN-</sub> ピンに接続できます。AD7329が疑似差動モードの場合は、微小なDC電圧がこのピン上に生じます。このときは、ADC <sub>IN-</sub> ピンに接続してください。
18	ADC <sub>IN-</sub>	負側ADC入力。このピンからオンチップのトラック&ホールド・アンプにアクセスできます。AD7329がシングルエンド・モードのときに、このピンをMUX <sub>OUT-</sub> に接続し、MUX <sub>OUT-</sub> ピンをAGNDに接続できます。AD7329が疑似差動モードのときは、このピンをMUX <sub>OUT-</sub> に接続してください。AD7329が真の差動モードの場合は、このピンに印加される電圧は高電圧のままの信号（±10V、±5V、±2.5V、0～+10V）です。
9～16	V <sub>IN0</sub> ～V <sub>IN7</sub>	アナログ入力0～7。これらのアナログ入力は、マルチプレクスされ、オンチップのトラック&ホールド・アンプに導かれます。変換するアナログ入力チャンネルは、コントロール・レジスタのチャンネル・アドレス・ビットADD2～ADD0の設定によって選択します。入力を8つのシングルエンド入力、4つの真の差動入力ペア、4つの疑似差動入力、または7つの疑似差動入力として構成できます。アナログ入力の構成は、コントロール・レジスタのモード・ビット、ビット・モード1とビット・モード0の設定によって選択します。各入力チャンネルの入力レンジは、レンジ・レジスタを設定して制御します。±10V、±5V、±2.5V、0～+10Vのレンジを各アナログ入力チャンネルで選択できます（「レンジ・レジスタ」を参照）。パワーアップ時に、V <sub>IN0</sub> が自動的に選択され、このピン上の電圧がMUX <sub>OUT+</sub> から出力されます。

## 代表的な性能特性

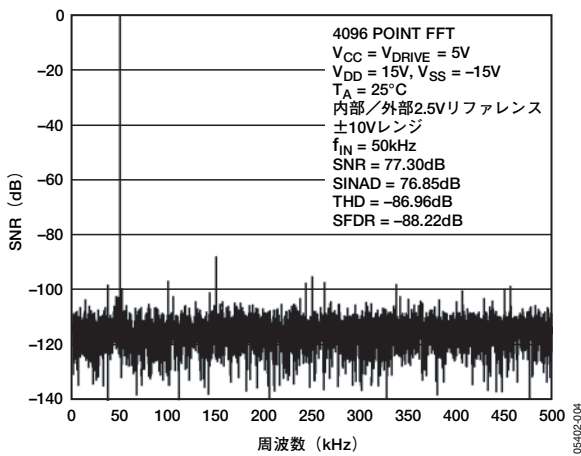


図4. 真の差動モード時のFFT

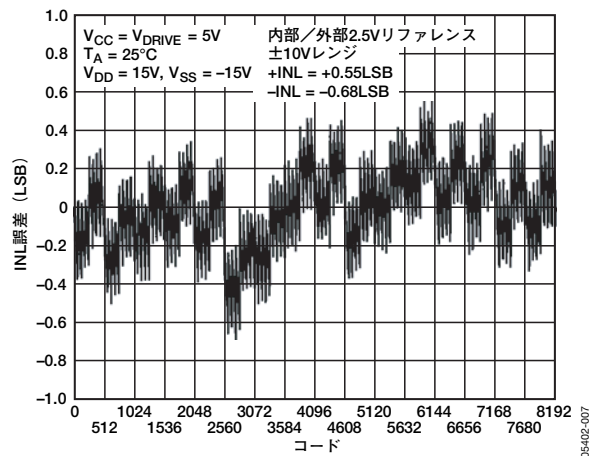


図7. 真の差動モード時の代表的なINL

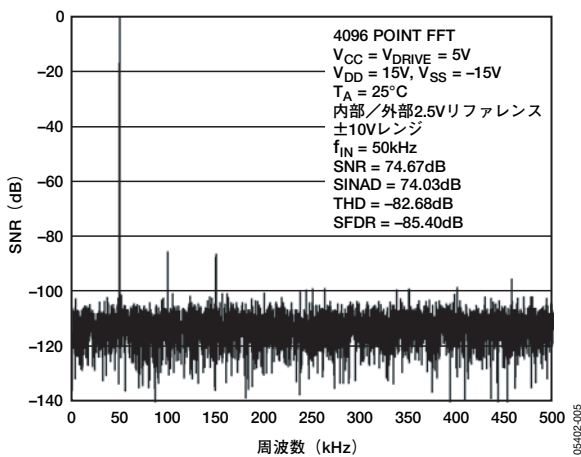


図5. シングルエンド・モード時のFFT

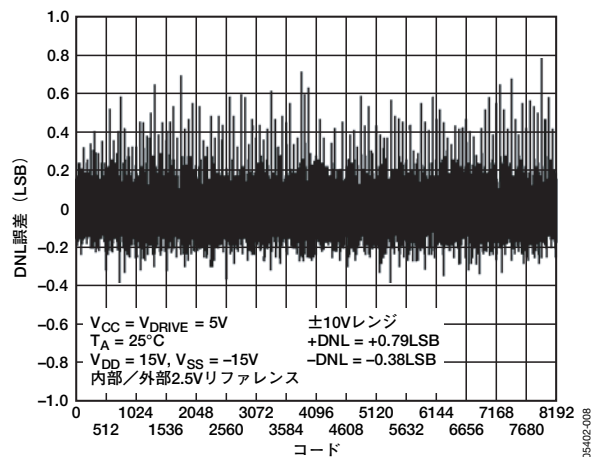


図8. シングルエンド・モード時の代表的なDNL

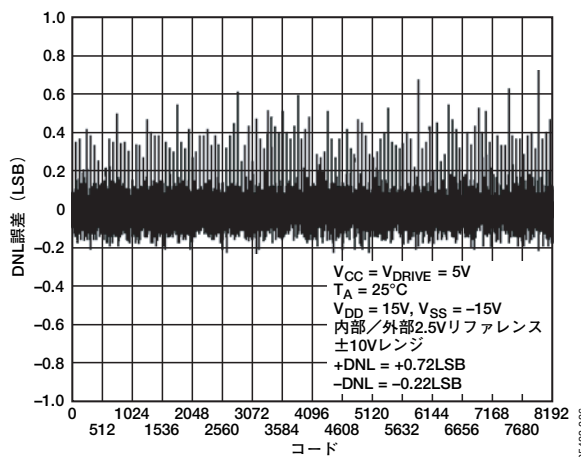


図6. 真の差動モード時の代表的なDNL

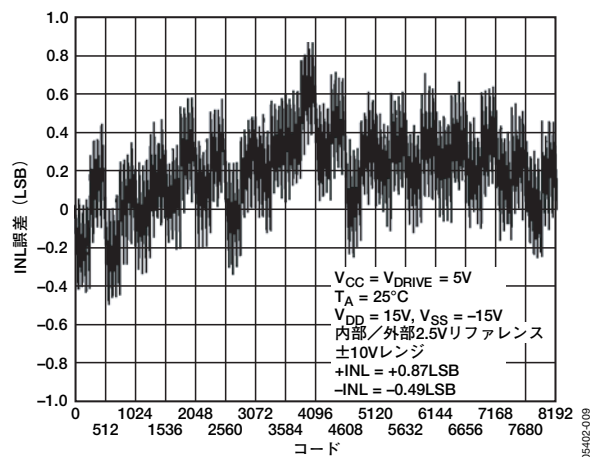


図9. シングルエンド・モード時の代表的なINL

# AD7329

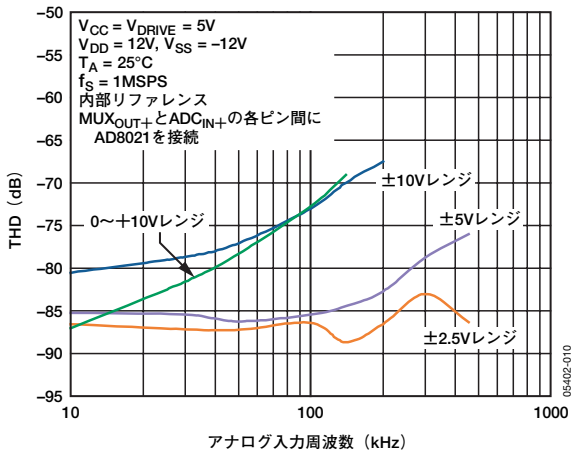


図10. アナログ入力周波数 対 THD  
(シングルエンド・モード (SE)、 $V_{CC}=5V$ )

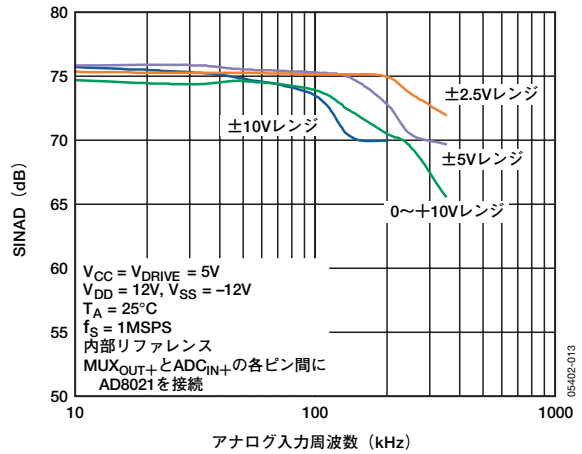


図13. アナログ入力周波数 対 SINAD  
(真の差動モード (DIFF)、 $V_{CC}=5V$ )

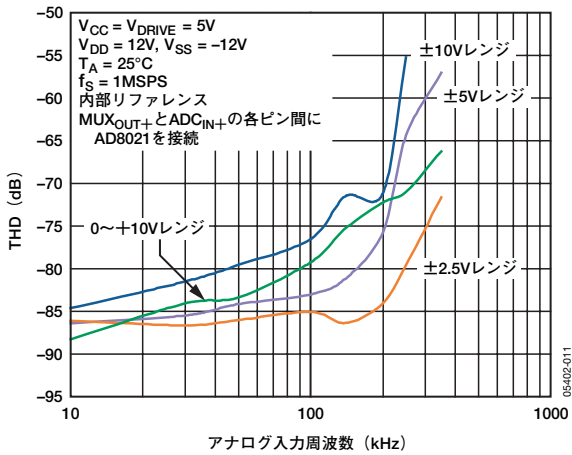


図11. アナログ入力周波数 対 THD  
(真の差動モード (DIFF)、 $V_{CC}=5V$ )

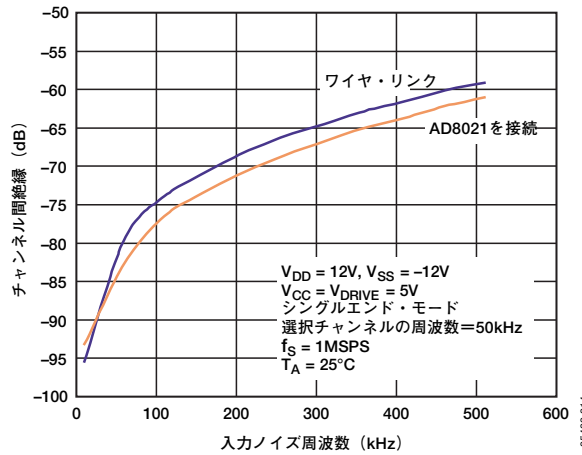


図14. チャンネル間絶縁 (MUX<sub>OUT+</sub>とADC<sub>IN+</sub>の各ピン間にAD8021を接続する場合と接続しない場合)

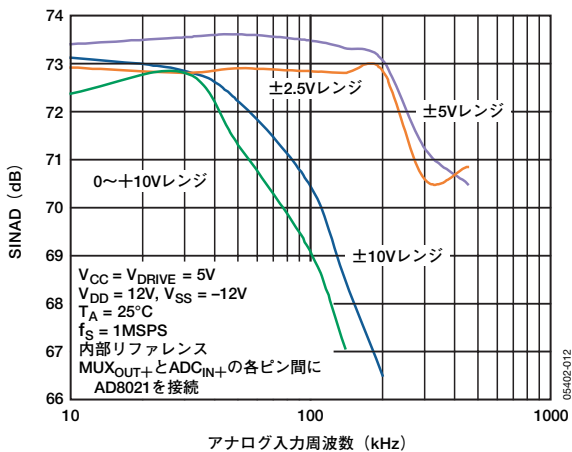


図12. アナログ入力周波数 対 SINAD  
(シングルエンド・モード (SE)、 $V_{CC}=5V$ )

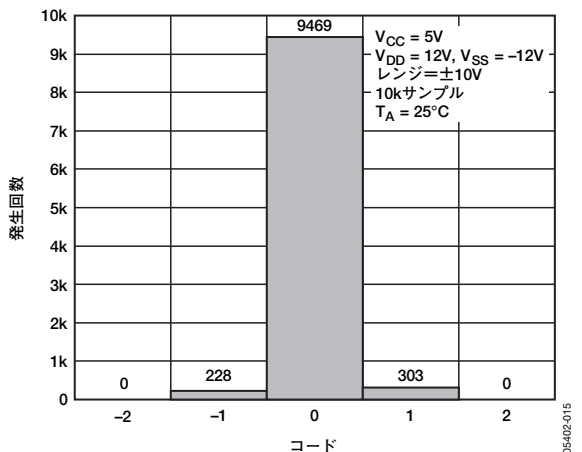


図15. コードのヒストグラム (真の差動モード)

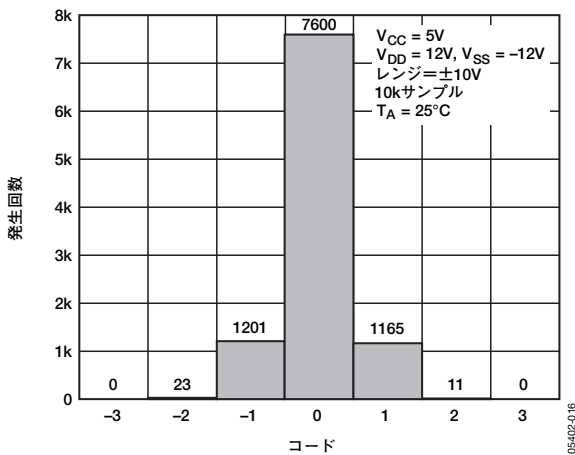


図16. コードのヒストグラム  
(シングルエンド・モード)

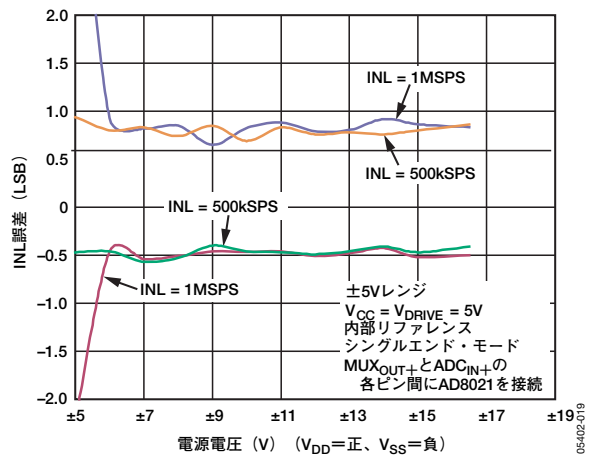


図19. 電源電圧 対 INL誤差  
(500kSPS、1MSPS)

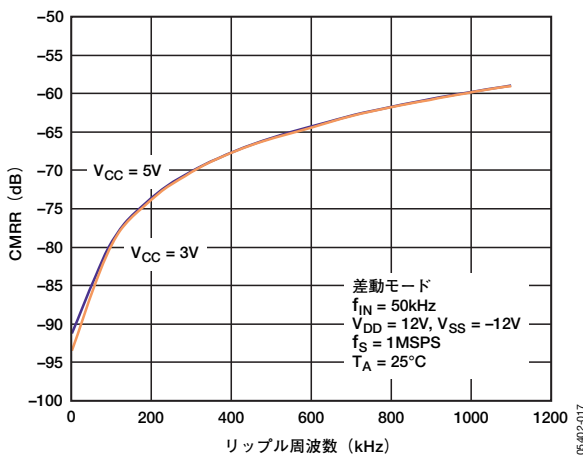


図17. 同相リップル周波数 対 CMRR

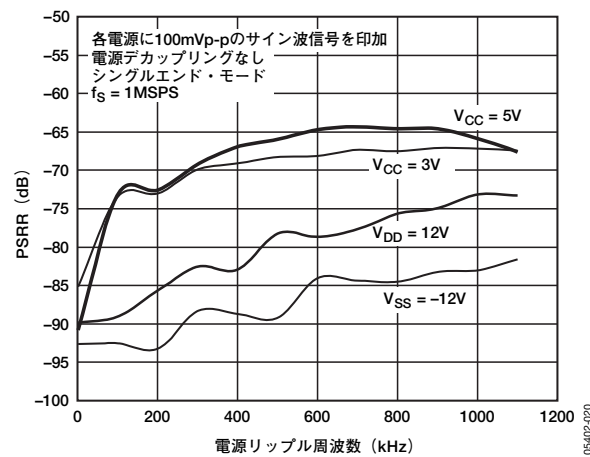


図20. 電源リップル周波数 対 PSRR  
(電源のデカップリングを行わない場合)

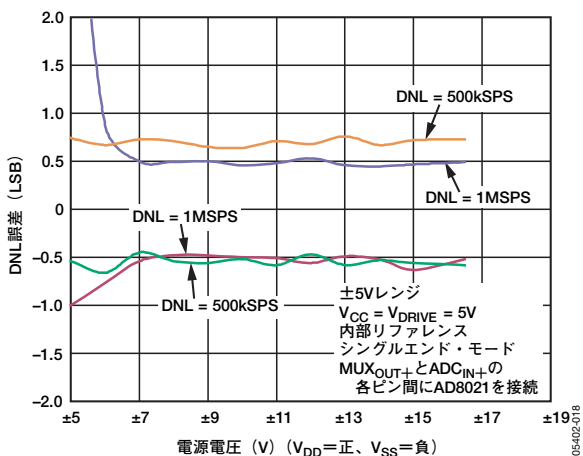


図18. 電源電圧 対 DNL誤差  
(500kSPS、1MSPS)

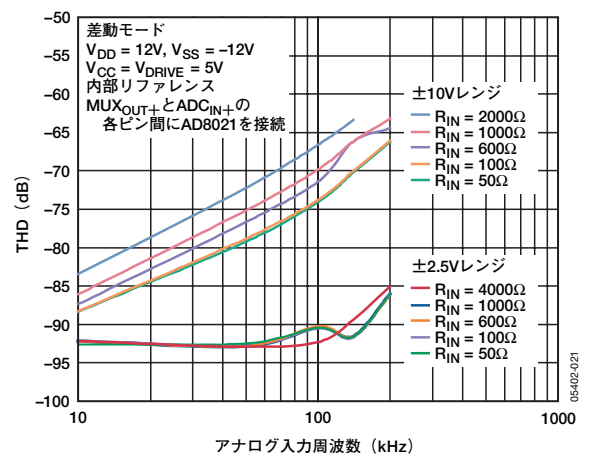


図21. さまざまな信号源インピーダンスでのアナ  
ログ入力周波数 対 THD (真の差動モード)

# AD7329

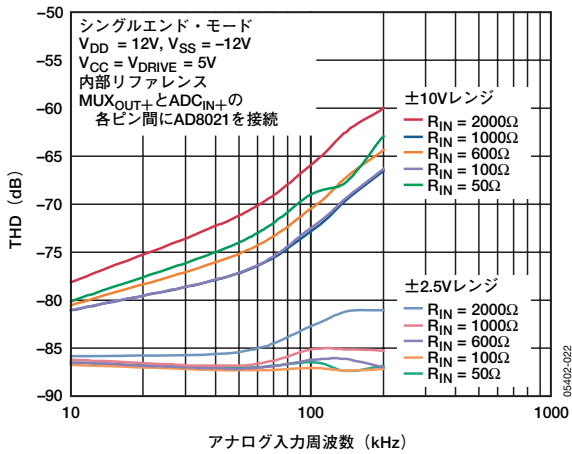


図22. さまざまな信号源インピーダンスでのアナログ入力周波数対THD (シングルエンド・モード)

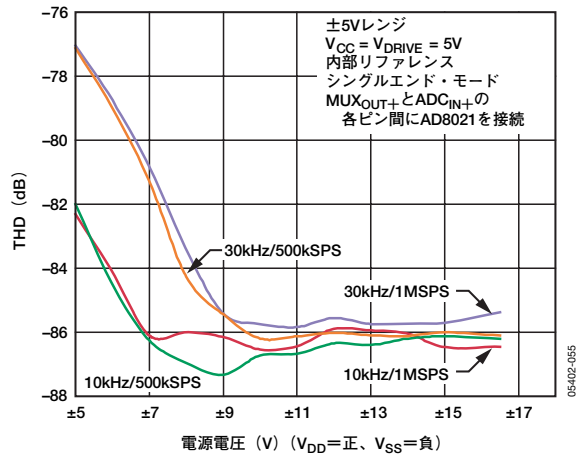


図23. 電源電圧対THD (500kSPSと1MSPSのスループット・レート、10kHzと30kHzの入力トーン周波数)

## 用語の説明

### 微分非直線性

ADCの2つの隣接コード間における1LSB変化の測定値と理論値の差をいいます。

### 積分非直線性

ADC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差をいいます。伝達関数のエンドポイントは、ゼロスケール（最初のコード遷移よりも1LSB下のポイント）とフルスケール（最後のコード遷移よりも1LSB上のポイント）です。

### オフセット・コード誤差

ストレート・バイナリ出力コーディングに適用されます。(00...000) から (00...001) までの最初のコード遷移と理論値 (AGND+1LSB) との偏差です。

### オフセット誤差マッチング

2つの入力チャンネル間でのオフセット誤差の差です。

### ゲイン誤差

ストレート・バイナリ出力コーディングに適用されます。オフセット誤差を調整した後の、最後のコード遷移 (111...110 から 111...111 まで) の理論値 ( $4 \times V_{REF} - 1LSB$ 、 $2 \times V_{REF} - 1LSB$ 、 $V_{REF} - 1LSB$ ) との偏差です。

### ゲイン誤差マッチング

2つの入力チャンネル間でのゲイン誤差の差です。

### バイポーラ・ゼロ・コード誤差

2の補数の出力コーディングとバイポーラ・アナログ入力を使用するときに適用されます。ミッドスケールの遷移 (オール1 から オール0 への遷移) と入力電圧の理論値 (AGND-1LSB) との偏差です。

### バイポーラ・ゼロ・コード誤差マッチング

2つの入力チャンネル間でのバイポーラ・ゼロ・コード誤差の差です。

### 正側フルスケール誤差

2の補数の出力コーディングとバイポーラ・アナログ入力レンジのうちいずれかを使用するときに適用されます。バイポーラ・ゼロ・コード誤差を調整した後の、最後のコード遷移 (011...110 から 011...111) と理論値 ( $4 \times V_{REF} - 1LSB$ 、 $2 \times V_{REF} - 1LSB$ 、 $V_{REF} - 1LSB$ ) との偏差です。

### 正側フルスケール誤差マッチング

2つの入力チャンネル間での正側フルスケール誤差の差です。

### 負側フルスケール誤差

2の補数の出力コーディングとバイポーラ・アナログ入力レンジのいずれかを使用するときに適用されます。バイポーラ・ゼロ・コード誤差を調整した後の、最初のコード遷移 (10...000 から 10...001) と理論値 ( $-4 \times V_{REF} + 1LSB$ 、 $-2 \times V_{REF} + 1LSB$ 、 $-V_{REF} + 1LSB$ ) の偏差です。

### 負側フルスケール誤差マッチング

2つの入力チャンネル間での負側フルスケール誤差の差です。

### トラック&ホールド・アクイジション時間

トラック&ホールド・アンプは、SCLKの14番目の立上がりエッジの後でトラック・モードに戻ります。トラック&ホールド・アクイジション時間とは、変換の終わりから、トラック&ホールド・アンプの出力が $\pm 1/2LSB$ 範囲内の最終値に到達するために必要な時間です。

### 信号/ノイズ&歪み

ADCの出力での信号/ノイズ&歪み比の測定値です。信号は、基本波のrms振幅です。ノイズは、DCを除き、サンプリング周波数の半分 ( $f_s/2$ ) までの非基本波信号の合計です。この比は、デジタル化プロセスにおける量子化レベルの数に依存し、レベルの数が多いほど量子化ノイズが小さくなります。サイン波入力での理想的なNビットのコンバータに対する理論的な信号/ノイズ&歪み比は、次式で得られます。

$$\text{信号/ノイズ\&歪み} = (6.02N + 1.76) \text{ dB}$$

したがって、13ビット・コンバータでは80.02dBです。

### 全高調波歪み

全高調波歪み (THD) は、高調波のrms値総和と基本波との比率です。AD7329の場合、次式で定義されます。

$$THD(\text{dB}) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

$V_1$ は基本波のrms振幅です。 $V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 、 $V_6$ は2次～6次高調波のrms振幅です。

### ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズは、ADC出力スペクトル内で2番目に大きい成分のrms値 (DCを除く  $f_s/2$  まで) と基本波のrms値との比です。通常、この仕様値はスペクトル内の最大の高調波によって決定されますが、高調波がノイズ・フロアに埋まっているADCの場合はノイズ・ピークとなります。

## AD7329

### チャンネル間絶縁

チャンネル間絶縁は、2つのチャンネル間のクロストークのレベルの測定値です。100kHzのフルスケールのサイン波信号を選択されていない全入力チャンネルに印加し、50kHzの信号を与えた選択チャンネルにおいて信号が減衰する量を測定したものです。図14に、AD7329の8チャンネルすべての最悪時のチャンネル間絶縁特性を示します。アナログ入力レンジは、選択したチャンネルで±2.5V、他のすべてのチャンネルで±10Vに設定してあります。

### 相互変調歪み

非直線性を持つアクティブ・デバイスに、2つの周波数 $f_a$ と $f_b$ のサイン波を入力すると、 $m f_a \pm n f_b$ という和と差の周波数で歪み成分が発生します ( $m, n=0, 1, 2, 3$ )。相互変調歪み項とは、 $m$ と $n$ がいずれも非ゼロの項をいいます。たとえば、2次項が $(f_a + f_b)$ と $(f_a - f_b)$ を含み、3次項が $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ を含む場合です。

AD7329は、入力帯域幅の上限に近い2つの入力周波数を使うCCIF標準を使ってテストされています。この場合、2次項は通常、元のサイン波の周波数から離れて位置し、3次項は通常、入力周波数に近い周波数に位置します。その結果、2次項と3次項は別々に指定されます。相互変調歪みの計算はTHDの仕様に従います。つまり、個々の歪み成分のrms総和と基本波の和のrms振幅との比で、dB値で表します。

### PSR (電源除去比)

電源の変動はフルスケールの遷移に影響を与えますが、コンバータの直線性には影響しません。電源除去比は、電源電圧の公称値からの変動によるフルスケール遷移点の最大変化量をいいます (「代表的な性能特性」を参照)。

### CMRR (同相ノイズ除去比)

CMRRは、フルスケール周波数 $f$ でのADC出力パワーと周波数 $f_s$ での $V_{IN+}$ と $V_{IN-}$ の同相電圧に印加した100mVのサイン波信号パワーの比と定義されます。以下の式で得られます。

$$CMRR(\text{dB}) = 10 \log(P_f/P_{f_s})$$

ここで、

$P_f$ は周波数 $f$ におけるADC出力のパワー、 $P_{f_s}$ は周波数 $f_s$ におけるADC出力のパワーです (図17を参照)。



## 動作原理

### 回路情報

AD7329は高速、8チャンネル、符号付12ビット、バイポーラ入力のシリアルA/Dコンバータです。±10V、±5V、±2.5Vのバイポーラ入力レンジの電圧を受け入れます。また、0～+10Vのユニポーラ入力レンジの電圧にも対応します。オンチップのレジスタを使用して、さまざまなアナログ入力レンジをアナログ入力チャンネルごとに設定できます。AD7329には、最大1MSPSのスループット・レートでの動作をサポートする高速シリアル・インターフェースが備わっています。

AD7329は、高電圧のアナログ入力構造用に $V_{DD}$ と $V_{SS}$ の両電源が必要です。これらの電源は、選択したアナログ入力レンジと同じか、またはそれ以上の電圧にする必要があります。各アナログ入力レンジに対する電源条件については、表6を参照してください。ADCコアの電源には、2.7～5.25Vの低電圧の $V_{CC}$ 電源が必要です。

表6. 各アナログ入力レンジに対するリファレンスと電源条件

選択したアナログ入力レンジ (V)	リファレンス電圧 (V)	フルスケール入力レンジ (V)	$V_{CC}$ (V)	$V_{DD}/V_{SS}$ の最小値 (V)
±10	2.5	±10	3/5	±10
	3.0	±12	3/5	±12
±5	2.5	±5	3/5	±5
	3.0	±6	3/5	±6
±2.5	2.5	±2.5	3/5	±5
	3.0	±3	3/5	±5
0～+10	2.5	0～+10	3/5	+10/AGND
	3.0	0～+12	3/5	+12/AGND

規定された性能仕様を満たすために、選択したアナログ入力レンジに最小の $V_{DD}$ および $V_{SS}$ 電源を使用してAD7329の設定を行う場合は、スループット・レートを最大レンジより低くしてください（「代表的な性能特性」を参照）。

アナログ入力は、8つのシングルエンド入力、4つの真の差動入力ペア、4つの疑似差動入力、または7つの疑似差動入力に構成できます。コントロール・レジスタのモード・ビット、モード0とモード1を設定して選択できます。

シリアル・クロック入力でデバイスのデータにアクセスしますが、これは逐次比較型ADC用のクロック・ソースにもなります。AD7329には、オンチップの2.5Vリファレンスがありますが、外部リファレンスによる動作も可能です。パワーアップ時のデフォルトは、外部リファレンス動作となっています。内部リファレンスの方がよい場合は、コントロール・レジスタのリファレンス・ビットに書き込み、内部リファレンス動作を選択してください。

AD7329には、変換と変換の間で消費電力を節約するパワーダウン・オプションもあります。「動作モード」で説明しますが、オンチップのコントロール・レジスタを設定してパワーダウン・モードを選択します。

### コンバータの動作

AD7329は、2個の容量性DACを中心とする逐次比較型A/Dコンバータです。図24と図25に、シングルエンド・モードでのADCのアクイジション・フェーズと変換フェーズの簡略図をそれぞれ示します。図26と図27には、差動モードでのADCのアクイジション・フェーズと変換フェーズの簡略図を示します。いずれの例でも、MUX<sub>OUT+</sub>ピンをADC<sub>IN+</sub>ピンに接続し、MUX<sub>OUT-</sub>ピンをADC<sub>IN-</sub>ピンに接続しています。ADCはコントロール・ロジック、SAR、容量性DACで構成されています。図24（アクイジション・フェーズ）では、SW2が閉じ、SW1がAの位置にスイッチし、コンパレータが平衡状態に保持されて、サンプリング・コンデンサ・アレイが入力信号を取り込みます。

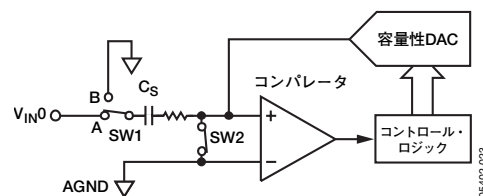


図24. ADCのアクイジション・フェーズ回路（シングルエンド）

ADCが変換を開始すると（図25）、SW2が開き、SW1がBの位置に移動することでコンパレータが不平衡の状態になります。コントロール・ロジックと電荷再分配DACを使用して、容量性DACに対し一定の電荷量の加算と減算を実行することで、コンパレータを平衡に戻します。コンパレータが再び平衡状態になると、変換が終了します。コントロール・ロジックがADCの出力コードを生成します。

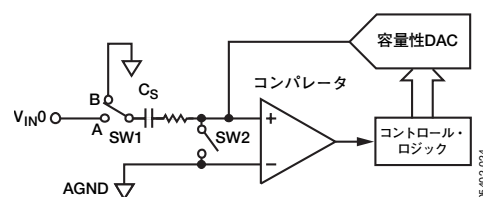


図25. ADCの変換フェーズ回路（シングルエンド）

# AD7329

アキュイジション・フェーズの差動構成回路を図26に示します。変換フェーズでは、SW3が開き、SW1とSW2がBの位置に移動します（図27を参照）。 $V_{IN+}$ ピンと $V_{IN-}$ ピンを駆動する信号源の出力インピーダンスをマッチングさせる必要があります。マッチングを行わないと、2つの入力のセトリング時間が異なり、誤差が発生します。

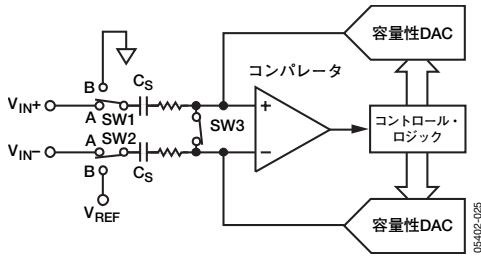


図26. ADCのアキュイジション・フェーズ時の差動構成回路

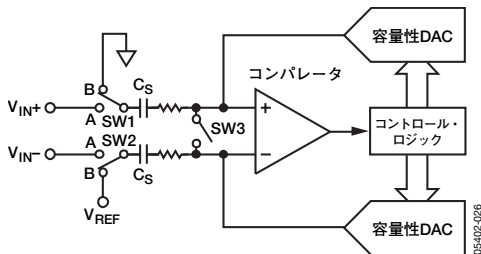


図27. ADCの変換フェーズ時の差動構成回路

## 出力コーディング

AD7329の出力コーディングは、デフォルトでは2の補数に設定されています。出力コーディングは、コントロール・レジスタのコーディング・ビットで制御します。出力コーディングをストレート・バイナリに変更するには、コントロール・レジスタのコーディング・ビットを設定する必要があります。シーケンス・モードの動作時は、シーケンスの各チャンネルの出力コーディングは、コントロール・レジスタの最後の書き込みでコーディング・ビットに書き込まれた値になります。

## 伝達関数

設計されているコード遷移は、連続する整数のLSB値（1LSB、2LSBなど）で発生します。LSBサイズは、選択したアナログ入力レンジによって異なります。

表7. 各アナログ入力レンジのLSBサイズ

入力レンジ	フルスケール・レンジ/ 8192コード	LSBサイズ
±10V	20V	2.441mV
±5V	10V	1.22mV
±2.5V	5V	0.61mV
0V~+10V	10V	1.22mV

2の補数の出力コーディングを選択した場合のAD7329の理想的な伝達特性を図28に示します。図29には、ストレート・バイナリの出力コーディングを選択した場合のAD7329の理想的な伝達特性を示します。

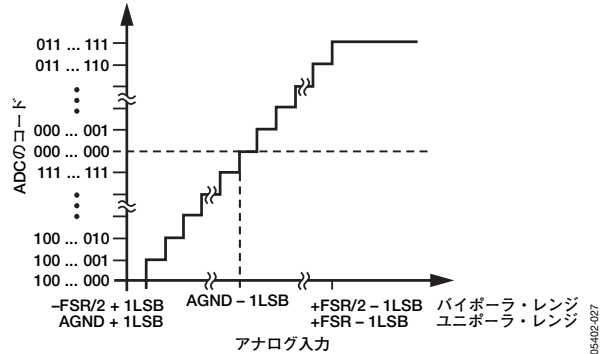


図28. 2の補数の場合の伝達特性（バイポーラ・レンジ）

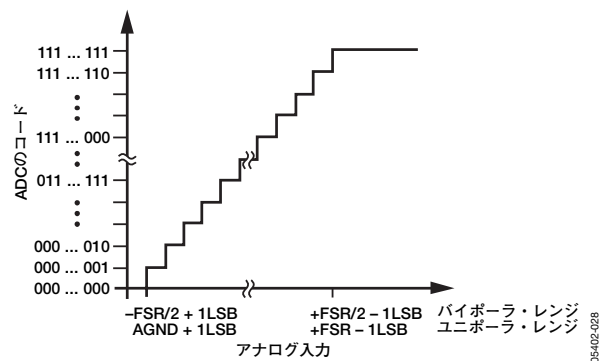


図29. ストレート・バイナリの場合の伝達特性（バイポーラ・レンジ）

## アナログ入力構造

「レジスタ」の表11に示すように、AD7329のアナログ入力にはコントロール・レジスタのモード・ビットを使用して、シングルエンド、真の差動、疑似差動に構成できます。AD7329は真のバイポーラ入力信号を受け入れます。パワーアップ時のアナログ入力は、8チャンネルのシングルエンド・アナログ入力として動作します。真の差動または疑似差動の入力が必要な場合は、パワーアップ後にコントロール・レジスタに書き込みを行い、設定を変更する必要があります。

図30に、シングルエンド・モードのAD7329のアナログ入力等価回路を示します。図31は、差動モードのアナログ入力構造等価回路です。アナログ入力のESD保護を行うために、2個のダイオードを使用しています。

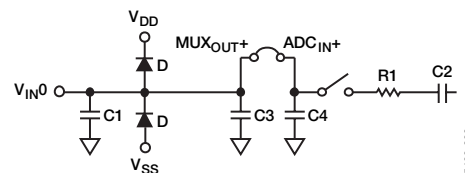


図30. アナログ入力等価回路（シングルエンド）

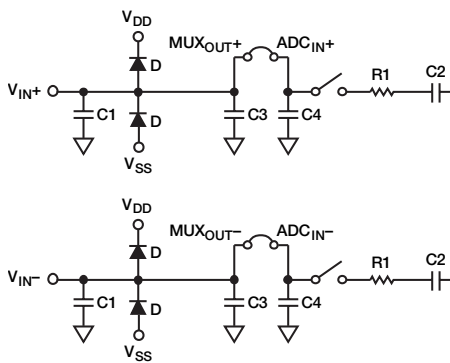


図31. アナログ入力等価回路 (差動)

アナログ入力が $V_{DD}$ と $V_{SS}$ の電源レールを300mV以上近づかないように注意してください。この値を超えると、ダイオードが順方向にバイアスされて、 $V_{DD}$ 電源レールか $V_{SS}$ 電源レールに導電し始めます。これらのダイオードが、AD7329に回復不能な損傷を引き起こさずに導電できる値は最大10mAです。

図30と図31に示すコンデンサC1の容量の代表値は4pFで、主にピン容量によって決まります。抵抗R1は、入力マルチプレクサとトラック&ホールド・スイッチのオン抵抗で構成された集中部品です。コンデンサC2はサンプリング・コンデンサで、その容量は選択したアナログ入力レンジによって異なります(「仕様」を参照)。

### トラック & ホールド部

AD7329のアナログ入力のトラック&ホールド・アンプによって、ADCはフルスケール振幅の入力サイン波を13ビットの精度で正しく変換します。トラック&ホールド・アンプの入力帯域幅は、ADCのナイキスト・レートより大きくなります。AD7329は、最大20MHzの周波数に対応します。

ADC<sub>IN</sub>ピンは、トラック&ホールド回路の入力段に直接接続されています。これは、ハイ・インピーダンス入力です。MUX<sub>OUT</sub>ピンを直接ADC<sub>IN</sub>ピンに接続すると、マルチプレクサ出力がトラック&ホールド回路に接続されます。ADC<sub>IN</sub>ピンの入力レンジは、選択した入力チャンネルに対応するレンジ・レジスタのビットによって決まります。ADC<sub>IN</sub>ピンの入力電圧が、選択した電圧範囲内に収まるようにしてください。

トラック&ホールド・アンプは、 $\overline{CS}$ の立下がりエッジ後のSCLKの14番目の立上がりエッジでトラック・モードに入ります。入力信号の取込みに必要な時間は、サンプリング・コンデンサがどの程度迅速に充電されるかに応じて異なります。信号源インピーダンスが0の場合は、13ビット・レベルで信号を取り込むには300nsあれば十分です。

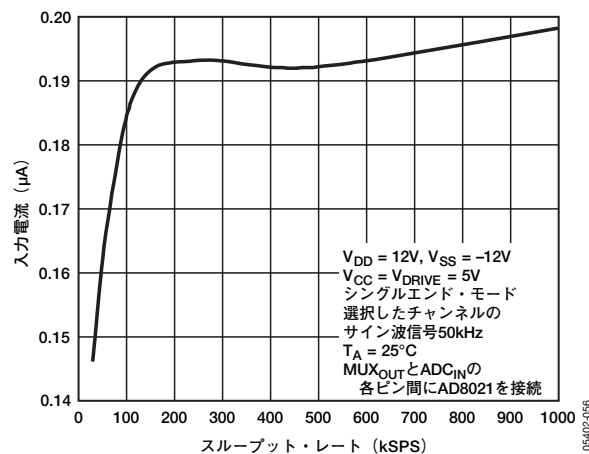
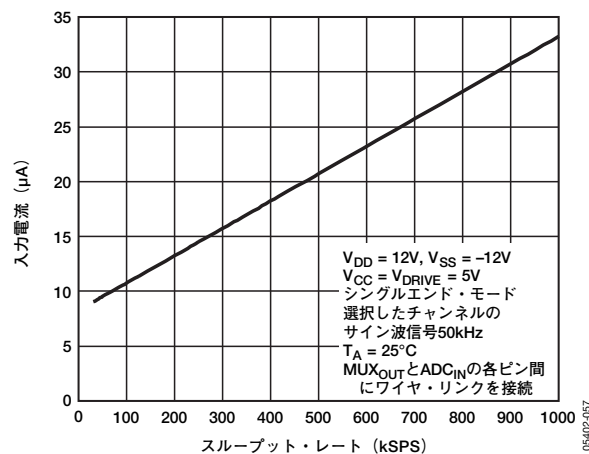
必要なアキュイジション時間は、以下の式を使って計算できます。

$$t_{ACQ} = 10 \times ((R_{SOURCE} + R)C)$$

上の式で、Cはサンプリング・コンデンサの容量、Rはトラック&ホールド・アンプから入力側を見た場合の抵抗値です。AD7329では、Rの値に入力マルチプレクサのオン抵抗値が含まれその値はtyp.で300Ωになります。R<sub>SOURCE</sub>には、アナログ入力上に生じる信号源インピーダンスを含めてください。

AD7329は、SCLKの14番目の立上がりエッジでトラック・モードに入ります。20MHzのSCLK信号により、1MSPSのスループット・レートでAD7329を動作させる場合、ADCは約1.5 SCLKサイクル+ $t_8$ +静止時間 $t_{QUIET}$ の時間でアナログ入力信号を取り込みます。ADCは、 $\overline{CS}$ の立下がりエッジでホールド・モードに戻ります。

MUX<sub>OUT</sub>ピンとADC<sub>IN</sub>ピンの間にオペアンプを外付けすると、このADCを駆動するために必要な電流は非常に小さくて済みます。これは、MUX<sub>OUT</sub>ピンとADC<sub>IN</sub>ピンの間に接続したオペアンプの入力インピーダンスが高いためです。図32で、これを確認できます。この図ではMUX<sub>OUT</sub>ピンとADC<sub>IN</sub>ピンの間にAD8021を接続することによって、AD7329の駆動に必要な電流が0.2μAより小さくなっています。

図32. スループット・レート対入力電流 (MUX<sub>OUT</sub>ピンとADC<sub>IN</sub>ピン間にAD8021を接続)図33. スループット・レート対入力電流 (MUX<sub>OUT</sub>ピンとADC<sub>IN</sub>ピン間にワイヤ・リンクを接続)

# AD7329

## 代表的な接続図

図34に、AD7329の代表的な接続図を示します。この回路構成では、AGNDピンをシステムのアナログ・グラウンド・プレーンに接続し、DGNDピンをデジタル・グラウンド・プレーンに接続しています。AD7329のアナログ入力は、シングルエンド、真の差動、疑似差動のいずれかのモードに設定できます。内部リファレンスまたは外部リファレンスによる動作が可能です。図34では、2.5Vの内部リファレンスで動作する構成になっています。内部リファレンスを使用する場合は、680nFのデカップリング・コンデンサが必要です。

V<sub>CC</sub>ピンを3Vまたは5Vの電源電圧に接続できます。V<sub>DD</sub>とV<sub>SS</sub>は、高電圧のアナログ入力構造部のための両電源です。これらのピンの電圧は、アナログ入力チャンネルで選択したアナログ入力レンジの最大値と同じか、それより高くしてください（詳細は表6を参照）。V<sub>DRIVE</sub>ピンは、マイクロプロセッサの電源電圧に接続します。V<sub>DRIVE</sub>入力に加える電圧によって、シリアル・インターフェースの動作電圧を制御します。

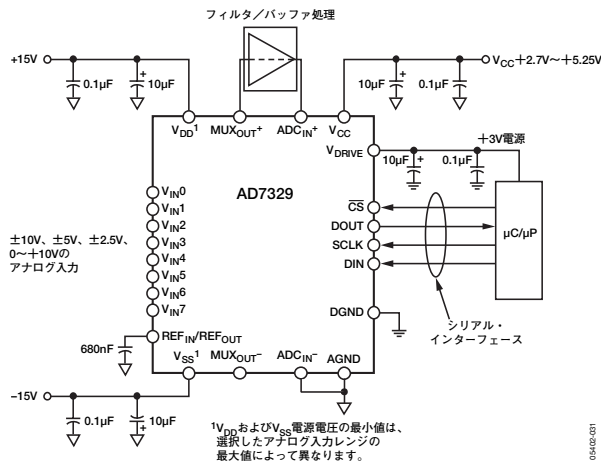


図34. 代表的な接続図（シングルエンド・モード）

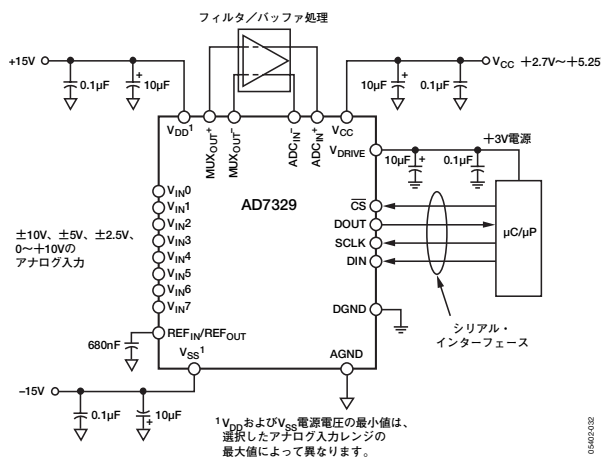


図35. 代表的な接続図（差動モード）

## アナログ入力

### シングルエンド入力

AD7329をシングルエンド・モードで動作させる場合、アナログ入力は合計8チャンネルになります。各アナログ入力を個別に4つの入力レンジのいずれかに設定できます。信号源インピーダンスの高いアプリケーションでは、信号をADCのアナログ入力に加える前にバッファすることを推奨します。図36に、シングルエンド・モードのAD7329の構成を示します。

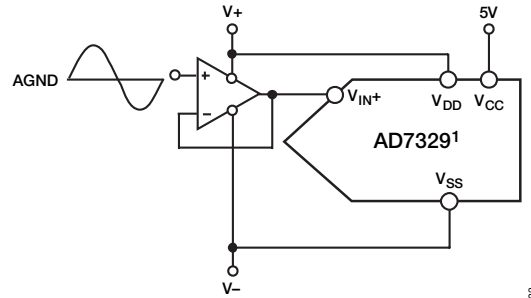


図36. シングルエンド・モードの代表的な接続図

### 真の差動モード

AD7329は、4チャンネルの真の差動アナログ入力ペアを構成できます。差動信号にはシングルエンド信号よりも優れた点があり、デバイスの同相ノイズ除去性能により高いノイズ耐性が得られ、歪み性能も改善できます。図37に、AD7329の真の差動アナログ入力構成を示します。

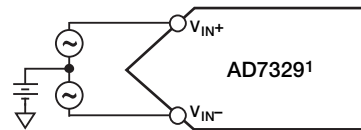


図37. 真の差動入力

差動信号の振幅は、各差動ペアのV<sub>IN+</sub>ピンとV<sub>IN-</sub>ピンに入力される信号の差になります（V<sub>IN+</sub> - V<sub>IN-</sub>）。振幅は選択した入力レンジによって異なりますが、同じ振幅で位相が180°異なる2つの信号でV<sub>IN+</sub>とV<sub>IN-</sub>を同時に駆動する必要があります。±4×V<sub>REF</sub>モードの場合、差動信号の振幅は同相電圧に関係なく-20~+20Vp-p（2×4×V<sub>REF</sub>）となります。

同相電圧は2つの信号の平均値であり、以下のように表されます。

$$(V_{IN+} + V_{IN-})/2$$

したがって、同相電圧は2つの入力信号の中心に相当する電圧です。

この電圧は外部から設定し、その範囲はリファレンス電圧によって変化します。リファレンス電圧を高くすると、同相電圧範囲が減少します。差動入力をアンプで駆動する場合、実際と同相電圧範囲はアンプの出力振幅によって決まります。差動入力をアンプで駆動しない場合は、 $V_{DD}$ 電源ピンと $V_{SS}$ 電源ピンの電源電圧によって、同相電圧範囲が決まります。

変換の実行中に同相電圧が除去され、その結果、 $-4096$ から $+4095$ までのデジタル・コードに対応して振幅が $-2 \times (4 \times V_{REF})$ から $+2 \times (4 \times V_{REF})$ までのノイズのない信号が得られます。

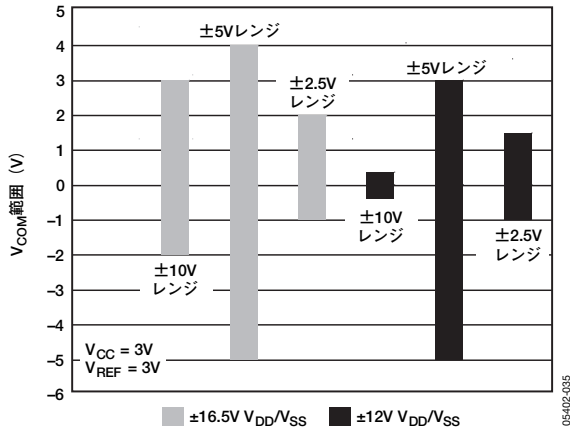


図38. 同相電圧範囲 ( $V_{CC}=3V$ 、 $REF_{IN}/REF_{OUT}=3V$ )

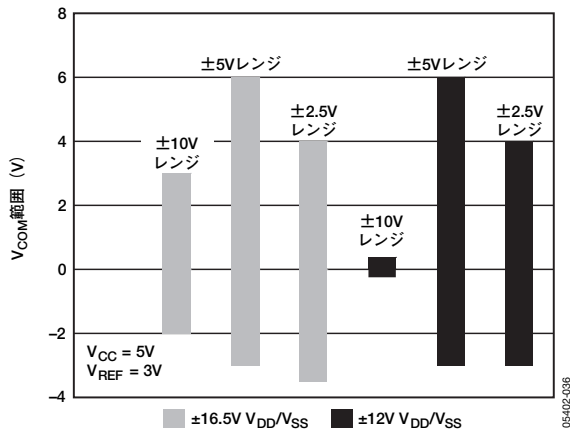


図39. 同相電圧範囲 ( $V_{CC}=5V$ 、 $REF_{IN}/REF_{OUT}=3V$ )

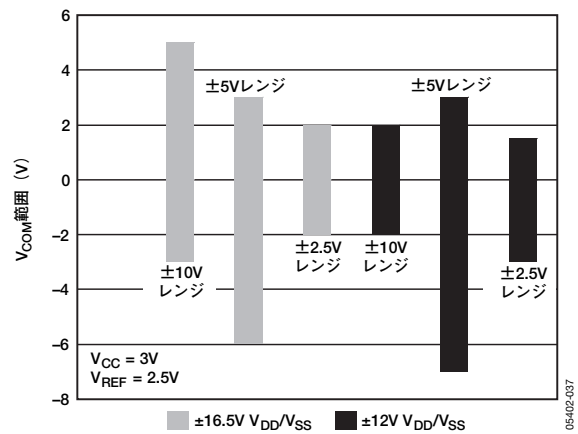


図40. 同相電圧範囲 ( $V_{CC}=3V$ 、 $REF_{IN}/REF_{OUT}=2.5V$ )

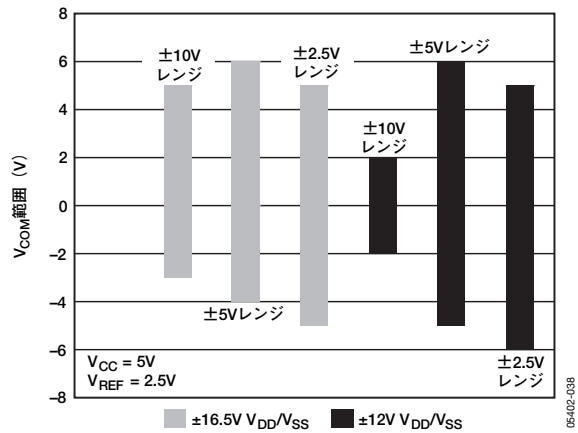


図41. 同相電圧範囲 ( $V_{CC}=5V$ 、 $REF_{IN}/REF_{OUT}=2.5V$ )

# AD7329

## 疑似差動入力

同じ  $V_{IN-}$  ピンを基準とする4チャンネルの疑似差動アナログ入力ペアまたは7チャンネルの疑似差動入力ペアでAD7329を動作させることができます。 $V_{IN+}$  入力は信号源に結合されるためレンジ・レジスタで設定した、該当チャンネルに選択した入力レンジ内の振幅する必要があります。 $V_{IN-}$  ピンにDC入力を加えます。このピンに入力された電圧は、グラウンドまたは疑似グラウンドからのオフセット電圧として  $V_{IN+}$  入力に供給されます。疑似差動入力は、アナログ入力信号グラウンドをADCのグラウンドから分離するため、DC同相電圧をキャンセルできます。図42に、AD7329の疑似差動モード構成を示します。

変換の実行時に、疑似グラウンドが-4096のコードに対応し、最大振幅が+4095のコードに対応します。

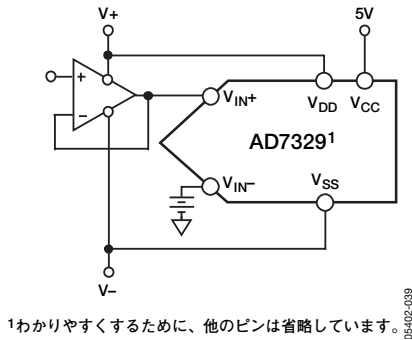


図42. 疑似差動入力

図43と図44に、疑似差動モードの場合の、各種アナログ入力レンジについての  $V_{IN-}$  ピンの代表的な電圧範囲を示します。

たとえば、AD7329を疑似差動モードに設定し、 $V_{DD} = +16.5V$ 、 $V_{SS} = -16.5V$ 、 $V_{CC} = 5V$ で  $\pm 5V$ の入力レンジを選択する場合、 $V_{IN-}$  ピンの電圧は  $-6.5 \sim +6.5V$ の範囲になります。

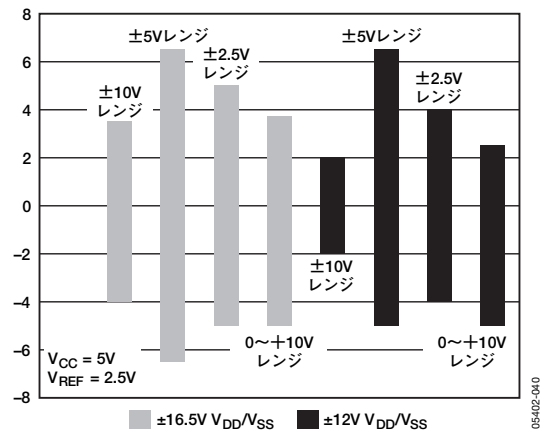


図43. 疑似差動入力レンジ ( $V_{CC} = 5V$ )

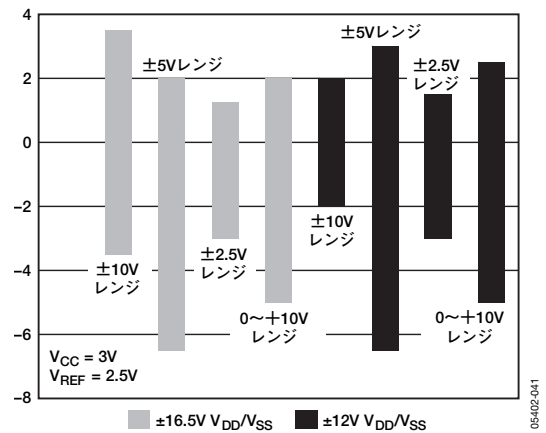


図44. 疑似差動入力レンジ ( $V_{CC} = 3V$ )

## ドライバ・アンプの選択

高調波歪みとS/N比が重要な仕様となるアプリケーションでは、AD7329のアナログ入力を低インピーダンスの信号源で駆動する必要があります。信号源インピーダンスが大きいと、ADCのAC性能に大きく影響するため、入力バッファ・アンプを使用しなければならないことがあります。

アナログ入力の駆動にアンプを使用しない場合は、信号源インピーダンスを低い値に制限してください。信号源インピーダンスの最大値は、アプリケーションで許容できるTHDの値によって異なります。信号源インピーダンスの増加に伴って、THDが高くなり、性能が低下します。図21と図22に、さまざまな信号源インピーダンスについてアナログ入力周波数とTHDの関係を示します。選択する入力レンジとアナログ入力構成によって異なりますが、最大4k $\Omega$ の信号源インピーダンスに対応できますが、それを超えるとTHDが低下し始めます。

AD7329ではアナログ入力の設定ができるため、入力の駆動に使用するオペアンプに何を选ぶかは対象となるアプリケーション次第であり、入力構成や選択したアナログ入力レンジによって異なります。

ドライバ・アンプは、AD7329の規定されたアキュイジション時間よりも早く、フルスケール・ステップの0.0122%に相当する13ビット・レベルにセトリングできなければなりません。シングルエンド・モードでは、AD8021などのオペアンプがこの条件を満たします。AD8021には、NPOタイプのコンデンサによる外部補償が必要です。デュアル・バージョンが必要な高周波数アプリケーションでは、AD8022を利用することも可能です。周波数をもっと低いアプリケーションでは、AD797、AD845、AD8610などのオペアンプをシングルエンド・モード構成で駆動アンプに利用できます。

表8. シングルエンド・モードでさまざまなオペアンプを使用する場合の代表的なAC性能

		バッファなし	AD845	AD8021	AD8610
±10V	SNR (dB)	74.24	74.03	73.78	73.88
	SNRD (dB)	72.42	74.88	72.11	71.98
	THD (dB)	-77.05	-75.95	-77.04	-76.47

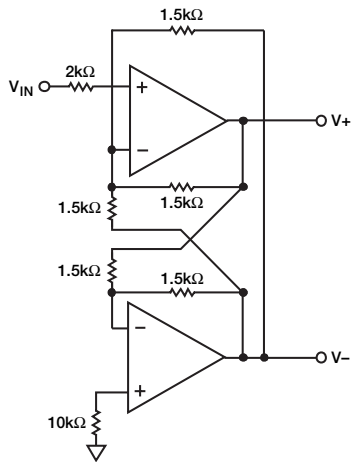
表9. 差動モードでさまざまなオペアンプを使用する場合の代表的なAC性能

		バッファなし	AD845	AD8021	AD8610
±10V	SNR (dB)	77.16	76.81	76.95	76.76
	SNRD (dB)	76.50	76.02	76.78	75.89
	THD (dB)	-84.91	-83.74	-90.55	-83.24

差動モードでは、位相が180°異なる同一振幅の2つの信号で $V_{IN+}$ と $V_{IN-}$ を同時に駆動する必要があります。同相電圧は、AD7329の外部で設定しなければなりません。同相電圧範囲は、 $REF_{IN}/REF_{OUT}$ 電圧、 $V_{CC}$ 電源電圧、アナログ入力の駆動に使用するアンプによって決まります。AC入力またはDC入力の差動モードでは、広範な周波数範囲で最良のTHD性能が得られます。すべてのアプリケーションで差動モード用に信号が事前に調整されているとは限らないため、場合によってシングルエンド/差動変換の実行が必要になることがあります。

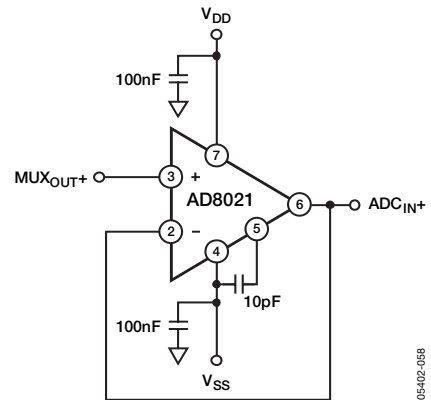
1組のオペアンプ・ペアを使用して、シングルエンド/差動変換を実行できます。図45と図46に、オペアンプ・ペアの代表的な接続図を示します。図45では、2番目のオペアンプの非反転入力に同相信号が加えられています。

# AD7329



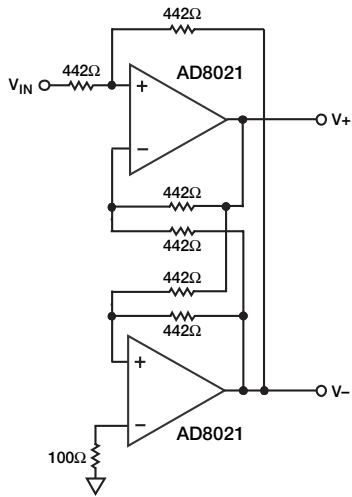
05402-042

図45. AD845を使用するシングルエンド／差動変換構成 (バイポーラ動作)



05402-058

図47. MUX\_OUTピンとADC\_INピン間にAD8021を接続した構成



05402-043

図46. AD8021を使用するシングルエンド／差動変換構成



## レジスタ

AD7329には、コントロール・レジスタ、シーケンス・レジスタ、レンジ・レジスタ1、レンジ・レジスタ2の4個のプログラマブル・レジスタがあります。いずれも、書込み専用レジスタです。

### レジスタのアドレス指定

AD7329のシリアル転送動作は、16SCLKサイクルです。16SCLKの転送時にDINライン上の3個のMSBがデコードされ、これによってアドレス指定するレジスタを決めます。3個のMSBは、書込みビット、レジスタ選択1ビット、レジスタ選択2ビットで構成されます。4個の内蔵レジスタのどれを選択するかは、レジスタ選択ビットで決めます。書込みビットは、レジスタ選択ビットでアドレス指定されたレジスタにDINライン上のデータをロードするか否かを決定します。書込みビットが1の場合は、レジスタ選択ビットでアドレス指定されたレジスタにビット値がロードされます。書込みビットが0の場合、DINライン上のデータはどのレジスタにもロードされません。

表10. レジスタ選択ビットと書込みビットのデコーディング

書込みビット	レジスタ選択1ビット	レジスタ選択2ビット	説明
0	0	0	このシリアル転送中はDINライン上のデータを無視します。
1	0	0	この組み合わせで、コントロール・レジスタを選択します。後に続く12ビットがコントロール・レジスタにロードされます。
1	0	1	この組み合わせで、レンジ・レジスタ1を選択します。後に続く8ビットがレンジ・レジスタ1にロードされます。
1	1	0	この組み合わせで、レンジ・レジスタ2を選択します。後に続く8ビットがレンジ・レジスタ2にロードされます。
1	1	1	この組み合わせで、シーケンス・レジスタを選択します。後に続く8ビットがシーケンス・レジスタにロードされます。

# AD7329

## コントロール・レジスタ

コントロール・レジスタを使用して、アナログ入力チャンネル、アナログ入力構成、リファレンス、出力コーディング、パワー・モードを選択します。コントロール・レジスタは書き込み専用の12ビット・レジスタです。DINライン上にロードされたデータが、次の変換でのAD7329の設定に対応します。シーケンス・レジスタを使用する場合は、レンジ・レジスタとシーケンス・レジスタの初期化を終えた後、コントロール・レジスタにデータをロードしてください。表11に、コントロール・レジスタのビットの機能を示します（パワーアップ時は、全ビット0です）。

MSB													LSB		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
書き込み	レジスタ 選択 1	レジスタ 選択 2	ADD2	ADD1	ADD0	モード1	モード0	PM1	PM0	コーディング	リファ レンス	シーケ ンス1	シーケ ンス2	微弱 / スリーステート	0

表11. コントロール・レジスタの詳細

ビット	記号	説明
12, 11, 10	ADD2, ADD1, ADD0	この3個のチャンネル・アドレス・ビットを使用して、シーケンサを使用しない場合に次の変換を実行するアナログ入力チャンネルを選択します。シーケンサを使用する場合は、この3個のチャンネル・アドレス・ビットは、連続的なシーケンスの最後のチャンネルを選択します。
9, 8	モード1, モード0	この2個のモード・ビットを使用して、 $V_{IN0} \sim V_{IN7}$ の8本のアナログ入力ピンの設定を選択します。これらのピンは、チャンネル・アドレス・ビットと共に使用します。AD7329は、アナログ入力を8つのシングルエンド入力、4つの完全差動入力ペア、4つの疑似差動入力、7つの疑似差動入力に構成できます（表12を参照）。
7, 6	PM1, PM0	パワー・マネジメント・ビットを使用して、AD7329に用意されているさまざまなパワー・モード・オプションを選択します（表13を参照）。
5	コーディング	このビットを使用して、AD7329で次の変換結果に適用される出力コーディングのタイプを選択します。このビットが0の場合、出力コーディングは2の補数です。1の場合は、出力コーディングとしてストレート・バイナリが選択されます。シーケンス・モードの動作時は、コントロール・レジスタの最後の書き込みの間にコーディング・ビットに書き込まれた値によって各チャンネルの出力コーディングを選択します。
4	リファレンス	リファレンス・ビットを使用して、内部リファレンスをイネーブルまたはディスエーブルにします。このビットが0の場合、外部リファレンスがイネーブルになって、次の変換に使用され、内部リファレンスはディスエーブルに設定されます。このビットが1の場合は、内部リファレンスが次の変換に使用されます。シーケンス・モードの動作時には、各チャンネルで使用されるリファレンスは、コントロール・レジスタの最後の書き込みの間にリファレンス・ビットに書き込まれた値になります。
3, 2	シーケンス1 / シーケンス2	シーケンス1ビットとシーケンス2ビットを使用して、シーケンサの動作を制御します（表14を参照）。
1	微弱 / スリーステート	このビットで、現在のシリアル転送が終了した時点のDOUTラインの状態を選択します。このビットが1の場合、DOUTラインは次の変換のチャンネル・アドレス・ビットADD2によって若干ドライブされます。このビットが0の場合、DOUTラインはシリアル転送の終了時にスリーステートに戻ります（「シリアル・インターフェース」を参照）。

8チャンネルのアナログ入力を7つの疑似差動アナログ入力、4つの疑似差動入力、4つの真の差動入力ペア、または8つのシングルエンド・アナログ入力に構成できます。

表12. アナログ入力構成の選択

チャンネル・アドレス・ ビット			モード1=1、 モード0=1		モード1=1、 モード0=0		モード1=0、 モード0=1		モード1=0、 モード0=0	
			7つの疑似差動入力		4つの完全差動入力		4つの疑似差動入力		8つのシングルエンド入力	
ADD2	ADD1	ADD0	$V_{IN+}$	$V_{IN-}$	$V_{IN+}$	$V_{IN-}$	$V_{IN+}$	$V_{IN-}$	$V_{IN+}$	$V_{IN-}$
0	0	0	$V_{IN0}$	$V_{IN7}$	$V_{IN0}$	$V_{IN1}$	$V_{IN0}$	$V_{IN1}$	$V_{IN0}$	AGND
0	0	1	$V_{IN1}$	$V_{IN7}$	$V_{IN0}$	$V_{IN1}$	$V_{IN0}$	$V_{IN1}$	$V_{IN1}$	AGND
0	1	0	$V_{IN2}$	$V_{IN7}$	$V_{IN2}$	$V_{IN3}$	$V_{IN2}$	$V_{IN3}$	$V_{IN2}$	AGND
0	1	1	$V_{IN3}$	$V_{IN7}$	$V_{IN2}$	$V_{IN3}$	$V_{IN2}$	$V_{IN3}$	$V_{IN3}$	AGND
1	0	0	$V_{IN4}$	$V_{IN7}$	$V_{IN4}$	$V_{IN5}$	$V_{IN4}$	$V_{IN5}$	$V_{IN4}$	AGND
1	0	1	$V_{IN5}$	$V_{IN7}$	$V_{IN4}$	$V_{IN5}$	$V_{IN4}$	$V_{IN5}$	$V_{IN5}$	AGND
1	1	0	$V_{IN6}$	$V_{IN7}$	$V_{IN6}$	$V_{IN7}$	$V_{IN6}$	$V_{IN7}$	$V_{IN6}$	AGND
1	1	1	温度インジケータ		$V_{IN6}$	$V_{IN7}$	$V_{IN6}$	$V_{IN7}$	$V_{IN7}$	AGND

表13. パワー・モードの選択

PM1	PM0	説明
1	1	フルシャットダウン・モード。このモードでは、AD7329の内部回路がすべてパワーダウンします。フルシャットダウン・モードのときも、コントロール・レジスタに格納されている情報は保持されます。
1	0	自動シャットダウン・モード。AD7329は、コントロール・レジスタの更新時にSCLKの15番目の立上がりエッジで自動シャットダウン・モードに入ります。このモードでは、内部回路がすべてパワーダウンします。
0	1	自動スタンバイ・モード。このモードでは、内部リファレンスを除くすべての内部回路がパワーダウンします。AD7329は、コントロール・レジスタの更新後、SCLKの15番目の立上がりエッジで自動スタンバイ・モードに入ります。
0	0	ノーマル・モード。すべての内部回路が常時パワーアップ状態になります。

表14. シーケンスの選択

シーケンス1	シーケンス2	説明
0	0	チャンネル・シーケンスを使用しません。コントロール・レジスタのADD2~ADD0ビットを設定して選択したアナログ・チャンネルが、次の変換のチャンネルを選択します。
0	1	シーケンス・レジスタで予め設定したチャンネル・シーケンスが変換に適用されます。AD7329は、シーケンスの中で番号の最も小さいチャンネルから変換を開始し、昇順でチャンネルの変換を実行します。動作が中断されない限り、AD7329はこのシーケンスで変換を続けます。各チャンネルの入力レンジは、該当するレンジ・レジスタに予め書き込んだ値にデフォルトで設定されます。
1	0	このビット設定は、コントロール・レジスタのチャンネル・アドレス・ビットと共に使用します。これにより、チャンネル0からコントロール・レジスタのチャンネル・アドレス・ビットで選択した最後のチャンネルまで、連続的なチャンネル・シーケンスで連続的に変換を実行できます。各チャンネルの入力レンジは、該当するレンジ・レジスタに予め書き込んだ値にデフォルトで設定されます。
1	1	チャンネル・シーケンスを使用しません。コントロール・レジスタのADD2~ADD0ビットを設定して選択したアナログ・チャンネルが、次の変換チャンネルを選択します。

# AD7329

## シーケンス・レジスタ

AD7329のシーケンス・レジスタは、8ビットの書き込み専用レジスタです。シーケンス・レジスタでは、8チャンネルのアナログ入力のそれぞれに該当ビットが1つずつ割り当てられます。シーケンスに入れるチャンネルを選択する場合は、シーケンス・レジスタで該当するチャンネル・ビットを1に設定します。

MSB

LSB

16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
書き込み	レジスタ選択 1	レジスタ選択 2	V <sub>IN0</sub>	V <sub>IN1</sub>	V <sub>IN2</sub>	V <sub>IN3</sub>	V <sub>IN4</sub>	V <sub>IN5</sub>	V <sub>IN6</sub>	V <sub>IN7</sub>	0	0	0	0	0

## レンジ・レジスタ

レンジ・レジスタを使用して、アナログ入力チャンネルごとにアナログ入力レンジを1つ選択します。チャンネル0~3の入力レンジを設定するときは、レンジ・レジスタ1を使用します。これは8ビットの書き込み専用レジスタで、チャンネル0~3のアナログ入力チャンネルのそれぞれに専用の入力レンジ・ビットが2つずつ割り当てられています。±10V、±5V、±2.5V、0~+10Vの4つのアナログ入力レンジがあります。書き込みビットを1とし、レンジ選択ビットに0と1を設定することによって、レンジ・レジスタ1への書き込みを選択します。レンジ・レジスタ1に最初に書き込みを行った後は、アナログ入力を選択するたびに、AD7329はアナログ入力をレンジ・レジスタ1の設定に従って適切なレンジに自動的に設定します。各アナログ入力チャンネルでは、±10Vの入力レンジがデフォルトで選択されています（表15を参照）。

MSB

LSB

16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
書き込み	レジスタ選択 1	レジスタ選択 2	V <sub>IN0A</sub>	V <sub>IN0B</sub>	V <sub>IN1A</sub>	V <sub>IN1B</sub>	V <sub>IN2A</sub>	V <sub>IN2B</sub>	V <sub>IN3A</sub>	V <sub>IN3B</sub>	0	0	0	0	0

チャンネル4~7の入力レンジを設定するときは、レンジ・レジスタ2を使用します。これは8ビットの書き込み専用レジスタで、チャンネル4~7のアナログ入力チャンネルのそれぞれに専用の入力レンジ・ビットが2つずつ割り当てられています。±10V、±5V、±2.5V、0~+10Vの4つのアナログ入力レンジがあります。レンジ・レジスタ2に最初に書き込みを行った後は、アナログ入力を選択するたびに、AD7329はアナログ入力をレンジ・レジスタ2の設定に従って適切なレンジに自動的に設定します。各アナログ入力チャンネルでは、±10Vの入力レンジがデフォルトで選択されています（表15を参照）。

MSB

LSB

16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
書き込み	レジスタ選択 1	レジスタ選択 2	V <sub>IN4A</sub>	V <sub>IN4B</sub>	V <sub>IN5A</sub>	V <sub>IN5B</sub>	V <sub>IN6A</sub>	V <sub>IN6B</sub>	V <sub>IN7A</sub>	V <sub>IN7B</sub>	0	0	0	0	0

表15. 入力レンジの選択

V <sub>INxA</sub>	V <sub>INxB</sub>	説明
0	0	この組み合わせで、V <sub>INx</sub> に±10Vの入力レンジを選択します。
0	1	この組み合わせで、V <sub>INx</sub> に±5Vの入力レンジを選択します。
1	0	この組み合わせで、V <sub>INx</sub> に±2.5Vの入力レンジを選択します。
1	1	この組み合わせで、V <sub>INx</sub> に0~+10Vの入力レンジを選択します。

## シーケンサ動作

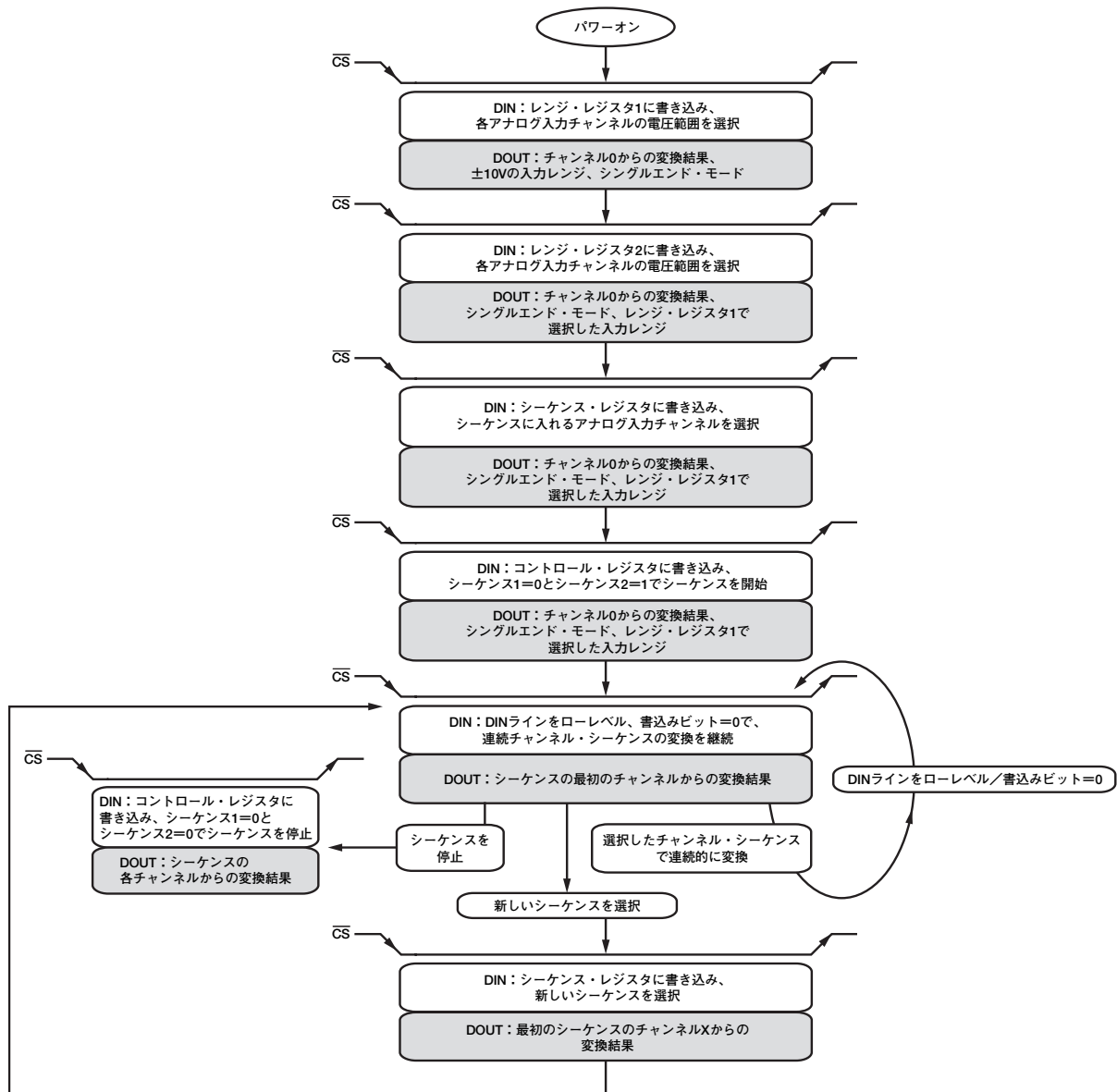


図48. プログラマブル・シーケンスのフローチャート

AD7329は、オンチップのシーケンス・レジスタとコントロール・レジスタのシーケンス1とシーケンス2の各ビットを使用して、選択した複数のチャンネルで連続的な変換サイクルを自動的に実行するように設定できます。図48に、AD7329レジスタをシーケンサ動作モードに設定する方法を示します。

パワーアップ後、4個のオンチップ・レジスタにはデフォルト値が入っています。各アナログ入力レンジのデフォルト値は±10Vです。これとは異なる入力レンジが必要な場合は、レンジ・レジスタに書き込む必要があります。これが、図48の最初の2回のシリアル転送動作です。

この最初の2回のシリアル転送動作は、デフォルト・レンジ以外の入力レンジが必要な場合のみ行います。アナログ入力レンジの設定が完了した後、シーケンス・レジスタに書き込んで、シーケンスに入れるチャンネルを選択する必要があります。シーケンスに入れるチャンネルを選択した後は、コントロール・レジスタへの書き込みと、シーケンス1=0、シーケンス2=1にすることで、シーケンスを開始できます。シーケンス・レジスタに変更がなく、コントロール・レジスタがシーケンス1=0、シーケンス2=1のままである限り、AD7329は選択されたシーケンスの変換を中断することなく継続します。

# AD7329

シーケンスの実行中に、レンジ・レジスタの1つを変更する必要がある場合は、まずコントロール・レジスタへの書き込みと、シーケンス1=0、シーケンス2=0にすることでシーケンスを停止する必要があります。次いで、レンジ・レジスタに書き込みを行って、必要な入力レンジに変更してください。その後、コントロール・レジスタへの書き込みと、シーケンス1=0、シーケンス2=1に設定することで、以前に選択したシーケンスを再開します。ADCはシーケンスの最初のチャンネルの変換を実行します。

AD7329は、連続するチャンネルの変換シーケンスを実行するように設定できます(図49を参照)。シーケンスは、チャンネル0の変換から開始し、コントロール・レジスタのADD2~ADD0ビットで選択した最後のチャンネルで終了します。この設定では、シーケンス・レジスタに書き込みを行う必要はありません。AD7329をこのモードで動作させるには、コントロール・レジスタのシーケンス1=1、シーケンス2=0に設定し、次にコントロール・レジスタのADD2~ADD0ビットの設定によってシーケンスの最後のチャンネルを選択します。

AD7329をこのモードで動作させる設定がコントロール・レジスタで完了すれば、DINラインをローレベルに保持するか、書き込みビットを0に設定できます。従来のマルチチャンネル動作に戻るときには、コントロール・レジスタへの書き込みでシーケンス1=0、シーケンス2=0にする必要があります。

シーケンス1とシーケンス2を両方0または1に設定すると、AD7329は従来のマルチチャンネル・モードで動作するように設定されます。この場合、コントロール・レジスタのチャンネル・アドレス・ビットADD2~ADD0への書き込みで、次の変換チャンネルを選択します。

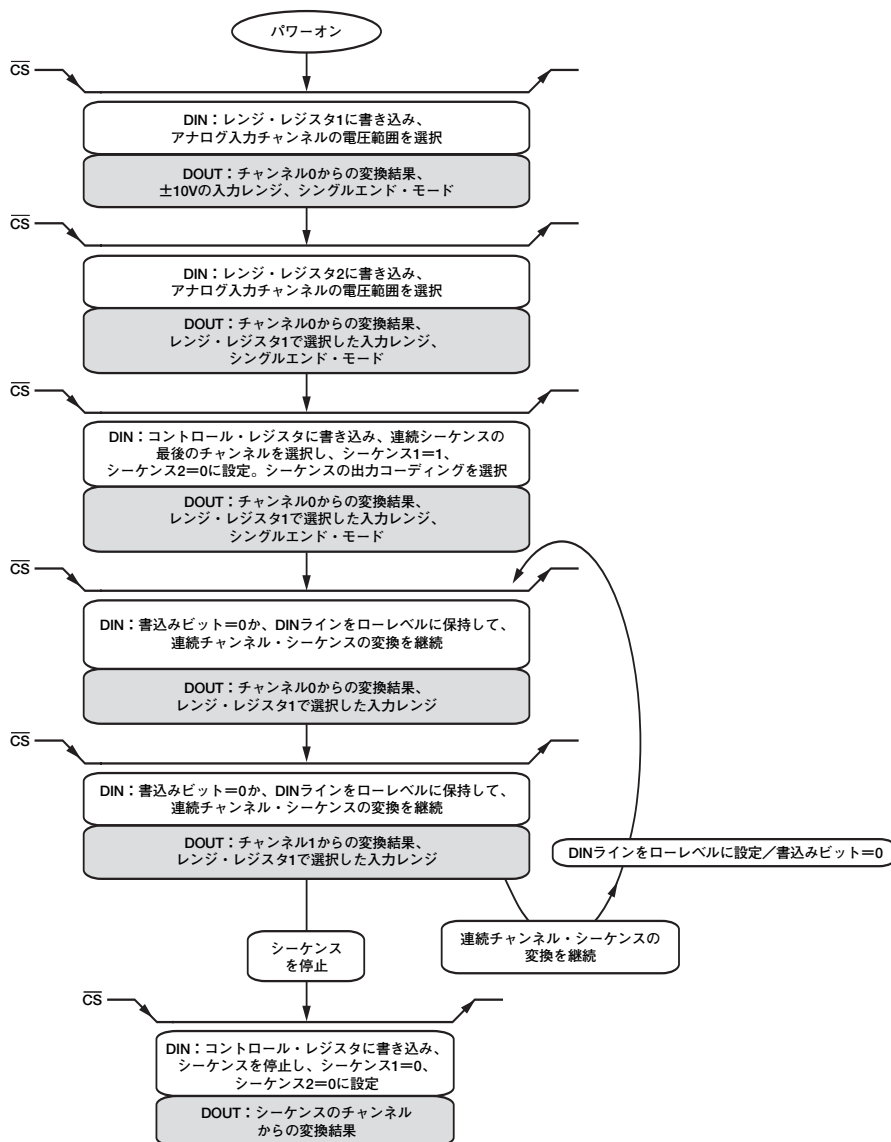


図49. 連続チャンネル・シーケンスのフローチャート

05402-9/05

## リファレンス

AD7329は2.5Vの内部オンチップ・リファレンス、または外部リファレンスによる動作が可能です。内部リファレンスは、コントロール・レジスタのリファレンス・ビットを1に設定して選択します。パワーアップ時のデフォルトはリファレンス・ビットは0で、AD7329の変換には外部リファレンスを使用するモードになっています。AD7329に適した外部リファレンスとしては、AD780、AD1582、ADR431、REF193、ADR391があります。

内部リファレンス回路は、2.5Vのバンドギャップ・リファレンスとリファレンス・バッファで構成されています。AD7329を内部リファレンス・モードで動作させるときは、REF<sub>IN</sub>/REF<sub>OUT</sub>ピンから2.5Vの内部リファレンス電圧が供給されます。このピンは、680nFのコンデンサを使用して、AGNDに対してデカップリングしてください。内部リファレンス電圧はシステム内部の他の回路に供給する場合はバッファすることを推奨します。内部リファレンスは、最大90μAまでの電流をソースできます。

ADCの変換に内部リファレンスが必要な場合は、パワーアップ時にコントロール・レジスタに書き込みを行い、リファレンス・ビットを1に設定する必要があります。コントロール・レジスタの書き込み動作中は、最初の変換で得られた結果が無効になります。リファレンス・バッファは、パワーアップするまでに500μs必要で、パワーアップ時間中に680nFのデカップリング・コンデンサを充電します。

AD7329は、2.5~3Vのリファレンス・レンジで仕様規定されています。3Vのリファレンスを選択する場合、レンジは±12V、±6V、±3V、0~+12Vとなります。これらのレンジでは、V<sub>DD</sub>とV<sub>SS</sub>の各電源を、選択したアナログ入力レンジの最大値と同じか、それ以上にする必要があります。

## V<sub>DRIVE</sub>

AD7329には、シリアル・インターフェースの動作電圧を制御するV<sub>DRIVE</sub>機能があります。V<sub>DRIVE</sub>機能によって、ADCは3Vおよび5V電源動作のプロセッサに簡単に接続できます。たとえば、5VのV<sub>CC</sub>でAD7329を動作させる場合でも、3V電源からV<sub>DRIVE</sub>ピンに電源を供給できます。このため、AD7329は大きいバイポーラ入力信号を受け入れながら、低電圧のデジタル信号処理を実行できます。

## 温度インジケータ

AD7329には、オンチップの温度インジケータがあります。温度インジケータを使用して、AD7329上でローカルな温度計測を実行できます。温度インジケータを使用するには、モード1=モード0=1の設定でADCを疑似差動モードにし、チャンネル・ビットADD2、ADD1、ADD0をすべて1に設定します。V<sub>IN7</sub>をAGNDに接続するか、または選択したアナログ入力レンジに対して規定された疑似差動入力レンジ内の小さなDC電圧に接続する必要があります。この設定で変換が開始されると、出力コードが温度を示します（図50を参照）。AD7329の温度インジケータを使用する場合は、±2.5Vのレンジで約30kSPSなどスループット・レートを低くしてAD7329を動作させてください。温度インジケータ・モードでは通常よりも長いアキュジション時間を必要とするため、スループット・レートが低速になります。

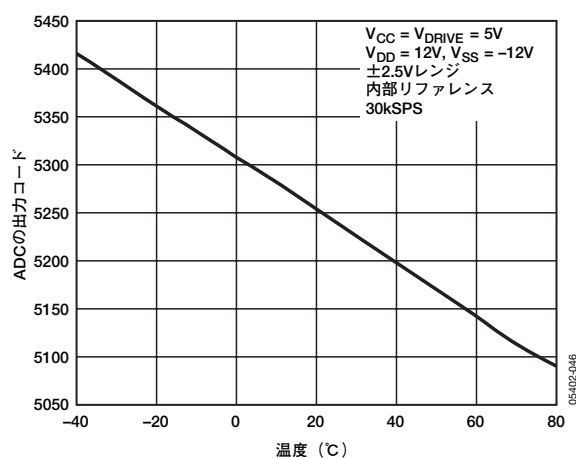


図50. ADCの出力コードの温度特性 (±2.5Vレンジ)

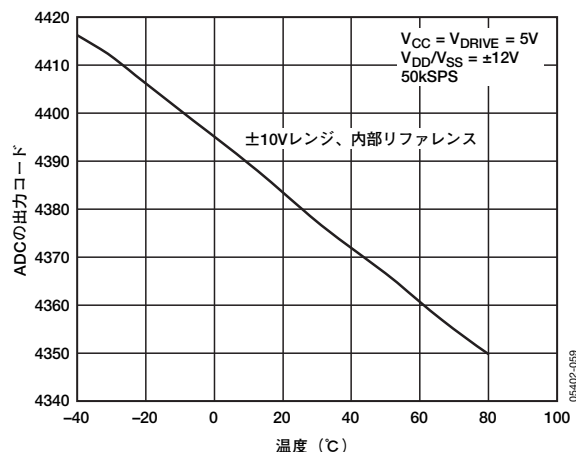


図51. ADCの出力コードの温度特性 (±10Vレンジ)

## 動作モード

AD7329には、フレキシブルなパワー・マネジメント・オプションを提供する動作モードがいくつかあります。これらのオプションを選択して、さまざまなアプリケーション条件に対応するように消費電力/スループット・レート比を最適化できます。表13に示すように、コントロール・レジスタのパワー・マネジメント・ビットPM1とPM0を使用して、AD7329の動作モードを制御します。デフォルト・モードはノーマル・モードで、内部回路のすべてが完全にパワーアップします。

### ノーマル・モード

(PM1=PM0=0)

AD7329が常時フルパワーアップ状態で、最高速のスループット・レート性能を実現するためのモードです。図52に、ノーマル・モード時のAD7329の動作の概要を示します。

「シリアル・インターフェース」で説明するように、 $\overline{CS}$ の立下がりエッジで変換を開始し、トラック&ホールド部がホールド・モードになります。書き込みビットが設定されていれば、16 SCLKの転送サイクル時にDINライン上のデータがオンチップ・レジスタのいずれかにロードされます。レジスタ選択ビットを設定して、レジスタを選択します（表10を参照）。

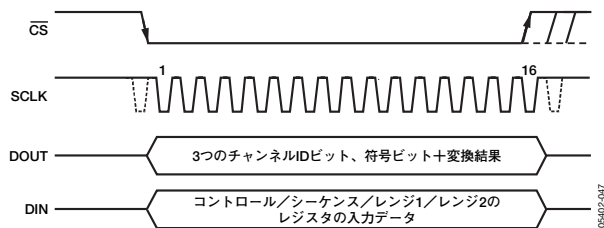


図52. ノーマル・モード

コントロール・レジスタでPM1とPM0をいずれも0に設定すると、AD7329は変換の終了後もフルパワーアップの状態のままになります。

変換を完了し、変換結果にアクセスするには、16サイクルのシリアル・クロックが必要です。変換の終了から次の変換が開始されるまで、 $\overline{CS}$ をハイレベルまたはローレベルのアイドル状態にできます。

データ転送が完了すると、静止時間 $t_{\text{QUIET}}$ が経過した後、次の変換を開始できます。

### フルシャットダウン・モード

(PM1=PM0=1)

AD7329のすべての内部回路がパワーダウンするモードです。フルシャットダウン中でもレジスタ内の情報は保持されます。コントロール・レジスタのパワー・マネジメント・ビットPM1とPM0を変更するまで、AD7329はフルシャットダウン・モードのままです。

コントロール・レジスタの書き込みでPM1=1、PM0=1にすると、フルシャットダウン・モードになります。AD7329は、コントロール・レジスタの更新後、SCLKの15番目の立上がりエッジでフルシャットダウン・モードに入ります。

AD7329がフルシャットダウン・モード中に、コントロール・レジスタへの書き込みでパワー・マネジメント・ビットPM1とPM0が0（ノーマル・モード）に設定されると、コントロール・レジスタの更新後、SCLKの15番目の立上がりエッジでパワーアップ状態に戻ります。図53に、AD7329がどのようにフルシャットダウン・モードを終了するかを示します。AD7329を確実にフルパワーアップにするには、パワーアップ時間 $t_{\text{POWER-UP}}$ が経過してから $\overline{CS}$ の次の立下がりエッジが生じる必要があります。

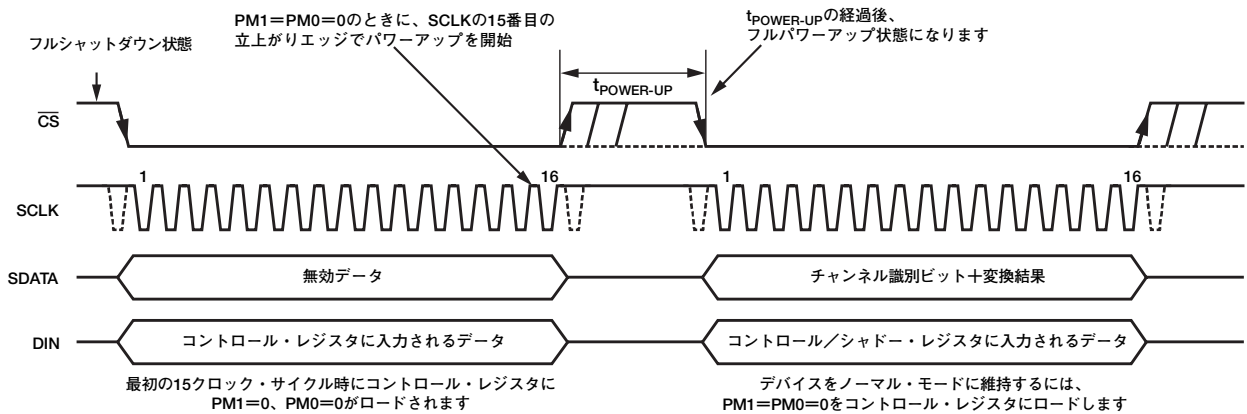


図53. フルシャットダウン・モードの終了



## 自動シャットダウン・モード

(PM1=1、PM0=0)

自動シャットダウン・モードを選択すると、AD7329はSCLKの15番目の立上がりエッジで自動的にシャットダウン状態になります。自動シャットダウン・モードでは、すべての内部回路がパワーダウンします。自動シャットダウン中、レジスタの情報は保持されます。トラック&ホールド部は、自動シャットダウン中、ホールド・モードになります。 $\overline{CS}$ の立上がりエッジで、シャットダウン中ホールド・モードになっていたトラック&ホールド部がトラック・モードに復帰し、AD7329がパワーアップを開始します。自動シャットダウンからパワーアップするまでの時間は、500 $\mu$ sです。

コントロール・レジスタを自動シャットダウン・モードに移行するように設定すると、SCLKの15番目の立上がりエッジでこのモードに入ります。図54に、AD7329が自動シャットダウン・モードに入るタイミングを示します。 $\overline{CS}$ の立上がりエッジでAD7329は自動的にパワーアップを開始します。 $t_{POWER-UP}$ の時間が経過した後、 $\overline{CS}$ 信号がローレベルになることで有効な変換が始まります。有効な変換が完了すると、SCLKの15番目の立上がりエッジでAD7329は再びパワーダウンします。自動シャットダウン・モードを維持するには、 $\overline{CS}$ 信号を再びローレベルに保持する必要があります。

## 自動スタンバイ・モード

(PM1=0、PM0=1)

自動スタンバイ・モードでは、AD7329の一部がパワーダウンしますが、オンチップのリファレンスはパワーアップ状態のままです。オンチップのリファレンスをイネーブルにするには、コントロール・レジスタのリファレンス・ビットを1に設定してください。このモードは自動シャットダウン・モードに似ていますが、AD7329を迅速にパワーアップし、スループット・レートを高くすることができます。

自動シャットダウン・モードの場合と同じく、コントロール・レジスタの更新後、SCLKの15番目の立上がりエッジでAD7329がスタンバイ・モードに入ります（図54を参照）。スタンバイ中に、情報はレジスタに保持されます。AD7329は $\overline{CS}$ の立上がりエッジを受信するまで、スタンバイ状態のままです。 $\overline{CS}$ の立上がりエッジで、ADCは自動的にパワーアップを開始します。 $\overline{CS}$ の立上がりエッジで、スタンバイ中にホールド・モードになっていたトラック&ホールドがトラックに復帰します。

スタンバイ・モードからのパワーアップ時間は、750nsです。必ず750nsが経過してから、 $\overline{CS}$ 信号をローレベルにして有効な変換を開始するようにしてください。有効な変換が完了すれば、SCLKの15番目の立上がりエッジでAD7329は再びスタンバイ・モードに戻ります。スタンバイ・モードを維持するには、 $\overline{CS}$ 信号をローレベルに保持する必要があります。

図54に、AD7329が自動シャットダウン・モードに入るタイミングを示しています。これは、AD7329が自動スタンバイ・モードに入るときと同じプロセスになります。図54では、パワー・マネジメント・ビットを自動シャットダウンに設定しています。自動スタンバイ・モードを選択するときは、PM1とPM0をそれぞれ0と1に設定してください。

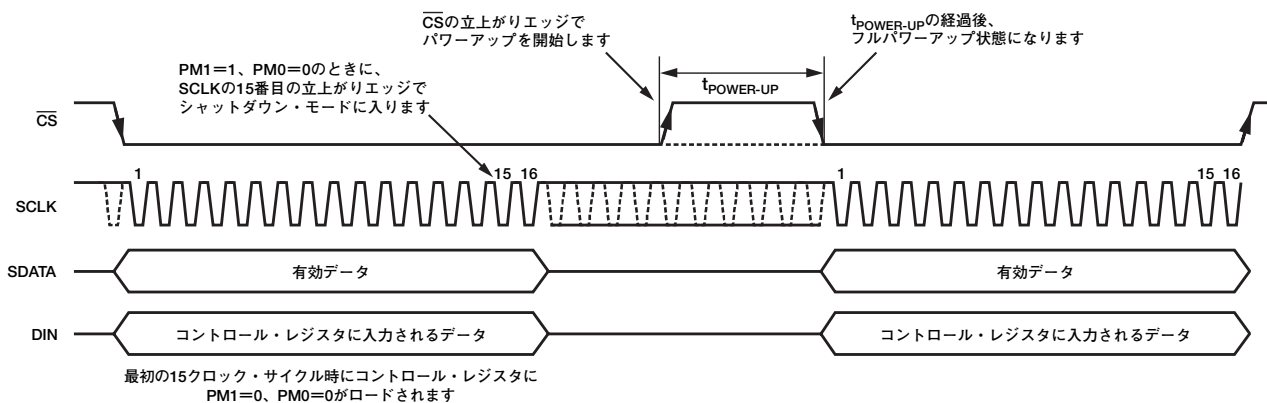


図54. 自動シャットダウン/自動スタンバイ・モードの開始

05402-049

# AD7329

## スループット・レートと消費電力の関係

AD7329の消費電力は、スループット・レートにともなって変化します。AD7329の静止時の消費電力はごくわずかで、スループット・レートを低くすると消費電力を大きく節約できます。図55と図56に、それぞれ3Vと5Vの $V_{CC}$ を使用する場合のAD7329のスループット・レートと消費電力の関連特性を示します。2つのグラフから、サンプル周波数が低くなると、AD7329の平均消費電力が大幅に低減することが明らかにわかります。これは、固定SCLK値を使用する場合もサンプリング周波数に対応させてSCLKをスケールする場合も同じです。図55と図56に、20MHzに固定したSCLKを使用する場合と、サンプリング周波数に応じてSCLKを変化させた場合のノーマル・モード時の消費電力を示します。

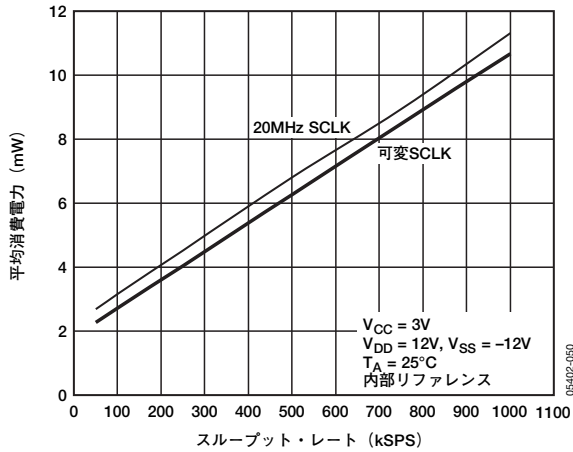


図55. スループット・レートと消費電力の関係 ( $V_{CC}=3V$ )

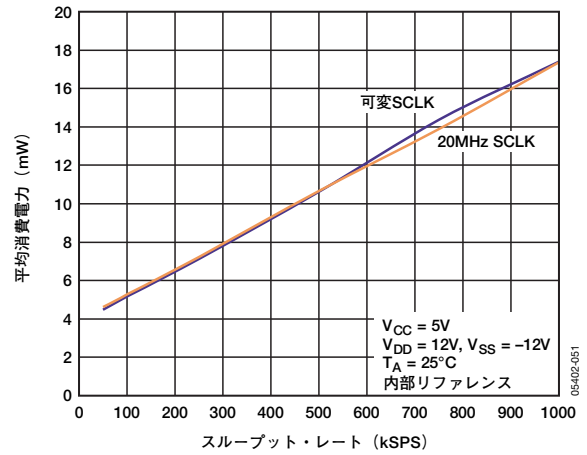


図56. スループット・レートと消費電力の関係 ( $V_{CC}=5V$ )

## シリアル・インターフェース

図57に、AD7329のシリアル・インターフェースのタイミング図を示します。SCLKピンへのシリアル・クロックが変換クロックとなり、変換中にAD7329との間の情報の転送を制御します。

$\overline{CS}$ 信号がデータの転送と変換プロセスを開始します。 $\overline{CS}$ の立下がりエッジで、トラック&ホールド部がホールド・モードに入り、バスのスリーステート状態が終了します。次いで、アナログ入力信号がサンプリングされます。変換が開始されてから終了するまで、16SCLKサイクルが必要です。

SCLKの14番目の立上がりエッジでトラック&ホールド部がトラック・モードに戻ります。SCLKの16番目の立下がりエッジで、DOUTラインがスリーステート状態に戻ります。16SCLKサイクルが経過しないうちに $\overline{CS}$ の立上がりエッジが発生すると、変換が終了し、DOUTラインがスリーステートの状態に戻ります。 $\overline{CS}$ をハイレベルにするかどうかによって、アドレス指定されたレジスタを更新できます。

データは、SCLKの立下がりエッジでAD7329にクロック入力されます。DINライン上の3個のMSBをデコードして、どのレジスタのアドレスを指定するかを選択します。コントロール・レジスタは12ビットのレジスタです。3個のMSBでコントロール・レジスタのアドレスを指定すると、SCLKの15番目の立下がりエッジでDINライン上のデータがコントロール・レジスタにロードされます。シーケンス・レジスタかいずれかのレンジ・レジスタのアドレスを指定する場合は、SCLKの11番目の立下がりエッジでDINライン上のデータがアドレス指定されたレジスタにロードされます。

SCLKの立下がりエッジのたびに、変換データがAD7329からクロック出力されます。DOUTライン上のデータは、3個のチャンネル識別ビット、符号ビット、12ビットの変換結果で構成されています。チャンネル識別ビットを使用して、変換結果がどのチャンネルに対応するかを示します。

コントロール・レジスタで微弱／スリーステート・ビットが設定されている場合、SCLKの16番目の立下がりエッジで真のスリーステートに戻らずに、DOUTラインは次のシリアル転送のADD3に対応するロジック・レベルに微弱に引き込まれます。これによって、 $\overline{CS}$ の立下がり後のSCLKの最初の立下がりエッジに間に合うように次のシリアル転送のMSBがセットアップされます。微弱／スリーステート・ビットを0に設定し、変換終了後から次の変換開始までの間DOUTラインが真のスリーステートに戻る場合は、AD7329に接続しているプロセッサによって異なりますが、プロセッサがADD3ビットをクロック出力できる時間までにADD3ビットを有効にできます。微弱／スリーステート・ビットを1に設定する場合は、前の変換以降、DOUTラインはADD3にドライブされていますが、非常に微弱にドライブされているため別のデバイスがバスを制御することもできます。10k $\Omega$ のプルアップまたはプルダウン抵抗くらいでもADD3のロジック・レベルをオーバードライブするのに十分であるため、このことによってバスの競合が生じることはありません。変換の終了後DOUTラインがスリーステートに戻るとき、ADD3は14ns後に有効になりますが、微弱／スリーステート・ビットを1に設定する場合は、一般に $\overline{CS}$ の立下がりエッジ後9nsで有効になります。

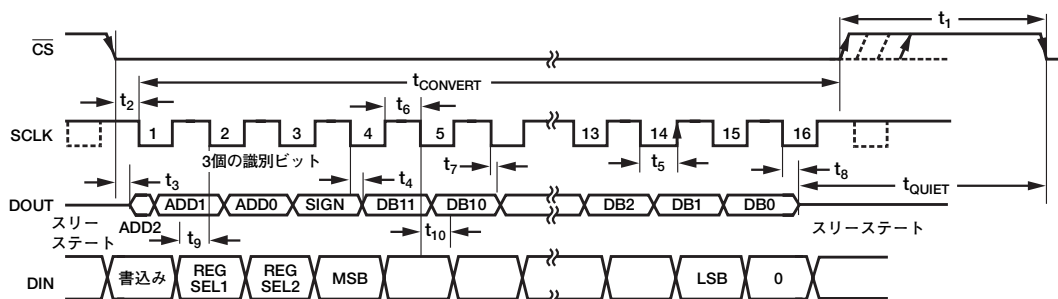


図57. シリアル・インターフェースのタイミング図 (コントロール・レジスタの書込み)

05402-012

## マイクロプロセッサとの インターフェース

AD7329のシリアル・インターフェースにより、さまざまなマイクロプロセッサに直接接続することができます。ここでは、最も一般的なマイクロコントローラとDSPのシリアル・インターフェース・プロトコルを使ってAD7329に接続する方法を説明します。

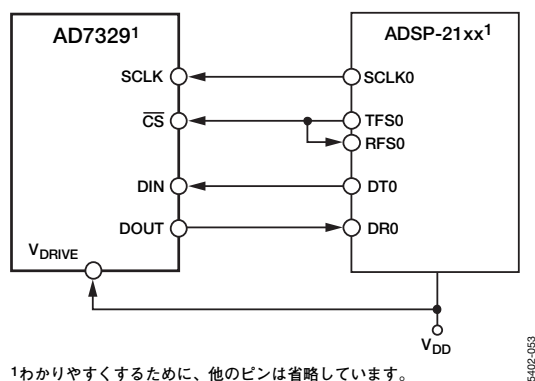
### AD7329とADSP-21xxのインターフェース

ADSP-21xxファミリーのDSPは、外付けのロジックなしでAD7329に直接接続できます。AD7329の $V_{DRIVE}$ ピンは、ADSP-21xxの電源電圧と同じ値を受け入れます。このため、ADCはシリアル・インターフェースよりも高い電源電圧で動作することになります。ADSP-21xxのSPORT0は、表16に示すように設定してください。

表16. SPORT0コントロール・レジスタの設定

設定	説明
TFSW=RFSW=1	オルタナティブ・フレーミング
INVRFS=INVTFS=1	アクティブ・ローのフレーム信号
DTYPE=00	右詰めデータ
SLEN=1111	16ビットのデータワード
ISCLK=1	内部シリアル・クロック
TFSR=RFSR=1	ワードごとにフレーミング
IRFS=0	
ITFS=1	

図58に接続図を示します。ADSP-21xxでは、TFS0とRFS0を相互に接続します。TFS0は出力、RFS0は入力に設定します。このDSPはオルタナティブ・フレーミング・モードで動作し、SPORT0コントロール・レジスタを表16のように設定します。TFS上のフレーム同期信号をCSに接続しますが、あらゆる信号処理アプリケーションがそうであるように、同期信号には等間隔のサンプリングが必要です。ただし、この例では、タイマ割り込みを使用してADCのサンプリング・レートを制御しており、場合によっては等間隔のサンプリングができないことがあります。



1わかりやすくするために、他のピンは省略しています。

図58. AD7329とADSP-21xxのインターフェース接続

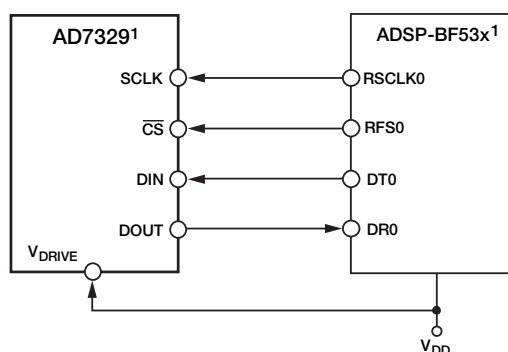
必要なサンプリング間隔で割り込みを行う値が、タイマ・レジスタにロードされます。割り込みを受信すると、TFS/DT (ADCのコントロール・ワード) によって送信されます。TFSを使用してRFSを制御し、データの読出しを制御します。

シリアル・クロックの周波数は、SCLKDIVレジスタで設定します。TFSによる送信の命令があると (AX0=TX0)、シリアル・クロックの状態をチェックします。DSPは、SCLKがハイレベルになり、次いでローレベルになった後、再びハイレベルに戻るまで待機してから、送信を開始します。タイマとSCLKの選択によって送信命令がSCLKの立上がりエッジかその近くで生じる場合は、即時に、あるいは次のクロック・エッジ時でデータを送信できます。

たとえば、ADSP-2111のマスター・クロック周波数は16MHzです。SCLKDIVレジスタに値3がロードされると、2MHzのSCLKが得られ、SCLKのサイクルごとに8サイクルのマスター・クロック期間が経過します。タイマ・レジスタに値803がロードされると、割り込みと割り込みの間に、またその後は送信命令と送信命令の間に100.5サイクルのSCLKが発生します。この場合、SCLKのエッジで送信命令が発生するため、等間隔のサンプリングが不可能になります。割り込みと割り込みの間のSCLKの数をNの整数にすれば、DSPは等間隔のサンプリングを実行できます。

### AD7329とADSP-BF53xのインターフェース

図59に示すように、ADSP-BF53xファミリーのDSPは外付けロジックを使用せずに、AD7329と直接接続できます。SPORT0受信設定1レジスタを、表17に示すように設定してください。



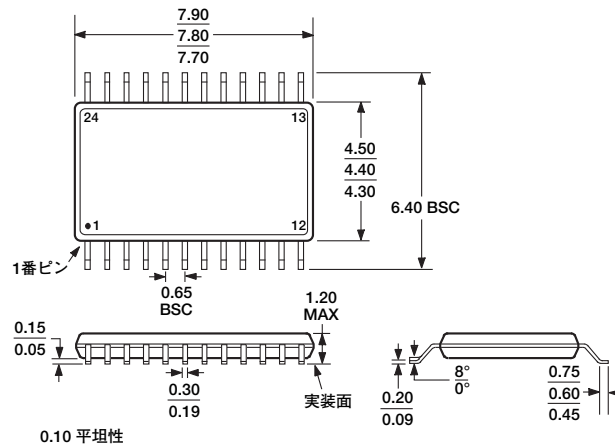
1わかりやすくするために、他のピンは省略しています。

図59. AD7329とADSP-BF53xのインターフェース

表17. SPORT0受信設定1レジスタの設定

設定	説明
RCKFE=1	RSCLKの立下がりエッジでデータをサンプリング
LRFS=1	アクティブ・ローのフレーム信号
RFSR=1	ワードごとにフレーミング
IRFS=1	内部RFSを使用
RLSBIT=0	MSBファーストで受信
RDTYPE=00	ゼロ・フィル
IRCLK=1	内部受信クロック
RSPEN=1	受信イネーブル
SLEN=1111	16ビットのデータワード
TFSR=RFSR=1	

## 外形寸法



JEDEC規格MO-153-ADに準拠

図60. 24ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]  
(RU-24)  
寸法単位：mm

## オーダー・ガイド

モデル	温度範囲	パッケージの説明	パッケージ・オプション
AD7329BRUZ <sup>1</sup>	-40～+85℃	24ピンTSSOP	RU-24
AD7329BRUZ-REEL <sup>1</sup>	-40～+85℃	24ピンTSSOP	RU-24
AD7329BRUZ-REEL7 <sup>1</sup>	-40～+85℃	24ピンTSSOP	RU-24
EVAL-AD7329CB <sup>2</sup>		評価用ボード	
EVAL-CONTROL BRD2 <sup>3</sup>		コントローラ・ボード	

<sup>1</sup> Z=鉛フリー製品

<sup>2</sup> このボードは、評価/デモンストレーション用に、単独の評価用ボードとして使用したり、EVAL-CONTROLと組み合わせて使用したりできます。

<sup>3</sup> このボードは完成ユニットであり、末尾番号CBが付くすべてのアナログ・デバイセス評価用ボードに対しPCによる制御や通信が可能です。完全な評価用キットのご注文に際しては、特定のADC評価用ボード (EVAL-AD7329CBなど)、EVAL-CONTROL BRD2、12Vのトランスをご注文ください。詳細については、関連する評価用ボードのテクニカル・ノートを参照してください。