

特長

- 符号付き12ビット（13ビット）逐次比較型ADC
- 真のバイポーラ入力範囲
- ソフトウェアで選択可能な入力範囲
 - ±10V、±5V、±2.5V、0～+10V
- スループット・レート：500kSPS
- チャンネル・シーケンサ付きの2つのアナログ入力チャンネル
- シングルエンド、真の差動、疑似差動アナログ入力
- 高アナログ入力インピーダンス
- 低消費電力：17mW
- フルパワー信号帯域幅：22MHz
- 2.5Vの内部リファレンス
- 高速シリアル・インターフェース
- パワーダウン・モード
- 14ピンTSSOPパッケージ
- iCMOS™プロセス技術

機能ブロック図

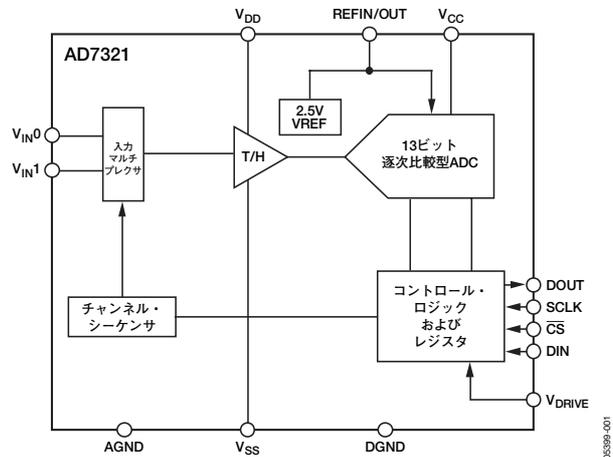


図1

概要

AD7321¹は、iCMOS（工業用CMOS）プロセスを採用して設計された2チャンネル、符号付12ビットの逐次比較型A/Dコンバータ（ADC）です。iCMOSは、高電圧シリコンにサブマイクロンCMOSとコンプリメンタリ・バイポーラ技術を組み合わせたプロセスです。この技術の導入により、今までの高電圧向けデバイスでは達成できなかった小さなフットプリントで33V動作を実現するさまざまな高性能アナログICを開発できるようになりました。従来型のCMOSプロセスを採用したアナログICとは異なり、iCMOSデバイスはバイポーラ入力信号に対応し、性能の向上、消費電力の大幅な低減、パッケージ・サイズの削減を実現します。

AD7321は、真のバイポーラ・アナログ入力信号を処理できます。AD7321では、±10V、±5V、±2.5V、0～+10Vの4つの入力範囲をソフトウェアで選択できます。各アナログ入力チャンネルは、この4つの入力範囲のいずれかに個別にプログラムできます。アナログ入力チャンネルの設定は、シングルエンド、真の差動、疑似差動の中から選択できます。

AD7321には、2.5Vの内部リファレンスが内蔵されていますが、外部リファレンスを使用した動作も可能です。3VのリファレンスをREFIN/OUTピンに接続すれば、±12Vの真のバイポーラ・アナログ入力を処理できます。この±12Vの入力範囲を得るには、最低でも±12VのV_{DD}およびV_{SS}電源が必要です。このADCは、最大500kSPSのスループット・レートで動作が可能な高速のシリアル・インターフェースを備えています。

製品のハイライト

- ±10V、±5V、±2.5Vの真のバイポーラ・アナログ入力信号と0～+10Vのユニポーラ信号を処理
- 2つのアナログ入力を2つのシングルエンド入力、1つの真の差動入力ペア、1つの疑似差動入力のいずれかとして構成可能
- 500kSPSのシリアル・インターフェース。
SPI®/QSPI™/DSP/MICROWIRE™互換のインターフェース。
- 500kSPSの最大スループット・レートで17mWの低消費電力
- チャンネル・シーケンサ内蔵

表1. 関連デバイス

製品番号	スループット・レート	ビット数	チャンネル数
AD7329	1000kSPS	符号付12ビット	8
AD7328	1000kSPS	符号付12ビット	8
AD7327	500kSPS	符号付12ビット	8
AD7324	1000kSPS	符号付12ビット	4
AD7323	500kSPS	符号付12ビット	4
AD7322	1000kSPS	符号付12ビット	2

¹ 米国特許番号6,731,232で保護されています。

目次

特長	1	レジスタのアドレス指定	22
機能ブロック図	1	コントロール・レジスタ	23
概要	1	入力範囲レジスタ	25
製品のハイライト	1	シーケンサ動作	26
改訂履歴	2	リファレンス	27
仕様	3	V_{DRIVE}	27
タイミング仕様	7	動作モード	28
絶対最大定格	8	ノーマル・モード	28
ESDに関する注意	8	完全なシャットダウン・モード	28
ピン配置と機能の説明	9	自動シャットダウン・モード	29
代表的な性能特性	10	自動スタンバイ・モード	29
用語の説明	14	消費電力とスループット・レートの関係	30
動作原理	16	シリアル・インターフェース	31
回路情報	16	マイクロプロセッサとのインターフェース	32
コンバータの動作	16	AD7321とADSP-21xxとのインターフェース	32
アナログ入力の構造	17	AD7321とADSP-BF53xとのインターフェース	32
代表的な接続図	19	アプリケーション情報	33
アナログ入力	19	レイアウトとグラウンディング	33
ドライバ・アンプの選択	21	外形寸法	34
レジスタ	22	オーダー・ガイド	34

改訂履歴

1/06—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{DD}=12\sim 16.5V$ 、 $V_{SS}=-12\sim -16.5V$ 、 $V_{CC}=2.7\sim 5.25V$ 、 $V_{DRIVE}=2.7\sim 5.25V$ 、 $V_{REF}=2.5\sim 3.0V$ の内部/外部リファレンス電圧、 $f_{SCLK}=10MHz$ 、 $f_S=500kSPS$ 、 $T_A=T_{MIN}\sim T_{MAX}$ 。

表2

パラメータ ¹	Min	Bバージョン		単位	テスト条件/備考
		Typ	Max		
動的性能					$F_{IN}=50kHz$ のサイン波
S/N比 (SNR) ²	76			dB	差動モード、 $V_{CC}=4.75\sim 5.25V$
	75.5			dB	差動モード、 $V_{CC}<4.75V$
	72.5			dB	シングルエンド/疑似差動モード、 $\pm 10V$ 、 $\pm 2.5V$ 、 $\pm 5V$ 範囲、 $V_{CC}=4.75\sim 5.25V$
	72			dB	シングルエンド/疑似差動モード、 $0\sim 10V$ 、 $V_{CC}=4.75\sim 5.25V$ 、 $V_{CC}<4.75V$ では全範囲
S/(N+D) (SINAD) ²	75			dB	差動モード、 $\pm 2.5V$ 、 $\pm 5V$ 範囲
	74				差動モード、 $0\sim 10V$
		76		dB	差動モード、 $\pm 10V$ 範囲
	72			dB	シングルエンド/疑似差動モード、 $\pm 2.5V$ 、 $\pm 5V$ 範囲
		72.5		dB	シングルエンド/疑似差動モード、 $0\sim 10V$ 、 $\pm 10V$ 範囲
全高調波歪み (THD) ²			-80	dB	差動モード、 $\pm 2.5V$ 、 $\pm 5V$ 範囲
			-79	dB	差動モード、 $0\sim 10V$ 範囲
			-82	dB	差動モード、 $\pm 10V$ 範囲
			-77	dB	シングルエンド/疑似差動モード、 $\pm 5V$ 範囲
			-79	dB	シングルエンド/疑似差動モード、 $\pm 2.5V$ 範囲
			-80	dB	シングルエンド/疑似差動モード、 $0\sim 10V$ 、 $\pm 10V$ 範囲
ピーク高調波またはスプリアス・ノイズ (SFDR) ²			-81	dB	差動モード、 $\pm 2.5V$ 、 $\pm 5V$ 範囲
			-80	dB	差動モード、 $0\sim 10V$ 範囲
			-82	dB	差動モード、 $\pm 10V$ 範囲
			-78	dB	シングルエンド/疑似差動モード、 $\pm 5V$ 範囲
			-80	dB	シングルエンド/疑似差動モード、 $\pm 2.5V$ 範囲
相互変調歪み (IMD) ²					シングルエンド/疑似差動モード、 $0\sim 10V$ 、 $\pm 10V$ 範囲
					$f_a=50kHz$ 、 $f_b=30kHz$
	2次項		-88	dB	
	3次項		-90	dB	
	アパーチャ遅延 ³		7	ns	
アパーチャ・ジッタ ³		50	ps		
同相ノイズ除去比 (CMRR) ²		-79	dB		最大100kHzのリップル周波数。図17を参照
チャンネル間アイソレーション ²		-72	dB		選択されないチャンネルの F_{IN} =最大100kHz、図14を参照
フルパワー帯域幅		22		MHz	@3dB
		5		MHz	@0.1dB

AD7321

パラメータ ¹	Min	Bバージョン		単位	テスト条件/備考
		Typ	Max		
DC精度 ⁴					
分解能	13			ビット	
ノー・ミスコード	12ビット +符号			ビット	差動モード
	11ビット +符号			ビット	シングルエンド/疑似差動モード
積分非直線性 (INL) ²			±1.1	LSB	差動モード、V _{CC} =3~5.25V、 V _{CC} =2.7Vでのtyp値
			±1	LSB	シングルエンド/疑似差動モード、 V _{CC} =3~5.25V、V _{CC} =2.7Vでのtyp値
		-0.7/+1.2		LSB	シングルエンド/疑似差動モード (LSB=FSR/8192)
微分非直線性 (DNL) ²			-0.9/+1.2	LSB	差動モード、13ビットまでノー・ミスコード を保証
			±0.9	LSB	シングルエンド・モード、12ビットまで ノー・ミスコードを保証
		-0.7/+1		LSB	シングルエンド/疑似差動モード (LSB=FSR/8192)
オフセット誤差 ^{2, 5}			-4/+9	LSB	シングルエンド/疑似差動モード
			-7/+10	LSB	差動モード
オフセット誤差マッチング ^{2, 5}			±0.6	LSB	シングルエンド/疑似差動モード
			±0.5	LSB	差動モード
ゲイン誤差 ^{2, 5}			±8	LSB	シングルエンド/疑似差動モード
			±14	LSB	差動モード
ゲイン誤差マッチング ^{2, 5}			±0.5	LSB	シングルエンド/疑似差動モード
			±0.5	LSB	差動モード
正のフルスケール誤差 ^{2, 6}			±4	LSB	シングルエンド/疑似差動モード
			±7	LSB	差動モード
正のフルスケール誤差マッチング ^{2, 6}			±0.5	LSB	シングルエンド/疑似差動モード
			±0.5	LSB	差動モード
バイポーラ・ゼロ誤差 ^{2, 6}			±8.5	LSB	シングルエンド/疑似差動モード
			±7.5	LSB	差動モード
バイポーラ・ゼロ誤差マッチング ^{2, 6}			±0.5	LSB	シングルエンド/疑似差動モード
			±0.5	LSB	差動モード
負のフルスケール誤差 ^{2, 6}			±4	LSB	シングルエンド/疑似差動モード
			±6	LSB	差動モード
負のフルスケール誤差マッチング ^{2, 6}			±0.5	LSB	シングルエンド/疑似差動モード
			±0.5	LSB	差動モード

パラメータ ¹	Min	Bバージョン Typ	Max	単位	テスト条件/備考
アナログ入力					
入力電圧範囲 (入力範囲レジスタで設定)		±10		V	リファレンス=2.5V、表6を参照 V _{DD} =10V (min)、V _{SS} =-10V (min)、 V _{CC} =2.7~5.25V
		±5		V	V _{DD} =5V (min)、V _{SS} =-5V (min)、 V _{CC} =2.7~5.25V
		±2.5		V	V _{DD} =5V (min)、V _{SS} =-5V (min)、 V _{CC} =2.7~5.25V
		0~10		V	V _{DD} =10V (min)、V _{SS} =AGND (min)、 V _{CC} =2.7~5.25V
疑似差動V _{IN} (-) 入力範囲		±3.5		V	V _{DD} =16.5V、V _{SS} =-16.5V、 V _{CC} =5V、図40、図41を参照 リファレンス=2.5V、範囲=±10
		±6		V	リファレンス=2.5V、範囲=±5V
		±5		V	リファレンス=2.5V、範囲=±2.5V
		+3/-5		V	リファレンス=2.5V、範囲=0~+10V
DC漏れ電流			±80	nA	V _{IN} =V _{DD} またはV _{SS}
		3		nA	各入力チャンネル、V _{IN} =V _{DD} またはV _{SS}
入力容量 ³		13.5		pF	±10V範囲でのトラック時
		16.5		pF	±5Vおよび0~+10V範囲でのトラック時
		21.5		pF	±2.5V範囲でのトラック時
		3		pF	すべての入力範囲でのホールド時
リファレンス入出力					
入力電圧範囲	2.5		3	V	
入力DC漏れ電流			±1	μA	
入力容量		10		pF	
リファレンス出力電圧		2.5		V	
リファレンス出力電圧誤差@25°C			±5	mV	
リファレンス出力電圧誤差 T _{MIN} ~T _{MAX}			±10	mV	
リファレンス温度係数			25	ppm/°C	
		3		ppm/°C	
リファレンス出力インピーダンス		7		Ω	
ロジック入力					
ハイレベル入力電圧 (V _{INH})	2.4			V	
ローレベル入力電圧 (V _{INL})			0.8	V	V _{CC} =4.75~5.25V
			0.4	V	V _{CC} =2.7~3.6V
入力電流 (I _{IN})			±1	μA	V _{IN} =0VまたはV _{DRIVE}
入力容量 (C _{IN}) ³		10		pF	
ロジック出力					
ハイレベル出力電圧 (V _{OH})	V _{DRIVE} - 0.2V			V	I _{SOURCE} =200μA
ローレベル出力電圧 (V _{OL})			0.4	V	I _{SINK} =200μA
フローティング状態漏れ電流			±1	μA	
フローティング状態出力容量 ³		5		pF	
出力コーディング		ストレート・バイナリ			コントロール・レジスタのコーディング・ ビットを1に設定
		2の補数			コントロール・レジスタのコーディング・ ビットを0に設定

AD7321

変換レート				
変換時間		1.6	μs	SCLK=10MHzで16SCLKサイクル
トラック&ホールド・ アクイジション時間 ^{2,3}		305	ns	フルスケール・ステップ入力、「用語の説明」を参照
スループット・レート		500	kSPS	「シリアル・インターフェース」を参照
電源				デジタル入力=0VまたはV _{DRIVE}
V _{DD}	12	16.5	V	表6を参照
V _{SS}	-12	-16.5	V	表6を参照
V _{CC}	2.7	5.25	V	表6を参照
V _{DRIVE}	2.7	5.25	V	
ノーマル・モード (スタティック)		0.9	mA	V _{DD} /V _{SS} =±16.5V、V _{CC} /V _{DRIVE} =5.25V f _{SAMPLE} =500kSPS
ノーマル・モード (動作時)				
I _{DD}		180	μA	V _{DD} =16.5V
I _{SS}		205	μA	V _{SS} =-16.5V
I _{CC} とI _{DRIVE}		2	mA	V _{CC} /V _{DRIVE} =5.25V
自動スタンバイ・モード (ダイナミック)				f _{SAMPLE} =250kSPS
I _{DD}		100	μA	V _{DD} =16.5V
I _{SS}		110	μA	V _{SS} =-16.5V
I _{CC} とI _{DRIVE}		0.75	mA	V _{CC} /V _{DRIVE} =5.25V
自動シャットダウン・モード (スタティック)				SCLKオンまたはオフ
I _{DD}		1	μA	V _{DD} =16.5V
I _{SS}		1	μA	V _{SS} =-16.5V
I _{CC} とI _{DRIVE}		1	μA	V _{CC} /V _{DRIVE} =5.25V
完全なシャットダウン・モード				SCLKオンまたはオフ
I _{DD}		1	μA	V _{DD} =16.5V
I _{SS}		1	μA	V _{SS} =-16.5V
I _{CC} とI _{DRIVE}		1	μA	V _{CC} /V _{DRIVE} =5.25V
消費電力				
ノーマル・モード (動作時)		17	mW	V _{DD} =16.5V、V _{SS} =-16.5V、V _{CC} =5.25V
完全なシャットダウン・モード		38.25	μW	V _{DD} =16.5V、V _{SS} =-16.5V、V _{CC} =5.25V

¹ 温度範囲は-40～+85℃です。

² 「用語の説明」を参照。

³ 量産開始時にサンプル・テストにより適合性を保証。

⁴ DC精度仕様の規定に適用されるLSBサイズは差動モードでFSR/8192です。シングルエンド・モード/疑似差動モードでのLSBサイズは、特に指定のない限りFSR/4096です。

⁵ 0～+10Vのユニポーラ範囲とストレート・バイナリの出力コーディングを適用しています。

⁶ バイポーラ範囲と2の補数の出力コーディングを適用しています。

タイミング仕様

$V_{DD}=12\sim 16.5V$ 、 $V_{SS}=-12\sim -16.5V$ 、 $V_{CC}=2.7\sim 5.25V$ 、 $V_{DRIVE}=2.7\sim 5.25V$ 、 $V_{REF}=2.5\sim 3.0V$ の内部/外部リファレンス電圧、 $T_A=T_{MIN}\sim T_{MAX}$ 。特に指定のない限り、32pFの負荷を使用する場合のタイミング仕様。¹

表3

パラメータ	T_{MIN} 、 T_{MAX} 時の限界値		単位	説明 $V_{DRIVE}\leq V_{CC}$
	$V_{CC}<4.75V$	$V_{CC}=4.75\sim 5.25V$		
f_{SCLK}	50	50	kHz (min)	
	10	10	MHz (max)	
$t_{CONVERT}$	$16\times t_{SCLK}$	$16\times t_{SCLK}$	ns (max)	$t_{SCLK}=1/f_{SCLK}$
t_{QUIET}	75	60	ns (min)	シリアル読出しが終了した後で \overline{CS} の次の立下がりエッジが発生させるまでの最小時間
t_1	12	5	ns (min)	最小の \overline{CS} パルス幅
t_2^2	25	20	ns (min)	\overline{CS} からSCLKまでのセットアップ時間、バイポーラ入力範囲 ($\pm 10V$ 、 $\pm 5V$ 、 $\pm 2.5V$)
	45	35	ns (min)	\overline{CS} からSCLKまでのセットアップ時間、ユニポーラ入力範囲 (0~10V)
t_3	26	14	ns (max)	\overline{CS} からDOUTのスリーステート状態がディスエーブルになるまでの遅延時間
t_4	57	43	ns (max)	SCLKの立下がりエッジが発生した後のデータ・アクセス時間
t_5	$0.4\times t_{SCLK}$	$0.4\times t_{SCLK}$	ns (min)	SCLKのローレベル・パルス幅
t_6	$0.4\times t_{SCLK}$	$0.4\times t_{SCLK}$	ns (min)	SCLKのハイレベル・パルス幅
t_7	13	8	ns (min)	SCLKからデータ有効までのホールド時間
t_8	40	22	ns (max)	SCLKの立下がりエッジからDOUTがハイ・インピーダンスになるまでの時間
	10	9	ns (min)	SCLKの立下がりエッジからDOUTがハイ・インピーダンスになるまでの時間
t_9	4	4	ns (min)	SCLKの立下がりエッジが発生する前のDINセットアップ時間
t_{10}	2	2	ns (min)	SCLKの立下がりエッジが発生した後のDINホールド時間
$t_{POWER-UP}$	750	750	ns (max)	自動スタンバイ・モードからのパワーアップ時間
	500	500	μs (max)	完全なシャットダウン/自動シャットダウン・モードからのパワーアップ時間 (内部リファレンス使用時)
	25	25	μs (typ)	完全なシャットダウン/自動シャットダウン・モードからのパワーアップ時間 (外部リファレンス使用時)

¹ 量産開始時にサンプル・テストにより適合性を保証。すべての入力信号は、 $t_r=t_f=5ns$ (V_{DRIVE} の10~90%) で規定し、1.6Vの電圧レベルからの時間とします。

² 0~+10Vのユニポーラ範囲を選択し、 t_2 を20nsとして500kSPSのスループット・レート動作を適用する場合は、マーク・スペース比を50:50に制限します。

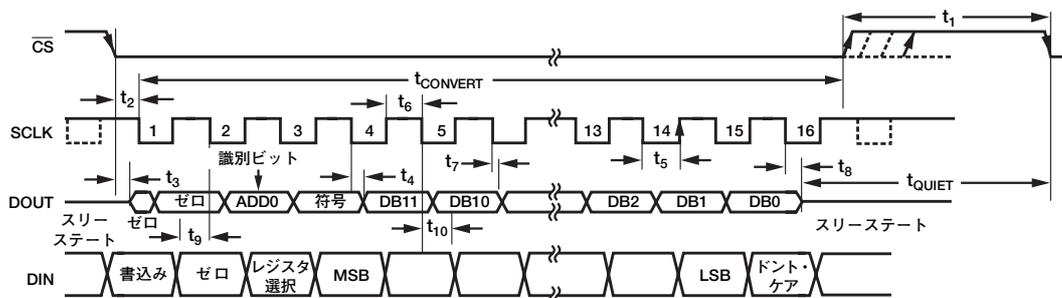


図2. シリアル・インターフェースのタイミング図

06399-002

絶対最大定格

特に指定のない限り、 $T_A=25^\circ\text{C}$ 。

表4

パラメータ	定格値
AGND、DGNDに対する V_{DD}	$-0.3\sim+16.5\text{V}$
AGND、DGNDに対する V_{SS}	$+0.3\sim-16.5\text{V}$
V_{CC} に対する V_{DD}	$V_{CC}-0.3\text{V}\sim16.5\text{V}$
AGND、DGNDに対する V_{CC}	$-0.3\sim+7\text{V}$
AGND、DGNDに対する V_{DRIVE}	$-0.3\sim+7\text{V}$
DGNDに対するAGND	$-0.3\sim+0.3\text{V}$
AGNDに対する アナログ入力電圧 ¹	$V_{SS}-0.3\text{V}\sim V_{DD}+0.3\text{V}$
DGNDに対する デジタル入力電圧	$-0.3\sim+7\text{V}$
DGNDに対する デジタル出力電圧	$-0.3\text{V}\sim V_{DRIVE}+0.3\text{V}$
AGNDに対するREFIN	$-0.3\text{V}\sim V_{CC}+0.3\text{V}$
電源ピンを除くすべての ピンに対する入力電流 ²	$\pm 10\text{mA}$
動作温度範囲	$-40^\circ\text{C}\sim+85^\circ\text{C}$
保存温度範囲	$-65^\circ\text{C}\sim+150^\circ\text{C}$
ジャンクション温度	150°C
TSSOPパッケージ	
θ_{JA} 熱抵抗	$113.5^\circ\text{C}/\text{W}$
θ_{JC} 熱抵抗	$30^\circ\text{C}/\text{W}$
リフロー・ハンダ処理の温度 (鉛フリー)	$260(0)^\circ\text{C}$
ESD	2.5kV

¹ 別途用意した V_{DD} および V_{SS} 電源回路からアナログ入力を駆動する場合は、AD7321の V_{DD} と V_{SS} の各電源ピンに対して直列にショットキー・ダイオードを接続してください。

² 100mAまでの過渡電流では、SCRラッチアップは発生しません。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置と機能の説明



図3. TSSOPピン配置

表5. AD7321のピン機能の説明

ピン番号	記号	説明
1	\overline{CS}	チップ・セレクト。アクティブ・ローレベルのロジック入力です。この入力はAD7321の変換動作を開始し、さらにシリアル・データ転送をフレーミングする2つの機能を備えています。
2	DIN	データ入力。オンチップのレジスタに書き込まれるデータがこの入力に供給され、SCLKの立下がりエッジでレジスタにクロック入力されます（「レジスタ」を参照）。
3、13	DGND	デジタル・グラウンド。AD7321の全デジタル回路に対するグラウンド基準ポイントです。DGNDとAGNDの電圧は理想的には同じ電位である必要があり、トランジェント・ベースであっても差が0.3Vを超えないようにしてください。
4	AGND	アナログ・グラウンド。AD7321の全アナログ回路に対するグラウンド基準ポイントです。すべてのアナログ入力信号と外部リファレンス電圧信号は、このAGND電圧を基準とします。DGNDとAGNDの電圧は理想的には同じ電位である必要があり、トランジェント・ベースであっても差が0.3Vを超えないようにしてください。
5	REFIN/OUT	リファレンス入力/出力。オンチップのリファレンス電圧がこのピンから供給され、AD7321の外部でこの電圧を利用できます。2.5V（公称値）の内部リファレンス電圧が、このピンから出力されます。680nFのコンデンサをこのリファレンス・ピンに外付けしてください（「リファレンス」を参照）。あるいは、内部リファレンスをディスエーブルにして、外部リファレンス電圧をこのピンに入力することもできます。パワーアップでのデフォルトは、外部リファレンス・モードです。
6	V_{SS}	負の電源電圧。アナログ入力回路部に供給される負の電源電圧です。
7、8	$V_{IN0} \sim V_{IN1}$	アナログ入力0とアナログ入力1。これらのアナログ入力は、オンチップのトラック&ホールド・アンプ内部で多重化されます。変換するアナログ入力チャンネルは、コントロール・レジスタのチャンネル・アドレス・ビットADD0の設定によって選択します。入力を2つのシングルエンド入力、1つの真の差動入力ペア、1つの疑似差動入力のいずれかとして構成できます。アナログ入力の構成は、コントロール・レジスタのモード・ビットであるビット・モード1とビット・モード0の設定によって選択します。各入力チャンネルの入力範囲は、入力範囲レジスタを設定して制御します。+2.5Vのリファレンス電圧の使用時に、±10V、±5V、±2.5V、0～+10Vのいずれかの入力範囲を各アナログ入力チャンネルで選択できます（「レジスタ」を参照）。
9	V_{DD}	正の電源電圧。アナログ入力回路部に供給される正の電源電圧です。
10	V_{CC}	2.7～5.25Vのアナログ電源電圧。AD7321のADCコアに供給される電源電圧です。このピンをAGNDにデカップリングしてください。
11	V_{DRIVE}	ロジック電源入力。このピンに入力された電圧が、インターフェースの動作電圧を決定します。このピンをDGNDにデカップリングしてください。このピンの電圧が V_{CC} の電圧と相違しても構いませんが、 V_{CC} よりも0.3Vを超えて高くならないようにしてください。
12	DOUT	シリアル・データ出力。変換出力データがシリアル・データ・ストリームとして、このピンに供給されます。SCLK入力の立下がりエッジでデータがクロック出力され、データのアクセスには16サイクルのSCLKが必要です。データ・ストリームは、2個のゼロ・ビット、各1個のチャンネル識別ビットと符号ビット、12ビットの変換データから構成されます。データはMSBファーストで出力されます（「シリアル・インターフェース」を参照）。
14	SCLK	シリアル・クロックとして使用されるロジック入力。このシリアル・クロック入力は、AD7321からデータをアクセスする際にSCLKとして使います。このクロックは、変換プロセスのクロック源としても使用されます。

代表的な性能特性

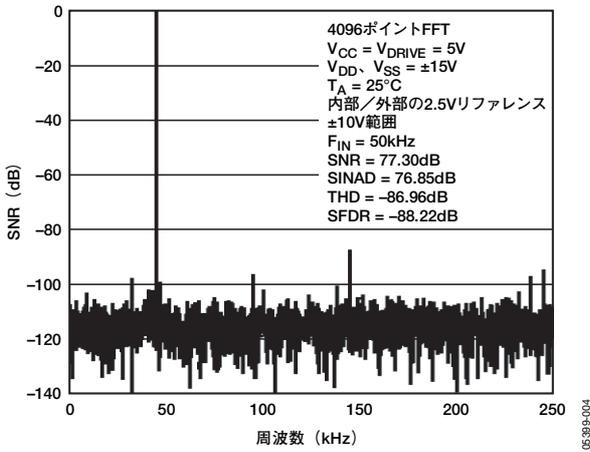


図4. FFT (真の差動モード)

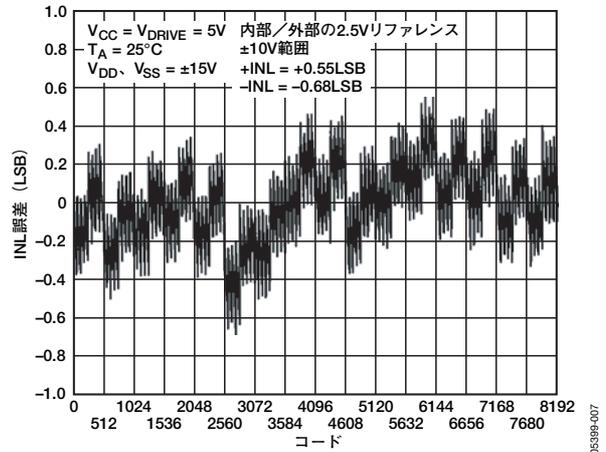


図7. 代表的なINL (真の差動モード)

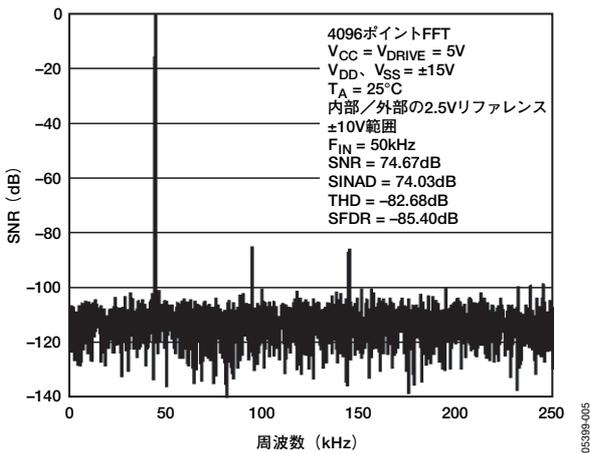


図5. FFT (シングルエンド・モード)

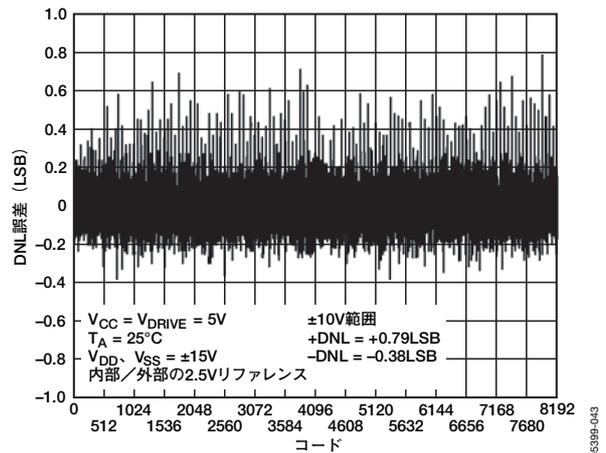


図8. 代表的なDNL (シングルエンド・モード)

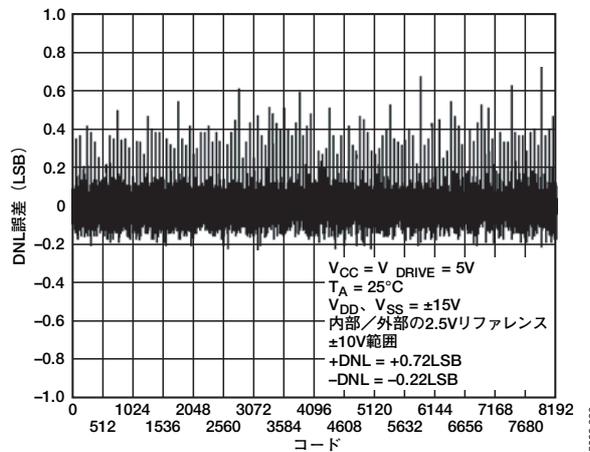


図6. 代表的なDNL (真の差動モード)

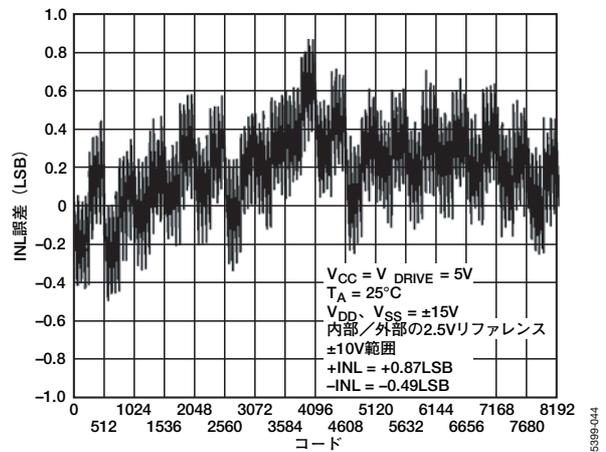


図9. 代表的なINL (シングルエンド・モード)

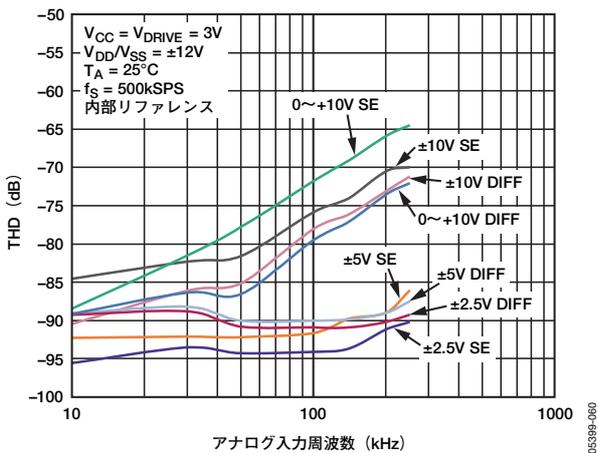


図10. アナログ入力周波数 対 THD (シングルエンド (SE) および 真の差動 (DIFF) モード、 $V_{CC}=3V$)

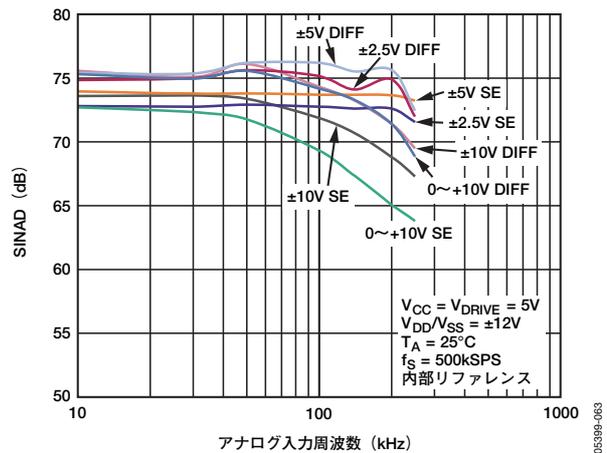


図13. アナログ入力周波数 対 SINAD (シングルエンド (SE) および 真の差動 (DIFF) モード、 $V_{CC}=5V$)

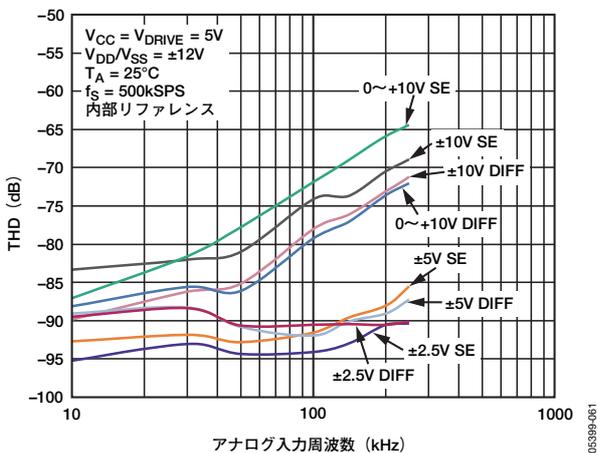


図11. アナログ入力周波数 対 THD (シングルエンド (SE) および 真の差動 (DIFF) モード、 $V_{CC}=5V$)

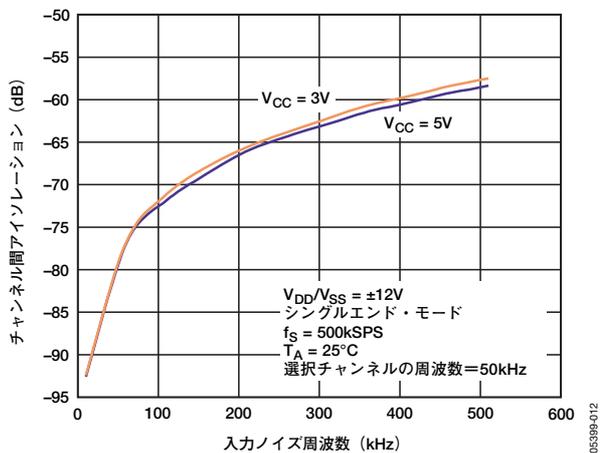


図14. チャンネル間アイソレーション

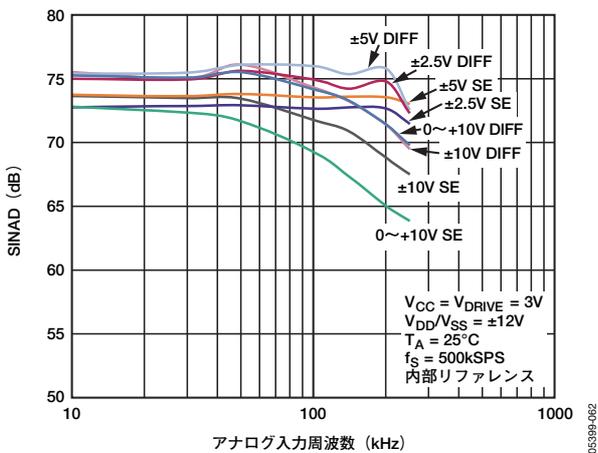


図12. アナログ入力周波数 対 SINAD (シングルエンド (SE) および 真の差動 (DIFF) モード、 $V_{CC}=3V$)

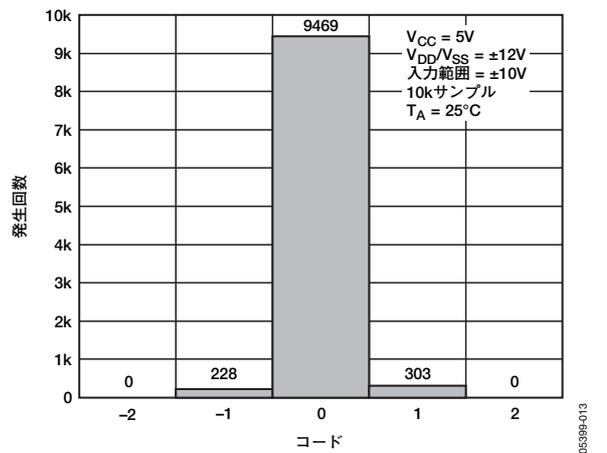


図15. コードのヒストグラム (真の差動モード)

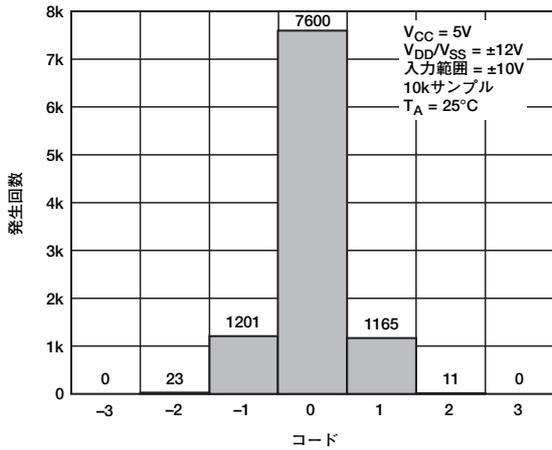


図16. コードのヒストグラム (シングルエンド・モード)

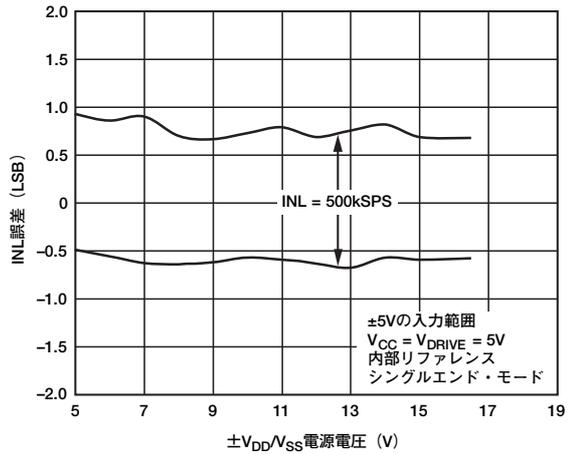


図19. 電源電圧 対 INL誤差 (500kSPS)

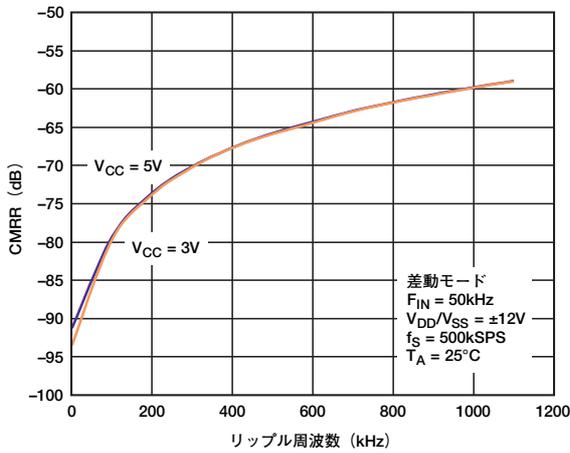


図17. 同相リップル周波数 対 CMRR

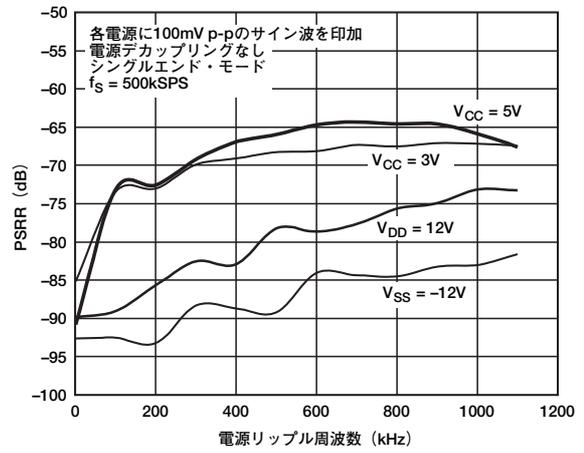


図20. 電源のデカップリングを行わない場合の電源リップル周波数 対 PSRR

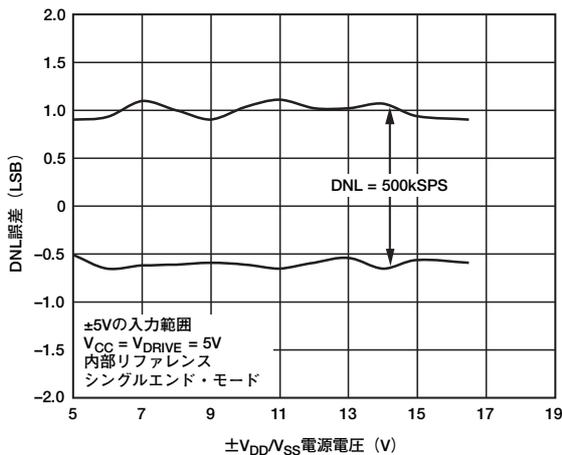


図18. 電源電圧 対 DNL誤差 (500kSPS)

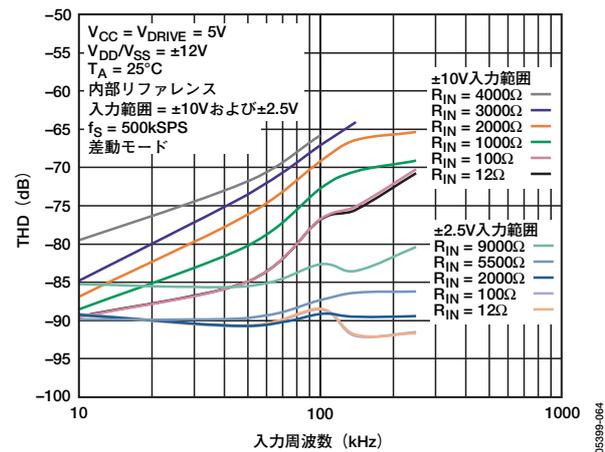


図21. 各種信号源インピーダンスにおけるアナログ入力周波数 対 THD (真の差動モード)

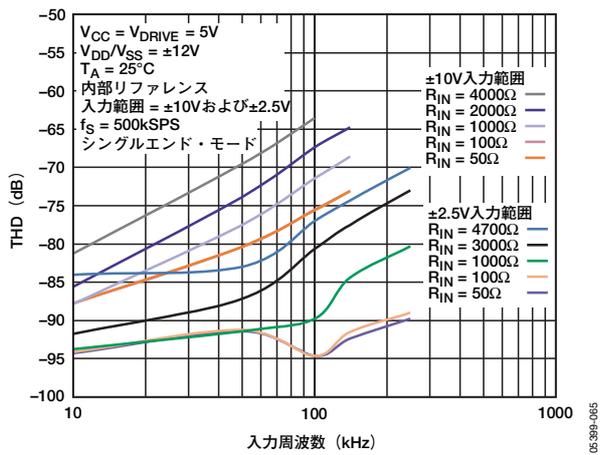


図22. 各種信号源インピーダンスにおける
アナログ入力周波数 対 THD
(シングルエンド・モード)

用語の説明

微分非直線性 (DNL)

隣接する2つのコード間における1LSB変化の測定値と理論値の差です。

積分非直線性

ADC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差をいいます。伝達関数のエンドポイントは、ゼロスケール(最初のコード遷移よりも1LSB下のポイント)とフルスケール(最後のコード遷移よりも1LSB上のポイント)です。

オフセット・コード誤差

ストレート・バイナリの出力コーディングに適用されます。最初のコード遷移(00...000から00...001)の理論値(AGND+1LSB)からの偏差をいいます。

オフセット誤差マッチング

2つの入力チャンネル間におけるオフセット誤差の差です。

ゲイン誤差

ストレート・バイナリの出力コーディングに適用されます。オフセット誤差調整後の、最後のコード遷移(111...110から111...111)の理論値($4 \times V_{REF} - 1LSB$ 、 $2 \times V_{REF} - 1LSB$ 、 $V_{REF} - 1LSB$)からの偏差をいいます。

ゲイン誤差マッチング

2つの入力チャンネル間におけるゲイン誤差の差です。

バイポーラ・ゼロコード誤差

2の補数の出力コーディングとバイポーラ・アナログ入力を使用するときに適用されます。ミッドスケールの遷移(オール1からオール0)の入力電圧の理論値(AGND-1LSB)からの偏差をいいます。

バイポーラ・ゼロコード誤差マッチング

2つの入力チャンネル間におけるバイポーラ・ゼロコード誤差の差です。

正のフルスケール誤差

2の補数の出力コーディングといずれかのバイポーラ・アナログ入力範囲を使用するときに適用されます。バイポーラ・ゼロコード誤差調整後の、最後のコード遷移(011...110から011...111)の理論値($4 \times V_{REF} - 1LSB$ 、 $2 \times V_{REF} - 1LSB$ 、 $V_{REF} - 1LSB$)からの偏差をいいます。

正のフルスケール誤差マッチング

2つの入力チャンネル間における正のフルスケール誤差の差です。

負のフルスケール誤差

2の補数の出力コーディングといずれかのバイポーラ・アナログ入力範囲を使用するときに適用されます。バイポーラ・ゼロコード誤差調整後の、最初のコード遷移(10...000から10...001)の理論値($-4 \times V_{REF} + 1LSB$ 、 $-2 \times V_{REF} + 1LSB$ 、 $-V_{REF} + 1LSB$)からの偏差をいいます。

負のフルスケール誤差マッチング

2つの入力チャンネル間における負のフルスケール誤差の差です。

トラック&ホールド・アクイジション時間

トラック&ホールド・アンプは、SCLKの14番目の立上がりエッジの後でトラック・モードに戻ります。トラック&ホールド・アクイジション時間は、変換終了後にトラック&ホールド・アンプが最終値の $\pm 1/2LSB$ 以内に出力が収まるために要する時間です。 $\pm 2.5V$ の入力範囲の場合、アクイジション時間はトラック&ホールド・アンプが $\pm 1LSB$ 以内にセトリングするまでの所要時間として規定されます。

信号/ノイズ&歪み比 (SINAD)

ADCの出力における信号対(ノイズおよび歪み)の比の測定値です。信号は基本波のRMS振幅として表されます。ノイズはDC成分を除き、サンプリング周波数の1/2($f_s/2$)までに相当する基本波以外の信号をすべて合計した値として表されます。この比はデジタル化プロセスの量子化レベル数に応じて変化し、レベルが高いほど量子化ノイズが小さくなります。サイン波を入力とする理想的なNビット・コンバータの信号対(ノイズ+歪み)比の理論値は、次式から求められます。

$$\text{信号対(ノイズ+歪み)比} = (6.02N + 1.76) \text{ dB}$$

したがって、13ビット・コンバータの場合、80.02dBになります。

全高調波歪み (THD)

高調波のRMS値総和と基本波の比です。AD7321では、次のように定義されます。

$$THD(\text{dB}) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

V_1 は基本波のRMS振幅

V_2 、 V_3 、 V_4 、 V_5 、 V_6 は2次~6次高調波のRMS振幅

ピーク高調波またはスプリアス・ノイズ

ADCの出力スペクトル(DC成分を除き、 $f_s/2$ まで)内で2番目に大きい高調波成分のRMS値と基本波のRMS値の比として定義されます。通常、この仕様値はスペクトル内の最大高調波によって決定されますが、高調波がノイズ・フロアに埋もれているADCの場合は、ノイズ・ピークにより決定されます。

チャンネル間アイソレーション

チャンネル間アイソレーションは、チャンネル間でのクロストークのレベルの大きさを表します。フルスケールの100kHzサイン波信号をすべての非選択入力チャンネルに入力し、50kHz信号を使って選択したチャンネルで信号の減衰を測定することにより決定します。図14は、AD7321の2チャンネル間でのワーストケースを示します。アナログ入力範囲は全チャンネルで同一に設定されます。

相互変調歪み

非線形性を持つアクティブ・デバイスに2つの周波数 f_a および f_b を含むサイン波を入力すると、さまざまな和および差の周波数 $m f_a \pm n f_b$ を持つ歪み成分が発生します。ここで、 m 、 $n=0$ 、1、2、3、...です。相互変調歪みとは、 m と n が非ゼロの項をいいます。たとえば、2次項には $(f_a + f_b)$ と $(f_a - f_b)$ が含まれ、3次項には $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ が含まれます。

AD7321は、入力帯域幅の上限に近い2つの入力周波数を使うCCIF標準を使ってテストされています。この場合、2次項は通常、元のサイン波の周波数から離れて位置し、3次項は通常、入力周波数に近い周波数に位置します。そのため、2次項と3次項は別々に指定されます。相互変調歪みの計算はTHDの仕様に従います。すなわち、dBで表した個々の歪み成分のRMS総和の、基本波の和のRMS振幅に対する比になります。

PSR（電源除去比）

電源の変動はフルスケールの遷移に影響を与えますが、コンバータの直線性には影響しません。電源除去比は、電源電圧の公称値からの変動によるフルスケール遷移点の最大変化量をいいます（「代表的な性能特性」を参照）。

CMRR（同相ノイズ除去比）

CMRRは、フルスケール周波数 f でのADC出力パワーと周波数 f_s での V_{IN+} と V_{IN-} の同相電圧に印加した100mVのサイン波信号パワーの比と定義されます。以下の式で得られます。

$$CMRR \text{ (dB)} = 10 \log (P_f / P_{f_s})$$

ここで、

P_f は周波数 f におけるADC出力のパワー、 P_{f_s} は周波数 f_s におけるADC出力のパワーです（図17を参照）。

AD7321

動作原理

回路情報

AD7321は高速、2チャンネル、符号付12ビット、バイポーラ入力のシリアルADCです。AD7321は±10V、±5V、±2.5Vを含むバイポーラ入力範囲の電圧を受け入れます。さらに、0～+10Vのユニポーラ入力範囲の電圧も受け入れます。オンチップのレジスタを使用して、さまざまなアナログ入力範囲をアナログ入力チャンネル別に設定できます。AD7321は、最大500kSPSのスループット・レートで動作する高速シリアル・インターフェースを備えています。

AD7321では、高電圧アナログ入力構造に V_{DD} と V_{SS} の両電源が必要です。これらの電源は、選択したアナログ入力範囲の最大値か、それよりも高い電圧としてください。各アナログ入力範囲に対するこれらの電源の条件については、表6を参照してください。AD7321ではADCコアに供給する低電圧(2.7～5.25V)の V_{CC} 電源が必要です。

表6. 各アナログ入力範囲に対応したリファレンス電圧および電源条件

選択したアナログ入力範囲 (V)	リファレンス電圧 (V)	フルスケール入力範囲 (V)	AV_{CC} (V)	V_{DD}/V_{SS} の最小値 (V)
±10	2.5	±10	3/5	±10
	3.0	±12	3/5	±12
±5	2.5	±5	3/5	±5
	3.0	±6	3/5	±6
±2.5	2.5	±2.5	3/5	±5
	3.0	±3	3/5	±5
0～+10	2.5	0～+10	3/5	+10/AGND
	3.0	0～+12	3/5	+12/AGND

性能仕様を満たすために、最小の V_{DD} および V_{SS} 電源を使用してAD7321の設定を行うときには、スループット・レートを低くしなければならない場合があります(「代表的な性能特性」を参照)。 V_{DD} と V_{SS} の各電源の低下に伴うTHDの変動を図31に示します。最大スループット・レートでのAC性能は、 V_{DD} と V_{SS} の各電源が低下すると、THDがわずかに劣化します。したがって、最小の V_{DD} および V_{SS} 電源を使用するときには、THDの劣化を抑え、規定性能を維持できるように、スループット・レートを低くしなければならない場合があります。 V_{DD} と V_{SS} の各電源を低くしたときに見られるこの性能低下の原因は、入力マルチプレクサのオン抵抗値が増加するためです。図18と図19は、 V_{DD} と V_{SS} の電圧を変化させたときに発生するINLとDNLの変動を示します。最大スループット・レート動作時のDC性能については、 V_{DD} と V_{SS} の電源電圧を低くしても、INLおよびDNL誤差の代表値は一定の値に維持されます。

アナログ入力を2つのシングルエンド入力、1つの真の差動入力ペア、1つの疑似差動入力のいずれかとして構成できます。コントロール・レジスタのモード・ビットであるビット・モード1とビット・モード0の設定によって構成を選択します。

シリアル・クロック入力は、AD7321からデータをアクセスする際のSCLKを供給し、逐次比較型ADC用のクロック源としても使用されます。AD7321には、オンチップの2.5Vリファレンスが内蔵されていますが、外部リファレンスを用いた動作も可能です。パワーアップ時のデフォルトは外部リファレンス・モードとなっています。内部リファレンスを選択する場合は、コントロール・レジスタのリファレンス・ビットに書き込んで、内部リファレンス動作を選択してください。

AD7321はパワーダウン・オプションを搭載しており、変換と変換の間で消費電力を節減できます。パワーダウン・モードの選択は、「動作モード」で説明するように、オンチップのコントロール・レジスタを設定して行います。

コンバータの動作

AD7321は、2個の容量性DACを中心に構成される逐次比較型のADCです。図23と図24に、シングルエンド・モードにおけるADCのアクイジション・フェーズと変換フェーズの簡略回路図を示します。図25と図26は、差動モードにおけるADCのアクイジション・フェーズと変換フェーズの簡略回路図です。ADCはコントロール・ロジック、SAR、容量性DACで構成されます。図23(アクイジション・フェーズ)では、SW2は閉じて、SW1は位置Aにあり、コンパレータは平衡状態に維持されて、サンプリング・コンデンサ・アレイが入力信号を取り込みます。

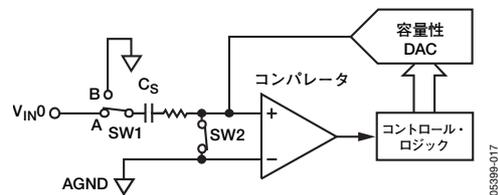


図23. ADCのアクイジション・フェーズ回路(シングルエンド)

ADCが変換を開始すると(図24)、SW2が開き、SW1が位置Bに移動して、コンパレータが不平衡状態になります。コントロール・ロジックと電荷再配分DACを使用して、容量性DACに対し一定の電荷の加算と減算が行われ、コンパレータを平衡状態に戻します。コンパレータが平衡状態に戻ると、変換が終了します。コントロール・ロジックからADCの出力コードが生成されます。

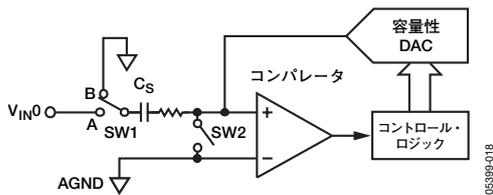


図24. ADCの変換フェーズ回路（シングルエンド）

図25は、アキュイジション・フェーズにおける差動構成回路を示します。変換フェーズの場合は、SW3が開き、SW1とSW2が位置Bに移動します（図26を参照）。VIN+とVIN-の各ピンを駆動する信号源の出力インピーダンスをマッチングさせてください。このマッチングを行わなければ、2つの入力のセトリング時間が異なり、誤差が発生します。

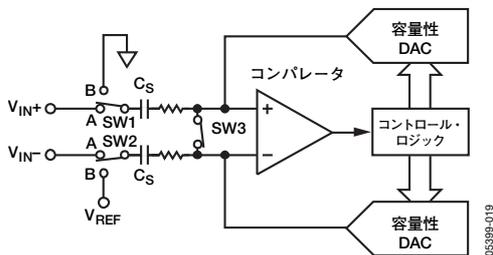


図25. ADCのアキュイジション・フェーズにおける差動構成回路

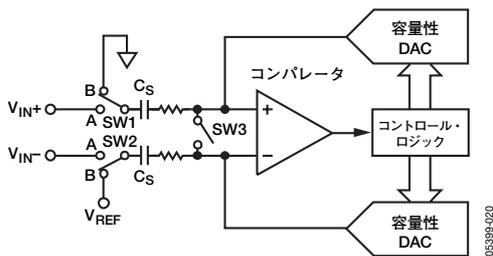


図26. ADCの変換フェーズにおける差動構成回路

出力コーディング

AD7321の出力コーディングは、デフォルトでは2の補数に設定されています。出力コーディングは、コントロール・レジスタのコーディング・ビットで制御します。出力コーディングをストレート・バイナリのコーディングに変更するには、コントロール・レジスタのコーディング・ビットを設定してください。シーケンス・モードで動作している場合、シーケンスの各チャンネルに適用される出力コーディングは、コントロール・レジスタの最後の書き込み時にコーディング・ビットに書き込まれる値によって設定されます。

伝達関数

指定されたコード遷移は、連続的なLSB整数値（1LSB、2LSBなど）で発生します。LSBサイズは、選択したアナログ入力範囲によって異なります。

表7. 各アナログ入力範囲に適用されるLSBサイズ

入力範囲	フルスケール範囲/8192コード	LSBサイズ
±10V	20V	2.441mV
±5V	10V	1.22mV
±2.5V	5V	0.61mV
0~+10V	10V	1.22mV

2の補数の出力コーディングを選択する場合のAD7321の理想的な伝達特性を図27に示します。ストレート・バイナリの出力コーディングを選択する場合のAD7321の理想的な伝達特性を図28に示します。

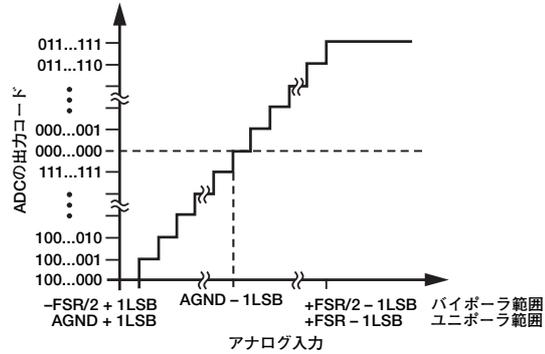


図27. 2の補数を選択した場合の伝達特性

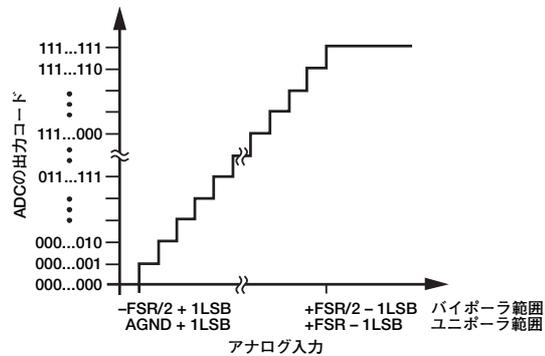


図28. ストレート・バイナリを選択した場合の伝達特性

アナログ入力の構造

コントロール・レジスタのモード・ビットを使用して、AD7321のアナログ入力をシングルエンド、真の差動、または疑似差動として構成できます（表9を参照）。AD7321は真のバイポーラ入力信号を受け入れることができます。パワーアップ時では、アナログ入力は2チャンネルのシングルエンド・アナログ入力として動作します。真の差動または疑似差動の入力が必要な場合は、パワーアップ後にコントロール・レジスタに書き込みを行い、この設定を変更してください。

図29は、シングルエンド・モードでのAD7321のアナログ入力等価回路を示します。図30は、差動モードでのアナログ入力構造等価回路を掲載しています。2個のダイオードが、アナログ入力に対してESD保護機能を提供します。

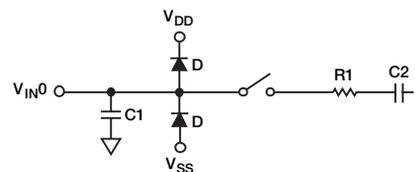


図29. アナログ入力等価回路（シングルエンド）

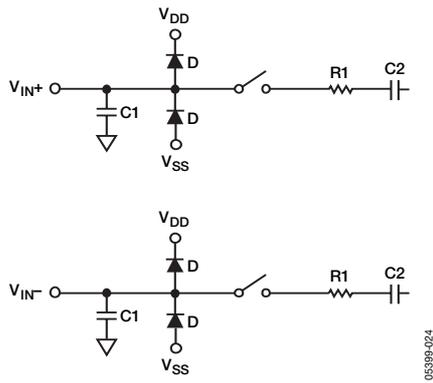


図30. アナログ入力等価回路 (差動)

アナログ入力に V_{DD} と V_{SS} の電源レールより300mV以上近づかないように注意してください。この値を超えると、ダイオードが順方向にバイアスされて、 V_{DD} 電源レールまたは V_{SS} 電源レールに電流が流れるようになります。AD7321に修復不可能な損傷を与えることなくダイオードが許容できる最大電流は10mAです。

図29と図30に示すコンデンサC1の容量は4pF (typ)であり、これは主にピン容量によるものと考えられます。抵抗R1は、入力マルチプレクサとトラック&ホールド・スイッチのオン抵抗値で構成される集中抵抗部品です。コンデンサC2はサンプリング・コンデンサで、容量は選択するアナログ入力範囲によって異なります (「仕様」を参照)。

トラック & ホールド回路部

AD7321のアナログ入力にあるトラック&ホールド・アンプによって、ADCはフルスケール振幅の入力サイン波信号を13ビットの精度で正確に変換できます。このトラック&ホールド・アンプの入力帯域幅は、ADCのナイキスト・レートよりも高くなっています。AD7321は、最大22MHzの周波数に対応できます。

トラック&ホールド・アンプは、 \overline{CS} のエッジが立ち下がった後に発生するSCLKの14番目の立上がりエッジでトラック・モードに入ります。入力信号の取り込みに必要な時間は、サンプリング・コンデンサがどの程度迅速に充電されるかに応じて変化します。信号源インピーダンスが0の場合は、信号を13ビット・レベルで取り込むのに305nsあれば十分です。必要なアキュイジション時間は、次式を利用して求められます。

$$t_{ACQ} = 10 \times ((R_{SOURCE} + R) C)$$

ここで、 C はサンプリング・コンデンサの容量、 R はトラック&ホールド・アンプから入力側を見る場合に確認される抵抗値です。AD7321では、 R の値に入力マルチプレクサのオン抵抗値が含まれ、typ値は300 Ω です。 R_{SOURCE} には、アナログ入力に追加される信号源インピーダンスを含めてください。

AD7321は、SCLKの14番目の立上がりエッジでトラック・モードに入ります。10MHzのSCLK信号を使用し、500kSPSのスループット・レートでAD7321を動作させる場合、ADCはおよそ以下の時間でアナログ入力信号を取り込みます。

$$1.5 \text{ SCLK} + t_8 + t_{QUIET}$$

ADCは、 \overline{CS} の立下がりエッジでホールド・モードに戻ります。

V_{DD}/V_{SS} 電源電圧を低下させると、これに伴って入力マルチプレクサのオン抵抗値が増加します。 t_{ACQ} を求める式に基づいて、AD7321のアキュイジション時間を長くする必要があります。したがって、回路全体のスループット・レートを低速化してください。 V_{DD} および V_{SS} 電源が低くなるにしたがって、THDの規定性能がわずかに低下することが図31から確認されます。最小の V_{DD} および V_{SS} 電源を使用した動作では、スループット・レートを低くすればTHDの規定性能が維持されます。

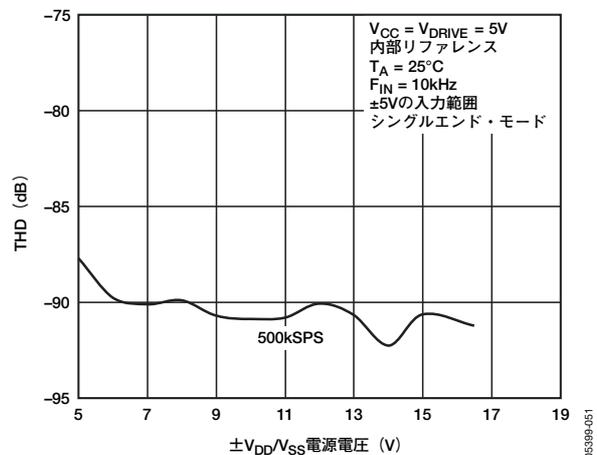


図31. $\pm V_{DD}/V_{SS}$ 電源電圧 対 THD (500kSPS時)

他のバイポーラADCとは異なり、AD7321には抵抗性のアナログ入力構造部がありません。AD7321では、バイポーラのアナログ信号がサンプリング・コンデンサ上で直接的にサンプリングされます。したがって、AD7321では高いアナログ入力インピーダンスが維持されます。アナログ入力インピーダンスの概算値を次式から計算できます。

$$Z = 1/(f_s \times C_s)$$

ここで、 f_s はサンプリング周波数、 C_s はサンプリング・コンデンサの容量です。

C_s は、選択したアナログ入力範囲によって異なります (「仕様」を参照)。500kSPSの動作時に、入力範囲 $\pm 10V$ の場合のアナログ入力インピーダンスは145k Ω (typ値)です。サンプリング周波数を低くしていくと、アナログ入力インピーダンスはさらに増加します。したがって、アナログ入力インピーダンスの増加に伴い、アナログ入力の駆動に必要なとされる電流が低く抑えられます。

代表的な接続図

図32は、AD7321の代表的な接続図を示します。この回路構成では、AGNDピンをシステムのアナログ・グラウンド・プレーンに接続し、DGNDピンをシステムのデジタル・グラウンド・プレーンに接続しています。アナログ入力は、シングルエンド、真の差動、疑似差動のいずれかのモードで動作するように設定できます。AD7321は内部リファレンスまたは外部リファレンスを用いて動作します。図32では、2.5Vの内部リファレンスで動作する設定になっています。内部リファレンスによる動作時には、680nFのデカップリング・コンデンサを外付けしてください。

V_{CC} ピンは、3Vまたは5Vの電源電圧に接続できます。 V_{DD} と V_{SS} は、高電圧のアナログ入力構造部に供給される両電源です。これらのピンの電圧は、各アナログ入力チャンネルで選択したアナログ入力範囲の最大値か、それよりも高くしてください(表6を参照)。 V_{DRIVE} ピンは、マイクロプロセッサの電源電圧に接続します。 V_{DRIVE} 入力に印加される電圧によって、シリアル・インターフェースの動作電圧が制御されます。 V_{DRIVE} は3Vまたは5Vに設定できます。

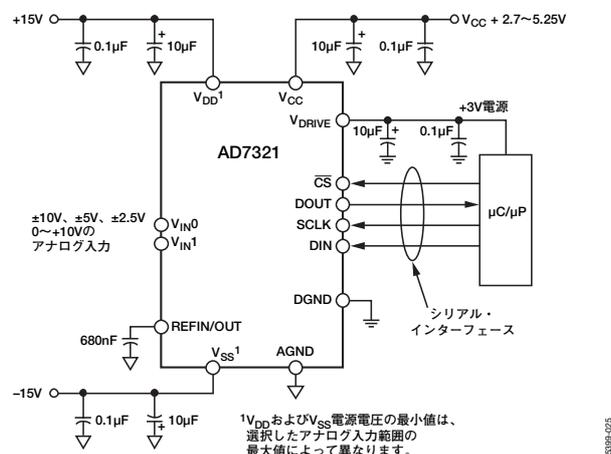
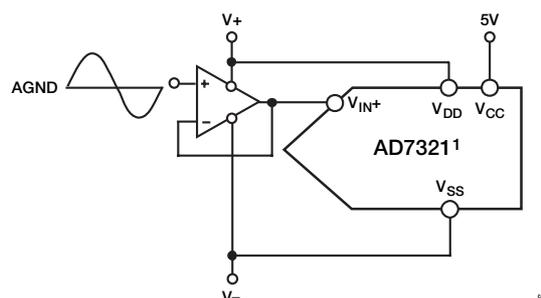


図32. 代表的な接続図

アナログ入力

シングルエンド入力

シングルエンド・モードで動作させる場合、AD7321のアナログ入力は合計2チャンネルになります。各アナログ入力を個別に、4つの入力範囲のいずれか1つに設定できます。信号源インピーダンスの高いアプリケーションでは、信号をADCのアナログ入力に加える前にバッファすることを推奨します。図33は、AD7321のシングルエンド・モード構成回路を示します。

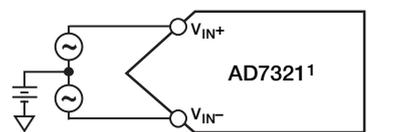


1わかりやすくするために、他のピンは省略しています。

図33. シングルエンド・モードの代表的な接続図

真の差動モード

1つの真の差動アナログ入力ペアでAD7321を動作させることが可能です。差動信号がシングルエンド信号よりも優れている利点として、デバイスの同相除去性能に基づくノイズ耐性の向上と歪み性能の改善が挙げられます。図34は、AD7321の真の差動アナログ入力構成回路を示します。



1わかりやすくするために、他のピンは省略しています。

図34. 真の差動入力

動信号の振幅は、各差動ペアの V_{IN+} と V_{IN-} の各ピンに入力される信号の差($V_{IN+} - V_{IN-}$)に相当します。振幅がそれぞれ $\pm 4 \times V_{REF}$ (選択する入力範囲により異なる)で、位相が 180° 異なる2つの信号によって、 V_{IN+} と V_{IN-} を同時に駆動してください。 $\pm 4 \times V_{REF}$ モードを想定した場合、差動信号の振幅は同相電圧に関係なく $-20 \sim +20 V_{p-p}$ ($2 \times 4 \times V_{REF}$)となります。

同相電圧は、2つの信号の平均値として以下のように表されます。

$$(V_{IN+} + V_{IN-})/2$$

したがって、同相電圧は2つの入力信号の中心に相当する電圧です。

この電圧は外部から設定し、その範囲はリファレンス電圧に応じて変化します。リファレンス電圧を高くすると、同相電圧範囲が減少します。差動入力をアンプで駆動する場合、実際と同相電圧範囲はアンプの出力振幅によって決定されます。差動入力をアンプで駆動しない場合は、 V_{DD} と V_{SS} の各電源ピンの電源電圧によって、同相電圧範囲が決まります。

変換時に同相電圧が除去されるため、 -4096 から $+4095$ までのデジタル・コードに対応して振幅が $-2 \times (4 \times V_{REF})$ から $+2 \times (4 \times V_{REF})$ までの範囲のノイズのない信号が確保されます。

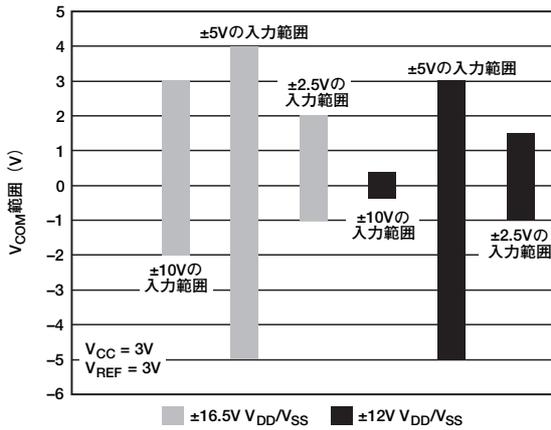


図35. 同相電圧範囲 ($V_{CC}=3V$ 、 $REFIN/OUT=3V$)

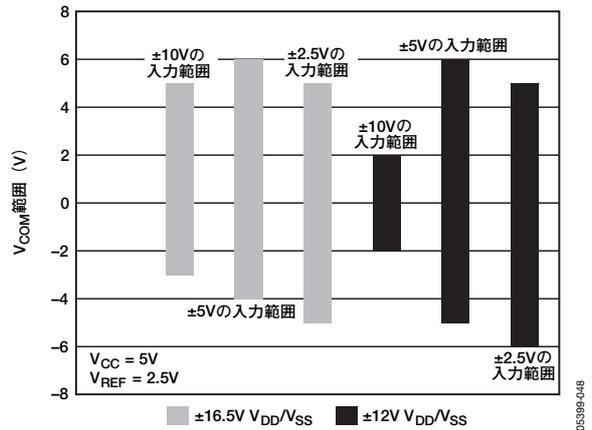


図38. 同相電圧範囲 ($V_{CC}=5V$ 、 $REFIN/OUT=2.5V$)

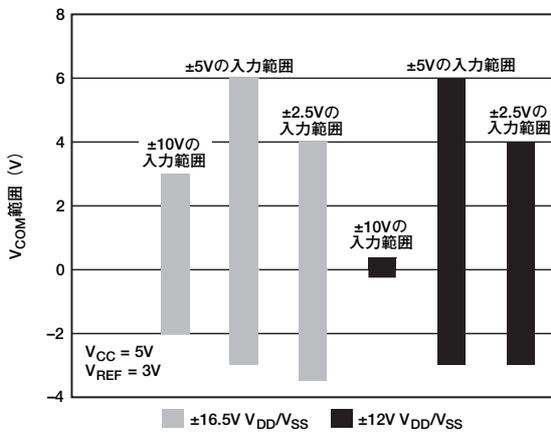


図36. 同相電圧範囲 ($V_{CC}=5V$ 、 $REFIN/OUT=3V$)

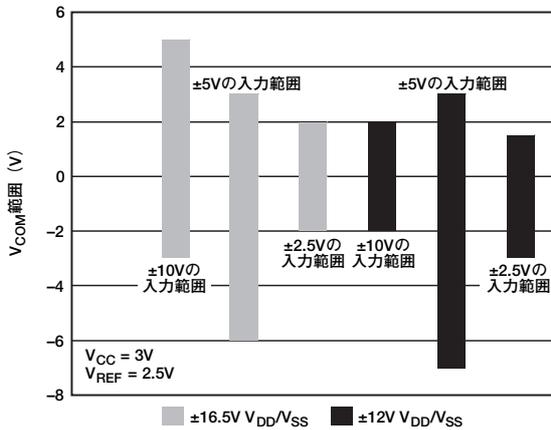
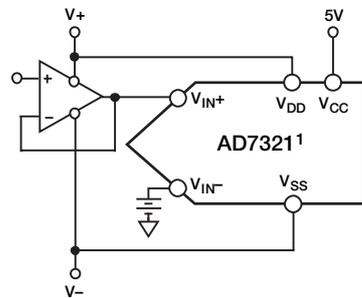


図37. 同相電圧範囲 ($V_{CC}=3V$ 、 $REFIN/OUT=2.5V$)

疑似差動入力

1つの疑似差動アナログ入力ペアでAD7321を動作させることが可能です。 V_{IN+} は信号源に結合されるため、入力範囲レジスタの設定によって該当チャンネルについて選択した入力範囲内に振幅を維持してください。 V_{IN-} には、DC入力に加えられます。このピンに入力された電圧は、グラウンドまたは疑似グラウンドからのオフセット電圧として、 V_{IN+} 入力に対して供給されます。疑似差動入力は、アナログ入力信号グラウンドをADCのグラウンドから分離するため、DC同相電圧がキャンセルされます。

変換の実行時に、疑似グラウンドが-4096のコードに対応し、最大振幅が+4095のコードに対応します。

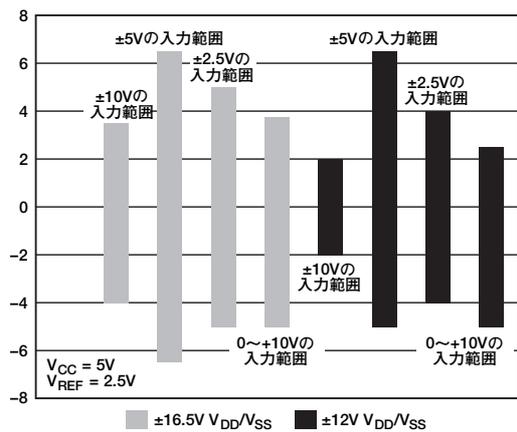
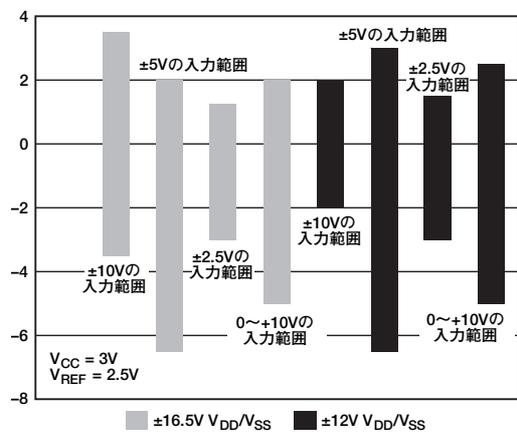


1わかりやすくするために、他のピンは省略しています。

図39. 疑似差動入力

図40と図41は、疑似差動モードに設定している場合の、各種のアナログ入力範囲に対応して選択可能な V_{IN-} ピンの代表的な動作電圧範囲を示します。

たとえば、AD7321を疑似差動モードで動作するように設定し、 $\pm 5V$ の入力範囲と $\pm 16.5V$ の V_{DD}/V_{SS} 電源、および $5V$ の V_{CC} を選択する場合、 V_{IN-} ピンの電圧を $-6.5 \sim +6.5V$ の範囲内で変化させることが可能です。

図40. 疑似差動入力範囲 ($V_{CC}=5V$)図41. 疑似差動入力範囲 ($V_{CC}=3V$)

ドライバ・アンプの選択

高調波歪みと信号対ノイズ比の仕様が重要なアプリケーションでは、AD7321のアナログ入力を低インピーダンスの信号源で駆動してください。信号源インピーダンスが大きいと、ADCのAC性能に大きい悪影響を及ぼすため、場合によっては入力バッファアンプの利用が必要になります。

アナログ入力の駆動にアンプを使用しない場合は、信号源インピーダンスを低い値に制限してください。信号源インピーダンスの最大値は、アプリケーションで許容可能なTHD値によって異なります。信号源インピーダンスの増加に伴って、THDが高くなり、その結果性能が低下します。図21と図22は、各種信号源インピーダンス時におけるアナログ入力周波数とTHDの関連特性を示します。選択する入力範囲とアナログ入力構成によって異なりますが、AD7321はTHDの低下が始まる前に、最大で5.5kΩまでの信号源インピーダンスに対処できます。

AD7321には、アナログ入力を設定できる特性があるため、入力の駆動に使用するオペアンプの選択は個々のアプリケーション、および選択する入力構成とアナログ入力電圧範囲によって異なります。

ドライバ・アンプは、AD7321の規定されたアキュイジション時間よりも短い時間内に、フルスケール・ステップに対して0.0122%の13ビット・レベルにセトリングできる能力を備えていることが要求されます。シングルエンド・モードの動作では、AD8021などのオペアンプを使用すればこの条件を満たします。AD8021では、NPOタイプのコンデンサによる外部補償が必要です。デュアル・バージョンが必要とされる高周波数アプリケーションでは、AD8022も使用できます。周波数の低いアプリケーションには、シングルエンド・モードの構成で、AD797、AD845、AD8610などのオペアンプをAD7321の駆動アンプとして利用できます。

差動入力の動作では、位相が180°異なる同一振幅の2つの信号で V_{IN+} と V_{IN-} を同時に駆動します。AD7321の外部で同相電圧を設定してください。同相電圧範囲は、REFIN/OUT電圧、 V_{CC} 電源電圧、アナログ入力の駆動に使用するアンプによって決まります。AC入力またはDC入力のいずれかを使用する差動モードでは、幅広い周波数範囲で最良のTHD性能が確保されます。差動動作に対応するように信号が事前に調整されていないアプリケーションもあるため、場合によってはシングルエンド/差動変換の実行が必要になります。

2個で1組のオペアンプを使用して、シングルエンド/差動変換を実行できます。オペアンプ・ペアを使用する代表的な接続図を図42と図43に示します。図42では、2番目のオペアンプの非反転入力に同相信号が加えられています。

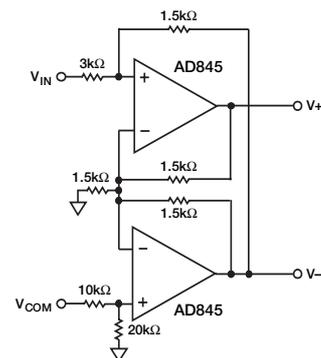


図42. AD845を使用したシングルエンド/差動変換構成回路

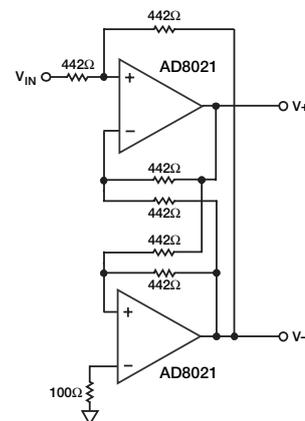


図43. AD8021を使用したシングルエンド/差動変換構成回路

レジスタ

AD7321には、コントロール・レジスタと入力範囲レジスタの2個のプログラマブル・レジスタがあります。これらのレジスタは、書き込み専用レジスタです。

レジスタのアドレス指定

AD7321で実行されるシリアル転送動作は、16SCLKサイクルで構成されます。16SCLKサイクルの転送動作時にDINライン上の3個のMSBがデコードされ、どちらのレジスタのアドレスを指定するかを決定します。3個のMSBは、書き込みビット、ゼロのビット、レジスタ選択ビットで構成されます。レジスタ選択ビットは、2個の内蔵レジスタのどちらを選択するかを決定します。書き込みビットは、レジスタ選択ビットでアドレス指定されたレジスタにDINライン上のデータをロードするか否かを決定します。書き込みビットが1であれば、レジスタ選択ビットでアドレス指定されたレジスタにビット値がロードされます。書き込みビットが0のときには、DINライン上のデータがどちらのレジスタにもロードされません。

表8. レジスタ選択ビットと書き込みビットのデコーディング

書き込みビット	ゼロのビット	レジスタ選択ビット	説明
0	0	0	シリアル転送時にDINライン上のデータが無視されます。
1	0	0	コントロール・レジスタが選択されます。次の12ビットがコントロール・レジスタにロードされます。
1	0	1	入力範囲レジスタが選択されます。次の6ビットが入力範囲レジスタにロードされます。

コントロール・レジスタ

コントロール・レジスタを使用して、アナログ入力チャンネル、アナログ入力の構成、リファレンス、出力コーディング、パワー・モードを選択します。コントロール・レジスタは書き込み専用の12ビット・レジスタです。DINライン上にロードされたデータが、次の変換で適用されるAD7321の設定に対応します。入力範囲レジスタを初期化してから、コントロール・レジスタにデータをロードしてください。コントロール・レジスタのビット機能を表9で説明します（全ビットのパワーアップ時のステータスは0です）。

MSB												LSB			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
書き込み	ゼロ	レジスタ選択	ゼロ	ゼロ	ADD0	モード1	モード0	PM1	PM0	コーディング	リファレンス	シーケンス1	シーケンス2	ゼロ	0

表9. コントロール・レジスタの詳細

ビット	名前	説明
12、11、1	ゼロ	これらのビットには常に0を書き込んでください。
10	ADD0	このチャンネル・アドレス・ビットは、シーケンサを使用していない場合に、次の変換を実行するアナログ入力チャンネルを選択します。シーケンサを使用している場合は、連続的なシーケンスの最後のチャンネルを選択します。
9、8	モード1、モード0	この2つのモード・ビットは、 V_{IN0} と V_{IN1} の2本のアナログ入力ピンの設定を選択します。これらのピンは、チャンネル・アドレス・ビットとともに使用します。AD7321では、アナログ入力を2つのシングルエンド入力、1つの真の差動入力ペア、1つの疑似差動入力のいずれかとして構成できます（表10を参照）。
7、6	PM1、PM0	これらのパワー・マネジメント・ビットは、AD7321に搭載されている各種パワー・モード・オプションを選択します（表11を参照）。
5	コーディング	このビットは、AD7321で次の変換結果に適用される出力コーディングのタイプを選択します。このビットが0であれば、出力コーディングは2の補数です。このビットが1のときには、ストレート・バイナリが選択されます。シーケンス・モードの動作時には、各チャンネルの出力コーディングは、コントロール・レジスタの最後の書き込み動作でコーディング・ビットに書き込まれた値によって選択されます。
4	リファレンス	このリファレンス・ビットは、内部リファレンスをイネーブル/ディスエーブルにします。このビットが0であれば、外部リファレンスがイネーブルになって次の変換に使用され、内部リファレンスはディスエーブルに設定されます。このビットが1のときには、内部リファレンスが次の変換に使用されます。シーケンス・モードの動作時には、各チャンネルで使用されるリファレンスは、コントロール・レジスタの最後の書き込み動作でリファレンス・ビットに書き込まれた値によって選択されます。
3、2	シーケンス1/ シーケンス2	シーケンス1とシーケンス2の各ビットは、シーケンサの動作制御に使用します（表12を参照）。

2チャンネルのアナログ入力を1つの疑似差動アナログ入力、1つの真の差動入力ペア、2つのシングルエンド・アナログ入力のいずれかとして構成できます。

表10. アナログ入力構成の選択

チャンネル・ アドレス・ビット	モード1=1、モード0=1		モード1=1、モード0=0		モード1=0、モード0=1		モード1=0、モード0=0	
	禁止		1つの完全差動入力		1つの疑似差動入力		2つのシングルエンド入力	
ADD0	V_{IN+}	V_{IN-}	V_{IN+}	V_{IN-}	V_{IN+}	V_{IN-}	V_{IN+}	V_{IN-}
0	—	—	V_{IN0}	V_{IN1}	V_{IN0}	V_{IN1}	V_{IN0}	AGND
1	—	—	V_{IN0}	V_{IN1}	V_{IN0}	V_{IN1}	V_{IN1}	AGND

AD7321

表11. パワー・モードの選択

PM1	PM0	説明
1	1	完全なシャットダウン・モード。AD7321のすべての内部回路がパワーダウンします。AD7321が完全なシャットダウン・モードにあるときには、コントロール・レジスタに格納されている情報が保持されます。
1	0	自動シャットダウン・モード。コントロール・レジスタの更新時に、AD7321はSCLKの15番目の立上がりエッジで自動シャットダウン・モードに入ります。すべての内部回路がパワーダウンします。
0	1	自動スタンバイ・モード。このモードのときには、内部リファレンスを除くすべての内部回路がパワーダウンします。コントロール・レジスタの更新後、AD7321はSCLKの15番目の立上がりエッジで自動スタンバイ・モードに入ります。
0	0	ノーマル・モード。すべての内部回路が常にパワーアップ状態に維持されます。

表12. シーケンサの選択

シーケンス1	シーケンス2	説明
0	0	チャンネル・シーケンサは使用されません。コントロール・レジスタのADD0ビットの設定により選択されたアナログ・チャンネルが、次の変換チャンネルとなります。
1	0	このビット設定は、コントロール・レジスタのチャンネル・アドレス・ビットとともに使用します。これにより、チャンネル0からコントロール・レジスタのチャンネル・アドレス・ビットで選択されたチャンネルまでの間の連続的なチャンネル・シーケンスで連続的な変換の実行が可能になります。各チャンネルの入力範囲は、入力範囲レジスタにすでに書き込まれている範囲にデフォルト設定されます。
1	1	チャンネル・シーケンサは使用されません。コントロール・レジスタのADD0ビットの設定により選択されたアナログ・チャンネルが、次の変換チャンネルとなります。

入力範囲レジスタ

入力範囲レジスタを使用して、アナログ入力チャンネルごとにアナログ入力範囲を選択するか、またはチャンネル0とチャンネル1両方の入力範囲を設定します。このレジスタは6ビットの書き込み専用レジスタで、チャンネル0とチャンネル1のアナログ入力チャンネルごとに専用の2つの入力範囲ビットが割り当てられています。±10V、±5V、±2.5V、0～+10Vの4つのアナログ入力範囲を選択できます。入力範囲レジスタの書き込み動作は、書き込みビットを1、ゼロ・ビットを0、レジスタ選択ビットを1に設定して選択します。入力範囲レジスタに最初に書き込みを行えば、その後アナログ入力を選択するたびに、AD7321は入力範囲レジスタで指定された該当の範囲にアナログ入力を自動的に設定します。各アナログ入力チャンネルのデフォルトの設定は±10Vです（表13を参照）。

MSB											LSB				
16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
書き込み	ゼロ	レジスタ選択	V _{IN} 0A	V _{IN} 0B	0	0	V _{IN} 1A	V _{IN} 1B	0	0	0	0	0	0	0

表13. 入力範囲の選択

V _{IN} XA	V _{IN} XB	説明
0	0	V _{IN} X上で±10Vの入力範囲が選択されます。
0	1	V _{IN} X上で±5Vの入力範囲が選択されます。
1	0	V _{IN} X上で±2.5Vの入力範囲が選択されます。
1	1	V _{IN} X上で0～+10Vの入力範囲が選択されます。

シーケンサ動作

AD7321では連続的なチャンネル・シーケンスで変換を実行するように設定できます（図44を参照）。このシーケンスはチャンネル0の変換動作から開始され、コントロール・レジスタのADD0ビットによって選択されたチャンネルで終了します。この設定時には、シーケンス・レジスタに書き込みを行う必要がありません。AD7321をこのモードで動作させるには、シーケンス1ビットを1、シーケンス2ビットを0に設定し、次にコントロール・レジスタのADD0ビットの設定によりシーケンスの最後のチャンネルを選択します。

AD7321をこのモードで動作させる設定がコントロール・レジスタで完了したら、DINラインをローレベルに保持するか、または書き込みビットを0に設定してください。従来のマルチチャンネル動作に戻る際には、コントロール・レジスタの書き込みを行い、シーケンス1とシーケンス2の各ビットを0に設定します。

シーケンス1とシーケンス2両方のビットを0または1に設定すると、AD7321は従来のマルチチャンネル・モードで動作します。このモードでコントロール・レジスタのチャンネル・アドレス・ビットADD0に書き込みを行えば、次に変換が実行されるチャンネルを選択できます。

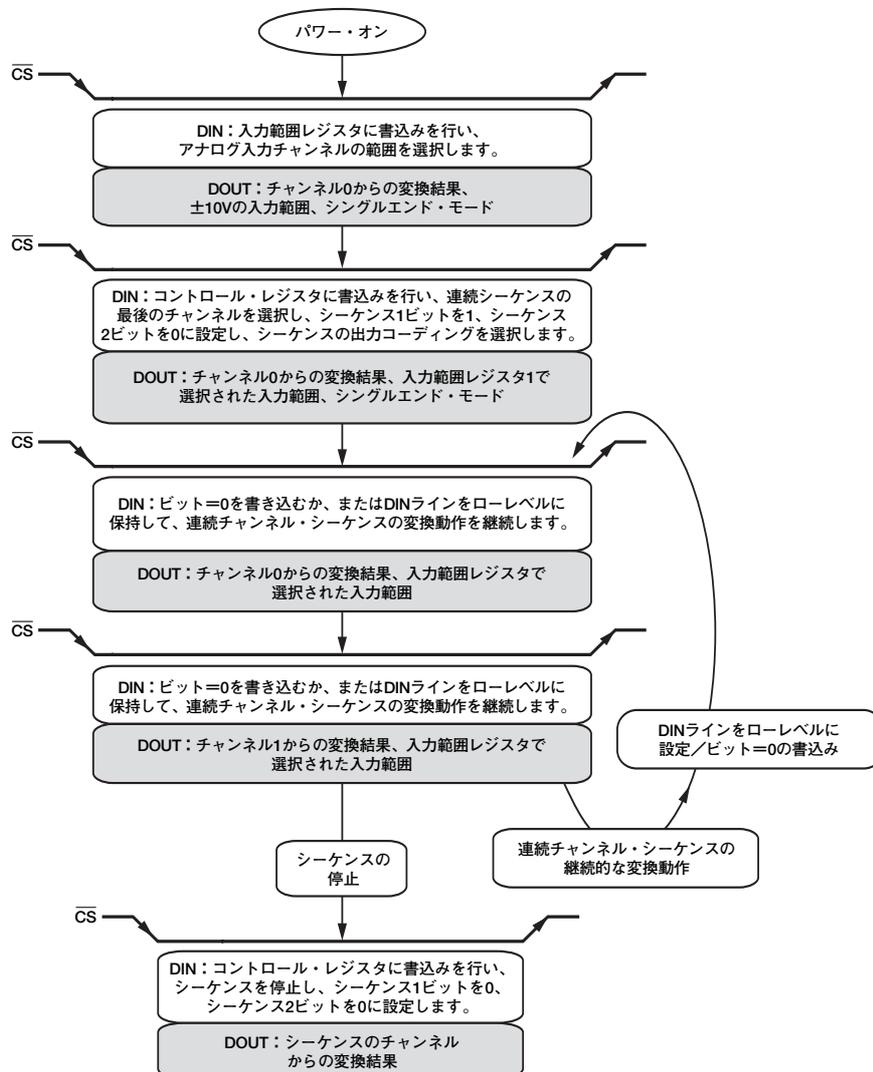


図44. 連続的なチャンネル・シーケンスのフローチャート

05399-032

リファレンス

AD7321は2.5V出力の内部オンチップ・リファレンス、または外部から供給されるリファレンスによる動作が可能です。内部リファレンスを選択するには、コントロール・レジスタのリファレンス・ビットを1に設定します。パワーアップ時には、リファレンス・ビットは0に設定されており、変換には外部リファレンスが使用されます。AD7321に適した外部リファレンスには、AD780、AD1582、ADR431、REF193、ADR391があります。

内部リファレンス回路は、2.5Vのバンドギャップ・リファレンスとリファレンス・バッファで構成されます。AD7321を内部リファレンス・モードで動作させるとき、REFIN/OUTピンから2.5Vの内部リファレンス電圧が供給されます。680nFのコンデンサを使用して、このピンをAGNDにデカップリングしてください。内部リファレンス電圧をシステム内部の他の回路に使用供給する場合はバッファすることを推奨します。内部リファレンスは、最大で90 μ Aまでの電流をソースする能力を備えています。

パワーアップ時に、ADCの変換に内部リファレンス動作が必要とされる場合は、コントロール・レジスタに書き込みを行ってリファレンス・ビットを1に設定してください。コントロール・レジスタの書き込み動作時には、最初の変換で得られた結果が無効になります。リファレンス・バッファは、パワーアップするまでに500 μ sの時間を必要とし、そのパワーアップ時間中に680nFのデカップリング・コンデンサを充電します。

AD7321の仕様は、2.5~3V出力範囲のリファレンス電圧に対して規定されています。3Vのリファレンスを選択する場合、入力範囲は $\pm 12V$ 、 $\pm 6V$ 、 $\pm 3V$ 、 $0\sim +12V$ となります。これらの入力範囲では V_{DD} と V_{SS} の各電源は、選択した入力範囲の最大値か、それよりも高い電圧としてください（表6を参照）。

V_{DRIVE}

AD7321は、シリアル・インターフェースの動作電圧を制御する V_{DRIVE} 機能を備えています。 V_{DRIVE} 機能によって、ADCは3Vおよび5V電源動作のプロセッサと容易にインターフェースできます。たとえば、5Vの V_{CC} を使用してAD7321を動作させ、3Vのロジック処理を行う場合、 V_{DRIVE} ピンに3V電源を供給できます。したがって、AD7321は大きいバイポーラ入力信号を受け入れ、しかも低電圧のデジタル信号処理を実行できます。

動作モード

AD7321は、柔軟性の高いパワー・マネジメント・オプションを提供する動作モードをいくつか備えています。これらのオプションを選択して、さまざまなアプリケーションの要求に対して、消費電力/スループット・レート比を最適化できます。表11に示したように、コントロール・レジスタのパワー・マネジメント・ビットであるPM1とPM0を使用して、AD7321の動作モード制御します。デフォルトは、内部回路のすべてが完全にパワーアップするノーマル・モードです。

ノーマル・モード

(PM1=PM0=0)

このモードでは、AD7321は常時完全なパワーアップ状態にあるため、最高速のスループット・レート性能が得られます。ノーマル・モードでのAD7321の一般的な動作タイミングを図45に示します。

「シリアル・インターフェース」で説明するように、 \overline{CS} の立下がりエッジで変換が開始され、トラック&ホールド・アンプ回路部がホールド・モードに入ります。書き込みビットを設定すれば、16SCLKの転送サイクル時にDINライン上のデータが、オンチップ・レジスタのいずれか1つにロードされます。レジスタ選択ビットの設定によって、レジスタを選択します（表8を参照）。

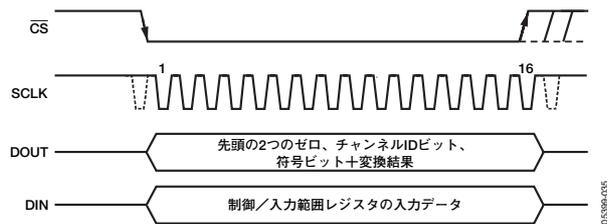


図45. ノーマル・モード

コントロール・レジスタでPM1とPM0両方のビットを0に設定すると、AD7321は変換の終了後も完全なパワーアップ状態を維持します。

変換の実行を完了して変換結果にアクセスするには、シリアル・クロックで16サイクルが必要です。変換が終了して次の変換が開始されるまでの間に、 \overline{CS} をハイまたはローレベルのアイドル状態にできます。

データ転送が完了すると、静止時間 t_{QUIET} が経過した後、次の変換を開始できます。

完全なシャットダウン・モード

(PM1=PM0=1)

このモードでは、AD7321のすべての内部回路がパワーダウンします。完全なシャットダウンの間、AD7321はレジスタの情報を保持します。コントロール・レジスタのパワー・マネジメント・ビットであるPM1とPM0を変更するまで、AD7321は完全なシャットダウン・モードにとどまります。

コントロール・レジスタの書き込みでPM1=1、PM0=1に設定すると、AD7321は完全なシャットダウン・モードに入ります。コントロール・レジスタの更新後、SCLKの15番目の立上がりエッジが発生するときに、AD7321が完全なシャットダウン・モードに入ります。

AD7321が完全なシャットダウン・モードにある間に、コントロール・レジスタの書き込みを行い、パワー・マネジメント・ビットであるPM1とPM0を0に設定すれば（ノーマル・モード）、コントロール・レジスタの更新後、SCLKの15番目の立上がりエッジが発生するときに、AD7321はパワーアップ状態に戻ります。図46は、AD7321が完全なシャットダウン・モードを終了する設定のタイミング図を示します。AD7321を確実に完全なパワーアップ状態にするには、 \overline{CS} の次の立下がりエッジが発生する前に、パワーアップ時間 $t_{\text{POWER-UP}}$ が経過するまで待ちます。

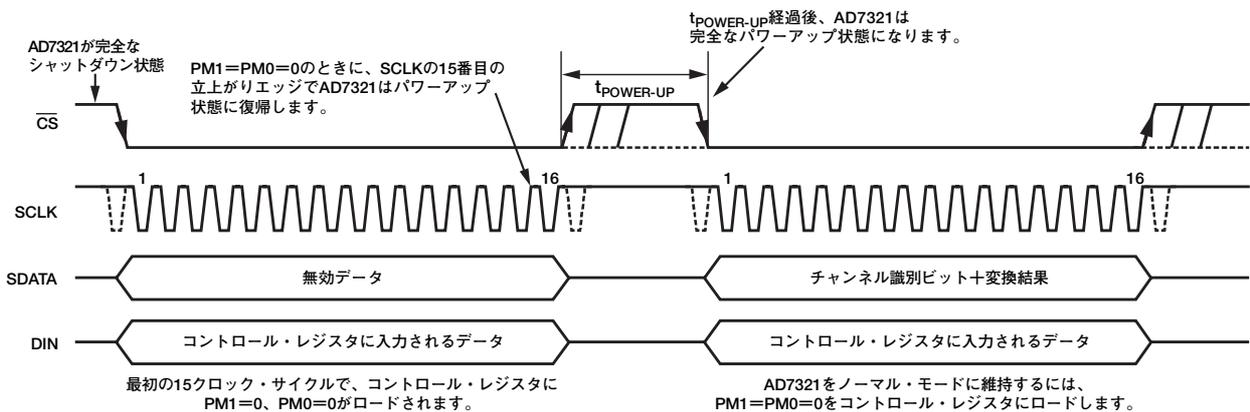


図46. 完全なシャットダウン・モードの終了タイミング

自動シャットダウン・モード

(PM1=1, PM0=0)

自動シャットダウン・モードを選択すると、AD7321はSCLKの15番目の立上がりエッジで自動的にシャットダウン状態に入ります。自動シャットダウン・モードでは、すべての内部回路がパワーダウンします。自動シャットダウンの間、AD7321はレジスタの情報を保持します。トラック&ホールド・アンプは、自動シャットダウン時にホールド・モードに維持されます。 \overline{CS} のエッジが立ち上がると、シャットダウン中にホールド・モードにあったトラック&ホールド・アンプがトラック・モードに復帰し、AD7321はパワーアップを開始します。自動シャットダウンからパワーアップするまでの時間は、500 μ sです。

コントロール・レジスタを自動シャットダウン・モードに移行するように設定すると、SCLKの15番目の立上がりエッジでこのモードに入ります。図47は、AD7321が自動シャットダウン・モードに入るタイミングを示します。 \overline{CS} のエッジが立ち上がると、AD7321は自動的にパワーアップ状態に復帰する動作を開始します。 $t_{POWER-UP}$ の時間が経過してから、 \overline{CS} 信号をローレベルに設定して有効な変換を開始できます。この有効な変換動作が完了すれば、AD7321はSCLKの15番目の立上がりエッジで再びパワーダウン状態に入ります。AD7321を自動シャットダウン・モードに維持するには、 \overline{CS} 信号を再びローレベルに保持してください。

自動スタンバイ・モード

(PM1=0, PM0=1)

自動スタンバイ・モードのときには、AD7321の一部の回路がパワーダウンしますが、オンチップのリファレンスはパワーアップ状態にとどまります。オンチップのリファレンスを確実にイネーブルにするには、コントロール・レジスタのリファレンス・ビットを1に設定してください。このモードは自動シャットダウン・モードと類似していますが、AD7321のパワーアップ時間が大幅に迅速化され、より高速のスループット・レートを達成できます。

このモードでは自動シャットダウン・モードの場合と同様に、コントロール・レジスタの更新後、SCLKの15番目の立上がりエッジが発生するときに、AD7321がスタンバイ・モードに入ります（図47を参照）。スタンバイの間、AD7321はレジスタに情報を保持します。AD7321は \overline{CS} の立上がりエッジを受信するまで、スタンバイ状態を維持します。 \overline{CS} の立上がりエッジで、自動的にパワーアップ状態に復帰する動作を開始します。 \overline{CS} のエッジが立ち上がると、スタンバイ時にホールド・モードにあったトラック&ホールド・アンプがトラック・モードに復帰します。

スタンバイ・モードからパワーアップするまでの時間は、700nsです。700ns経過するまで待つてから、 \overline{CS} 信号をローレベルに設定して、有効な変換を開始してください。この有効な変換動作の実行が完了すれば、AD7321はSCLKの15番目の立上がりエッジで再びスタンバイ・モードに戻ります。AD7321をスタンバイ・モードに維持するには、 \overline{CS} 信号を再びローレベルに保持してください。

図47は、AD7321が自動シャットダウン・モードに入るタイミングを示します。このイベント・シーケンスは、AD7321が自動スタンバイ・モードに入るときも同じです。図47では、自動シャットダウンを実行するようにパワー・マネジメント・ビットを設定しています。自動スタンバイ・モードを選択するときには、PM1とPM0をそれぞれ0と1に設定してください。

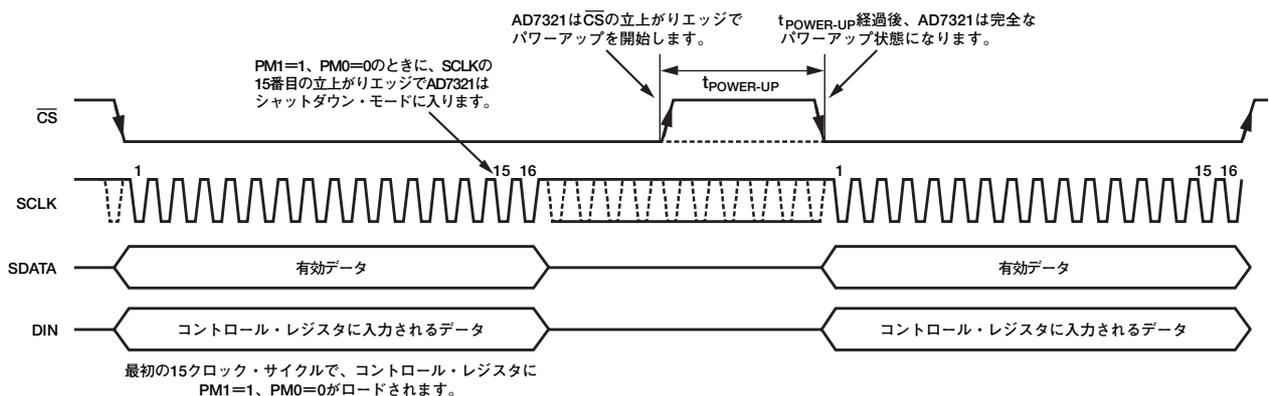


図47. 自動シャットダウン/自動スタンバイ・モードの開始タイミング

AD7321

消費電力とスループット・レートの関係

AD7321の消費電力は、スループット・レートの変化に伴って変動します。AD7321の静止時消費電力は非常に低く、スループット・レートを低速化している場合は、消費電力を大幅に節減できます。図48と図49は、それぞれ3Vと5Vの V_{CC} を使用する場合のAD7321のスループット・レートと消費電力の関連特性を示します。いずれのプロットも、サンプル周波数を低くすれば、AD7321の平均消費電力が大幅に低減することをはっきりと示しています。この結果は、固定されたSCLK値を使用する場合、またはサンプリング周波数に対応させてSCLKをスケールする場合にも同様に当てはまります。図48と図49には、サンプリング周波数に対応してSCLKを変化させる場合のノーマル・モード動作時の消費電力をプロットしています。

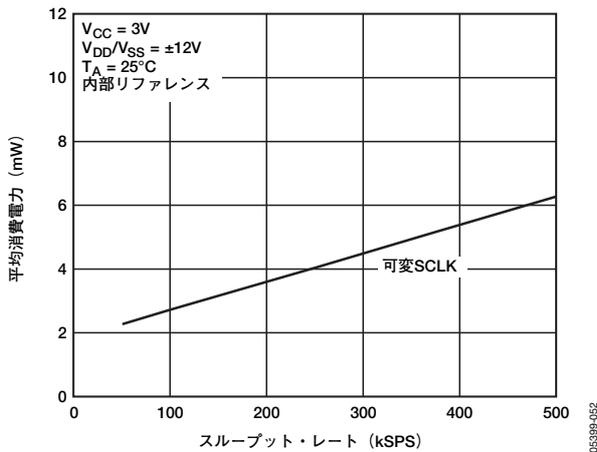


図48. 消費電力とスループット・レートの関係 ($V_{CC}=3V$)

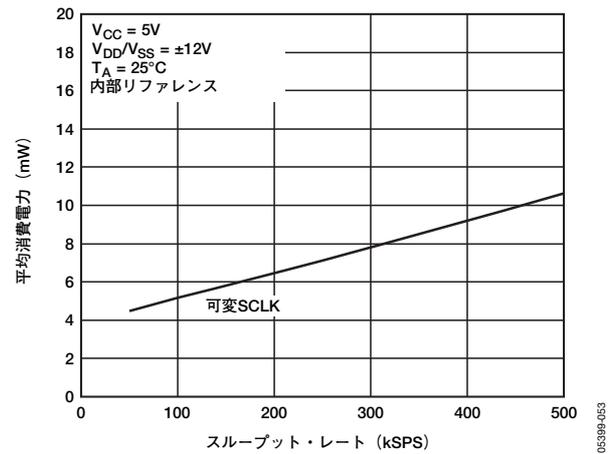


図49. 消費電力とスループット・レートの関係 ($V_{CC}=5V$)

シリアル・インターフェース

図50は、AD7321のシリアル・インターフェースのタイミング図を示します。SCLKピンに加えられるシリアル・クロックは変換クロックとして使用され、変換時にAD7321に対して入出力される情報の転送制御にも使用されます。

データ転送と変換プロセスの開始に \overline{CS} 信号が使用されます。 \overline{CS} の立下がりエッジで、トラック&ホールド・アンプがホールド・モードに入り、バスのスリーステート状態が終了します。その後、アナログ入力信号がサンプリングされます。変換が開始されてから完了するまでに、16SCLKサイクルを要します。

SCLKの14番目の立上がりエッジが発生するときに、トラック&ホールド・アンプはトラック・モードに戻ります。SCLKの16番目の立下がりエッジが発生するときに、DOUTラインがスリーステートの状態に戻ります。16SCLKサイクルが経過しないうちに \overline{CS} の立上がりエッジが発生すると、この時点で変換が終了し、DOUTラインがスリーステートの状態に戻ります。 \overline{CS} をどの時点でハイレベルにするかによって、アドレス指定されたレジスタを更新できます。

データは、SCLKの立下がりエッジでクロック入力されます。DINライン上の3個のMSBをデコードして、どちらのレジスタのアドレスを指定するかを選択します。コントロール・レジスタは12ビットのレジスタです。3個のMSBでコントロール・レジスタのアドレスを指定すると、SCLKの15番目の立下がりエッジが発生するときに、DINライン上のデータがコントロール・レジスタにロードされます。入力範囲レジスタのアドレスを指定する場合は、SCLKの11番目の立下がりエッジが発生するときに、DINライン上のデータが入力範囲レジスタにロードされます。

SCLKのエッジが立ち下がるたびに、変換データがAD7321からクロック出力されます。DOUTライン上のデータは、先頭の2つのゼロ、チャンネル識別ビット、符号ビット、12ビットの変換結果で構成されます。チャンネル識別ビットは、変換結果がどちらのチャンネルに対応するかを識別します。最初のゼロ・ビットは \overline{CS} の立下がりエッジでクロック出力され、2番目のビットはSCLKの最初の立下がりエッジでクロック出力されます。

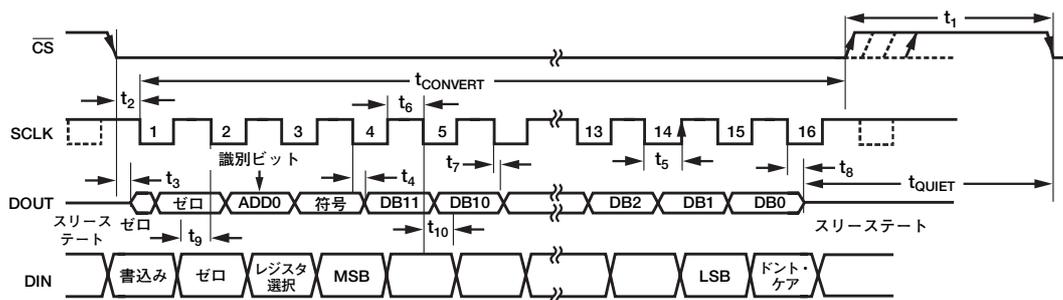


図50. シリアル・インターフェースのタイミング図 (コントロール・レジスタの書込み動作)

910-06953

マイクロプロセッサとのインターフェース

AD7321シリアル・インターフェースにより、さまざまなマイクロプロセッサにデバイスを直接接続できます。ここでは、一般的なマイクロコントローラとDSPのシリアル・インターフェース・プロトコルのいくつかとAD7321を接続する方法を説明します。

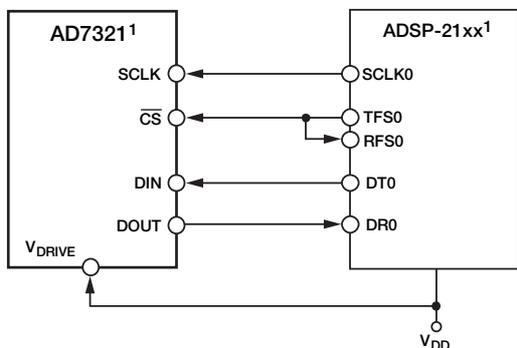
AD7321とADSP-21xxとのインターフェース

ADSP-21xxファミリーのDSPは、外付けロジックなしで直接AD7321にインターフェースできます。AD7321のV_{DRIVE}ピンは、ADSP-21xxと同じ電源電圧を使います。この方法により、ADCはシリアル・インターフェースよりも高い電源電圧による動作が可能になります。ADSP-21xxのSPORT0を表14に示すように設定してください。

表14. SPORT0コントロール・レジスタの設定

設定	説明
TFSW=RFSW=1	オルタナティブ・フレーミング
INVRFS=INVTFS=1	アクティブ・ローレベルのフレーム信号
DTYPE=00	右詰めデータ
SLEN=1111	16ビットのデータワード
ISCLK=1	内部シリアル・クロック
TFSR=RFSR=1	各ワードごとにフレーミング
IRFS=0	
ITFS=1	

接続図を図51に示します。ADSP-21xxでは、TFS0とRFS0間が相互に接続されています。TFS0が出力、RFS0が入力に設定されています。DSPは交番フレーミング・モードで動作し、SPORT0コントロール・レジスタは表14で説明するように設定します。TFSで生成されたフレーム同期信号がCSに接続されますが、すべての信号処理アプリケーションと同様に、等間隔サンプリングが必要です。ただし、この例ではタイマ割込みを使用してADCのサンプリング・レートを制御するため、ある条件下では等間隔サンプリングにならない場合があります。



1わかりやすくするために、他のピンは省略しています。

図51. AD7321とADSP-21xxとのインターフェース

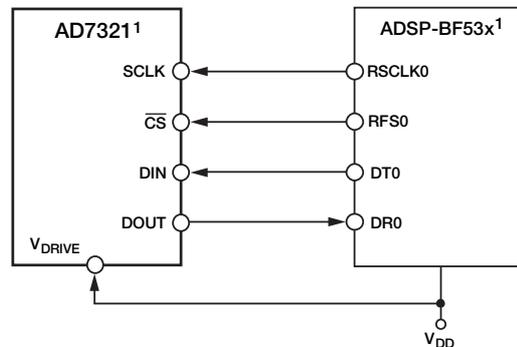
タイマ・レジスタには、必要とされるサンプリング間隔で割込みを発生させる値がロードされます。割込みが受信されると、その値がTFS/DT (ADCの制御ワード) とともに送信されます。TFSを使用してRFS、すなわちデータの読出しを制御します。

シリアル・クロックの周波数は、SCLKDIVレジスタで設定します。TFSとともに送信するための命令が与えられると (AX0=TX0)、シリアル・クロックの状態がチェックされます。SCLKがハイレベル、ローレベル、ハイレベルと変化するのをDSPが待った後、送信が開始されます。SCLKの立ち上がりエッジまたはその近くで送信命令が発行されるように、タイマとSCLKを選択すれば、即時にまたは次のクロック・エッジの発生時にデータを送信できます。

たとえば、ADSP-2111のマスター・クロック周波数は16MHzです。SCLKDIVレジスタに値3をロードすると、2MHzのSCLKが得られ、マスター・クロックの8サイクルがSCLKの1クロック・サイクルに相当します。803の値をタイマ・レジスタにロードすると、各割込みの間、およびその後の送信命令の間に100.5のSCLKが発生します。このような状況では、送信命令がSCLKのエッジで発生するため、等間隔サンプリングが不可能になります。割込み間のSCLKの数をNの整数にすれば、DSPは等間隔サンプリングを実行できます。

AD7321とADSP-BF53xとのインターフェース

図52に示すように、ADSP-BF53xファミリーのDSPは、外付けロジックなしで直接AD7321にインターフェースできます。表15に概説するように、SPORT0受信設定1レジスタの設定を行う必要があります。



1わかりやすくするために、他のピンは省略しています。

図52. AD7321とADSP-BF53xとのインターフェース

表15. SPORT0受信設定1レジスタの設定

設定	説明
RCKFE=1	RSCLKの立ち上がりエッジでデータをサンプリング
LRFS=1	アクティブ・ローレベルのフレーム信号
RFSR=1	各ワードごとにフレーミング
IRFS=1	内部RFSを使用
RLSBIT=0	MSBファーストで受信
RDTYPE=00	常にゼロをロード
IRCLK=1	内部受信クロック
RSPEN=1	受信イネーブル
SLEN=1111	16ビットのデータワード
TFSR=RFSR=1	

アプリケーション情報

レイアウトとグラウンディング

AD7321を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するように設計してください。そうすることによって、分離が容易なグラウンド・プレーンの使用が可能になります。

グラウンド・プレーンに最適なシールドを提供するには、エッチング部分を最小化するのが一般に最もよい方法です。AD7321のすべてのAGNDピンをAGNDプレーンに接続してください。デジタルとアナログのグラウンド・ピンは、1点で接続する必要があります。複数のデバイスがAGNDとDGNDの接続を必要とするシステム内でAD7321を使用する場合でも、接続は1ヶ所で行います。AD7321のグラウンド・ピンのできるだけ近くに星型のグラウンド・ポイントを構成してください。

電源プレーンとグラウンド・プレーンを正しい方法で接続してください。そのためには、各電源ピンとグラウンド・ピンにそれぞれ1個または複数のビアを使用します。

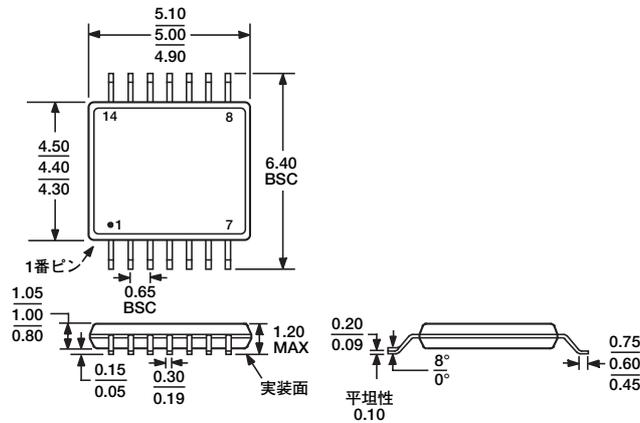
チップにノイズが混入するのを防ぐため、デバイスの真下にデジタル・ラインを設置しないでください。ただし、ノイズ混入を防止するため、アナログ・グラウンド・プレーンはAD7321の下を通るようにします。電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を低減させます。

ボードの他の部分へのノイズの放射を防ぐため、クロックなどの高速スイッチング信号を持つ部品は、デジタル・グラウンドでシールドして、アナログ入力付近を通らないようにしてください。デジタル信号とアナログ信号が交差しないようにしてください。ボード内でのフィードスルーの影響を減らすには、ボードの反対側のパターンは、互いに直角になるように配置します。マイクロストリップ技術を使うのが最もよい方法ですが、両面ボードでは常に可能とは限りません。この技術では、ボードの部品面はグラウンド・プレーン専用にして、信号はハンダ面に配線します。

デカップリングを正しく行うことも重要です。すべてのアナログ電源とAGNDの間には、10 μ Fのタンタル・コンデンサと0.1 μ Fのコンデンサを並列接続して、デカップリングします。デカップリング部品の効果を最大にするには、これらの部品をデバイスのできるだけ近くに、理想的にはデバイスのすぐ隣に配置します。0.1 μ Fのコンデンサには、一般的なセラミック・タイプや表面実装タイプのコンデンサのように、等価直列抵抗(ESR)および等価直列インダクタンス(ESI)の低いものを使用することが重要です。低いESRと低いESIを持つコンデンサは、高周波に対してグラウンドへの低インピーダンス・パスを構成するため、内部ロジックのスイッチングによる過渡電流に対処できます。

AD7321

外形寸法



JEDEC規格MO-153AB-1に準拠

図53. 14ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP] (RU-14)

寸法単位：mm

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD7321BRUZ ¹	-40～+85℃	14ピンTSSOP	RU-14
AD7321BRUZ-REEL ¹	-40～+85℃	14ピンTSSOP	RU-14
AD7321BRUZ-REEL7 ¹	-40～+85℃	14ピンTSSOP	RU-14
EVAL-AD7321CB ²		評価用ボード	
EVAL-CONTROL BRD2 ³		コントローラ・ボード	

¹ Z=鉛フリー製品

² このボードは、評価/デモンストレーション用に、単独の評価用ボードとして使用したり、EVAL-CONTROLと組み合わせて使用したりできます。

³ このコントローラ・ボードを使用すると、製品番号末尾にCBが付いたアナログ・デバイセズ製評価用ボード全製品の制御と通信をPCで行うことができます。評価用キット一式を揃えるには、該当するADCの評価用ボード (EVAL-AD7321CBなど)、EVAL-CONTROL BRD2、12Vのトランスを発注してください。詳細については、関連する評価用ボードのテクニカル・ノートを参照してください。