

AD7304/AD7305*
特長

- 4 基の 8ビット D/AC を 1 パッケージ化
- +3V , +5V および $\pm 5V$ で動作
- レール to レールのリファレンス入力 - 電圧出力スイング
- 2.6 MHz のリファレンス乗算帯域幅
- 高さ 1.1 mm のコンパクトな 16 / 20 ピン TSSOP パッケージ
- パワーオン・リセット機能内蔵
- SPI シリアル・インターフェース互換 AD7304
- 高速パラレル・インターフェース AD7305
- シャットダウン時の消費電流は 40 μA

アプリケーション

- 自動車用出力スパンの電圧
- 計装、キャリブレーションのデジタル・コントロール
- AD7226 とピン互換、 $V_{DD} < 5.5V$ であれば置換可能

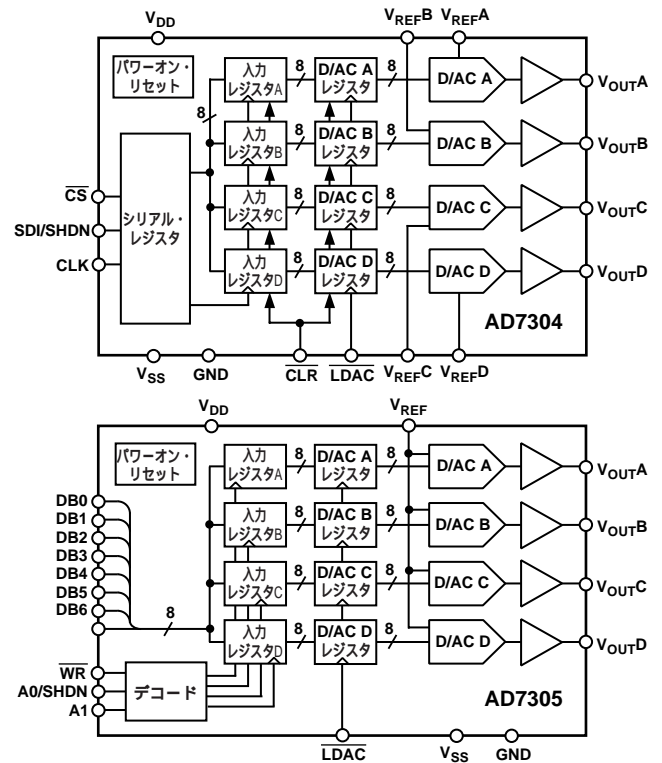
概要

AD7304/AD7305 は、+3 ~ +5V 単電源、あるいは $\pm 5V$ 電源で動作するクワッド・タイプ、8 ビットの D/A コンバータです。AD7304 はシリアル・インターフェース、AD7305 はパラレル・インターフェースを備えています。内蔵の高精度バッファでは、レール to レールのスイングが得られます。リファレンス入力範囲に正負両方の電源が含まれるので、正または負のフルスケール電圧出力が可能です。+2.7 ~ +5.5V の電源電圧範囲での動作が保証されており、消費電力は +3V 動作時で 9 mW 未満です。

フルスケール電圧出力は、外部から印加したリファレンス入力電圧によって決定されます。 V_{REF} 入力と D/AC の V_{OUT} の間でレール to レールの関係が得られることから、フルスケール電圧を正の電源電圧 V_{DD} 、負の電源電圧 V_{SS} 、あるいはこの間の任意の電圧値に設定することができます。

AD7304 のダブル・バッファ内蔵シリアル・データ・インターフェースは、データ・イン(SDI)、クロック(CLK)、およびチップ・セレクト(\overline{CS})を使用し、SPI およびマイクロコントローラ互換の高速、3 線式の入力を提供します。さらに、パワーオン・リセット機能が備わり、パワーオンにตอบสนองして出力をゼロ・スケールにセットします。

パラレル入力の AD7305 では、データを入力レジスタにロードするのに、 \overline{WR} コントロール・ラインとともに標準のアドレス・デコードを使用しています。また、ダブル・バッファを内蔵しているので、4 つの入力レジスタのすべてに新しいデータを前もってロードし、続いて LDAC コントロール・ストロブを用いて新しいデータをそれぞれの対応する D/AC レジスタにコピーすることによって、アナログ出力値を同時更新することができます。AD7305 は、広く使用されている業界標準の AD7226 とピン互換なので、+5.5V 未満の電源で動作させる場合は、置き換えが可能です。

機能ブロック図


AD7304/AD7305 とともにパワーオン・リセット回路を内蔵し、パワーオン時にはゼロ・スケール状態を設定します。また、AD7304 では SDI/SHDN ピン、AD7305 では A0/SHDN ピンを 3 状態にドライブすることにより、シャットダウン(SHDN)機能がアクティブになり、消費電流が 40 μA に抑えられます。

AD7304/AD7305 の仕様は、拡張工業温度範囲(-40 ~ +85)および自動車用温度範囲(-40 ~ +125)で規定されています。AD7304 は、16 ピンのプラスチック DIR(N-16)パッケージとワイド・ボディ SOL-16(R-16)パッケージを用意しました。パラレル入力の AD7305 には、20 ピンのプラスチック DIP(N-20)と SOL-20(R-20)表面実装パッケージを用意しています。なお、非常にコンパクトなアプリケーション用に、厚さ 1.1 mm の TSSOP-16(RU-16)パッケージの AD7304、および TSSOP-20(RU-20)パッケージの AD7305 の発売も予定されています。

*米国特許第 5684481 によって保護されています。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第三者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

AD7304/AD7305 仕様

(特に指定のない限り、 $V_{DD} = +3V / +5V$, $V_{SS} = 0V$, または $V_{DD} = +5V$ かつ $V_{SS} = -5V$, $V_{REF} = V_{DD} - 40$ $< T_A < +85 / +125$)

パラメータ	記号	条件	$3V \pm 10\%$	$5V \pm 10\%$	$\pm 5V \pm 10\%$	単位
静的性能						
分解能 ¹	N		8	8	8	ビット
積分非直線性 ²	INL		± 1	± 1	± 1	LSB max
差動非直線性	DNL	オール・ゼロから FF_H まで単調増加	± 1	± 1	± 1	LSB max
ゼロ・スケール誤差	V_{ZSE}	データ = 00_H	15	15	± 15	mV max
フルスケール電圧誤差	V_{FSE}	データ = FF_H	± 4	± 4	± 4	LSB max
フルスケール温度係数 ³	TCV_{FS}		5	5	5	ppm/ typ^4
リファレンス入力						
V_{REFIN} の範囲	V_{REFIN}		V_{SS}/V_{DD}	V_{SS}/V_{DD}	V_{SS}/V_{DD}	V min/max
入力抵抗 (AD7304)	R_{REFIN}	コード = 55_H	28	28	28	k Ω typ
入力抵抗 (AD7305)	R_{REFIN}	全 D/AC のコード = 55_H	7.5	7.5	7.5	k Ω typ
入力容量 ³	C_{REFIN}		5	5	5	pF typ
アナログ出力						
出力電圧範囲	V_{OUT}		V_{SS}/V_{DD}	V_{SS}/V_{DD}	V_{SS}/V_{DD}	V min/max
出力電流ドライブ	I_{OUT}	コード = 80_H , $\Delta V_{OUT} < 1$ LSB	± 3	± 3	± 3	mA typ
シャットダウン抵抗	R_{OUT}	D/AC 出力をシャットダウン状態に設定	120	120	120	k Ω typ
容量性負荷 ³	C_L	無発振	200	200	200	pF typ
ロジック入力						
ロジック・ローの入力電圧	V_{IL}		0.6	0.8	0.8	V min
ロジック・ハイの入力電圧	V_{IH}		2.1	2.4	2.4	V max
入力漏れ電流 ⁵	I_{IL}		± 10	± 10	± 10	μ A max
入力容量 ³	C_{IL}		8	8	8	pF max
AC 特性³						
出力スルー・レート	SR	コード = 00_H , FF_H , 00_H	1/2.7	1/3.6	1/3.6	V/ μ s min/typ
リファレンス倍数	BW	小信号, $V_{SS} = -5V$			2.6	MHz typ
全高調波ひずみ	THD	$V_{REF} = 4V$ p-p, $V_{SS} = -5V$, $f = 1$ kHz			0.025	%
セトリング時間 ⁶	t_s	フルスケールの $\pm 0.1\%$ まで	1.1/2	1.0/2	1.0/2	μ s typ/max
シャットダウンからの復帰時間	t_{SDR}	フルスケールの $\pm 0.1\%$ まで	2	2	2	μ s max
シャットダウンまでの時間	t_{SDN}		15	15	15	μ s typ
D/AC グリッチ	Q		15	15	15	nVs typ
デジタル・フィードスルー	Q		2	2	2	nVs typ
フィードスルー	V_{OUT}/V_{REF}	コード = 00_H , $V_{REF} = 1V$ p-p, $f = 100$ kHz			- 65	dB
電源特性						
正の電源電流	I_{DD}	$V_{LOGIC} = 0V$ または V_{DD} , 無負荷	6	6	6	mA max
負の電源電流	I_{SS}	$V_{SS} = -5V$			6	mA max
消費電力	P_{DISS}	$V_{LOGIC} = 0V$ または V_{DD} , 無負荷	15	30	60	mW max
パワーダウン	I_{DD_SD}	SDI/SHDN = フローティング	40	40	40	μ A typ
電源感度	PSS	$\Delta V_{DD} = \pm 10\%$	0.004	0.004	0.004	%/%

- 注
- $1 \text{ LSB} = V_{REF}/256$
 - +3V または +5V の単電源動作においては、先頭から 3 番目までのコード (00_H , 01_H , 10_H) を積分非直線性誤差の測定から除外しています。
 - これらのパラメータは、設計から保証されており、製造テストの対象とはなっていません。
 - 代表値 (typ) は、+25 における平均測定値を表します。
 - SDI/SHDN ピンおよび A0/SHDN ピンには、最大 $30 \mu\text{A}$ の入力漏れ電流 I_{IL} があります。
 - 単電源動作において、グラウンドの手前 3 LSB 内で負に食い込む遷移に対しては、セトリング時間の仕様を適用していません。

仕様は、予告なしに変更されることがあります。

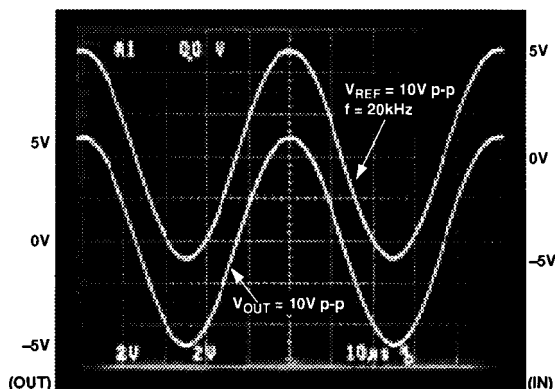


図 1. 20 kHz でのリファレンス入力と出力に見る、AD7304/AD7305 のレール to レール特性

タイミング特性

(特に指定のない限り、 $V_{DD} = +3V / +5V$ 、 $V_{SS} = 0V$ 、または $V_{DD} = +5V$ かつ $V_{SS} = -5V$ 、 V_{SS} 、 V_{REF} 、 V_{DD} 、 $-40 < T_A < +85 / +125$)

パラメータ	記号	3V ± 10%	5V ± 10%	± 5V ± 10%	単位
インターフェース・タイミング特性^{1,2}					
AD7304 のみ					
クロック・ハイの幅	t_{CH}	70	55	55	ns min
クロック・ローの幅	t_{CL}	70	55	55	ns min
データ設定	t_{DS}	50	40	40	ns min
データ・ホールド	t_{DH}	30	20	20	ns min
ロード・パルス幅	t_{LDW}	70	60	60	ns min
ロード設定	t_{LD1}	40	30	30	ns min
ロード・ホールド	t_{LD2}	40	30	30	ns min
クリア・パルス幅	t_{CLWR}	60	60	60	ns min
選択	t_{CSS}	30	20	20	ns min
選択解除	t_{CSH}	60	40	40	ns min
AD7305 のみ					
データ設定	t_{DS}	60	40	40	ns min
データ・ホールド	t_{DH}	30	20	20	ns min
アドレス設定	t_{AS}	60	40	40	ns min
アドレス・ホールド	t_{AH}	30	20	20	ns min
書き込みパルス幅	t_{WR}	60	50	50	ns min
ロード・パルス幅	t_{LDW}	60	50	50	ns min
ロード設定	t_{LS}	60	40	40	ns min
ロード・ホールド	t_{LH}	30	20	20	ns min

注

1 これらのパラメータは、設計から保証されており、製造テストの対象とはなっていません。

2 全入力コントロール信号は、 $t_r = t_f = 2 \text{ ns}$ (V_{DD} の 10 ~ 90%) で規定し、1.6 V の電圧レベルで測定しています。

絶対最大定格*

$V_{DD} \sim \text{GND}$	- 0.3 V , + 8 V
$V_{SS} \sim \text{GND}$	+ 0.3 V , - 8 V
$V_{REFX} \sim \text{GND}$	V_{SS} , V_{DD}
ロジック入力 $\sim \text{GND}$	- 0.3 V , $V_{DD} + 0.3 \text{ V}$
$V_{OUTX} \sim \text{GND}$	- 0.3 V , $V_{DD} + 0.3 \text{ V}$
I_{OUT} の短絡 $\sim \text{GND}$	50 mA
パッケージの消費電力	($T_{JMAX} - T_A$) / J_A
温度抵抗 J_A	
16ピン・プラスチック DIP パッケージ (N-16)	103 /W
16ピン SOIC パッケージ (R-16)	73 /W
TSSOP-16 パッケージ (RU-16)	180 /W
20ピン・プラスチック DIP パッケージ (N-20)	120 /W
20ピン SOIC パッケージ (R-20)	74 /W
TSSOP-20 パッケージ (RU-20)	155 /W

最大接合温度 (T_{JMAX})

動作温度範囲

保管温度範囲

リード温度

N-16 および N-20 (ハンダ付け, 10秒)

R-16 , R-20 , RU-16 , RU-20 (蒸着, 60秒)

R-16 , R-20 , RU-16 , RU-20 (赤外線, 15秒)

* 上記の絶対最大定格を超えるストレスは、デバイスに永久的なダメージを与えることがあります。このリストはストレス定格を示すことだけを目的とし、これらの条件もしくは、本仕様書の動作に関するセクションに示した以外の条件におけるこのデバイスの機能的な動作を意味するものではありません。長時間にわたって絶対最大定格条件で使用すると、デバイスの信頼性に影響が現れることがあります。

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000 V もの高圧の静電気が人体やテスト装置に容易に帯電し、検知されことなく放電されることもあります。この AD7304/AD7305 には当社独自の ESD 保護回路が備えられていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切な ESD 予防措置をとるようお奨めします。

オーダー・ガイド

モデル	温度範囲	パッケージ説明	パッケージ・オプション
AD7304BN	- 40 ~ + 85	16ピン P-DIP	N-16
AD7304BR	- 40 ~ + 85	16ピン SOIC	R-16
AD7304YR	- 40 ~ + 125	16ピン SOIC	R-16
AD7304BRU	- 40 ~ + 85	TSSOP-16	RU-16
AD7305BN	- 40 ~ + 85	20ピン P-DIP	N-20
AD7305BR	- 40 ~ + 85	20ピン SOIC	R-20
AD7305YR	- 40 ~ + 125	20ピン SOIC	R-20
AD7305BRU	- 40 ~ + 85	TSSOP-20	RU-20

AD7304/AD7305 には、2759 個のトランジスタが含まれています。ダイ・サイズ : 103 ミル x 102 ミル , 10,506 平方ミル



AD7304/AD7305

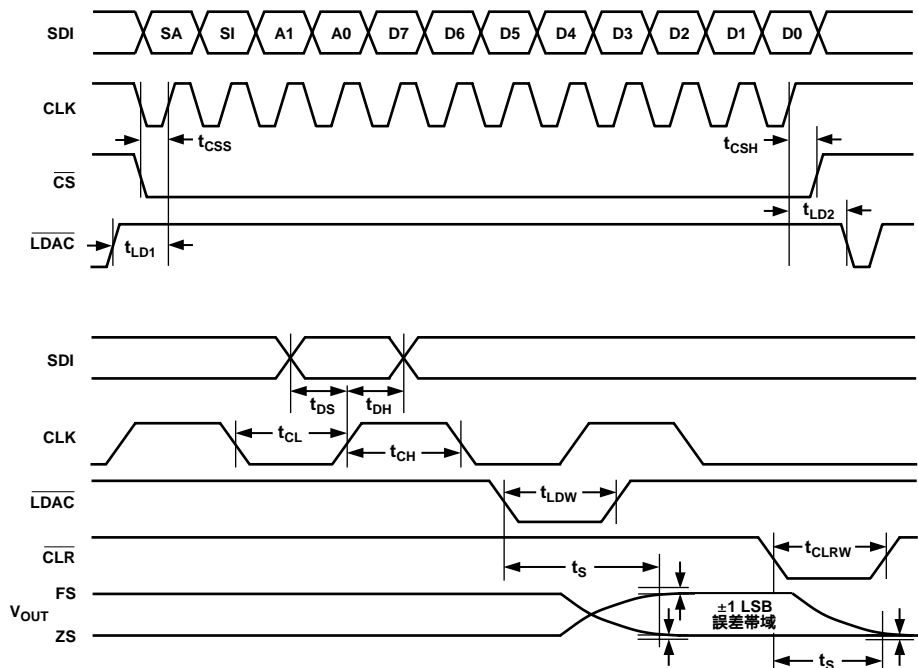


図2. AD7304のタイミング図

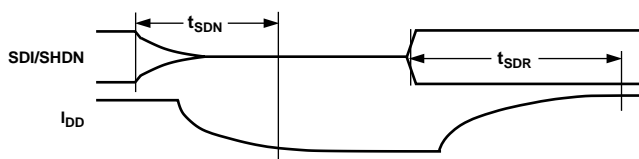


図3. AD7304のタイミング図

表I. AD7304のコントロール・ロジック真理値表

\overline{CS}	CLK	$\overline{LD/AC}$	\overline{CLR}	シリアル・シフト・レジスタの機能	入力レジスタの機能	D/ACレジスタの機能
H	X	H	H	影響なし	影響なし	影響なし
L	+	H	H	データを1ビット送る	影響なし	影響なし
+	L	H	H	影響なし	SRの内容で更新 ²	影響なし
H	X	L	H	影響なし	SRの内容をラッチ ²	全入力レジスタの内容を送出 ³
H	X	H	-	影響なし	00 _H をロード	00 _H をロード
H	X	H	+	影響なし	00 _H をラッチ	00 _H をラッチ

注

1 + は正側へのロジック遷移を、- は負側へのロジック遷移を表わします。Xは任意。

2 SRのアドレス・ビット(A1, A0)のデコードにより指定される入力レジスタの1つがデータ・ビットD7 ~ D0を受け取ります。なお、レジスタA=(0,0); B=(0,1); C=(1,0); D=(1,1)となっています。

3 $\overline{LD/AC}$ は、レベル・センシティブ入力です。

表II. AD7304のシリアル入力レジスタで用いるデータ・フォーマット; データのロードはMSBが先頭になります。

	MSB B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	LSB B0
AD7304	SAC	SDC	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0

B11(SAC) 全チャンネルのシャットダウンをロジック・ローにセットすると、すべてのD/ACがパワー・シャットダウン・モードになり、すべての出力電圧がハイ・インピーダンスになります。B10(SDC) デコードによる指定チャンネルのシャットダウンをロジック・ローにセットすると、アドレス・ビット(A1, A0)のデコードにより指定されるD/ACだけがパワー・シャットダウン・モードになります。

表 III. AD7305 のコントロール・ロジック真理値表

\overline{WR}	A1	A0	$\overline{LD}/\overline{AC}$	入力レジスタの機能	D/AC レジスタの機能
L	L	L	H	レジスタ A に DB0 ~ DB7 をロード	直前の内容をラッチ、変化なし
+	L	L	H	レジスタ A が DB0 ~ DB7 をラッチ	直前の内容をラッチ、変化なし
L	L	H	H	レジスタ B に DB0 ~ DB7 をロード	直前の内容をラッチ、変化なし
+	L	H	H	レジスタ B が DB0 ~ DB7 をラッチ	直前の内容をラッチ、変化なし
L	H	L	H	レジスタ C に DB0 ~ DB7 をロード	直前の内容をラッチ、変化なし
+	H	L	H	レジスタ C が DB0 ~ DB7 をラッチ	直前の内容をラッチ、変化なし
L	H	H	H	レジスタ D に DB0 ~ DB7 をロード	直前の内容をラッチ、変化なし
+	H	H	H	レジスタ D が DB0 ~ DB7 をラッチ	直前の内容をラッチ、変化なし
H	X	X	L	影響なし	全入力レジスタの内容をロード、レジスタはトランスペアレント
L	X	X	L	DB0 ~ DB7 に対して入力レジスタ x はトランスペアレント	レジスタはトランスペアレント
H	X	X	+	影響なし	全入力レジスタの内容をラッチ
H	X	X	H	影響なし、デバイスの選択なし	影響なし、デバイスの選択なし

注
 1 + は正側へのロジック遷移を、- は負側へのロジック遷移を表わします。X は任意。
 2 $\overline{LD}/\overline{AC}$ は、レベル・センシティブ入力です。

ピン配置

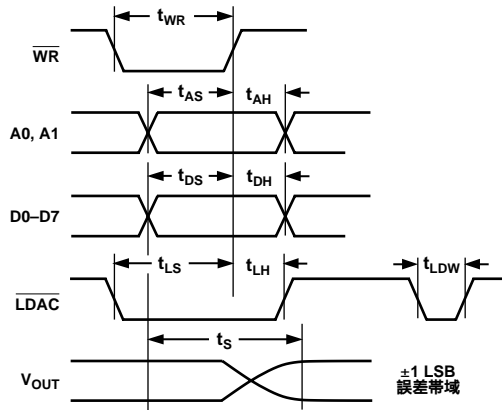


図 4. AD7305 のタイミング図

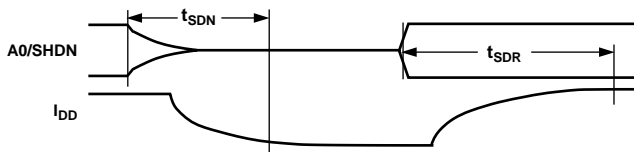
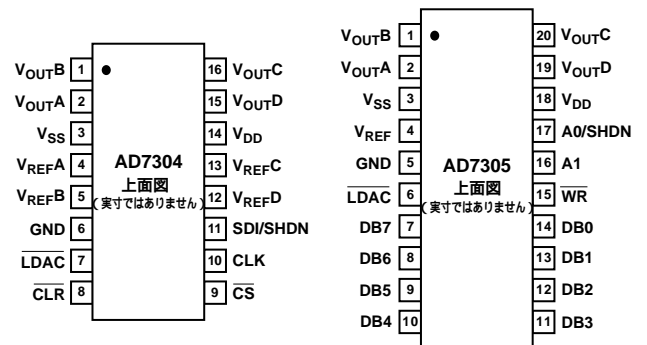


図 5. AD7305 のタイミング図

AD7304/AD7305

AD7304 のピン機能説明

ピン番号	記号	機能
1	V _{OUTB}	チャンネル B のレール to レール・バッファ内蔵 D/AC 電圧出力。V _{REFB} ピンにリファレンス電圧が印加されると、フルスケールにセットされます。この出力は、SHDN がイネーブルのとき開放回路になります。
2	V _{OUTA}	チャンネル A のレール to レール・バッファ内蔵 D/AC 電圧出力。V _{REFA} ピンにリファレンス電圧が印加されると、フルスケールにセットされます。この出力は、SHDN がイネーブルのとき開放回路になります。
3	V _{SS}	負の電源入力。定格動作範囲は、0 ~ -5.5 V です。
4	V _{REFA}	チャンネル A のリファレンス入力。V _{OUTA} のフルスケール電圧になります。定格動作範囲は、V _{SS} < V _{REFA} < V _{DD} です。
5	V _{REFB}	チャンネル B のリファレンス入力。V _{OUTB} のフルスケール電圧になります。定格動作範囲は、V _{SS} < V _{REFB} < V _{DD} です。
6	GND	アナログとデジタルの共通グラウンド。
7	LDAC	アクティブ・ローのロード D/AC レジスタ・ストロブ。4 つの入力レジスタのデータを対応する D/AC レジスタに送ります。非同期のアクティブ・ロー入力。LDAC = 0 のとき、D/AC レジスタはトランスペアレントになります。動作については、コントロール・ロジックの真理値表を参照してください。
8	CLR	すべての入力レジスタと D/AC レジスタをゼロ状態にクリアします。非同期のアクティブ・ロー入力。シリアル・レジスタは影響されません。
9	CS	アクティブ・ロー入力のチップ・セレクト。ハイのときはシフト・レジスタのロードをディセーブルします。CS がハイに戻ると、シリアル入力レジスタのデータが、デコードにより指定される入力レジスタに送られます。LDAC の動作には影響しません。
10	CLK	クロック入力。正のエッジでデータがシフト・レジスタに読み込まれます。チップ・セレクト CS によってディセーブルされます。
11	SDI/SHDN	MSB を先頭に、シリアル・データ入力がダイレクトにシフト・レジスタにロードされます。3 状態ロジック・ドライバによってピンがフローティングされると、ハードウェア・シャットダウン (SHDN) コントロール入力がアクティブになります。V _{DD} に電力が印加されている限り、D/AC レジスタの内容には影響がありません。
12	V _{REFD}	チャンネル D のリファレンス入力。V _{OUTD} のフルスケール電圧になります。定格動作範囲は、V _{SS} < V _{REFD} < V _{DD} です。
13	V _{REFC}	チャンネル C のリファレンス入力。V _{OUTC} のフルスケール電圧になります。定格動作範囲は、V _{SS} < V _{REFC} < V _{DD} です。
14	V _{DD}	正の電源入力。定格動作範囲は、+2.7 ~ +5.5 V です。
15	V _{OUTD}	チャンネル D のレール to レールバッファ内蔵 D/AC 電圧出力。V _{REFD} ピンにリファレンス電圧が印加されると、フルスケールにセットされます。この出力は、SHDN がイネーブルのとき開放回路になります。
16	V _{OUTC}	チャンネル C のレール to レールバッファ内蔵 D/AC 電圧出力。V _{REFC} ピンにリファレンス電圧が印加されると、フルスケールにセットされます。この出力は、SHDN がイネーブルのとき開放回路になります。

AD7305 のピン機能説明

ピン番号	記号	機能
1	V _{OUTB}	チャンネル B のレール to レール・バッファ内蔵 D/AC 電圧出力。V _{REFB} ピンにリファレンス電圧が印加されると、フルスケールにセットされます。この出力は、SHDN がイネーブルのとき開放回路になります。
2	V _{OUTA}	チャンネル A のレール to レール・バッファ内蔵 D/AC 電圧出力。V _{REFA} ピンにリファレンス電圧が印加されると、フルスケールにセットされます。この出力は、SHDN がイネーブルのとき開放回路になります。
3	V _{SS}	負の電源入力。定格動作範囲は、0 ~ -5.5 V です。
4	V _{REF}	チャンネル B のリファレンス入力。V _{OUT} のフルスケール電圧になります。定格動作範囲は、V _{SS} < V _{REF} < V _{DD} です。
5	GND	アナログとデジタルの共通グラウンド。
6	LDAC	アクティブ・ローのロード D/AC レジスタ・ストロブ。4 つの入力レジスタのデータを対応する D/AC レジスタに送ります。非同期のアクティブ・ロー入力。LDAC = 0 のとき、D/AC レジスタはトランスペアレントになります。動作については、コントロール・ロジックの真理値表を参照してください。
7	DB7	デジタル入力データの最上位 (MSB) ビット。
8	DB6	データ・ビット 6
9	DB5	データ・ビット 5
10	DB4	データ・ビット 4
11	DB3	データ・ビット 3
12	DB2	データ・ビット 2
13	DB1	データ・ビット 1
14	DB0	デジタル入力データの最下位 (LSB) ビット。
15	WR	アクティブ・ローの入力レジスタへのデータ書き込みコントロール・ライン。動作については、コントロール・ロジックの真理値表を参照してください。
16	A1	アドレス・ビット 1
17	A0/SHDN	アドレス・ビット 0 / 3 状態ロジック・ドライバによってピンがフローティングされると、ハードウェア・シャットダウン (SHDN) コントロール入力がアクティブになります。V _{DD} に電力が印加されている限り、D/AC レジスタの内容には影響がありません。
18	V _{DD}	正の電源入力。定格動作範囲は、+2.7 ~ +5.5 V です。
19	V _{OUTD}	チャンネル D のレール to レール・バッファ内蔵 D/AC 電圧出力。V _{REFD} ピンにリファレンス電圧が印加されると、フルスケールにセットされます。この出力は、SHDN がイネーブルのとき開放回路になります。
20	V _{OUTC}	チャンネル C のレール to レール・バッファ内蔵 D/AC 電圧出力。V _{REFC} ピンにリファレンス電圧が印加されると、フルスケールにセットされます。この出力は、SHDN がイネーブルのとき開放回路になります。

代表的な性能特性 AD7304/AD7305

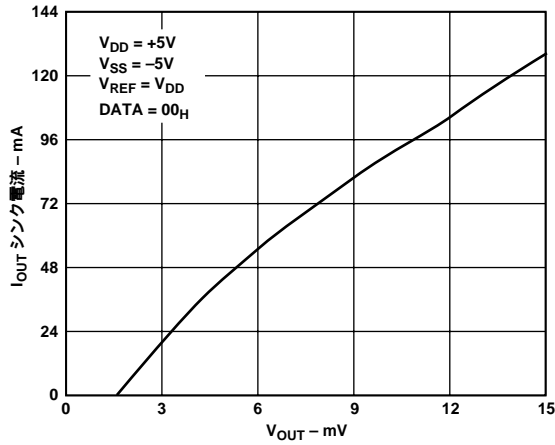


図 6. V_{OUT} レール to レール性能と I_{OUT} シンク電流

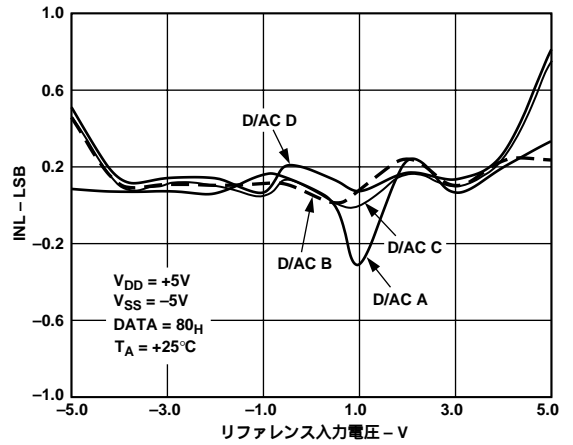


図 9. リファレンス入力電圧と INL

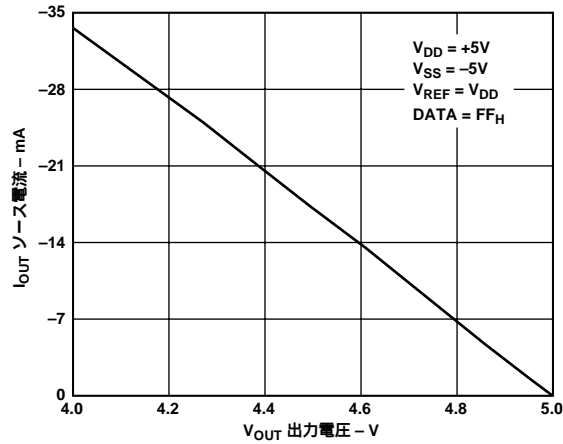


図 7. V_{OUT} レール to レール性能と I_{OUT} ソース電流

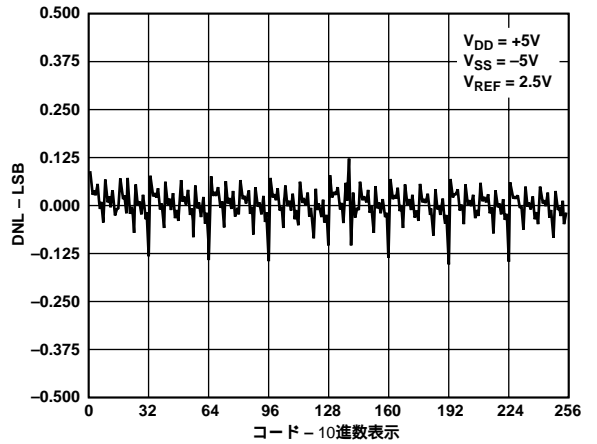


図 10. コードと DNL

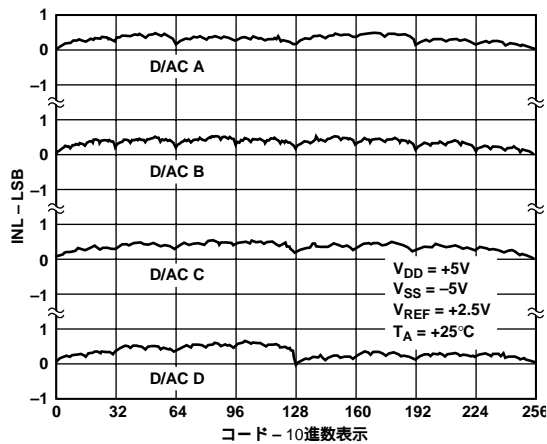


図 8. コードと INL の関係, 全 D/AC チャンネル

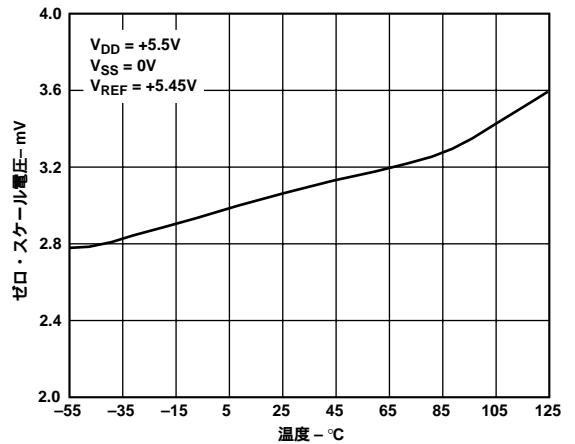


図 11. 温度とゼロ・スケール電圧

AD7304/AD7305

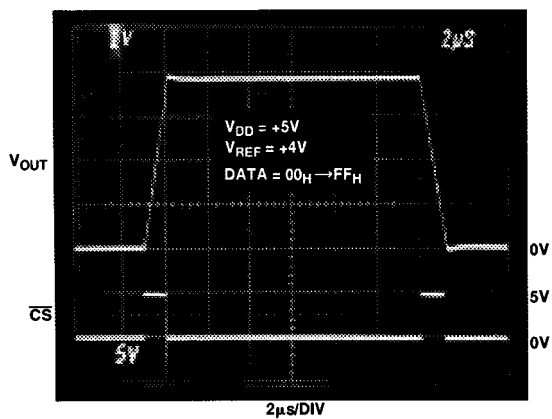


図 12. 大信号セトリング時間

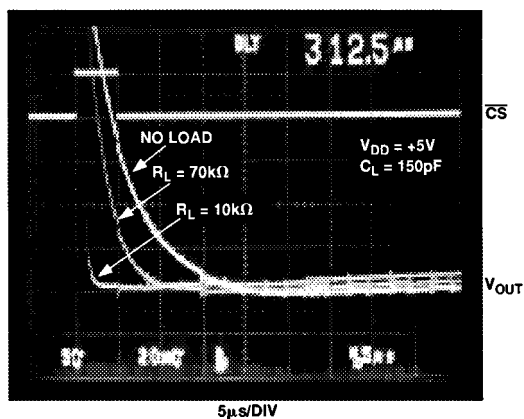


図 15. シャットダウンまでの時間

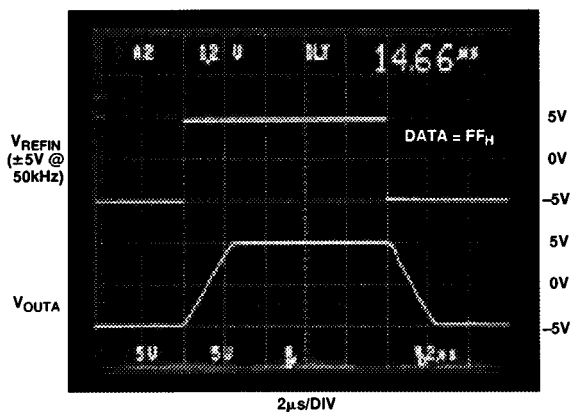


図 13. 乗算モードのステップ応答と出力スルー・レート

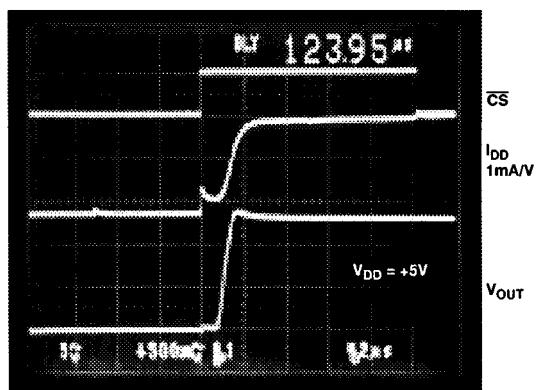


図 16. シャットダウン復帰時間(ウェイクアップ)

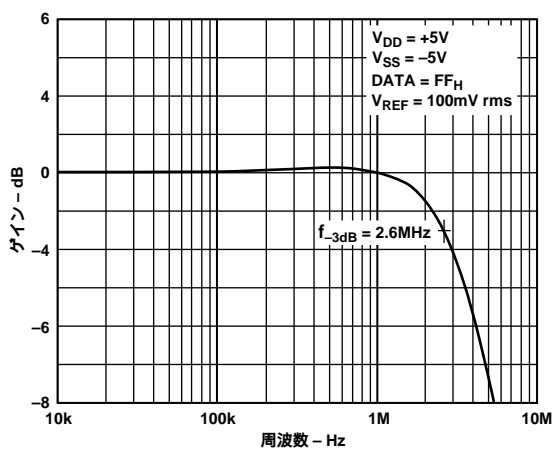


図 14. 乗算モードにおける周波数とゲイン

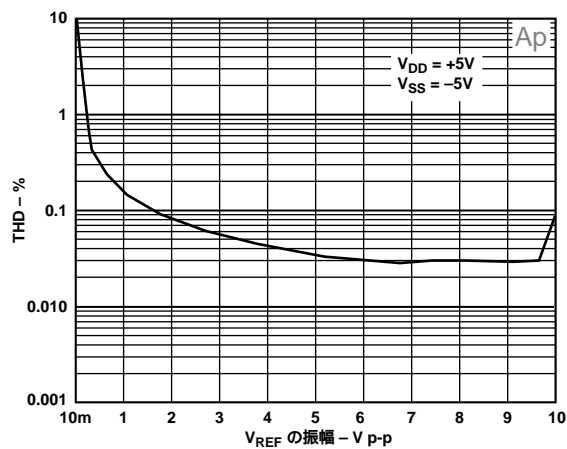


図 17. リファレンス入力の振幅と THD

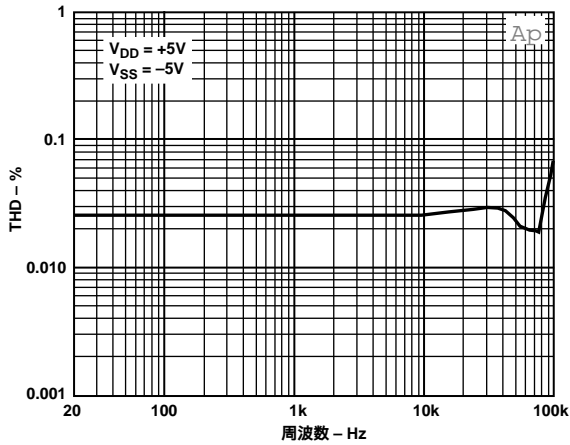


図 18. 周波数と THD

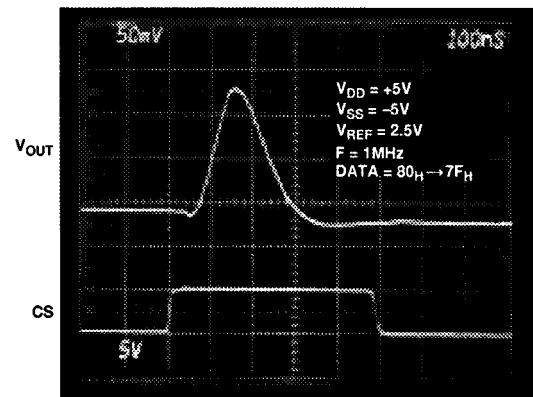


図 21. 中央スケールの遷移グリッチ

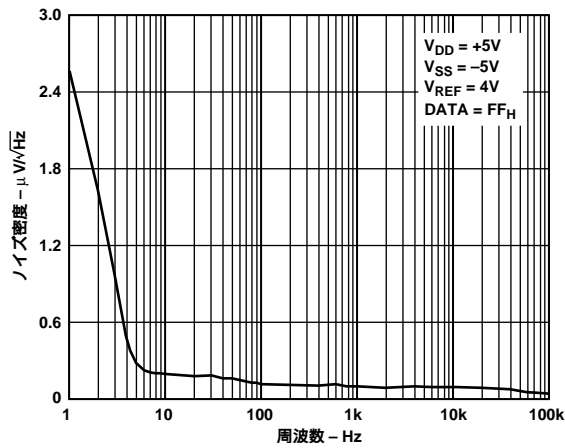


図 19. 周波数と出力ノイズ電圧密度

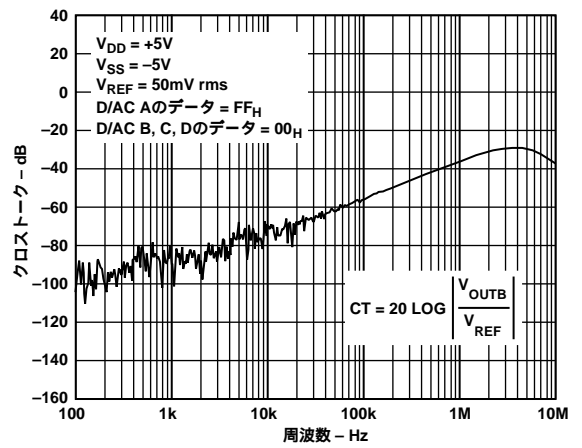


図 22. 周波数とクロストーク

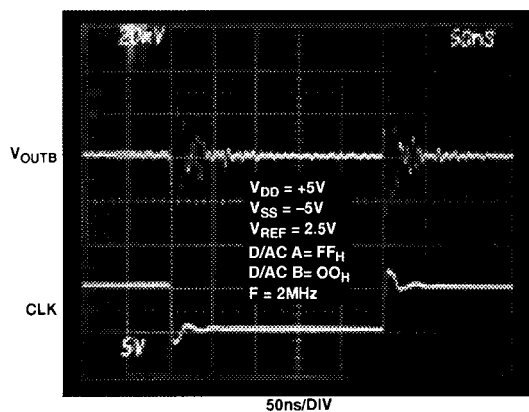


図 20. デジタル・フィードスルー

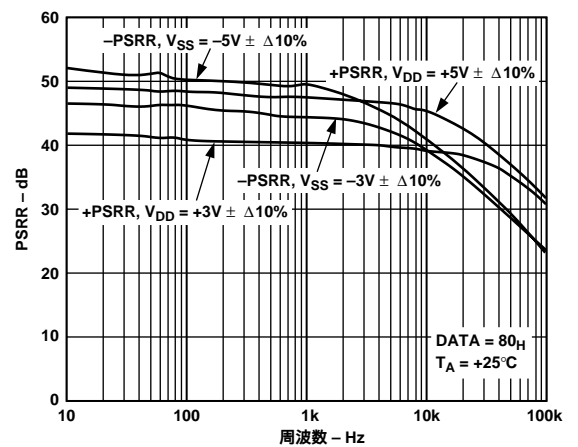


図 23. 周波数と電源電圧除去比

AD7304/AD7305

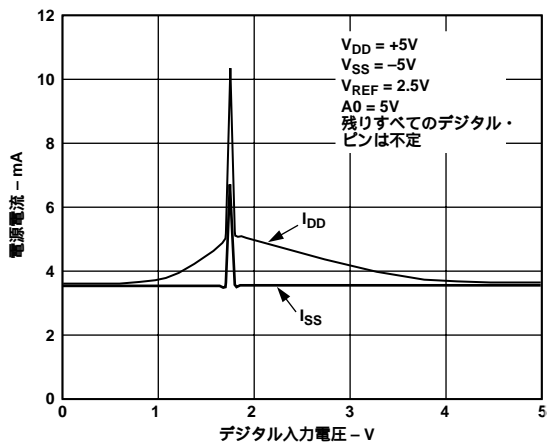


図 24. デジタル入力電圧と電源電流

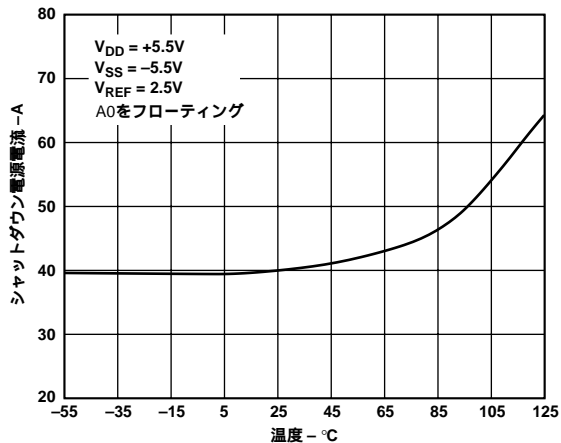


図 27. 温度とシャットダウン電源電流

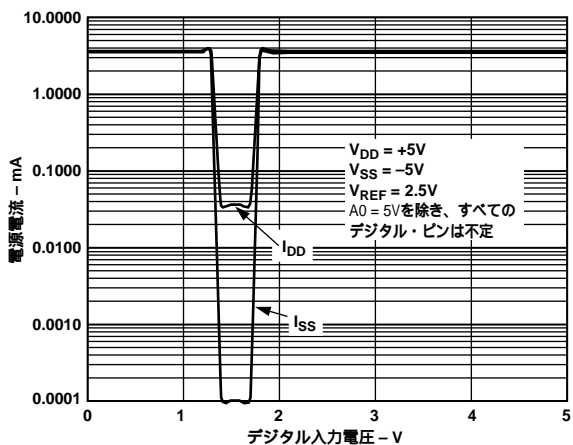


図 25. デジタル入力電圧(A0のみ)とシャットダウン電源電流

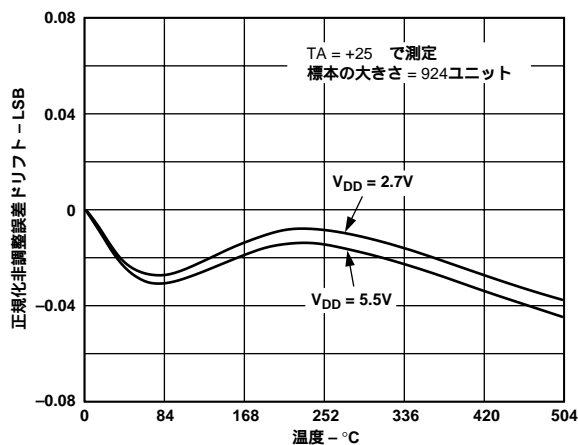


図 28. 150 におけるバーン・イン時間によって加速された正規化 TUE ドリフト

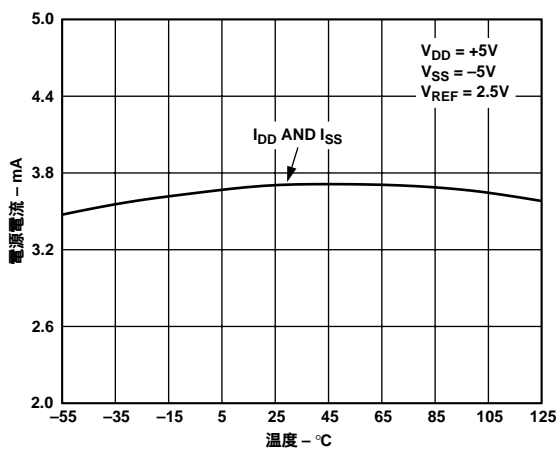


図 26. 温度と電源電流

回路の動作

AD7304 と AD7305 は、同じ 4 チャンネル、8 ビット、電圧出力のデジタル アナログ・コンバータですが、主にデジタル・ロジック・インターフェースおよびリファレンス入力の数という点で異なります。内部の D/AC 設計は共通し、いずれにも真のレール to レール出力バッファが使用されています。相違点については、AD7304 は 4 つの独立乗算リファレンス入力を備え、AD7305 は単一の共通リファレンス入力を備えます。また、AD7304 は 3 線式の SPI 互換シリアル・データ・インターフェースを、AD7305 は 8 ビットのパラレル・データ・インターフェースを使用します。

D/A コンバータ部

両モデルとも 4 つの電圧切替式 R-2R はしご型 D/AC が備わっています。図 29 に、代表的な等価 D/AC を示します。この D/AC は、単電源とデュアル電源の両方で動作する設計で、ユーザ側で V_{SS} ピンに負の電圧を印加すればデュアル電源動作に、 V_{SS} ピンをグラウンドに接続すれば単電源動作になります。どちらのモードを選択した場合でも、D/AC 出力は入力リファレンス電圧 V_{REF} と、D/AC レジスタにロードしたデジタル・データ(D)によって決定され、これらの関係は次の式(1)により表わすことができます。

$$V_{OUT} = V_{REF} \times D / 256 \quad (1)$$

ここで、DC リファレンス電圧については、出力フルスケールの極性が V_{REF} の極性と等しくなることに注意してください。

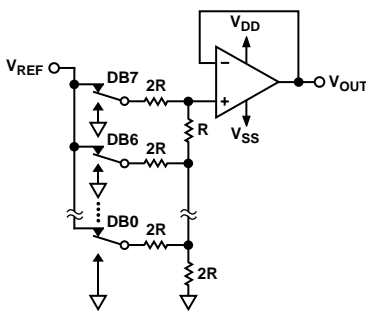


図 29. 代表的な等価 D/AC チャンネル

またこれらの D/AC は、AC リファレンス入力信号も扱えるように設計されています。つまり、AC 信号が $V_{SS} < V_{REF} < V_{DD}$ の範囲に維持されている限り、50 kHz のフル・パワー乗算帯域幅性能を期待することができます。ただし、負の入力リファレンス電圧を使用するときには、絶対値がリファレンス電圧と同等以上の負の電圧を用いて V_{SS} ピンをバイアスする必要があります。

リファレンス入力は、コード依存型で、パラメータ別仕様の表に示した最悪条件最小抵抗値を呈します。D/AC 出力 V_{OUT} A、B、C、D は、それぞれ最大 500 pF の容量性負荷に並列な 2 k Ω の負荷をドライブすることができます。出力のソース電流とシンク電流は、図 6 および図 7 に示したとおりです。出力スルー・レートは、 ± 5 V 動作時で通常、3.6 V/ μ s となっています。バッファの出力インピーダンスは低く、これによってアナログ入力チャンネル間のクロストークが最小化されます。100 kHz の場合、チャンネル間アイソレーションは 65 dB に達します(図 22)。出力電圧ノイズは、図 19 に示したような特性を持ちます。良好なアナログ性能を維持するためには、1 μ F と 0.01 μ F を並列に接続して電源をバイパスした方がよいでしょう。AD7304 と AD7305 は、真のレール to レール機能を備えていることから、ユーザは、リファレンス入力をダイレクトに V_{DD} ピンまたは V_{SS} ピンに接続することができます(図 30)。ただし、このような用法では、アプリケーションに適したクリーンな電源を使用する必要があります(リップルが低い電源を選択し、スイッチング電源は避けます)。

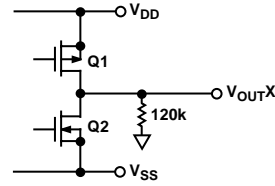


図 30. 等価 D/AC アンプ出力回路

AD7304 シリアル・データ・インターフェース

AD7304 では、3 線式(CS, SDI, CLK)の SPI 互換シリアル・データ・インターフェースを採用しています。新規のシリアル・データは 12 ビットのデータ・ワード・フォーマットでシリアル入力レジスタに取り込まれます。取り込み順序は、MSB が先頭になります。12 ビットのデータ・ワードの各ビットの定義を表 II に示しました。データは、「タイミング仕様」に示したデータ・セットアップとデータ・ホールドのタイミング要件に従って、CLK の正の立ち上がりエッジで SDI/SHDN ピンからレジスタに読み込まれます。この取り込みは、CS チップ・セレクト・ピン がアクティブ・ローになっている場合にだけ行われます。また、最後に取り込まれた 12 ビットのデータ、つまり CS ピンがロジック・ハイの状態に復帰した時点でシリアル・レジスタに読み込まれているデータのみが有効になり、残りのデータは無視されます。ほとんどのマイクロコントローラの出力行シリアル・データが 8 ビット・バイトであることから、AD7304 には、2 つ分の右寄せデータ・バイトを書き込むことが可能です。最初の 8 ビット・バイトを伝送した後、CS ピンをハイに戻さずに、続けて次のデータ・バイトを伝送すればシリアル・レジスタが更新されます。

シフト・レジスタ内にデータが正しく整列すると、CS の正の立ち上がりエッジで、アドレス・ビット A1 および A0 のデコーディング結果によって決定されるターゲット D/AC レジスタに新データが送られるか、あるいは SAC ビットまたは SDC ビットに基づいてシャットダウン機能がアクティブになります。SAC ビットもしくは SDC ビットのいずれか一方をセットしていると(ロジック = 0)、ビット B9 から B0 までの内容で指定される新しいデータのロードは行われますが、デバイスがシャットダウン状態から復帰するまで、結果がバッファ出力に現れません。選択 D/AC の出力電圧は、図 30 に示すように、定格 120 k Ω の抵抗によってハイ・インピーダンスになります。SAC ビットおよび SDC ビットの両方をセットしているときは、すべてのチャンネルがシャットダウン・モードにとどまります。AD7304 をパワー・シャットダウン状態にプログラムしていれば、 V_{DD} が 2.7 V 以下に下がらない限り、現在の D/AC レジスタのデータが維持されます。このほかのソフトウェア・シリアル・インターフェースの特長については、表 I、表 II、および図 3(タイミング図)に示したので参照してください。

以上とは別に、AD7304 の 2 つのピン CLR および LDAC は、クリア機能および D/AC レジスタへのロードに関するハードウェア・コントロールを提供します。これらの機能が不必要なときは、CLR ピンをロジック・ハイに、LDAC ピンをロジック・ローに固定します。非同期入力の CLR ピンは、すべての入力と D/AC レジスタをゼロ・コード状態に強制します。非同期の LDAC ピンをアクティブ・ローにストロブすれば、すべての D/AC レジスタを対応する入力レジスタから同時に更新することができます。LDAC ピンがロジック・ロー状態にある間は、D/AC レジスタがトランスペアレントになります。

AD7304/AD7305

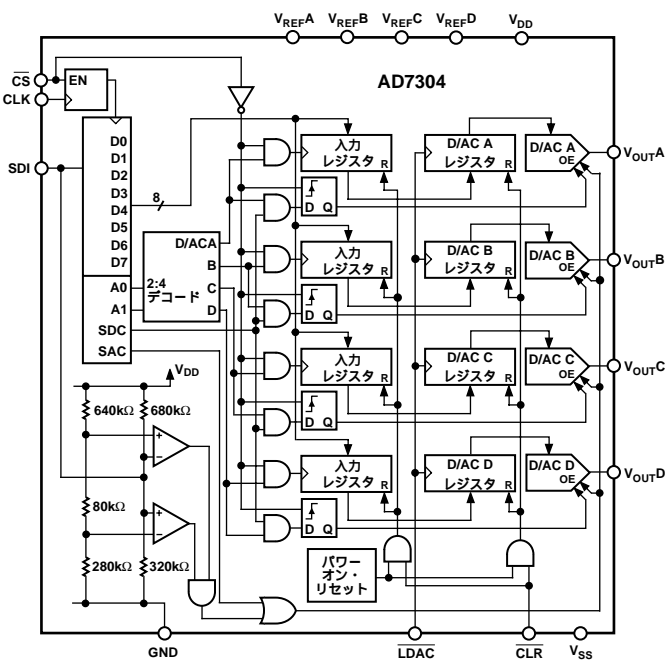


図 31. AD7304 の等価ロジック・インターフェース

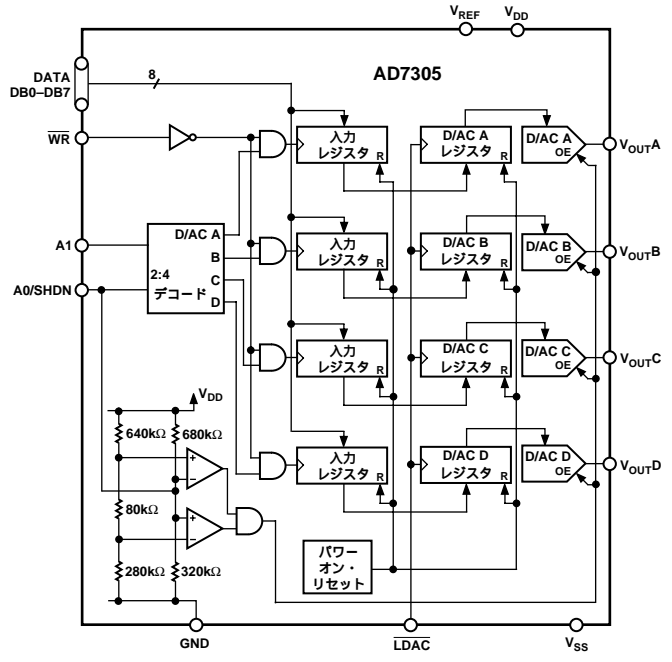


図 32. AD7305 の等価ロジック・インターフェース

AD7304 のハードウェア・シャットダウン SHDN

SDI/SHDN ピンに 3 状態ドライバを使用すれば、SDI/SHDN ピンをハイ・インピーダンス状態に置くことにより AD7304 でパワー・シャットダウン・モードを設定することができます。これ以外の終端電圧をこのピンに印加すると、適正な動作が保証されません。SHDN ピンのロジック電圧を監視する内蔵のウィンドウ・コンパレータは、 V_{DD} の 28 ~ 36 % の範囲の電圧を検出します。この電圧は、ハイ・インピーダンスの内蔵バイアス・ジェネレータから SHDN ピンに供給されます。このとき、4 つの D/A の出力電圧は、定格 120 kΩ の抵抗によってグラウンドに対してハイ・インピーダンスとなります。図 30 の等価回路を参照してください。

AD7304/AD7305 のパワーオン・リセット

V_{DD} 電源がオンになると、内蔵のリセット・ストローブがすべての入力レジスタと D/A レジスタをゼロ・コード状態に強制します。 V_{DD} 電源は、矛盾のない結果を得るために、単調増加とする必要があります。特に $V_{DD} = 1.5 \sim 2.3 \text{ V}$ の範囲では、この要件が厳しくなります。一方、 V_{SS} 電源は、パワーオン・リセット性能に影響を及ぼしません。D/A レジスタのデータは、有効なシリアル・レジスタ・ソフトウェアのロードが行われるまでゼロに維持されます。なお、ダブル・バッファ内蔵の AD7305 の場合は、LDAC ストローブを開始するまで、出力 D/A レジスタの変更が行われません。

AD7305 のパラレル・データ・インターフェース

AD7305 は 8 ビットのパラレル・インターフェースを持ち、DB7 が MSB、DB0 が LSB です。WR ピンにアクティブ・ローの書き込みストローブが印加されると、2 つのアドレス・ビット A1 および A0 のデコーディングが行われます。表 III を参照。WR は、レベル・センシティブ入力ピンなので、「タイミング仕様」に示したデータ・セットアップとデータ・ホールドのタイミング要件に厳格に従う必要があります。

LDAC ピンは、入力レジスタからの新データによる全 D/A レジスタの同時更新機能を提供します。言い換えると、すべてのア

ナログ出力を同時に新しい値に変更することができます。LDAC ピンもレベル・センシティブ入力です。同時更新機能が必要ないときは、LDAC ピンをロジック・ローに固定しておくことができます。LDAC ピンをロジック・ローに固定すると、D/A レジスタがトランスペアレントとなり、D/A 出力電圧が入力レジスタのデータによって決定されるようになります。図 32 の等価ロジック・インターフェースを参照してください。

AD7226 とのピン互換性

LDAC ピンをグラウンドに接続することにより、AD7305 は、AD7226 と同一ピン配列、同一機能となりますが、AD7226 よりも低い電源電圧で動作が得られます。

AD7305 のハードウェア・シャットダウン SHDN

A0/SHDN ピンに 3 状態ドライバを使用すれば、A0/SHDN ピンをハイ・インピーダンス状態に置くことにより AD7305 でパワー・シャットダウン・モードを設定することができます。これ以外の終端電圧をこのピンに印加すると、適正な動作が保証されません。SHDN ピンのロジック電圧を監視する内蔵のウィンドウ・コンパレータは、 V_{DD} の 28 ~ 36 % の範囲の電圧を検出します。この電圧は、ハイ・インピーダンスの内蔵バイアス・ジェネレータから SHDN ピンに供給されます。このとき、4 つの D/A の出力電圧は、定格 120 kΩ の抵抗によってグラウンドに対してハイ・インピーダンスとなります。

ESD 保護回路

すべてのロジック入力ピンには、グラウンド(GND)との間に接続された逆バイアスの ESD 保護ツェナーが備わっています。また、 V_{REF} ピンと V_{DD} の間にも逆バイアスの ESD 保護ツェナーが接続されています(図 33 を参照)。

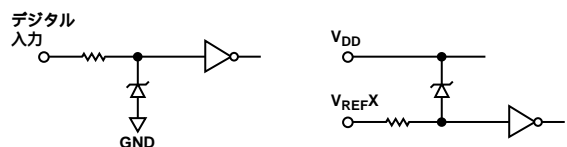


図 33. 等価 ESD 保護回路

アプリケーション

AD7304 と AD7305 は、本質的に 2 象限乗算 D/A コンバータです。従って、ユニポーラ動作用にセットアップすることが容易です。フルスケールの出力極性は、リファレンス入力電圧の極性と等しくなります。

アプリケーションによっては、フルスケールの 4 象限乗算機能またはバイポーラ出力スイングが必要になることがあります。これは、OP295 等の真のレール to レール・オペアンプを外付けすることにより、容易に達成できます。図 34 に示すように、2 個の値の等しい抵抗を外付けのオペアンプに接続すれば、フルスケールの 4 象限乗算回路が得られます。この回路において、オペアンプがゲイン 2 をもたらし、それによって出力スパンが 10 V に拡張されます。この回路の伝達式を参照すると、入力データ (D) がゼロのときは $V_{OUT} = -5\text{ V}$ 、中央値のときは $V_{OUT} = 0\text{ V}$ 、フルスケールのときは $V_{OUT} = +5\text{ V}$ となり、入力データ (D) のコードに応じて正負両側の電圧が出力されることがわかります。

$$V_{OUT} = (D / 128 - 1) \times V_{REF} \quad (2)$$

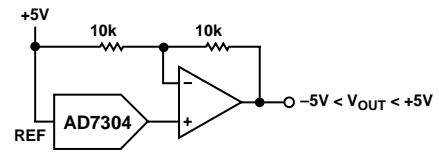
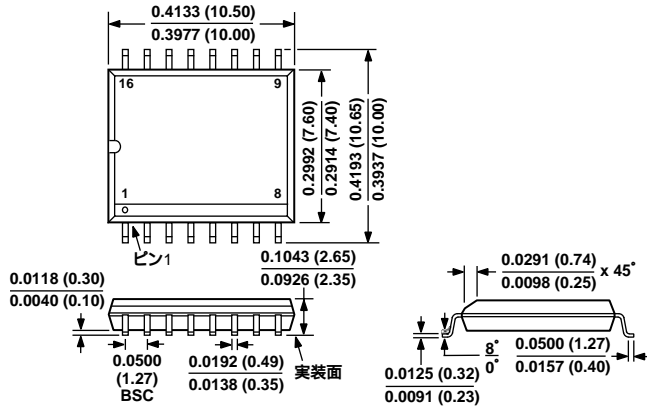


図 34. 4 象限乗算アプリケーション回路

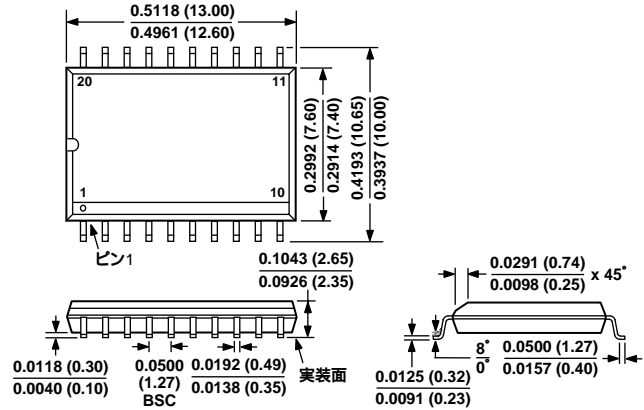
AD7304/AD7305

外形寸法
サイズはインチと(mm)で示します。

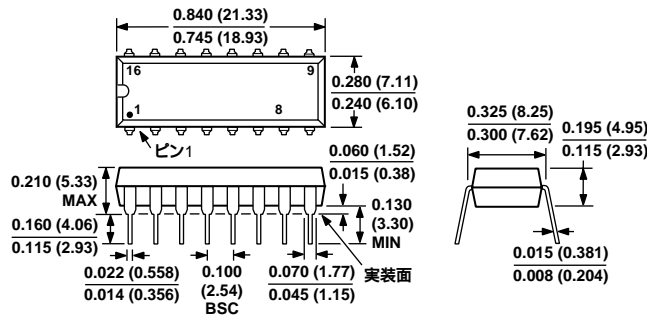
16ピン・ワイド SOIC
(R-16)



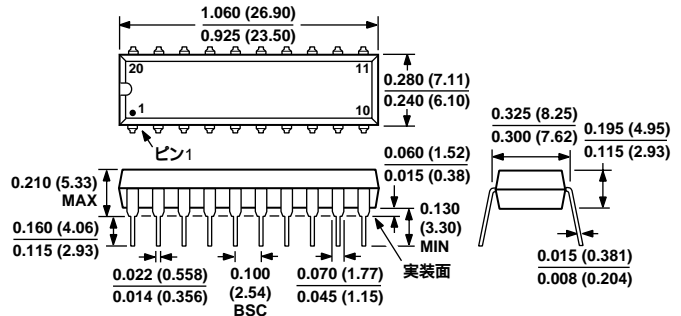
20ピン SOIC
(R-20)



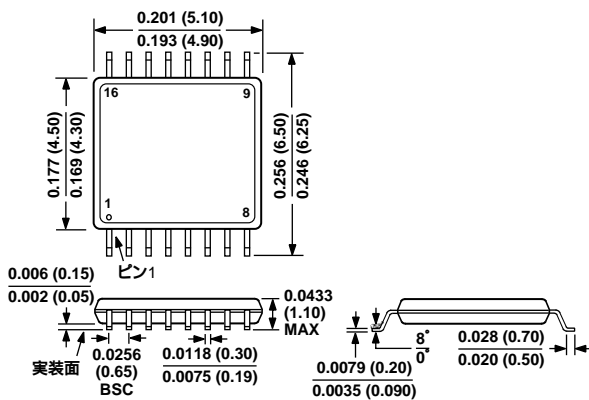
16ピン・プラスチック DIP
(N-16)



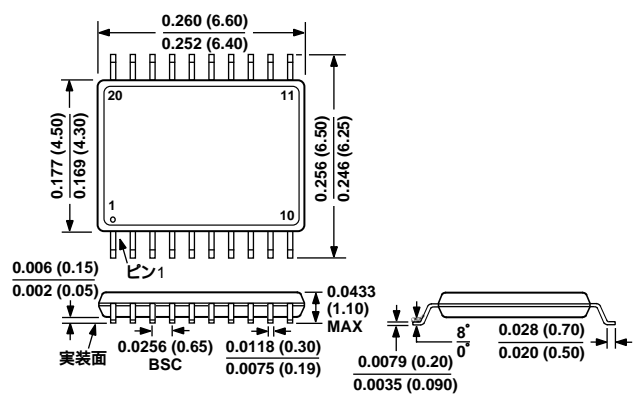
20ピン・プラスチック DIP
(N-20)



16ピン TSSOP
(RU-16)



20ピン薄型表面実装(TSSOP)
(RU-20)



AD7304/AD7305

D1122-2.7-10/99,1A

PRINTED IN JAPAN

