

### 特長

#### 10ビット SAR ADC

- 8 シングル・エンド入力
- チャンネル・シーケンサ機能
- 高速スループット: 1 MSPS
- アナログ入力範囲: 0 V ~ 2.5 V
- 温度範囲: -40°C ~ +125°C
- V<sub>DD</sub> = 2.8 V ~ 3.6 V で仕様を規定
- ロジック電圧 V<sub>DRIVE</sub> = 1.65 V ~ 3.6 V
- パワーダウン電流: <10 μA
- 内部リファレンス電圧: 2.5 V
- 内蔵パワーオン・リセット
- 高速シリアル・インターフェース SPI
- 20ピン LFCSP

### 機能ブロック図

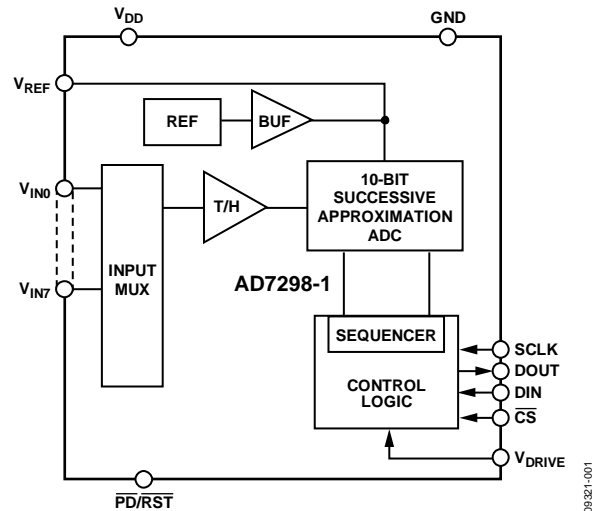


図 1.

### 概要

AD7298-1は、10ビット、高速、低消費電力、8チャンネルの逐次比較型ADCです。このデバイスは2.7V~3.3Vの単電源で動作し、最大スループット・レートは1MSPSです。このデバイスは30MHzを超える入力周波数を扱える、低ノイズ、広帯域幅のトラック&ホールド・アンプを内蔵しています。

AD7298-1にはプログラマブル・シーケンサ機能があり、変換するチャンネルのシーケンスをあらかじめプログラムして選択する事ができます。デバイスは2.5Vリファレンスを内蔵しておりますが、外部リファレンス電圧を使用する時には、このリファレンスをディスエーブルにする事ができます。

このデバイスは、SPI、DSPのインターフェース標準と互換性を持つ4線式シリアル・インターフェースを提供します。

AD7298-1には斬新な設計技術が使用されており、高スループット・レートでも非常に小さい消費電力になっています。又このデバイスは、柔軟な消費電力/スループット・レート管理オプションも提供します。パッケージは20ピンLFCSPです。

### 製品のハイライト

1. テレコミュニケーション、プロセス及び工業用制御など各種システムにおけるモニタリング・システムに最適。
2. 低消費電力で1MSPSの高スループット・レートを実現。
3. チャンネル・シーケンサ機能付き、8チャンネルシングル・エンド入力。ADCがサイクルし、変換する連続した一連のチャンネルを選択できます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗黙的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1	アナログ入力 .....	13
機能ブロック図.....	1	V <sub>DRIVE</sub> .....	14
概要.....	1	内部又は外部リファレンス.....	14
製品ハイライト .....	1	コントロール・レジスタ .....	15
改訂履歴.....	2	動作モード.....	16
仕様.....	3	従来方法によるマルチチャンネル・モード.....	16
タイミング仕様.....	5	リピード動作 .....	17
絶対最大定格.....	6	パワーダウン・モード .....	18
熱抵抗.....	6	AD7298-1 のパワーアップ .....	19
ESD の注意 .....	6	リセット .....	19
ピン配置およびピン機能説明 .....	7	シリアル・インターフェース .....	20
代表的な性能特性.....	9	レイアウトおよび構成 .....	21
用語.....	12	外形寸法.....	22
回路説明.....	13	オーダー・ガイド .....	22
コンバータの動作 .....	13		

## 改訂履歴

10/10—Revision 0:初版

## 仕様

他に指定のない限り、 $V_{DD} = 2.8\text{ V} \sim 3.6\text{ V}$ ,  $V_{DRIVE} = 1.65\text{ V} \sim 3.6\text{ V}$ ,  $f_{SAMPLE} = 1\text{ MSPS}$ ,  $f_{SCLK} = 20\text{ MHz}$ ,  $V_{REF} =$  内蔵の  $2.5\text{ V}$ ,  $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
ダイナミック性能					$f_{IN} = 50\text{ kHz sine wave}$
信号対ノイズ比(SNR) <sup>1</sup>	61	61.5		dB	
信号対(ノイズ+歪み)比 (SINAD) <sup>2</sup>	61	61.5		dB	
総合高調波歪み(THD) <sup>2</sup>		-82	-75	dB	
スプリアス・フリー・ダイナミック・レンジ (SFDR)		-83	-76	dB	
相互変調歪み(IMD)					$f_A = 40.1\text{ kHz}$ , $f_B = 41.5\text{ kHz}$
2次項		-86		dB	
3次項		-86		dB	
チャンネル間アイソレーション		-90		dB	$f_{IN} = 50\text{ kHz}$ , $f_{NOISE} = 60\text{ kHz}$
サンプル&ホールド					
アパーチャ遅延 <sup>3</sup>			12	ns	
アパーチャ・ジッタ <sup>3</sup>		40		ps	
フル・パワー帯域幅		30		MHz	@3 dB
		10		MHz	@0.1 dB
DC 精度					
分解能	10			Bits	
積分非直線性(INL) <sup>2</sup>		$\pm 0.25$	$\pm 0.5$	LSB	10 ビットのノー・ミスコードを保証
微分非直線性(DNL) <sup>2</sup>		$\pm 0.3$	$\pm 0.5$	LSB	
オフセット誤差 <sup>2</sup>		$\pm 0.5$	$\pm 1.125$	LSB	
オフセット誤差マッチング <sup>2</sup>		$\pm 0.625$	$\pm 1.125$	LSB	
オフセット温度ドリフト		4		ppm/ $^\circ\text{C}$	
ゲイン誤差 <sup>2</sup>		$\pm 0.25$	$\pm 1$	LSB	
ゲイン誤差のマッチング <sup>2</sup>		$\pm 0.16$	$\pm 0.625$	LSB	
ゲイン温度ドリフト		0.5		ppm/ $^\circ\text{C}$	
アナログ入力					
入力電圧範囲	0		$V_{REF}$	V	
DC リーク電流		$\pm 0.01$	$\pm 1$	$\mu\text{A}$	
入力容量		32		pF	トラック・モード時
入力インピーダンス		155		$\Omega$	1 MSPS にて
リファレンス入力/出力					
リファレンス出力電圧 <sup>4</sup>	2.4925	2.5	2.5075	V	$\pm 0.3\%$ maximum at $25^\circ\text{C}$
長期安定性		150		ppm	1000 時間
出力電圧ヒステリシス		50		ppm	
リファレンス入力電圧範囲	1		2.5	V	
DC リーク電流		$\pm 0.01$	$\pm 1$	$\mu\text{A}$	$V_{REF}$ ピンに印加する外部リファレンス電圧
$V_{REF}$ 出力インピーダンス		1		$\Omega$	
$V_{REF}$ 温度係数		12	35	ppm/ $^\circ\text{C}$	
$V_{REF}$ ノイズ		60		$\mu\text{V rms}$	帯域幅= 10 MHz
ロジック入力					
入力ハイ・レベル電圧、 $V_{INH}$	$0.7 \times V_{DRIVE}$			V	
入力ロー・レベル電圧、 $V_{INL}$			$0.3 \times V_{DRIVE}$	V	
入力電流、 $I_{IN}$		$\pm 0.01$	$\pm 1$	$\mu\text{A}$	$V_{IN} = 0\text{ V}$ or $V_{DRIVE}$
入力容量、 $C_{IN}^3$		3		pF	

# AD7298-1

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
ロジック出力 出力ハイ・レベル電圧、 $V_{OH}$	$V_{DRIVE} - 0.3$			V	$V_{DRIVE} < 1.8$
出力ロー・レベル電圧、 $V_{OL}$	$V_{DRIVE} - 0.2$		0.4	V	$V_{DRIVE} \geq 1.8$
フローティング状態リーク電流		$\pm 0.01$	$\pm 1$	$\mu A$	
フローティング状態出力容量 <sup>3</sup>		8		pF	
変換レート 変換時間 トラック&ホールド・アクイジション時間 <sup>2,3</sup> スルーブット・レート		1	$t_2 + (16 \times t_{SCLK})$ 100 1	$\mu s$ ns MSPS	$V_{IN0} \sim V_{IN7}$ (1 サイクル遅延有り) フルスケール・ステップ入力 $f_{SCLK} = 20 \text{ MHz}$ ; アナログ電圧変換について、1 サイクル遅延
電源条件 $V_{DD}$ $V_{DRIVE}$ $I_{TOTAL}$ <sup>5</sup> ノーマル・モード(動作時) ノーマル・モード (スタティック) パーシャル・パワーダウン・モード フル・パワーダウン・モード 消費電力 <sup>6</sup> ノーマル・モード(動作時) ノーマル・モード (スタティック) パーシャル・パワーダウン・モード フル・パワーダウン・モード	2.8 1.65	3 3 5.8 4.1 2.7 1	3.6 3.6 6.4 4.6 3.3 1.6 10	V V mA mA mA $\mu A$ $\mu A$ mW mW mW mW $\mu W$ $\mu W$	デジタル入力 = 0 V または $V_{DRIVE}$  $V_{DD} = 3.6 \text{ V}$ , $V_{DRIVE} = 3.6 \text{ V}$  $T_A = -40^\circ\text{C}$ to $+25^\circ\text{C}$ $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$  $V_{DD} = 3 \text{ V}$ , $V_{DRIVE} = 3 \text{ V}$  $T_A = -40^\circ\text{C} \sim +25^\circ\text{C}$ $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$

<sup>1</sup> 他に指定のない限り、デシベルで表されたすべての仕様はフルスケール入力 FSR を基準としており、フルスケールより 0.5dB 低い入力信号でテストされています。

<sup>2</sup> 用語のセクションを参照してください。

<sup>3</sup> 初期リリース時はサンプル・テストにより適合性を保証。

<sup>4</sup> 25°C で規定された  $V_{REF}$  ピンを基準

<sup>5</sup>  $I_{TOTAL}$  は  $V_{DD}$  と  $V_{DRIVE}$  を流れる合計電流です。

<sup>6</sup> 特に指定のない限り、消費電力は  $V_{DD} = V_{DRIVE} = 3.6 \text{ V}$  で規定されます。

## タイミング仕様

他に指定のない限り  $V_{DD} = 2.8\text{ V} \sim 3.6\text{ V}$ ,  $V_{DRIVE} = 1.65\text{ V} \sim 3.6\text{ V}$ ,  $V_{REF} =$  内蔵の  $2.5\text{ V}$ ,  $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。初期リリース時はサンプル・テストにより適合性を保証。すべての入力信号は  $t_r = t_f = 5\text{ ns}$  ( $V_{DRIVE}$  の 10%~90%) で規定し、1.6V の電圧レベルからの時間とします。

表 2.

Parameter	Limit at $T_{MIN}$ , $T_{MAX}$	Unit	Test Conditions/Comments
$t_{CONVERT}$	$t_2 + (16 \times t_{SCLK})$	$\mu\text{s max}$	変換時間
	820	$\text{ns typ}$	$V_{IN0} \sim V_{IN7}$ の各 ADC チャンネル、 $f_{SCLK} = 20\text{ MHz}$
$f_{SCLK}^1$	50	$\text{kHz min}$	外部シリアル・クロックの周波数
	20	$\text{MHz max}$	外部シリアル・クロックの周波数
$t_{QUIET}$	6	$\text{ns min}$	リピート・モードと非リピート・モードにおいて、シリアル信号の読み出しの終了と、次の電圧変換の開始との間に必要とされる最小静止時間
$t_2$	10	$\text{ns min}$	$\overline{CS}$ to SCLK セットアップ時間
$t_3^1$	15	$\text{ns max}$	$\overline{CS}$ の立ち下がりエッジから SDATA スリーステート・ディスエーブルまでの遅延
$t_4^1$			SCLK 立ち下がりエッジ後のデータ・アクセス時間
	35	$\text{ns max}$	$V_{DRIVE} = 1.65\text{ V} \sim 3\text{ V}$
	28	$\text{ns max}$	$V_{DRIVE} = 3\text{ V} \sim 3.6\text{ V}$
$t_5$	$0.4 \times t_{SCLK}$	$\text{ns min}$	SCLK のローレベル・パルス幅
$t_6$	$0.4 \times t_{SCLK}$	$\text{ns min}$	SCLK のハイレベル・パルス幅
$t_7^1$	14	$\text{ns min}$	SCLK からデータ有効までのホールド・タイム
$t_8^1$	16/34	$\text{ns min/ns max}$	SCLK の立ち下がりエッジから DOUT が高インピーダンスになるまでの時間
$t_9$	5	$\text{ns min}$	SCLK の立ち下がりエッジ前の DIN のセットアップ・タイム
$t_{10}$	4	$\text{ns min}$	SCLK の立ち下がりエッジ後の DIN のホールド・タイム
$t_{11}^1$	30	$\text{ns max}$	$\overline{CS}$ の立ち上がりエッジから DOUT の高インピーダンスになるまでの遅延
$t_{POWER-UP}$	6	$\text{ms max}$	内部リファレンスのフル・パワーダウンからのパワーアップ時間

<sup>1</sup> DOUT の負荷回路 15 pF にて測定。

## 絶対最大定格

表 3.

Parameter	Rating
V <sub>DD</sub> to GND, GND1	-0.3 V ~ +5 V
V <sub>DRIVE</sub> to GND, GND1	-0.3 V to + 5 V
Analog Input Voltage to GND1	-0.3 V ~ +3 V
Digital Input Voltage to GND	-0.3 V to V <sub>DRIVE</sub> + 0.3 V
Digital Output Voltage to GND	-0.3 V to V <sub>DRIVE</sub> + 0.3 V
V <sub>REF</sub> to GND1	-0.3 V ~ +3 V
AGND to GND	-0.3 V ~ +0.3 V
Input Current to Any Pin Except Supplies	±10 mA
Operating Temperature Range	-40°C ~ +125°C
Storage Temperature Range	-65°C ~ +150°C
Junction Temperature	150°C
Pb-free Temperature, Soldering	
Reflow	260(0)°C
ESD	3.5 kV

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

表 4.熱抵抗

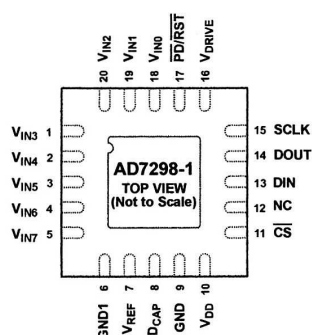
Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
20-Lead LFCSP	52	6.5	°C/W

## ESD の注意



**ESD (electrostatic discharge) sensitive device.** Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

## ピン配置およびピン機能説明



注意

1. NC=未接続
2. 適切な機能と熱放射のために、LFCSP パッケージ底面の露出金属・パドルを、PCB グラウンドにハンダ付けする必要があります。

図 2. ピン配置

表 5. ピン機能の説明

Pin No.	Mnemonic	Description
1 to 5, 18 to 20	V <sub>IN3</sub> , V <sub>IN4</sub> , V <sub>IN5</sub> , V <sub>IN6</sub> , V <sub>IN7</sub> , V <sub>INO</sub> , V <sub>IN1</sub> , V <sub>IN2</sub>	アナログ入力。AD7298-1 は 8 チャンネル、シングル・エンドのアナログ入力内で内蔵のトラック&ホールド回路にマルチプレックス入力されます。各入力チャンネルのアナログ入力範囲は 0 V ~ 2.5 V です。ノイズの混入を防ぐために未使用の入力チャンネルは GND1 に接続する必要があります。
6	GND1	グラウンド。AD7298-1 の内部リファレンス回路のグラウンド基準点。外部リファレンス信号と全アナログ入力信号はこの GND1 電圧を基準にします。GND1 ピンはシステムのグラウンド・プレーンへ接続する必要があります。すべてのグラウンド・ピンは理想的には同電位でなければなりません。過渡的なバイアスであっても差を 0.3 V 以下に抑える必要があります。V <sub>REF</sub> ピンは、10 μF デカップリング・コンデンサでグラウンドへデカップリングする必要があります。
7	V <sub>REF</sub>	内部リファレンス出力/外部リファレンス入力。通常の 2.5V 内部リファレンス電圧は、このピンから出力します。出力にバッファが付いている場合、内部リファレンス電圧をこのピンから出力して、システムの他の部分に供給することができます。デカップリング・コンデンサ (推奨 220 nF) をこのピンに接続して、リファレンス・バッファをデカップリングします。最適の性能を得るために、このピンから GND1 へ 10 μF デカップリング・コンデンサを接続する事をお勧めします。必要に応じて、内部リファレンスをディスエーブルにしてこのピンに外部リファレンスを加える事ができます。外部リファレンスの入力電圧範囲は 0~2.5 V です。
8	D <sub>CAP</sub>	デカップリング・コンデンサ・ピン。デカップリング・コンデンサ (推奨 1 nF) をこのピンに接続して、内部 LDO をデカップリングします。
9	GND	グラウンド。AD7298-1 のすべてのアナログ回路とデジタル回路のグラウンド基準点。GND ピンはシステムのグラウンド・プレーンへ接続する必要があります。すべてのグラウンド・ピンは理想的には同電位でなければなりません。過渡的なバイアスであっても差を 0.3 V 以下に抑える必要があります。D <sub>CAP</sub> と V <sub>DD</sub> の両方のピンはこの GND プレーンにデカップリングする必要があります。
10	V <sub>DD</sub>	電源、2.8 V ~ 3.6 V。この電源は 10 μF と 100 nF のデカップリング・コンデンサで GND にデカップリングする必要があります。
11	$\overline{\text{CS}}$	チップ・セレクト、アクティブ・ローのロジック入力。このピンはこの入力への立下りエッジでエッジトリガーされ、トラック&ホールドがホールド・モードになり、変換が開始します。この入力は又シリアル・データ転送フレーミングの機能があります。 $\overline{\text{CS}}$ がロー・レベルの時、出力バスはイネーブルになり、変換結果が DOUT 出力から出力します。
12	NC	未接続。
13	D <sub>IN</sub>	データ入力、ロジック入力。AD7298-1 のコントロール・レジスタに書き込むデータはこのピンから入力され、SCLK の立ち下がりがエッジでレジスタにクロック入力されます。
14	DOUT	シリアル・データ出力。AD7298-1 の変換結果がシリアル・データ・ストリームとしてこのピンから出力します。ビットは SCLK 入力の立ち下がりがエッジでクロック出力します。AD7298-1 からのデータ・ストリームは、変換結果がどのチャンネルに対応するかを示す 4 つのアドレス・ビットと、後続の 10 ビットの変換データ (MSB ファースト) で構成されています。

# AD7298-1

Pin No.	Mnemonic	Description
15	SCLK	シリアル・クロック、ロジック入力。シリアル・クロック入力は、AD7298-1 からデータにアクセスするための SCLK として使用します。
16	V <sub>DRIVE</sub>	ロジック電源入力。インターフェースが動作する電圧はこのピンに入力される電圧によって決定します。このピンはグラウンドにデカップリングする必要があります。このピンの電圧範囲は 1.65 V ~ 3.6 V で V <sub>DD</sub> 電圧よりは低いと考えられます。しかし V <sub>DD</sub> を 0.3 V 以上超えてはいけません。
17	$\overline{\text{PD/RST}}$	パワーダウン・ピン。このデバイスが動作していない時、このピンを使用する事によりフル・パワーダウン・モードにする事により、電力管理が可能です。このピンを 1ns(min)~100 ns(max)間、ロー・レベルにトグルする事により、このデバイスをリセットする事ができます。もし最大時間を超えたら、デバイスはパワーダウン・モードに入ります。AD7298-1 をフル・パワーダウン・モードにする時には、アナログ入力を 0 V に戻す必要があります。
	EPAD	適切な機能と熱放射のために、LFCSP パッケージ底面の露出メタル・パドルを、PCB グラウンドにハンダ付けする必要があります。



# 代表的な性能特性

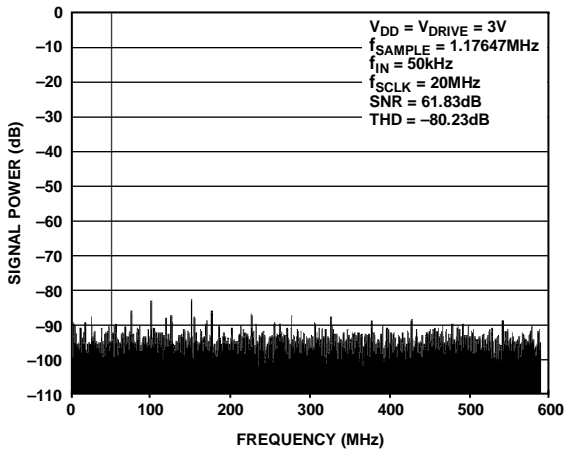


図 3. 代表的な FFT

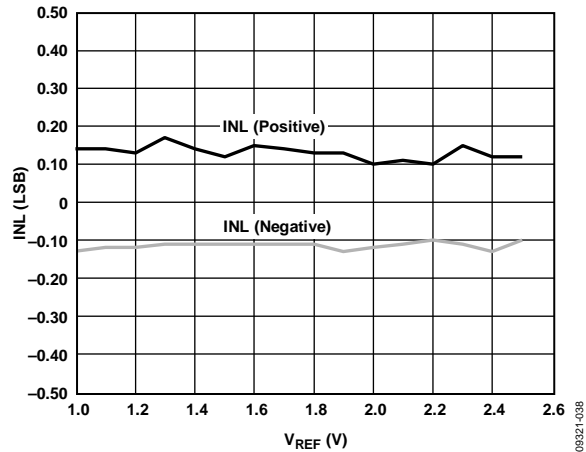


図 6. INL 対  $V_{REF}$

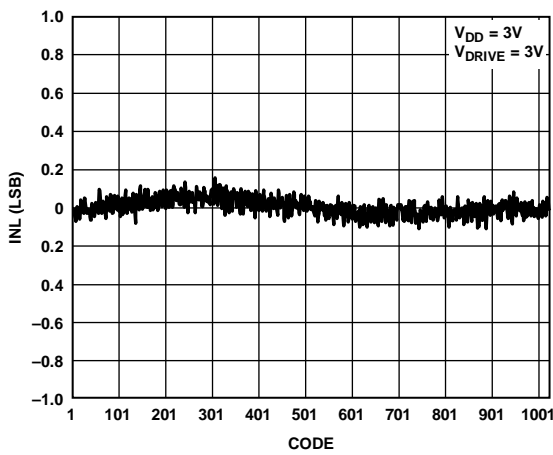


図 4. 代表的な ADC の INL

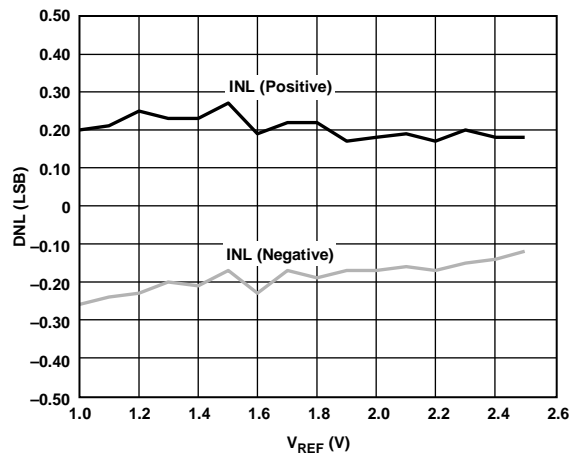


図 7. DNL 対  $V_{REF}$

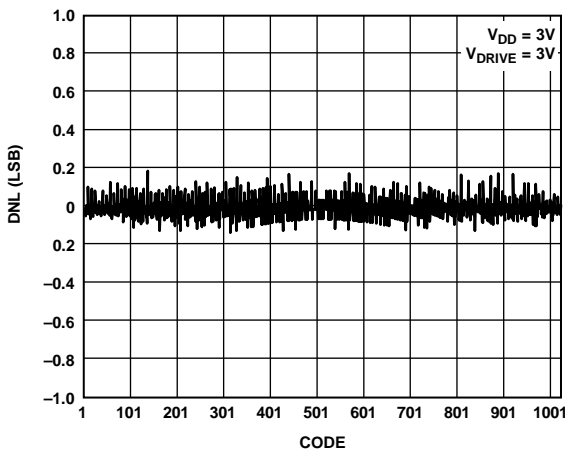


図 5. 代表的な ADC の DNL

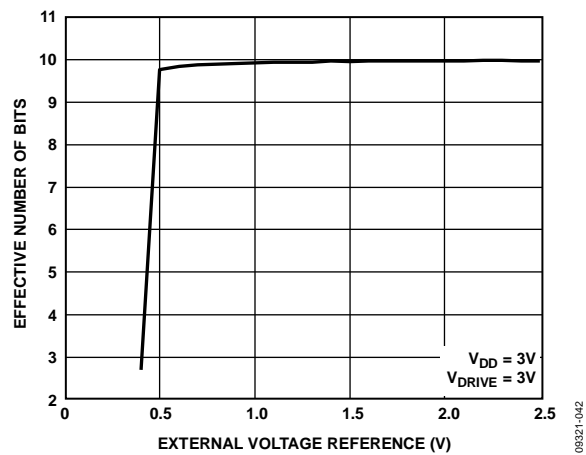


図 8. 有効ビット数 対  $V_{REF}$

# AD7298-1

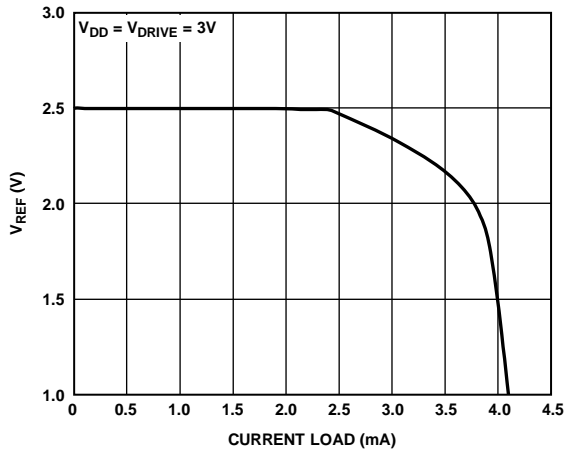


図 9.  $V_{REF}$  対 リファレンス電圧出力電流駆動

09321-109

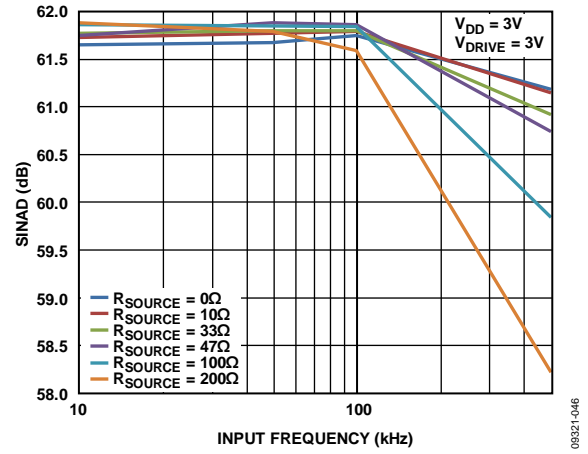


図 12. 各種のソース・インピーダンスに対する SINAD 対 アナログ入力周波数

09321-046

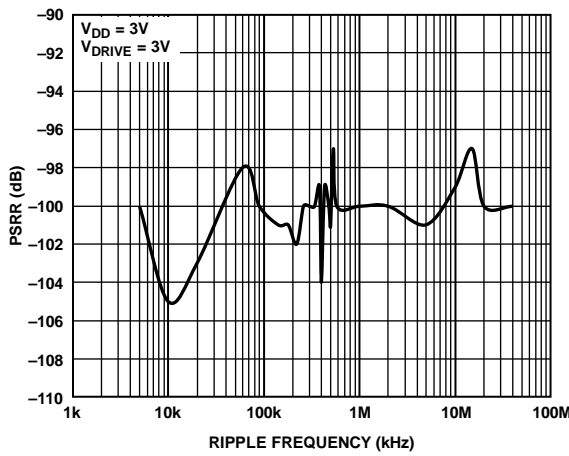


図 10. PSRR 対 電源リップル周波数(電源デカップリングなし)

09321-110

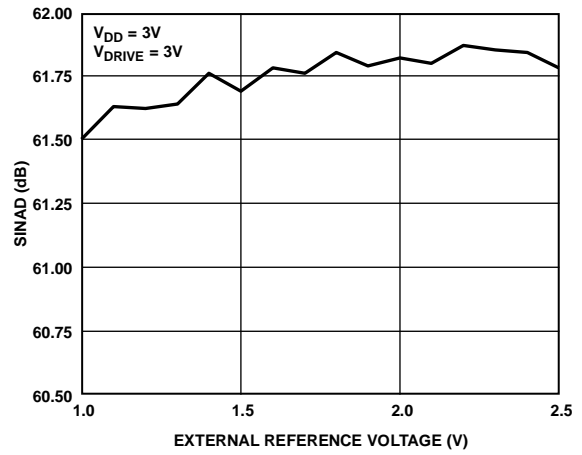


図 13. SINAD 対 リファレンス電圧

09321-043

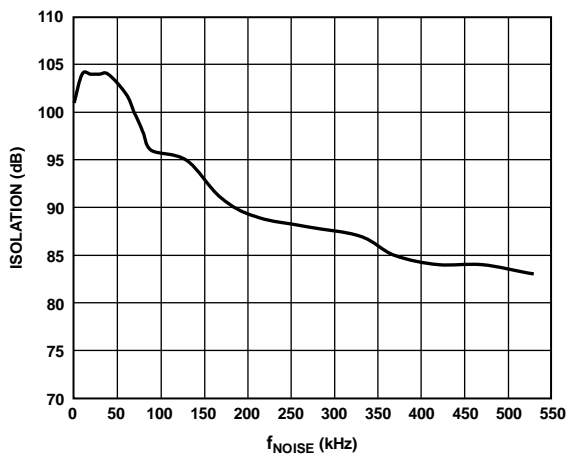


図 11. チャンネル間アイソレーション、 $f_{IN} = 50$  kHz

09321-111

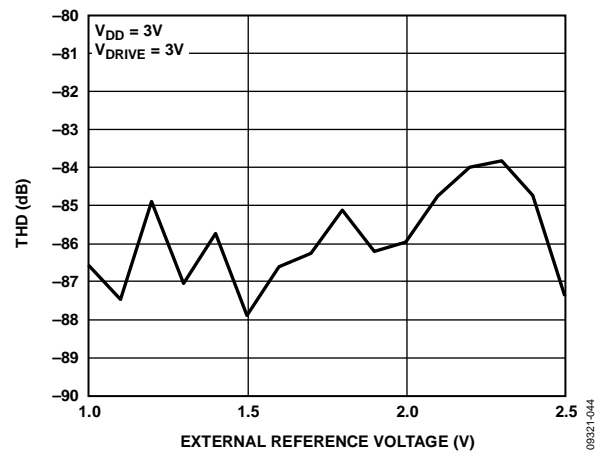


図 14. THD 対 リファレンス電圧

09321-044

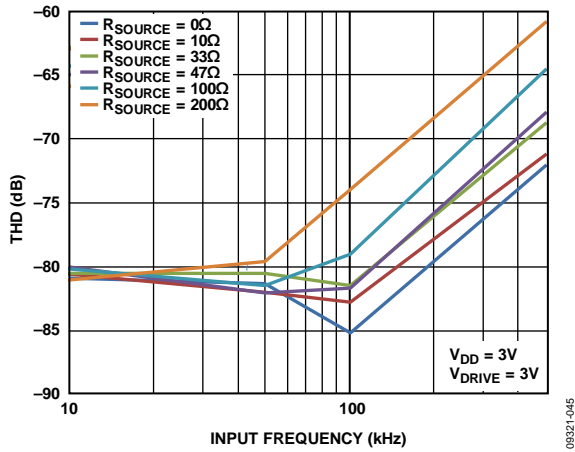


図 15. 各種ソース・インピーダンスに対する THD 対アナログ入力周波数

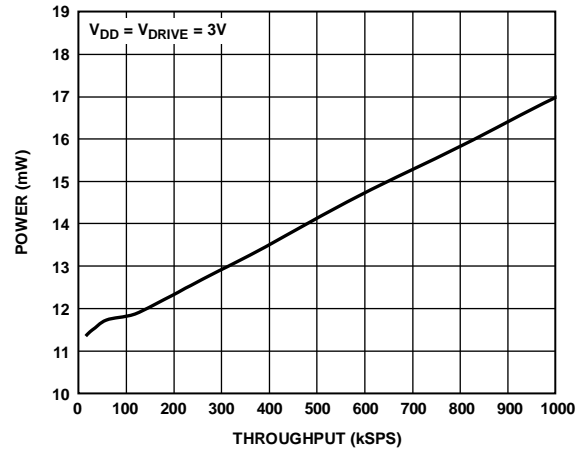


図 17. 電源 対ノーマル・モードでのスループット ( $V_{DD} = 3V$ )

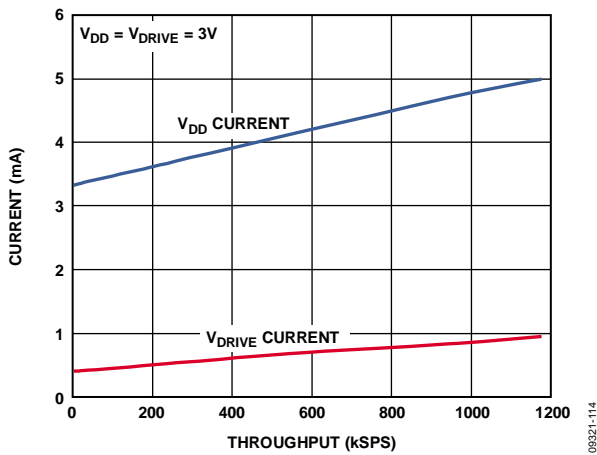


図 16. アナログ電源電流 対 スループット・レート

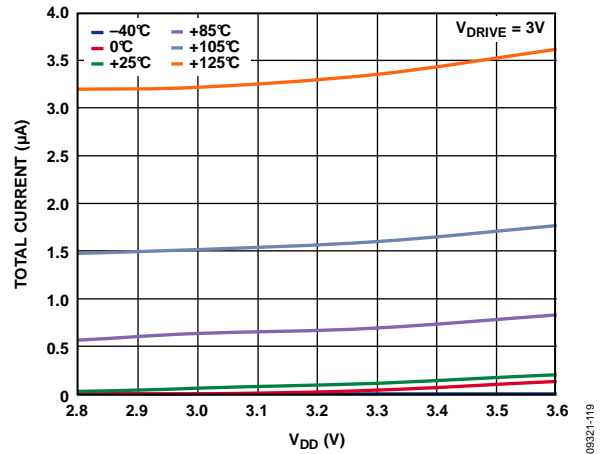


図 18. 各種温度におけるフルシャットダウン電流 対 電源電圧

## 用語

### 信号対ノイズ+歪み比(SINAD)

A/D コンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプル周波数( $f_s/2$ )までの全高調波の和で表します(DC を除く)。この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。正弦波を入力した場合の、理想 N ビット・コンバータに対する信号対(ノイズ+歪み)比の理論値は次式で表されます。

$$\text{信号対(ノイズ+歪み)比} = (6.02 N + 1.76) \text{ dB}$$

したがって、10 ビット・コンバータの場合、SINAD は 61.96 dB になります。

### 総合高調波歪み(THD)

高調波の rms 値総和と基本波の比です。AD7298-1 の場合、次式で与えられます。

$$\text{THD(dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

$V_1$  は基本波の rms 振幅です。

$V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 、 $V_6$  は 2 次～6 次高調波の rms 振幅です。

### ピーク高調波またはスプリアス・ノイズ

ADC 出力スペクトルの中で(DC を除いて  $f_s/2$  まで)2 番目に大きい成分の rms 値の、基本波 rms 値に対する比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋もれている ADC の場合は、ノイズ・ピークにより決定されます。

### 積分非直線性

ADC 伝達関数の両端を結ぶ直線からの最大偏差をいいます。伝達関数の両端とは、ゼロ・スケール(最初のコード

変化より 1 LSB 下のポイント)とフル・スケール(最後のコード変化より 1 LSB 上のポイント)をいいます。

### 微分非直線性

ADC の任意の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差をいいます。

### オフセット誤差

理論的な値すなわち  $GND + 1 \text{ LSB}$  と最初のコード変化((00...0.000)から(00...0.001))との差をいいます。

### オフセット誤差マッチング

2 つのチャンネル間のオフセット誤差の差。

### ゲイン誤差

オフセット誤差調整後の最後のコード変化((111...110)から(111...111))と理論値(REFIN - 1 LSB)との偏差です。

### ゲイン誤差のマッチング

2 つのチャンネル間のゲイン誤差の差。

### トラック&ホールド・アクイジション時間

変換終了後、トラック&ホールド・アンプはトラック・モードに戻ります。トラック&ホールド・アクイジション時間は、変換終了後にトラック&ホールド・アンプの出力が最終値の  $\pm 1 \text{ LSB}$  以内に収まるために要する時間です。

### 電源電圧除去比 (PSRR)

PSRR は、ADC 出力でのフルスケール周波数  $f$  の電力と、ADC の  $AV_{DD}$  電源に加えられた周波数  $f_s$  で 100mV のサイン波の電力との比として定義されます。入力周波数は 5 kHz～25 MHz の範囲変化します。

$$\text{PSRR (dB)} = 10 \log(P_f/P_{f_s})$$

ここで、

$P_f$  は ADC 出力の周波数" $f$ "での電力

$P_{f_s}$  は ADC の  $AV_{DD}$  電源に加えられた周波数" $f_s$ "の電力

## 回路説明

AD7298-1は、高速、8チャンネルの10ビットADCです。このデバイスは2.8V~3.6Vの単電源で動作し、アナログ入力チャンネル当たり1MSPSのスループット・レートが可能です。

AD7289-1はトラック&ホールドを内蔵し、シリアル・インターフェースのADCで20ピンLFCSPに収納されています。AD7298-1はチャンネル・リピード機能付き8シングル・エンド入力チャンネルなので、ユーザーはチャンネル・シーケンスを選択して、各連続した $\overline{CS}$ の立下りエッジでADCをサイクルさせることができます。シリアル・クロック入力は、デバイスからのデータにアクセスし、ADCに書き込むデータの転送を制御し、さらに逐次比較型A/Dコンバータのクロック・ソースとしても使われません。AD7928-1のアナログ入力範囲は0~ $V_{REF}$ です。AD7298-1は1サイクル遅延で動作します。これは変換が行われたサイクルの後のシリアル転送で変換結果が出力する事を意味します。

AD7298-1には柔軟性のあるパワー・マネージメント・オプションがあり、ユーザーは与えられたスループット・レートに対して最適な電力特性が得られます。これらのオプションはコントロール・レジスタの中のパーシャル・パワーダウン・ビット、PPDを設定したり、 $\overline{PD}/\overline{RST}$ ピンを使う事により選択できます。

### コンバータの動作

AD7298-1は容量性DACを使用した10ビット逐次比較型ADCです。図19と図20に、簡略化したADCの回路図を示します。ADCはコントロール・ロジック、SAR、容量性DACで構成されていますが、これらの機能を使って、サンプリング・コンデンサを一定量の電荷、加算および減算し、コンパレータを平衡状態に戻します。図19に、アキュイジション状態にあるADCを示します。SW2は閉じて、SW1は位置Aにあります。コンパレータは平衡状態にあり、サンプリング・コンデンサが選択された $V_{IN}$ チャンネルから信号を取得します。

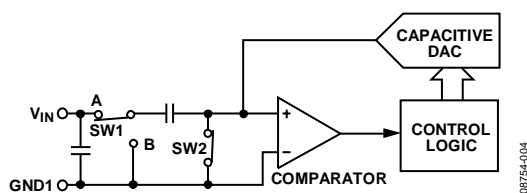


図19.ADC アキュイジション・フェーズ

ADCが変換を開始(図20)すると、SW2が開いて、SW1が位置Bに移動するため、コンパレータが不平衡状態になります。コントロール・ロジックと容量性DACを使って、一定量の電荷を加算および減算して、コンパレータを平衡状態に戻します。コンパレータが再び平衡状態に戻ると、変換が完了します。コントロール・ロジックがADCの出力コードを生成します。図22に、簡略化したADCの伝達関数を示します。

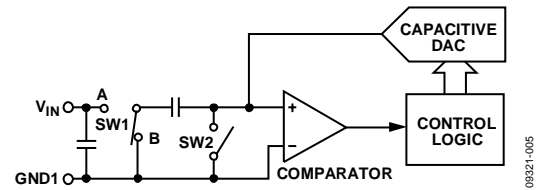


図20.ADCの変換フェーズ

### アナログ入力

図21に、AD7298-1のアナログ入力構造の等価回路を示します。2つのダイオードD1とD2はアナログ入力のESD保護用です。アナログ入力信号が内部で発生する2.5V LDO電圧( $D_{CAP}$ )を300mV以上超えないよう注意する必要があります。超えると、これらのダイオードが順方向にバイアスされて、サブストレートに電流が流れ始めます。これらのダイオードが損傷なしに許容できる最大電流は10mAです。図21に示すコンデンサC1は約6pF(typ)で、主にピン容量に起因します。抵抗R1はスイッチ(トラック&ホールドのスイッチ)のオン抵抗から成る集中部品で、入力マルチプレクサのオン抵抗も含まれます。合計抵抗値はで約155 $\Omega$ (typ)です。コンデンサC2はADCのサンプリング・コンデンサであり、容量は34pF(typ)です。

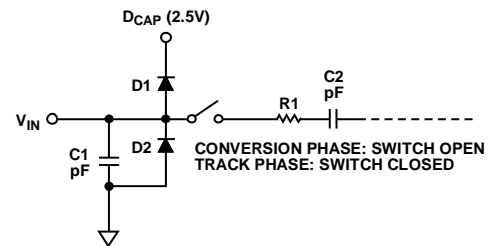


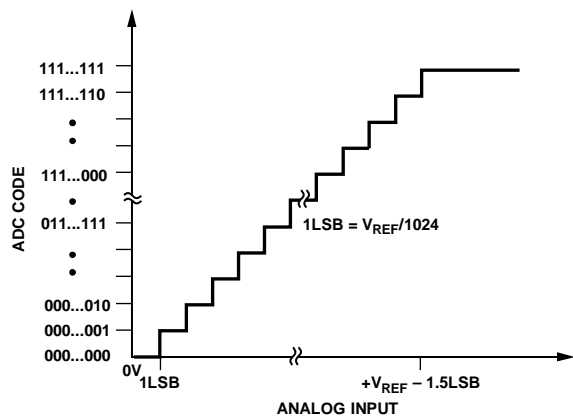
図21.等価アナログ入力回路

ACアプリケーションの場合は、該当するアナログ入力ピンにRCローパス・フィルタを使用して、アナログ入力信号から高周波成分を除去することをお勧めします。高調波歪みと信号対ノイズ比が重視されるアプリケーションでは、アナログ入力を低インピーダンス・ソースで駆動してください。ソース・インピーダンスが大きいと、ADCの性能が大きく影響を受けます。このために、入力バッファ・アンプの使用が必要になります。オペアンプの選択は特定アプリケーションの性能基準との相関関係になります。

# AD7298-1

## ADC の伝達関数

AD7298-1 の出力コードはアナログ入力チャンネルの変換結果に対してストレート・バイナリです。コード変化は連続した LSB 値(1 LSB、2 LSB など)で起こるように設計されています。AD7298-1 の LSB サイズは  $V_{REF}/1024$  です。AD7298-1 のストレート・バイナリ・コーディングの理論的な伝達特性を図 22 に示します。



NOTES  
1.  $V_{REF}$  IS 2.5V.

図 22. ストレート・バイナリ伝達特性

## $V_{DRIVE}$

AD7298-1 は  $V_{DRIVE}$  機能も備えています。 $V_{DRIVE}$  は、シリアル・インターフェースが動作する電圧を制御します。 $V_{DRIVE}$  を使うと、ADC を 1.8 V プロセッサにも 3 V プロセッサにも容易にインターフェースすることができます。たとえば、AD7298-1 が  $V_{DD} = 3.3$  V で動作する場合、 $V_{DRIVE}$  ピンに 1.8 V 電源を加えることができます。

これにより 1.8 V 駆動プロセッサにインターフェースしながら、AD7298-1 を  $V_{DD} = 3.3$  V を使ってより大きなダイナミック・レンジで動作させることができます。 $V_{DRIVE}$  が  $V_{DD}$  を 0.3 V 以上超えないように注意してください(絶対最大定格絶対最大定格のセクションを参照)。

## 内部または外部リファレンス

AD7298-1 は、2.5 V の内部リファレンス電圧または外部リファレンス電圧で動作することができます。内部リファレンス電圧を使用するか否かを設定するには、コントロール・レジスタの EXT\_REF ビットを使用します。コントロール・レジスタの EXT\_REF ビットを選ぶと、 $V_{REF}$  ピンから外付けリファレンスを供給することができます。パワーアップ時に、内部リファレンスがイネーブルになります。AD7298-1 に適した外部リファレンス・ソースには [AD780](#)、[AD1582](#)、[ADR431](#)、[REF193](#)、[ADR391](#) があります。

内部リファレンス電圧回路は、2.5 V のバンド・ギャップ・リファレンスとリファレンス・バッファで構成されています。AD7298-1 を内部リファレンス電圧モードで動作させると、2.5 V の内部リファレンス電圧が  $V_{REF}$  ピンから出力するので、これを 10  $\mu$ F コンデンサで AGND へデカップリングする必要があります。内部リファレンス電圧をシステム内の他の場所で使う前にバッファすることを推奨します。

内部リファレンス電圧はコンバータがスタティックなとき、最大 2 mA の電流を供給することができます。リファレンス・バッファは、パワーアップするのに 5.5 ms かかり、パワーアップしている間に 10  $\mu$ F のデカップリング・コンデンサを充電します。

## コントロール・レジスタ

AD7298-1のコントロール・レジスタは16ビットの書込み専用レジスタです。データは、SCLKの立ち下がりエッジでAD7298-1のDINピンからロードされます。変換結果がデバイスから読み出されると同時に、データがDINラインに転送されます。DINラインに転送されるデータは、次の変換の際のAD7298-1設定に対応します。このためにデータ転送ごとに16シリアル・クロックが必要となります。

最初の16個の立ち下がりクロック・エッジで提供される情報のみが( $\overline{CS}$ の立下りエッジ後)、コントロール・レジスタへロードされます。MSBは、データ・ストリームの先頭ビットを示します。ビットの機能を表6と表7に示します。パワーアップ時、コントロール・レジスタのデフォルト内容はすべてゼロです。

表6.入力レジスタのビット機能

MSB														LSB	
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
WRITE	REPEAT	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	0	DONTC	DONTC	EXT_REF	DONTC	PPD

表7.コントロール・レジスタ・ビットの機能説明

Bit	Mnemonic	Description
D15	WRITE	このビットに書き込まれた値で、後続の15ビットをコントロール・レジスタにロードするかどうかを決めます。このビットが"1"の場合、後続の15ビットはコントロール・レジスタに書き込まれます。このビットが"0"の場合には、残りの15ビットはコントロール・レジスタにロードされず、コントロール・レジスタは変化しません。
D14	REPEAT	このビットは選択した一連のチャンネルの繰り返し変換を可能にします。
D13 to D6	CH0 to CH7	これら8チャンネル選択ビットは現在の変換の最後にロードされ、次のシリアル転送で変換するアナログ入力チャンネルを選んだり、又は後続のシリアル転送で変換する一連のチャンネルを選ぶ事ができます。各CHxビットはアナログ入力チャンネルに対応します。変換するチャンネル又は一連のチャンネルは適切なCHxビットに"1"を書き込む事により選ばれます。変換結果に対応するチャンネル・アドレス・ビットは10ビットのデータの前にDOUTに出力されます。変換する次のチャンネルは14番目のSCLK立下りエッジでマルチプレクサによって選択されます。
D5	0	このビットにはゼロを書き込む必要があります。
D4, D3, D1	DONTC	Don't care.
D2	EXT_REF	このビットにロジック"1"を書き込むと外部ファレンスの使用が可能になります。外部リファレンスの入力電圧範囲は1V ~ 2.5Vです。外部リファレンスは2.5Vを超えてはいけません。もし超えるとデバイスの性能に影響があります。
D0	PPD	コントロール・レジスタのこのビットに"1"を書き込む事によりパーシャル・パワーダウン・モードになります。このモードで、内部アナログ回路の一部がパワーダウンします。AD7298-1はパーシャル・パワーダウン・モードの間コントロール・レジスタの情報を保持します。このビットに"0"が書込まれるまで、デバイスはこのモードを維持します。

表8.チャンネル・アドレス・ビット

ADD3	ADD2	ADD1	ADD0	Analog Input Channel
0	0	0	0	V <sub>IN0</sub>
0	0	0	1	V <sub>IN1</sub>
0	0	1	0	V <sub>IN2</sub>
0	0	1	1	V <sub>IN3</sub>
0	1	0	0	V <sub>IN4</sub>
0	1	0	1	V <sub>IN5</sub>
0	1	1	0	V <sub>IN6</sub>
0	1	1	1	V <sub>IN7</sub>

## 動作モード

AD7298-1には、さまざまな動作モードがあります。これらの動作モードは、柔軟な電源管理オプションを提供するためのものです。これらのオプションを選択してコントロール・レジスタの内容を設定する事により、希望のモードを選ぶ事ができます。

## 従来方法によるマルチチャンネル・モードの動作

AD7298-1は従来のマルチ・チャンネル ADC として動作し、各シリアル転送により変換する次のチャンネルを選択します。任意の変換開始前に、設定と希望の入力チャンネルを選択するためにコントロール・レジスタに書き込む必要があります。従来方式の動作ではコンバータの DIN ピンへの最初の書き込みをフレーム化するのに  $\overline{CS}$  信号が使用されます。この動作モードでは、コントロール・レジスタの REPEAT ビットはロー・ロジックレベル(0)にセットされ、REPEAT 機能は使用しません。コントロール・レジスタへの最初の書き込みの間 DOUT ピンに出力するデータは無効です。最初の  $\overline{CS}$  の立下りエッジでデバイスを設定するためのコントロール・レジスタへの書き込みが開始されます；次に後続(2番目)の  $\overline{CS}$  立下りエッジで、選択したアナログ入力チャンネル ( $V_{IN0}$ ) の変換が開始しま

す；そして3番目の  $\overline{CS}$  の立下りエッジで結果( $V_{IN0}$ ) が読み出し可能になります。AD7298-1は1サイクル遅延で動作します、それ故各変換に対応する変換結果は変換が開始されたサイクルの1シリアル・リード・サイクル後に出力されます。

デバイスは1サイクル遅延して動作するので、コントロール・レジスタの設定は次の変換の設定を設定するわけですが、それは次の  $\overline{CS}$  の立ち上がりエッジで開始されます。しかし図 23 に示すように対応する結果の最初のビットは後続の  $\overline{CS}$  の立下りエッジまでクロック出力されません。

コントロール・レジスタで1チャンネル以上選択した場合、AD7298-1は選択したすべてのチャンネルを連続した  $\overline{CS}$  の立下りエッジで昇順で順に変換します。1度コントロール・レジスタの選択したすべてのチャンネルが変換されたら、ユーザーがコントロール・レジスタに再度書き込みをして変換する次のチャンネルを選択するまで AD7298-1は変換を止めます。この動作を図 24 に示します。変換シーケンスが終了した場合、又はどのチャンネルも選択されなかった場合、DOUT は全"1"に戻ります。

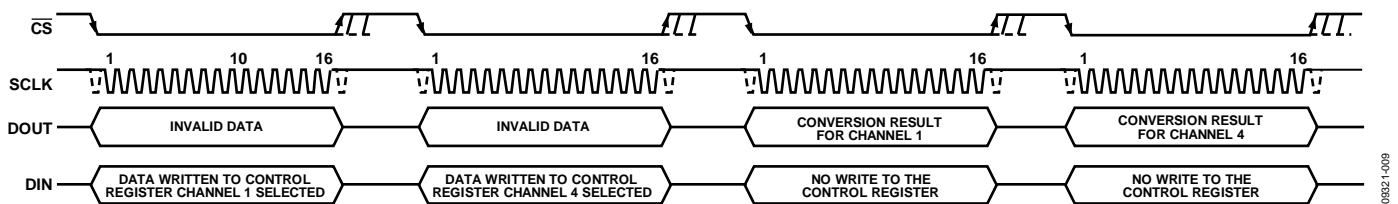


図 23. AD7298-1 での変換の設定と読み出し、変換に1チャンネルを選択

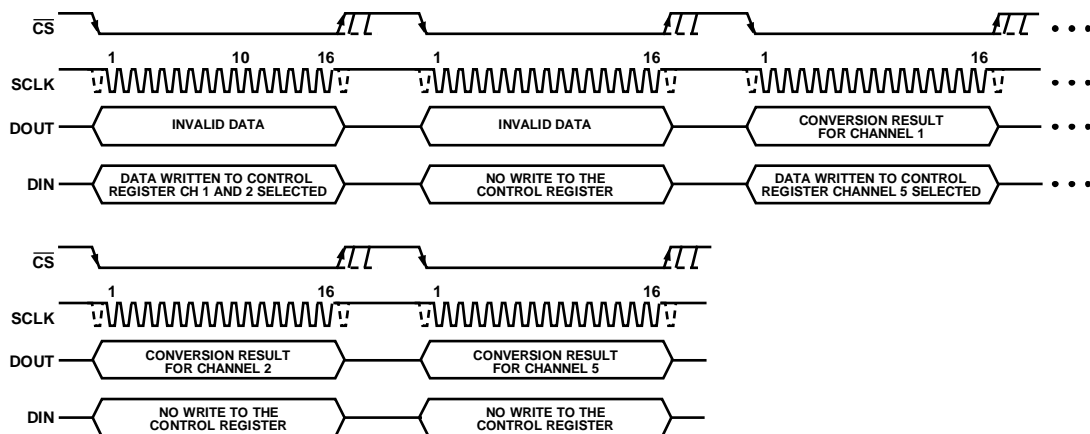


図 24. AD7298-1 での変換の設定と読み出し、変換に複数チャンネルを選択



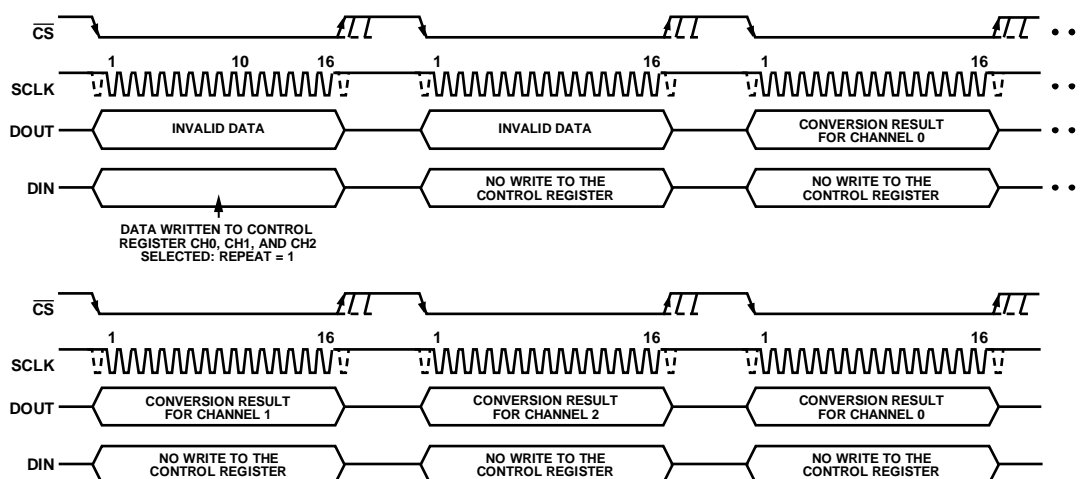


図 25. リピート・モードでの変換の設定と読み出し

109231-011

## リピート動作

コントロール・レジスタの REPEAT ビットを使用する事により、AD7298-1 が連続して変換する一連のチャンネルを選ぶ事ができます。コントロール・レジスタの REPEAT ビットをセットすると、AD7298-1 は昇順で選択したチャンネルを連続してサイクル（最も低いチャンネルから開始し、コントロール・レジスタで選択した全チャンネルを変換する）します。シーケンスが終わると、AD7298-1 はコントロール・レジスタで選択した最初のチャンネルに戻りシーケンスを再開します。

リピート動作モードで選択したチャンネルの変換シーケンスは、AD7298-1 のコントロール・レジスタを再設定するまで続きます。一度リピート動作が開始されたら、AD7298-1 の設定を変更する必要がない限り、コントロール・レジスタへの書き込みをする必要はありません。コントロール・レジスタが誤って上書きされないように、あるいは自動変換シーケンスが中断されないように、WRITE ビットをゼロに設定するか又は DIN ラインをロー・レベルに接続する必要があります。

リピート動作モードの間にコントロール・レジスタへ書き込みを行うと、たとえ選択したチャンネルに変更がなくてもサイクルをリセットします。従って書き込み動作後の AD7298-1 による次の変換はシーケンスの中で最初に選択したチャンネルになるでしょう。

一連のチャンネルを選ぶために、変換が必要な各アナログ入力に関連したチャンネルビットをロジック・ハイ状態(1)にする必要があります。例えば、REPEAT ビット = 1 で CH0, CH1, CH2 = 1 とします。コントロール・レジスタへ書き込みをした後、最初の  $\overline{CS}$  の立ち下がりエッジで  $V_{IN0}$  アナログ入力に変換され、後続の  $\overline{CS}$  の立下りエッジで  $V_{IN1}$  チャンネルが変換され  $V_{IN0}$  の変換結果が読み出し可能となります。書き込み動作後、3 番目の  $\overline{CS}$  の立下りエッジにより  $V_{IN2}$  の変換が開始され、 $V_{IN1}$  の結果が読み出し可能となります。AD7298-1 は 1 サイクル遅延して動作するので、各変換に対応する変換結果は変換が開始されたサイクルの 1 シリアル・リード・サイクル後に出力されます。

この動作モードはデバイスの動作を簡素化し、コントロール・レジスタを再設定したり、各シリアル転送でデバイスに書き込む事なしに、連続するチャンネルを変換する事ができます。図 25 に特定のチャンネル・シーケンスを連続して変換するように AD7298-1 をセットアップする方法について説明します。リピート動作モードを終了して、従来方式のマルチ・チャンネル ADC の動作モードに戻すために、次のシリアル書き込みで REPEAT ビット = 0 にします。

## パワーダウン・モード

AD7298-1 の動作には柔軟な電力管理オプションを提供するために設計された各種電力管理モードがあります。これらのオプションを選択して、さまざまなアプリケーションの条件に合わせて、消費電力/スループット・レート比を最適化することができます。AD7298-1 の動作のパワーダウン・モードはコントロール・レジスタのパワーダウン (PPD) ビットとデバイスの PD/RST ピンによって制御されます。電源が最初に AD7298-1 に加えられた時、確実にデバイスが要求されている動作モードになっているかどうかを確認する必要があります。

## ノーマル・モード

ノーマル・モードは最高速度のスループット・レート性能を実現する事が目的なので、AD7298-1 は常時フル・パワー状態にあり、ユーザーはパワーアップ時間を気にする必要がありません。図 26 に AD7298-1 のノーマル・モード動作での一般的な概略図を示します。CS の立ち下がりエッジで変換が開始され、トラック&ホールドはホールド・モードになります。シリアル・インターフェースのセクションで説明するように、トラック&ホールドは 14 番目の SCLK の立ち下がりエッジで、トラック・モードに戻り、アナログ入力の取り込みを開始します。データ転送の最初の 16 クロック・サイクルの間に AD7298-1 の DIN ラインに供給されるデータがコントロール・レジスタにロードされます。(WRITE ビットが"1"に設定されている場合) PPD ビットがセットされている限り、変換が終了してもデバイスはノーマル・モードでフル・パワーアップされた状態を保ちます。

ノーマル・モードで連続した動作を確実にするために、各データ書き込み動作で PPD ビットに"0"をロードする必要があります。変換を完了して変換結果をアクセスするためには、16 シリアル・クロック・サイクルが必要です。規定されている性能を得るために、スループット・レートは 1MSPS 以下にしてください。変換が完了し、CS がハイ・レベルに戻った時、再び CS をロー・レベルに戻し、次の変換を開始し、前の変換結果をアクセスする前に最小静止時間  $t_{\text{QUIET}}$  が経過する必要があります。

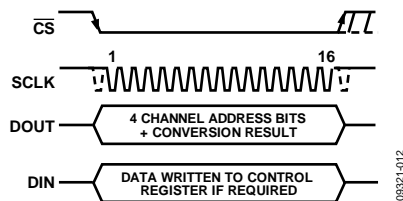


図 26. ノーマル・モード動作

## パーシャル・パワーダウン・モード

このモードでは、AD7298-1 の内部回路の 1 部がパワーダウンします。一度 16SCLK クロック・サイクルを含む現在のシリアル書き込み動作が終了したら、CS の立ち上がりエッジで AD7298-1 はパーシャル・パワーダウンに入ります。パーシャル・パワーダウンにするには、AD7298-1 から最後に要求される読み出し転送でコントロール・レジスタの PPD ビットを"1"に設定します。一度パーシャル・パワーダウン・モードになった後、CS をローレベルにトグルすると、AD7298-1 は DOUT ピンから全"1"を送信します。

AD7298-1 はコントロール・レジスタのパワーダウン・ビット PPD をロジックレベル"0"に変えるまでパーシャル・パワーダウン・モードを維持します。AD7298-1 はコントロール・レジスタに書き込みをしてパワーダウン・ビットをディスエーブルにした後、CS の立ち上がりエッジでパワーアップします。 $t_{\text{QUIET}}$  が経過後、次の変換のためにコントロール・レジスタの内容を更新して希望のチャンネル設定にするには、コントロール・レジスタに 16SCLK 全部の書き込みが終了していなければなりません。そこで次の CS の立下りエッジで有効な変換が開始されます。

AD7298-1 は 1 サイクルの遅延があるので、図 27 に示したようにパーシャル・パワーダウン・モードから出た後の最初の変換結果は 4 番目のシリアル転送で出力されます。最初のサイクルは PPD ビットを更新し、2 番目のサイクルがコンフィギュレーションとチャンネル ID ビットを更新し、3 番目は変換を完了させ、4 番目が DOUT の有効な結果をアクセスします。このモードを使用する事によりデバイス全体の消費電力を低減することができます。

## フル・パワーダウン・モード

このモードでは、AD7298-1 のすべての内部回路がパワーダウンし、情報はコントロール・レジスタあるいは他どの内部レジスタにも保持されません。

PD/RST ピンのロジックレベルを 100ns 以上の間ロー・レベルにする事により、AD7298-1 をフル・パワーダウン・モードにする事ができます。AD7298-1 をフル・パワーダウン・モードにする時には、ADC 入力を 0V に戻さなければなりません。PD/RST ピンはクロックに非同期です。従って任意の時間にトリガーできます。デバイスは PD/RST ピンのロジックレベルをハイ・レベル状態に戻すことにより、ノーマル動作にパワーアップされます。

フル・パワーダウン機能は AD7298-1 が低スループット・レートで動作する時、その平均消費電力を低減するために使用することができます。ユーザーは  $t_{\text{POWER-UP}}$  経過後に、コントロール・レジスタの設定や有効な変換を開始する必要があります。

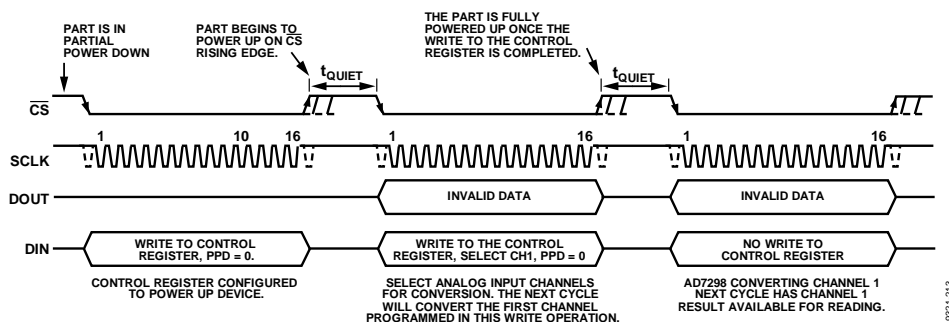


図 27. パーシャル・パワーダウン・モードの動作

### AD7298-1 のパワーアップ

AD7298-1 にはパワーオン・リセット回路が内蔵されており、コントロール・レジスタをそのデフォルト設定である全"0"にセットします；それ故内部リファレンスはイネーブルになりデバイスはノーマル・モードの動作に設定されます。パワーアップ時、内部リファレンスがデフォルトのイネーブルになりますが、パワーアップするのに 6 ms(max)かかります。

外部リファレンスを使用する場合、ユーザーは内部リファレンスが完全にパワーアップするまで待つ必要はありません。最初のパワーアップから 500  $\mu$ s 後には、AD7298-1 のデジタル・インターフェースは完全に機能しています。それ故ユーザーは 500  $\mu$ s 後にコントロール・レジスタに書き込む事により、外部リファレンスモードに切り替える事ができます。一度外部リファレンスが  $V_{REF}$  ピンに印加されれば、AD7298-1 は直ちに交換する事ができます。

最初 AD7298-1 に電源が供給されたら、ユーザーは規定の 500  $\mu$ s を待ってから、変換したい希望のチャンネル

ルを選ぶためにコントロール・レジスタを設定する必要があります。

### リセット

AD7298-1 にはリセット機能があり、このリセットを使用して、デバイスと（コントロール・レジスタを含む）全内蔵レジスタの内容をデフォルト状態にリセットする事ができます。

リセット動作をアクティブにするために、 $\overline{PD/RST}$ ピンを最大 100 ns の間ロー・レベルにする必要があります。これはクロックに対し非同期です；従って任意の時間にトリガーできます。もし  $\overline{PD/RST}$ ピンが 100 ns 以上ロー・レベルに保たれるとデバイスはフル・パワーダウン・モードに入ります。正常動作を確実にするために常に  $\overline{PD/RST}$ ピンが安定したロジックレベルである必要があります。

## シリアル・インターフェース

図 28 に、AD7298-1 に対するシリアル・インターフェースの詳しいタイミング図を示します。シリアル・クロックは変換クロックとして使用され、各変換時に AD7298-1 を入出力する情報の転送制御にも使用されます。

$\overline{CS}$  信号によって、データの転送と変換のプロセスを開始します。 $\overline{CS}$  の立ち下がりエッジでトラック & ホールドがホールド・モードになり、この時点でアナログ入力がサンプルされ、バスはスリーステートから抜け出します。この時点で変換も開始され、完了までに SCLK で 16 サイクルを要します。図 28 のポイント B で示すように、トラック & ホールドは 14 番目の SCLK 立ち下がりエッジでトラック状態に戻ります。16 番目の SCLK 立ち下がりエッジ又は  $\overline{CS}$  の立ち上がりエッジで、DOUT ラインはスリーステートに戻ります。

もし 16 の SCLK が経過する前に  $\overline{CS}$  の立ち上がりエッジが発生した場合は、変換が終了し、DOUT ラインはスリーステートに戻り、コントロール・レジスタは更新されません；DOUT は 16 番目の SCLK の立下りエッジでスリーステートに戻ります。変換プロセスを実行し、AD7298-1 からのデータにアクセスするには、16 のシリアル・クロック・サイクルが必要です。

AD7298-1 には 10 ビットのデータの前に、変換結果がどのチャンネルに対応するかを示す 4 チャンネル・アドレス・ビット (ADD3~ADD0) があります。(表 8 参照)

$\overline{CS}$  がロー・レベルになる事により、マイクロコントローラまたは DSP によって読み出す始めのアドレス・ビットが出力します。次にその後の SCLK の立ち下がりエッジで、残りのデータが 2 番目のアドレス・ビットを先頭にしてクロック出力されます。すなわち、シリアル・クロックの最初の立ち下がりクロック・エッジで最初のアドレス・ビットが読み出され、2 番目のアドレス・ビットもクロック出力されます。残りの 3 つのアドレス・ビットと 12 データビットは、後続の SCLK の立ち下がりエッジでクロック出力されます。前の (15 番目の) 立ち下がりエッジで出力されたデータ転送の中の最終ビットは 16 番目の立ち下がりエッジで読み出しが有効になります。

低速の SCLK を使用するアプリケーションの場合、SCLK 周波数によっては各 SCLK の立ち上がりエッジでデータを読み込む事ができる可能性があります。すなわち  $\overline{CS}$  の立ち下がりエッジ後の最初の SCLK 立ち上がりエッジで先頭のアドレス・ビットを、15 番目の立ち上がり SCLK エッジで最終データビットをそれぞれ読み込むことができます。

コントロール・レジスタへの情報の書き込みは、MSB (すなわち WRITE ビット) が 1 に設定されていると仮定して、データ転送における SCLK の最初の 16 の立ち下がりエッジで行われます。AD7298-1 から読み出される 16 ビットワードには常に変換結果に対応する 4 チャンネル・アドレス・ビット、続いて 12 ビット変換結果が含まれています。

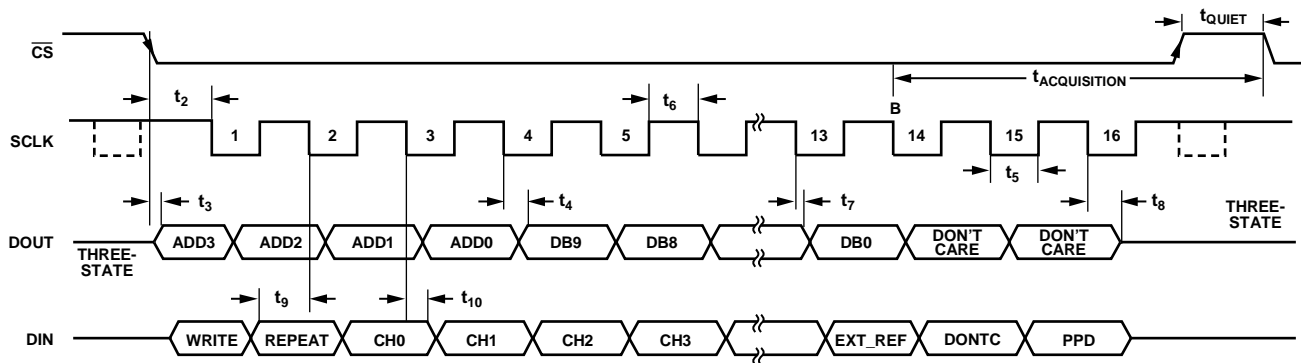


図 28. シリアル・インターフェースのタイミング図

09321-014

## レイアウトおよび構成

最適性能を得るためには、AD7298-1を使用するプリント回路ボード(PCB)での電源とグラウンド・リターンのレイアウトに注意が必要です。AD7298-1を実装するPCBプリント回路ボードは、アナログ部とデジタル部を分離して、それぞれ専用のボード領域を持つようにしてください。AD7298-1はPCBのアナログ部に配置してください。

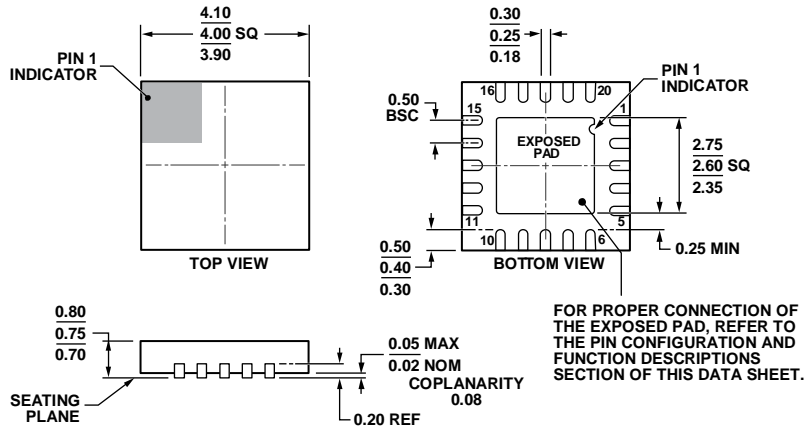
AD7298-1の電源を10  $\mu\text{F}$ と0.1  $\mu\text{F}$ のコンデンサを使ってグラウンドへデカップリングする必要があります。コンデンサはデバイスのできるだけ近くに配置し、0.1  $\mu\text{F}$ のコンデンサは理想的にはデバイスに直に配置することが望まれます。0.1  $\mu\text{F}$ コンデンサは実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESL)も小さいことが重要です；汎用セラミック型コンデンサが適しています。この0.1  $\mu\text{F}$ のコンデンサは、内部ロジックのスイッチングにより発生する過渡電流に起因する高周波に対してグラウンドへの低インピー

ダンス・パスを提供します。10  $\mu\text{F}$ コンデンサはタンタルのビーズ型を使います。

電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を軽減させるようにします。クロックとその他の高速スイッチング・デジタル信号は、デジタル・グラウンドを使ってボード上の他の部分からシールドする必要があります。デジタル信号とアナログ信号の交差は、できるだけ回避する必要があります。ボードの反対側のパターンは、互いに直角になるように配置してボードを通過するフィードスルー効果を減少させます。

最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンはハンダ面に配置するマイクロストリップ技術ですが、2層ボードでは常に可能とはかぎりません。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD.

図 29.20 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_WQ]  
4 mm x 4 mm ボディ、極薄クワッド(CP-20-8)  
寸法: mm

020508-B

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
AD7298-1BCPZ	-40°C ~ +125°C	20-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-20-8
AD7298-1BCPZ-RL	-40°C ~ +125°C	20-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-20-8

<sup>1</sup>Z = RoHS 準拠製品

ノート

AD7298-1

ノート