

本社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200

大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	ADC シーケンス・レジスタ(アドレス 0X03).....	21
アプリケーション	1	コンフィギュレーション・レジスタ・バンク(アドレス 0X05)	21
機能ブロック図	1	警報上下限レジスタ・バンク(アドレス 0X06).....	30
概要	1	警報フラグ・レジスタ・バンク(アドレス 0X07).....	31
改訂履歴	2	最小および最大レジスタ・バンク(アドレス 0X08).....	32
仕様	3	オフセット・レジスタ・バンク(アドレス 0X09).....	32
ADC 仕様	3	DAC バッファ・イネーブル・レジスタ(アドレス 0X0A).....	33
DAC 仕様	4	GPIO レジスタ(アドレス 0X0B).....	33
全体仕様.....	5	変換コマンド・レジスタ(アドレス 0X0E)	34
温度センサー仕様.....	5	ADC 変換結果レジスタ VIN0～VIN7 (アドレス 0X10～アドレ ス 0X17)	34
タイミング仕様.....	6	T _{SENSE} 変換結果レジスタ(アドレス 0X20).....	34
絶対最大定格	7	DAC チャンネル・レジスタ(アドレス 0X30～アドレス 0X33)	34
熱抵抗.....	7	ADC 変換制御.....	35
ESD の注意	7	ADC 変換コマンド.....	35
ピン配置およびピン機能説明	8	ADC シーケンサ	36
代表的な性能特性	10	DAC 出力制御.....	37
動作原理.....	15	LDAC 動作.....	37
アナログ入力.....	15	すべての DAC 出力の同時更新.....	37
ADC の伝達関数.....	16	警報と上下限值.....	38
温度センサー.....	17	警報上下限監視機能.....	38
DAC の動作.....	17	ハードウェア警報ピン	38
デジタル I/O ピン.....	17	変換結果レジスタの警報フラグ・ビット	38
シリアル・ポート・インターフェース(SPI)	18	警報フラグ・レジスタ・バンク	39
インターフェース・プロトコル	18	最小変換結果と最大変換結果	39
レジスタ構造	20	外形寸法.....	40
レジスタの説明	21	オーダー・ガイド.....	40
バンダーID レジスタ(アドレス 0X00).....	21		
ADC データ・レジスタ(アドレス 0X01).....	21		

改訂履歴

10/12—Revision 0: Initial Version

仕様

ADC 仕様

特に指定がない限り、 $AV_{DD} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $DV_{DD} = 1.8\text{ V} \sim 5.25\text{ V}$ 、 $V_{REF} = 1.25\text{ V}$ 内蔵、 $V_{DRIVE} = 1.8\text{ V} \sim 5.25\text{ V}$ 、 $A_{GND} = 0\text{ V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。特に指定がない限り、仕様はシングルエンド・モード。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DC ACCURACY					
Resolution	10			Bits	
Integral Nonlinearity (INL) ¹		± 0.11	± 0.5	LSB	
			± 0.6	LSB	$(AV_{DD} - 4 \times V_{REF})$ to AV_{DD} input range
Differential Nonlinearity (DNL) ¹		± 0.1	± 0.99	LSB	
Offset Error		± 3	± 8	mV	
			± 12	mV	$(AV_{DD} - 4 \times V_{REF})$ to AV_{DD} input range
Offset Error Matching		0.5	± 1	mV	
Offset Error Drift		± 0.22		ppm/ $^\circ\text{C}$	
Gain Error		± 0.09	± 0.25	% FS	
			± 0.36	% FS	$(AV_{DD} - 4 \times V_{REF})$ to AV_{DD} input range
Gain Error Matching		± 0.5		% FS	
Gain Error Drift		± 4.17		ppm/ $^\circ\text{C}$	
DYNAMIC PERFORMANCE ¹					$f_{IN} = 10\text{ kHz}$ sine wave
Signal-to-Noise Ratio (SNR)		61.5		dB	
Signal-to-Noise-and-Distortion (SINAD) Ratio		61.5		dB	
Total Harmonic Distortion (THD)		-84		dB	
Spurious-Free Dynamic Range (SFDR)		84.5		dB	
Channel-to-Channel Isolation		-80		dB	$f_{IN} = 3\text{ kHz}$ to 1000 kHz
Full Power Bandwidth		60		MHz	At -3 dB (0 V to V_{REF} input range)
		3		MHz	At -0.1 dB (0 V to V_{REF} input range)
CONVERSION RATE					
Conversion Time		900		ns	See Table 5
Track-and-Hold Acquisition Time			45	ns	
Throughput Rate			625	kSPS	ADC only; temperature sensor disabled
			150	kSPS	ADC and temperature sensor
ANALOG INPUT					
Single-Ended Input Range					
With Respect to A_{GND}	0		$4 \times V_{REF}$	V	
	0		$2 \times V_{REF}$	V	
	0		V_{REF}	V	
With Respect to AV_{DD}	$AV_{DD} - 4 \times V_{REF}$		AV_{DD}	V	
Fully Differential Input Range	$-4 \times V_{REF}$		$+4 \times V_{REF}$	V	VIN0 and VIN1 inputs only
	$-2 \times V_{REF}$		$+2 \times V_{REF}$	V	
	$-V_{REF}$		$+V_{REF}$	V	
Input Capacitance		23		pF	0 V to V_{REF} input range
		18		pF	0 V to $2 \times V_{REF}$ input range
		15		pF	0 V to $4 \times V_{REF}$ input range
DC Input Leakage Current			± 1	μA	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
INTERNAL REFERENCE					
Reference Output Voltage	1.245	1.25	1.255	V	At 25°C
Reference Temperature Coefficient		±13		ppm/°C	
EXTERNAL REFERENCE					
Reference Input Voltage	4.75		AV_{DD}	V	Internal reference used to calibrate temperature sensor
Input Resistance		100		k Ω	

¹ 仕様は差動モードにも適用されます。

DAC 仕様

特に指定がない限り、 $AV_{DD} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $DV_{DD} = 1.8\text{ V} \sim 5.25\text{ V}$ 、 $V_{REF} = 1.25\text{ V}$ 内蔵、 $V_{DRIVE} = 1.8\text{ V} \sim 5.25\text{ V}$ 、 $A_{GND} = 0\text{ V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DC ACCURACY					
Resolution	10			Bits	
Integral Nonlinearity (INL)		±0.2	±1	LSB	
Differential Nonlinearity (DNL)		±0.1	±0.3	LSB	Guaranteed monotonic
Zero-Scale Error		4.8	±10	mV	All 0s loaded to DAC register
Full-Scale Error		±0.1	±0.5	% FS	All 1s loaded to DAC register
Offset Error		±1.62	±10	mV	Measured in the linear region, $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$
Offset Error Drift		±4.4		ppm/°C	Measured in the linear region, $T_A = 25^\circ\text{C}$
Gain Error		±0.35	±0.5	% FS	
Gain Error Drift		±2.6		ppm/°C	
DC Power Supply Rejection Ratio (PSRR)		−50		dB	
DC Crosstalk		5		μV	f_{RIPPLE} up to 100 kHz
DAC OUTPUT CHARACTERISTICS					
Output Voltage Range	0		$4 \times V_{REF}$	V	
Short-Circuit Current		±30		mA	
Load Current		±10		mA	Sink/source current; within ±200 mV of supply
Resistive Load to A_{GND}		500		Ω	
Capacitive Load Stability			1	nF	
DC Output Impedance		1		Ω	
AC CHARACTERISTICS ¹					
Output Voltage Settling Time		1	2	μs	$\frac{1}{4}$ to $\frac{3}{4}$ scale step change within 1 LSB, measured from last SCLK edge
Overshoot		200		mV	$\frac{1}{4}$ to $\frac{3}{4}$ scale step change within 1 LSB, measured from last SCLK edge; $C_L = 200\text{ pF}$, $R_L = 25\text{ k}\Omega$
Slew Rate	9	12		V/ μs	
Digital-to-Analog Glitch Impulse		4		nV-sec	
Digital Feedthrough		0.4		nV-sec	
DAC-to-DAC Crosstalk		2		nV-sec	
Output Noise Spectral Density		730		nV/ $\sqrt{\text{Hz}}$	DAC code = midscale, 1 kHz
Output Noise		28		$\mu\text{V rms}$	0.1 Hz to 10 Hz
Output Transient Response During Power-Up		5		mV	AV_{DD} ramp of 1 ms with 100 k Ω load

¹ 全電源が規定の最小動作電圧に到達した後 30 μs 間、DAC バッファ出力レベルは不定です。

全体仕様

特に指定がない限り、 $AV_{DD} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $DV_{DD} = 1.8\text{ V} \sim 5.25\text{ V}$ 、 $V_{REF} = 1.25\text{ V}$ 内蔵、 $V_{DRIVE} = 1.8\text{ V} \sim 5.25\text{ V}$ 、 $A_{GND} = 0\text{ V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。

表 3.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LOGIC INPUTS					
Input High Voltage, V_{IH}	$0.7 \times V_{DRIVE}$			V	$V_{DRIVE} = 2.3\text{ V to }5.25\text{ V}$
	$0.8 \times V_{DRIVE}$			V	$V_{DRIVE} = 1.8\text{ V to }1.95\text{ V}$
Input Low Voltage, V_{IL}			$0.3 \times V_{DRIVE}$	V	$V_{DRIVE} = 2.3\text{ V to }5.25\text{ V}$
			$0.2 \times V_{DRIVE}$	V	$V_{DRIVE} = 1.8\text{ V to }1.95\text{ V}$
Input Leakage Current, I_{IN}			± 1	μA	
Input Capacitance, C_{IN}		3		pF	
Input Hysteresis, V_{HYST}		$0.05 \times V_{DRIVE}$		V	
GPIO OUTPUTS					
I_{SINK}/I_{SOURCE}		1.6		mA	
Output High Voltage, V_{OH}	$DV_{DD} - 0.2$			V	$I_{SINK}/I_{SOURCE} = 1.6\text{ mA}$
Output Low Voltage, V_{OL}			0.4	V	$I_{SINK}/I_{SOURCE} = 1.6\text{ mA}$
POWER REQUIREMENTS					
AV_{DD}	4.75		5.25	V	$AV_{DD} + DV_{DD} + V_{DRIVE}$
DV_{DD}	1.8		5.25	V	
V_{DRIVE}	1.8		5.25	V	
Static Current					
I_{AVDD}		4.2	5.4	mA	
I_{DVDD}		0.65	1.3	mA	
I_{DRIVE}		0.12	0.35	mA	
Total Static Current		4.97		mA	
Dynamic Current					
I_{AVDD}		6.45	8.5	mA	
I_{DVDD}		0.65	1.3	mA	$AV_{DD} + DV_{DD} + V_{DRIVE}$, DAC outputs loaded and converting at full scale, continuous conversion on ADC inputs
I_{DRIVE}		0.12	0.35	mA	
Total Dynamic Current		7.22		mA	
Power Dissipation					
Static		26	34.125	mW	
Dynamic		37.9	50.925	mW	

温度センサー仕様

特に指定がない限り、 $AV_{DD} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $DV_{DD} = 1.8\text{ V} \sim 5.25\text{ V}$ 、 $V_{REF} = 1.25\text{ V}$ 内蔵、 $V_{DRIVE} = 1.8\text{ V} \sim 5.25\text{ V}$ 、 $A_{GND} = 0\text{ V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。

表 4.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
INTERNAL TEMPERATURE SENSOR					
Operating Range	-40		+125	$^\circ\text{C}$	$T_A = -40^\circ\text{C to }+125^\circ\text{C}$
Accuracy		± 1	± 3	$^\circ\text{C}$	
		± 1	± 2	$^\circ\text{C}$	
		0.5	± 1.5	$^\circ\text{C}$	
Resolution		0.03125		$^\circ\text{C}$	$T_A = 25^\circ\text{C}$
Update Rate		1.25		ms	Digital filter enabled

タイミング仕様

特に指定がない限り、 $AV_{DD} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $DV_{DD} = 1.8\text{ V} \sim 5.25\text{ V}$ 、 $V_{REF} = 1.25\text{ V}$ 内蔵、 $V_{DRIVE} = 1.8\text{ V} \sim 5.25\text{ V}$ 、 $A_{GND} = 0\text{ V}$ 、 $C_L = 27\text{ pF}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。¹

表 5.

Parameter	Description	Limit at T_{MIN}/T_{MAX}		Unit
		$V_{DRIVE} = 1.8\text{ V}$	$V_{DRIVE} = 2.7\text{ V to } 5.25\text{ V}$	
$t_{CONVERT}$	ADC conversion time/BUSY high time			
	Temperature sensor disabled	950	950	ns max
	Temperature sensor enabled	5.85	5.85	μs max
t_{ACQ}	ADC acquisition time	50	50	ns max
f_{SCLK}	Frequency of serial read clock ²	15	25	MHz max
t_1	SCLK period	66	40	ns min
t_2	SCLK low	33	20	ns min
t_3	SCLK high	33	20	ns min
t_4	CS falling edge to SCLK rising edge	4	4	ns min
t_5	DIN setup time to SCLK falling edge	4	4	ns min
t_6^3	DIN hold time after SCLK falling edge	2	2	ns max
t_7	SCLK falling edge to CS rising edge	5	5	ns min
t_8	CS high	5	5	ns min
t_9	SCLK to output data valid delay time	30	19	ns max
t_{10}	SCLK to output data valid hold time	7	5	ns min
$t_{11}^{4, 5}$	CS rising edge to SCLK rising edge	4	4	ns max
t_{12}	CS rising edge to DOUT high impedance	15	15	ns max

¹ 初期リリース時はサンプル・テストにより適合性を保証。すべての入力信号は $t_R = t_F = 5\text{ ns}$ (V_{DRIVE} の 10%~90%) で規定。

² $V_{DRIVE} = 2.5\text{ V}$ の場合、 $f_{SCLK} =$ 最大 22 MHz。

³ $V_{DRIVE} = 1.8\text{ V}$ の場合、出力が $0.2 \times V_{DRIVE}$ と $0.8 \times V_{DRIVE}$ を通過するために要する時間。 $V_{DRIVE} = 2.7\text{ V} \sim 5.25\text{ V}$ の場合、出力が $0.3 \times V_{DRIVE}$ と $0.7 \times V_{DRIVE}$ を通過するために要する時間。

⁴ t_{11} は連続 SCLK を使用する場合に適用。

⁵ デザインで保証します。

タイミング図

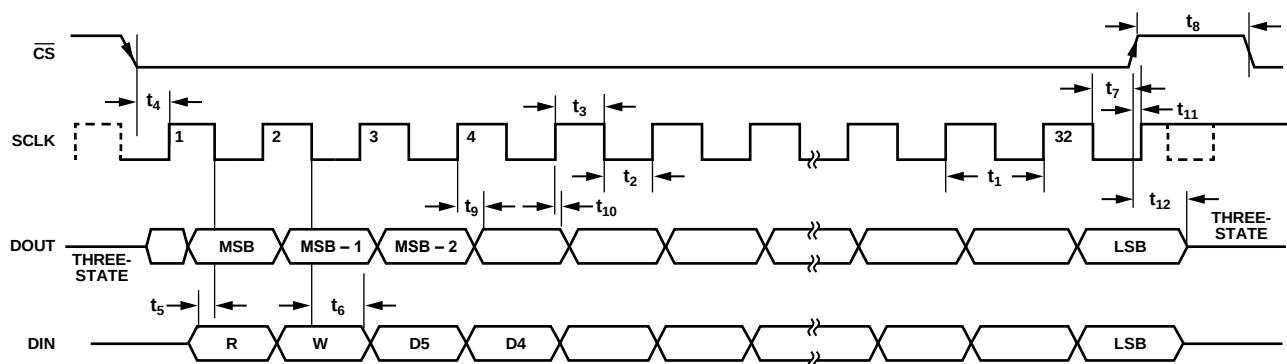


図 2. シリアル・インターフェースのタイミング図

絶対最大定格

特に指定のない限り、T_A = 25 °C。

表 6.

Parameter	Rating
AV _{DD} to A _{GND}	−0.3 V to +6 V
DV _{DD} to D _{GND}	−0.3 V to +6 V
V _{DRIVE} to D _{GND}	−0.3 V to +6 V
VIN _X to A _{GND}	−0.3 V to AV _{DD} + 0.3 V
VOU _T to A _{GND}	−0.3 V to AV _{DD} + 0.3 V
Digital Inputs/Outputs to D _{GND}	−0.3 V to DV _{DD} + 0.3 V
$\overline{\text{CS}}$, SCLK, DIN, DOUT to D _{GND}	−0.3 V to V _{DRIVE} + 0.3 V
REF _{OUT} to A _{GND}	−0.3 V to +2.2 V
REF _{IN} to A _{GND}	−0.3 V to AV _{DD} + 0.3 V
D _{GND} to A _{GND}	0.3 V
Operating Temperature Range	−40°C to +125°C
Storage Temperature Range	−65°C to +150°C
Junction Temperature (T _J max)	150°C
ESD, Human Body Model	2.5 kV
Reflow Soldering Peak Temperature	260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

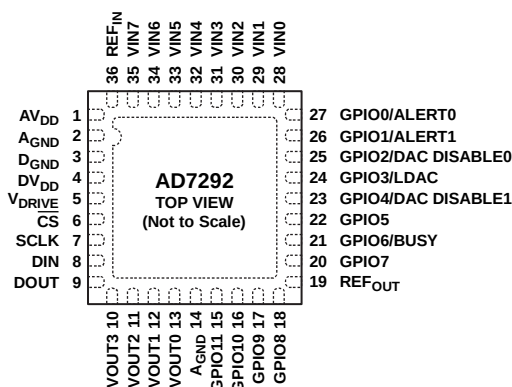
表 7.熱抵抗

Package Type	θ _{JA}	Unit
36-Lead LFCSP	54.1	°C/W

ESD の注意

	ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。
---	---

ピン配置およびピン機能説明



NOTES

1. THE EXPOSED PAD IS INTERNALLY CONNECTED TO A_{GND} AND CAN BE SOLDERED TO THE GROUND PLANE OF THE SYSTEM.

10660-003

図 3. ピン配置

表 8. ピン機能の説明

ピン番号	記号	説明
1	AV _{DD}	電源ピン。このピンは 0.1 μ F デカップリング・コンデンサで A _{GND} へデカップリングする必要があります。
2、14	A _{GND}	アナログ・グラウンド。AD7292 のすべてのアナログ回路のグラウンド基準ポイント。すべてのアナログ信号は A _{GND} を基準とする必要があります。A _{GND} ピンと D _{GND} ピンは、システムのグラウンド・プレーンへ接続する必要があります。
3	D _{GND}	デジタル・グラウンド。AD7292 のすべてのデジタル回路のグラウンド基準ポイント。すべてのデジタル信号は D _{GND} を基準とする必要があります。D _{GND} ピンと A _{GND} ピンは、システムのグラウンド・プレーンへ接続する必要があります。
4	DV _{DD}	GPIO 電圧レベルを設定します。このピンは 0.1 μ F デカップリング・コンデンサで D _{GND} へデカップリングする必要があります。
5	V _{DRIVE}	このピンは、SPI バスの基準レベルを 1.8 V～5.25 V に設定します。このピンは 0.1 μ F デカップリング・コンデンサで D _{GND} へデカップリングする必要があります。
6	$\overline{\text{CS}}$	チップ・セレクト信号。このアクティブ・ロー・ロジック入力信号を使ってシリアル・データ入力をフレーム化します。
7	SCLK	SPI クロック入力。
8	DIN	SPI のシリアル・データ入力。AD7292 のレジスタへロードするシリアル・データはこのピンへ入力します。データは、SCLK の立下がりエッジでシリアル・インターフェースに入力されます。
9	DOUT	SPI のシリアル・データ出力。AD7292 のレジスタから読出されるシリアル・データはこのピンから出力されます。データは SCLK の立上がりエッジで出力されます。DOUT はデータを出力しないとき高インピーダンスになります。
10～13	VOUT3～VOUT0	バッファ付き DAC アナログ出力。各 DAC アナログ出力は出力アンプから駆動され、最大出力電圧振幅は 5 V です。各 DAC は 10 mA をソース/シンクすることができ、1 nF の負荷を駆動します。
15～18	GPIO11～GPIO8	汎用入出力ピン。
19	REF _{OUT}	ADC 内蔵リファレンス電圧出力。0.1 μ F デカップリング・コンデンサで内蔵 ADC リファレンス・バッファを A _{GND} へデカップリングしてください。
20	GPIO7	汎用入出力ピン。
21	GPIO6/BUSY	汎用入出力ピン(GPIO6)。 ビジー出力ピン(BUSY)。変換が開始されると、この出力ピンはハイ・レベルへ変化し、変換が完了するまでハイ・レベルを維持します。
22	GPIO5	汎用入出力ピン。
23	GPIO4/DAC DISABLE1	汎用入出力ピン(GPIO4)。 DAC ディスエーブル・ピン 1 (DAC DISABLE1)。このピンをアクティブにすると、選択された DAC 出力がディスエーブルされます。このピンでディスエーブルする DAC チャンネルは、コンフィギュレーション・レジスタ・バンクの GPIO4/DAC DISABLE1 サブレジスタを使って選択してください(表 30 参照)。

ピン番号	記号	説明
24	GPIO3/LDAC	汎用入出力ピン(GPIO3)。 LDAC 入力ピン(LDAC)。この入力をハイ・レベルにすると、DAC レジスタが更新されます。
25	GPIO2/DAC DISABLE0	汎用入出力ピン(GPIO2)。 DAC ディスエーブル・ピン 0 (DAC DISABLE0)。このピンをアクティブにすると、選択された DAC 出力がディ スエーブルされます。このピンでディスエーブルする DAC チャンネルは、コンフィギュレーション・レジ スタ・バンクの GPIO2/DAC DISABLE0 サブレジスタを使って選択してください(表 29 参照)。
26	GPIO1/ALERT1	汎用入出力ピン(GPIO1)。 警報ピン 1 (ALERT1)。警報として設定した場合、このピンは範囲外インジケータとして機能するため、変換 結果が警報上下限レジスタ・バンクに格納されている上下限値を超えたときアクティブになります。警報信号 の極性は、コンフィギュレーション・レジスタ・バンク内の汎用サブレジスタを使って制御します。
27	GPIO0/ALERT0	汎用入出力ピン(GPIO0)。 警報ピン 0 (ALERT0)。警報として設定した場合、このピンは範囲外インジケータとして機能するため、変換 結果が警報上下限レジスタ・バンクに格納されている上下限値を超えたときアクティブになります。警報信号 の極性は、コンフィギュレーション・レジスタ・バンク内の汎用サブレジスタを使って制御します。
28～35	VIN0～VIN7	アナログ入力。AD7292 の 8 個のシングルエンド・アナログ入力は、マルチプレクスされて内蔵トラック・ア ンド・ホールド・アンプに入力されます。各入力チャンネルには 0 V～5 V のアナログ信号を入力することが できます。未使用入力チャンネルは A _{GND} へ接続してノイズの混入を防止する必要があります。
36	REF _{IN}	リファレンス電圧入力。AD7292 に対する外付けリファレンスはこのピンに入力します。このピンを使用しな い場合は、A _{GND} へ接続してください。
EPAD	EPAD	エクスポーズド・パッドは内部で A _{GND} に接続されているため、システムのグラウンド・プレーンへハンダ付 けすることができます。

代表的な性能特性

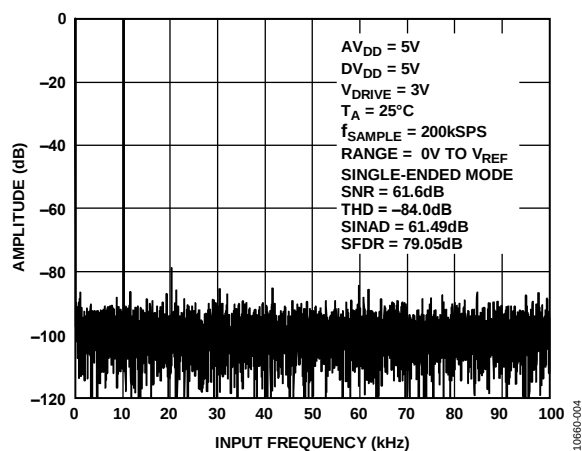


図 4.ADC FFT、200 kSPS、 $f_{IN} = 10$ kHz
シングルエンド・モード

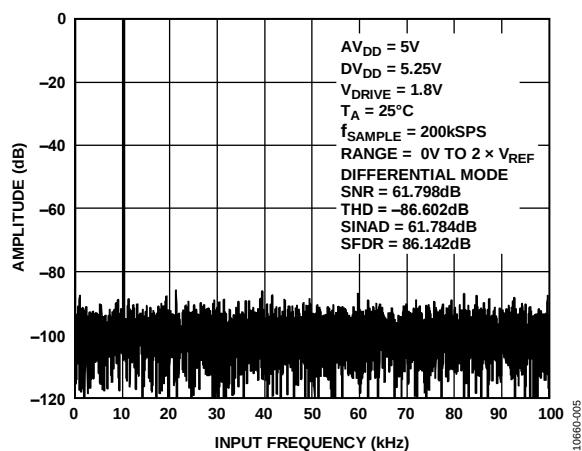


図 7.ADC FFT、200 kSPS、 $f_{IN} = 10$ kHz、差動モード

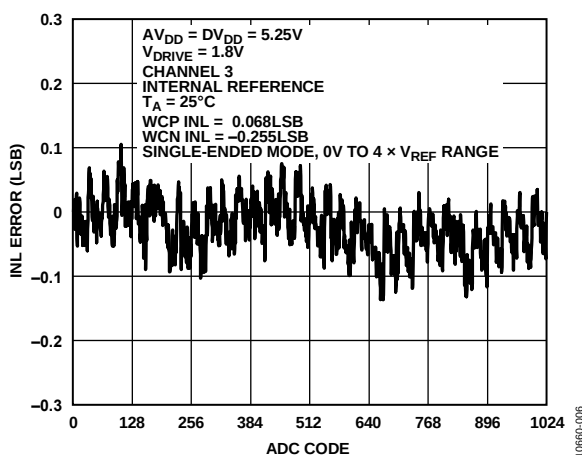


図 5.ADC INL、シングルエンド・モード

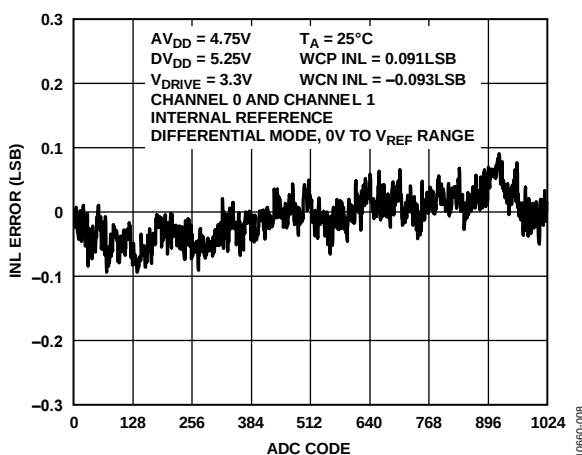


図 8.ADC INL、差動モード

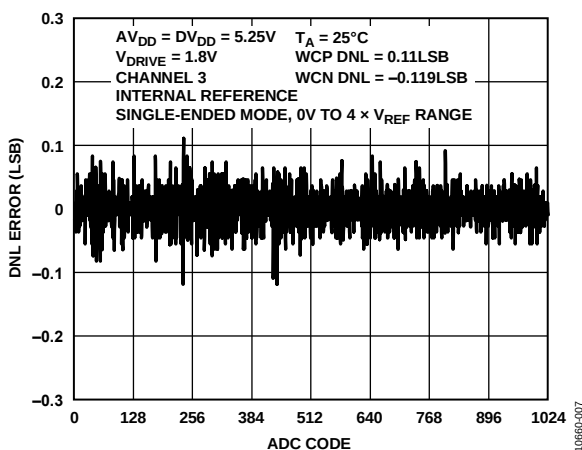


図 6.ADC DNL、シングルエンド・モード

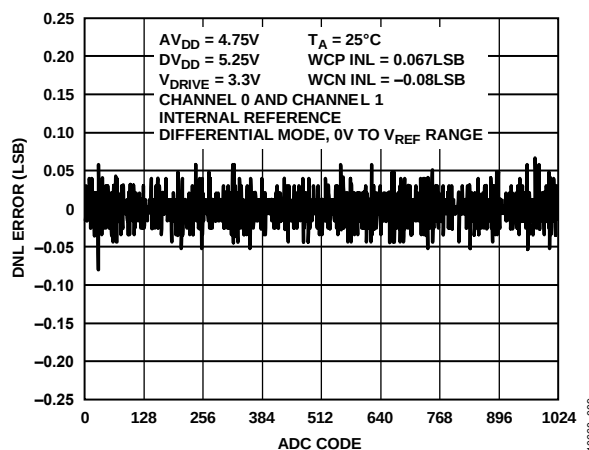


図 9.ADC DNL、差動モード

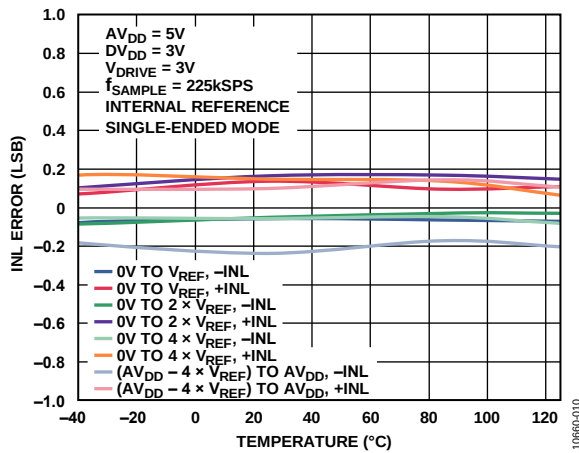


図 10.ADC INL の温度特性

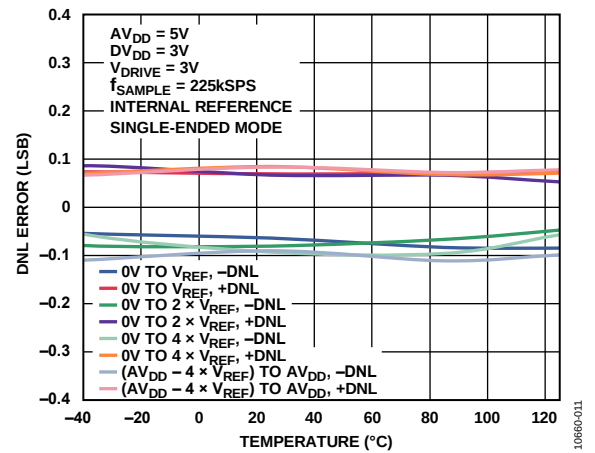


図 13.ADC DNL の温度特性

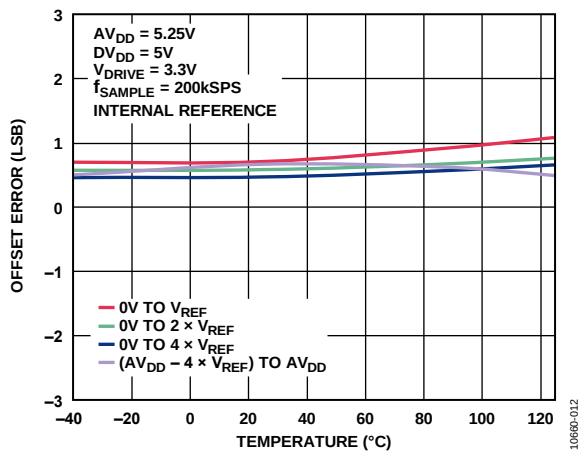


図 11.オフセット誤差の温度特性
シングルエンドおよび差動モード

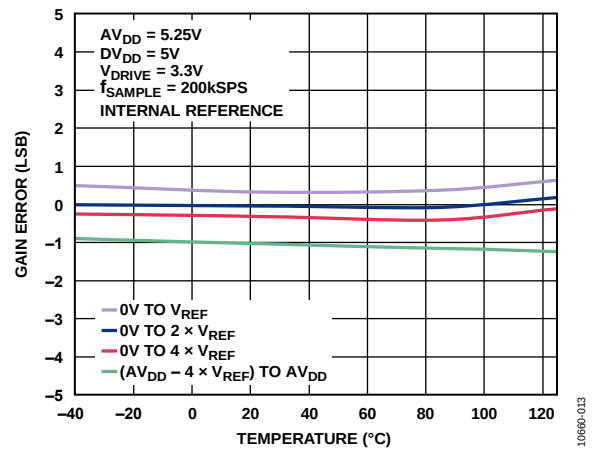


図 14.ADC ゲイン誤差の温度特性
シングルエンドおよび差動モード

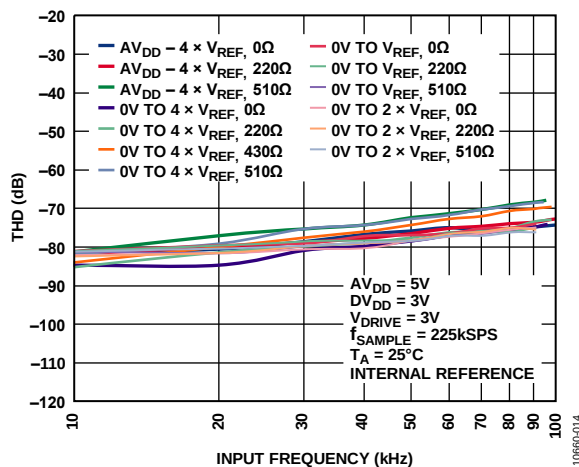


図 12.様々なソース・インピーダンスでの入力周波数対 THD
シングルエンド・モード

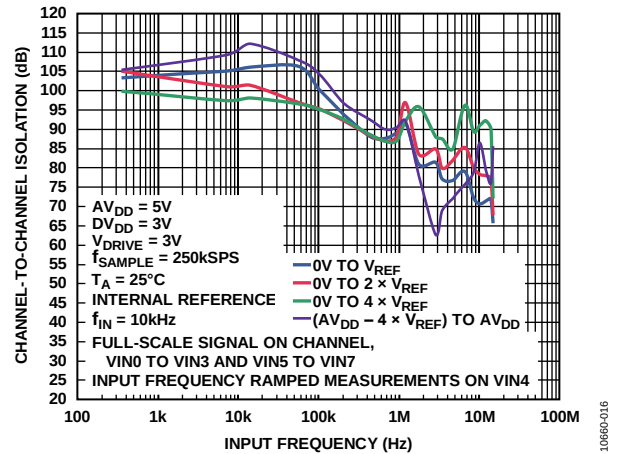


図 15.ADC チャンネル間アイソレーション

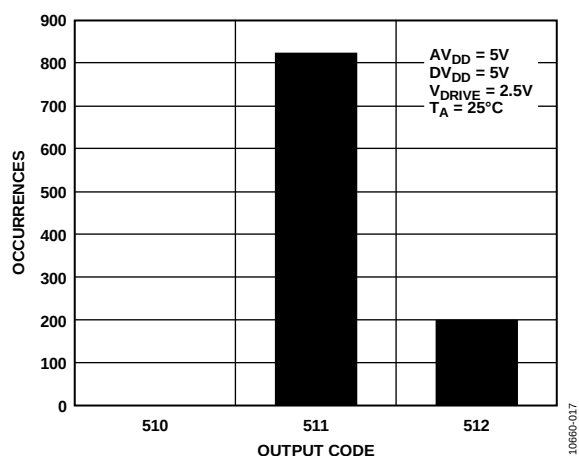


図 16. コードのヒストグラム

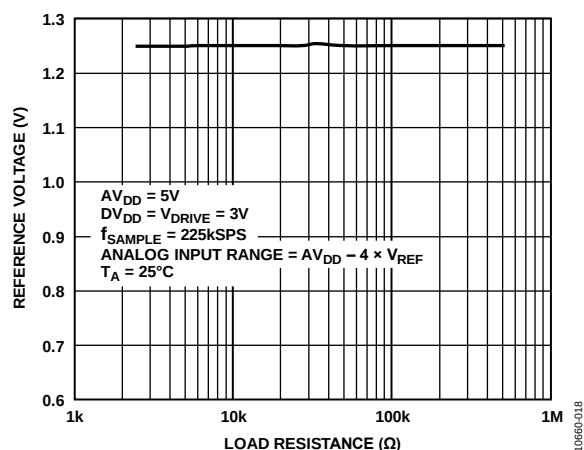


図 19. 負荷抵抗対リファレンス電圧

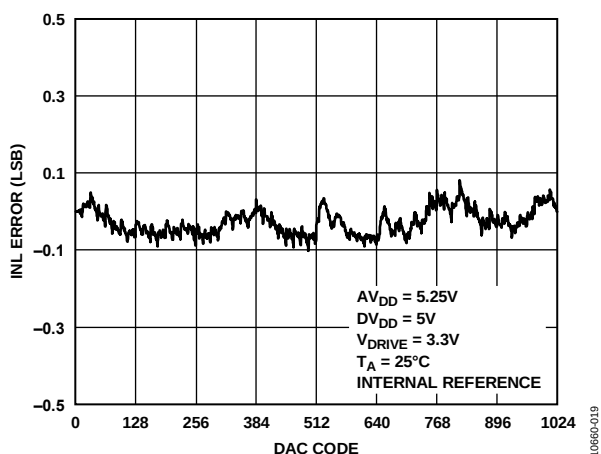


図 17. 出力コード対 DAC INL

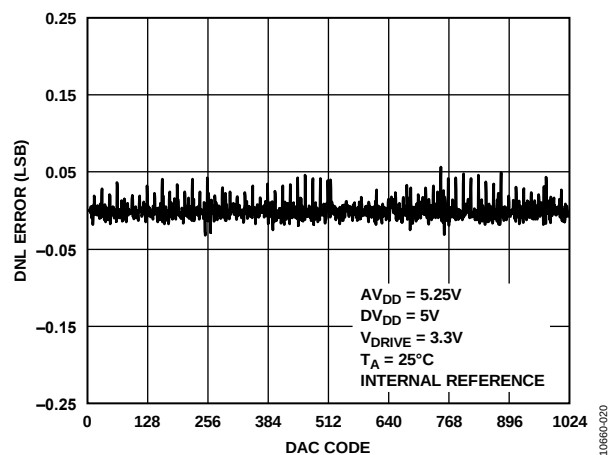


図 20. 出力コード対 DAC DNL

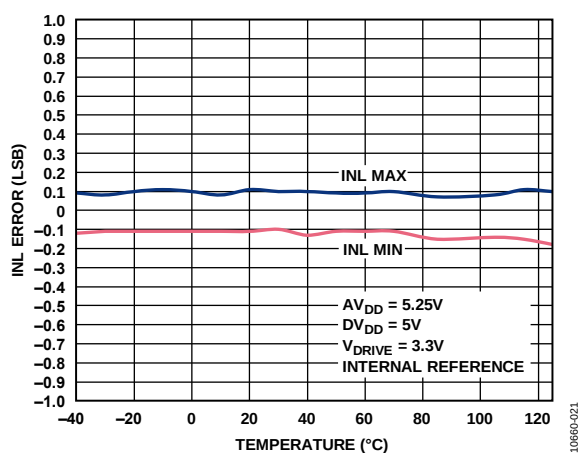


図 18. DAC INL の温度特性

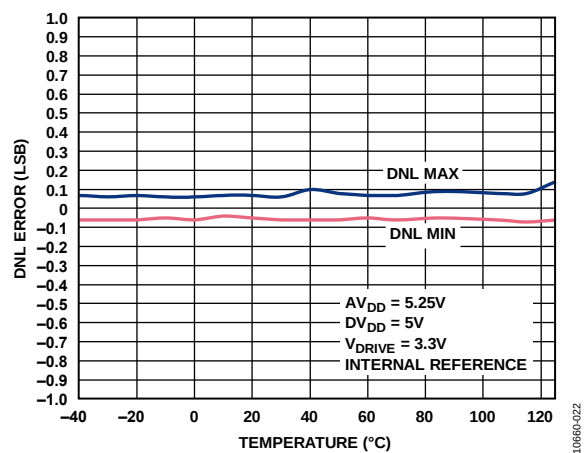


図 21. DAC DNL の温度特性

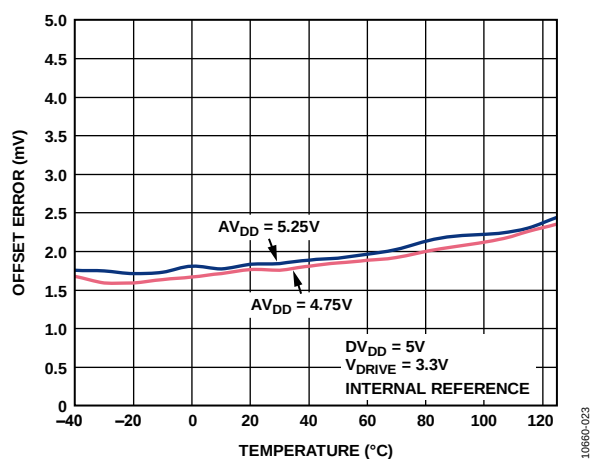


図 22.DAC オフセット誤差の温度特性

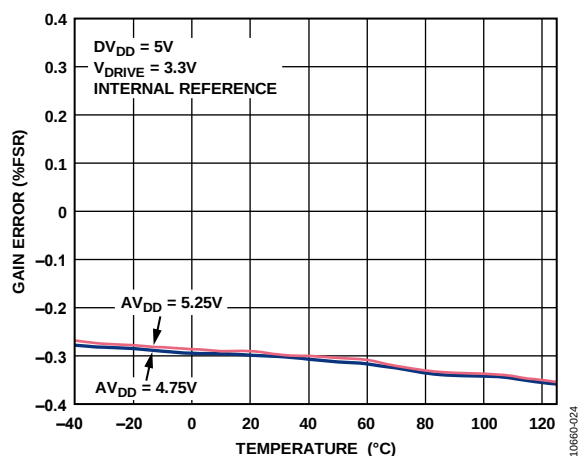


図 25.DAC ゲイン誤差の温度特性

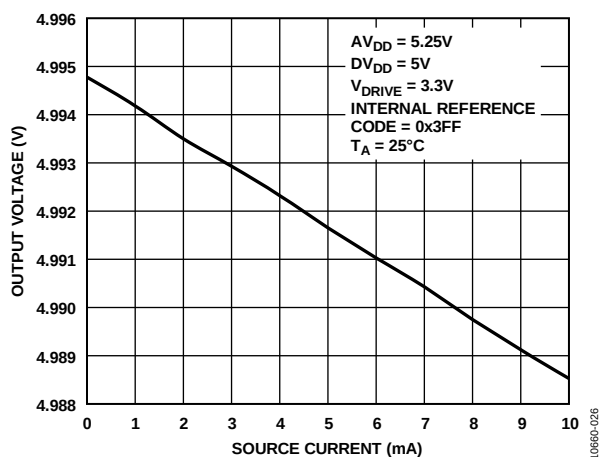


図 23.DAC ソース電流(フルスケール)

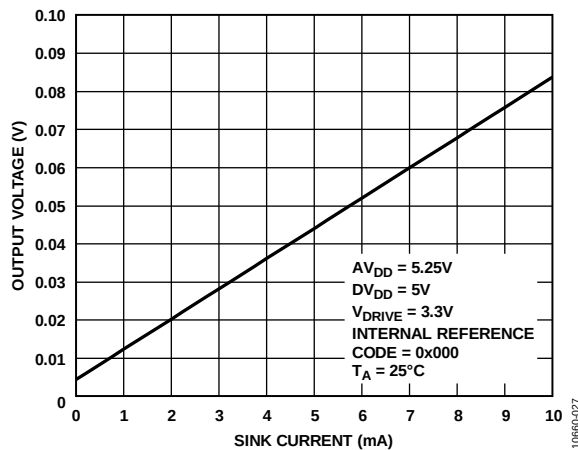


図 26.DAC シンク電流(ゼロスケール)

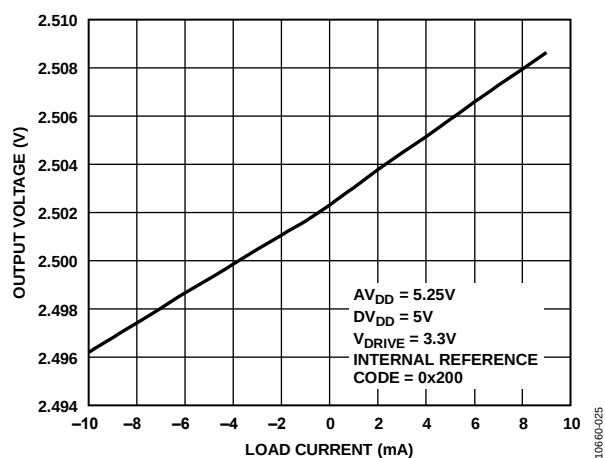


図 24.負荷電流対 DAC 出力電圧(ミッドスケール)

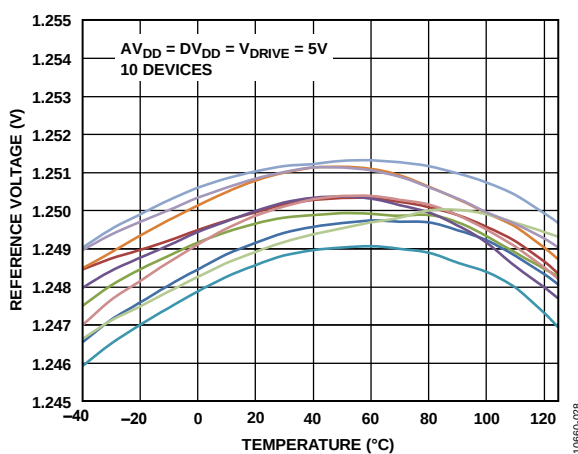


図 27.リファレンス電圧の温度特性

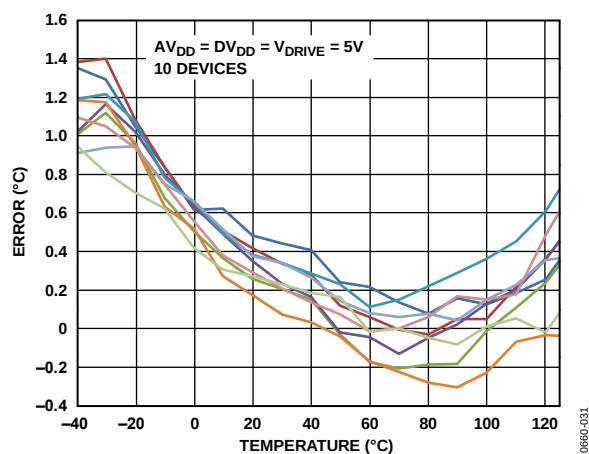


図 28.温度センサー誤差の温度特性

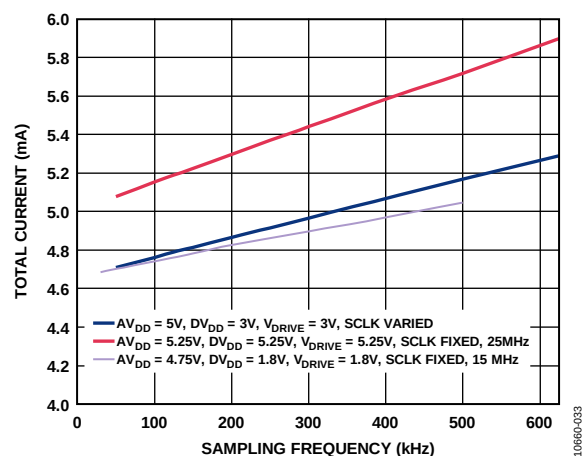


図 30.スループット・レート対総合電源電流

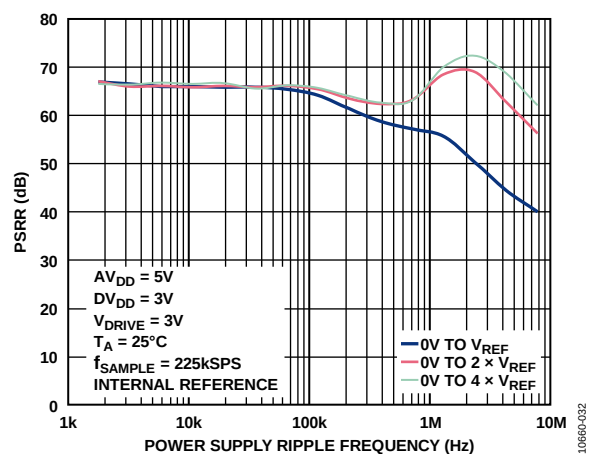


図 29.電源リップル周波数対 PSRR

動作原理

アナログ入力

AD7292には8個のアナログ入力チャンネルがあります。デフォルトでは、これらのチャンネルはシングルエンド入力に設定されています。VIN0 と VIN1 を差動対として動作するように設定すると、差動動作も可能です。

シングルエンド・モード

信号ソースが高インピーダンスのアプリケーションでは、アナログ入力をバッファした後に ADC へ接続することが推奨されます。

アナログ入力範囲は、 $0\text{ V} \sim V_{\text{REF}}$ 、 $0\text{ V} \sim 2 \times V_{\text{REF}}$ 、または $0\text{ V} \sim 4 \times V_{\text{REF}}$ に設定することができます。入力範囲の設定については、VIN RANGE0 サブレジスタと VIN RANGE1 サブレジスタ(アドレス 0x10 とアドレス 0x11)のセクションを参照してください。

$0\text{ V} \sim 2 \times V_{\text{REF}}$ モードでは、入力をスケール・ファクタ 2 で処理した後に変換します。 $0\text{ V} \sim 4 \times V_{\text{REF}}$ モードでは、入力をスケール・ファクタ 4 で処理した後に変換します。ADC アナログ入力ピンの電圧は A_{GND} を基準とし、 AV_{DD} を超えることができないことに注意してください。

サンプルされるアナログ入力信号がバイポーラの場合には、ADC の内蔵リファレンス電圧を使ってこの信号に外部でバイアスを加えて、ADC 用に正しくフォーマットされるようにすることができます。図 31 に、バイポーラ $\pm 0.625\text{ V}$ 入力信号に対して ADC をシングルエンド・モードで動作させるときの代表的な接続図を示します。

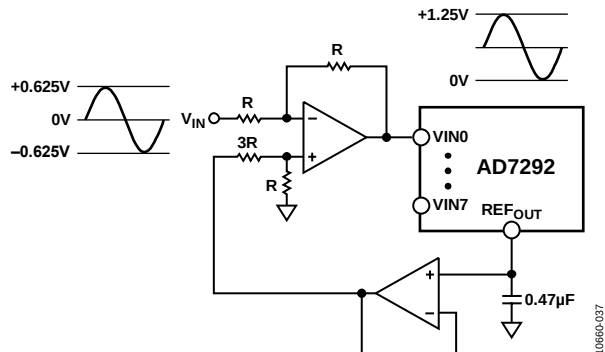


図 31. バイポーラ入力信号のインターフェース

差動モード

AD7292 は一対の差動アナログ入力(VIN0 と VIN1)を持つように設定することができます。差動信号はシングルエンド信号に比べて、デバイスの同相モード除去比に基づくノイズ耐性、歪性能の改善などの幾つかの利点を持っています。図 32 に、AD7292 のフル差動アナログ入力を示します。

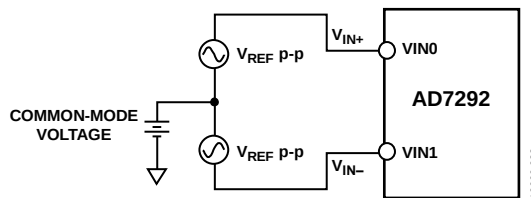


図 32. 差動アナログ入力

差動信号の振幅は、差動対の入力ピン(VIN0 と VIN1)に加えられる信号の差です。変換されたデータは、ストレート・バイナリ・フォーマットで ADC データ・レジスタに格納されます。VIN0 と VIN1 は、位相が 180° ずれた 2 つの信号で同時に駆動されます。各信号の最大振幅は、選択した範囲に応じて V_{REF} 、 $2 \times V_{\text{REF}}$ または $4 \times V_{\text{REF}}$ である必要があります。

したがって、 $0\text{ V} \sim V_{\text{REF}}$ 範囲を選択した場合、差動信号振幅は同相モード電圧(V_{CM})に無関係に、 $-V_{\text{REF}} \sim +V_{\text{REF}}$ ピーク to ピーク ($2 \times V_{\text{REF}}$) になります。

同相モード電圧は 2 つの信号の平均です。

$$V_{\text{CM}} = (V_{\text{IN}+} + V_{\text{IN}-})/2$$

このため、同相モード電圧は 2 つの入力の中心となる電圧になります。各入力で得られる振幅は $V_{\text{CM}} \pm V_{\text{REF}}/2$ となります。この電圧は外部から設定する必要があります。アンプで入力を駆動するときは、実際の同相モード範囲はアンプの出力電圧振幅と AD7292 の入力同相モード範囲で決定されます。AD7292 の機能を保証するためには、同相モード電圧はこの範囲内にある必要があります(図 33 参照)。変換が行われると、同相モード電圧が除去されて、振幅 $-V_{\text{REF}} \sim +V_{\text{REF}}$ の実質的にノイズのない信号が得られます。

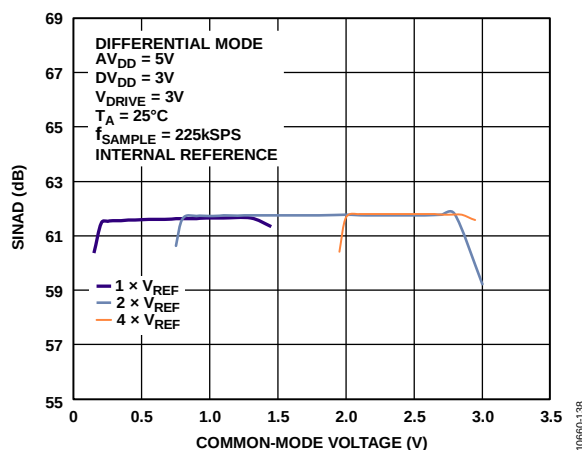


図 33. 同相モード電圧(入力範囲に依存)

ADC の伝達関数

AD7292 の出力コーディングは、アナログ入力チャンネルに対して 10 ビット・ストレート・バイナリです。指定されたコード変化は、連続する LSB 値で発生します。

入力範囲を選択するときは、コンフィギュレーション・レジスタ・バンク内の VIN RANGE1 と VIN RANGE0 の両サブレジスタの該当するビットをセットします(表 10 参照)。

LSB サイズは選択した入力範囲に依存します(表 9 参照)。

表 9. 入力範囲と LSB サイズ

Input Range	LSB Size
0 V to V_{REF}	$V_{REF}/2^{10}$
0 V to $2 \times V_{REF}$	$2V_{REF}/2^{10}$
0 V to $4 \times V_{REF}$	$4V_{REF}/2^{10}$

入力範囲 0 V $\sim$ V_{REF} で動作する AD7292 の理論伝達関数を図 34 に示します。

表 10. アナログ入力範囲の選択

Subregister Bit Settings ¹		Sample with Respect to A_{GND}		Sample with Respect to AV_{DD} ²
		Single-Ended Input Range (VIN0 to VIN7)	Differential Input Range (VIN0 and VIN1 Only)	Single-Ended Input Range (VIN0 to VIN7)
VIN RANGE1	VIN RANGE0			
0	0	0 V to $4 \times V_{REF}$	$-4 \times V_{REF}$ to $+4 \times V_{REF}$	$(AV_{DD} - 4 \times V_{REF})$ to AV_{DD}
0	1	0 V to $2 \times V_{REF}$	$-2 \times V_{REF}$ to $+2 \times V_{REF}$	Not applicable
1	0	0 V to $2 \times V_{REF}$	$-2 \times V_{REF}$ to $+2 \times V_{REF}$	Not applicable
1	1	0 V to V_{REF}	$-V_{REF}$ to $+V_{REF}$	Not applicable

¹ 詳細については、ADC サンプリング・モード・サブレジスタ(アドレス 0x12)のセクションをご覧ください。

² AD7292 を AV_{DD} を基準としたサンプルに設定した場合には、VIN RANGE0 サブレジスタと VIN RANGE1 サブレジスタの値は無視されます。 AV_{DD} を基準とするサンプリングの場合、許容される唯一の入力範囲は $(AV_{DD} - 4 \times V_{REF}) \sim AV_{DD}$ です。

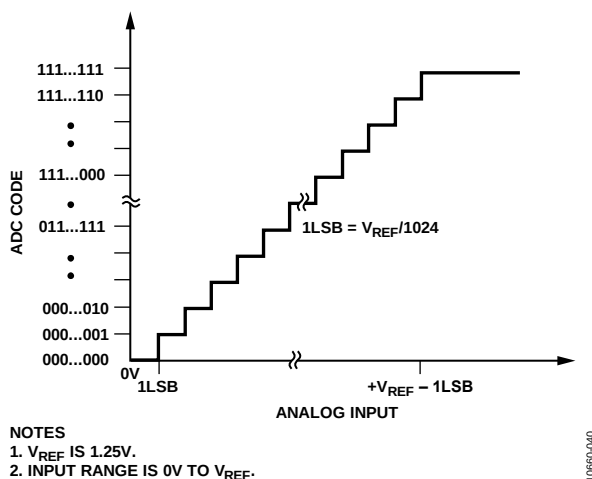


図 34. 0 V $\sim$ V_{REF} のシングルエンド入力範囲に対応するストレート・バイナリ伝達特性

表 11. 出力コードと理論入力電圧($AV_{DD} = 5$ V)

Description	Analog Input Range							Digital Output Code (Hex)
	Single-Ended Mode of Operation				Differential Mode of Operation			
	0 V to $4 \times V_{REF}$	0 V to $2 \times V_{REF}$	0 V to V_{REF}	$(AV_{DD} - 4 \times V_{REF})$ to AV_{DD}	$-4 \times V_{REF}$ to $+4 \times V_{REF}$	$-2 \times V_{REF}$ to $+2 \times V_{REF}$	$-V_{REF}$ to $+V_{REF}$	
+FSR – 1 LSB	4.995117 V	2.497559 V	1.248779 V	4.995117 V	4.990234 V	2.495117 V	1.247559 V	0x3FF
Midscale + 1 LSB	2.504883 V	1.252441 V	0.626221 V	2.504883 V	0.009766 V	0.004883 V	0.002441 V	0x201
Midscale	2.5 V	1.25 V	0.625 V	2.5 V	0 V	0 V	0 V	0x200
Midscale – 1 LSB	2.495117 V	1.247559 V	0.623779 V	2.495117 V	–0.009766 V	–0.004883 V	–0.002441 V	0x1FF
–FSR + 1 LSB	0.004883 V	0.002441 V	0.001221 V	0.004883 V	4.995117 V	–2.495117 V	–1.247559 V	0x001
–FSR	0 V	0 V	0 V	0 V	–5 V	–2.5 V	–1.25 V	0x000

温度センサー

AD7292 には 1 個のローカル温度センサーが内蔵されています。内蔵のバンド・ギャップ温度センサーは、AD7292 チップの温度を計測します。温度センサー入力はデータを集めて、数百 μs の区間の値を計算します。温度計測はバックグラウンドで連続的に実行されるため、他のチャンネルで変換を行う必要はありません。

温度値の計算が完了すると、信号が制御ロジックに渡されて変換が自動的に開始されます。ADC が変換中の場合、ADC 変換が完了すると直ちに温度センサー変換が実行されます。ADC がアイドルの場合には、温度センサー変換は直ちに実行されます。

T_{SENSE} 変換結果レジスタには、温度チャンネルの直前の変換結果が格納されます。コンフィギュレーション・レジスタ・バンク内の温度センサー・サブレジスタを使って温度センサーをイネーブルしている場合は、この変換結果をいつでも読出すことができます(温度センサー・サブレジスタ(アドレス 0x20)のセクション参照)。

ADC からの温度測定値は T_{SENSE} 変換結果レジスタに格納されます。変換結果は 14 ビットのストレート・バイナリ・フォーマットで、正と負の温度計測値を扱うことができます。ビット D0 とビット D1 は警報フラグであり、ビット D2 は LSB で 0.03125°C に対応します(デジタル・フィルタのイネーブル時)。

表 12 に、温度センサーのデータ例を示します。すべての 0 の出力は -256°C に対応し、最初の計測が完了するまで AD7292 からこの値が出力されます。デジタル・フィルタをディスエーブルした場合、T_{SENSE} 変換結果レジスタのビット D3 とビット D2 は 0 に設定され、LSB = 0.125°C で 12 ビット・ストレート・バイナリ変換結果が出力されます。ADC データ・レジスタ(アドレス 0x01)から T_{SENSE} 変換結果を読出すと、温度センサー変換結果は LSB = 0.5°C の 10 ビットの変換結果になります。

表 12. 温度センサー・データのフォーマット

Temperature (°C)	T _{SENSE} Conversion Result Register, Bits[D15: D2]
-40	01 1011 0000 0000
-25	01 1100 1110 0000
-10	01 1110 1100 0000
-0.03125	01 1111 1111 1111
0	10 0000 0000 0000
+0.03125	10 0000 0000 0001
+10	10 0001 0100 0000
+25	10 0011 0010 0000
+50	10 0110 0100 0000
+75	10 1001 0110 0000
+100	10 1100 1000 0000
+125	10 1111 1010 0000

DAC の動作

AD7292 の 4 個の DAC は、10 ビット分解能でデジタル制御を提供します。DAC 出力 VOUT0~VOUT3 の出力電圧範囲は、最大 5 V です (LSB = 4.88 mV)。

DAC 出力バッファは、コンフィギュレーション・レジスタ・バンク内の GPIO2/DAC DISABLE0 サブレジスタと GPIO4/DAC DISABLE1 サブレジスタを使ってソフトウェアから制御することができます。あるいは、GPIO2/DAC DISABLE0 ピンと GPIO4/DAC DISABLE1 ピンを使ってハードウェアから制御することができます。

デジタル I/O ピン

システム監視を支援するため、AD7292 は 12 本のデジタル I/O ピンを持っています。12 本のすべてのピンは GPIO ピンとして設定することができます。6 本のデジタル I/O ピンは、他の機能に設定することができます。パワーアップ時に、これらの 6 本のピンの非 GPIO 機能がデフォルトでイネーブルされます。詳細については、デジタル出力ドライバ・サブレジスタ(アドレス 0x01)のセクションとデジタル I/O 機能サブレジスタ(アドレス 0x02)のセクションを参照してください。

GPIO0/ALERT0 ピンと GPIO1/ALERT1 ピン

ピン 27 とピン 26 (それぞれ GPIO0/ALERT0 と GPIO1/ALERT1)を警報ピンとして設定すると、範囲外インジケータとして機能します。この範囲外インジケータは、選択した変換結果が警報上下限レジスタ・バンクに格納されている上限値または下限値を超えたときアクティブになります。警報出力ピンの極性は、コンフィギュレーション・レジスタ・バンク内の汎用サブレジスタを使ってアクティブ・ハイまたはアクティブ・ローに設定することができます(汎用サブレジスタ(アドレス 0x08)のセクション参照)。

GPIO2/DAC DISABLE0 ピンと GPIO4/DAC DISABLE1 ピン

ピン 25 とピン 23 (それぞれ GPIO2/DAC DISABLE0 と GPIO4/DAC DISABLE1)は DAC ディスエーブル・ピンとして設定されます。コンフィギュレーション・レジスタ・バンク内の GPIO2/DAC DISABLE0 サブレジスタ値と GPIO4/DAC DISABLE1 サブレジスタ値に従い、これらのピンを使って選択した DAC 出力をパワーダウンさせることができます。詳細については、GPIO2/DAC DISABLE0 サブレジスタと GPIO4/DAC DISABLE1 サブレジスタ(アドレス 0x30 とアドレス 0x31)のセクションを参照してください。

GPIO3/LDAC ピン

ピン 24 (GPIO3/LDAC)を LDAC ピンとして設定すると、この入力ピンをハイ・レベルにしたとき DAC レジスタが更新されます。

GPIO6/BUSY ピン

ピン 21 (GPIO6/BUSY)は、汎用入出力またはビジー出力ピンとして設定することができます。このピンをビジー出力ピンとして設定すると、変換が開始されたときハイ・レベルになり、変換が完了するまでハイ・レベルを維持します。

シリアル・ポート・インターフェース(SPI)

AD7292 のシリアル・ポート・インターフェース(SPI)を使うと、構造化された内部レジスタ・スペースを介してデバイスの特定の機能または動作を設定することができます。このインターフェースは、 $\overline{\text{CS}}$ 、SCLK、DIN、DOUT の 4 本の信号から構成されています。SPI リファレンス・レベルは、ピン 5 (V_{DRIVE}) を使って範囲 1.8 V～5.25 V 内のレベルに設定されます。

SCLK はデバイスのシリアル・クロック入力であり、DIN または DOUT 上のすべてのデータ転送は、この SCLK を基準として実行されます。チップ・セレクト入力ピン($\overline{\text{CS}}$)はアクティブ・ローの制御信号で、データ転送と変換プロセスを開始させます。データは、SCLK の立下がりエッジで AD7292 に入力されます。データは MSB ファーストでデバイスにロードされます。各フレーム長は可変で、送信されるコマンドに依存します。AD7292 のデータは、 $\overline{\text{CS}}$ がロー・レベルのときの SCLK の立上がりエッジで、読出しコマンドと同じフレーム内に DOUT に出力されます。 $\overline{\text{CS}}$ がハイ・レベルのとき、SCLK 信号と DIN 信号は無視され、DOUT ラインは高インピーダンスになります。

インターフェース・プロトコル

AD7292 に対する読出しまたは書き込みでは、先頭バイトにアドレス・ポインタが含まれます(表 13 参照)。アドレス・ポインタのビット D7 とビット D6 は、それぞれ読出しビットと書き込みビットです。アドレス・ポインタのビット D5～ビット D0 は、読出し動作または書き込み動作のレジスタ・アドレスを指定します。ビット D7 とビット D6 を 1 に設定すると、レジスタを同時に読出しおよび書き込むことができます。

表 13. アドレス・ポインタ

D7	D6	D5	D4	D3	D2	D1	D0
R	W	Register select					

アドレス・ポインタの後ろには、デバイスに対する書き込みデータがバイト形式で続きます(図 36 参照)。レジスタ・バンク内には複数のレジスタがあるため、ポインタ・アドレスとサブポインタ・アドレスが必要です。サブポインタ・アドレスは先頭バイト内のポインタ・アドレスの後ろで指定されます(図 37 参照)。図 36～図 38 に、読出しと書き込みのデータ・フォーマットを示します。これらの図には、読出し動作が示してあります。レジスタまたはサブレジスタへの書き込みの場合は、書き込みビットがセットされ、DOUT ラインは高インピーダンスになります。

読出しビットも書き込みビットもセットされない場合(アドレス・ポインタのビット D7 とビット D6 が 0 に設定される場合)、アドレス・ポインタは更新されますが、データの読出しまたは書込はありません。このコマンドを書込むと、ADC シーケンサも再初期化されることに注意してください(ADC 変換制御のセクション参照)。

読出しまたは書き込みが完了すると、AD7292 は新しいポインタ・アドレスを受け取る準備が整います。あるいは、 $\overline{\text{CS}}$ ピンをハイ・レベルにして動作を終了させることができます。

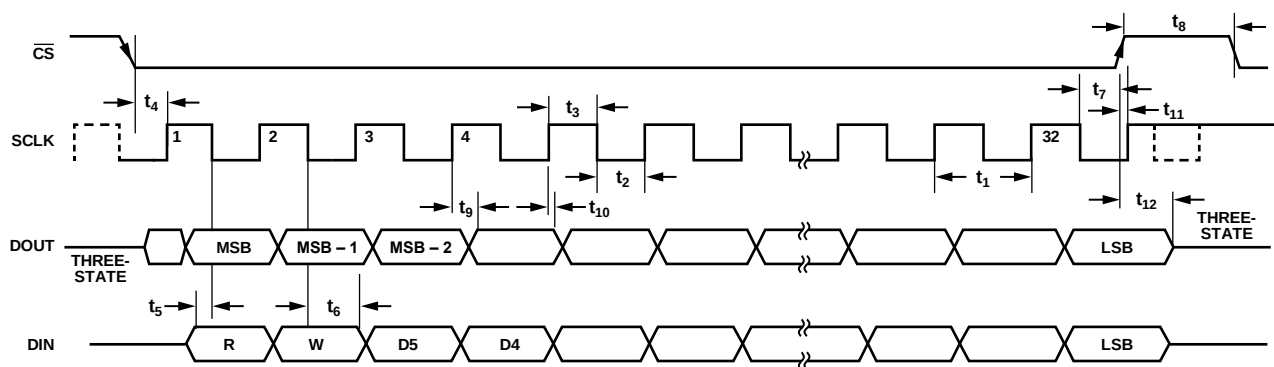


図 35. シリアル・インターフェースのタイミング図

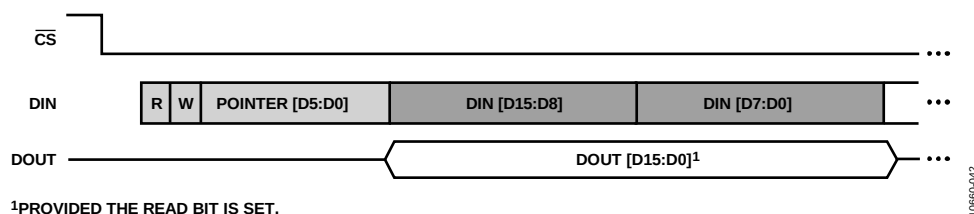


図 36.16 ビット・レジスタのアクセス

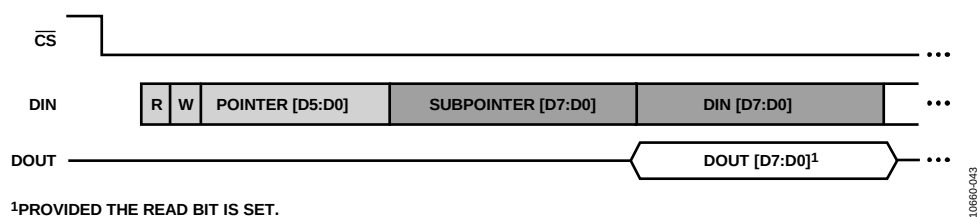


図 37. レジスタ・バンク内の 8 ビット・サブレジスタのアクセス

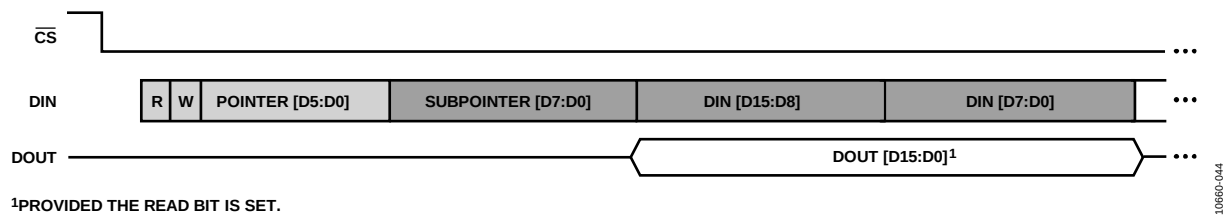


図 38. レジスタ・バンク内の 16 ビット・サブレジスタのアクセス

レジスタ構造

AD7292 には、変換結果、変換の上下限、デバイスの設定制御情報を格納する内部レジスタがあります(図 39 参照)。各レジスタにはアドレスがあります。アドレス・ポインタ・レジスタはレジスタと交信する際のアドレスを指定します。幾つかのレジスタとサブレジスタには予約済みビットがあります。AD7292 ではこれらの予約済みビットに 0 または 1 を書込むことができます。

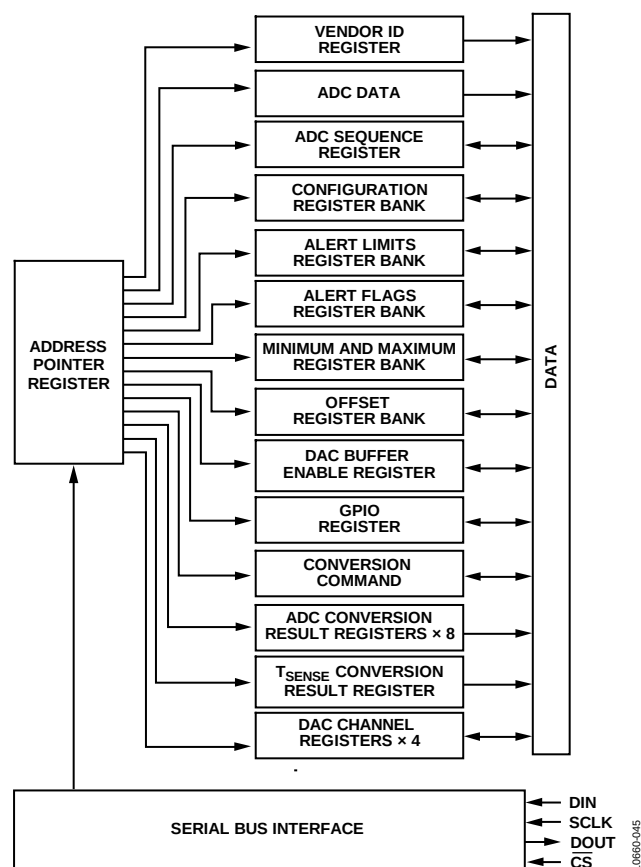


図 39.AD7292 のレジスタ構造

表 14 に、各レジスタを示し、読出専用または読み書き可能な区別も示します。

表 14.AD7292 のレジスタ

Address	Register Name	Access ¹	Data Format
0x00	Vendor ID register	R	Figure 36
0x01	ADC data register	R	Figure 36
0x03	ADC sequence register	R/W	Figure 36
0x05	Configuration register bank	R/W	Figure 38
0x06	Alert limits register bank	R/W	Figure 38
0x07	Alert flags register bank	R/W	Figure 38
0x08	Minimum and maximum register bank	R/W	Figure 38
0x09	Offset register bank	R/W	Figure 37
0x0A	DAC buffer enable register	R/W	Figure 36
0x0B	GPIO register	R/W	Figure 36
0x0E	Conversion command ²	N/A	N/A
0x10	ADC conversion result register, Channel 0	R	Figure 36
0x11	ADC conversion result register, Channel 1	R	Figure 36
0x12	ADC conversion result register, Channel 2	R	Figure 36
0x13	ADC conversion result register, Channel 3	R	Figure 36
0x14	ADC conversion result register, Channel 4	R	Figure 36
0x15	ADC conversion result register, Channel 5	R	Figure 36
0x16	ADC conversion result register, Channel 6	R	Figure 36
0x17	ADC conversion result register, Channel 7	R	Figure 36
0x20	T _{SENSE} conversion result register	R	Figure 36
0x30	DAC Channel 0 register	R/W	Figure 36
0x31	DAC Channel 1 register	R/W	Figure 36
0x32	DAC Channel 2 register	R/W	Figure 36
0x33	DAC Channel 3 register	R/W	Figure 36

¹ R は読出専用、R/W は読み書き可能。

² 詳細については、ADC 変換コマンドのセクション参照。

レジスタの説明

ベンダーID レジスタ(アドレス 0x00)

16 ビットの読出し専用ベンダーID レジスタは、アナログ・デバイセズのベンダーID である 0x0018 を格納しています。ベンダーID レジスタは、マイクロコントローラのような SPI マスターに対して [AD7292](#) を識別するために設けてあります。

ADC データ・レジスタ(アドレス 0x01)

16 ビットの読出し専用 ADC データ・レジスタは、最新の ADC 変換結果に対する読出しアクセスを提供します。このレジスタは、10 ビットの変換データ、4 ビットのチャンネル識別子ビット、2 ビット警報ビットを提供します(ADC 変換制御のセクション参照)。

ADC シーケンス・レジスタ(アドレス 0x03)

16 ビットの読み書き可能 ADC シーケンス・レジスタを使うと、予め定めた ADC チャンネル変換シーケンスを指定することができます。ADC は指定された ADC チャンネルの各々を順番に変換します。詳細については、ADC 変換制御のセクションを参照してください。表 16 にはレジスタ・ビットの機能が記載されています。ビット D15 は、データ・ストリームの先頭ビットです。パワーアップ時、ADC シーケンス・レジスタ値はデフォルトで全ビット 0 になります。

温度センサーの変換結果は、ADC シーケンス・レジスタのビット D8 に 1 を書込むことによりシーケンスに挿入することができます。ただし、コンフィギュレーション・レジスタ・バンク内の温度センサー・サブレジスタで温度センサーがイネーブルされている必要があります(温度センサー・サブレジスタ(アドレス 0x20)のセクション参照)。

コンフィギュレーション・レジスタ・バンク(アドレス 0x05)

表 15 にコンフィギュレーション・レジスタ・バンク・サブレジスタを示します。パワーアップ時、コンフィギュレーション・レジスタ・バンク内のサブレジスタ値はデフォルトで全ビット 0 になります。

表 15.コンフィギュレーション・レジスタ・バンクのサブレジスタ

Subaddress (Hex)	Subregister Name ¹
0x01	Digital output driver
0x02	Digital I/O function
0x08	General
0x10	VIN RANGE0
0x11	VIN RANGE1
0x12	ADC sampling mode
0x13	VIN ALERT0 routing
0x14	VIN ALERT1 routing
0x15	VIN filter
0x16	Conversion delay control
0x20	Temperature sensor
0x21	Temperature sensor alert routing
0x30	GPIO2/DAC DISABLE0
0x31	GPIO4/DAC DISABLE1

¹ コンフィギュレーション・レジスタ・バンク内のすべてのサブレジスタは読み書き可能です。

表 16.ADC シーケンス・レジスタのビット機能説明

Bits	Bit Name	R/W	Description
[D15: D9]	Reserved	R/W	Reserved
D8	T _{SENSE} readback enable	R/W	0 = disable T _{SENSE} readback 1 = enable T _{SENSE} readback
D7	ADC Channel 7 convert	R/W	0 = disable conversion of Channel 7 1 = enable conversion of Channel 7
D6	ADC Channel 6 convert	R/W	0 = disable conversion of Channel 6 1 = enable conversion of Channel 6
D5	ADC Channel 5 convert	R/W	0 = disable conversion of Channel 5 1 = enable conversion of Channel 5
D4	ADC Channel 4 convert	R/W	0 = disable conversion of Channel 4 1 = enable conversion of Channel 4
D3	ADC Channel 3 convert	R/W	0 = disable conversion of Channel 3 1 = enable conversion of Channel 3
D2	ADC Channel 2 convert	R/W	0 = disable conversion of Channel 2 1 = enable conversion of Channel 2
D1	ADC Channel 1 convert	R/W	0 = disable conversion of Channel 1 1 = enable conversion of Channel 1
D0	ADC Channel 0 convert	R/W	0 = disable conversion of Channel 0 1 = enable conversion of Channel 0

デジタル出力ドライバ・サブレジスタ(アドレス 0x01)

16 ビットのデジタル出力ドライバ・サブレジスタは、デジタル I/O ピンの出力ドライバをイネーブルします。ビット[D11: D0]に 1 を設定すると、対応するデジタル I/O 出力ドライバがイネーブルされます。12 本のデジタル I/O ピン内の 6 本は共用ピンです(表 18 参照)。デジタル I/O ピンを GPIO ピンとして設定し、かつ出力をイネーブルすると、ピンの値は GPIO レジスタから制御されます(GPIO レジスタ(アドレス 0x0B)のセクション参照)。

デジタル I/O 機能サブレジスタ(アドレス 0x02)

12 本の GPIO ピンの内の 6 本は共用ピンです。標準 GPIO 機能をイネーブルするときは、16 ビット・デジタル I/O サブレジスタの対応するビットに 1 を書込みます。別の機能をイネーブルするときは、該当するビットに 0 を書込みます(表 18 参照)。例えば、GPIO6/BUSY ピンを ADC ビジー・ピンとして設定するときは、アドレス 0x02 のビット D6 に 0 を書込みます。

表 17. デジタル出力ドライバ・サブレジスタのビット機能説明

Bits	Bit Name	R/W	Description
[D15: D12]	Reserved	R/W	Reserved
D11	GPIO11 output	R/W	0 = disable GPIO11 output driver; 1 = enable GPIO11 output driver
D10	GPIO10 output	R/W	0 = disable GPIO10 output driver; 1 = enable GPIO10 output driver
D9	GPIO9 output	R/W	0 = disable GPIO9 output driver; 1 = enable GPIO9 output driver
D8	GPIO8 output	R/W	0 = disable GPIO8 output driver; 1 = enable GPIO8 output driver
D7	GPIO7 output	R/W	0 = disable GPIO7 output driver; 1 = enable GPIO7 output driver
D6	GPIO6 output	R/W	0 = disable GPIO6 output driver; 1 = enable GPIO6/BUSY output driver
D5	GPIO5 output	R/W	0 = disable GPIO5 output driver; 1 = enable GPIO5 output driver
D4	GPIO4 output	R/W	0 = disable GPIO4 output driver; 1 = enable GPIO4/DAC DISABLE1 output driver
D3	GPIO3 output	R/W	0 = disable GPIO3 output driver; 1 = enable GPIO3/LDAC output driver
D2	GPIO2 output	R/W	0 = disable GPIO2 output driver; 1 = enable GPIO4/DAC DISABLE0 output driver
D1	GPIO1 output	R/W	0 = disable GPIO1 output driver; 1 = enable GPIO1/ALERT1 output driver
D0	GPIO0 output	R/W	0 = disable GPIO0 output driver; 1 = enable GPIO1/ALERT0 output driver

表 18. デジタル I/O 機能サブレジスタのビット機能説明

Bits	Bit Name	R/W	Description
[D15: D12]	Reserved	R/W	Reserved
D11	GPIO11	R/W	0 = reserved 1 = enable the GPIO11 function
D10	GPIO10	R/W	0 = reserved 1 = enable the GPIO10 function
D9	GPIO9	R/W	0 = reserved 1 = enable the GPIO9 function
D8	GPIO8	R/W	0 = reserved 1 = enable the GPIO8 function
D7	GPIO7	R/W	0 = reserved 1 = enable the GPIO7 function
D6	GPIO6/BUSY	R/W	0 = enable the ADC busy output function 1 = enable the GPIO6 function
D5	GPIO5	R/W	0 = reserved 1 = enable the GPIO5 function
D4	GPIO4/DAC DISABLE1	R/W	0 = enable the DAC DISABLE1 input function 1 = enable the GPIO4 function
D3	GPIO3/LDAC	R/W	0 = enable the LDAC input function 1 = enable the GPIO3 function
D2	GPIO2/DAC DISABLE0	R/W	0 = enable the DAC DISABLE0 input function 1 = enable the GPIO2 function
D1	GPIO1/ALERT1	R/W	0 = enable the ALERT1 output function 1 = enable the GPIO1 function
D0	GPIO0/ALERT0	R/W	0 = enable the ALERT0 output function 1 = enable the GPIO0 function

汎用サブレジスタ(アドレス 0x08)

GPIO2/DAC DISABLE0 ピンと GPIO4/DAC DISABLE1 ピンを DAC ディスエーブル・ピンとして設定すると(デジタル I/O 機能サブレジスタを介して)、16 ビット汎用サブレジスタのビット [D2: D1]は、これら 2 ピンの電源ディスエーブル・モードを制御します。表 19 に 4 種類の電源ディスエーブル・モードを示します。GPIO2/DAC DISABLE0 サブレジスタと GPIO4/DAC DISABLE1 サブレジスタは、GPIO2/DAC DISABLE0 ピンと GPIO4/DAC DISABLE1 ピンで制御する DAC 出力を指定します(表 29 と表 30 参照)。

GPIO1/ALERT1 ピンと GPIO0/ALERT0 ピンが警報出力として設定された場合に、汎用サブレジスタのビット D5 とビット D4 は、ALERT 出力ピン極性の設定に使われます(デジタル出力ドライバ・サブレジスタ(アドレス 0x01)のセクションとデジタル I/O 機能サブレジスタ(アドレス 0x02)のセクション参照)。

ビット D8 は、[AD7292](#) で使うリファレンス電圧源の選択に使います。このビットに 1 を設定すると、外付けリファレンスが使用されます。このビットに 0 を設定すると、内蔵リファレンスが使用されます。

表 19. 汎用サブレジスタのビット機能説明

Bits	Bit Name	R/W	Description
[D15: D9]	Reserved	R/W	Reserved.
D8	Reference mode	R/W	This bit specifies whether the internal reference or an external reference is used. 0 = internal reference used (default). 1 = external reference used.
[D7: D6]	Reserved	R/W	Reserved.
D5	ALERT1 polarity	R/W	When the GPIO1/ALERT1 pin is configured to function as an alert, this bit sets the polarity of the ALERT1 pin. 0 = active low (default). 1 = active high.
D4	ALERT0 polarity	R/W	When the GPIO0/ALERT0 pin is configured to function as an alert, this bit sets the polarity of the ALERT0 pin. 0 = active low (default). 1 = active high.
D3	Reserved	R/W	Reserved.
[D2: D1]	DAC disable mode	R/W	These bits control the disable mode of the GPIO2/DAC DISABLE0 and GPIO4/DAC DISABLE1 pins when these pins are configured to function as DAC disable pins. 00 = 1 k Ω and 100 k Ω resistors in parallel to ground (default). 01 = 100 k Ω resistor to ground. 10 = 1 k Ω resistor to ground. 11 = high impedance.
D0	Reserved	R/W	Reserved.

VIN RANGE0 サブレジスタと VIN RANGE1 サブレジスタ (アドレス 0x10 とアドレス 0x11)

16 ビットの VIN RANGE0 サブレジスタと VIN RANGE1 サブレジスタは、VIN0～VIN7 の各アナログ入力チャンネルの 1/2 倍係数を指定します。VIN RANGE0 サブレジスタと VIN RANGE1 サブレジスタからの 1/2 倍係数は各チャンネルに適用することがで

きます。すなわち、VIN RANGE1 のビット D0 と VIN RANGE0 のビット D0 をセットすると、VIN0 入力範囲に対して 1/4 係数がイネーブルされます。AV_{DD} を基準とするサンプルの場合、VIN RANGE0 ビットと VIN RANGE1 ビットをセットしても無視されます(ADC サンプリング・モード・サブレジスタ(アドレス 0x12)のセクション参照)。

表 20.VIN RANGE0 サブレジスタと VIN RANGE1 サブレジスタのビット機能説明(デフォルト= 0)

Bits	Bit Name	R/W	Description
[D15: D8]	Reserved	R/W	Reserved
D7	VIN7 range	R/W	Analog input range for VIN7 (see Table 21)
D6	VIN6 range	R/W	Analog input range for VIN6 (see Table 21)
D5	VIN5 range	R/W	Analog input range for VIN5 (see Table 21)
D4	VIN4 range	R/W	Analog input range for VIN4 (see Table 21)
D3	VIN3 range	R/W	Analog input range for VIN3 (see Table 21)
D2	VIN2 range	R/W	Analog input range for VIN2 (see Table 21)
D1	VIN1 range	R/W	Analog input range for VIN1 (see Table 21)
D0	VIN0 range	R/W	Analog input range for VIN0 (see Table 21)

表 21.アナログ入力範囲の選択

Subregister Bit Settings		Sample with Respect to A _{GND}		Sample with Respect to AV _{DD}
		Single-Ended Input Range (VIN0 to VIN7)	Differential Input Range (VIN0 and VIN1 Only)	Single-Ended Input Range (VIN0 to VIN7)
VIN RANGE1	VIN RANGE0			
0	0	0 V to 4 × V _{REF}	−4 × V _{REF} to +4 × V _{REF}	(AV _{DD} − 4 × V _{REF}) to AV _{DD}
0	1	0 V to 2 × V _{REF}	−2 × V _{REF} to +2 × V _{REF}	Not applicable
1	0	0 V to 2 × V _{REF}	−2 × V _{REF} to +2 × V _{REF}	Not applicable
1	1	0 V to V _{REF}	−V _{REF} to +V _{REF}	Not applicable

ADC サンプリング・モード・サブレジスタ(アドレス 0x12)

表 22 に、16 ビット ADC サンプリング・モード・サブレジスタのビット機能説明を示します。ビット D0 を使うと、アナログ入力チャンネル VIN0 と VIN1 に対する差動入力モードをイネーブルすることができます。イネーブルして VIN0 で変換する場合、ADC への差動入力は(VIN0、VIN1)になります。イネーブル

して VIN1 で変換する場合、ADC への差動入力は(VIN1、VIN0)になります。差動モードを使用するときは、ビット D0 に 1 を設定します。

ビット[D15: D8]は、対応するアナログ入力 VIN7～VIN0 の基準を AV_{DD} または A_{GND} のいずれにするかを指定します。

表 22.ADC サンプリング・モード・サブレジスタのビット機能説明(デフォルト= 0)

Bits	Bit Name	R/W	Description
D15	VIN7 sampling mode	R/W	This bit specifies whether VIN7 is measured with respect to AV _{DD} or A _{GND} . 0 = sample with respect to AV _{DD} . 1 = sample with respect to A _{GND} .
D14	VIN6 sampling mode	R/W	This bit specifies whether VIN6 is measured with respect to AV _{DD} or A _{GND} . 0 = sample with respect to AV _{DD} . 1 = sample with respect to A _{GND} .
D13	VIN5 sampling mode	R/W	This bit specifies whether VIN5 is measured with respect to AV _{DD} or A _{GND} . 0 = sample with respect to AV _{DD} . 1 = sample with respect to A _{GND} .
D12	VIN4 sampling mode	R/W	This bit specifies whether VIN4 is measured with respect to AV _{DD} or A _{GND} . 0 = sample with respect to AV _{DD} . 1 = sample with respect to A _{GND} .
D11	VIN3 sampling mode	R/W	This bit specifies whether VIN3 is measured with respect to AV _{DD} or A _{GND} . 0 = sample with respect to AV _{DD} . 1 = sample with respect to A _{GND} .
D10	VIN2 sampling mode	R/W	This bit specifies whether VIN2 is measured with respect to AV _{DD} or A _{GND} . 0 = sample with respect to AV _{DD} . 1 = sample with respect to A _{GND} .
D9	VIN1 sampling mode	R/W	This bit specifies whether VIN1 is measured with respect to AV _{DD} or A _{GND} . 0 = sample with respect to AV _{DD} . 1 = sample with respect to A _{GND} .
D8	VIN0 sampling mode	R/W	This bit specifies whether VIN0 is measured with respect to AV _{DD} or A _{GND} . 0 = sample with respect to AV _{DD} . 1 = sample with respect to A _{GND} .
[D7: D1]	Reserved	R/W	Reserved.
D0	VIN0/VIN1 differential mode	R/W	This bit specifies whether VIN0 and VIN1 function as two single-ended inputs or as a differential pair. 0 = single-ended mode. 1 = differential mode.

VIN ALERT0 ルーティング・サブレジスタと VIN ALERT1 ルーティング・サブレジスタ(アドレス 0x13 とアドレス 0x14)

16 ビット VIN ALERT0 サブレジスタと VIN ALERT1 サブレジスタは、アナログ入力チャンネル VIN0～VIN7 からの警報の GPIO0/ALERT0 ピンと GPIO1/ALERT1 ピンへのルーティングをイネーブルします(表 23 と表 24 参照)。

GPIO0/ALERT0 ピンと GPIO1/ALERT1 ピンを警報ピンとして設定する方法については、デジタル I/O 機能サブレジスタ(アドレス 0x02)のセクションとデジタル出力ドライバ・サブレジスタ(アドレス 0x01)のセクションを参照してください。

温度センサー警報のルーティングをイネーブルする方法については、温度センサー警報ルーティング・サブレジスタ(アドレス 0x21)のセクションを参照してください。

表 23.VIN ALERT0 ルーティング・サブレジスタのビット機能説明

Bits	Bit Name	R/W	Description
[D15: D8]	Reserved	R/W	Reserved
D7	Route VIN7 alerts to ALERT0 pin	R/W	0 = disable routing of VIN7 alerts to the ALERT0 pin 1 = enable routing of VIN7 alerts to the ALERT0 pin
D6	Route VIN6 alerts to ALERT0 pin	R/W	0 = disable routing of VIN6 alerts to the ALERT0 pin 1 = enable routing of VIN6 alerts to the ALERT0 pin
D5	Route VIN5 alerts to ALERT0 pin	R/W	0 = disable routing of VIN5 alerts to the ALERT0 pin 1 = enable routing of VIN5 alerts to the ALERT0 pin
D4	Route VIN4 alerts to ALERT0 pin	R/W	0 = disable routing of VIN4 alerts to the ALERT0 pin 1 = enable routing of VIN4 alerts to the ALERT0 pin
D3	Route VIN3 alerts to ALERT0 pin	R/W	0 = disable routing of VIN3 alerts to the ALERT0 pin 1 = enable routing of VIN3 alerts to the ALERT0 pin
D2	Route VIN2 alerts to ALERT0 pin	R/W	0 = disable routing of VIN2 alerts to the ALERT0 pin 1 = enable routing of VIN2 alerts to the ALERT0 pin
D1	Route VIN1 alerts to ALERT0 pin	R/W	0 = disable routing of VIN1 alerts to the ALERT0 pin 1 = enable routing of VIN1 alerts to the ALERT0 pin
D0	Route VIN0 alerts to ALERT0 pin	R/W	0 = disable routing of VIN0 alerts to the ALERT0 pin 1 = enable routing of VIN0 alerts to the ALERT0 pin

表 24.VIN ALERT1 ルーティング・サブレジスタのビット機能説明

Bits	Bit Name	R/W	Description
[D15: D8]	Reserved	R/W	Reserved
D7	Route VIN7 alerts to ALERT1 pin	R/W	0 = disable routing of VIN7 alerts to the ALERT1 pin 1 = enable routing of VIN7 alerts to the ALERT1 pin
D6	Route VIN6 alerts to ALERT1 pin	R/W	0 = disable routing of VIN6 alerts to the ALERT1 pin 1 = enable routing of VIN6 alerts to the ALERT1 pin
D5	Route VIN5 alerts to ALERT1 pin	R/W	0 = disable routing of VIN5 alerts to the ALERT1 pin 1 = enable routing of VIN5 alerts to the ALERT1 pin
D4	Route VIN4 alerts to ALERT1 pin	R/W	0 = disable routing of VIN4 alerts to the ALERT1 pin 1 = enable routing of VIN4 alerts to the ALERT1 pin
D3	Route VIN3 alerts to ALERT1 pin	R/W	0 = disable routing of VIN3 alerts to the ALERT1 pin 1 = enable routing of VIN3 alerts to the ALERT1 pin
D2	Route VIN2 alerts to ALERT1 pin	R/W	0 = disable routing of VIN2 alerts to the ALERT1 pin 1 = enable routing of VIN2 alerts to the ALERT1 pin
D1	Route VIN1 alerts to ALERT1 pin	R/W	0 = disable routing of VIN1 alerts to the ALERT1 pin 1 = enable routing of VIN1 alerts to the ALERT1 pin
D0	Route VIN0 alerts to ALERT1 pin	R/W	0 = disable routing of VIN0 alerts to the ALERT1 pin 1 = enable routing of VIN0 alerts to the ALERT1 pin

VIN フィルタ・サブレジスタ(アドレス 0x15)

16 ビット VIN フィルタ・サブレジスタは、アナログ入力チャネルのデジタル・フィルタをイネーブルします。このデジタル・フィルタは、DC 信号の不要なノイズの削減に役立つシンプルなローパス・フィルタ機能で構成されています。このサブレジスタのビット[D7: D0]に 1 を書込むと、対応するアナログ入力チャネルのデジタル・フィルタがイネーブルされます(表 25 参照)。パワーアップ時、VIN フィルタ・サブレジスタ値はデフォルトで全ビット 0 です。

変換遅延制御サブレジスタ(アドレス 0x16)

16 ビットの変換遅延制御サブレジスタは、変換の開始(サンプル・ポイントを含む)を遅延させるときに使います。遅延は、変

換を開始させる SCLK 信号の立下がりの後の内部 ADC クロックのカウント値になります。

例えば、変換遅延制御サブレジスタ値が 0x0003 の場合、ADC クロックが 3 個カウントされた後に ADC がホールド・モードになって変換が開始されます。ADC クロック周期は 40 ns (typ) です。

変換遅延制御サブレジスタ値が非ゼロの N の場合、変換が開始された後 ADC は設定された ADC クロック周期数(N)だけ待って、入力をサンプリングします。レジスタ値がデフォルトの 0 の場合、遅延はなく、変換を開始させる SCLK の立下がりから変換が開始されます。変換遅延を使用する場合、変換は N+1 クロックだけ長くなります。

表 25.VIN フィルタ・サブレジスタのビット機能説明

Bits	Bit Name	R/W	Description
[D15: D8]	Reserved	R/W	Reserved
D7	Enable digital filtering of VIN7	R/W	0 = disable digital filtering of VIN7 1 = enable digital filtering of VIN7
D6	Enable digital filtering of VIN6	R/W	0 = disable digital filtering of VIN6 1 = enable digital filtering of VIN6
D5	Enable digital filtering of VIN5	R/W	0 = disable digital filtering of VIN5 1 = enable digital filtering of VIN5
D4	Enable digital filtering of VIN4	R/W	0 = disable digital filtering of VIN4 1 = enable digital filtering of VIN4
D3	Enable digital filtering of VIN3	R/W	0 = disable digital filtering of VIN3 1 = enable digital filtering of VIN3
D2	Enable digital filtering of VIN2	R/W	0 = disable digital filtering of VIN2 1 = enable digital filtering of VIN2
D1	Enable digital filtering of VIN1	R/W	0 = disable digital filtering of VIN1 1 = enable digital filtering of VIN1
D0	Enable digital filtering of VIN0	R/W	0 = disable digital filtering of VIN0 1 = enable digital filtering of VIN0

表 26.変換遅延制御サブレジスタのビット機能説明

Bits	Bit Name	R/W	Description
[D15: D0]	Delay value	R/W	These bits specify the 16-bit delay value (0 to 0xFFFF) before the start of a conversion. The delay is a count of internal ADC clocks following the falling SCLK signal.

温度センサー・サブレジスタ(アドレス 0x20)

16 ビットの温度センサー・サブレジスタは、温度センサー変換と温度センサー・チャンネルのデジタル・フィルタリングをイネーブルします。温度センサー変換またはデジタル・フィルタリングをイネーブルするときは、温度センサー・サブレジスタの対応するビットに 1 を設定します(表 27 参照)。パワーアップ時、温度センサー・サブレジスタ値はデフォルトで全ビット 0 です。

温度センサー警報ルーティング・サブレジスタ(アドレス 0x21)

16 ビットの温度センサー警報ルーティング・サブレジスタは、

内部温度センサーからの警報の GPIO0/ALERT0 ピンと GPIO1/ALERT1 ピンへのルーティングをイネーブルします(表 28 参照)。

GPIO0/ALERT0 ピンと GPIO1/ALERT1 ピンを警報ピンとして設定する方法については、デジタル I/O 機能サブレジスタ(アドレス 0x02)のセクションとデジタル出力ドライバ・サブレジスタ(アドレス 0x01)のセクションを参照してください。

アナログ入力チャンネル警報のルーティングをイネーブルする方法については、VIN ALERT0 ルーティング・サブレジスタと VIN ALERT1 ルーティング・サブレジスタ(アドレス 0x13 とアドレス 0x14)のセクションを参照してください。

表 27.温度センサー・サブレジスタのビット機能説明

Bits	Bit Name	R/W	Description
[D15: D9]	Reserved	R/W	Reserved.
D8	Enable/disable digital filtering of T _{SENSE}	R/W	This bit specifies whether digital filtering is enabled on the temperature sensor channel. 0 = disable digital filtering of the temperature sensor channel (default). 1 = enable digital filtering of the temperature sensor channel.
[D7: D1]	Reserved	R/W	Reserved.
D0	Enable/disable T _{SENSE} conversions	R/W	This bit enables or disables conversion of the temperature sensor channel. 0 = disable T _{SENSE} conversions (default). 1 = enable T _{SENSE} conversions.

表 28.温度センサー警報ルーティング・サブレジスタのビット機能説明

Bits	Bit Name	R/W	Description
[D15: D9]	Reserved	R/W	Reserved.
D8	Route T _{SENSE} alerts to ALERT1 pin	R/W	This bit specifies whether alerts from the internal temperature sensor are routed to the ALERT1 pin. 0 = disable routing of alerts from the temperature sensor to the ALERT1 pin (default). 1 = enable routing of alerts from the temperature sensor to the ALERT1 pin.
[D7: D1]	Reserved	R/W	Reserved.
D0	Route T _{SENSE} alerts to ALERT0 pin	R/W	This bit specifies whether alerts from the internal temperature sensor are routed to the ALERT0 pin. 0 = disable routing of alerts from the temperature sensor to the ALERT0 pin (default). 1 = enable routing of alerts from the temperature sensor to the ALERT0 pin.

GPIO2/DAC DISABLE0 サブレジスタと GPIO4/DAC DISABLE1 サブレジスタ(アドレス 0x30 とアドレス 0x31)

16 ビットの読み書き可能 GPIO2/DAC DISABLE0 サブレジスタと GPIO4/DAC DISABLE1 サブレジスタは、GPIO2/DAC DISABLE0 ピンと GPIO4/DAC DISABLE1 ピンでディスエーブルする DAC チャンネルを指定します。例えば、GPIO2/DAC DISABLE0 サブレジスタのビット D0 に 1 を設定すると、GPIO2/DAC DISABLE0 ピンをハイ・レベルにしたとき、DAC 出力 VOUT0 がディスエーブルされます。パワーアップ時、これらのサブレジスタ値は

デフォルトで全ビット 0 です。

GPIO2/DAC DISABLE0 ピンと GPIO4/DAC DISABLE1 ピンの DAC ディスエーブル機能をイネーブルする方法については、デジタル出力ドライバ・サブレジスタ(アドレス 0x01)のセクションとデジタル I/O 機能サブレジスタ(アドレス 0x02)のセクションを参照してください。

表 29.GPIO2/DAC DISABLE0 サブレジスタのビット機能説明

Bits	Bit Name	R/W	Description
[D15: D4]	Reserved	R/W	Reserved.
D3	Disable VOUT3 pin	R/W	This bit specifies whether the VOUT3 output is disabled when the GPIO2/DAC DISABLE0 pin is high. 0 = disable control of VOUT3 by the GPIO2/DAC DISABLE0 pin (default). 1 = enable control of VOUT3 by the GPIO2/DAC DISABLE0 pin.
D2	Disable VOUT2 pin	R/W	This bit specifies whether the VOUT2 output is disabled when the GPIO2/DAC DISABLE0 pin is high. 0 = disable control of VOUT2 by the GPIO2/DAC DISABLE0 pin (default). 1 = enable control of VOUT2 by the GPIO2/DAC DISABLE0 pin.
D1	Disable VOUT1 pin	R/W	This bit specifies whether the VOUT1 output is disabled when the GPIO2/DAC DISABLE0 pin is high. 0 = disable control of VOUT1 by the GPIO2/DAC DISABLE0 pin (default). 1 = enable control of VOUT1 by the GPIO2/DAC DISABLE0 pin.
D0	Disable VOUT0 pin	R/W	This bit specifies whether the VOUT0 output is disabled when the GPIO2/DAC DISABLE0 pin is high. 0 = disable control of VOUT0 by the GPIO2/DAC DISABLE0 pin (default). 1 = enable control of VOUT0 by the GPIO2/DAC DISABLE0 pin.

表 30.GPIO4/DAC DISABLE1 サブレジスタのビット機能説明

Bits	Bit Name	R/W	Description
[D15: D4]	Reserved	R/W	Reserved.
D3	Disable VOUT3 pin	R/W	This bit specifies whether the VOUT3 output is disabled when the GPIO4/DAC DISABLE1 pin is high. 0 = disable control of VOUT3 by the GPIO4/DAC DISABLE1 pin (default). 1 = enable control of VOUT3 by the GPIO4/DAC DISABLE1 pin.
D2	Disable VOUT2 pin	R/W	This bit specifies whether the VOUT2 output is disabled when the GPIO4/DAC DISABLE1 pin is high. 0 = disable control of VOUT2 by the GPIO4/DAC DISABLE1 pin (default). 1 = enable control of VOUT2 by the GPIO4/DAC DISABLE1 pin.
D1	Disable VOUT1 pin	R/W	This bit specifies whether the VOUT1 output is disabled when the GPIO4/DAC DISABLE1 pin is high. 0 = disable control of VOUT1 by the GPIO4/DAC DISABLE1 pin (default). 1 = enable control of VOUT1 by the GPIO4/DAC DISABLE1 pin.
D0	Disable VOUT0 pin	R/W	This bit specifies whether the VOUT0 output is disabled when the GPIO4/DAC DISABLE1 pin is high. 0 = disable control of VOUT0 by the GPIO4/DAC DISABLE1 pin (default). 1 = enable control of VOUT0 by the GPIO4/DAC DISABLE1 pin.

警報上下限レジスタ・バンク(アドレス 0x06)

警報上下限レジスタ・バンクは、8 個のアナログ入力チャンネルと温度センサー・チャンネルに対して警報上限値と下限値を設定するサブレジスタから構成されています(表 31 参照)。各サブレジスタは 16 ビット長で、値は左詰め 10 ビットです(下位 6 ビットは 0)。パワーアップ時、下限値サブレジスタ値とヒステリシス・サブレジスタ値は全ビット 0 で、上限値サブレジスタ値は 0xFFC0 です。

変換結果が警報上下限サブレジスタ内の上限値または下限値を超えると、[AD7292](#) は次のいずれかの方法で警報を発生します。

- GPIO0/ALERT0 ピンと GPIO1/ALERT1 ピンを使うハードウェアから発生(ハードウェア警報ピンのセクション参照)
- 変換結果レジスタの警報フラグ・ビットを使ってソフトウェアから発生(ADC 変換結果レジスタ VIN0～VIN7 (アドレス 0x10～アドレス 0x17)のセクションと T_{SENSE} 変換結果レジスタ(アドレス 0x20)のセクションを参照)
- 警報フラグ・レジスタ・バンク内の警報ビットを使ってソフトウェアから発生(警報フラグ・レジスタ・バンク(アドレス 0x07)のセクション参照)

警報上限値サブレジスタと警報下限値サブレジスタ

警報上限値サブレジスタは、警報を発生する上限値を格納します。変換結果が警報上限値サブレジスタ値を上回ると、警報が発生します。警報下限値サブレジスタは警報が発生する下限値を格納します。変換結果が警報下限値サブレジスタ値を下回ると、警報が発生します。

警報上限値サブレジスタまたは警報下限値サブレジスタに対応する警報は監視している信号が範囲内に戻り、すなわち変換結果が設定された上限値と下限値の間に戻ったとき、自動的にクリアされます。警報フラグ・サブレジスタ値は、各変換後に更新されます(警報フラグ・レジスタ・バンク(アドレス 0x07)のセクション参照)。

ヒステリシス・サブレジスタ

各チャンネルには対応するヒステリシス・サブレジスタがあり、ヒステリシス値 N を格納しています(表 31 参照)。ヒステリシス・サブレジスタは、GPIO0/ALERT0 ピンと GPIO1/ALERT1 ピンでフリッカを防止するときに使用することができます。ヒステリシス機能をイネーブルすると、警報出力ピンと警報フラグ・ビットをリセットするためには、変換結果が警報上限値サブレジスタ値より少なくとも N LSB 小さい値に、または警報下限値サブレジスタ値より少なくとも N LSB 大きい値に、それぞれ戻る必要があります(図 46 参照)。この N の値は 16 ビット読み書き可能ヒステリシス・サブレジスタの上位 10 ビットから取得します。詳細については、ヒステリシスのセクションを参照してください。

表 31. 警報上下限レジスタ・バンク・サブレジスタ

Subaddress (Hex)	Subregister Name ¹
0x00	VIN0 alert high limit
0x01	VIN0 alert low limit
0x02	VIN0 hysteresis
0x03	VIN1 alert high limit
0x04	VIN1 alert low limit
0x05	VIN1 hysteresis
0x06	VIN2 alert high limit
0x07	VIN2 alert low limit
0x08	VIN2 hysteresis
0x09	VIN3 alert high limit
0x0A	VIN3 alert low limit
0x0B	VIN3 hysteresis
0x0C	VIN4 alert high limit
0x0D	VIN4 alert low limit
0x0E	VIN4 hysteresis
0x0F	VIN5 alert high limit
0x10	VIN5 alert low limit
0x11	VIN5 hysteresis
0x12	VIN6 alert high limit
0x13	VIN6 alert low limit
0x14	VIN6 hysteresis
0x15	VIN7 alert high limit
0x16	VIN7 alert low limit
0x17	VIN7 hysteresis
0x18 to 0x2F	Reserved
0x30	T_{SENSE} alert high limit
0x31	T_{SENSE} alert low limit
0x32	T_{SENSE} hysteresis
0x33 to 0xFF	Reserved

¹ 警報上下限レジスタ・バンク内のすべてのサブレジスタは読み書き可能です。

警報フラグ・レジスタ・バンク(アドレス 0x07)

変換結果により警報が発生すると(警報上下限レジスタ・バンクで規定するように)、警報フラグ・レジスタ・バンクを讀出して警報の情報を取得することができます。このレジスタ・バンクには、ADC 警報フラグと T_{SENSE} 警報フラグ・サブレジスタが含まれています。両サブレジスタには、変換最小値または変換最大値(警報上下限レジスタ・バンクで指定)を超えたとき発生するフラグがあります。

表 32.警報フラグ・レジスタ・バンク・サブレジスタ

Subaddress (Hex)	Subregister Name ¹
0x00	ADC alert flags subregister
0x01	Reserved
0x02	T _{SENSE} alert flags subregister
0x03 to 0xFF	Reserved

¹ 警報フラグ・サブレジスタのビットは、選択したビットに 1 を書込むことによりリセットすることができます。

ADC 警報フラグ・サブレジスタと T_{SENSE} 警報フラグ・サブレジスタ(アドレス 0x00 とアドレス 0x02)

ADC 警報フラグ・サブレジスタは、アナログ電圧変換チャンネル VIN0～VIN7 の警報を格納します。T_{SENSE} 警報フラグ・サブレジスタは、温度センサー・チャンネルの警報を格納します。

これらのサブレジスタにはチャンネルあたり 2 ビットのステータス・ビットがあります。1 ビットは上限値に対応し、他の 1 ビットは下限値に対応します。ステータス 1 のビットは、違反が発生したチャンネルと上限／下限のいずれの違反かを表示します。

最初の警報が発生し、かつ警報フラグ・サブレジスタが読出される前に他のチャンネルでさらに警報イベントが発生すると、新しい警報イベントに対応するビットも設定されます。例えば、ADC 警報フラグ・サブレジスタのビット D14 が 1 に設定されると、チャンネル 7 で下限値を超えたことを意味し、ビット D3 が 1 に設定されると、チャンネル 1 で上限値を超えたことを意味します。

警報フラグを発生させたチャンネルを探すときは、ADC 警報フラグ・サブレジスタまたは T_{SENSE} 警報フラグ・サブレジスタを讀出する必要があります。アドレス・ポインタの讀出しビットと書込みビットに 1 を設定して、ADC 警報フラグ・サブレジスタまたは T_{SENSE} 警報フラグ・サブレジスタをアクセスすると、一つの動作で格納されている警報フラグを讀出してリセットすることができます。ADC 警報フラグ・サブレジスタへ 0xFFFF を書込むか、または T_{SENSE} 警報フラグ・サブレジスタに 0x0003 を書込むことによりブランチ・リセットを実行して、すべての警報フラグをクリアすることができます。

表 33.ADC 警報フラグ・サブレジスタのビット機能説明

Bits	Bit Name	R/W	Description
D15	VIN7 high limit flag	R/W	1 = VIN7 high limit exceeded
D14	VIN7 low limit flag	R/W	1 = VIN7 low limit exceeded
D13	VIN6 high limit flag	R/W	1 = VIN6 high limit exceeded
D12	VIN6 low limit flag	R/W	1 = VIN6 low limit exceeded
D11	VIN5 high limit flag	R/W	1 = VIN5 high limit exceeded
D10	VIN5 low limit flag	R/W	1 = VIN5 low limit exceeded
D9	VIN4 high limit flag	R/W	1 = VIN4 high limit exceeded
D8	VIN4 low limit flag	R/W	1 = VIN4 low limit exceeded
D7	VIN3 high limit flag	R/W	1 = VIN3 high limit exceeded
D6	VIN3 low limit flag	R/W	1 = VIN3 low limit exceeded
D5	VIN2 high limit flag	R/W	1 = VIN2 high limit exceeded
D4	VIN2 low limit flag	R/W	1 = VIN2 low limit exceeded
D3	VIN1 high limit flag	R/W	1 = VIN1 high limit exceeded
D2	VIN1 low limit flag	R/W	1 = VIN1 low limit exceeded
D1	VIN0 high limit flag	R/W	1 = VIN0 high limit exceeded
D0	VIN0 low limit flag	R/W	1 = VIN0 low limit exceeded

表 34.T_{SENSE} 警報フラグ・サブレジスタのビット機能説明

Bits	Bit Name	R/W	Description
[D15: D2]	Reserved	R/W	Reserved
D1	T _{SENSE} high limit flag	R/W	1 = T _{SENSE} high limit exceeded
D0	T _{SENSE} low limit flag	R/W	1 = T _{SENSE} low limit exceeded

最小および最大レジスタ・バンク(アドレス 0x08)

最小および最大レジスタ・バンクは、8 個の各アナログ入力チャンネルと温度センサー・チャンネルに対する最小および最大の変換値を格納します。値は 10 ビットで、左詰めです。

値が書込まれると、最小および最大サブレジスタはクリアされます。すなわち、パワーアップ時の値に戻ります。これは、読出しビットと書込みビットを 1 にセットしてサブレジスタをアクセスすると、一つの動作で格納されている最小値または最大値を読出してリセットできることを意味します。パワーアップ時、最小値サブレジスタ値は 0xFFC0 に、最大値サブレジスタ値は 0x0000 に、それぞれ設定されます。

表 35.最小レジスタ・バンク・サブレジスタと最大レジスタ・バンク・サブレジスタ

Subaddress (Hex)	Subregister Name ¹
0x00	VIN0 maximum value
0x01	VIN0 minimum value
0x02	VIN1 maximum value
0x03	VIN1 minimum value
0x04	VIN2 maximum value
0x05	VIN2 minimum value
0x06	VIN3 maximum value
0x07	VIN3 minimum value
0x08	VIN4 maximum value
0x09	VIN4 minimum value
0x0A	VIN5 maximum value
0x0B	VIN5 minimum value
0x0C	VIN6 maximum value
0x0D	VIN6 minimum value
0x0E	VIN7 maximum value
0x0F	VIN7 minimum value
0x10 to 0x1F	Reserved
0x20	T _{SENSE} maximum value
0x21	T _{SENSE} minimum value
0x22 to 0xFF	Reserved

¹ 最小サブレジスタと最大サブレジスタのビットは、選択したビットに 1 を書込むことによりリセットすることができます。

オフセット・レジスタ・バンク(アドレス 0x09)

オフセット・レジスタ・バンクには 9 個のサブレジスタが含まれます。8 個の各アナログ入力チャンネルと温度センサー・チャンネルは、対応するオフセット・レジスタを持っています(表 36 参照)。

表 36.オフセット・レジスタ・バンク・サブレジスタ

Subaddress (Hex)	Subregister Name ¹
0x00	VIN0 offset
0x01	VIN1 offset
0x02	VIN2 offset
0x03	VIN3 offset
0x04	VIN4 offset
0x05	VIN5 offset
0x06	VIN6 offset
0x07	VIN7 offset
0x10	Temperature sensor offset

¹ オフセット・レジスタ・バンクのすべてのサブレジスタは読み書き可能です。

8 ビットの読み書き可能な各オフセット・サブレジスタは、2 の補数フォーマットでデータを格納します。値は ADC 変換結果に加算されます。アナログ入力チャンネルと温度センサーに使用されるオフセット・エンコーディング方式を、それぞれ表 39 と表 40 に示します。オフセット・レジスタ・バンク内のすべてのサブレジスタのデフォルト値は 0x00 です。

これらのサブレジスタ内でビットがセットされたオフセット値が加算されます。表 37 にアナログ入力チャンネル値の例を、表 38 に温度センサー・チャンネル値の例を、それぞれ示します。

表 37.アナログ入力チャンネル・オフセット値の例

Offset Subregister Value	Offset Value (LSB)
10000000	-32
11000000	-16
00001000	+2

表 38.温度センサー・チャンネル・オフセット値の例

Offset Subregister Value	Offset Value (°C)
10000000	-16
11000000	-8
00001000	+1

表 39.VIN0～VIN7 オフセット・エンコーディング方式

D7	D6	D5	D4	D3	D2	D1	D0
-32 LSB	+16 LSB	+8 LSB	+4 LSB	+2 LSB	+1 LSB	+0.5 LSB	+0.25 LSB

表 40.温度センサー・オフセット・エンコーディング方式

D7	D6	D5	D4	D3	D2	D1	D0
-16°C	+8°C	+4°C	+2°C	+1°C	+0.5°C	+0.25°C	+0.125°C

DAC バッファ・イネーブル・レジスタ(アドレス 0x0A)

読み書き可能な 16 ビット DAC バッファ・イネーブル・レジスタは、DAC 出力バッファをイネーブルします。該当するビットに 1 を設定すると、対応する DAC 出力バッファがイネーブルされます(表 41 参照)。パワーアップ時、DAC バッファ・イネーブル・レジスタ値はデフォルトで全ビット 0 になります。

GPIO レジスタ(アドレス 0x0B)

GPIO 機能がイネーブルされている場合、読み書き可能な 16 ビット GPIO レジスタは、GPIO ピンへのデータの読み書きに使われます(デジタル出力ドライバ・サブレジスタ(アドレス 0x01)のセクションとデジタル I/O 機能サブレジスタ(アドレス 0x02)のセクション参照)。パワーアップ時、GPIO レジスタ値はデフォルトで全ビット 0 になります。

表 41.DAC バッファ・イネーブル・レジスタのビット機能説明

Bits	Bit Name	R/W	Description
[D15: D4]	Reserved	R/W	Reserved
D3	Enable DAC 3	R/W	0 = disable DAC 3 output buffer (default) 1 = enable DAC 3 output buffer
D2	Enable DAC 2	R/W	0 = disable DAC 2 output buffer (default) 1 = enable DAC 2 output buffer
D1	Enable DAC 1	R/W	0 = disable DAC 1 output buffer (default) 1 = enable DAC 1 output buffer
D0	Enable DAC 0	R/W	0 = disable DAC 0 output buffer (default) 1 = enable DAC 0 output buffer

表 42.GPIO レジスタのビット機能説明

Bits	Bit Name	R/W	Description
[D15: D12]	Reserved	R/W	Reserved
D11	GPIO11	R/W	0 = low output for write; low input for read 1 = high output for write; high input for read
D10	GPIO10	R/W	0 = low output for write; low input for read 1 = high output for write; high input for read
D9	GPIO9	R/W	0 = low output for write; low input for read 1 = high output for write; high input for read
D8	GPIO8	R/W	0 = low output for write; low input for read 1 = high output for write; high input for read
D7	GPIO7	R/W	0 = low output for write; low input for read 1 = high output for write; high input for read
D6	GPIO6	R/W	0 = low output for write; low input for read 1 = high output for write; high input for read
D5	GPIO5	R/W	0 = low output for write; low input for read 1 = high output for write; high input for read
D4	GPIO4	R/W	0 = low output for write; low input for read 1 = high output for write; high input for read
D3	GPIO3	R/W	0 = low output for write; low input for read 1 = high output for write; high input for read
D2	GPIO2	R/W	0 = low output for write; low input for read 1 = high output for write; high input for read
D1	GPIO1	R/W	0 = low output for write; low input for read 1 = high output for write; high input for read
D0	GPIO0	R/W	0 = low output for write; low input for read 1 = high output for write; high input for read

変換コマンド・レジスタ(アドレス 0x0E)

変換コマンドは、ADC に変換の開始を指示します。詳細については、ADC 変換制御のセクションを参照してください。

ADC 変換結果レジスタ VIN0～VIN7 (アドレス 0x10～アドレス 0x17)

読出し専用の 16 ビット ADC 変換結果レジスタは、8 個の ADC 入力チャンネルの変換結果を格納します。ビット[D15: D6]は 10 ビット、ストレート・バイナリ変換結果を、ビット[D5: D0]はチャンネル ID と警報情報を、それぞれ格納します。表 43 に、ADC 変換結果レジスタから読出した 2 バイトの値を示します。チャンネル ID 番号 0～7 はアナログ入力チャンネル VIN0～VIN7 に対応します。

T_{SENSE} 変換結果レジスタ(アドレス 0x20)

読出し専用の 16 ビット T_{SENSE} 変換結果レジスタは、内部温度センサーから発生した ADC データを格納します。温度データは 14 ビットのストレート・バイナリ・フォーマットで格納されます。ビット D2 は 0.03125°C の重みを持ちます。全ビット 0 の出力は -256°C に対応します。この値は最初の計測が終わるまで [AD7292](#) から出力されます。10 0000 0000 0000 出力は 0°C に対応します。

デジタル・フィルタリングをディスエーブルすると、ビット D3 とビット D2 に 0 が設定され、12 ビットのストレート・バイナリ変換結果が発生されて、LSB = 0.125°C になります。詳細については、温度センサーのセクションを参照してください。

DAC チャンネル・レジスタ(アドレス 0x30～アドレス 0x33)

DAC チャンネル・レジスタに書込みを行うと、DAC 出力電圧コードが設定されます。詳細については、DAC 出力制御のセクションを参照してください。

表 43.ADC 変換結果レジスタ・フォーマット

MSB											LSB	
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	[D5: D2]	D1	D0
B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	4-bit channel ID (0000 to 0111)	T _{SENSE} alert flag	ADC alert flag

表 44.T_{SENSE} 変換結果レジスタ・フォーマット

MSB														LSB	
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3 ¹	D2 ¹	D1	D0
B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	T _{SENSE} alert flag	ADC alert flag

¹デジタル・フィルタをイネーブルした場合(温度センサー・サブレジスタ(アドレス 0x20)のセクション参照)。

表 45.DAC チャンネル・レジスタ・フォーマット

MSB														LSB	
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	0	0	0	0	Copy	LDAC

ADC変換制御

ADC 変換コマンド

チャンネルで ADC 変換を開始させるときは、変換コマンドを [AD7292](#) へ書込む必要があります。特別なアドレス・ポインタ・バイト 0x8E が変換コマンド・レジスタ(アドレス 0x0E)を構成し、MSB 読出しビットを 1 に設定して ADC 変換を指示します。[AD7292](#) は変換コマンドを受信すると、アドレス・ポインタの現在値を使って変換するチャンネルを決定します。

図 40 では、先頭バイトでアドレス・ポインタを設定し、読出しビットと書き込みビットをクリアし、ビット[D5:D0]で選択するチャンネル変換結果レジスタを指しています。2 番目のバイトには、読出しビットをセットした変換コマンドが含まれます。[AD7292](#) は変換コマンドを受信した後、変換モードに留まり、各読出しの終わりに新しい ADC 変換を実行し、 $\overline{\text{CS}}$ (チップ・セレクト) 入力信号がハイ・レベルになるまで続けます。

図 41 では、アドレス・ポインタが ADC データ・レジスタ(アドレス 0x01)を指すように設定され、読出しビットと書き込みビットはクリアされています。変換コマンドが発行され、ADC シーケンス・レジスタ値が ADC チャンネルの変換シーケンスを指定します(ADC シーケンスのセクション参照)。

この例では、ADC シーケンス・レジスタはアナログ入力チャンネル VIN0 と VIN1 を変換するように設定されています。[AD7292](#) は変換モードに留まり、各読出しの終わりに新しい ADC 変換を実行し、 $\overline{\text{CS}}$ 入力信号がハイ・レベルになるまで続けます。

図 40 と図 41 に示す例では、データ読出しの前に ADC が変換できるように、変換コマンドの後ろに SCLK 遅延が挿入されています。温度センサー変換が要求されると、長い遅延が必要です(温度センサーのセクション参照)。

アプリケーションによっては、SPI バス・マスターが読出しシーケンス中にシリアル・クロックをロー・レベルに維持できないため、 $\overline{\text{CS}}$ をハイ・レベルにすることが必要な場合があります(図 42 参照)。この場合、ADC 変換中に $\overline{\text{CS}}$ ラインをロー・レベルに維持して、ADC 変換結果が壊れてしまうことを防止する必要があります。

図 42 に示す例では、アドレス・ポインタが ADC データ・レジスタ(アドレス 0x01)を指すように設定され、読出しビットと書き込みビットはクリアされています。変換コマンドが、読出しビットをセットして発行されます。 $\overline{\text{CS}}$ ラインは、VIN0 での変換が完了した後にハイ・レベルにされます。その後 $\overline{\text{CS}}$ ラインをロー・レベルにして、読出しビットをセットして ADC データ・レジスタを指すようにします。変換結果が出力されます。 $\overline{\text{CS}}$ ラインをハイ・レベルに戻す前に変換コマンドを発行して、これを繰り返します。

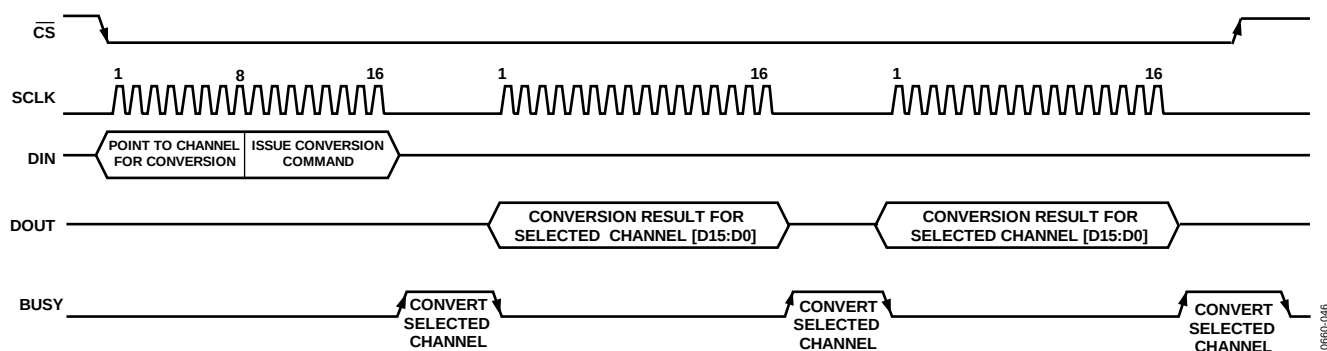


図 40.ADC 変換コマンド(ADC シーケンサを使用しない場合)

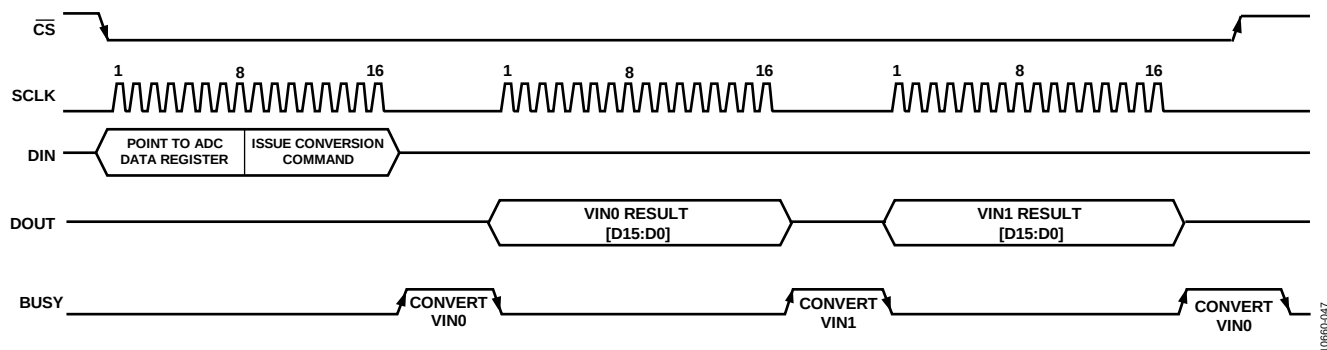


図 41.ADC 変換コマンド(ADC シーケンサを使用する場合)

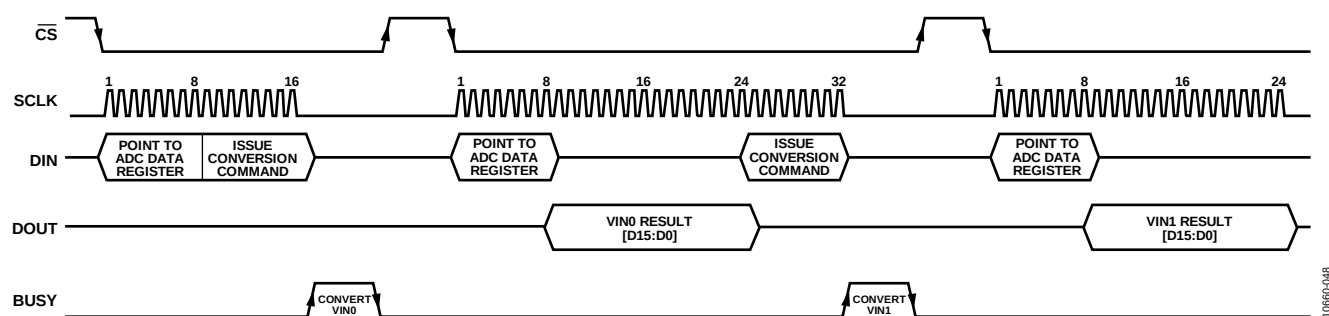
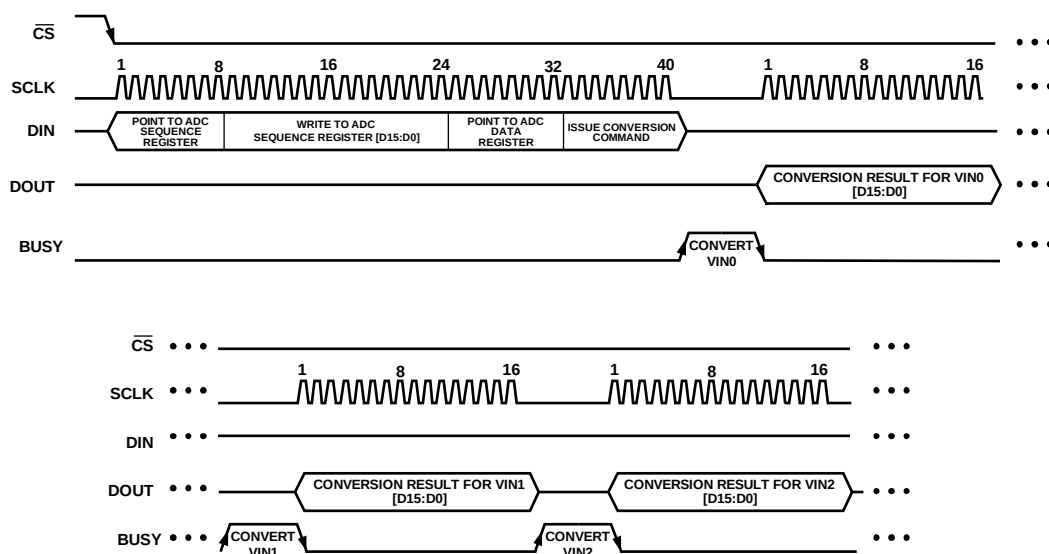
図 42.ADC 変換コマンド(変換後に $\overline{CS}$ ラインをハイ・レベルにする場合)

図 43.ADC シーケンサを使用する例

ADC シーケンサ

AD7292 は、変換対象チャンネルの変換シーケンスを選択できるようにするプログラマブルなシーケンサを提供しています。図 43 に、ADC シーケンサの動作を示します。

ADC シーケンス・レジスタ(アドレス 0x03)への書込みを開始するときは、書込みビットをセットし、読出しビットをクリアして、アドレス・ポインタ・レジスタを指定します。次の 2 バイトで ADC が変換するチャンネルのシーケンスを指定します(表 16 参照)。次に、ADC データ・レジスタ(アドレス 0x01)を指定して変換コマンドを発行します。変換コマンドを発行するとき読出しビットをセットすることに注意してください。

ADC シーケンサを使用する場合、ADC シーケンス・レジスタ値に基いて ADC 変換が開始されます。アドレス・ポインタは前の値に戻り—この例では ADC データ・レジスタ—変換結果のリードバックを可能にしています。

最初の ADC 変換が完了すると、最初の変換結果がリードバックされ、これには 16 個のシリアル・クロックが必要です。最初の 10 ビットには ADC 変換結果が、次の 4 ビットにはチャンネル識別子が、最後の 2 ビットには警報ビットが、それぞれ含まれます(表 43 参照)。クロックの最後の立下がりエッジで、次の ADC 変換が開始されます。

AD7292 は ADC シーケンス・レジスタで指定されるチャンネルの変換を続けます。最初の変換シーケンスが完了すると、シーケンサはループバックして、シーケンスを再開して $\overline{CS}$ がハイ・レベルになるまで繰り返します。AD7292 は、 $\overline{CS}$ がロー・レベルになった後に新しいアドレス・ポインタを受け付ける準備が整います。変換結果が邪魔されないようにするため、ADC 変換中はシリアル・クロックをロー・レベルに維持することが推奨されます。

DAC出力制御

DAC 出力電圧コードを設定するときは、DAC チャンネル・レジスタ(アドレス 0x30～アドレス 0x33)へ書き込みを行う必要があります。図 44 に、DAC 出力電圧コードを設定する例を示します。

1. 書き込みビットをセットして DAC バッファ・イネーブル・レジスタ(アドレス 0x0A)をポイントさせます。
2. 次の 2 バイトでイネーブルする 4 個の DAC 出力バッファを指定します。
3. 書き込みビットをセットして DAC チャンネル・レジスタ(図 44 では DAC チャンネル 0 レジスタ)をポイントさせます。
4. 次の 2 バイトには DAC チャンネルへ書き込む値を設定します。

この書き込みが完了すると、DAC チャンネル・レジスタの $\overline{\text{LDAC}}$ ビットがセットされていない場合、DAC チャンネル出力が直ちに新しい値で更新されます。

このプロセスを逆にすることができます。すなわち、最初に DAC チャンネル・レジスタへ値を書込み、次に DAC 出力バッファをイネーブルすることができることに注意してください。

LDAC 動作

DAC チャンネル・レジスタ(アドレス 0x30～アドレス 0x33)への書き込みでは、DAC 入力レジスタがアドレス指定されます。DAC チャンネル・レジスタの読出しでは DAC 出力レジスタがアドレス指定されます(図 45 参照)。DAC チャンネル・レジスタの $\overline{\text{LDAC}}$ ビットまたは GPIO3/LDAC ピン(ピンが LDAC ピンとして設定された場合)の極性に基づいて DAC 出力レジスタが更新されます。

DAC チャンネル・レジスタの $\overline{\text{LDAC}}$ ビットに 1 が設定されると、10 ビット DAC 値が格納されますが、DAC チャンネル出力は更新されません。 $\overline{\text{LDAC}}$ ビットをクリアして、DAC チャンネル・レジスタに対して書き込みを行うと、すべての DAC チャンネル出力が前の書き込みから格納された値で更新されます。

DAC チャンネル・レジスタの $\overline{\text{LDAC}}$ ビットを使って DAC 出力の更新を制御する場合、LDAC ピン機能をディスエーブルする必要があります。すなわち、GPIO3/LDAC ピンを GPIO3 として設定する必要があります。

GPIO3/LDAC ピンを LDAC ピンとして設定するとこのピンを使って、DAC 出力を格納した値で更新することができます(デジタル出力ドライバ・サブレジスタ(アドレス 0x01)のセクションとデジタル I/O 機能サブレジスタ(アドレス 0x02)のセクション参照)。GPIO3/LDAC ピンを LDAC 入力として設定してハイ・レベルにすると、DAC 出力レジスタが更新されます。逆に、この入力ピンをロー・レベルにすると、DAC 値は格納されますが、チャンネル出力は更新されません。

すべての DAC 出力の同時更新

4 個の全 DAC チャンネル・レジスタを同時に同じ値で更新しますが DAC 出力を更新しないことが便利なこともあります($\overline{\text{LDAC}}$ ビットに 1 を、LDAC ピンに 0 を、それぞれ設定)。DAC チャンネル・レジスタへの書き込みでコピー・ビット(ビット 1)をセットすると、新しい DAC 値をすべての DAC 入力レジスタへコピーされます。

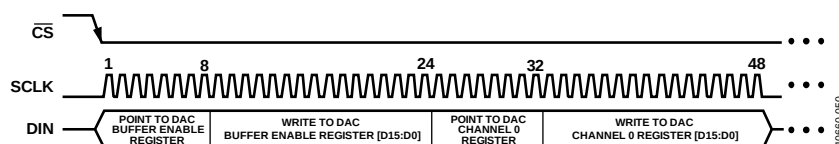
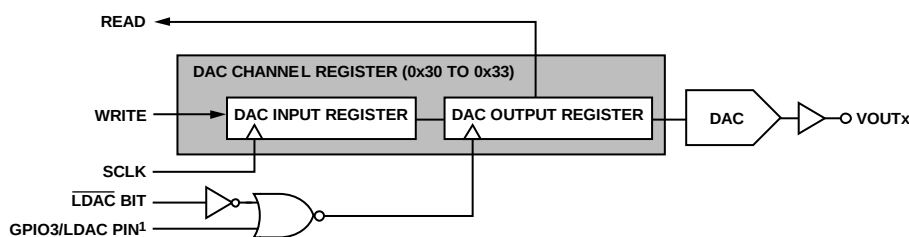


図 44.DAC 出力電圧コードの設定



¹PROVIDED THE GPIO3/LDAC PIN IS CONFIGURED AS AN LDAC PIN.

図 45.DAC 入力レジスタと DAC 出力レジスタ

警報と上下限值

警報上下限監視機能

警報上下限レジスタ・バンクは、8 個のアナログ入力チャンネルと温度センサー・チャンネルに対して警報上限値と下限値を設定するサブレジスタから構成されています(表 31 参照)。各サブレジスタは 16 ビット長で、値は左詰め 10 ビットです(下位 6 ビットは 0)。パワーアップ時、下限値サブレジスタ値とヒステリシス・サブレジスタ値は全ビット 0 で、上限値サブレジスタ値は 0xFFC0 です。

警報上限値サブレジスタは、警報を発生する上限値を格納します。変換結果が警報上限値サブレジスタ値を上回ると、警報が発生します。警報下限値サブレジスタは警報が発生する下限値を格納します。変換結果が警報下限値サブレジスタ値を下回ると、警報が発生します。

変換結果が警報上下限サブレジスタ内の上限値または下限値を超えると、AD7292 は次のいずれかの方法で警報を発生します。

- GPIO0/ALERT0 ピンと GPIO1/ALERT1 ピンを使うハードウェアから発生
- 変換結果レジスタの警報フラグ・ビットを使ってソフトウェアから発生
- 警報フラグ・レジスタ・バンク内の警報ビットを使ってソフトウェアから発生

ヒステリシス

ヒステリシス値は、上下限值を超えた場合の警報ピンと警報フラグのリセット・ポイントを決定します。各チャンネルには対応するヒステリシス・サブレジスタがあり、ヒステリシス値 N を格納しています(表 31 参照)。ヒステリシス機能をイネーブルすると、警報出力ピンと警報フラグ・ビットをリセットするためには、変換結果が警報上限値サブレジスタ値より少なくとも N LSB 小さい値に、または警報下限値サブレジスタ値より少なくとも N LSB 大きい値に、それぞれ戻る必要があります(図 46 参照)。

各上下限レジスタに対応してヒステリシス・レジスタを設ける利点は、各 ADC チャンネルに対応する警報ビットでチャタリングを防止し、警報出力ピンでフリッカを防止することです。図 46 に、上下限チェック動作を示します。

ハードウェア警報ピン

ピン 27 とピン 26 (それぞれ GPIO0/ALERT0 と GPIO1/ALERT1) は警報ピンとして設定することができます(デジタル I/O 機能サブレジスタ(アドレス 0x02)のセクション参照)。これらのピンを警報ピンとして設定すると、選択した変換結果が警報上下限レジスタ・バンクに格納されている上限値または下限値をこえたときこれらのピンがアクティブになります。警報出力ピンの極性は、コンフィギュレーション・レジスタ・バンク内の汎用サブレジスタを使ってアクティブ・ハイまたはアクティブ・ローに設定することができます(汎用サブレジスタ(アドレス 0x08)のセクション参照)。

警報ピンが警報イベントを表示し、次の変換が完了する前に警報フラグ・サブレジスタ値を読み出していない場合、範囲外信号が指定範囲に戻るとサブレジスタ値が変化することがあります。この場合、ALERTx ピンは警報イベントの発生を表示しなくなります。

変換結果レジスタの警報フラグ・ビット

ADC 変換結果レジスタと T_{SENSE} 変換結果レジスタの T_{SENSE} 警報フラグ・ビットと ADC 警報フラグ・ビットは、変換結果の読出中または他のチャンネル変換結果が対応する上下限レジスタ値を超えたことを表示します。警報が発生して、変換結果レジスタの警報ビットがセットされると、マスターは警報フラグ・レジスタ・バンクを読み出して警報が発生した場所の詳しい情報を取得することができます。

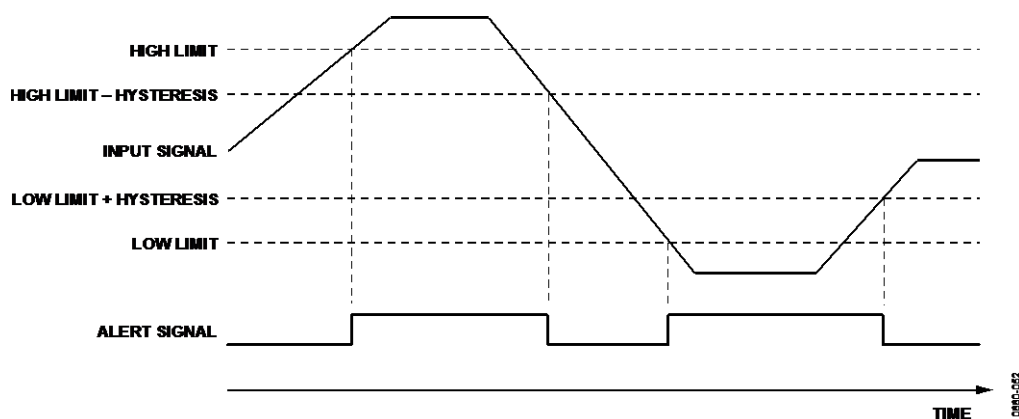


図 46. 警報上限値、警報下限値、ヒステリシスのチェック

警報フラグ・レジスタ・バンク

警報フラグ・レジスタ・バンクには、ADC 警報フラグ・サブレジスタと T_{SENSE} 警報フラグ・サブレジスタが含まれます。ADC 警報フラグ・サブレジスタは、アナログ電圧変換チャンネル $VIN0 \sim VIN7$ の警報を格納します。 T_{SENSE} 警報フラグ・サブレジスタは、温度センサー・チャンネルの警報を格納します。これらのサブレジスタにはチャンネルあたり 2 ビット・ステータス・ビットがあります。1 ビットは上限値に対応し、他の 1 ビットは下限値に対応します(表 33 と表 34 参照)。ステータス 1 のビットは、違反が発生したチャンネルと上限／下限のいずれの違反かを表示します。

最初の警報が発生し、かつ警報フラグ・サブレジスタが読出される前に他のチャンネルでさらに警報イベントが発生すると、新しい警報イベントに対応するビットも設定されます。例えば、ADC 警報フラグ・サブレジスタのビット D14 が 1 に設定されると、チャンネル 7 で下限値を超えたことを意味し、ビット D3 が 1 に設定されると、チャンネル 1 で上限値を超えたことを意味します。

警報上限値サブレジスタまたは警報下限値サブレジスタに対応する警報は監視している信号が範囲内に戻り、すなわち変換結果が設定された上限値と下限値の間に戻ったとき、自動的にクリアされます。警報フラグ・サブレジスタ値は、各変換後に更新されます。

警報フラグが発生させたチャンネルを探すときは、ADC 警報フラグ・サブレジスタまたは T_{SENSE} 警報フラグ・サブレジスタを読出す必要があります。アドレス・ポインタの読出しビットと書込みビットに 1 を設定して、ADC 警報フラグ・サブレジスタまたは T_{SENSE} 警報フラグ・サブレジスタをアクセスすると、一つの動作で格納されている警報フラグを読出してリセットすることができます。ADC 警報フラグ・サブレジスタへ 0xFFFF を書込むか、または T_{SENSE} 警報フラグ・サブレジスタに 0x0003 を書込むことによりブランクセット・リセットを実行して、すべての警報フラグをクリアすることができます。

最小変換結果と最大変換結果

読出し専用の最小／最大レジスタ・バンクは、8 個の各アナログ入力チャンネルと温度センサー・チャンネルに対する最小および最大の変換値を格納します。値は 10 ビットで、左詰めです。値が書込まれると、最小および最大サブレジスタはクリアされます。すなわち、パワーアップ時の値に戻ります。これは、読出しビットと書込みビットを 1 にセットしてサブレジスタをアクセスすると、一つの動作で格納されている最小値または最大値を読出してリセットできることを意味します。パワーアップ時、最小値サブレジスタ値は 0xFFC0 に、最大値サブレジスタ値は 0x0000 に、それぞれ設定されます。

