

### 特長

RMS ノイズ: 4.7 Hz で 11 nV (ゲイン = 128)  
 ノイズ・フリー・ビット数: 2.4 kHz で 15.5 (ゲイン = 128)  
 ノイズ・フリー・ビット数: 最大 22 (ゲイン = 1)  
 オフセット・ドリフト: 5 nV/°C  
 ゲイン・ドリフト: 1 ppm/°C  
 時間ドリフトを規定  
 差動入力 2 チャンネル/ 疑似差動入力 4 チャンネル  
 自動チャンネル・シーケンサ  
 ゲインが設定可能 (1~128)  
 出力データレート: 4.7 Hz~4.8 kHz  
 内部または外部クロック  
 50 Hz/60 Hz の同時除去  
 汎用デジタル出力 x4  
 電源  
 AV<sub>DD</sub>: 3 V~5.25 V  
 DV<sub>DD</sub>: 2.7 V~5.25 V  
 電流: 4.35 mA  
 温度範囲: -40°C~+105°C  
 パッケージ: 24 ピン TSSOP

### インターフェース

3 線式シリアル  
 SPI, QSPI™, MICROWIRE™, DSP 互換  
 SCLK にシュミット・トリガ内蔵

### アプリケーション

重量計  
 ストレイン・ゲージ・トランスジューサ

圧力計測  
 温度計測  
 クロマトグラフィ  
 PLC/DCS アナログ入力モジュール  
 データ・アキュイジション  
 医用および工業計装

### 概要

AD7192 は、高精度計測アプリケーションを対象とする全てを備えた完結型の低ノイズのアナログ・フロントエンドです。低ノイズの 24 ビット・シグマ・デルタ ( $\Sigma$ - $\Delta$ ) A/D コンバータ (ADC) を内蔵しています。低ノイズ・ゲイン・ステージを内蔵していることは、小振幅の信号を ADC へ直接インターフェースできることを意味します。

デバイスは、2 つの差動入力または 4 つの疑似差動入力に構成することができます。内蔵のチャンネル・シーケンサを使うと、複数のチャンネルをイネーブルして、イネーブルした各チャンネルを AD7192 でシーケンシャルに変換することができます。これにより、デバイスとの通信が簡素化されます。ADC のクロック源として、内蔵の 4.92 MHz クロック、あるいは外部クロックまたは水晶を使用することができます。デバイスの出力データレートは、4.7 Hz~4.8 kHz の範囲で変えることができます。

このデバイスには 2 つのデジタル・フィルタ・オプションがあります。フィルタの選択は、設定した出力データレートでの rms ノイズ/ノイズ・フリー分解能、セトリング・タイム、50 Hz/60 Hz 除去比に影響を与えます。すべての変換のセトリングを必要とするアプリケーションに対して、AD7192 はゼロ・レイテンシ機能を内蔵しています。

このデバイスは 3 V~5.25 V の電源で動作し、消費電流は 4.35 mA です。このデバイスは 24 ピン TSSOP パッケージを採用しています。

### 機能ブロック図

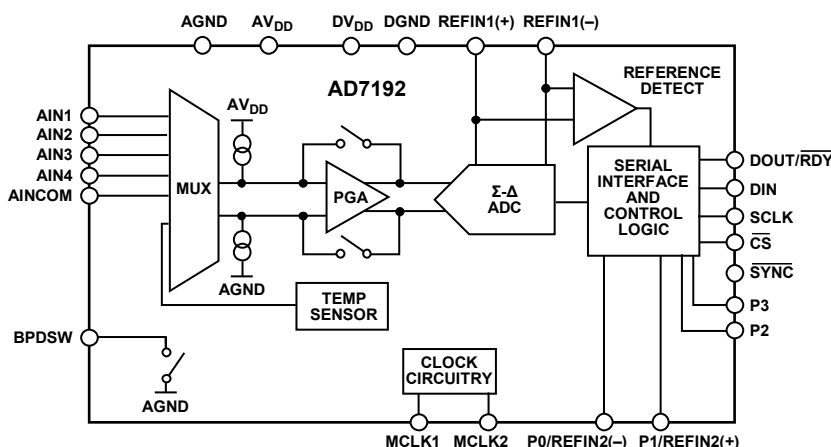


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
 ©2009 Analog Devices, Inc. All rights reserved.

## 目次

特長	1	フルスケール・レジスタ	24
インターフェース	1	ADC回路情報	25
アプリケーション	1	概要	25
概要	1	フィルタ、出力データレート、セトリング・タイム	25
機能ブロック図	1	デジタル・インターフェース	28
改訂履歴	2	回路説明	32
仕様	3	アナログ入力チャンネル	32
タイミング特性	7	プログラマブル・ゲイン・アレイ (PGA)	32
回路およびタイミング図	7	バイポーラ/ユニポーラ構成	32
絶対最大定格	9	データ出力コーディング	32
熱抵抗	9	クロック	32
ESDの注意	9	バーンアウト電流	33
ピン配置およびピン機能説明	10	リファレンス電圧	33
代表的な性能特性	12	リファレンス電圧の検出	33
RMS ノイズと分解能	14	リセット	34
Sinc <sup>4</sup> チョップをディスエーブル	14	システム同期	34
Sinc <sup>3</sup> チョップをディスエーブル	15	温度センサー	34
Sinc <sup>4</sup> チョップをイネーブル	16	ブリッジ・パワーダウン・スイッチ	34
Sinc <sup>3</sup> チョップをイネーブル	17	ロジック出力	34
内部レジスタ	18	パリティのイネーブル	35
コミュニケーション・レジスタ	18	キャリブレーション	35
ステータス・レジスタ	19	グラウンド接続とレイアウト	36
モード・レジスタ	19	アプリケーション情報	37
コンフィギュレーション・レジスタ	21	重量計	37
データ・レジスタ	23	外形寸法	38
ID レジスタ	23	オーダー・ガイド	38
GPOCON レジスタ	24		
オフセット・レジスタ	24		

## 改訂履歴

### 5/09—Rev. 0 to Rev. A

Change to Gain Error Specification	3
Changes to Table 3	9

### 5/09—Revision 0: Initial Version

## 仕様

特に指定がない限り、 $AV_{DD} = 3\text{ V} \sim 5.25\text{ V}$ 、 $DV_{DD} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $AGND = DGND = 0\text{ V}$ ； $REFINx(+)$  =  $AV_{DD}$ 、 $REFINx(-)$  =  $AGND$ 、 $MCLK = 4.92\text{ MHz}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 1.

Parameter	AD7192B	Unit	Test Conditions/Comments <sup>1</sup>
ADC			
Output Data Rate	4.7 to 4800	Hz nom	Chop disabled
	1.17 to 1200	Hz nom	Chop enabled, sinc <sup>4</sup> filter
	1.56 to 1600	Hz nom	Chop enabled, sinc <sup>3</sup> filter
No Missing Codes <sup>2</sup>	24	Bits min	FS > 1, sinc <sup>4</sup> filter <sup>3</sup>
	24	Bits min	FS > 4, sinc <sup>3</sup> filter <sup>3</sup>
Resolution			See the RMS Noise and Resolution section
RMS Noise and Output Data Rates			See the RMS Noise and Resolution section
Integral Nonlinearity			
Gain = 1 <sup>2</sup>	±10	ppm of FSR max	±2 ppm typical, $AV_{DD} = 5\text{ V}$
	±15	ppm of FSR max	±2 ppm typical, $AV_{DD} = 3\text{ V}$
Gain > 1	±30	ppm of FSR max	±5 ppm typical, $AV_{DD} = 5\text{ V}$
	±30	ppm of FSR max	±12 ppm typical, $AV_{DD} = 3\text{ V}$
Offset Error <sup>4, 5</sup>	±150/gain	μV typ	Chop disabled
	±0.5	μV typ	Chop enabled
Offset Error Drift vs. Temperature	±150/gain	nV/°C typ	Gain = 1 to 16; chop disabled
	±5	nV/°C typ	Gain = 32 to 128; chop disabled
	±5	nV/°C typ	Chop enabled
Offset Error Drift vs. Time	25	nV/1000 hours typ	Gain ≥ 32
Gain Error <sup>4</sup>	±0.001	% typ	$AV_{DD} = 5\text{ V}$ , gain = 1, $T_A = 25^\circ\text{C}$ (factory calibration conditions)
	-0.39	% typ	Gain = 128, before full-scale calibration (see Table 23)
	±0.003	% typ	Gain > 1, after internal full-scale calibration, $AV_{DD} \geq 4.75\text{ V}$ .
	±0.005	% typ	Gain > 1, after internal full-scale calibration, $AV_{DD} < 4.75\text{ V}$
Gain Drift vs. Temperature	±1	ppm/°C typ	
Gain Drift vs. Time	10	ppm/1000 hours typ	Gain = 1.
Power Supply Rejection	90	dB typ	Gain = 1, $V_{IN} = 1\text{ V}$ .
	95	dB min	Gain > 1, $V_{IN} = 1\text{ V/gain}$ , 110 dB typ.
Common-Mode Rejection			
@ DC <sup>2</sup>	100	dB min	Gain = 1, $V_{IN} = 1\text{ V}$ .
@ DC	110	dB min	Gain > 1, $V_{IN} = 1\text{ V/gain}$ .
@ 50 Hz, 60 Hz <sup>2</sup>	120	dB min	10 Hz output data rate, $50 \pm 1\text{ Hz}$ , $60 \pm 1\text{ Hz}$ .
@ 50 Hz, 60 Hz <sup>2</sup>	120	dB min	$50 \pm 1\text{ Hz}$ (50 Hz output data rate), $60 \pm 1\text{ Hz}$ (60 Hz output data rate).
Normal Mode Rejection <sup>2</sup>			
Sinc <sup>4</sup> Filter			
Internal Clock			
@ 50 Hz, 60 Hz	100	dB min	10 Hz output data rate, $50 \pm 1\text{ Hz}$ , $60 \pm 1\text{ Hz}$ .
	74	dB min	50 Hz output data rate, REJ60 <sup>6</sup> = 1, $50 \pm 1\text{ Hz}$ , $60 \pm 1\text{ Hz}$ .
@ 50 Hz	96	dB min	50 Hz output data rate, $50 \pm 1\text{ Hz}$ .
@ 60 Hz	97	dB min	60 Hz output data rate, $60 \pm 1\text{ Hz}$ .
External Clock			
@ 50 Hz, 60 Hz	120	dB min	10 Hz output data rate, $50 \pm 1\text{ Hz}$ , $60 \pm 1\text{ Hz}$ .
	82	dB min	50 Hz output data rate, REJ60 <sup>6</sup> = 1, $50 \pm 1\text{ Hz}$ , $60 \pm 1\text{ Hz}$ .
@ 50 Hz	120	dB min	50 Hz output data rate, $50 \pm 1\text{ Hz}$ .
@ 60 Hz	120	dB min	60 Hz output data rate, $60 \pm 1\text{ Hz}$ .
Sinc <sup>3</sup> Filter			
Internal Clock			

Parameter	AD7192B	Unit	Test Conditions/Comments <sup>1</sup>
@ 50 Hz, 60 Hz	75 60	dB min dB min	10 Hz output data rate, $50 \pm 1$ Hz, $60 \pm 1$ Hz. 50 Hz output data rate, REJ60 <sup>6</sup> = 1, $50 \pm 1$ Hz, $60 \pm 1$ Hz.
@ 50 Hz	70	dB min	50 Hz output data rate, $50 \pm 1$ Hz.
@ 60 Hz	70	dB min	60 Hz output data rate, $60 \pm 1$ Hz.
External Clock			
@ 50 Hz, 60 Hz	100 67	dB min dB min	10 Hz output data rate, $50 \pm 1$ Hz, $60 \pm 1$ Hz. 50 Hz output data rate, REJ60 <sup>6</sup> = 1, $50 \pm 1$ Hz, $60 \pm 1$ Hz.
@ 50 Hz	95	dB min	50 Hz output data rate, $50 \pm 1$ Hz.
@ 60 Hz	95	dB min	60 Hz output data rate, $60 \pm 1$ Hz.
<b>ANALOG INPUTS</b>			
Differential Input Voltage Ranges	$\pm V_{REF}/\text{gain}$	V nom	$V_{REF} = \text{REFIN}_x(+) - \text{REFIN}_x(-)$ , gain = 1 to 128.
Absolute AIN Voltage Limits <sup>2</sup>	$\pm (AV_{DD} - 1.25 \text{ V})/\text{gain}$	V min/max	Gain > 1.
Unbuffered Mode	AGND – 50 mV $AV_{DD} + 50 \text{ mV}$	V min V max	
Buffered Mode	AGND + 250 mV $AV_{DD} - 250 \text{ mV}$	V min V max	
Analog Input Current			
Buffered Mode			
Input Current <sup>2</sup>	$\pm 2$ $\pm 3$	nA max nA max	Gain = 1. Gain > 1.
Input Current Drift	$\pm 5$	pA/°C typ	
Unbuffered Mode			
Input Current	$\pm 3.5$ $\pm 1$	$\mu\text{A}/\text{V}$ typ $\mu\text{A}/\text{V}$ typ	Gain = 1, input current varies with input voltage. Gain > 1.
Input Current Drift	$\pm 0.05$ $\pm 1.6$	nA/V/°C typ nA/V/°C typ	External clock. Internal clock.
<b>REFERENCE INPUT</b>			
REFIN Voltage	$AV_{DD}$ 1 $AV_{DD}$	V nom V min V max	$\text{REFIN} = \text{REFIN}_x(+) - \text{REFIN}_x(-)$ .
Absolute REFIN Voltage Limits <sup>2</sup>	GND – 50 mV $AV_{DD} + 50 \text{ mV}$	V min V max	The differential input must be limited to $\pm (AV_{DD} - 1.25 \text{ V})/\text{gain}$ when gain > 1.
Average Reference Input Current	4.5	$\mu\text{A}/\text{V}$ typ	

Parameter	AD7192B	Unit	Test Conditions/Comments <sup>1</sup>
Average Reference Input Current Drift	±0.03 ±1.3	nA/V/°C typ nA/V/°C typ	External clock. Internal clock.
Normal Mode Rejection <sup>2</sup>	Same as for analog inputs		
Common-Mode Rejection	100	dB typ	
Reference Detect Levels	0.3 0.6	V min V max	
<b>TEMPERATURE SENSOR</b>			
Accuracy	±2	°C typ	Applies after user calibration at 25°C.
Sensitivity	2815	Codes/°C typ	Bipolar mode.
<b>BRIDGE POWER-DOWN SWITCH</b>			
R <sub>ON</sub>	10	Ω max	
Allowable Current <sup>2</sup>	30	mA max	Continuous current.
<b>BURNOUT CURRENTS</b>			
AIN Current	500	nA nom	Analog inputs must be buffered and chop disabled.
<b>DIGITAL OUTPUTS (P0 to P3)</b>			
Output High Voltage, V <sub>OH</sub>	AV <sub>DD</sub> - 0.6	V min	AV <sub>DD</sub> = 3 V, I <sub>SOURCE</sub> = 100 μA.
Output Low Voltage, V <sub>OL</sub>	0.4	V max	AV <sub>DD</sub> = 3 V, I <sub>SINK</sub> = 100 μA.
Output High Voltage, V <sub>OH</sub>	4	V min	AV <sub>DD</sub> = 5 V, I <sub>SOURCE</sub> = 200 μA.
Output Low Voltage, V <sub>OL</sub>	0.4	V max	AV <sub>DD</sub> = 5 V, I <sub>SINK</sub> = 800 μA.
Floating-State Leakage Current <sup>2</sup>	±100	nA max	
Floating-State Output Capacitance	10	pF typ	
<b>INTERNAL/EXTERNAL CLOCK</b>			
Internal Clock			
Frequency	4.92 ± 4%	MHz min/max	
Duty Cycle	50:50	% typ	
External Clock/Crystal			
Frequency	4.9152 2.4576/5.12	MHz nom MHz min/max	
Input Low Voltage V <sub>INL</sub>	0.8 0.4	V max V max	DV <sub>DD</sub> = 5 V. DV <sub>DD</sub> = 3 V.
Input High Voltage, V <sub>INH</sub>	2.5 3.5	V min V min	DV <sub>DD</sub> = 3 V. DV <sub>DD</sub> = 5 V.
Input Current	±10	μA max	
<b>LOGIC INPUTS</b>			
Input High Voltage, V <sub>INH</sub> <sup>2</sup>	2	V min	
Input Low Voltage, V <sub>INL</sub> <sup>2</sup>	0.8	V max	
Hysteresis <sup>2</sup>	0.1/0.25	V min/V max	
Input Currents	±10	μA max	
<b>LOGIC OUTPUT (DOUT/RDY)</b>			
Output High Voltage, V <sub>OH</sub> <sup>2</sup>	DV <sub>DD</sub> - 0.6	V min	DV <sub>DD</sub> = 3 V, I <sub>SOURCE</sub> = 100 μA.
Output Low Voltage, V <sub>OL</sub> <sup>2</sup>	0.4	V max	DV <sub>DD</sub> = 3 V, I <sub>SINK</sub> = 100 μA.
Output High Voltage, V <sub>OH</sub> <sup>2</sup>	4	V min	DV <sub>DD</sub> = 5 V, I <sub>SOURCE</sub> = 200 μA.
Output Low Voltage, V <sub>OL</sub> <sup>2</sup>	0.4	V max	DV <sub>DD</sub> = 5 V, I <sub>SINK</sub> = 1.6 mA.
Floating-State Leakage Current	±10	μA max	
Floating-State Output Capacitance	10	pF typ	
Data Output Coding	Offset binary		

Parameter	AD7192B	Unit	Test Conditions/Comments <sup>1</sup>
<b>SYSTEM CALIBRATION<sup>2</sup></b>			
Full-Scale Calibration Limit	$1.05 \times FS$	V max	
Zero-Scale Calibration Limit	$-1.05 \times FS$	V min	
Input Span	$0.8 \times FS$	V min	
	$2.1 \times FS$	V max	
<b>POWER REQUIREMENTS<sup>7</sup></b>			
Power Supply Voltage			
$AV_{DD} - AGND$	3/5.25	V min/max	
$DV_{DD} - DGND$	2.7/5.25	V min/max	
Power Supply Currents			
$AI_{DD}$ Current	0.6	mA max	0.53 mA typical, gain = 1, buffer off.
	0.85	mA max	0.75 mA typical, gain = 1, buffer on.
	3.2	mA max	2.5 mA typical, gain = 8, buffer off.
	3.6	mA max	3 mA typical, gain = 8, buffer on.
	4.5	mA max	3.5 mA typical, gain = 16 to 128, buffer off.
	5	mA max	4 mA typical, gain = 16 to 128, buffer on.
$DI_{DD}$ Current	0.4	mA max	0.35 mA typical, $DV_{DD} = 3 V$ .
	0.6	mA max	0.5 mA typical, $DV_{DD} = 5 V$ .
	1.5	mA typ	External crystal used.
$I_{DD}$ (Power-Down Mode)	3	$\mu A$ max	

<sup>1</sup> 温度範囲:  $-40^{\circ}C \sim +105^{\circ}C$

<sup>2</sup> これらの値は、出荷テストを行いませんが、設計および/または量産開始時のキャラクタライゼーション・データにより保証します。

<sup>3</sup> FS はモード・レジスタのビット FS9~ビット FS0 の 10 進表示値。

<sup>4</sup> システムまたは内部ゼロスケール・キャリブレーションの後、オフセット誤差は、設定したゲインと選択した出力データレートに対するノイズのオーダーになります。システム・フルスケール・キャリブレーションにより、ゲイン誤差は、設定したゲインと選択した出力データレートに対するノイズのオーダーになります。

<sup>5</sup> アナログ入力を差動モードに設定。

<sup>6</sup> REJ60 はモード・レジスタのビットです。出力データレートを 50 Hz に設定したとき、REJ60 ビットを 1 に設定すると、ノッチは 60 Hz に配置されるため、50 Hz/60 Hz の同時除去が可能になります。

<sup>7</sup> デジタル入力は  $DV_{DD}$  または  $DGND$  に一致します。

## タイミング特性

特に指定がない限り、 $AV_{DD} = 3\text{ V} \sim 5.25\text{ V}$ 、 $DV_{DD} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $AGND = DGND = 0\text{ V}$ 、入力ロジック 0 = 0 V、入力ロジック 1 =  $DV_{DD}$ 。

表 2.

Parameter	Limit at $T_{MIN}$ , $T_{MAX}$ (B Version)	Unit	Conditions/Comments <sup>1,2</sup>
$t_3$	100	ns min	SCLK high pulse width
$t_4$	100	ns min	SCLK low pulse width
READ OPERATION			
$t_1$	0	ns min	$\overline{CS}$ falling edge to DOUT/ $\overline{RDY}$ active time
	60	ns max	$DV_{DD} = 4.75\text{ V to }5.25\text{ V}$
$t_2^3$	80	ns max	$DV_{DD} = 2.7\text{ V to }3.6\text{ V}$
	0	ns min	SCLK active edge to data valid delay <sup>4</sup>
$t_5^{5,6}$	60	ns max	$DV_{DD} = 4.75\text{ V to }5.25\text{ V}$
	80	ns max	$DV_{DD} = 2.7\text{ V to }3.6\text{ V}$
$t_6$	10	ns min	Bus relinquish time after $\overline{CS}$ inactive edge
	80	ns max	
$t_7$	0	ns min	SCLK inactive edge to $\overline{CS}$ inactive edge
	10	ns min	SCLK inactive edge to DOUT/ $\overline{RDY}$ high
WRITE OPERATION			
$t_8$	0	ns min	$\overline{CS}$ falling edge to SCLK active edge setup time <sup>4</sup>
$t_9$	30	ns min	Data valid to SCLK edge setup time
$t_{10}$	25	ns min	Data valid to SCLK edge hold time
$t_{11}$	0	ns min	$\overline{CS}$ rising edge to SCLK edge hold time

<sup>1</sup> 初期リリース時はサンプル・テストにより適合性を保証。すべての入力信号は  $t_r = t_f = 5\text{ ns}$  ( $DV_{DD}$  の 10% から 90%) で規定し、1.6V の電圧レベルからの時間とします。

<sup>2</sup> 図 3 と図 4 を参照。

<sup>3</sup> これらの値は図 2 に示す負荷回路で測定し、出力が  $V_{OL}$  規定値または  $V_{OH}$  規定値と交叉するまでに必要な時間と定義します。

<sup>4</sup> SCLK のアクティブ・エッジとは、SCLK の立下がりエッジを意味します。

<sup>5</sup> これらの値は、図 2 の負荷回路でデータ出力が 0.5 V 変化するときを要する時間の測定値から導出。この測定値に外挿を行い、50 pF コンデンサの充放電の影響を除去してあります。タイミング特性で使用する時間はデバイスの真のバス開放時間であることを意味し、外部バスの負荷容量に無関係であることを意味します。

<sup>6</sup> データ・レジスタを読出した後、 $\overline{RDY}$  はハイ・レベルに戻ります。シングル変換モードおよび連続変換モードで、 $\overline{RDY}$  がハイ・レベルの間に、同一データを再度読出すことができますが、2 回目の読出しは次の出力更新に近いところで読出さないように注意してください。連続読出し機能をイネーブルすると、デジタル・ワードは 1 回しか読出すことができません。

## 回路およびタイミング図

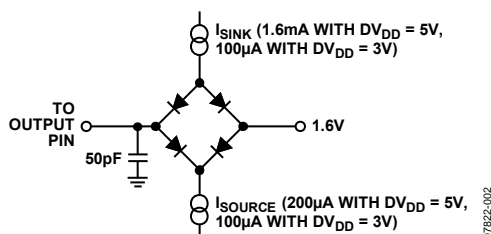


図 2. タイミング・キャラクタライゼーションでの負荷回路

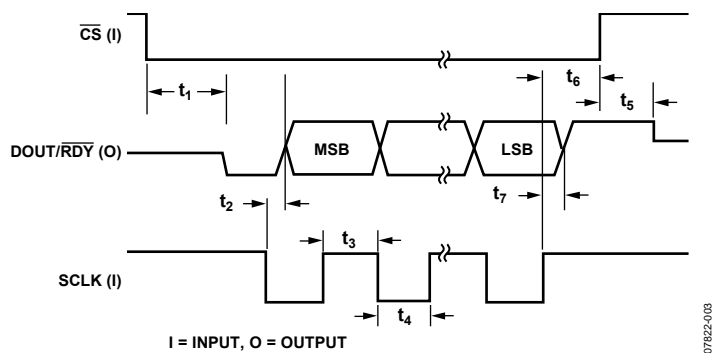


図 3. 読出しサイクルのタイミング図

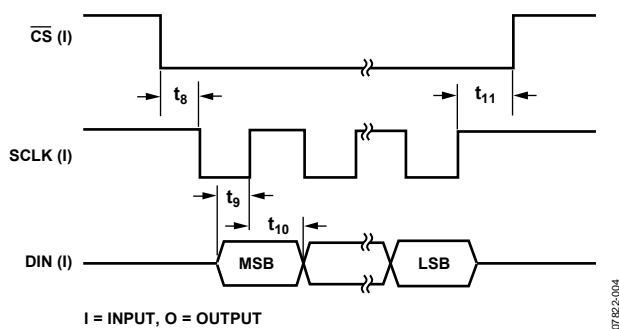


図 4. 書込みサイクルのタイミング図



## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
$AV_{DD}$ to AGND	-0.3 V to +6.5 V
$DV_{DD}$ to AGND	-0.3 V to +6.5 V
AGND to DGND	-0.3 V to +0.3 V
Analogue Input Voltage to AGND	-0.3 V to $AV_{DD} + 0.3$ V
Reference Input Voltage to AGND	-0.3 V to $AV_{DD} + 0.3$ V
Digital Input Voltage to DGND	-0.3 V to $DV_{DD} + 0.3$ V
Digital Output Voltage to DGND	-0.3 V to $DV_{DD} + 0.3$ V
AIN/Digital Input Current	10 mA
Operating Temperature Range	$-40^\circ\text{C}$ to $+105^\circ\text{C}$
Storage Temperature Range	$-65^\circ\text{C}$ to $+150^\circ\text{C}$
Maximum Junction Temperature	$150^\circ\text{C}$
Lead Temperature, Soldering Reflow	$260^\circ\text{C}$

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

$\theta_{JA}$  はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 4.熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
24-Lead TSSOP	128	42	$^\circ\text{C}/\text{W}$

## ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

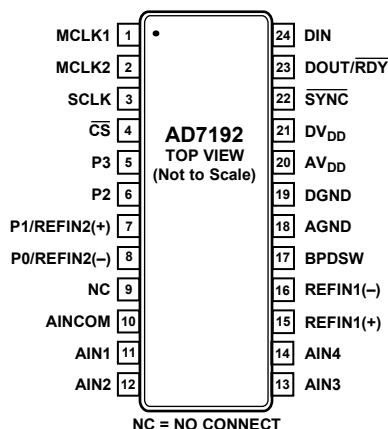


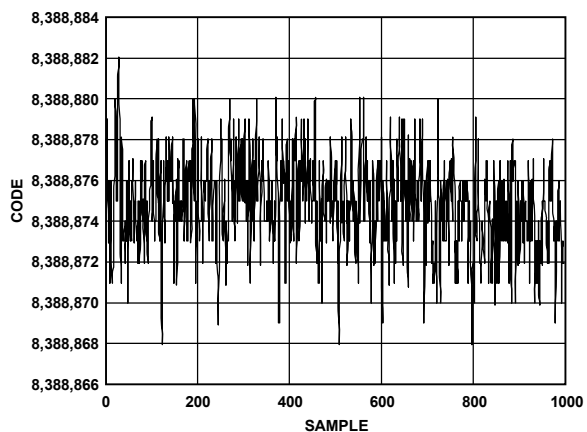
図 5. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	MCLK1	デバイスのマスター・クロックを外付け水晶から供給する場合、水晶を MCLK1 ピンと MCLK2 ピンの間に接続します。
2	MCLK2	デバイスのマスター・クロック信号。AD7192 は 4.92 MHz クロックを内蔵しています。この内蔵クロックは MCLK2 ピンから取り出すことができます。AD7192 のクロックは、外付け水晶またはクロックとして供給することもできます。水晶は MCLK1 ピンと MCLK2 ピンの間に接続することができます。代わりに、MCLK2 ピンを CMOS 互換クロックで駆動し、MCLK1 ピンは開放のままにしておくこともできます。
3	SCLK	シリアル・クロック入力。このシリアル・クロック入力は、ADC との間のデータ転送に使用します。SCLK にはシュミット・トリガ入力が入蔵されているため、光アイソレーション・アプリケーションのインターフェースに適しています。すべてのデータが連続なパルス列で転送される場合、シリアル・クロックも連続にすることができます。一方、ADC との間で小さいデータ群として情報が送受信される場合は、非連続クロックにすることもできます。
4	$\overline{\text{CS}}$	チップ・セレクト入力。アクティブ・ローのロジック入力であり、ADC を選択するときに使用します。 $\overline{\text{CS}}$ は、シリアル・バスに複数のデバイスが接続されているシステム内で ADC を選択するときに使うことができます。また、デバイスと通信する際にフレーム同期信号として使うこともできます。ADC を 3 線式モードで使うときは $\overline{\text{CS}}$ をロー・レベルにハードウェア接続し、SCLK、DIN、DOUT をデバイスとのインターフェースに使うことができます。
5	P3	デジタル出力ピン。このピンは、AV <sub>DD</sub> と AGND の間で動作する汎用出力ビットとして機能することができます。
6	P2	デジタル出力ピン。このピンは、AV <sub>DD</sub> と AGND の間で動作する汎用出力ビットとして機能することができます。
7	P1/REFIN2(+)	デジタル出力ピン/正リファレンス電圧入力。このピンは、AV <sub>DD</sub> と AGND の間で動作する汎用出力ビットとして機能することができます。コンフィギュレーション・レジスタで REFSEL ビット = 1 のとき、このピンは REFIN2(+) として機能します。外付けリファレンス電圧は、REFIN2(+) と REFIN2(-) の間に接続することができます。REFIN2(+) の入力範囲は AV <sub>DD</sub> ~ AGND + 1 V です。公称リファレンス電圧(REFIN2(+) - REFIN2(-)) は AV <sub>DD</sub> ですが、デバイスは 1 V ~ AV <sub>DD</sub> の範囲で動作します。
8	P0/REFIN2(-)	デジタル出力ピン/負リファレンス電圧入力。このピンは、AV <sub>DD</sub> と AGND の間で動作する汎用出力ビットとして機能することができます。コンフィギュレーション・レジスタで REFSEL ビット = 1 のとき、このピンは REFIN2(-) として機能します。この基準入力範囲は、AGND ~ AV <sub>DD</sub> - 1 V です。
9	NC	未接続。このピンは AGND に接続する必要があります。
10	AINCOM	アナログ入力 AIN1 ~ AIN4 が疑似差動動作に設定された場合、この入力を基準とします。
11	AIN1	アナログ入力。このピンは、AIN2 と組み合わせて使用する場合はフル差動入力対の正入力として、または AINCOM と組み合わせて使用する場合は疑似差動入力として、それぞれ構成することができます。
12	AIN2	アナログ入力。このピンは、AIN1 と組み合わせて使用する場合はフル差動入力対の負入力として、または AINCOM と組み合わせて使用する場合は疑似差動入力として、それぞれ構成することができます。
13	AIN3	アナログ入力。このピンは、AIN4 と組み合わせて使用する場合はフル差動入力対の正入力として、または AINCOM と組み合わせて使用する場合は疑似差動入力として、それぞれ構成することができます。
14	AIN4	アナログ入力。このピンは、AIN3 と組み合わせて使用する場合はフル差動入力対の負入力として、または AINCOM と組み合わせて使用する場合は疑似差動入力として、それぞれ構成することができます。
15	REFIN1(+)	正側のリファレンス入力。外付けリファレンス電圧は、REFIN1(+) と REFIN1(-) の間に接続することができます。REFIN1(+) の入力範囲は AV <sub>DD</sub> ~ AGND + 1 V です。公称リファレンス電圧(REFIN1(+) - REFIN1(-)) は AV <sub>DD</sub> ですが、デバイスは 1 V ~ AV <sub>DD</sub> の範囲で動作します。
16	REFIN1(-)	負側のリファレンス入力。この基準入力範囲は、AGND ~ AV <sub>DD</sub> - 1 V です。

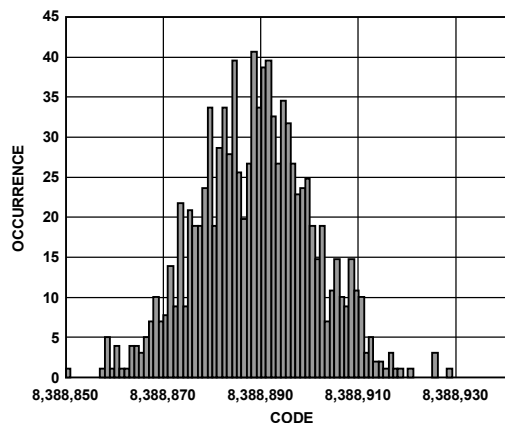
ピン番号	記号	説明
17	BPDSW	AGND へのブリッジ・パワーダウン・スイッチ。
18	AGND	アナログ・グラウンド基準ポイント。
19	DGND	デジタル・グラウンド基準ポイント。
20	AV <sub>DD</sub>	アナログ電源電圧、3 V～5.25 V。AV <sub>DD</sub> は DV <sub>DD</sub> から独立しています。したがって、AV <sub>DD</sub> = 5 V のとき DV <sub>DD</sub> を 3 V で動作させることができます。逆も可です。
21	DV <sub>DD</sub>	デジタル電源電圧、2.7 V～5.25 V。DV <sub>DD</sub> は AV <sub>DD</sub> から独立しています。したがって、DV <sub>DD</sub> = 5 V のとき AV <sub>DD</sub> を 3 V で動作させることができます。逆も可です。
22	$\overline{\text{SYNC}}$	複数の AD7192 デバイスを使用する場合にデジタル・フィルタとアナログ変調器の同期を可能にするロジック入力。 $\overline{\text{SYNC}}$ がロー・レベルになると、デジタル・フィルタ、フィルタ制御ロジック、キャリブレーション制御ロジックの各ノードがリセットされ、アナログ変調器もリセット状態になります。 $\overline{\text{SYNC}}$ はデジタル・インターフェースに影響を与えませんが、 $\overline{\text{RDY}}$ がロー・レベルの場合にはハイ・レベルになります。 $\overline{\text{SYNC}}$ には内部で DV <sub>DD</sub> へのプルアップ抵抗が付いています。
23	DOUT/ $\overline{\text{RDY}}$	シリアル・データ出力/データ・レディ出力。DOUT/ $\overline{\text{RDY}}$ は共用ピンです。ADC の出力シフトレジスタをアクセスする際には、シリアル・データ出力ピンとして機能します。出力シフトレジスタには、内蔵のデータ・レジスタまたはコントロール・レジスタからのデータが格納されます。その他に、DOUT/ $\overline{\text{RDY}}$ はデータ・レディ・ピンとして機能し、変換の完了をロー・レベルで示します。変換後にデータが読出されない場合には、DOUT/ $\overline{\text{RDY}}$ はハイ・レベルになり、次の更新が発生するまでハイ・レベルを維持します。DOUT/ $\overline{\text{RDY}}$ の立下がりエッジは、プロセッサに対する割込みとして機能し、有効データが読出し可能であることを表示します。外部シリアル・クロックを使用する場合には、DOUT/ $\overline{\text{RDY}}$ ピンを使ってデータを読出すことができます。CSがロー・レベルのとき、データ/コントロール・ワード情報が SCLK の立下がりエッジで DOUT/ $\overline{\text{RDY}}$ ピンに出力され、SCLK の立上がりエッジで有効になります。
24	DIN	ADC の入力シフトレジスタに対するシリアル・データ入力。このシフトレジスタ内のデータは、ADC 内のコントロール・レジスタに転送されます。該当するレジスタは、コミュニケーション・レジスタ内のレジスタ選択ビットにより指定されます。

## 代表的な性能特性



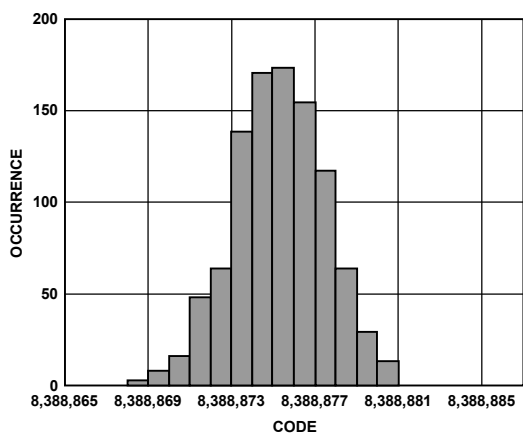
07822-006

図 6. ノイズ ( $V_{REF} = AV_{DD} = 5\text{ V}$ 、出力データレート = 4.7 Hz、ゲイン = 128、チョップをディスエーブル、 $\text{Sinc}^4$  フィルタ)



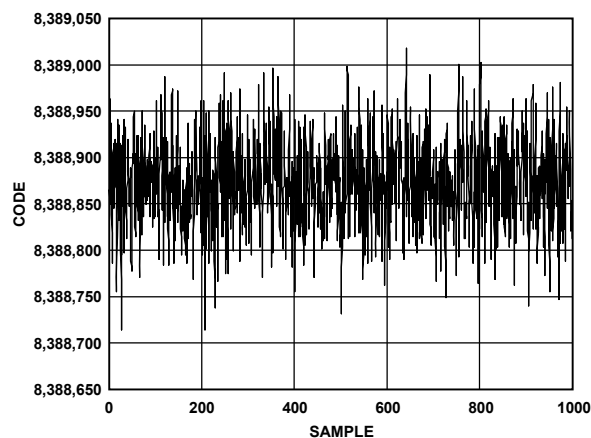
07822-009

図 9. ノイズ分布のヒストグラム ( $V_{REF} = AV_{DD} = 5\text{ V}$ 、出力データレート = 2,400 Hz、ゲイン = 1、チョップをディスエーブル、 $\text{Sinc}^4$  フィルタ)



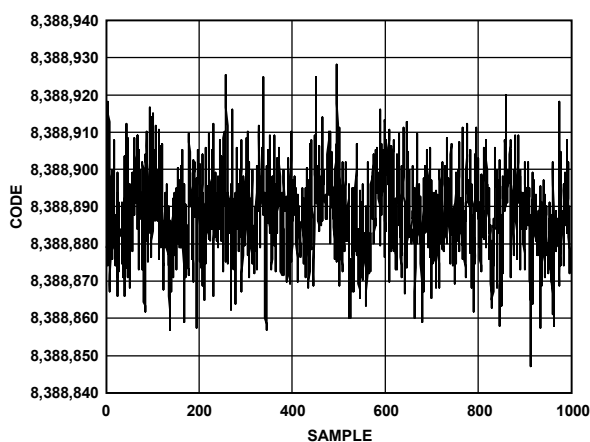
07822-007

図 7. ノイズ分布のヒストグラム ( $V_{REF} = AV_{DD} = 5\text{ V}$ 、出力データレート = 4.7 Hz、ゲイン = 128、チョップをディスエーブル、 $\text{Sinc}^4$  フィルタ)



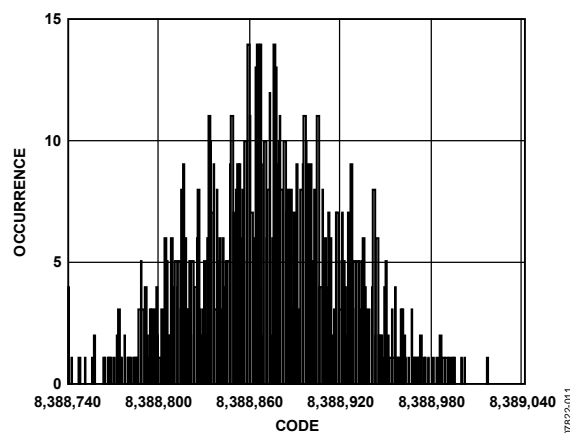
07822-010

図 10. ノイズ ( $V_{REF} = AV_{DD} = 5\text{ V}$ 、出力データレート = 2,400 Hz、ゲイン = 128、チョップをディスエーブル、 $\text{Sinc}^4$  フィルタ)



07822-008

図 8. ノイズ ( $V_{REF} = AV_{DD} = 5\text{ V}$ 、出力データレート = 2,400 Hz、ゲイン = 1、チョップをディスエーブル、 $\text{Sinc}^4$  フィルタ)



07822-011

図 11. ノイズ分布のヒストグラム ( $V_{REF} = AV_{DD} = 5\text{ V}$ 、出力データレート = 2,400 Hz、ゲイン = 128、チョップをディスエーブル、 $\text{Sinc}^4$  フィルタ)

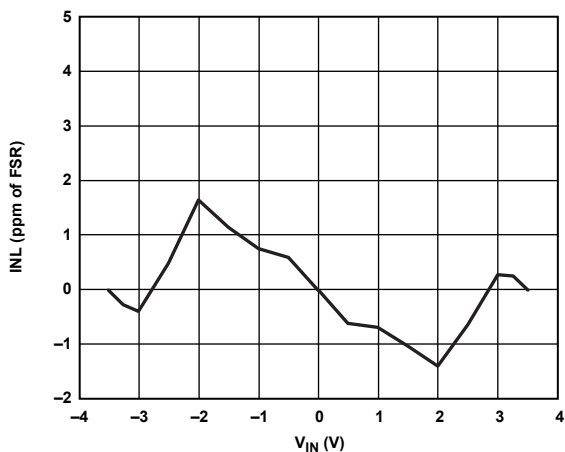


図 12. INL (ゲイン = 1)

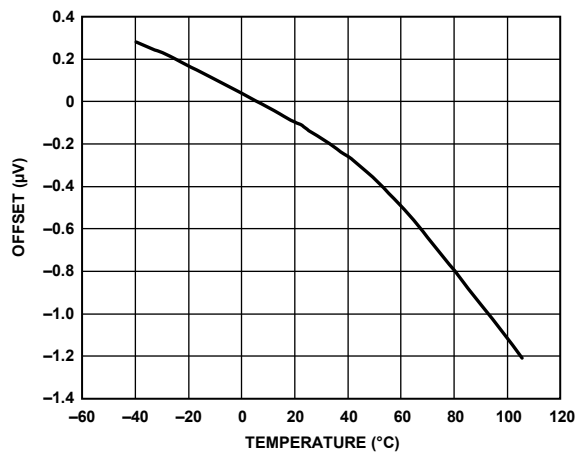


図 15. オフセット誤差 (ゲイン = 128, チョップをディスエーブル)

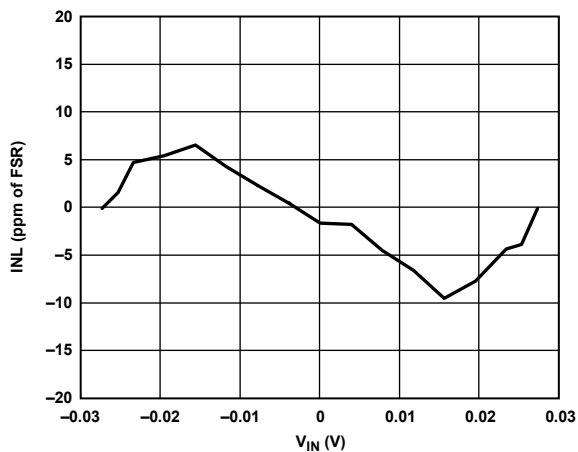


図 13. INL (ゲイン = 128)

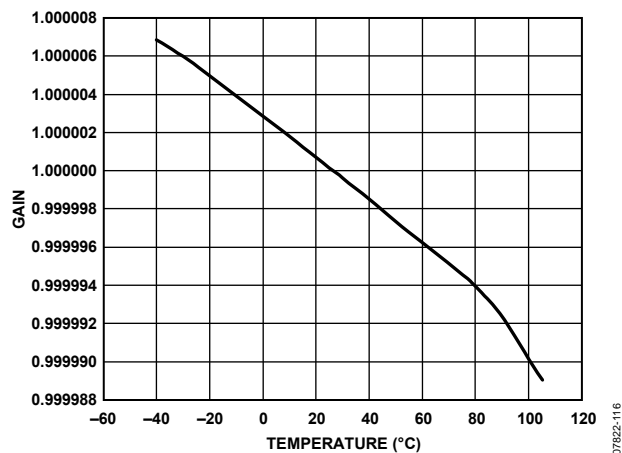


図 16. ゲイン誤差 (ゲイン = 1)

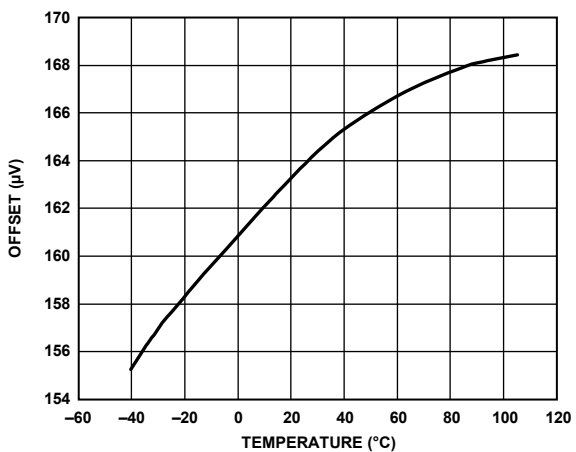


図 14. オフセット誤差 (ゲイン = 1、チョップをディスエーブル)

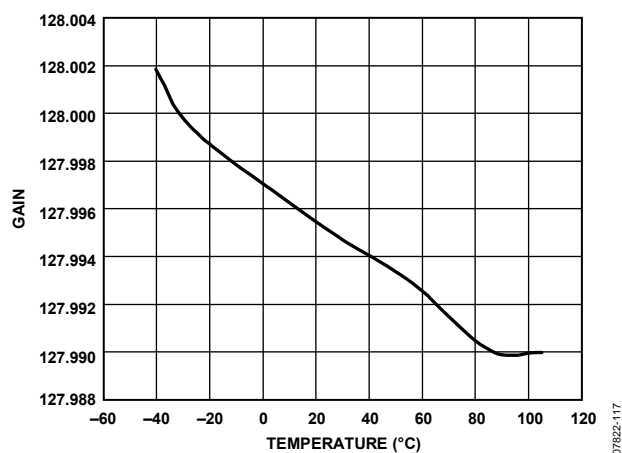


図 17. ゲイン誤差 (ゲイン = 128)

## RMS ノイズと分解能

AD7192 では  $\text{sinc}^4$  と  $\text{sinc}^3$  の 2 種類のフィルタ・タイプが選択可能です。さらに、AD7192 はチョップをイネーブルまたはディスエーブルして動作することができます。

次の表に、 $\text{sinc}^4$  フィルタと  $\text{sinc}^3$  フィルタに対してチョップをディスエーブル/イネーブルして、複数の出力データレートとゲイン設定について AD7192 の rms ノイズを示します。これらの値は、外付け 5 V リファレンス電圧を使用するバイポーラ入力範囲に対するものです。これらの値は typ 値で、1 チャンネルに対して

ADC を連続変換させた場合に差動入力電圧 = 0 V で生成したものです。実効分解能も示してあり、出力ピーク to ピーク (p-p) 分解能、またはノイズ・フリー分解能は括弧内に示してあります。実効分解能は rms ノイズを使って、p-p 分解能はピーク to ピーク・ノイズを使って、それぞれ計算していることに注意してください。p-p 分解能は、コード・フリッカのない分解能を表わしています。これらの値は typ 値で、最寄りの  $\frac{1}{2}$  LSB にまるめ処理しています。

### Sinc<sup>4</sup> チョップをディスエーブル

表 6.RMS ノイズ (nV) 対ゲインおよび出力データレート

Filter Word (Decimal)	Output Data Rate (Hz)	Settling Time (ms)	Gain of 1	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
1023	4.7	852.5	350	50	30	18	13	11
640	7.5	533	425	62	36	21	15	13
480	10	400	490	85	43	23	17	15
96	50	80	2000	260	134	73	46	34
80	60	66.7	2100	273	139	77	48	38
40	120	33.3	2400	315	175	95	64	51
32	150	26.7	2500	335	185	110	71	58
16	300	13.3	3100	420	240	145	95	81
5	960	4.17	4800	690	390	240	170	145
2	2400	1.67	7500	1100	640	390	273	235
1	4800	0.83	16,300	2200	1200	670	427	345

表 7.実効分解能 (ピーク to ピーク分解能) 対ゲインおよび出力データレート

Filter Word (Decimal)	Output Data Rate (Hz)	Settling Time (ms)	Gain of 1 <sup>1</sup>	Gain of 8 <sup>1</sup>	Gain of 16 <sup>1</sup>	Gain of 32 <sup>1</sup>	Gain of 64 <sup>1</sup>	Gain of 128 <sup>1</sup>
1023	4.7	852.5	24 (22)	24 (22)	24 (21.5)	24 (21.5)	23.5 (21)	22.5 (20)
640	7.5	533	24 (22)	24 (21.5)	24 (21.5)	23.5 (21)	23 (20.5)	22.5 (20)
480	10	400	24 (21.5)	23.5 (21)	23.5 (21)	23.5 (21)	23 (20.5)	22 (19.5)
96	50	80	22 (19.5)	22 (19.5)	22 (19.5)	22 (19.5)	21.5 (19)	21 (18.5)
80	60	66.7	22 (19.5)	22 (19.5)	22 (19.5)	21.5 (19)	21.5 (19)	20.5 (18)
40	120	33.3	22 (19.5)	21.5 (19)	21.5 (19)	21.5 (19)	21 (18.5)	20.5 (18)
32	150	26.7	21.5 (19)	21.5 (19)	21.5 (19)	21 (18.5)	21 (18.5)	20 (17.5)
16	300	13.3	21.5 (19)	21.5 (19)	21 (18.5)	21 (18.5)	20.5 (18)	19.5 (17)
5	960	4.17	20.5 (18)	20.5 (18)	20.5 (18)	20 (17.5)	19.5 (17)	19 (16.5)
2	2400	1.67	20 (17.5)	20 (17.5)	19.5 (17)	19.5 (17)	19 (16.5)	18 (15.5)
1	4800	0.83	19 (16.5)	19 (16.5)	19 (16.5)	18.5 (16)	18.5 (16)	17.5 (15)

<sup>1</sup> 出力ピーク to ピーク (p-p) 分解能は、括弧内に示します。

Sinc<sup>3</sup> チョップをディスエーブル

表 8.RMS ノイズ (nV)対ゲインおよび出力データレート

Filter Word (Decimal)	Output Data Rate (Hz)	Settling Time (ms)	Gain of 1	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
1023	4.7	639.4	350	51	30	18	15	12
640	7.5	400	440	62	36	22	18	15
480	10	300	500	87	45	26	19	17
96	50	60	2000	255	134	73	47	36
80	60	50	2100	273	139	77	49	40
40	120	25	2400	315	168	96	66	55
32	150	20	2500	335	185	105	73	62
16	300	10	3100	425	235	136	100	86
5	960	3.13	5300	745	415	250	180	156
2	2400	1.25	55800	7100	3600	1750	910	500
1	4800	0.625	446,000	55,400	28,000	14,000	7000	3500

表 9.実効分解能 (ピーク to ピーク分解能)対ゲインおよび出力データレート

Filter Word (Decimal)	Output Data Rate (Hz)	Settling Time (ms)	Gain of 1 <sup>1</sup>	Gain of 8 <sup>1</sup>	Gain of 16 <sup>1</sup>	Gain of 32 <sup>1</sup>	Gain of 64 <sup>1</sup>	Gain of 128 <sup>1</sup>
1023	4.7	639.4	24 (22)	24 (22)	24 (21.5)	24 (21.5)	23 (20.5)	22.5 (20)
640	7.5	400	24 (21.5)	24 (21.5)	24 (21.5)	23.5 (21)	23 (20.5)	22 (19.5)
480	10	300	24 (21.5)	23.5 (21)	23.5 (21)	23.5 (21)	22.5 (20)	22 (19.5)
96	50	60	22 (19.5)	22 (19.5)	22 (19.5)	22 (19.5)	21.5 (19)	21 (18.5)
80	60	50	22 (19.5)	22 (19.5)	22 (19.5)	21.5 (19)	21.5 (19)	20.5 (18)
40	120	25	22 (19.5)	21.5 (19)	21.5 (19)	21.5 (19)	21 (18.5)	20 (17.5)
32	150	20	21.5 (19)	21.5 (19)	21.5 (19)	21.5 (19)	21 (18.5)	20 (17.5)
16	300	10	21.5 (19)	21.5 (19)	21 (18.5)	21 (18.5)	20.5 (18)	19.5 (17)
5	960	3.13	20.5 (18)	20.5 (18)	20.5 (18)	20 (17.5)	19.5 (17)	18.5 (16)
2	2400	1.25	17 (14.5)	17 (14.5)	17 (14.5)	17 (14.5)	17 (14.5)	17 (14.5)
1	4800	0.625	14 (11.5)	14 (11.5)	14 (11.5)	14 (11.5)	14 (11.5)	14 (11.5)

<sup>1</sup> 出力ピーク to ピーク (p-p)分解能は、括弧内に示します。

Sinc<sup>4</sup> チョップをイネーブル

表 10.RMS ノイズ (nV)対ゲインおよび出力データレート

Filter Word (Decimal)	Output Data Rate (Hz)	Settling Time (ms)	Gain of 1	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
1023	1.175	1702	248	36	22	13	9	8
640	1.875	1067	301	44	26	15	11	10
480	2.5	800	347	61	31	17	13	11
96	12.5	160	1420	184	95	52	33	25
80	15	133	1490	194	99	55	34	27
40	30	66.7	1700	223	124	68	46	37
32	37.5	53.3	1770	237	131	78	51	42
16	75	26.7	2200	297	170	103	68	58
5	240	8.33	3400	488	276	170	121	103
2	600	3.33	5310	780	453	276	194	167
1	1200	1.67	11,600	1560	849	474	302	244

表 11.実効分解能 (ピーク to ピーク分解能)対ゲインおよび出力データレート

Filter Word (Decimal)	Output Data Rate (Hz)	Settling Time (ms)	Gain of 1 <sup>1</sup>	Gain of 8 <sup>1</sup>	Gain of 16 <sup>1</sup>	Gain of 32 <sup>1</sup>	Gain of 64 <sup>1</sup>	Gain of 128 <sup>1</sup>
1023	1.175	1702	24 (22.5)	24 (22.5)	24 (22)	24 (22)	24 (21.5)	23 (20.5)
640	1.875	1067	24 (22.5)	24 (22)	24 (22)	24 (21.5)	23.5 (21)	23 (20.5)
480	2.5	800	24 (22)	24 (21.5)	24 (21.5)	24 (21.5)	23.5 (21)	22.5 (20)
96	12.5	160	22.5 (20)	22.5 (20)	22.5 (20)	22.5 (20)	22 (19.5)	21.5 (19)
80	15	133	22.5 (20)	22.5 (20)	22.5 (20)	22 (19.5)	22 (19.5)	21 (18.5)
40	30	66.7	22.5 (20)	22 (19.5)	22 (19.5)	22 (19.5)	21.5 (19)	21 (18.5)
32	37.5	53.3	22 (19.5)	22 (19.5)	22 (19.5)	21.5 (19)	21.5 (19)	20.5 (18)
16	75	26.7	22 (19.5)	22 (19.5)	21.5 (19)	21.5 (19)	21 (18.5)	20 (17.5)
5	240	8.33	21 (18.5)	21 (18.5)	21 (18.5)	20.5 (18)	20 (17.5)	19.5 (17)
2	600	3.33	20.5 (18)	20.5 (18)	20 (17.5)	20 (17.5)	19.5 (17)	18.5 (16)
1	1200	1.67	19.5 (17)	19.5 (17)	19.5 (17)	19 (16.5)	19 (16.5)	18 (15.5)

<sup>1</sup> 出力ピーク to ピーク(p-p)分解能は、括弧内に示します。



Sinc<sup>3</sup> チョップをイネーブル

表 12.RMS ノイズ (nV)対ゲインおよび出力データレート

Filter Word (Decimal)	Output Data Rate (Hz)	Settling Time (ms)	Gain of 1	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
1023	1.56	1282	248	37	22	13	11	9
640	2.5	800	312	44	26	16	13	11
480	3.33	600	354	62	32	19	14	13
96	16.6	120	1415	181	95	52	34	26
80	20	100	1485	194	99	55	35	29
40	40	50	1698	223	119	68	47	39
32	50	40	1768	237	131	75	52	44
16	100	20	2193	301	167	97	71	61
5	320	6.25	3748	527	294	177	128	111
2	800	2.5	39500	5020	2546	1240	644	354
1	1600	1.25	315,400	39,200	19,800	9900	4950	2500

表 13.実効分解能 (ピーク to ピーク分解能)対ゲインおよび出力データレート

Filter Word (Decimal)	Output Data Rate (Hz)	Settling Time (ms)	Gain of 1 <sup>1</sup>	Gain of 8 <sup>1</sup>	Gain of 16 <sup>1</sup>	Gain of 32 <sup>1</sup>	Gain of 64 <sup>1</sup>	Gain of 128 <sup>1</sup>
1023	1.56	1282	24 (22.5)	24 (22.5)	24 (22)	24 (22)	23.5 (21)	23 (20.5)
640	2.5	800	24 (22)	24 (22)	24 (22)	24 (21.5)	23.5 (21)	22.5 (20)
480	3.33	600	24 (22)	24 (21.5)	24 (21.5)	24 (21.5)	23 (20.5)	22.5 (20)
96	16.6	120	22.5 (20)	22.5 (20)	22.5 (20)	22.5 (20)	22 (19.5)	21.5 (19)
80	20	100	22.5 (20)	22.5 (20)	22.5 (20)	22 (19.5)	22 (19.5)	21 (18.5)
40	40	50	22.5 (20)	22 (19.5)	22 (19.5)	22 (19.5)	21.5 (19)	20.5 (18)
32	320	40	22 (19.5)	22 (19.5)	22 (19.5)	22 (19.5)	21.5 (19)	20.5 (18)
16	100	20	22(19.5)	22 (19.5)	21.5 (19)	21.5 (19)	21 (18.5)	20 (17.5)
5	320	6.25	21 (18.5)	20.5 (18)	20.5 (18)	20 (17.5)	19.5 (17)	18.5 (16)
2	800	2.5	17.5 (15)	17.5 (15)	17.5 (15)	17.5 (15)	17.5 (15)	17.5 (15)
1	1600	1.25	14.5 (12)	14.5 (12)	14.5 (12)	14.5 (12)	14.5 (12)	14.5 (12)

<sup>1</sup> 出力ピーク to ピーク(p-p)分解能は、括弧内に示します。

## 内部レジスタ

ADC は、多くの内蔵レジスタを使って制御/設定されます。詳細を以下のページで説明します。以下の説明では、特に注記がない限り、セットはロジック 1 状態を、クリアはロジック 0 状態を、それぞれ意味します。

### コミュニケーション・レジスタ

(RS2, RS1, RS0 = 0, 0, 0)

コミュニケーション・レジスタは 8 ビットの書き込み専用レジスタです。デバイスに対するすべての通信は、コミュニケーション・レジスタに対する書き込み動作で開始されます。コミュニケーション・レジスタに書込まれたデータにより、次のデータ転送動作が読出し動作であるか、または書き込み動作であるかが指定され、対象となるレジスタも指定されます。

読出し動作または書き込み動作の場合、選択されたレジスタに対する後続の読出し動作または書き込み動作が完了すると、インターフェースはコミュニケーション・レジスタに対する書き込み動作待ちの状態に戻ります。これはインターフェースのデフォルト状態であり、パワーアップ時またはリセット後にADCはデフォルト状態になり、コミュニケーション・レジスタに対する書き込み動作を待ちます。インターフェース・シーケンスが機能しなくなった場合には、少なくともシリアル・クロックで 40 サイクル間DINがハイ・レベルを維持する書き込み動作を行わせると、ADCはデバイスをリセットしてこのデフォルト状態に戻ります。表 14 に、コミュニケーション・レジスタのビット配置を示します。CR0~CR7 は、ビット位置を表し、CRはコミュニケーション・レジスタ内のビットを表します。CR7 は、データ・ストリームの先頭ビットです。括弧内の値は、そのビットのパワーオン/リセット時のデフォルト・ステータスを表します。

CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
WEN(0)	R/W(0)	RS2(0)	RS1(0)	RS0(0)	CREAD(0)	0(0)	0(0)

表 14. コミュニケーション・レジスタ・ビットの配置

Bit Location	Bit Name	Description
CR7	WEN	Write enable bit. A 0 must be written to this bit so that the write to the communications register actually occurs. If a 1 is the first bit written, the part does not clock on to subsequent bits in the register. It stays at this bit location until a 0 is written to this bit. After a 0 is written to the WEN bit, the next seven bits are loaded to the communications register. Idling the DIN pin high between data transfers minimizes the effects of spurious SCLK pulses on the serial interface.
CR6	R/W	A 0 in this bit location indicates that the next operation is a write to a specified register. A 1 in this position indicates that the next operation is a read from the designated register.
CR5 to CR3	RS2 to RS0	Register address bits. These address bits are used to select which registers of the ADC are selected during the serial interface communication (see Table 15).
CR2	CREAD	Continuous read of the data register. When this bit is set to 1 (and the data register is selected), the serial interface is configured so that the data register can be continuously read; that is, the contents of the data register are automatically placed on the DOUT pin when the SCLK pulses are applied after the RDY pin goes low to indicate that a conversion is complete. The communications register does not have to be written to for subsequent data reads. To enable continuous read, the Instruction 01011100 must be written to the communications register. To disable continuous read, the Instruction 01011000 must be written to the communications register while the RDY pin is low. While continuous read is enabled, the ADC monitors activity on the DIN line so that it can receive the instruction to disable continuous read. Additionally, a reset occurs if 40 consecutive 1s are seen on DIN. Therefore, DIN should be held low until an instruction is to be written to the device.
CR1 to CR0	0	These bits must be programmed to Logic 0 for correct operation.

表 15. レジスタの選択

RS2	RS1	RS0	Register	Register Size
0	0	0	Communications register during a write operation	8 bits
0	0	0	Status register during a read operation	8 bits
0	0	1	Mode register	24 bits
0	1	0	Configuration register	24 bits
0	1	1	Data register/data register plus status information	24 bits/32 bits
1	0	0	ID register	8 bits
1	0	1	GPOCON register	8 bits
1	1	0	Offset register	24 bits
1	1	1	Full-scale register	24 bits

## ステータス・レジスタ

(RS2, RS1, RS0 = 0, 0, 0; Power-On/Reset = 0x80)

ステータス・レジスタは 8 ビットの読出し専用レジスタです。ADCステータス・レジスタをアクセスするときは、コミュニケーション・レジスタに書き込みを行って次の動作が読出しであることを指定し、ビットRS2～RS0に 0 を書込みます。表 16 に、ステータス・レジスタのビット配置を示します。SR0～SR7 は、ビット位置を表し、SRはステータス・レジスタ内のビットを表します。SR7 は、データ・ストリームの先頭ビットです。括弧内の値は、そのビットのパワーオン/リセット時のデフォルト・ステータスを表します。

SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0
RDY(1)	ERR(0)	NOREF(0)	PARITY(0)	0(0)	CHD2(0)	CHD1(0)	CHD0(0)

表 16.ステータス・レジスタのビット配置

Bit Location	Bit Name	Description
SR7	RDY	Ready bit for the ADC. This bit is cleared when data is written to the ADC data register. The RDY bit is set automatically after the ADC data register is read, or a period of time before the data register is updated, with a new conversion result to indicate to the user that the conversion data should not be read. It is also set when the part is placed in power-down mode or idle mode or when SYNC is taken low. The end of a conversion is also indicated by the DOUT/RDY pin. This pin can be used as an alternative to the status register for monitoring the ADC for conversion data.
SR6	ERR	ADC error bit. This bit is written to at the same time as the RDY bit. This bit is set to indicate that the result written to the ADC data register is clamped to all 0s or all 1s. Error sources include overrange or under-range or the absence of a reference voltage. This bit is cleared when the result written to the data register is within the allowed analog input range again.
SR5	NOREF	No external reference bit. This bit is set to indicate that the selected reference (REFIN1 or REFIN2) is at a voltage that is below a specified threshold. When set, conversion results are clamped to all 1s. This bit is cleared to indicate that a valid reference is applied to the selected reference pins. The NOREF bit is enabled by setting the REFDET bit in the configuration register to 1.
SR4	PARITY	Parity check of the data register. If the ENPAR bit in the mode register is set, the PARITY bit is set if there is an odd number of 1s in the data register. It is cleared if there is an even number of 1s in the data register. The DAT_STA bit in the mode register should be set when the parity check is used. When the DAT_STA bit is set, the contents of the status register are transmitted along with the data for each data register read.
SR3	0	This bit is set to 0.
SR2 to SR0	CHD2 to CHD0	These bits indicate which channel corresponds to the data register contents. They do not indicate which channel is presently being converted but indicate which channel was selected when the conversion contained in the data register was generated.

## モード・レジスタ

(RS2, RS1, RS0 = 0, 0, 1; Power-On/Reset = 0x080060)

モード・レジスタは 24 ビット・レジスタであり、データの読み書きが可能です。このレジスタを使って、動作モード、出力データレート、クロック源を選択します。表 17 に、モード・レジスタのビット配置を示します。MR0～MR23 はビット位置を表し、MRはモード・レジスタ内のビットを表します。MR23 は、データ・ストリームの先頭ビットです。括弧内の値は、そのビットのパワーオン/リセット時のデフォルト・ステータスを表します。モード・レジスタに書き込みを行うと、変調器とフィルタがリセットされ、RDYビットがセットされます。

MR23	MR22	MR21	MR20	MR19	MR18	MR17	MR16
MD2(0)	MD1(0)	MD0(0)	DAT_STA(0)	CLK1(1)	CLK0(0)	0	0
MR15	MR14	MR13	MR12	MR11	MR10	MR9	MR8
SINC3(0)	0	ENPAR(0)	CLK_DIV(0)	SINGLE(0)	REJ60(0)	FS9(0)	FS8(0)
MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0
FS7(0)	FS6(1)	FS5(1)	FS4(0)	FS3(0)	FS2(0)	FS1(0)	FS0(0)

表 17.モード・レジスタのビット配置

Bit Location	Bit Name	Description
MR23 to MR21	MD2 to MD0	Mode select bits. These bits select the operating mode of the AD7192 (see Table 18).
MR20	DAT_STA	This bit enables the transmission of status register contents after each data register read. When DAT_STA is set, the contents of the status register are transmitted along with each data register read. This function is useful when several channels are selected because the status register identifies the channel to which the data register value corresponds.
MR19, MR18	CLK1, CLK0	These bits are used to select the clock source for the AD7192. Either the on-chip 4.92 MHz clock or an external clock can be used. The ability to use an external clock allows several AD7192 devices to be synchronized. Also, 50 Hz/60 Hz rejection is improved when an accurate external clock drives the AD7192.
		<b>CLK1</b> <b>CLK0</b> <b>ADC Clock Source</b>
		0              0              External crystal. The external crystal is connected from MCLK1 to MCLK2.
		0              1              External clock. The external clock is applied to the MCLK2 pin.
		1              0              Internal 4.92 MHz clock. Pin MCLK2 is tristated.
1              1              Internal 4.92 MHz clock. The internal clock is available on MCLK2.		
MR17, MR16	0	These bits must be programmed with a Logic 0 for correct operation.
MR15	SINC3	Sinc <sup>3</sup> filter select bit. When this bit is cleared, the sinc <sup>4</sup> filter is used (default value). When this bit is set, the sinc <sup>3</sup> filter is used. The benefit of the sinc <sup>3</sup> filter compared to the sinc <sup>4</sup> filter is its lower settling time. For a given output data rate, $f_{ADC}$ , the sinc <sup>3</sup> filter has a settling time of $3/f_{ADC}$ while the sinc <sup>4</sup> filter has a settling time of $4/f_{ADC}$ when chop is disabled. The sinc <sup>4</sup> filter, due to its deeper notches, gives better 50 Hz/60 Hz rejection. At low output data rates, both filters give similar rms noise and similar no missing codes for a given output data rate. At higher output data rates (FS values less than 5), the sinc <sup>4</sup> filter gives better performance than the sinc <sup>3</sup> filter for rms noise and no missing codes.
MR14	0	This bit must be programmed with a Logic 0 for correct operation.
MR13	ENPAR	Enable parity bit. When ENPAR is set, parity checking on the data register is enabled. The DAT_STA bit in the mode register should be set when the parity check is used. When the DAT_STA bit is set, the contents of the status register are transmitted along with the data for each data register read.
MR12	CLK_DIV	Clock Divide by 2. When CLK_DIV is set, the master clock is divided by 2. For normal conversions, this bit should be set to 0. When performing internal full-scale calibrations, this bit must be set when $AV_{DD}$ is less than 4.75 V. The calibration accuracy is optimized when chop is enabled and a low output data rate is used while performing the calibration. When $AV_{DD}$ is greater than or equal to 4.75 V, it is not compulsory to set the CLK_DIV bit when performing internal full-scale calibrations.
MR11	SINGLE	Single cycle conversion enable bit. When this bit is set, the AD7192 settles in one conversion cycle so that it functions as a zero-latency ADC. This bit has no effect when multiple analog input channels are enabled or when the single conversion mode is selected.
MR10	REJ60	This bit enables a notch at 60 Hz when the first notch of the sinc filter is at 50 Hz. When REJ60 is set, a filter notch is placed at 60 Hz when the sinc filter first notch is at 50 Hz. This allows simultaneous 50 Hz/ 60 Hz rejection.
MR9 to MR0	FS9 to FS0	Filter output data rate select bits. The 10 bits of data programmed into these bits determine the filter cut-off frequency, the position of the first notch of the filter, and the output data rate for the part. In association with the gain selection, they also determine the output noise (and, therefore, the effective resolution) of the device (see Table 6 through Table 13). When chop is disabled and continuous conversion mode is selected, $\text{Output Data Rate} = (MCLK/1024)/FS$ where $FS$ is the decimal equivalent of the code in Bit FS0 to Bit FS9 and is in the range 1 to 1023, and $MCLK$ is the master clock frequency. With a nominal $MCLK$ of 4.92 MHz, this results in an output data rate from 4.69 Hz to 4.8 kHz. With chop disabled, the first notch frequency is equal to the output data rate when converting on a single channel. When chop is enabled, $\text{Output Data Rate} = (MCLK/1024)/(N \times FS)$ where $FS$ is the decimal equivalent of the code in Bit FS0 to Bit FS9 and is in the range 1 to 1023, and $MCLK$ is the master clock frequency. With a nominal $MCLK$ of 4.92 MHz, this results in a conversion rate from 4.69/N Hz to 4.8/N kHz, where $N$ is the order of the sinc filter. The sinc filter's first notch frequency is equal to $N \times$ output data rate. The chopping introduces notches at odd integer multiples of (output data rate/2).

表 18.動作モード

MD2	MD1	MD0	Mode
0	0	0	Continuous conversion mode (default). In continuous conversion mode, the ADC continuously performs conversions and places the result in the data register. The DOUT/RDY pin and the RDY bit in the status register go low when a conversion is complete. The user can read these conversions by setting the CREAD bit in the communications register to 1, which enables continuous read. When continuous read is enabled, the conversions are automatically placed on the DOUT line when SCLK pulses are applied. Alternatively, the user can instruct the ADC to output each conversion by writing to the communications register. After power-on, a reset, or a reconfiguration of the ADC, the complete settling time of the filter is required to generate the first valid conversion. Subsequent conversions are available at the selected output data rate, which is dependent on filter choice.
0	0	1	Single conversion mode. When single conversion mode is selected, the ADC powers up and performs a single conversion on the selected channel. The internal clock requires up to 1 ms to power up and settle. The ADC then performs the conversion, which requires the complete settling time of the filter. The conversion result is placed in the data register. RDY goes low, and the ADC returns to power-down mode. The conversion remains in the data register until another conversion is performed. RDY remains active (low) until the data is read or another conversion is performed.
0	1	0	Idle mode. In idle mode, the ADC filter and modulator are held in a reset state even though the modulator clocks are still provided.
0	1	1	Power-down mode. In power-down mode, all AD7192 circuitry, except the bridge power-down switch, is powered down. The bridge power-down switch remains active because the user may need to power up the sensor prior to powering up the AD7192 for settling reasons. The external crystal, if selected, remains active.
1	0	0	Internal zero-scale calibration. An internal short is automatically connected to the input. RDY goes high when the calibration is initiated and returns low when the calibration is complete. The ADC is placed in idle mode following a calibration. The measured offset coefficient is placed in the offset register of the selected channel.
1	0	1	Internal full-scale calibration. A full-scale input voltage is automatically connected to the input for this calibration. RDY goes high when the calibration is initiated and returns low when the calibration is complete. The ADC is placed in idle mode following a calibration. The measured full-scale coefficient is placed in the full-scale register of the selected channel. A full-scale calibration is required each time the gain of a channel is changed to minimize the full-scale error. When AV <sub>DD</sub> is less than 4.75 V, the CLK_DIV bit must be set when performing the internal full-scale calibration.
1	1	0	System zero-scale calibration. The user should connect the system zero-scale input to the channel input pins as selected by the CH7 to CH0 bits in the configuration register. RDY goes high when the calibration is initiated and returns low when the calibration is complete. The ADC is placed in idle mode following a calibration. The measured offset coefficient is placed in the offset register of the selected channel. A system zero-scale calibration is required each time the gain of a channel is changed.
1	1	1	System full-scale calibration. The user should connect the system full-scale input to the channel input pins as selected by the CH7 to CH0 bits in the configuration register. RDY goes high when the calibration is initiated and returns low when the calibration is complete. The ADC is placed in idle mode following a calibration. The measured full-scale coefficient is placed in the full-scale register of the selected channel. A full-scale calibration is required each time the gain of a channel is changed.

## コンフィギュレーション・レジスタ

(RS2、RS1、RS0 = 0、1、0; Power-On/Reset = 0x000117)

コンフィギュレーション・レジスタは 24 ビット・レジスタであり、データの読み書きが可能です。このレジスタを使って、ADC のユニポーラ/バイポーラ・モード、バッファのイネーブル/ディスエーブル、バーンアウト電流のイネーブル/ディスエーブル、ゲインの選択、アナログ入力チャンネルの選択を設定します。

表 19 に、コンフィギュレーション・レジスタのビット配置を示します。CON0~CON23 はビット位置を示します。CONはコンフィギュレーション・レジスタ内のビットであることを示します。CON23 は、データ・ストリームの先頭ビットです。括弧内の値は、そのビットのパワーオン/リセット時のデフォルト・ステータスを表します。

CON23	CON22	CON21	CON20	CON19	CON18	CON17	CON16
CHOP(0)	0(0)	0(0)	REFSEL(0)	0(0)	0(0)	0(0)	(0)
CON15	CON14	CON13	CON12	CON11	CON10	CON9	CON8
CH7(0)	CH6(0)	CH5(0)	CH4(0)	CH3(0)	CH2(0)	CH1(0)	CH0(1)
CON7	CON6	CON5	CON4	CON3	CON2	CON1	CON0
BURN(0)	REFDET(0)	0(0)	BUF(1)	U/B (0)	G2(1)	G1(1)	G0(1)

表 19. コンフィギュレーション・レジスタのビット配置

Bit Location	Bit Name	Description				
CON23	CHOP	Chop enable bit. When the CHOP bit is cleared, chop is disabled. When the CHOP bit is set, chop is enabled. When chop is enabled, the offset and offset drift of the ADC are continuously removed. However, this increases the conversion time and settling time of the ADC. For example, when FS = 96 decimal and the sinc <sup>4</sup> filter is selected, the conversion time with chop enabled equals 80 ms and the settling time equals 160 ms. With chop disabled, higher conversion rates are allowed. For an FS word of 96 decimal and the sinc <sup>4</sup> filter selected, the conversion time is 20 ms and the settling time is 80 ms. However, at low gains, periodic calibrations may be required to remove the offset and offset drift.				
CON22, CON21	0	These bits must be programmed with a Logic 0 for correct operation.				
CON20	REFSEL	Reference select bits. The reference source for the ADC is selected using these bits.				
		<b>REFSEL</b>	<b>Reference Voltage</b>			
		0	External reference applied between REFIN1(+) and REFIN1(-).			
1	External reference applied between the P1/REFIN2(+) and P0/REFIN2(-) pins.					
CON19 to CON16	0	These bits must be programmed with a Logic 0 for correct operation.				
CON15 to CON8	CH7 to CH0	Channel select bits. These bits are used to select which channels are enabled on the AD7192 (see Table 20). Several channels can be selected, and the AD7192 automatically sequences them. The conversion on each channel requires the complete settling time. When performing calibrations or when accessing the calibration registers, only one channel can be selected.				
CON7	BURN	When this bit is set to 1, the 500 nA current sources in the signal path are enabled. When BURN = 0, the burnout currents are disabled. The burnout currents can be enabled only when the buffer is active and when chop is disabled.				
CON6	REFDET	Enables the reference detect function. When set, the NOREF bit in the status register indicates when the external reference being used by the ADC is open circuit or less than 0.6 V maximum. The reference detect circuitry operates only when the ADC is active.				
CON5	0	This bit must be programmed with a Logic 0 for correct operation.				
CON4	BUF	Enables the buffer on the analog inputs. If cleared, the analog inputs are unbuffered, lowering the power consumption of the device. If this bit is set, the analog inputs are buffered, allowing the user to place source impedances on the front end without contributing gain errors to the system. With the buffer disabled, the voltage on the analog input pins can be from 50 mV below AGND to 50 mV above AV <sub>DD</sub> . When the buffer is enabled, it requires some headroom; therefore, the voltage on any input pin must be limited to 250 mV within the power supply rails.				
CON3	U/B	Polarity select bit. When this bit is set, unipolar operation is selected. When this bit is cleared, bipolar operation is selected.				
CON2 to CON0	G2 to G0	Gain select bits. These bits are written by the user to select the ADC input range as follows:				
		<b>G2</b>	<b>G1</b>	<b>G0</b>	<b>Gain</b>	<b>ADC Input Range (5 V Reference)</b>
		0	0	0	1	±5 V
		0	0	1	Reserved	
		0	1	0	Reserved	
		0	1	1	8	±625 mV
		1	0	0	16	±312.5 mV
		1	0	1	32	±156.2 mV
		1	1	0	64	±78.125 mV
1	1	1	128	±39.06 mV		

表 20. チャンネルの選択

Channel Enable Bits in the Configuration Register								Channel Enabled		Status Register Bits CHD[2:0]	Calibration Register Pair
CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0	Positive Input AIN(+)	Negative Input AIN(-)		
1	1	1	1	1	1	1	1	AIN1	AIN2	000	0
								AIN3	AIN4	001	1
								Temperature sensor		010	None
								AIN2	AIN2	011	0
								AIN1	AINCOM	100	0
								AIN2	AINCOM	101	1
								AIN3	AINCOM	110	2
								AIN4	AINCOM	111	3

### データ・レジスタ

(RS2、RS1、RS0 = 0、1、1; Power-On/Reset = 0x000000)

ADC の変換結果がこのデータ・レジスタに格納されます。このレジスタは読出し専用の 24 ビット・レジスタです。このレジスタからの読出し動作が完了すると、RDY ビット/ピンがセットされます。モード・レジスタの DAT\_STA ビット = 1 のとき、ステータス・レジスタ値が各 24 ビット変換結果に追加されます。ステータス・レジスタの下位 3 ビット (CHD2~CHD0) が変換が行われたチャンネルを指定しているため、複数のアナログ入力チャンネルがイネーブルされているときに意味があります。

### ID レジスタ

(RS2、RS1、RS0 = 1、0、0; Power-On/Reset = 0xX0)

AD7192 の識別番号がこの ID レジスタに格納されています。このレジスタは読出し専用です。

## GPOCON レジスタ

(RS2, RS1, RS0 = 1, 0, 1; Power-On/Reset = 0x00)

GPOCON レジスタは 8 ビット・レジスタであり、データの読み書きが可能です。このレジスタを使って、汎用デジタル出力をイネーブルします。

表 21 に、GPOCON レジスタのビット配置を示します。GP0~GP7 はビット位置を示します。GP は GPOCON レジスタ内のビットであることを示します。GP7 は、データ・ストリームの先頭ビットです。括弧内の値は、そのビットのパワーオン/リセット時のデフォルト・ステータスを表します。

GP7	GP6	GP5	GP4	GP3	GP2	GP1	GP0
0(0)	BPDSW(0)	GP32EN(0)	GP10EN(0)	P3DAT(0)	P2DAT(0)	P1DAT(0)	P0DAT(0)

表 21. レジスタ・ビット配置

Bit Location	Bit Name	Description
GP7	0	This bit must be programmed with a Logic 0 for correct operation.
GP6	BPDSW	Bridge power-down switch control bit. This bit is set by the user to close the bridge power-down switch BPDSW to AGND. The switch can sink up to 30 mA. The bit is cleared by the user to open the bridge power-down switch. When the ADC is placed in power-down mode, the bridge power-down switch remains active.
GP5	GP32EN	Digital Output P3 and Digital Output P2 enable. When GP32EN is set, the P3 and P2 digital outputs are active. When GP32EN is cleared, the P3 and P2 pins are tristated, and the P3DAT and P2DAT bits are ignored.
GP4	GP10EN	Digital Output P1 and Digital Output P0 enable. When GP10EN is set, the P1 and P0 digital outputs are active. When GP10EN is cleared, the P1 and P0 outputs are tristated, and the P1DAT and P0DAT bits are ignored. The P1 and P0 pins can be used as a reference input to REFIN2 when the REFSEL bit in the configuration register is set to 1.
GP3	P3DAT	Digital Output P3. When GP32EN is set, the P3DAT bit sets the value of the P3 general-purpose output pin. When P3DAT is high, the P3 output pin is high. When P3DAT is low, the P3 output pin is low. When the GPOCON register is read, the P3DAT bit reflects the status of the P3 pin if GP32EN is set.
GP2	P2DAT	Digital Output P2. When GP32EN is set, the P2DAT bit sets the value of the P2 general-purpose output pin. When P2DAT is high, the P2 output pin is high. When P2DAT is low, the P2 output pin is low. When the GPOCON register is read, the P2DAT bit reflects the status of the P2 pin if GP32EN is set.
GP1	P1DAT	Digital Output P1. When GP10EN is set, the P1DAT bit sets the value of the P1 general-purpose output pin. When P1DAT is high, the P1 output pin is high. When P1DAT is low, the P1 output pin is low. When the GPOCON register is read, the P1DAT bit reflects the status of the P1 pin if GP10EN is set.
GP0	P0DAT	Digital Output P0. When GP10EN is set, the P0DAT bit sets the value of the P0 general-purpose output pin. When P0DAT is high, the P0 output pin is high. When P0DAT is low, the P0 output pin is low. When the GPOCON register is read, the P0DAT bit reflects the status of the P0 pin if GP10EN is set.

## オフセット・レジスタ

(RS2, RS1, RS0 = 1, 1, 0; Power-On/Reset = 0x800000)

このレジスタは ADC のオフセット・キャリブレーション係数を格納しています。オフセット・レジスタのパワーオン・リセット値は 0x800000 です。AD7192 は 4 個のオフセット・レジスタを内蔵しているため、各チャンネルに専用オフセット・レジスタがあります (表 20 参照)。これらの各レジスタは 24 ビットの読み書き可能レジスタです。このレジスタは、レジスタ対を構成している対応するフルスケール・レジスタと組み合わせで使います。ユーザにより内部またはシステム・ゼロスケール・キャリブレーションが開始された場合、パワーオン・リセット値は自動的に上書きされます。オフセット・レジスタへ書込むときは、AD7192 をパワーダウン・モードまたはアイドル・モードにする必要があります。

## フルスケール・レジスタ

(RS2, RS1, RS0 = 1, 1, 1; Power-On/Reset = 0x5XXXX0)

このレジスタは ADC のフルスケール・キャリブレーション係数を格納しています。AD7192 は 4 個のフルスケール・レジスタを内蔵しているため、各チャンネルに専用フルスケール・レジスタがあります (表 20 参照)。フルスケール・レジスタは読み書き可能レジスタです。フルスケール・レジスタへ書込むときは、AD7192 をパワーダウン・モードまたはアイドル・モードにする必要があります。これらのレジスタには、パワーオン時に、出荷時に計算されたフルスケール・キャリブレーション係数(ゲイン = 1 でキャリブレーションを実施)が設定されます。このため、各デバイスは異なるデフォルト係数を持ちます。ユーザが内部またはシステム・フルスケール・キャリブレーションを開始させるか、またはフルスケール・レジスタに書込みが行われると、デフォルト値は自動的に上書きされます。



## ADC回路情報

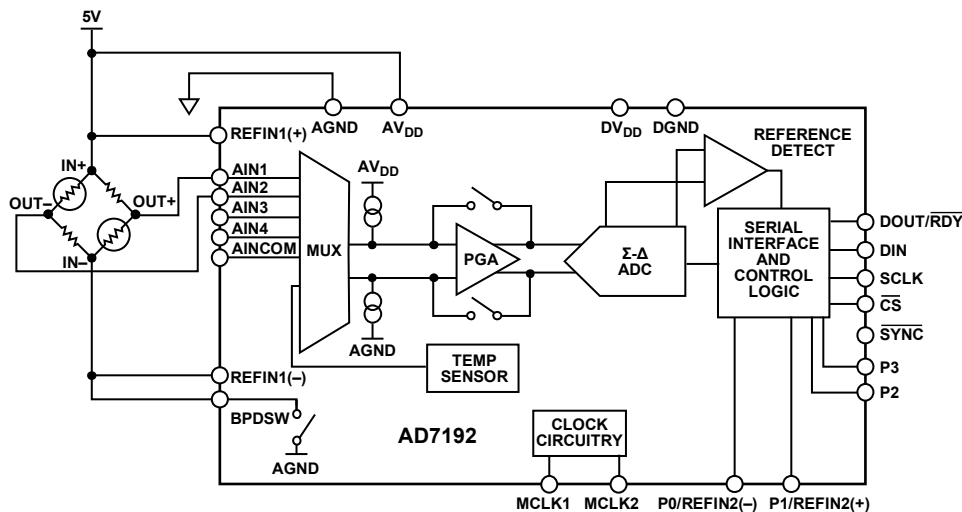


図 18. 基本接続図

## 概要

AD7192 は  $\Sigma$ - $\Delta$  変調器、バッファ、PGA、デジタル・フィルタを内蔵する超低ノイズの ADC であり、圧力トランスデューサ、重量計、ストレイン・ゲージ・アプリケーションなどのような広いダイナミック・レンジを持つ信号の計測を目的としています。

このデバイスは、バッファあり/なしの、2 つの差動入力または 4 つの疑似差動入力を持つように構成することができます。図 18 に、このデバイスの動作に必要な基本接続を示します。

## フィルタ、出力データレート、セトリング・タイム

$\Sigma$ - $\Delta$  ADC は、変調器とそれに続くデジタル・フィルタにより構成されています。AD7192 には  $\text{sinc}^3$  フィルタと  $\text{sinc}^4$  フィルタの 2 つのフィルタ・オプションがあります。モード・レジスタの SINC3 ビットを使って、このフィルタを選択します。SINC3 ビットを 0 (デフォルト値) に設定すると、 $\text{sinc}^4$  フィルタが選択されます。SINC3 ビットを 1 に設定すると、 $\text{sinc}^3$  フィルタが選択されます。

低出力データレート (<1 kHz) でのノイズ・フリー分解能は、2 つのフィルタ・タイプで同等ですが、高い更新レートでは、 $\text{sinc}^4$  フィルタの方が優れたノイズ・フリー分解能を与えます。

また  $\text{sinc}^4$  フィルタの方が 50 Hz と 60 Hz の除去比でも優れています。ノッチ位置はフィルタ次数に影響を受けませんが、フィルタ次数が高いほどノッチ幅が広がるため、ノッチ周辺の帯域 ( $\pm 1$  Hz) での除去比が良くなります。また、阻止帯域の減衰も大きくなります。 $\text{sinc}^3$  フィルタの利点は、同じ出力データレートに対してセトリング・タイムが短くなることです。

## チョップをディスエーブル

出力データレート (ADC の連続変換動作で 1 チャンネルに対して可能な変換レート) は次のようになります。

$$f_{ADC} = f_{CLK} / (1024 \times FS[9:0])$$

ここで、

$f_{ADC}$  は出力データレート。

$f_{CLK}$  = マスター・クロック (公称 4.92 MHz)。

$FS[9:0]$  はモード・レジスタのビット FS9 ~ ビット FS0 の 10 進表示値。

出力データレートは、4.7 Hz ~ 4800 Hz (すなわち  $FS[9:0]$  値 = 1 ~ 1023) に設定することができます。

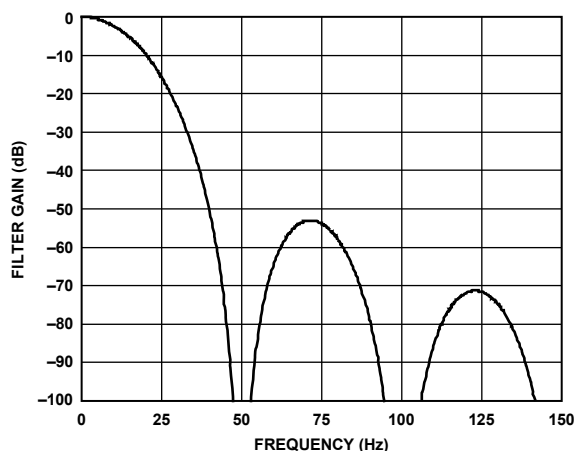
前式は、 $\text{sinc}^3$  フィルタと  $\text{sinc}^4$  フィルタに対して有効です。 $\text{sinc}^4$  フィルタのセトリング・タイムは次のようになります。

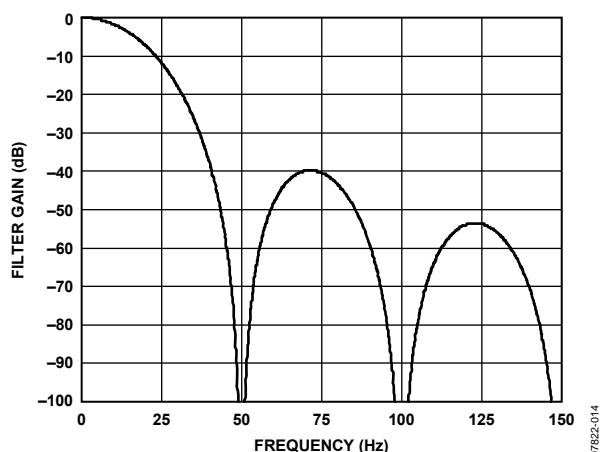
$$t_{SETTLE} = 4 / f_{ADC}$$

$\text{sinc}^3$  フィルタのセトリング・タイムは次のようになります。

$$t_{SETTLE} = 3 / f_{ADC}$$

図 19 と 図 20 に、出力データレート 50 Hz でのそれぞれ  $\text{sinc}^4$  フィルタと  $\text{sinc}^3$  フィルタの周波数応答を示します。

図 19.  $\text{Sinc}^4$  フィルタ応答 (出力データレート 50 Hz)

図 20. Sinc<sup>3</sup>フィルタ応答 (出力データレート 50 Hz)

安定なマスター・クロックの場合、sinc<sup>4</sup>フィルタは 120 dB 以上の 50 Hz (±1 Hz) 除去比を持ち、sinc<sup>3</sup>フィルタは 100 dB 以上の除去比を持ちます。阻止帯域減衰量は、sinc<sup>4</sup>フィルタでは 53 dB (typ)、sinc<sup>3</sup>フィルタでは 40 dB (typ)です。

sinc<sup>4</sup>フィルタの 3 dB 周波数は、

$$f_{3dB} = 0.23 \times f_{ADC}$$

sinc<sup>3</sup>フィルタの 3 dB 周波数は、

$$f_{3dB} = 0.272 \times f_{ADC}$$

### チョップをイネーブル

チョップをイネーブルした場合、ADC のオフセットとオフセット・ドリフトは最小になります。チョップをイネーブルすると、アナログ入力ピンが連続的に切り替えられます。このため、アナログ入力ピンを単方向で接続した場合、有効な変換結果が得られるまでの時間を sinc フィルタのセトリング・タイムとして許容することができます。その後、アナログ入力ピンが反転され、次の有効な変換結果が得られます。前後する変換結果は、オフセットが小さくなるように平均処理が行われます。アナログ入力ピンの連続切り替えと後続変換結果の平均処理により、オフセット・ドリフトも小さくなります。

チョッピングは、出力データレートと ADC のセトリング・タイムに影響を与えます。sinc<sup>4</sup>の場合、出力データレートは、

$$f_{ADC} = f_{CLK} / (4 \times 1024 \times FS[9:0])$$

sinc<sup>3</sup>の場合、出力データレートは、

$$f_{ADC} = f_{CLK} / (3 \times 1024 \times FS[9:0])$$

ここで、

$f_{ADC}$  は出力データレート。

$f_{CLK}$  = マスター・クロック (公称 4.92 MHz)。

$FS[9:0]$  はモード・レジスタのビット FS9～ビット FS0 の 10 進表示値。

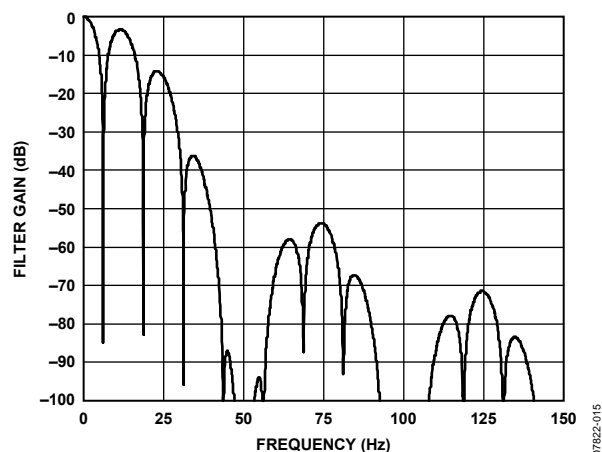
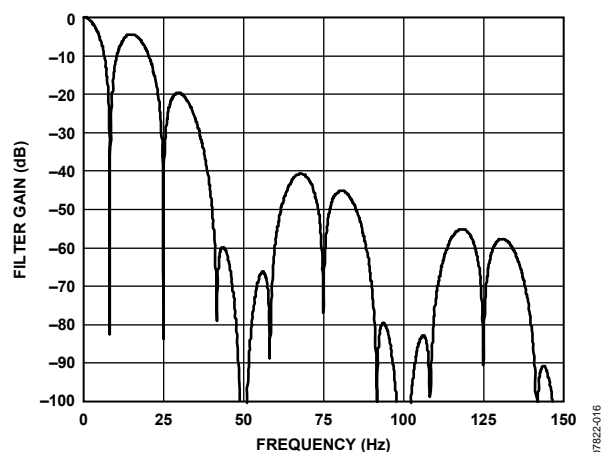
FS[9:0]の値は 1～1023 が可能です。これにより、出力データレートは sinc<sup>4</sup>フィルタの場合 1.173 Hz～1200 Hz に、sinc<sup>3</sup>フィルタの場合 1.56 Hz～1600 Hz に、それぞれ異なります。sinc<sup>3</sup>または sinc<sup>4</sup>でのセトリング・タイムは等しく、次式で表わされます。

$$t_{SETTLE} = 2/f_{ADC}$$

したがって、チョップをイネーブルした場合、与えられた出力データレートに対するセトリング・タイムはチョップをディスエーブルしたモードに比較して短くなります。ただし、与えられた FS[9:0] 値に対して、チョップをイネーブルした場合の出力データレートは、チョップをディスエーブルしたモードに比較して小さくなります。sinc<sup>3</sup>または sinc<sup>4</sup>フィルタのいずれの場合も、カットオフ周波数  $f_{3dB}$  は次式で表わされます。

$$f_{3dB} = 0.24 \times f_{ADC}$$

図 21 と 図 22 に、それぞれチョップをイネーブルした場合の sinc<sup>4</sup>フィルタと sinc<sup>3</sup>フィルタのフィルタ応答を示します。プロットに示すように、阻止帯域減衰量はチョップをディスエーブルしたモードに比較して小さくなります。

図 21. Sinc<sup>4</sup>フィルタ応答 (出力データレート = 12.5 Hz、チョップをイネーブル)図 22. Sinc<sup>3</sup>フィルタ応答 (出力データレート = 16.6 Hz、チョップをイネーブル)

### 50 Hz/60Hz 除去比

ノーマル・モードの除去比は、デジタル・フィルタの主な機能の1つです。チョップをディスエーブルして、出力データレートを50 Hzに設定したときに50 Hz除去比が得られ、出力データレートを60 Hzに設定したときに60 Hz除去比が得られます。同時50 Hz/60 Hz除去比は、出力データレートを10 Hzに設定したときに得られます。また、同時50 Hz/60 Hz除去比はモード・レジスタのREJ60ビットを使って実現することもできます。出力データレートを50 Hzに設定し、REJ60ビットを1に設定したとき、ノッチは50 Hzと60 Hzに配置されます。図23と図24に、出力データレートを50 Hzに設定し、REJ60を1に設定したときの、それぞれ $\text{sinc}^4$ フィルタと $\text{sinc}^3$ フィルタの周波数応答を示します。

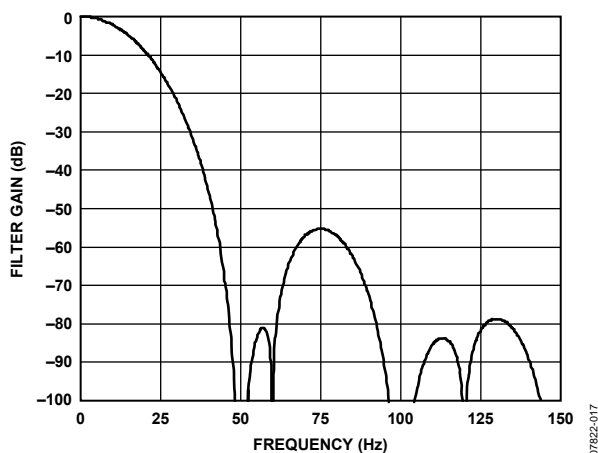


図 23.  $\text{sinc}^4$  フィルタ応答 (50 Hz 出力データレート、REJ60=1)

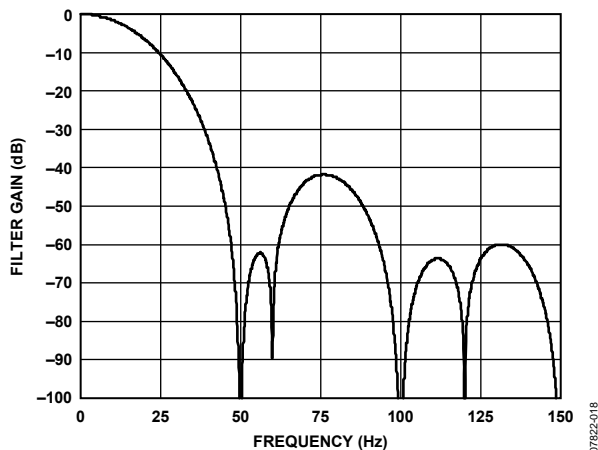


図 24.  $\text{sinc}^3$  フィルタ応答 (50 Hz 出力データレート、REJ60=1)

この場合も、 $\text{sinc}^4$  フィルタは  $\text{sinc}^3$  フィルタより優れた 50 Hz/60 Hz 除去比を提供します。また、 $\text{sinc}^4$  フィルタの方が優れた阻止帯域減衰量を実現しています。

チョップをイネーブルする場合、50 Hz/60 Hz 除去比を実現するためには低い出力データレートを使用する必要があります。REJ60 = 1、かつ出力データレート = 12.5 Hzにすると、 $\text{sinc}^4$  フィルタを選択したとき同時 50 Hz/60 Hz 除去比が得られ、 $\text{sinc}^3$  フィルタを選択して出力データレート = 16.7 Hzのとき同時 50 Hz/60 Hz 除去比が得られます。図 25 と 図 26 に、REJ60 = 1 のときの両出力データレートに対するフィルタ応答を示します。

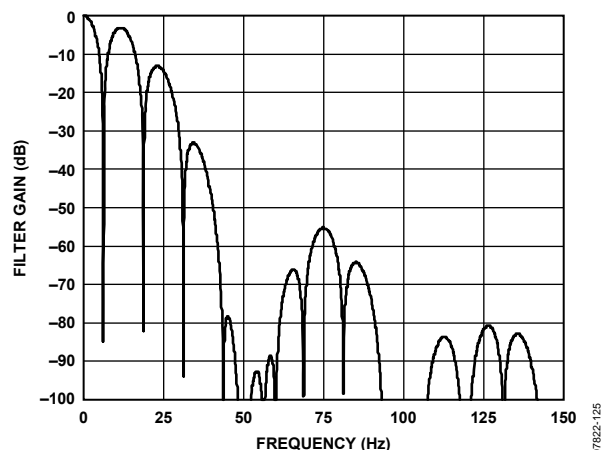


図 25.  $\text{sinc}^4$  フィルタ応答 (12.5 Hz 出力データレート、チョップをイネーブル、REJ60 = 1)

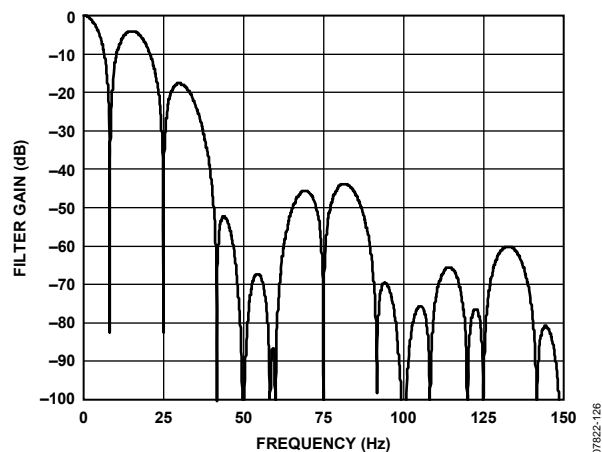


図 26.  $\text{sinc}^3$  フィルタ応答 (16.7 Hz 出力データレート、チョップをイネーブル、REJ60 = 1)

### ゼロ・レイテンシ

モード・レジスタの SINGLE ビットを1に設定すると、ゼロ・レイテンシがイネーブルされます。ゼロ・レイテンシでは、各変換でセトリング・タイム全体が使用できます。したがって、

$$f_{\text{ADC}} = 1/t_{\text{SETTLE}}$$

ゼロ・レイテンシとは、イネーブルされたアナログ入力チャンネル数に無関係に出力データレートが一定なることを意味します。このため、出力データレートへのチャンネル変更の影響を考慮する必要がありません。ゼロ・レイテンシの欠点は、非ゼロ・レイテンシ・モードと比較して与えられた出力データレートに対するノイズが大きくなることです。例えば、ゼロ・レイテンシをイネーブルしない場合、出力データレート = 50 Hz でゲイン = 128 のときの AD7192 のノイズ・フリー分解能は 18.5 ビットです。ゼロ・レイテンシをイネーブルする場合、出力データレート = 50 Hz のとき、ADC 分解能は 17.5 ビット・ピーク to ピークです。フィルタ応答も変化します。図 19 に、出力データレート = 50 Hz のときの  $\text{sinc}^4$  フィルタのフィルタ応答を示します (ゼロ・レイテンシをディスエーブル)。図 27 に、ゼロ・レイテンシをイネーブルし、出力データレート = 50 Hz のときのフィルタ応答を示します ( $\text{sinc}^4$  フィルタ)。50 Hz 除去比は実現できなくなります。ゼロ・レイテンシをイネーブルした場合、50 Hz 除去比を得るためには、ADC は出力データレート = 12.5 Hz で動作する必要があります。出力データレート = 12.5 Hz のとき、同時 50 Hz/60 Hz 除去比を得るためには、モード・レジスタの REJ60 ビットをセットすることができま

す。阻止帯域減衰量も大幅に小さくなります (非ゼロ・レイテンシ・モードでの 53 dB に対して 3 dB)。

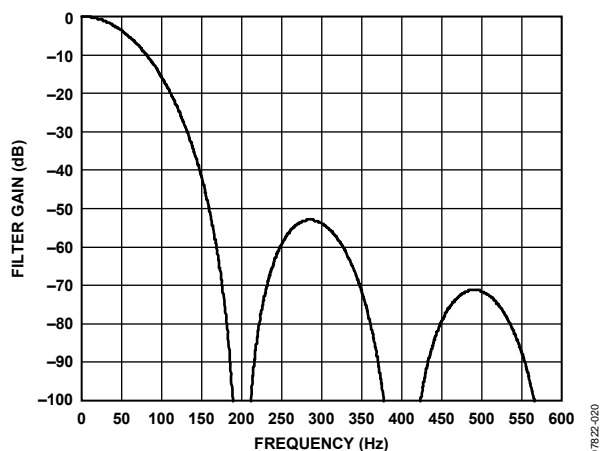


図 27. Sinc<sup>4</sup> フィルタ応答 (50 Hz 出力データレート、ゼロ・レイテンシ)

### チャンネル・シーケンサ

AD7192 はチャンネル・シーケンサを内蔵しています。この機能を使うと、マルチチャンネル・アプリケーションでデバイスとの通信が簡素化されます。また、シーケンサはデバイスのチャンネル・スループットも最適化します。これは、SPI インターフェースからの命令を待つのではなく、チャンネルを最適レートでシーケンサが切り替えるためです。

コンフィギュレーション・レジスタのビット CH0～ビット CH7 を使って、チャンネルをイネーブルします。連続変換モードでは、ADC がシーケンス内のイネーブルされた各チャンネルを選択して、チャンネルに対して変換を行います。各チャンネルで有効な変換結果が得られると、RDY ピンがロー・レベルになります。複数のチャンネルがイネーブルされると、ステータス・レジスタの値が 24 ビット・ワードに追加されるため、各変換結果に対応するチャンネルを識別することができます。ステータス・レジスタ値を変換結果に追加するときは、モード・レジスタのビット DAT\_STA に 1 を設定します。

複数のチャンネルをイネーブルする場合、ADC はセトリング・タイム全体を使って、チャンネルが切り替わるごとに有効な変換結果を発生する必要があります。この動作は AD7192 が実行します。すなわち、チャンネルが選択されると、変調器とフィルタがリセットされ、RDY ピンがハイ・レベルになります。次に、AD7192 はセトリング・タイム全体を使って最初の変換結果を発生できるようにします。有効な変換結果が得られたときのみ RDY はロー・レベルになります。次に、AD7192 は次のイネーブルされたチャンネルを選択して、そのチャンネルを変換します。ADC が次のチャンネルの変換を実行中に、データ・レジスタを读出することができます。

すべてのイネーブルされたチャンネルから有効な変換結果を读出するために要する時間は次のように表わされます。

$$t_{SETTLE} \times \text{イネーブルされたチャンネル数}$$

例えば、sinc<sup>4</sup> フィルタを選択し、チョップをディスエーブルし、ゼロ・レイテンシをディスエーブルした場合、各チャンネルのセトリング・タイムは、

$$t_{SETTLE} = 4/f_{ADC}$$

ここで、 $f_{ADC}$  は 1 チャンネルの連続変換時の出力データレート。

N チャンネルをサンプルするために要する時間は、

$$4/(f_{ADC} \times N)$$

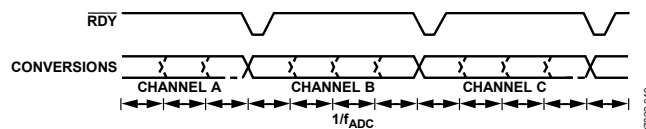


図 28. チャンネル・シーケンサ

### デジタル・インターフェース

内部レジスタのセクションで説明するように、AD7192 のプログラムマブルな機能は、内蔵レジスタのセットを使って制御します。データはデバイスのシリアル・インターフェースを経由してこれらのレジスタに書込まれます。このインターフェースでは内蔵レジスタに対する読み出しも可能です。デバイスに対するすべての通信は、コミュニケーション・レジスタに対する書き込み動作で開始されます。パワーオンまたはリセットの後、デバイスはコミュニケーション・レジスタに対する書き込みを待ちます。このレジスタに書込まれたデータから、次のデータ転送動作が读出または書き込みのいずれであるかを知り、対象となるレジスタも知ります。したがって、デバイス上の他のすべてのレジスタに対する書き込みアクセスは、コミュニケーション・レジスタに対する書き込み動作で開始され、選択したレジスタに対する書き込みがその後に続きます。デバイス上の他のすべてのレジスタ (連続読み出しモードは除く) からの読み出し動作は、コミュニケーション・レジスタに対する書き込み動作で開始され、その後に選択したレジスタからの読み出しが続きます。

AD7192 のシリアル・インターフェースは、 $\overline{CS}$ 、DIN、SCLK、DOUT/RDY の 4 本の信号から構成されています。DIN ラインは内蔵レジスタにデータを転送するときに、DOUT/RDY ラインは内蔵レジスタからデータをアクセスするとき、それぞれ使います。SCLK はデバイスのシリアル・クロック入力であり、すべてのデータ転送 (DIN または DOUT/RDY 上での転送) は、この SCLK 信号を基準として実行されます。

DOUT/RDY ピンはデータ・レディ信号としても機能し、新しいデータ・ワードが出力レジスタから读出し可能になると、このラインはロー・レベルになります。データ・レジスタからの读出し動作が完了すると、この信号はハイ・レベルに戻ります。この信号はデータ・レジスタの更新前にもハイ・レベルになり、デバイスからの读出しができないことを表示して、レジスタの更新中にデータが读出されることを防止します。 $\overline{CS}$  はデバイスを選択するときに使います。シリアル・バスに複数のデバイスが接続されているシステムでは、AD7192 を指定するアドレスのデコードにも  $\overline{CS}$  を使うことができます。

図 3 と 図 4 に、デバイスのデコードに  $\overline{CS}$  を使った AD7192 に対するインターフェースのタイミング図を示します。図 3 に AD7192 の出力シフトレジスタの读出し動作のタイミングを、図 4 に入力シフトレジスタに対する書き込み動作のタイミングを、それぞれ示します。最初の读出し動作の後に、DOUT/RDY ラインがハイ・レベルに戻った後でも、出力レジスタから同じワードを複数回读出することができますが、次の出力更新が開始される前に读出し動作

が完了するように、注意する必要があります。連続読出しモードでは、デジタル・ワードは1回しか読出すことができません。

シリアル・インターフェースは、 $\overline{CS}$ をロー・レベルに固定して、3線式モードで動作させることもできます。この場合、SCLK、DIN、DOUT/RDYの各ラインを使って AD7192 との通信を行います。変換の終了は、ステータス・レジスタのRDYビットを使ってモニタすることができます。この方式は、マイクロコントローラとのインターフェースに適しています。デコーディング信号として $\overline{CS}$ が必要な場合は、ポートのピンからつくることができます。マイクロコントローラ・インターフェースに対しては、各データ転送の間にSCLKがアイドル・ハイになることが推奨されます。

AD7192 では、 $\overline{CS}$ をフレーム同期信号として使った動作も可能です。この方式は、DSP インターフェースに便利です。この場合、DSP では通常、 $\overline{CS}$ が SCLK の立下がりエッジの後に発生するため、先頭ビット(MSB)は実質的に $\overline{CS}$ によりクロック駆動されます。タイミング数値に従う限り、SCLK は各データ転送の間も動作し続けることができます。

DIN 入力に一連の 1 を書込むことにより、シリアル・インターフェースをリセットすることもできます。少なくとも 40 シリアル・クロック・サイクル間連続するロジック 1 を AD7192 DIN ラインに書込むと、シリアル・インターフェースがリセットされます。ソフトウェア・エラーまたはシステム内のグリッチによりインターフェースが機能しなくなった場合、この方法を使って、既知状態にリセットすることができます。リセットにより、コミュニケーション・レジスタに対する書込み動作待ちの状態にインターフェースが戻ります。この動作により、すべてのレジスタ値がそれぞれのパワーオン・リセット値にリセットされます。リセットの後、500  $\mu$ s 間待った後にシリアル・インターフェースのアドレス指定を行う必要があります。

AD7192 は、連続変換またはシングル変換に設定することができます(図 29～図 31 参照)。

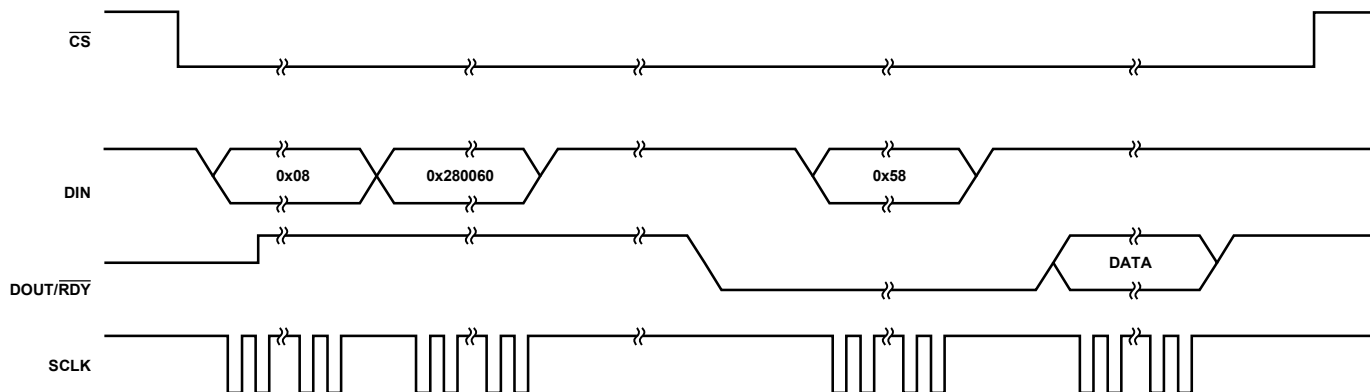


図 29. シングル変換

### シングル変換モード

シングル変換モードでは、変換の後に AD7192 はパワーダウン・モードにされます。モード・レジスタの MD2、MD1、MD0 にそれぞれ 0、0、1 を設定すると、シングル変換が開始されて、AD7192 がパワーアップしてシングル変換を実行した後、パワーダウン・モードに戻ります。内蔵発振器のパワーアップのために約 1 ms が必要です。

変換が完了すると、DOUT/RDYはロー・レベルになります。データ・レジスタからデータ・ワードを読出すと、DOUT/RDYがハイ・レベルになります。 $\overline{CS}$ がロー・レベルの場合、次の変換が開始されて完了するまで、DOUT/RDYはハイ・レベルのままになります。DOUT/RDYがハイ・レベルになっていても、データ・レジスタは必要に応じて複数回読出すことができます。

複数のチャンネルがイネーブルされた場合、ADC はイネーブルされたチャンネルのシーケンスを制御して、各チャンネルの変換を行います。変換が開始されると、DOUT/RDYはハイ・レベルになり、変換が完了するまでハイ・レベルを維持します。変換結果が得られると直ちに、DOUT/RDYがロー・レベルになります。次に、ADC は次のチャンネルを選択して、そのチャンネルの変換を開始します。次のチャンネルの変換実行中に、現在の変換結果を読出すことができます。次の変換が完了すると直ちに、データ・レジスタが更新されるため、変換結果を読出す時間は限られています。ADC が選択した各チャンネルにシングル変換を行うと、ADC はパワーダウン・モードに戻ります。

モード・レジスタで DAT\_STA ビット = 1 のとき、ステータス・レジスタの値が、データを読出すごとに変換結果と一緒に出力されます。ステータス・レジスタの下位 4 ビットが、変換結果に対応するチャンネルを表示します。

### 連続変換モード

連続変換はデフォルトのパワーアップ・モードになっています。AD7192 は連続的に変換を行い、変換が完了するごとに、ステータス・レジスタのRDYビットがロー・レベルになります。CSがロー・レベルの場合、変換が完了すると、DOUT/RDYはロー・レベルになります。変換結果を読出すときは、コミュニケーション・レジスタに書き込みを行って、次の動作がデータ・レジスタからの読出しであることを指定することができます。データ・レジスタからデータ・ワードを読出すと、DOUT/RDYがハイ・レベルになります。このレジスタは必要に応じて何回も読出すことが可能ですが、次の変換の完了時にデータ・レジスタをアクセスしてしまうことがないように注意する必要があります。もしこの時点でアクセスすると、新しい変換ワードが失われてしまいます。

複数のチャンネルがイネーブルされた場合、ADC はイネーブルされたチャンネルを連続的に繰り返して、各チャンネルの変換を行います。データ・レジスタは各変換結果が使用可能になると直ちに更新されます。DOUT/RDY ピンは、変換結果が使用可能になるごとにロー・レベル・パルスを出力します。ADC が次の選択されたチャンネルの変換を実行中に、データ・レジスタを読出すことができます。

モード・レジスタで DAT\_STA ビット = 1 のとき、ステータス・レジスタの値が、データを読出すごとに変換結果と一緒に出力されます。ステータス・レジスタが、変換結果に対応するチャンネルを表示します。

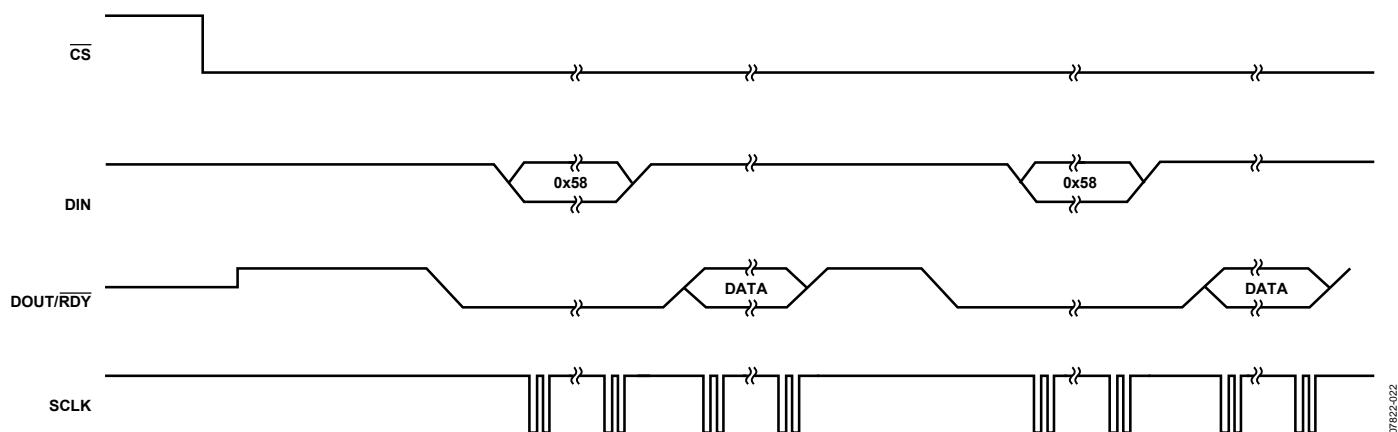


図 30.連続変換結果

07822-022

### 連続読出し

変換が完了する毎に、データをアクセスするためにコミュニケーション・レジスタに書き込みを行う代わりに、AD7192 を連続読出しモードに設定して、 $\overline{\text{DOUT/RDY}}$ ラインに結果を自動的に出力することができます。コミュニケーション・レジスタへ 01011100 を書き込むと、ADC へ適切な SCLK サイクル数を指定するだけで、変換が完了したときに変換結果のワードを  $\overline{\text{DOUT/RDY}}$  ラインに自動的に出力することができます。ADC は連続変換モードに設定する必要があります。

変換が完了して  $\overline{\text{DOUT/RDY}}$  がロー・レベルになったとき、十分な SCLK サイクル数を ADC に入力すると、データ変換結果が  $\overline{\text{DOUT/RDY}}$  ラインに出力されます。変換結果を読出すと、 $\overline{\text{DOUT/RDY}}$  はハイ・レベルに戻り、次の変換結果が得られるまでこのハイ・レベルを維持します。このモードでは、データは 1 回しか読出すことができません。また、次の変換結果が完了する前にデータ・ワードを読出すように注意する必要があります。次の変換の完了前に変換結果を読出さなかった場合、または AD7192 にワードを読出すための十分なシリアル・クロック数が入力されなかった場合には、次の変換の完了時にシリアル出力レジスタがリセットされて、新しい変換結果が出力シリアル・レジスタに格納されます。

連続読出しモードを終了するときは、 $\overline{\text{RDY}}$  ピンがロー・レベルのときに、命令 01011000 をコミュニケーション・レジスタに書き込みます。連続読出しモードでは、連続読出しモードを終了させる命令が受信できるように、ADC は  $\overline{\text{DIN}}$  ラインの動作を監視します。さらに、40 個の連続する 1 が  $\overline{\text{DIN}}$  に入力されると、リセットが発生します。したがって、命令がデバイスに書込まれるまで、連続読出しモードでは  $\overline{\text{DIN}}$  をロー・レベルに維持しておく必要があります。

複数のチャンネルがイネーブルされた場合、ADC はイネーブルされたチャンネルを 1 つずつ進み、選択された各チャンネルにつき 1 回変換を行います。 $\overline{\text{DOUT/RDY}}$  ピンは、変換結果が使用可能になるとロー・レベル・パルスを出力します。十分な SCLK パルス数を指定すると、データが自動的に  $\overline{\text{DOUT/RDY}}$  ピンへ出力されます。モード・レジスタの DAT\_STA ビット = 1 のとき、ステータス・レジスタ値が変換結果と一緒に出力されます。ステータス・レジスタが、変換結果に対応するチャンネルを表示します。

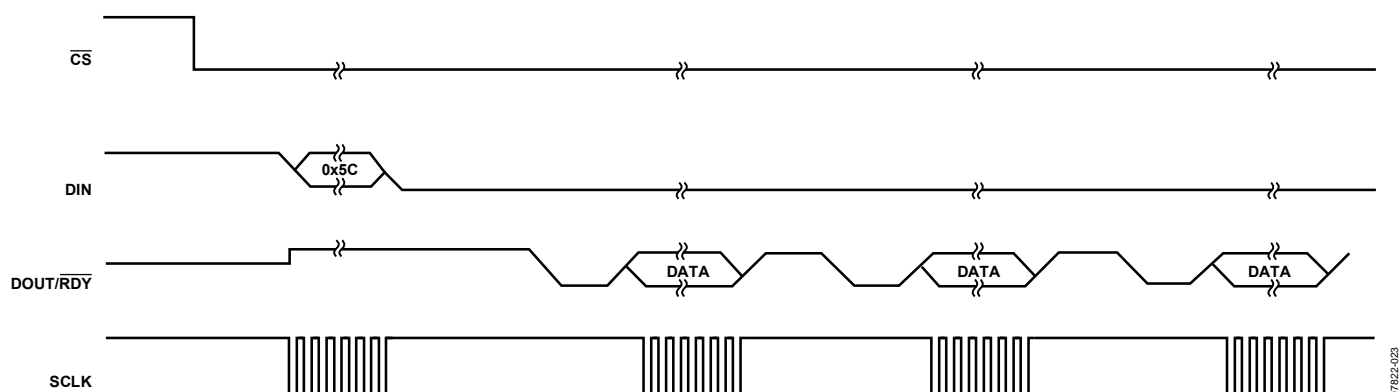


図 31.連続読出し

07852-0/23

## 回路説明

### アナログ入力チャンネル

AD7192 は、バッファありまたはバッファなしの 2 つの差動/4 つの疑似差動アナログ入力チャンネルを持っています。バッファ付きモード(コンフィギュレーション・レジスタの BUF ビットに 1 を設定)では、入力チャンネルはバッファ・アンプのハイ・インピーダンス入力ステージに接続されます。このため、入力は大きな信号源インピーダンスを扱うことができますので、ストレイン・ゲージや抵抗温度検出器(RTD)などのような外付けの抵抗型センサーに直接接続することができます。

BUF = 0 の場合、デバイスはバッファなしモードで動作します。この場合、アナログ入力電流は増えます。このバッファなしの入力パスは、駆動源に対して動的負荷になることに注意する必要があります。ADC 入力を駆動する信号源の出力インピーダンスに応じて、入力ピン上の抵抗/コンデンサの組み合わせがゲイン誤差を発生させることがあります。表 22 に、ゲイン = 1 で、バッファなしモードに対して使用可能な外付け抵抗値/容量値で、20 ビット・レベルでゲイン誤差を発生しない組み合わせを示します。

表 22.20 ビット・ゲイン誤差を発生しない外付け R と C の組み合わせ

C (pF)	R (Ω)
50	1.4 k
100	850
500	300
1000	230
5000	30

バッファ付きモードでの絶対入力電圧範囲は、AGND + 250 mV ~ AV<sub>DD</sub> - 250 mV の範囲に制限されています。同相モード電圧を設定するときはこの範囲を超えないように注意する必要があります。もし超えると、直線性とノイズ性能が低下します。

バッファなしモードでの絶対入力電圧範囲は、AGND - 50 mV ~ AV<sub>DD</sub> + 50 mV の範囲です。この負側の絶対入力電圧限界値では、AGND を基準とする小さいバイポーラ信号のモニタが可能です。

### プログラマブル・ゲイン・アレイ (PGA)

ゲイン・ステージがイネーブルされると、バッファ出力が PGA 入力に接続されます。PGA が内蔵されていることは、AD7192 内で小さい振幅の信号を増幅し、かつ優れたノイズ性能を維持できることを意味しています。例えば、ゲイン = 128 のとき、出力データレート = 4.7 Hz で rms ノイズは 11 nV (typ) です。これは、22.5 ビットの実効分解能または 20 ビットのノイズ・フリー分解能に相当します。

AD7192 は、コンフィギュレーション・レジスタのビット G2 ~ ビット G0 を使ってゲイン = 1、8、16、32、64、128 に設定することができます。このため、外付け 2.5 V リファレンスで、ユニポーラ範囲は 0 mV ~ 19.53 mV から 0 V ~ 2.5 V に、バイポーラ範囲は ±19.53 mV ~ ±2.5 V に、それぞれなります。

PGA にはヘッドルームが必要なため、アナログ入力範囲は ±(AV<sub>DD</sub> - 1.25 V)/ゲインに制限する必要があります。このため、AV<sub>DD</sub> = 5 V の場合、AD7192 に入力可能な最大アナログ入力はユニポーラ・モードで 0 ~ 3.75 V/ゲインに、またはバイポーラ・モードで ±3.75 V/ゲインに、それぞれなります。

### バイポーラ/ユニポーラ構成

AD7192 のアナログ入力には、ユニポーラまたはバイポーラの入力電圧範囲を入力することができます。バイポーラ入力範囲は、システム AGND を基準とした負電圧を入力できることを意味するものではありません。疑似差動モードでは、信号は AINCOM を基準とし、差動モードでは、信号は差動対の負入力を基準とします。例えば、AINCOM = 2.5 V、かつゲイン = 2 で、AD7192 の AIN1 アナログ入力がユニポーラ・モードに設定されている場合、AIN1 ピンの入力電圧範囲は、2.5 V リファレンスを使用したとき 2.5 V ~ 3.75 V になります。

例えば、AINCOM = 2.5 V、かつゲイン = 2 で、AD7192 の AIN1 アナログ入力がバイポーラ・モードに設定されている場合、AIN1 ピンの入力電圧範囲は、1.25 V ~ 3.75 V になります。バイポーラ・オプションまたはユニポーラ・オプションは、コンフィギュレーション・レジスタの U/B ビットを使って、選択することができます。

### データ出力コーディング

ADC がユニポーラ動作に設定されている場合は、出力コーディングはゼロ差動入力電圧がコード 000 ... 000 に、スケール中央値入力が 100 ... 000 に、フルスケール入力電圧がコード 111 ... 111 に、それぞれ対応するストレート・バイナリ数です。アナログ入力電圧に対する出力コードは次のように表されます。

$$\text{Code} = (2^N \times \text{AIN} \times \text{Gain}) / V_{\text{REF}}$$

ADC がバイポーラ動作に設定されると、コーディングはオフセット・バイナリになり、負側フルスケール入力電圧はコード 000 ... 000 に、ゼロ差動入力電圧がコード 100 ... 000 に、正側フルスケール入力電圧がコード 111 ... 111 に、それぞれ対応します。アナログ入力電圧に対する出力コードは次のように表されます。

$$\text{Code} = 2^{N-1} \times [(\text{AIN} \times \text{Gain} / V_{\text{REF}}) + 1]$$

ここで、  
AIN はアナログ入力電圧。  
Gain は PGA の設定値 (1 ~ 128)。  
N = 24。

### クロック

AD7192 は 4.92 MHz クロックを内蔵しています。この内蔵クロックの最大偏差 ±4% です。内蔵クロックまたは外付け水晶/クロックを AD7192 のクロック源として使用することができます。クロック源は、モード・レジスタの CLK1 ビットと CLK0 ビットを使って選択します。外付け水晶を使用する場合は、MCLK1 ピンと MCLK2 ピンの間に接続する必要があります。水晶メーカーは、水晶に対して必要とされる推奨負荷容量情報を提供しています。AD7192 の MCLK1 ピンと MCLK2 ピンの容量は 15 pF (typ) です。外付けクロック源を使う場合は、クロック源を MCLK2 ピンに接続し、MCLK1 ピンはフローティングのままにしておくことができます。

この内蔵クロックは MCLK2 ピンから取り出すことができます。この機能は、複数の ADC を使い、デバイス間の同期が必要なアプリケーションで便利です。1 個のデバイスの内蔵クロックを、システム内のすべての ADC に対するクロック源として使用することができます。共通のクロックを使用すると、すべてのデバイスへ共通のリセットを入力するか、または SYNC ピンにパルスを入力することにより各デバイスを同期化することができます。



## バーンアウト電流

AD7192には2個の500 nA 定電流源あり、その内の1つはAV<sub>DD</sub>からAIN(+)<sup>へ</sup>、他方はAIN(-)からAGND<sup>へ</sup>、それぞれ電流を流します。ここで、AIN(+)<sup>は</sup>差動モードの正アナログ入力端子でAIN(-)<sup>は</sup>差動モードの負アナログ入力端子、および疑似差動モードのAINCOMです。これらの電流は、選択したアナログ入力対に切り換えられます。両電流は、コンフィギュレーション・レジスタのバーンアウト電流イネーブル(BURN)ビットの状態に応じてオン/オフします。

これらの電流は、外付けのトランスデューサが動作中であることをそのチャンネルを計測前に確認するときに使うことができます。バーンアウト電流がターン・オンされると、外付けのトランスデューサ回路に流れ、アナログ入力チャンネルで入力電圧の計測が可能になります。電流が外部コンデンサを充電するため、バーンアウト電流で断線を検出するためにはある程度時間を要します。

故障状態が検出される理由は複数あります。フロントエンド・センサーが断線している。これはフロントエンド・センサーが過負荷しているか、またはリファレンス電圧がないので、ステータス・レジスタのNOREFビットがセットされているためにデータが全ビット1にクランプされるなどを意味することがあります。

故障を判断するときは、これらの3つの原因をチェックする必要があります。計測電圧が0Vの場合は、トランスデューサの短絡が考えられます。アナログ入力にバッファが付き、かつチョップがディセーブルされているとき、電流源は通常の絶対入力電圧仕様の範囲で動作します。

## リファレンス電圧

ADCはリファレンス・チャンネルに対してフル差動入力機能を持っています。さらに、REFIN1(x)またはREFIN2(x)の2つの外付けリファレンス・オプションがあります。AD7192のリファレンス電圧は、コンフィギュレーション・レジスタのREFSELビットを使って選択します。REFIN2(x)ピンは共用ピンであり、2本の汎用出力ピンまたはリファレンス・ピンとして機能します。REFSELビットに1を設定すると、これらのピンは自動的にリファレンス・ピンとして機能します。

これらの差動入力の同相モード範囲はAGND~AV<sub>DD</sub>です。リファレンス入力にはバッファがないため、R-C電源インピーダンスが大きいとゲイン誤差が発生します。リファレンス電圧REFIN(REFINx(+)-REFINx(-))は公称AV<sub>DD</sub>ですが、1V~AV<sub>DD</sub>のリファレンス電圧でもAD7192は動作します。アナログ入力に接続されているトランスデューサに対する励起電圧または励起電流がデバイスのリファレンスをも駆動するようなアプリケーションは比例動作であるため、励起電源の低周波ノイズの影響は除去されます。AD7192を非比例アプリケーションで使用する場合は、低ノイズリファレンスを使う必要があります。

AD7192に対する推奨リファレンス電圧としては、低ノイズのADR421やADR431などがあります。これらのリファレンス電圧は低出力インピーダンスを持つため、システムにゲイン誤差を発生することなくREFINx(+)<sup>に</sup>デカップリング・コンデンサを接続することができます。外付け抵抗を接続してリファレンス入力電圧を駆動すると、リファレンス電圧入力から見た外部信号源インピーダンスは大きくなります。このタイプの回路構成では、REFINxピンには外付けデカップリングの使用は推奨されません。

## リファレンス電圧の検出

AD7192には、変換またはキャリブレーションに対する有効なリファレンスを持っていることを検出する回路が内蔵されています。この機能は、コンフィギュレーション・レジスタのREFDETビットに1を設定するとイネーブルされます。選択されたREFINx(+)<sup>ピンと</sup>REFINx(-)<sup>ピン</sup>の間の電圧が0.3V~0.6Vの場合に、AD7192は有効なリファレンス電圧が存在しなくなったことを検出します。この場合、ステータス・レジスタ内のNOREFビットに1が設定されます。AD7192の通常変換中にNOREFビットがアクティブになると、変換結果は全ビット1に設定されます。

このため、変換実行中にNOREFビットのステータスを連続的にモニタする必要はありません。ADCデータ・レジスタから読出した変換結果が全ビット1であるか否かを確認するだけで済みます。AD7192のオフセット・キャリブレーション中またはフルスケール・キャリブレーション中に、NOREFビットがアクティブになると、対応するキャリブレーション・レジスタの更新を禁止してこれらのレジスタに正しくない係数がロードされてしまうことを防止し、ステータス・レジスタのERRビットがセットされます。キャリブレーション実行時に有効なリファレンスが存在していることを毎回確認することが煩わしい場合は、キャリブレーション・サイクルの終わりに、ERRビットのステータスをチェックするだけで済みます。

## リセット

連続する 1 をデバイスに書込むと、AD7192 の回路とシリアル・インターフェースをリセットすることができます。リセットの実行には、40 ビットの連続する 1 が必要です。この機能により、ロジック、デジタル・フィルタ、アナログ変調器がリセットされ、さらにすべての内蔵レジスタがそれぞれのデフォルト状態にリセットされます。また、このリセットはパワーアップ時にも実行されます。リセットが開始された場合、内蔵レジスタへのアクセスは 500  $\mu$ s 間待った後に行う必要があります。リセットは、SCLK ラインのノイズでシリアル・インターフェースの同期が失われた場合に便利です。

## システム同期

$\overline{\text{SYNC}}$  入力を使うと、デバイス内のすべてのセットアップ状態に影響を与えることなく、変調器とデジタル・フィルタをリセットすることができます。この機能を使うと、既知の時点すなわち  $\overline{\text{SYNC}}$  の立上がりエッジから、アナログ入力のサンプルの収集を開始することができます。同期機能を実行するためにはマスター・クロックで少なくとも 4 サイクル間  $\overline{\text{SYNC}}$  をロー・レベルに維持する必要があります。

複数の AD7192 が共通のマスター・クロックで動作する場合、出力レジスタを同時に更新するようにこれらのデバイスを同期させることができます。 $\overline{\text{SYNC}}$  ピンの立上がりエッジで、デジタル・フィルタとアナログ変調器がリセットされて、AD7192 は矛盾のない既知状態になります。 $\overline{\text{SYNC}}$  入力がロー・レベルの間、AD7192 はこの状態を維持します。 $\overline{\text{SYNC}}$  の立上がりエッジで、変調器とフィルタはこのリセット状態から抜け出して、次のクロック・エッジで、デバイスは入力サンプルの収集を再開します。複数の AD7192 を使うシステムでは、それぞれの  $\overline{\text{SYNC}}$  へ入力される共通の信号により動作が同期化されます。この動作は、通常、各 AD7192 がキャリブレーションを実行した後、またはキャリブレーション係数をキャリブレーション・レジスタへロードした後に実行されます。その後、各 AD7192 の変換結果が同期化されます。

$\overline{\text{SYNC}}$  がロー・レベルからハイ・レベルへ変化した後のマスター・クロックの立上がりエッジでデバイスはリセットから抜け出します。このため、複数のデバイスを同期化する場合、マスター・クロックの立上がりエッジで  $\overline{\text{SYNC}}$  ピンをハイ・レベルにして、マスター・クロックの立上がりエッジで、すべてのデバイスがサンプリングを開始するようにする必要があります。 $\overline{\text{SYNC}}$  ピンを十分な時間ハイ・レベルにしないと、デバイス間にマスター・クロックで 1 サイクルの差が発生することがあります。すなわち、変換結果が得られるタイミングがデバイス間でマスター・クロックで最大 1 サイクル異なります。

また、 $\overline{\text{SYNC}}$  ピンを変換開始コマンドとして使用することもできます。このモードでは、 $\overline{\text{SYNC}}$  の立上がりエッジにより変換が開始され、 $\overline{\text{RDY}}$  の立上がりエッジにより変換が完了したタイミングが表示されます。フィルタのセトリング・タイムで、各データ・レジスタの更新が可能である必要があります。例えば、 $\text{sinc}^4$  フィルタを選択し、ゼロ・レイテンシをディスエーブルし、チョップをディスエーブルした場合、セトリング・タイムは  $4f_{\text{ADC}}$  である必要があります。ここで、 $f_{\text{ADC}}$  は 1 チャンネルを連続変換する際の出力データレートです。

## 温度センサー

AD7192 に温度センサーが内蔵されています。コンフィギュレーション・レジスタの CH2 ビットを使って、このセンサーを選択します。CH2 ビットを 1 に設定すると、温度センサーがイネーブルされます。温度センサーを選択し、かつバイポーラ・モードを選択すると、温度が 0 K のときデバイスはコード 0x800000 を返します。センサーから最適性能を得るためには、ワン・ポイント・キャリブレーションが必要です。このため、25°C での変換結果を記録し、感度を計算します。感度は約 2815 コード/°C になります。温度センサーの式は、

$$\text{Temp (K)} = (\text{変換結果} - 0x800000) / 2815 \text{ K}$$

$$\text{Temp (}^\circ\text{C)} = \text{Temp (K)} - 273$$

次のワン・ポイント・キャリブレーションの後、内部温度センサーは精度  $\pm 2^\circ\text{C}$  (typ) になります。

## ブリッジ・パワーダウン・スイッチ

ストレーン・ゲージやロード・セルのようなブリッジ・アプリケーションでは、ブリッジ自体がシステム内で電流の主要部分を消費します。例えば、350  $\Omega$  のロード・セルは 5 V 電源で励起される場合、15 mA の電流を必要とします。システムで消費される電流を小さくするときは、パワーダウン・スイッチを使ってブリッジ (使用しない場合) を切り離すことができます。図 18 に、ブリッジ・パワーダウン・スイッチの使い方を示します。このスイッチは 30 mA の連続電流に耐え、オン抵抗は最大 11  $\Omega$  です。

## ロジック出力

AD7192 には 4 本の汎用デジタル出力、P0、P1、P2、P3 があります。これらは、GPOCON レジスタの GP32EN ビットと GP10EN ビットを使ってイネーブルされます。このピンは、GPOCON レジスタの P0DAT ビット～P3DAT ビットを使ってハイ・レベルへプルアップまたはロー・レベルへプルダウンすることができます。すなわち、ピンの値は、P0DAT ビット～P3DAT ビットを設定することにより決定されます。これらのピンのロジック・レベルは、 $\text{DV}_{\text{DD}}$  ではなく  $\text{AV}_{\text{DD}}$  により決定されます。GPOCON レジスタを读出すと、ビット P0DAT～ビット P3DAT でピンの実際の値が表示されます。この機能は短絡の検出で有効です。

これらのピンを使って外部回路 (例えば外部マルチプレクサ) を駆動することができます。チャンネル数を増やすために外部マルチプレクサを使用する場合、マルチプレクサ・ロジック・ピンを AD7192 汎用出力ピンを使って制御することができます。汎用出力ピンを使ってアクティブ・マルチプレクサ・ピンを選択します。マルチプレクサの動作は AD7192 に無関係なため、 $\overline{\text{SYNC}}$  ピンを使うか、マルチプレクサ・チャンネルを変更するごとにモード・レジスタまたはコンフィギュレーション・レジスタに書込みを行うことにより、AD7192 の変調器とフィルタをリセットする必要があります。

## パリティのイネーブル

AD7192 は ADC とマイクロプロセッサとの間のシリアル通信で 1 ビット・エラーを検出するパリティ・チェック機能も内蔵しています。モード・レジスタの ENPAR ビットに 1 を設定すると、パリティがイネーブルされます。パリティ機能がイネーブルされている場合には、ステータス・レジスタ値を、各 24 ビット変換結果と一緒に送信する必要があります。ステータス・レジスタ値を讀出される各変換結果に追加するときは、モード・レジスタの DAT\_STA ビットに 1 を設定する必要があります。各変換結果の讀出しでは、ステータス・レジスタのパリティ・ビットを設定して、24 ビット・データ・ワード内で送信される 1 の合計数を偶数にする必要があります。このため、例えば、24 ビット変換結果に 11 個の 1 (バイナリ・フォーマット)が含まれる場合、パリティ・ビットを 1 に設定して、シリアル送信内の 1 の総数を偶数にします。マイクロプロセッサが奇数個の 1 を受信した場合、受信されたデータが壊れていることを知ります。

パリティ機能は、1 ビット・エラーのみを検出します。例えば、2 ビットの壊れたデータにより、マイクロプロセッサは偶数個の 1 を受信することになります。このため、エラー状態は検出されません。

## キャリブレーション

AD7192 には 4 つのキャリブレーション・モードがあり、モード・レジスタのモード・ビットを使って設定することができます。これらのモードは、内部ゼロスケール・キャリブレーション、内部フルスケール・キャリブレーション、システム・ゼロスケール・キャリブレーション、システム・フルスケール・キャリブレーションです。モード・レジスタの MD2 ビット～MD0 ビットを適切に設定することにより、何時でもキャリブレーションを実行することができます。キャリブレーションは、ゲインを変更したとき行う必要があります。各変換後、ADC の変換結果は ADC キャリブレーション・レジスタを使ってスケールされた後にデータ・レジスタに書込まれます。オフセット・キャリブレーション係数を結果から減算した後に、フルスケール係数を乗算します。

キャリブレーションを開始するときは、MD2 ビット～MD0 ビットに対応する値を書込みます。ステータス・レジスタの DOUT/RDY $\bar$  ビットと RDY $\bar$  ビットは、キャリブレーションが開始されると、ハイ・レベルになります。キャリブレーションが完了すると、対応するキャリブレーション・レジスタの値が更新され、ステータス・レジスタの RDY $\bar$  ビットがリセットされ、DOUT/RDY $\bar$  ピンがロー・レベルに戻り (CS がロー・レベルの場合)、AD7192 はアイドル・モードに戻ります。

内部ゼロスケールまたはフルスケール・キャリブレーション時に、それぞれゼロ入力とフルスケール入力が内部で ADC 入力ピンに自動的に接続されます。ただし、システム・キャリブレーションでは、システム・ゼロスケール電圧とシステム・フルスケール電圧が外部 ADC ピンに入力された後、キャリブレーション・モードが開始されます。この方法では、ADC 外部の誤差が除去されます。

動作ポイントの観点からは、キャリブレーションはもう 1 つの ADC 変換のように扱う必要があります。ゼロスケール・キャリブレーション(必要な場合は)、常にフルスケール・キャリブレーションの前に行う必要があります。システム・ソフトウェアがステータス・レジスタの RDY $\bar$  ビットまたは DOUT/RDY $\bar$  ピンをモニタし、ポーリング・シーケンスまたは割り込み駆動のルーチンを使って、キャリブレーションの終わりをどのようにシステム・ソフトウェアを設定する必要があります。

チョップをディスエーブルする場合は、内部ゼロスケール・キャリブレーションとシステム・ゼロスケール・キャリブレーション

では、セトリング・タイムに等しい時間  $t_{SETTLE}$  ( $\text{sinc}^4$  フィルタの場合は  $4/f_{ADC}$ 、 $\text{sinc}^3$  フィルタの場合は  $3/f_{ADC}$ )が必要になります。

チョップをイネーブルする場合は、ADC 自体がオフセットを連続的に小さくするため、内部ゼロスケール・キャリブレーションが不要です。ただし、内部ゼロスケール・キャリブレーションを実行する場合は、キャリブレーションを実行するためにセトリング・タイム  $t_{SETTLE}$  ( $2/f_{ADC}$ )が必要です。同様に、システム・ゼロスケール・キャリブレーションでは、完了に  $t_{SETTLE}$  の時間が必要です。

内部フルスケール・キャリブレーションを実行するためには、フルスケール入力電圧がこのキャリブレーションのために選択したアナログ入力に自動的に接続されます。ゲイン = 1 の場合、内部フルスケール・キャリブレーションに必要な時間は  $t_{SETTLE}$  です。高ゲインの場合は、内部フルスケール・キャリブレーションに必要な時間は  $2 \times t_{SETTLE}$  になります。チャンネルのゲインを変更するごとに、フルスケール・キャリブレーションを実行してフルスケール誤差を小さくすることが推奨されます。

システム・フルスケール・キャリブレーションでは、完了に  $t_{SETTLE}$  の時間が必要です。チョップをディスエーブルする場合は、ゼロスケール・キャリブレーション (内部またはシステム・ゼロスケール) を実行した後に、システム・フルスケール・キャリブレーションを起動する必要があります。

内部ゼロスケール・キャリブレーション、システム・ゼロスケール・キャリブレーション、システム・フルスケール・キャリブレーションは、任意の出力データレートで実行することができます。内部フルスケール・キャリブレーションは、任意の出力データレートで実行することができます。この出力データレートに対して、フィルタ・ワード FS[9:0]は 1/16 倍され、FS[9:0] はモード・レジスタのビット FS9～ビット FS0 に書込まれる 10 ビット・ワードに等価な 10 進値になります。このため、内部フルスケール・キャリブレーションは、チョップをディスエーブルしたとき、10 Hz または 50 Hz のような出力データレートで実行することができます。これらの低出力データレートを使うと、優れたキャリブレーション精度が得られます。

オフセット誤差は 150  $\mu\text{V}$ /ゲイン (typ) です。ゲインを変更した場合、キャリブレーションを行うことが推奨されます。ゼロスケール・キャリブレーション (内部ゼロスケール・キャリブレーションまたはシステム・ゼロスケール・キャリブレーション)により、オフセット誤差はノイズのオーダーに削減されます。

AD7192 のゲイン誤差は、ゲイン = 1、電源 = 5 V、周囲温度で出荷時にキャリブレーションされます。このキャリブレーションの後、ゲイン誤差は 5 V で 0.001% (typ) になります。表 23 に、様々なゲイン設定に対する未キャリブレーションのゲイン誤差 (typ) を示します。

表 23. 代表的な未キャリブレーション・ゲイン誤差対ゲイン

Gain	Precalibration Gain Error (%)
8	-0.11
16	-0.20
32	-0.23
64	-0.29
128	-0.39

内部フルスケール・キャリブレーションにより、ゲイン = 1 の場合、ゲイン誤差が 0.001% (typ) に削減されます。高いゲインの場合、 $AV_{DD} = 5 \text{ V}$  での内部フルスケール・キャリブレーション後のゲイン誤差は 0.003% (typ) になります。 $AV_{DD} < 4.75 \text{ V}$  の場合、内部フルスケール・キャリブレーション後のゲイン誤差は 0.005% (typ) になります。

$AV_{DD} < 4.75\text{ V}$  の場合、内部フルスケール・キャリブレーションを実行するとき、CLK\_DIV ビットをセットする必要があります。内部フルスケール・キャリブレーションの精度は、チョップをイネーブルして、低出力データレートをを使って、キャリブレーションを実行すると、さらに向上します。

システム・フルスケール・キャリブレーションにより、ゲイン誤差は、アナログ電源電圧に無関係に、ノイズのオーダーまで削減されます。

AD7192 では内蔵キャリブレーション・レジスタに対してユーザがアクセスできるため、マイクロプロセッサからデバイスのキャリブレーション係数を読み出したり、EEPROM に格納してある値からデバイスへキャリブレーション係数を書込んだりすることができます。レジスタの読み出しは何時でも実行することができますが、レジスタへ書き込むときは、ADC をパワーダウン・モードまたはアイドル・モードにする必要があります。これらのキャリブレーション・レジスタの値は 24 ビット幅です。さらに、デバイスのスパンとオフセットをレジスタを使ってユーザが調節することもできます。

## グラウンド接続とレイアウト

アナログ入力とリファレンス入力は差動であるため、アナログ変調器内の多くの電圧は同相モード電圧です。この製品の高い同相モード除去比により、これら入力での同相モード・ノイズが除去されます。AD7192 のアナログ電源とデジタル電源は独立しており、別々のピンを使用することにより、デバイスのアナログ部とデジタル部の間の結合を最小にしています。デジタル・フィルタは、変調器サンプリング周波数の整数倍以外の広い帯域の電源ノイズを除去します。

R-C フィルタを各アナログ入力ピンに接続して変調器サンプリング周波数で除去比を確保してください。各アナログ入力に直列に  $100\ \Omega$  の抵抗を、アナログ入力ピンの間に  $0.1\ \mu\text{F}$  のコンデンサを、各アナログ入力と AGND の間に  $0.01\ \mu\text{F}$  のコンデンサを、それぞれ接続することが推奨されます。

また、ノイズ・ソースがアナログ変調器を飽和させない限り、デジタル・フィルタはアナログ入力とリファレンス電圧入力のノイズも除去します。そのため、従来の高分解能コンバータに比べて AD7192 のノイズ干渉耐性は向上しています。ただし、AD7192 の ADC の分解能が高く、AD7192 で生ずるノイズ・レベルが低いいため、グラウンド接続とレイアウトについては注意が必要です。

ADC を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。そうすると、グラウンド・プレーンの使用が可能になり、それらを容易に分離できるようになります。一般に、エッチング部分を最小すると、最適なシールド効果を持つため、この方法はグラウンド・プレーンに最適です。

AD7192 ではアナログ・グラウンドとデジタル・グラウンドが分離されていますが (AGND ピンと DGND ピン)、デバイス内部ではサブストレートで接続されています。分離されたこれらのグラウンド・プレーンが AD7192 の近くで接続されていない限り、これらのピンを別々のグラウンド・プレーンに接続しないでください。

AGND と DGND が他の場所 (たとえば、システム電源) で接続されているシステムでは、グラウンド・ループが発生するため、両ピンを AD7192 の近くで再び接続しないでください。これらのケースでは、AD7192 のグラウンド・ピンを AGND プレーンに接続することが推奨されます。

すべてのレイアウトで、電流を目的場所まで流すパスとそのリターン・パスをできるだけ近づけて配置するように心がけることは重要です。AGND をデジタル電流が流れないようにします。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンが AD7192 の下を通過することは可能です。AD7192 の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。また、クロック信号はアナログ入力の近くを通過しないようにします。デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置します。これにより、ボードを通過するフィードスルーの効果を除去することができます。マイクロストリップ技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面はグラウンド・プレーン専用にして、信号はハンダ面に配線します。

高分解能 ADC を使うときは、デカップリングが重要になります。すべての電源を、 $10\ \mu\text{F}$  のタンタル・コンデンサと  $0.1\ \mu\text{F}$  のコンデンサの並列接続を使って AGND へデカップリングします。デカップリング部品の効果を最大にするためには、これらの部品をデバイスのできるだけ近くに、理想的にはデバイスの隣に配置します。すべてのロジック・チップは、 $0.1\ \mu\text{F}$  のセラミック・コンデンサで DGND へデカップリングする必要があります。AD7192 の  $AV_{DD}$  と  $DV_{DD}$  を同じ電圧で駆動するシステムでは、システムの  $AV_{DD}$  電源の使用をお奨めします。この電源に対しては、AD7192 の  $AV_{DD}$  ピンと AGND の間に推奨アナログ電源デカップリング・コンデンサを、AD7192 の  $DV_{DD}$  ピンと DGND の間に推奨デジタル電源デカップリング・コンデンサを、それぞれ接続する必要があります。



## 外形寸法

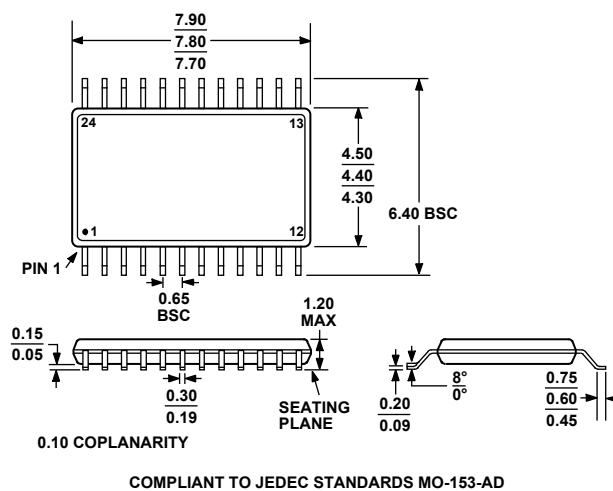


図 33. 24 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]  
(RU-24)  
寸法: mm

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD7192BRUZ <sup>1</sup>	-40°C to +105°C	24-Lead TSSOP	RU-24
AD7192BRUZ-REEL <sup>1</sup>	-40°C to +105°C	24-Lead TSSOP	RU-24

<sup>1</sup> Z = RoHS 準拠製品。