

特長

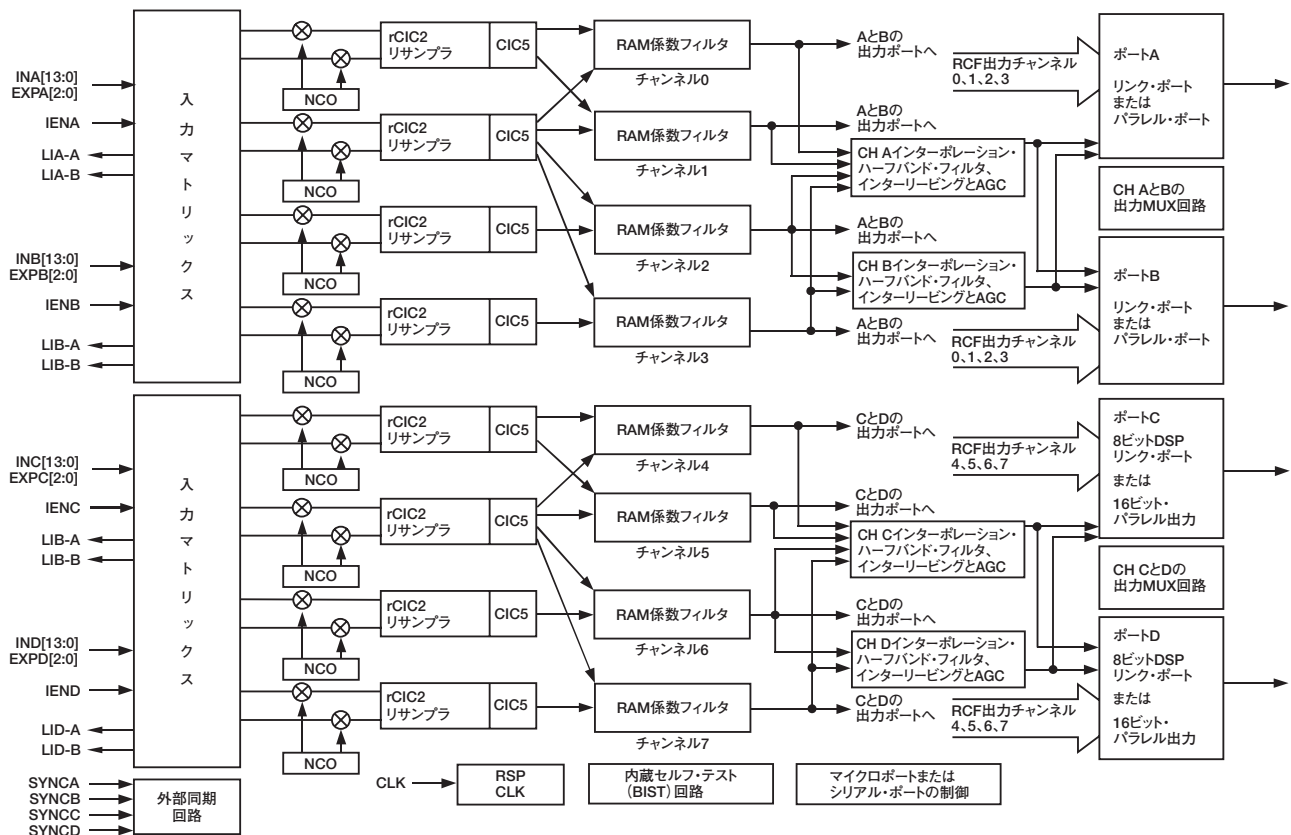
- 4つの80MSPS広帯域入力 (14リニア・ビット+3 RSSI)
- 4つの実数入力ポート/2つの複素数入力ポート
- 4つの広帯域チャンネル (UMTSまたはcdma2000×1) または8つのGSM/EDGE、IS136チャンネルを処理
- 8個の独立したデジタル・レシーバをシングル・パッケージに内蔵
- 4つの16ビット・パラレル出力ポートと、4つの8ビット・リンク・ポート
- 4つのレンジ96dBでプログラマブルなデジタルAGCループ
- 非整数のデシメーション・レート用のデジタル・リサンプリング
- プログラマブルなデシメーションFIRフィルタ
- 4つのインターポレーション・ハーフバンド・フィルタ

- マルチキャリアおよびフェーズド・アレイの柔軟な制御
- レベル・インジケータによる外部ゲイン・レンジングおよびクリップ防止用のプログラマブルな減衰器制御
- I/O : 3.3V、CMOSコア : 2.5V
- ユーザー設定可能な内蔵セルフ・テスト (BIST) 機能

アプリケーション

- マルチキャリア、マルチモード・デジタル・レシーバ
- GSM、IS136、EDGE、PHS、IS95、UMTS、cdma2000
- マイクロ/ピコ・セル・システム、ソフトウェア無線
- ワイヤレス・ローカル・ループ
- スマート・アンテナ・システム
- 屋内無線電話

機能ブロック図



AD6635

概要

AD6635は、4つまでのWCDMAチャンネルを処理できるマルチモード、8チャンネルのデジタル受信信号プロセッサ (RSP) です。各チャンネルは、周波数変換器、2つのCICデシメーション・フィルタ、プログラマブルな係数デシメーション・フィルタの4つの信号処理エレメントをカスケード接続することによって構成されています。各入力ポートには、広いダイナミックレンジに対応したり、ゲイン・レンジング・コンバータを使用する場合に備えて、入力レベルのスレッシュホールド検出回路があります。クワッド16ビット・パラレル出力ポートは、高データ・レートのWCDMAアプリケーションに使用できます。内蔵のインターポレーション・ハーフバンド・フィルタを使用すれば、出力レートをさらに高くすることもできます。さらに、狭いビット幅を使用する広いダイナミックレンジに対応するために、各出力ポートにはデジタルAGCがあります。AGCは、そのモードに応じて、信号レベルまたはクリッピング・レベルを維持できます。リンク・ポート出力を利用すれば、アナログ・デバイセズのTigerSHARC DSPコアへのグルーレスなインターフェースが可能です。

AD6635は、アナログ・デバイセズSoftCellマルチキャリア・トランシーバのチップセットを構成するものであり、当社の高速度サンプル・レート、IFサンプリングADCファミリ (AD9238/AD6645 12/14ビット) と互換性をもつように設計されています。SoftCellレシーバには、キャリアの全スペクトルをデジタル化し、同調およびチャンネル選択の対象となるキャリアをデジタル的に抽出する機能を備えたデジタル・レシーバが含まれています。このアーキテクチャにより、ワイヤレス基

地局アプリケーションにおいて、不要な無線通信を低減することができます。

ダイナミックレンジの広いデシメーション・フィルタにより、広範囲のデシメーション・レートが得られます。RAMベースのアーキテクチャであることから、マルチモードのアプリケーション用に簡単に設定を変更することができます。

デシメーション・フィルタは、対象チャンネルの不要な信号やノイズを取り除きます。対象チャンネルの使用帯域幅が入力信号より狭い場合、このような帯域外ノイズの除去は「ゲイン処理」と呼ばれます。大きなデシメーション係数を使用すると、このゲイン処理によって、ADCのSNRを30dB以上向上させることができます。さらに、プログラマブルなRAM係数フィルタにより、コスト効果の高い単一フィルタで、アンチエイリアス処理、整合フィルタ処理、スタティック等化の機能をまとめて実現することができます。特にWCDMAやcdma2000など、さまざまなアプリケーションで出力にインターポレーション・ハーフバンド・フィルタを使用することにより、出力レートがチップ・レートの2~4倍まで向上します。また、AD6635には、独立した自動ゲイン制御 (AGC) ループが4つ装備され、RAKEレシーバへの直接インターフェースとなります。

AD6635は、AD664x、AD923x、AD943x、AD922xファミリーのデータ・コンバータなど、標準的なADCコンバータに対して互換性があります。AD6600ダイバーシティADCとの互換性もあるので、AD6600 ADCを使用する既存システムの設計に取り入れることも可能です。

目次

特長	1	ユーザー設定可能な内蔵セルフ・テスト (BIST)	35
アプリケーション	1	RAM BIST	35
概要	2	チャンネルBIST	35
アーキテクチャ	5	チップの同期化	35
推奨動作条件	7	スタート	36
電気的特性	7	非同期スタート	36
一般的なタイミング特性	8	ソフト同期によるスタート	36
マイクロプロセッサ・ポートのタイミング特性	10	SYNCピンによるスタート	36
絶対最大定格	11	ホップ	36
オーダー・ガイド	11	ホップなしで周波数を設定	36
ピン配置	12	ソフト同期によるホップ	37
ピン配置 (ピンアウト)	13	SYNCピンによるホップ	37
ピン機能の説明	14	パラレル出力ポート	37
タイミング図	16	チャンネル・モード	37
入力データ・ポート	23	AGCモード	38
入力データ・フォーマット	23	マスター/スリープPCLKnモード	39
入力タイミング	23	パラレル・ポートのピン機能	39
入力イネーブル制御	23	リンク・ポート	39
ゲイン・スイッチング	23	リンク・ポートのデータ・フォーマット	40
入力データのスケール	24	リンク・ポートのタイミング	40
固定小数点ADCによるスケール	24	TigerSHARCの設定	41
浮動小数点またはゲイン・レンジングADCによるスケール	25	チャンネル・メモリ・マップ	41
数値制御発振器	26	0x00~0x7F:係数メモリ (CMEM)	42
周波数変換	26	0x80:チャンネル・スリープ・レジスタ	42
NCO周波数ホールドオフ・レジスタ	26	0x81:Soft_SYNCレジスタ	42
位相オフセット	26	0x82:Pin_SYNCレジスタ	42
NCOコントロール・レジスタ	26	0x83:スタート・ホールドオフ・カウンタ	42
バイパス	26	0x84:NCO周波数ホールドオフ・カウンタ	42
位相ディザ	26	0x85:NCO周波数レジスタ0	42
振幅ディザ	26	0x86:NCO周波数レジスタ1	42
ホップ時の位相アキュムレータのクリア	26	0x87:NCO位相オフセット・レジスタ	42
入力イネーブル制御	27	0x88:NCOコントロール・レジスタ	42
モード00: IENのローレベルでデータをブランク	27	0x90:rCIC2デシメーション-1 ($M_{rCIC2}-1$)	44
モード01: IENのハイレベルでクロック入力	27	0x91:rCIC2インターポレーション-1 ($L_{rCIC2}-1$)	44
モード10: IENの立ち上がり変化でクロック入力	27	0x92:rCIC2スケール	44
モード11: IENの立ち下がり変化でクロック入力	27	0x93:	44
WB入力セレクト	27	0x94:CIC5デシメーション-1 ($M_{CIC5}-1$)	44
同期セレクト	27	0x95:CIC5スケール	44
2次rCICフィルタ	27	0x96:	44
rCIC2除去比	28	0xA0:RCFデシメーション-1 ($M_{RCF}-1$)	44
例計算	28	0xA1:RCFデシメーション位相 (P_{RCF})	44
デシメーション・レジスタとインターポレーション・レジスタ	29	0xA2:RCFタップ数-1 ($N_{TAPS}-1$)	44
rCIC2スケール	29	0xA3:RCF係数オフセット (CO_{RCF})	44
5次CICフィルタ	29	0xA4:RCFコントロール・レジスタ	45
CIC5除去比	29	0xA5:I用BISTレジスタ	45
RAM係数フィルタ	30	0xA6:Q用BISTレジスタ	45
RCFデシメーション・レジスタ	30	0xA7:BISTコントロール・レジスタ	45
RCFデシメーション位相	30	0xA8:RAM BISTコントロール・レジスタ	45
RCFフィルタ長	30	0xA9:出力コントロール・レジスタ	45
RCF出力スケール係数とコントロール・レジスタ	30	入力ポートコントロール・レジスタのメモリ・マップ	46
インターポレーション・ハーフバンド・フィルタ	31	入力ポート・コントロール・レジスタ	46
自動ゲイン制御	32	0x00:下限スレッシュールドA	46
AGCループ	32	0x01:上限スレッシュールドA	46
目標信号レベル・モード	32	0x02:ドウェル・タイムA	46
目標クリップ・レベル・モード	34	0x03:ゲイン・レンジAコントロール・レジスタ	46
同期	34	0x04:下限スレッシュールドB	47
		0x05:上限スレッシュールドB	47
		0x06:ドウェル・タイムB	47
		0x07:ゲイン・レンジBコントロール・レジスタ	47

AD6635

目次 (続き)

出力ポート・コントロール・レジスタのメモリ・マップ	47	マイクロポートの制御	53
0x08: ポートAコントロール・レジスタ	50	外部メモリ・マップ	53
0x09: ポートBコントロール・レジスタ	50	アクセス・コントロール・レジスタ (ACR)	54
0x0A: AGC Aコントロール・レジスタ	50	チャンネル・アドレス・レジスタ (CAR)	54
0x0B: AGC Aホールドオフ・カウンタ	50	SOFT_SYNCコントロール・レジスタ	55
0x0C: AGC A目標レベル	50	PIN_SYNCコントロール・レジスタ	55
0x0D: AGC A信号ゲイン	51	スリープ・コントロール・レジスタ	55
0x0E: AGC Aループ・ゲイン	51	データ・アドレス・レジスタ	55
0x0F: AGC Aポール位置	51	書き込みシーケンス	55
0x10: AGC A平均サンプル	51	読み出しシーケンス	56
0x11: AGC A更新デシメーション	51	読み出し/書き込みチェーン	56
0x12: AGC Bコントロール・レジスタ	51	インテル非マルチプレックス・モード (INM)	56
0x13: AGC Bホールドオフ・カウンタ	51	モトローラ非マルチプレックス・モード (MNM)	56
0x14: AGC B目標レベル	51	シリアル・ポートの制御	56
0x15: AGC B信号ゲイン	51	シリアル・ポートのタイミング仕様	56
0x16: AGC Bループ・ゲイン	51	SDI0, SDI4	56
0x17: AGC Bポール位置	52	SCLK0, SCLK4	57
0x18: AGC B平均サンプル	52	内部書き込みアクセス	58
0x19: AGC B更新デシメーション	52	書き込み擬似コード	58
0x1A: パラレル・ポート制御A	52	内部読み出しアクセス	58
0x1B: リンク・ポート制御A	52	読み出し擬似コード	58
0x1C: パラレル・ポート制御B	52	外形寸法	59
0x1D: リンク・ポート制御B	53		
0x1E: ポート・クロック制御	53		

アーキテクチャ

AD6635には、4つの信号処理段があります。すなわち、周波数変換器、リサンプリング・カスケード積分型2次櫛形FIRフィルタ (rCIC2)、カスケード積分型5次櫛形FIRフィルタ (CIC5)、RAM係数FIRフィルタ (RCF) です。チップへの入/出力データをクロックさせるための複数のモードがサポートされており、さまざまなデジタル化機器に幅広く接続できる柔軟性があります。プログラミングと制御は、シリアル・インターフェースやマイクロプロセッサのインターフェースを介して実行されます。

周波数変換は、32ビットの複素数値制御発振器 (NCO) を用いて行われます。この段に入ってくる実数データは、同相成分 (I) と直交成分 (Q) に分けられます。ここでは、入力信号をデジタル中間周波数 (IF) からデジタル・ベースバンドに変換します。位相および振幅のディザをチップ上で有効にすると、NCOのスプリアス性能が向上します。また位相オフセット・ワードを利用すれば、複数のAD6635間またはチャンネル間で既知の位相関係を確立することができます。

周波数変換の後には、固定係数による高速リサンプリング・カスケード積分型2次櫛形 (rCIC2) フィルタが続きます。このフィルタは、デシメーション・レジスタとインターポレーション・レジスタ間の比率に基づいてサンプル・レートを低減します。

次の段は、カスケード積分型5次櫛形 (CIC5) フィルタで、その応答はデシメーション・レートによって決定されます。このフィルタの目的は、最終フィルタ段 (RCF) へのデータ・レートを低減して、同じRCF帯域幅に対して計算できるタップ数を増やすことです。CIC5フィルタは、rCIC2よりも優れたアンチエイリアシング (フィルタリング) 機能を備えています。この点から、このフィルタを使用するのは、リサンプリングが必要な場合、またはCIC5単独では必要なデシメーションに対処できない場合だけにすることをお勧めします。

最終段は、プログラマブルな20ビット係数と、1~256 (実用的には1~32) のプログラマブルなデシメーション・レートを備えた、積和FIRフィルタです。RAM係数FIRフィルタ (機能ブロック図のRCF) は、最大160タップを処理できます。

RCFから出力されたデータは、出力ポートまたはインターリーブに送信できます。このセクションでは、複数のチャンネルからのデータをインターリーブできます。複数のチャンネルを使用して1つのキャリアの処理ができ、データをインターリーブして出力セクションに戻します。このように、1つのキャリアに対して複数のチャンネルの処理パワーが使用できます。

インターリーブされたデータは、固定係数のインターポレーション・ハーフバンド・フィルタに送信され、ここで係数2でインターポレーションされます。ハーフバンド・フィルタの後に続くデジタルAGCには、96.3dBのゲイン範囲があります。このAGCセクションは、その応答に関して完全にプログラマブルです。機能ブロック図に示すように、AD6635には4つのハーフバンド・フィルタとAGCがあります。ハーフバンド・フィルタとAGCの各セクションは、個別にバイパスできます。

AD6635の全体的なフィルタ応答は、すべてのデシメーション段とインターポレーション段を合成したものになります。後に続く各フィルタ段は、より狭い遷移帯域幅で応答することが可能ですが、出力を計算するために、より多くのCLKサイクルが必要となります。最初のフィルタ段で多数のデシメーションを実行すれば、全体の電力消費を最大限低減することができます。独立したそれぞれのフィルタ段は、独特な方法でバイパスできます。チップからのデータは、高速パラレル・ポートまたはTigerSHARC互換のリンク・ポートを介して、DSPに接続します。各出力でパラレル・ポートまたはリンク・ポートを使用するように個別に設定できます。

図1には、広い入力スペクトルから1つのチャンネルを選択してフィルタするためのAD6635 NCOの同調機能を示します。周波数変換器で、希望するキャリアをベースバンドに「同調」させます。図2に、サンプル・フィルタ設定に対するrCIC2、CIC5、RCFフィルタの合成フィルタ応答を示します。

AD6635

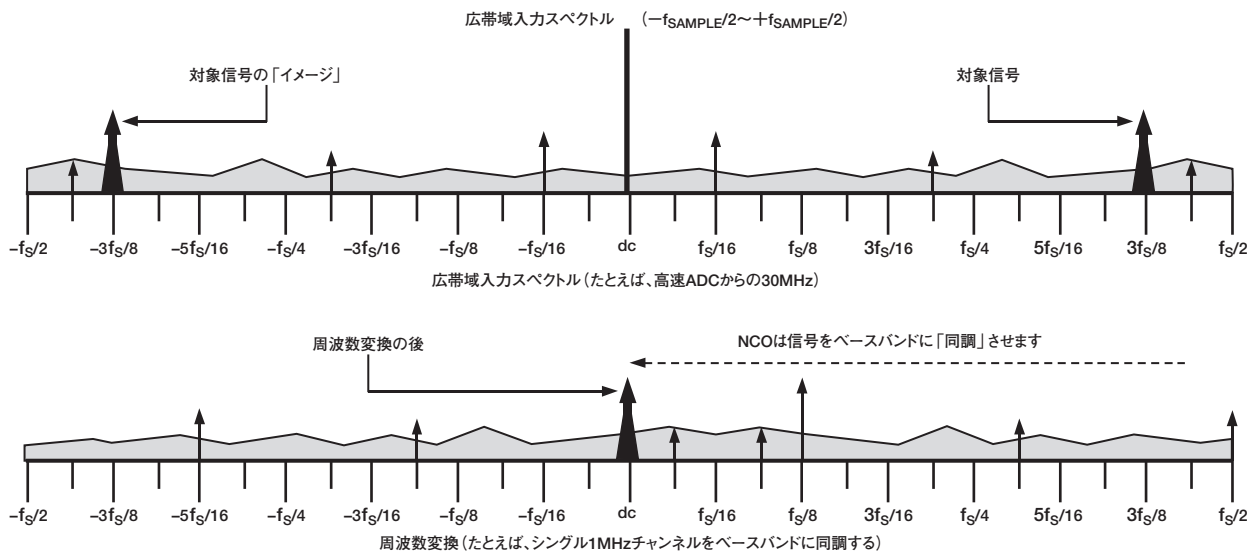


図1. 広帯域入力スペクトルのAD6635周波数変換

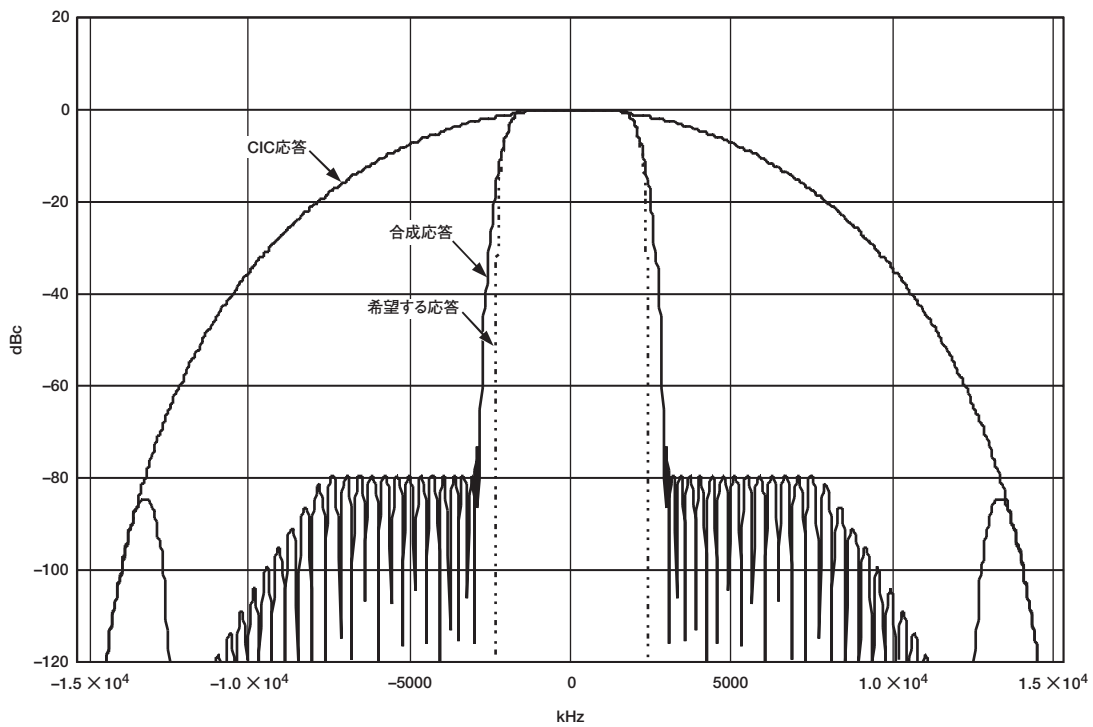


図2. サンプル・フィルタ設定に対するrCIC2、CIC5、RCFの合成フィルタ応答

仕様

推奨動作条件

パラメータ	温度	テスト・レベル	AD6635BB			単位
			Min	Typ	Max	
VDD		IV	2.25	2.5	2.75	V
VDDIO		IV	3.0	3.3	3.6	V
T _{AMBIENT}		IV	-40	+25	+85	°C

電気的特性

パラメータ (条件)	温度	テスト・レベル	AD6635BB			単位
			Min	Typ	Max	
ロジック入力 (5V対応)						
ロジック互換性	全範囲	IV		3.3V CMOS		
ロジック “1” 電圧	全範囲	IV	2.0		5.0	V
ロジック “0” 電圧	全範囲	IV	-0.3		+0.8	V
ロジック “1” 電流	全範囲	IV		1	10	μA
ロジック “0” 電流	全範囲	IV		1	10	μA
ロジック “1” 電流 (プルダウン付き入力)	全範囲	IV				
ロジック “0” 電流 (プルアップ付き入力)	全範囲	IV				
入力容量	25°C	V		4		pF
ロジック出力						
ロジック互換性	全範囲	IV				
ロジック “1” 電圧 (I _{OH} =0.25mA)	全範囲	IV	2.4	VDD-0.2		V
ロジック “0” 電圧 (I _{OL} =0.25mA)	全範囲	IV		0.2	0.4	V
IDD電源電流						
CLK=80MHz (VDD=2.75V、VDDIO=3.6V)	全範囲	IV				
I _{VDD}					880	mA
I _{VDDIO}					150	mA
CLK=GSMの例 (65MSPS、VDD=2.5V、VDDIO=3.3V、4チャンネル)	25°C	V				
I _{VDD}				485		mA
I _{VDDIO}				60		mA
CLK=WCDMAの例 (76.8MSPS、VDD=2.5V、VDDIO=3.3V、2チャンネル)	25°C	V				
I _{VDD}				830		mA
I _{VDDIO}				120		mA
消費電力						
CLK=80MHz	全範囲	IV			2.8	W
CLK=65MHz GSM/EDGEの例		V		1.4		mW
CLK=76.8MHz WCDMAの例		V		2.5		W
CLK=78.64MHz cdma2000の例		V		2.3		W
すべてのチャンネルがスリープ・モード	全範囲	IV		570		μW

仕様は予告なく変更されることがあります。

AD6635

仕様 (続き)

一般的なタイミング特性^{1、2}

パラメータ (条件)	温度	テスト・レベル	AD6635BB			単位
			Min	Typ	Max	
CLKnのタイミング条件						
t_{CLK} CLKnの周期	全範囲	I	12.5			ns
t_{CLKL} CLKnのローレベル幅	全範囲	IV	5.6	$0.5 \times t_{CLK}$		ns
t_{CLKH} CLKnのハイレベル幅	全範囲	IV	5.6	$0.5 \times t_{CLK}$		ns
RESETのタイミング条件						
t_{RESL} RESETローレベル幅	全範囲	I	30.0			ns
入力広帯域データのタイミング条件						
t_{SI} 入力から↑CLKnまでのセットアップ・タイム	全範囲	IV	2.0			ns
t_{HI} 入力から↑CLKnまでのホールド・タイム	全範囲	IV	1.0			ns
レベル・インジケータの出力スイッチング特性						
t_{DLI} ↑CLKnからLIx-yまでの出力遅延時間	全範囲	IV	3.3		10.0	ns
SYNCのタイミング条件						
t_{SS} SYNC (A、B、C、D) から↑CLKnまでのセットアップ・タイム	全範囲	IV	2.0			ns
t_{HS} SYNC (A、B、C、D) から↑CLKnまでのホールド・タイム	全範囲	IV	1.0			ns
シリアル・ポート制御のタイミング条件						
スイッチング特性 ²						
t_{SCLK} SCLKn (n=0、4) 周期	全範囲	IV	16			ns
t_{SCLKL} SCLKnローレベル時間	全範囲	IV	3.0			ns
t_{SCLKH} SCLKnハイレベル時間	全範囲	IV	3.0			ns
入力特性						
t_{SSI} SDInから↓SCLKnまでのセットアップ・タイム	全範囲	IV	1.0			ns
t_{HSI} SDInから↓SCLKnまでのホールド・タイム	全範囲	IV	1.0			ns
パラレル・ポートのタイミング条件						
(マスター・モード) スwitchング特性 ³						
$t_{DPOCLKL}$ ↓CLKnから↑PCLKnまでの遅延 (1分周)	全範囲	IV	6.5		10.5	ns
$t_{DPOCLKLL}$ ↓CLKnから↑PCLKnまでの遅延 (2、4、または8分周)	全範囲	IV	8.3		14.6	ns
t_{DPREQ} ↑CLKnから↑PxREQまでの遅延					1.0	ns
t_{DPP} ↑CLKnからPx[15:0]までの遅延					0.0	ns
入力特性						
t_{SPA} PxACKから↓PCLKnまでのセットアップ・タイム			7.0			ns
t_{HPA} PxACKから↓PCLKnまでのホールド・タイム			-3.0			ns
パラレル・ポートのタイミング条件						
(スレーブ・モード) スwitchング特性 ³						
t_{POCLK} PCLKn周期	全範囲	I	12.5			ns
t_{POCLKL} PCLKnローレベル周期 (PCLK分周比=1のとき)	全範囲	IV	2.0	$0.5 \times t_{POCLK}$		ns
t_{POCLKH} PCLKnハイレベル周期 (PCLK分周比=1のとき)	全範囲	IV	2.0	$0.5 \times t_{POCLK}$		ns
t_{DPREQ} ↑CLKnから↑PxREQまでの遅延					10.0	ns
t_{DPP} ↑CLKnからPx[15:0]までの遅延					11.0	ns

一般的なタイミング特性^{1, 2}

パラメータ (条件)	温度	テスト・レベル	AD6635BB			単位
			Min	Typ	Max	
入力特性						
t_{SPA} PxACKから↓PCLKnまでのセットアップ・タイム			1.0			ns
t_{HPA} PxACKから↓PCLKnまでのホールド・タイム			1.0			ns
リンク・ポートのタイミング条件 スイッチング特性³						
t_{RDCLK} ↑PCLKnから↑LxCLKOUTまでの遅延	全範囲	IV			2.5	ns
t_{FDCLK} ↓PCLKnから↓LxCLKOUTまでの遅延	全範囲	IV			0	ns
$t_{RLCLKDAT}$ ↑LxCLKOUTからLx[7:0]までの遅延	全範囲	IV	0		2.9	ns
$t_{FLCLKDAT}$ ↓LxCLKOUTからLx[7:0]までの遅延	全範囲	IV	0		2.2	ns

注

¹ すべてのタイミング仕様は、2.25~2.75VのVDD範囲と3.0~3.6VのVDDIO範囲で有効です。² 特に指定がない限り、すべての出力で $C_{LOAD}=40pF$ 。³ Px[15:0]、PxREQ、PxACK、LxCLKOUT、Lx[7:0]のタイミング・パラメータは、出力ポートA、B、C、Dに適用されます (xはA、B、C、またはDを表します)。

仕様は予告なく変更されることがあります。

AD6635

マイクロプロセッサ・ポートのタイミング特性^{1, 2}

パラメータ (条件)	温度	テスト・レベル	AD6635BB			単位
			Min	Typ	Max	
マイクロプロセッサ・ポート、モードMNM (MODE=0)						
モードINMの書き込みタイミング						
t _{SC} 制御 ³ から↑CLKnまでのセットアップ・タイム	全範囲	IV	2.0			ns
t _{HC} 制御 ³ から↑CLKnまでのホールド・タイム	全範囲	IV	2.5			ns
t _{HWR} \overline{WR} (RW) からRDY (\overline{DTACK}) までのホールド・タイム	全範囲	IV	7.0			ns
t _{SAM} アドレス/データから \overline{WR} (RW) までのセットアップ・タイム	全範囲	IV	3.0			ns
t _{HAM} アドレス/データからRDY (\overline{DTACK}) までのホールド・タイム	全範囲	IV	5.0			ns
t _{DRDY} \overline{WR} (RW) からRDY (\overline{DTACK}) までの遅延	全範囲	IV	8.0			ns
t _{ACC} \overline{WR} (RW) からRDY (\overline{DTACK}) ハイレベルまでの遅延	全範囲	IV	4×t _{CLK}	5×t _{CLK}	9×t _{CLK}	ns
モードINMの読み出しタイミング						
t _{SC} 制御 ³ から↑CLKnまでのセットアップ・タイム	全範囲	IV	5.0			ns
t _{HC} 制御 ³ から↑CLKnまでのホールド・タイム	全範囲	IV	2.0			ns
t _{SAM} アドレスから \overline{RD} (\overline{DS}) までのセットアップ・タイム	全範囲	IV	0.0			ns
t _{HAM} アドレスからデータまでのホールド・タイム	全範囲	IV	5.0			ns
t _{DRDY} \overline{RD} (\overline{DS}) からRDY (\overline{DTACK}) までの遅延	全範囲	IV	8.0			ns
t _{ACC} \overline{RD} (\overline{DS}) からRDY (\overline{DTACK}) ハイレベルまでの遅延	全範囲	IV	8×t _{CLK}	10×t _{CLK}	13×t _{CLK}	ns
マイクロプロセッサ・ポート、モードMNM (MODE=1)						
モードMNMの書き込みタイミング						
t _{SC} 制御 ³ から↑CLKnまでのセットアップ・タイム	全範囲	IV	2.0			ns
t _{HC} 制御 ³ から↑CLKnまでのホールド・タイム	全範囲	IV	2.5			ns
t _{HDS} \overline{DS} (RD) から \overline{DTACK} (RDY) までのホールド・タイム	全範囲	IV	8.0			ns
t _{HRW} RW (\overline{WR}) から \overline{DTACK} (RDY) までのホールド・タイム	全範囲	IV	7.0			ns
t _{SAM} アドレス/データからRW (\overline{WR}) までのセットアップ・タイム	全範囲	IV	3.0			ns
t _{HAM} アドレス/データからRW (\overline{WR}) までのホールド・タイム	全範囲	IV	5.0			ns
t _{DDTACK} \overline{DS} (RD) から \overline{DTACK} (RDY) までの遅延	全範囲	IV	8.0			ns
t _{ACC} RW (\overline{WR}) から \overline{DTACK} (RDY) ローレベルまでの遅延	全範囲	IV	4×t _{CLK}	5×t _{CLK}	9×t _{CLK}	ns
モードMNMの読み出しタイミング						
t _{SC} 制御 ³ から↑CLKnまでのセットアップ・タイム	全範囲	IV	5.0			ns
t _{HC} 制御 ³ から↑CLKnまでのホールド・タイム	全範囲	IV	2.0			ns
t _{HDS} \overline{DS} (RD) から \overline{DTACK} (RDY) までのホールド・タイム	全範囲	IV	8.0			ns
t _{SAM} アドレスから \overline{DS} (RD) までのセットアップ・タイム	全範囲	IV	0.0			ns
t _{HAM} アドレスからデータまでのホールド・タイム	全範囲	IV	5.0			ns
t _{DDTACK} \overline{DS} (RD) から \overline{DTACK} (RDY) までの遅延	全範囲	IV	8.0			ns
t _{ACC} \overline{DS} (RD) から \overline{DTACK} (RDY) ローレベルまでの遅延	全範囲	IV	8×t _{CLK}	10×t _{CLK}	13×t _{CLK}	ns

注

¹ すべてのタイミング仕様は、2.25~2.75VのVDD範囲と3.0~3.6VのVDDIO範囲で有効です。

² 特に指定がない限り、すべての出力でC_{LOAD}=40pF。

³ 仕様は次の制御信号のもので：R/W、 \overline{WR} 、 \overline{DS} 、 \overline{RD} 、 $\overline{CS0}$ 、 $\overline{CS1}$

仕様は予告なく変更されることがあります。

絶対最大定格*

電源電圧	3.6V
入力電圧	-0.3~+5.3V (5V対応)
出力電圧振幅	-0.3V~VDDIO+0.3V
負荷容量	200pF
バイアス時の接合温度	150℃
保管温度範囲	-65~+150℃
ピン温度 (5秒)	280℃

* 上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態にすると、デバイスの信頼性に影響を与えることがあります。

熱特性

324ピンBGA：

 $\theta_{JA}=16.87^{\circ}\text{C}/\text{W}$ 、自然空冷

温度は4層ボード上の水平位置で測定。

テスト・レベルの説明

- I 100%の出荷テストを実施。
- II 25℃での100%の出荷テストおよび指定温度でのサンプル・テストを実施。
- III サンプル・テストだけを実施。
- IV パラメータは設計と解析により保証。
- V パラメータは代表値のみ。
- VI 25℃での100%の出荷テストおよび限界温度でのサンプル・テストを実施。

オーダー・ガイド

製品モデル	温度範囲	パッケージ	パッケージ・オプション
AD6635BB AD6635BB/PCB	-40~+85℃	324ピンPBGA (ボール・グリッド・アレイ) 評価ボード (AD6635とソフトウェア付き)	B-324

注意

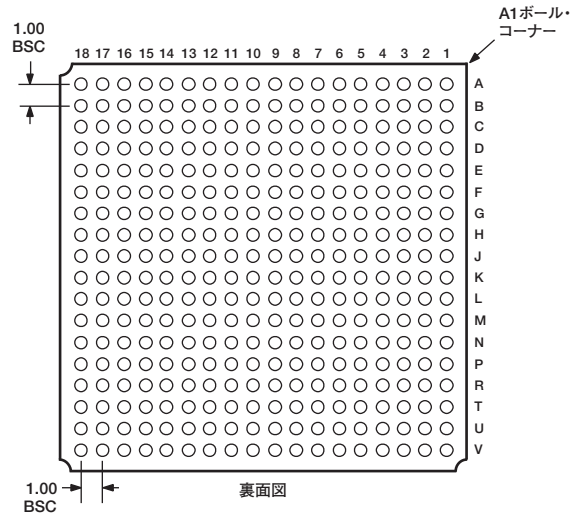
ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されます。AD6635は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD6635

ピン配置

19mm×19mm — 18²ボールZAPHODパッケージ



ピン配置 (ピンアウト)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	
A		IENC	INC0	INC7	INC12	IND2	IND3	IND7	IND8	IND11	EXPD1	PDREQ	PD14	PD10	PD8	PD5_LD5	PDCH1_LDCLK_IN		A
B	CLK0	VDDIO (予約済み)	INC1	INC8	INC11	IND1	IND4	IND6	IND9	IND12	EXPD2	PDACK	PD12	PD11	PD4_LD4	PD3_LD3	PD7_LD7	PDCH0_LDCLK_OUT	B
C	CLK1	VDDIO (予約済み)	PAREQ	INC2	INC9	LID-B	IND0	IND5	IND10	IND13	EXPD0	PD15	PD9	PD1_LD1	PD2_LD2	PD0_LD0	SDI4	PDIQ	C
D	PAACK	CHIP0_ID0		LID-A	INC3	INC10	INC13	IEND	EXPC0	VDD	VDD	VDD	PD13	PCACK	CHIP1_ID1	PCIQ	PD6_LD6	PCLK1	D
E	CHIP0_ID1	CHIP0_ID2			INC4	INC5	INC6	EXPC2	EXPC1	VDD	VDD	VDD		VDDIO (予約済み)	DNC	CHIP1_ID0	CHIP1_ID2	SCLK4	E
F	SCLK0	PAIQ		VDD	VDD	VDD	VDDIO	VDDIO	VDDIO	GND	GND	GND	VDDIO	VDDIO	VDDIO	PCREQ	PC14	PC15	F
G	PCLK0	SDIO	PB6_LB6	VDD	VDD	VDD	VDDIO	VDDIO	VDDIO	GND	GND	GND	VDDIO	VDDIO	VDDIO	PC11	PC13	PC12	G
H	PBCH0_LBCLK_OUT	PBIQ	PB7_LB7	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	PC10	PC9	DNC	H
J	PBCH1_LBCLK_IN	PB0_LB0	PB3_LB3	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	PC8	PC0_LC0	GND (予約済み)	J
K	PB2_LB2	PB4_LB4	PB5_LB5	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	PC1_LC1	PC3_LC3	PC2_LC2	K
L	PB11	PB1_LB1	PB8	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	A1	PC5_LC5	PC4_LC4	L
M	PB13	PB9	PB10	VDDIO	VDDIO	VDDIO	VDD	VDD	VDD	VDDIO	VDDIO	VDDIO	VDD	VDD	VDD	PC6_LC6	PC7_LC7	PCCH1_LCCLK_IN	M
N	PB12	PB14	VDDIO (予約済み)	VDDIO	VDDIO	VDDIO	VDD	VDD	VDD	VDDIO	VDDIO	VDDIO	VDD	VDD	VDD	A0	A2	PCCH0_LCCLK_OUT	N
P	PBREQ	PB15	PBACK	PA15	PA14	PA13	PA10	PA12	PA11	PA3_LA3	LIC-A	DNC	DNC	DNC	D7	D0	D1	\overline{DS}	P
R	EXPB0	INB10	INB11	INB12	INB13	EXPA0	EXPA2	PA9	PA8	LIC-B	PA5_LA5	$\overline{CS0}$	DNC	D4	D3	$\overline{CS1}$	R/W	VDDIO (予約済み)	R
T	EXPB1	INB9	INB4	INB3	INB0	EXPA1	INA9	INA8	PA0_LA0	PA2_LA2	PA1_LA1	SYNCD	\overline{DTACK}	\overline{RESET}	PA7_LA7	DNC	D5	D2	T
U	EXPB2	INB8	INB5	INB2	LIB-B	INA13	INA10	INA7	INA5	INA3	INA1	LIA-A	SYNCA	SYNCC	PA6_LA6	PA4_LA4	MODE	D6	U
V		INB7	INB6	INB1	IENB	INA12	INA11	INA6	INA4	INA2	INA0	IENA	LIB-A	LIA-B	SYNCB	PACH0_LACLK_OUT	PACH1_LACLK_IN		V
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	

ピン機能の説明

名前	タイプ	機能
電源		
VDD	P	2.5Vコア電源 (DVCOREとも呼ばれます)
VDDIO	P	3.3V IO電源 (DVRINGとも呼ばれます)
GND	G	グラウンド
入力		
INA[13:0] ¹	I	A入力データ (仮数部)
EXPA[2:0] ¹	I	A入力データ (指数部)
IENA ²	I	入力イネーブル — 入力A
INB[13:0] ¹	I	B入力データ (仮数部)
EXPB[2:0] ¹	I	B入力データ (指数部)
IENB ²	I	入力イネーブル — 入力B
INC[13:0] ¹	I	C入力データ (仮数部)
EXPC[2:0] ¹	I	C入力データ (指数部)
IENC ²	I	入力イネーブル — 入力C
IND[13:0] ¹	I	D入力データ (仮数部)
EXPD[2:0] ¹	I	D入力データ (指数部)
IEND ²	I	入力イネーブル — 入力D
RESET	I	アクティブ・ロー・リセット・ピン
CLK0	I	入力クロック0 (チャンネル0~3とポートA、B用のマスター・クロック)
CLK1	I	入力クロック1 (チャンネル4~7とポートC、D用のマスター・クロック)
PCLK0	I/O	出力ポートAとB用のリンク/パラレル・ポート・クロック
PCLK1	I/O	出力ポートCとD用のリンク/パラレル・ポート・クロック
LACLKIN	I	リンク・ポートAデータ・レディ
LBCLKIN	I	リンク・ポートBデータ・レディ
LCCLKIN	I	リンク・ポートCデータ・レディ
LDCLKIN	I	リンク・ポートDデータ・レディ
SYNCA ¹	I	すべてのSyncピンを8チャンネルすべてに接続
SYNCB ¹	I	すべてのSyncピンを8チャンネルすべてに接続
SYNCC ¹	I	すべてのSyncピンを8チャンネルすべてに接続
SYNCD ¹	I	すべてのSyncピンを8チャンネルすべてに接続
CHIP0_ID[2:0] ¹	I	チャンネル0~3とポートA、B用のチップIDセレクタ
CHIP1_ID[2:0] ¹	I	チャンネル4~7とポートC、D用のチップIDセレクタ
制御		
PAACK	I	パラレル・ポートAアクノレッジ
PAREQ	O	パラレル・ポートAリクエスト
PBACK	I	パラレル・ポートBアクノレッジ
PBREQ	O	パラレル・ポートBリクエスト
PCACK	I	パラレル・ポートCアクノレッジ
PCREQ	O	パラレル・ポートCリクエスト
PDACK	I	パラレル・ポートDアクノレッジ
PDREQ	O	パラレル・ポートDリクエスト

ピン・タイプ：I=入力、O=出力、P=電源、G=グラウンド、T=スリーステート。

ピン機能の説明 (続き)

名前	タイプ	機能
マイクロポート制御		
D[7:0]	I/O/T	両方向マイクロポート・データ
A[2:0]	I	マイクロポート・アドレス・バス
\overline{DS} (\overline{RD})	I	アクティブ・ロー・データ・ストロブ (アクティブ・ロー読み出し)
\overline{DTACK} (RDY) ²	O/T	アクティブ・ロー・データ・アクノレッジ (マイクロポート・ステータス・ビット)
R/W (\overline{WR})	I	読み書き (アクティブ・ロー書き込み)
MODE	I	インテルまたはモトローラのモード・セレクト
$\overline{CS0}^1$	I	チャンネル0~3とポートA、B用のチップ・セレクト
$\overline{CS1}^1$	I	チャンネル4~7とポートC、D用のチップ・セレクト
シリアル・ポート制御		
SDIO ¹	I	チャンネル0~3とポートA、B用のシリアル・ポート制御データ入力
SCLK0 ¹	I	チャンネル0~3とポートA、B用のシリアル・ポート制御クロック
SDI4 ¹	I	チャンネル4~7とポートC、D用のシリアル・ポート制御データ入力
SCLK4 ¹	I	チャンネル4~7とポートC、D用のシリアル・ポート制御クロック
出力		
LIA-A	O	レベル・インジケータ — 入力A、インターリーブされたデータA
LIA-B	O	レベル・インジケータ — 入力A、インターリーブされたデータB
LIB-A	O	レベル・インジケータ — 入力B、インターリーブされたデータA
LIB-B	O	レベル・インジケータ — 入力B、インターリーブされたデータB
LIC-A	O	レベル・インジケータ — 入力C、インターリーブされたデータA
LIC-B	O	レベル・インジケータ — 入力C、インターリーブされたデータB
LID-A	O	レベル・インジケータ — 入力D、インターリーブされたデータA
LID-B	O	レベル・インジケータ — 入力D、インターリーブされたデータB
LACLKOUT	O	リンク・ポートAクロック出力
LBCLKOUT	O	リンク・ポートBクロック出力
LCCLKOUT	O	リンク・ポートCクロック出力
LDCLKOUT	O	リンク・ポートDクロック出力
LA[7:0]	O	リンク・ポートA出力データ
LB[7:0]	O	リンク・ポートB出力データ
LC[7:0]	O	リンク・ポートC出力データ
LD[7:0]	O	リンク・ポートD出力データ
PA[15:0]	O	パラレル出力データ・ポートA
PB[15:0]	O	パラレル出力データ・ポートB
PC[15:0]	O	パラレル出力データ・ポートC
PD[15:0]	O	パラレル出力データ・ポートD
PACH[1:0]	O	パラレル出力ポートAのチャンネル・インジケータ
PBCH[1:0]	O	パラレル出力ポートBのチャンネル・インジケータ
PCCH[1:0]	O	パラレル出力ポートCのチャンネル・インジケータ
PDCH[1:0]	O	パラレル出力ポートDのチャンネル・インジケータ
PAIQ	O	パラレル・ポートAのI/Qデータ・インジケータ
PBIQ	O	パラレル・ポートBのI/Qデータ・インジケータ
PCIQ	O	パラレル・ポートCのI/Qデータ・インジケータ
PDIQ	O	パラレル・ポートDのI/Qデータ・インジケータ

ピン・タイプ: I=入力、O=出力、P=電源、G=グラウンド、T=スリープ状態。

注

¹ ノミナル70k Ω のプルダウン抵抗付きのピン

² ノミナル70k Ω のプルアップ抵抗付きのピン

AD6635

タイミング図

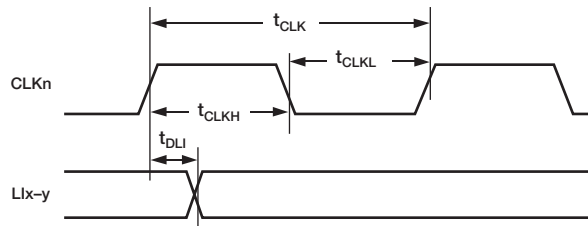


図3. レベル・インジケータの出力スイッチング特性 (x=A、B、C、D、およびy=A、B)
(x=AおよびB、n=0の場合、およびx=CまたはD、n=1の場合)

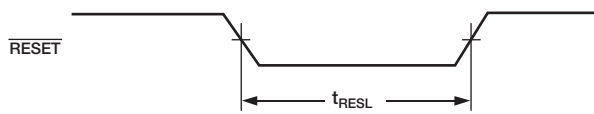


図4. RESETのタイミング条件

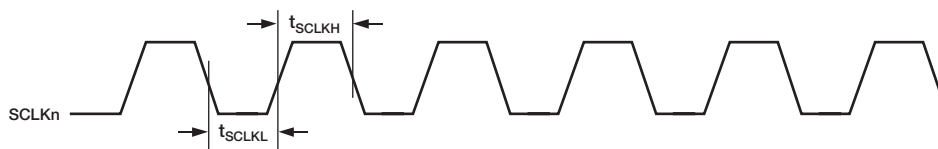


図5. SCLKスイッチング特性 (n=0、4)

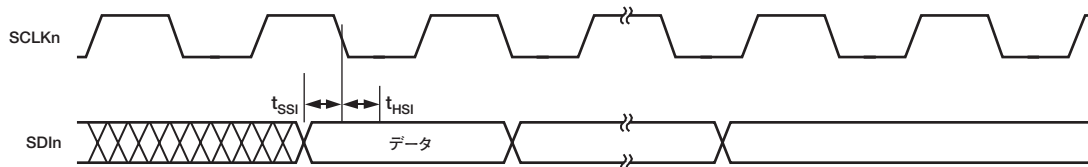


図6. シリアル・ポートの入力タイミング特性 (n=0、4)

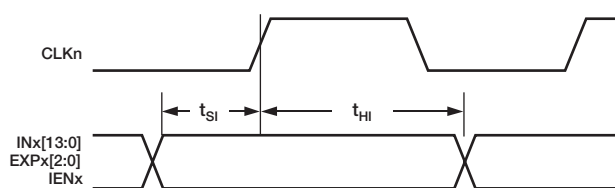


図7. AチャンネルとBチャンネルの入力タイミング

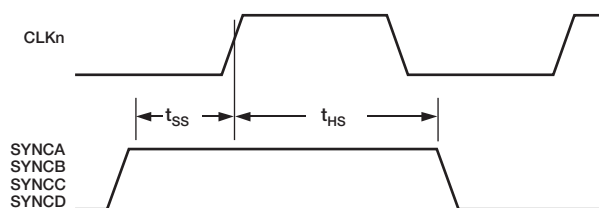


図8. SYNCタイミング入力

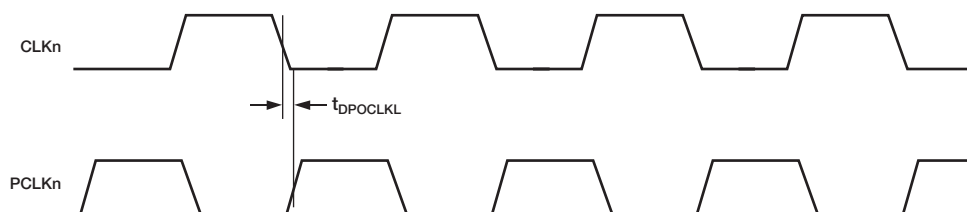


図9. PCLKn/CLKnのスイッチング特性 (1分周)

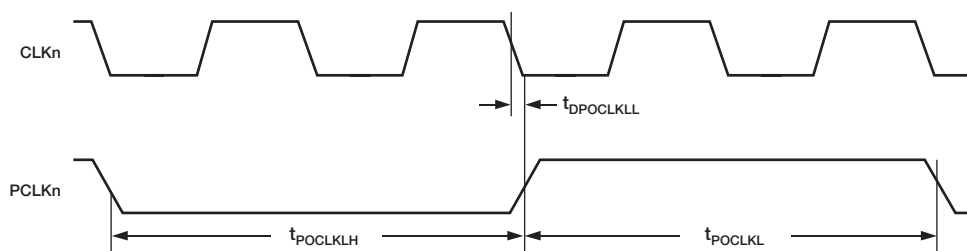


図10. PCLKn/CLKnのスイッチング特性 (2、4、または8分周)

AD6635

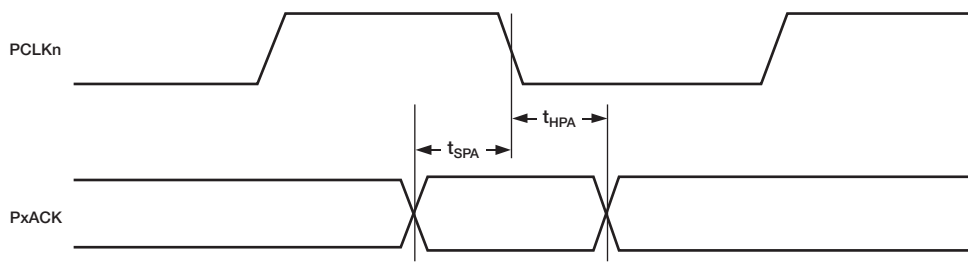


図11. マスター・モードでのPxACK/PCLKnのセットアップおよびホールド特性
($n=0, x=A, B$, または $n=1, x=C, D$)

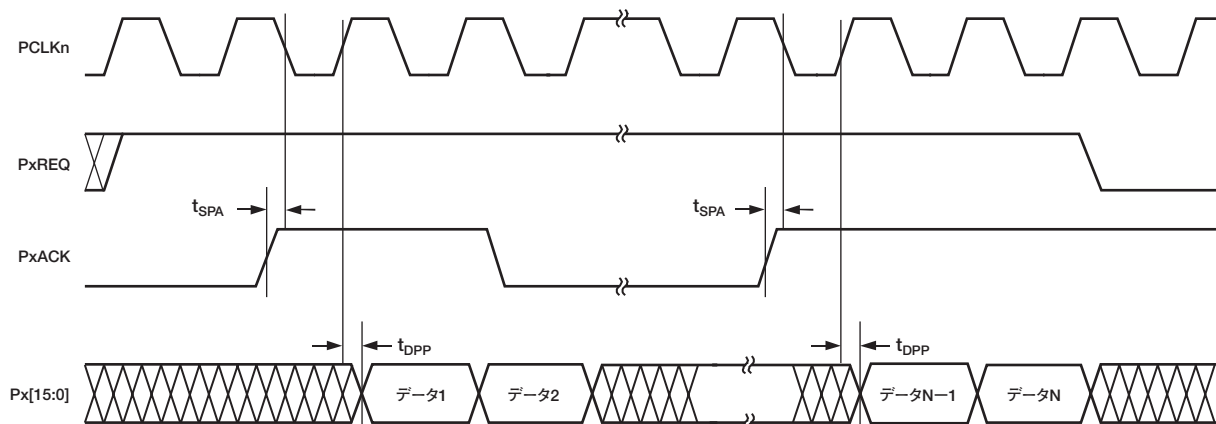


図12. マスター・モードでのPxACK/PCLKnのスイッチング特性
($n=0, x=A, B$, または $n=1, x=C, D$)

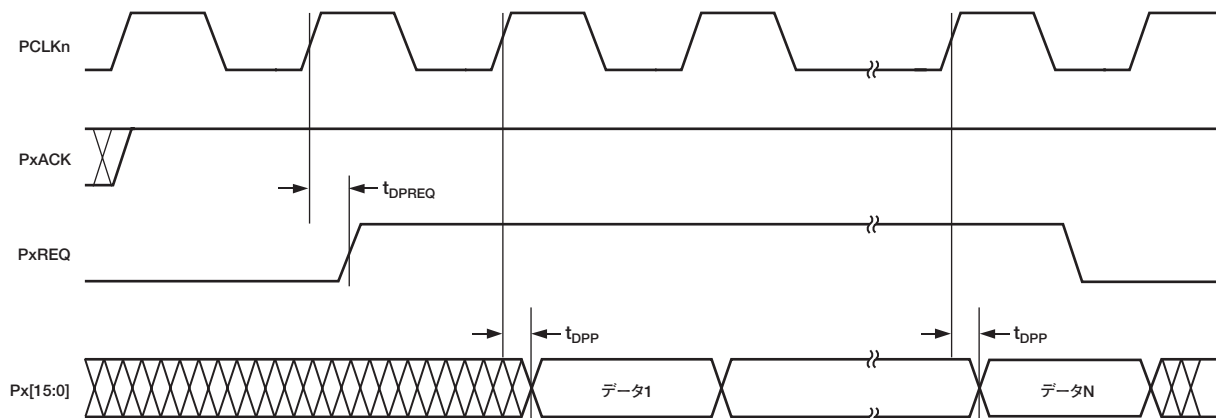


図13. マスター・モードでのPxREQ/PCLKnのスイッチング特性
($n=0, x=A, B$, または $n=1, x=C, D$)

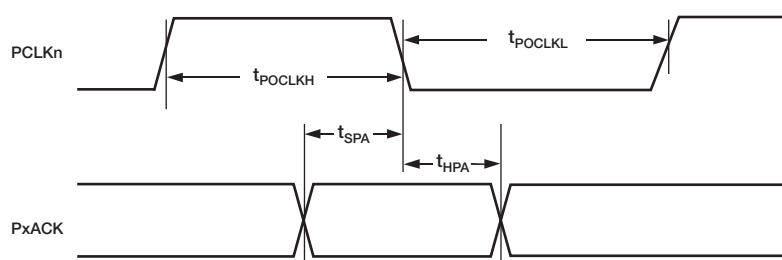


図14. スレープ・モードでのPxACK/PCLKnのセットアップおよびホールド特性
($n=0$, $x=A, B$, または $n=1$, $x=C, D$)

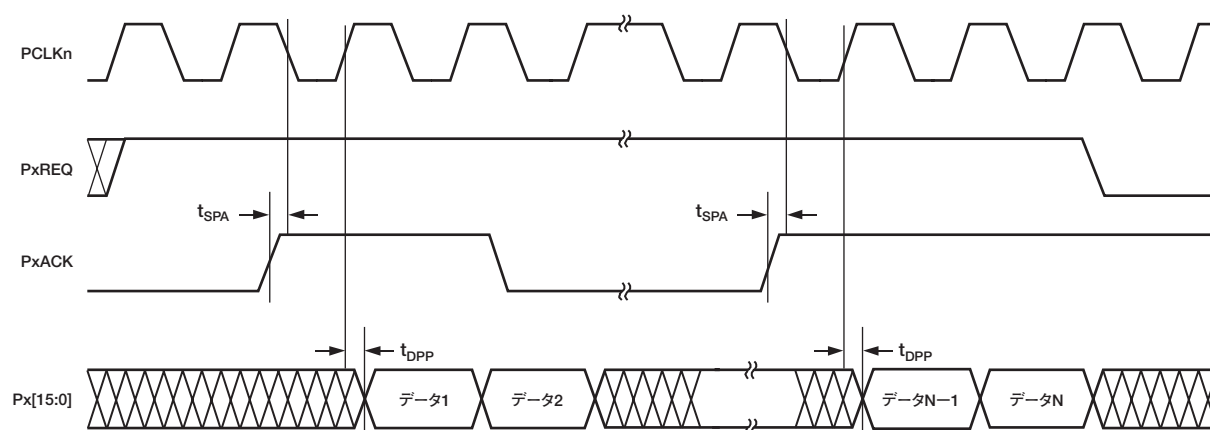


図15. スレープ・モードでのPxACK/PCLKnのスイッチング特性
($n=0$, $x=A, B$, または $n=1$, $x=C, D$)

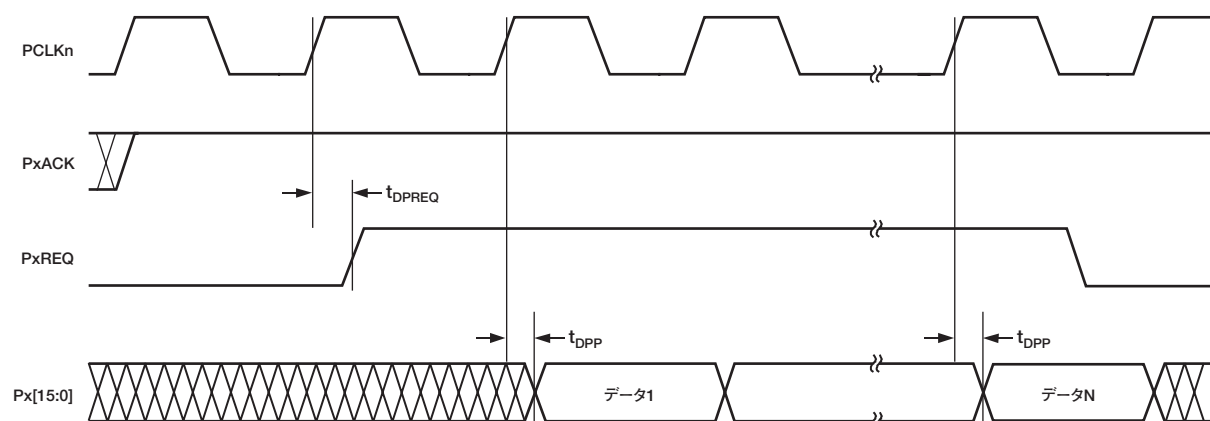


図16. スレープ・モードでのPxREQ/PCLKnのスイッチング特性
($n=0$, $x=A, B$, または $n=1$, $x=C, D$)

AD6635

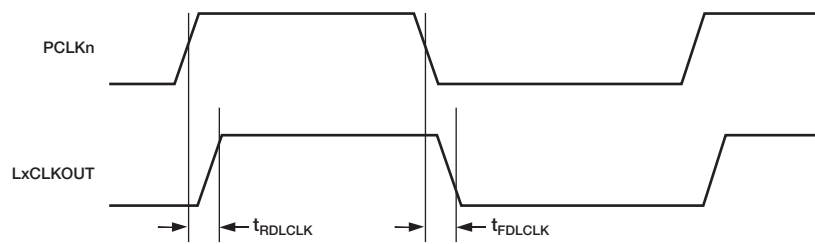


図17. LxCLKOUT/PCLKn (n=0, x=A, B, またはn=1, x=C, D) のスイッチング特性

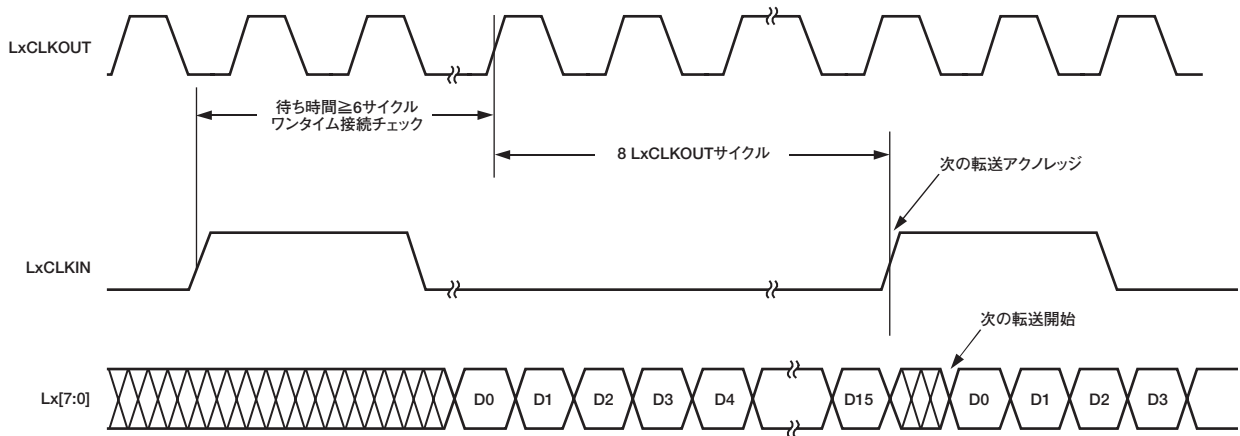


図18. LxCLKIN/LxCLKOUTのデータ・スイッチング特性

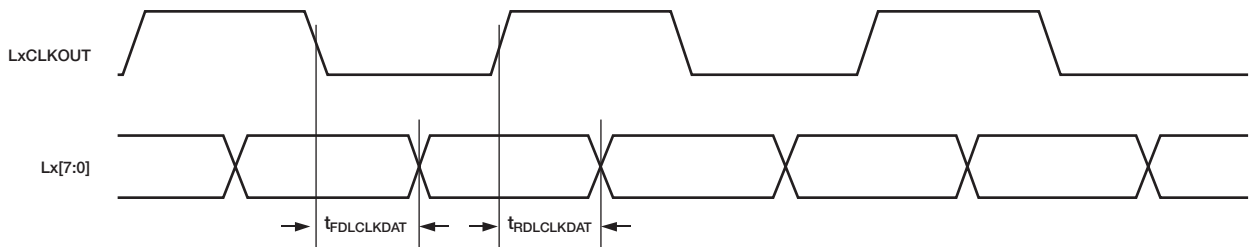
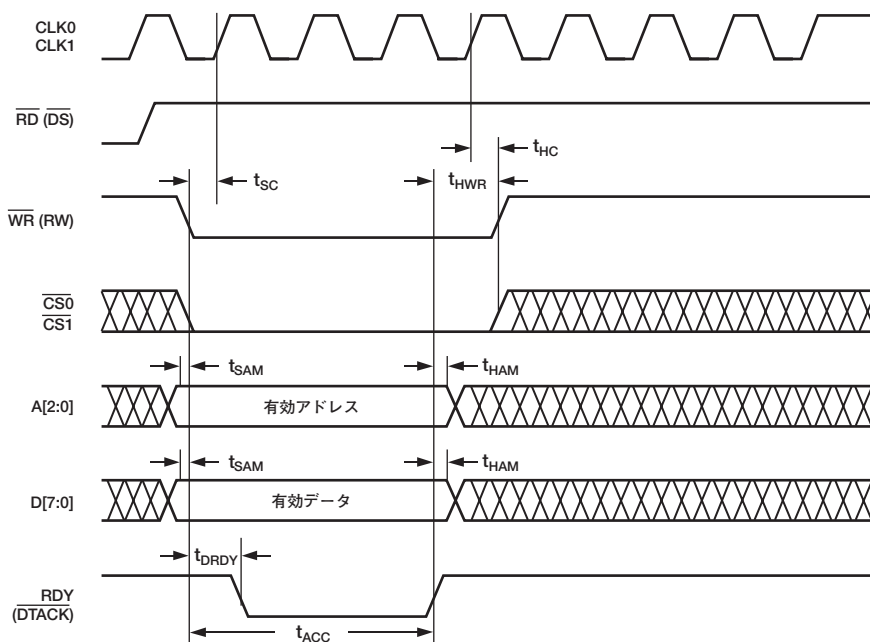


図19. LxCLKOUT/Lx[7:0]のデータ・スイッチング特性

タイミング図 — INMマイクロポート・モード (MODE=0)

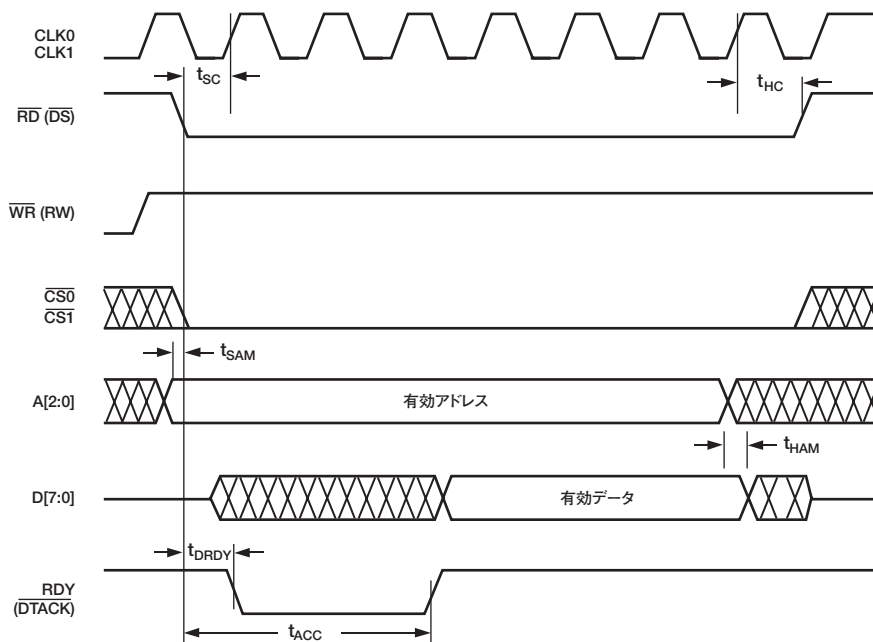


注

1. t_{ACC} のアクセス時間は、アクセスするアドレスに依存します。アクセス時間は、 \overline{WR} のFEからRDYのREまでを測定。
2. t_{ACC} には、最大で9 CLK周期が必要です。

図20. INMマイクロポート書き込みのタイミング条件

CLK0はCS0、CLK1はCS1に対応。CS0とCS1が同時にアクティブ（ロー）になる場合、書き込みエラーが発生。



注

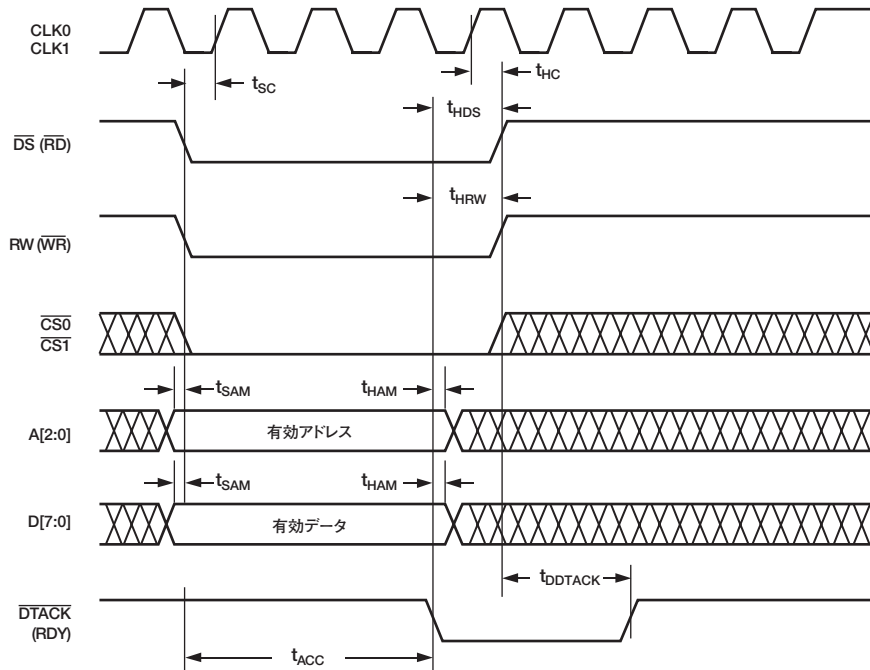
1. t_{ACC} アクセス時間は、アクセスするアドレスに依存します。アクセス時間は、 \overline{WR} のFEからRDYのREまでを測定。
2. t_{ACC} には、最大で13 CLK周期が必要で、A[2:0]=7、6、5、3、2、1に適用されます。

図21. INMマイクロポート読み出しのタイミング条件

CLK0はCS0、CLK1はCS1に対応。CS0とCS1が同時にアクティブ（ロー）になる場合、データ・バスの競合が発生。

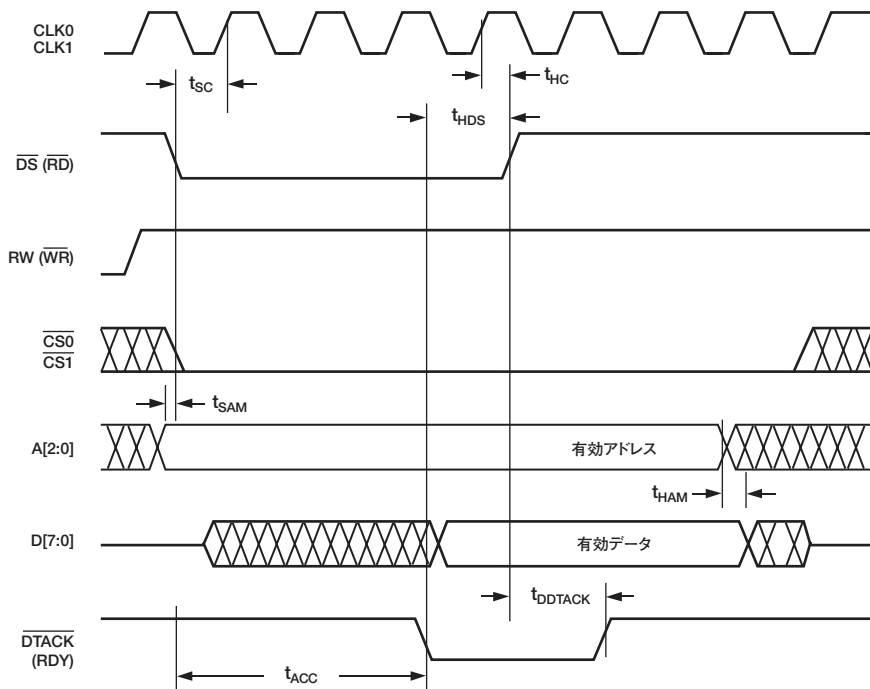
AD6635

タイミング図 — MNMマイクロポート・モード (MODE=1)



- 注
1. t_{ACC} アクセス時間は、アクセスするアドレスに依存します。アクセス時間は、 \overline{DS} のFEから \overline{DTACK} のFEまでを測定。
 2. t_{ACC} には、最大で9 CLK周期が必要です。

図22. MNMマイクロポート書き込みのタイミング条件
CLK0は $\overline{CS0}$ 、CLK1は $\overline{CS1}$ に対応。 $\overline{CS0}$ と $\overline{CS1}$ が同時にアクティブ（ロー）になる場合、書き込みエラーが発生。



- 注
1. t_{ACC} アクセス時間は、アクセスするアドレスに依存します。アクセス時間は、 \overline{DS} のFEから \overline{DTACK} のFEまでを測定。
 2. t_{ACC} には、最大で13 CLK周期が必要です。

図23. MNMマイクロポート読み出しのタイミング条件
CLK0は $\overline{CS0}$ 、CLK1は $\overline{CS1}$ に対応。 $\overline{CS0}$ と $\overline{CS1}$ が同時にアクティブ（ロー）になる場合、データ・バスの競合が発生。

入力データ・ポート

AD6635は、A、B、C、Dという4つの高速なADC入力ポートを備えています。これらの入力ポートにより、単一のチューナ・チップで最大の柔軟性を発揮します。入力には、ダイバーシティ入力、または個別アンテナ・セグメントのようなまったく独立した入力を使用できます。チャンネル0～3は、入力ポートAまたはBのどちらからでも独立してデータを取得できます。同様に、チャンネル4～7は、入力ポートCまたはDのどちらからでも独立してデータを取得できます。さらに高い柔軟性をもたらす特長として、AD6600やマルチプレクサ出力を備えたその他のADCのように、各入力ポートでマルチプレクサ入力が可能です。このように強化された柔軟性によって、AD6635は8つの内部チャンネルによって、8つまでの異なるアナログ・ソースを同時に処理できます。

また、AD6635のフロント・エンドは、高速信号レベルの検出と制御が可能な回路を内蔵しています。この回路は、最大4つのアナログ信号パスを最小限のレイテンシと最大限の柔軟性で制御できる独自の高速レベルの検出回路を備えています。AD6635の入力から出力までの信号パス全体のレイテンシは、高速クロック・サイクル数で表すことができます。次の式を使用して、レイテンシを計算することができます。

$$T_{LATENCY} = M_{RCIC2}(M_{CIC5} + 7) + N_{TAPS} + 26$$

M_{RCIC2} と M_{CIC5} は、それぞれRCIC2フィルタとCIC5フィルタのデシメーション値です。 N_{TAPS} は、選択されているRCFタップの数です。

入力データ・フォーマット

各入力ポートは、14ビットの仮数部と3ビットの指数部で構成されます。標準ADCにインターフェースをとる場合には、指数部ビットをグラウンドに接続できます。AD6600などの浮動小数点ADCに接続する場合には、そのADC製品からの指数部ビットは、AD6635の入力指数部ビットに接続できます。仮数部のデータ・フォーマットは2の補数で、指数部は符号なし2進数です。

入力タイミング

各高速入力ポートからのデータは、CLKの立ち上がりエッジでラッチされます。このクロック信号は、入力ポートをサンプリングし、選択されたチャンネルで次に続く同期信号処理段をクロック駆動するために使用されます。

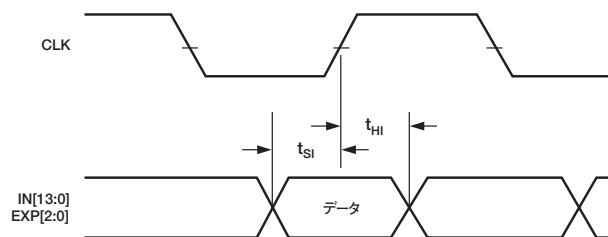


図24. 入力データのタイミング条件

クロック信号は、最大80MHzで動作することができ、50%のデューティ・サイクルです。高速ADCを使用するアプリケーションでは、AD6635のクロック駆動にADCのサンプル・クロックやデータ有効ストロブを使用するのが一般的です。

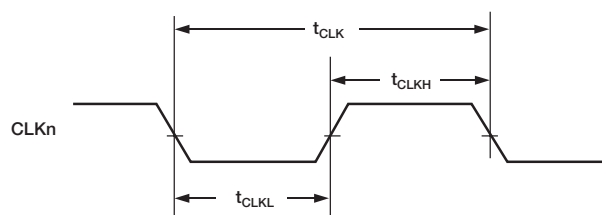


図25. CLKnのタイミング条件 (n=0, 1)

入力イネーブル制御

個々の入力ポートA～Dに対応して、4つの入力イネーブル・ピンIENx (x=A、B、C、またはD) があります。各IENピンを使用するときには、4つの動作モードが可能です。これらのモードを使用すると、通常ダイバーシティ動作に付随するデュアル・チャンネル・モードを提供するAD6620などの他のRSPの動作をエミュレートできます。4つのモードは、「IENの立ち下がり変化」、「IENの立ち上がり変化」、「IENハイレベル」、および「ブランク・オンIENロー」です。

「IENハイレベル」モードでは、入力イネーブルがハイレベルのときに、入力や通常動作が行われます。「IENの立ち下がり変化」モードでは、IENの立ち下がり変化後のクロックの最初の立ち上がりエッジで、通常動作が行われます。同様に、「IENの立ち上がり変化」モードでは、IENの立ち上がり変化後のクロックの立ち上がりエッジで、動作が行われます。入力イネーブル・モードの設定の詳細については、「数値制御発振器」のセクションを参照してください。「ブランク・オンIENロー」モードでは、IENがローレベルのときに、入力データはゼロと解釈されます。

入力モードの代表的なアプリケーションでは、AD6600ダイバーシティADCからAD6635の入力の1つにデータを取り込みます。そのチップからのA/B_OUTは、対応する入力ポートのIENに接続されます。次に、「IENの立ち下がり変化」が有効になるように、AD6635内の1つのチャンネルが設定されます。さらに、「IENの立ち上がり変化」が有効になるように、もう1つのチャンネルも設定されます。これによって、AD6620をダイバーシティ・モードでエミュレートし、インターリーブされた入力データを受信するようにAD6635の2チャンネルを設定できます。NCO周波数やその他のチャンネル特性も同様に設定する必要がありますが、この機能によって、AD6635は、AD6600の場合のようにインターリーブされたデータ・ストリームを処理できるようになります。

「IENの立ち上がり変化」と「IENハイレベル」との違いが明らかになるのは、コンバータのデータ・レートより高いシステム・クロックが供給されたときです。データ・レートより高速なクロックを供給すれば、計算できるフィルタ・タップの数を増やせることがあります。これによって、優れたフィルタリング効果が得られます。回路の他の部分が高速度クロックを簡単かつ適切に認識できるように、「IENの立ち下がり変化」や「IENの立ち上がり変化」を使用してください。このモードでは、セットアップ・タイムとホールド・タイムを満足する最初のクロック・エッジだけが入力データのラッチと処理に使用されます。フロントエンド処理では、他のすべてのクロック・パルスが無視されます。ただし、各クロック・サイクルで、引き続き新しいフィルタ計算ペアが生成されます。

ゲイン・スイッチング

AD6635には、ダイナミックレンジが広いアプリケーションや、ゲイン・レンジング・コンバータを使用するアプリケーションに便利な回路が内蔵されています。この回路では、上限と下限のスレッシュホールドをプログラムできるように、デジタル・スレッシュホールドを設定できます。

AD6635

この機能の用途の1つは、特定の入力条件で、ADCがいつフルスケールに到達しようとしているかを検出することです。その結果として提供されるフラグを使用すれば、ADCのオーバードライブを防止する減衰器をすばやく挿入できます。18dB（または他の任意の値）の減衰を与えた場合には、システムの信号ダイナミックレンジは18dBだけ増えます。このプロセスは、設定された上限スレッシュホールドに入力信号が到達したときに開始されます。代表的なアプリケーションでは、これはフルスケールより1dB（ユーザー定義可能）下に設定されます。この入力条件を満足すると、対応する入力ポート（A～D）に関連する適切なLI信号（LIA-A、LIB-A、LIC-A、またはLID-A）がアクティブになります。これを使用して、外部回路のゲインや減衰量を切り替えることができます。LIラインは、入力条件が設定された下限スレッシュホールドを下回るまで、アクティブのままです。ヒステリシスを与えるときは、ドウェル・タイム・レジスタ（入力コントロール・レジスタのメモリ・マップを参照）を使用して、あらかじめ決められたクロック数だけ、制御ラインの切り替えを阻止することができます。入力条件が下限スレッシュホールドを下回ると、プログラマブル・カウンタが高速クロックのカウントを開始します。設定された高速クロック・サイクル数の間、入力信号が下限スレッシュホールドを下回る限り、減衰器はターミナル・カウントで除去されます。しかし、カウンタの動作中に入力条件が下限スレッシュホールドを上回った場合には、カウンタがリセットされ、プロセスを開始するには、入力下限スレッシュホールドを再び下回る必要があります。これによって、不必要な状態切り替えを防止できます。

これを図26に示します。入力信号が上限スレッシュホールドを上回ると、適切なLI信号がアクティブになります。信号が下限スレッシュホールドを下回ると、カウンタがカウントを開始します。入力条件が下限スレッシュホールドを上回った場合には、カウンタがリセットされ、図に示すように動作を再開します。カウンタが0まで達すると、LIラインは非アクティブになります。

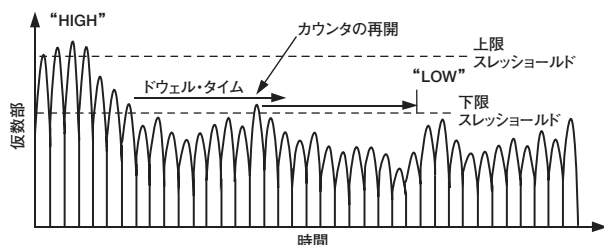


図26. LIのスレッシュホールド設定

LIラインはさまざまな機能に使用できます。たとえば、減衰器DVGAの制御設定に使用したり、アナログVGAと組み合わせて使用することも可能です。この機能を簡単に使用するため、AD6635には2つの独立したゲイン設定が組み込まれています。その1つは、このLIラインが非アクティブ（0x92レジスタのビット9:5に格納されたrCIC2_QUIET[4:0]）のときに動作し、もう1つはアクティブ（0x92レジスタのビット4:0に格納されたrCIC2_LOUD[4:0]）のときに動作します。これによって、外部変化に合わせてデジタル・ゲインを調整できます。ゲイン設定と組み合わせて、ADCのパイプライン遅延とゲイン制御エレメントのスイッチング時間を補償するために、可変ホールドオフ機能が内蔵されています。これらの2つの機能を組み合わせて、スムーズなゲイン・スイッチングが可能になります。

このピンのもう1つの用途は、ゲイン・レンジングADCの内部で、ゲイン・レンジのホールドオフを可能にすることです。ゲイン・レンジングを使用してトータルな信号ダイナミックレンジを拡張するコンバータでは、場合によっては、内部ゲイン・

レンジングの実行を禁止する方がよいことがあります。このようなコンバータでは、LI（AまたはB）ラインを使用して、この機能を阻止することができます。このアプリケーションでは、上限スレッシュホールドを類似の基準で設定します。しかし、下限スレッシュホールドには、特定のコンバータのゲイン・レンジと整合するレベルを設定します。これによって、減衰プロファイル、信号のピーク対平均比、または不必要なゲイン変化を招くその他の時間ベースの特性など、多くの要因に合わせてホールドオフ遅延を適切に設定できます。

AD6635には、すべてのチャンネルをサポートするために、合計で8つのゲイン制御回路があります。したがって、すべての入力ポートにインターリーブされたデータがある場合にも使用できます。データが特定の入力ポートでインターリーブされる場合、ゲイン・レンジ・コントロール・レジスタで適切なビットをセットしてください。こうすれば、インターリーブされた両方のチャンネル・データを監視することができ、対応する入力ポートA～Dに関連付けられたLIA-B、LIB-B、LIC-B、LID-Bピンがインターリーブされたチャンネルの出力インジケータとして機能します。このモードでは、LIx-AピンがIENxローレベルに対応する入力データのインジケータとして機能し、LIx-BはIENxハイレベルに対応する入力データのインジケータとして機能します。インターリーブされたチャンネルを使用しない場合、LIx-Bピンは、LIx-Aピンを補正して、反対の極性を持つインジケータとして機能します。なお、ゲイン制御回路は広帯域であり、ループ遅延を最小限に抑えるために、フィルタ・エレメントに先立って実装されます。

このチップは、LI信号に関連付けられた減衰に基づいて、内部データの適切なスケール機能も提供します。このように、DSPへのデータは、プロセスの全体にわたって正しいスケール値を維持するので、完全に独立したデータとなります。通常、外部のゲイン・スイッチング部品には固有の有限遅延が存在しますが、AD6635に内蔵されている可変パイプライン遅延を使用すれば、外部パイプライン遅延や、ゲイン/減衰器デバイスに伴う総セットリング時間を補償することができます。この遅延は、最大7つの高速クロックに対して設定できます。これらの機能によって、ゲイン設定間でのスムーズなスイッチングが可能になります。

入力データのスケールリング

AD6635には4つのデータ入力ポートがあります。各データ入力ポートは、14ビットの仮数部（2の補数整数）IN[13:0]、3ビットの指数部（符号なし整数）EXP[2:0]、入力イネブル（IEN）を受け付けます。入力ポートAとBはCLK0によってクロック駆動され、入力ポートCとDはCLK1によってクロック駆動されます。これらのピンを使用すれば、AD6600などのゲイン・レンジングADCだけでなく、AD9238やAD6645などの標準の固定小数点ADCにも直接にインターフェースをとることができます。14ビット未満のADCによる通常動作では、アクティブ・ビットをMSB側に寄せて、未使用のLSBをローレベルに接続してください。

3ビットの指数部EXP[2:0]は、符号なし整数と解釈されます。その後、この指数部は、LIラインがアクティブかどうかに応じて、rCIC2_LOUD[4:0]またはrCIC2_QUIET[4:0]によって修飾されます。この5ビットのスケール値は、rCIC2スケール・レジスタ（0x92）に格納され、データがrCIC2リサンプリング・フィルタに入る前にスケールリングが適用されます。この5ビット・レジスタには、rCIC2ゲイン、外部減衰器（使用される場合）、指数部オフセット（ExpOff）を補償するためのスケール値が含まれています。外部減衰器を使用しない場合には、rCIC2_QUIETレジスタとrCIC2_LOUDレジスタには同じ値が入ります。詳細な説明と、減衰スケール・レジスタを設定する

数式については、「浮動小数点ADCによるスケールリング」のセクションを参照してください。

固定小数点ADCによるスケールリング

固定小数点ADCでは一般にAD6635の指数部入力EXP[2:0]を使用しないため、ローに接続してください。ADC出力を、MSB側に寄せて、AD6635の入力に直接接続します。0x92のExpOffビットは、0に設定してください。同様に、指数部反転ビットも0にしてください。固定小数点ADCでは一般に指数部はステータックであり、AD6635で入力スケールリングを使用しません。

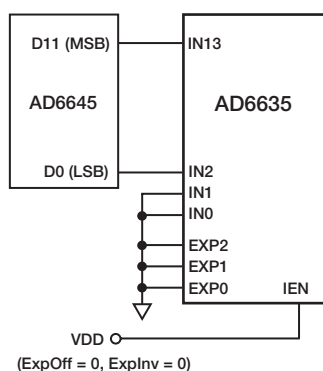


図27. AD6645固定小数点ADCとAD6635との代表的な接続例

浮動小数点またはゲイン・レンジングADCによるスケールリング指数部制御機能の1つの例として、AD6600とAD6635を組み合わせるものがあります。AD6600は、3ビットのゲイン・レンジングがある11ビットのADCです。実際に、11ビットのADCが仮数部を提供するほか、指数部に3ビットの相対信号強度インジケータ (RSSI) を提供します。AD6600で使用するのは、使用可能な8つの段のうち5つだけです。詳細については、AD6600のデータシートを参照してください。

AD6600などのゲイン・レンジングADCでは、次の式が成立します。

$$\text{scaled_input} = \text{in} \times 2^{-\text{mod}(7 - \text{Exp} + \text{rCIC2}, 32)}$$

ExpInv = 1, ExpWeight = 0

ここで、INはIN[13:0]の値、ExpはEXP[2:0]の値、rCIC2はrCICスケール・レジスタ値 (0x92のビット9~5と4~0) です。modは剰余関数です。たとえば、mod(1, 32)=1、mod(2, 32)=2、mod(34, 32)=2となります。

AD6600のRSSI出力は、アナログ入力の信号強度の増加につれて増加します (大信号ではRSSI=5、小信号ではRSSI=0)。指数部反転ビット (ExpInv) がゼロに設定されると、AD6635では、IN[13:0]での最小信号を最大値と見なします。そしてEXPワードが増大するにつれて、データを内部的にシフト・ダウンします (EXP=5では、14ビット・ワードを右側に内部5ビットだけシフトしてから、データをrCIC2に渡します)。この例で、ExpInv=0の場合、AD6635は、RSSI[2:0]=5をAD6600での最小信号、RSSI[2:0]=0を最大信号と見なします。したがって、指数部反転ビットを使用すれば、AD6635の指数部をAD6600のRSSIと一致させることができます。ExpInv=1に設定すると、AD6635では、EXPの増大に対してデータを (シフト・ダウンではなく) シフト・アップ (左シフト) します。AD6600で使用するためには、指数部反転ビットを常にハイレベルに設定してください。

指数部オフセットは、データをシフト・アップするために使用されます。たとえば、表Iに示すように、rCIC2スケールリングがない場合、ADC入力が最大レベルのときに12dBのレンジが失われます。そうすると、量子化ノイズ・フロアに比べて対象となる信号が小さくなり、システムのS/N比とダイナミックレンジが低下するので、これは望ましいことではありません。

表I. AD6600の伝達関数
(AD6635のExpInv=1でExpOffなしの場合)

ADC入力レベル	AD6600 RSSI[2:0]	AD6635 データ	信号の損失 (dB)
最大	101 (5)	/4 (>>2)	-12
	100 (4)	/8 (>>3)	-18
	011 (3)	/16 (>>4)	-24
	010 (2)	/32 (>>5)	-30
	001 (1)	/64 (>>6)	-36
最小	000 (0)	/128 (>>7)	-42

(ExpInv=1, rCIC2スケール=0)

フルスケールADC信号のこのような自動減衰を回避するため、ExpOffを使用して、最大信号 (RSSI=5) をダウンシフトがないポイントまで移動させます。つまり、指数部反転ビットが設定されたら、mod(7-5+ExpOff, 32)=0になるように、指数部オフセットを調整します。mod(32, 32)=0であるため、これは、指数部オフセットが30に設定された場合に該当します。表IIには、AD6600 ADCを使用する場合のExpInvとExpOffの使い方を示します。

表II. AD6600の伝達関数
(AD6620のExpInv=1でExpOff=30の場合)

ADC入力レベル	AD6600 RSSI[2:0]	AD6635 データ	信号の損失 (dB)
最大	101 (5)	/1(>>0)	0
	100 (4)	/2(>>1)	-6
	011 (3)	/4 (>>2)	-12
	010 (2)	/8 (>>3)	-18
	001 (1)	/16 (>>4)	-24
最小	000 (0)	/32 (>>5)	-30

(ExpInv=1, ExpOff=30, Exp Weight=0)

指数部をこのように柔軟に処理できるため、AD6635は、AD6600以外のゲイン・レンジングADCともインターフェースをとることができます。指数部オフセットの調整によって、最大7つのRSSI (EXP) レンジを使用できます (AD6600では5つ)。また、AD6600を使用するシステムでAD6635を調整することもできますが、その信号レンジのすべてを利用するわけではありません。たとえば、最初の4つのRSSIレンジだけが必要な場合には、ExpOffを29に調整し、RSSI=4をAD6635の0dBポイントに対応させることができます。

なお、rCIC2レジスタで設定された上記のスケール係数は、必要なExpOffだけを考慮したものです。このレジスタでは、補償rCIC2フィルタ・ゲインも考慮する必要があります。このために必要な値については、CIC2フィルタのセクションを参照してください。したがって、rCIC2レジスタで設定される最終値は、必要なExpOffとrCIC2スケールの合計となります。

AD6635

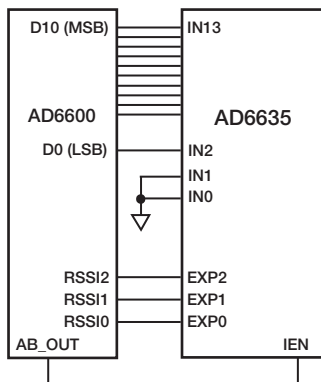


図28. AD6600ゲイン・レンジングADCとAD6635の代表的な接続例

数値制御発振器

周波数変換

この処理段は、2つの乗算器と32ビットの複素数NCOを含むデジタル・チューナで構成されます。AD6635の各チャンネルには独立したNCOがあります。このNCOは、複素数モードで、 $CLK/2^{32}$ の分解能で $-CLK/2 \sim +CLK/2$ の範囲のNCO周波数を生成できる直交ローカル発振器として機能します。最悪の場合でもNCOからのスプリアス信号は、すべての出力周波数で $-100dBc$ よりも小さくなります。

レジスタ0x85と0x86のNCO周波数値は、32ビットの符号なし整数と解釈されます。NCO周波数は、次式を使用して計算します。

$$NCO_FREQ = 2^{32} \times \text{mod} \left(\frac{f_{CHANNEL}}{CLKn}, 1 \right)$$

ここで、 NCO_FREQ は、目標周波数 $f_{CHANNEL}$ に合わせるためにユーザーが設定しなければならない32ビット整数です（レジスタ0x85と0x86）。 $CLKn$ は、使用する入力イネーブル・モードに応じて、AD6635のマスター・クロック・レートまたは入力データ・レートになります。どの場合に CLK または入力データ・レートになるかについては、「入力イネーブル制御」のセクションを参照してください。チャンネル0~3には $CLK0$ を使用し、チャンネル4~7には $CLK1$ を使用します。

mod は剰余関数に似ています。たとえば、 $f_{CHANNEL} = 220\text{MHz}$ で $CLK = 80\text{MHz}$ の場合には、 $\text{mod}(220/80, 1) = \text{mod}(2.75, 1) = 0.75$ になります。

しかし、たとえば、負の周波数の場合には、以下ようになります。

$$\text{mod}(-220/80, 1) = \text{mod}(-1.75, 1) = 0.25$$

この定義は、 NCO_FREQ レジスタが符号付き数値として扱われる場合に有効です。

NCO周波数ホールドオフ・レジスタ

NCO周波数レジスタが書き込まれると、データは実際にはシャドウ・レジスタに渡されます。データがメイン・レジスタに移動するのは、チャンネルがスリープ・モードから出たとき、またはSYNCホップが発生したときです。いずれの場合も、カウンタにはNCO周波数ホールドオフ・レジスタの値をロードできます。マスター・クロックからクロック駆動される16ビットの符号なし整数カウンタ（0x84）がカウント・ダウンを開始し、ゼロに達すると、シャドウ・レジスタ内の新しい周波数値がNCO周波数レジスタに書き込まれます。NCOは、すぐにSYNCに設定することもできます。その場合、周波数ホールド

オフ・カウンタがバイパス（値1を書き込む）され、新しい周波数値が直ちに更新されます。ゼロが書き込まれた場合には、SYNCは発生しません。

位相オフセット

位相オフセット・レジスタ（0x87）は、NCOの位相アキュムレータにオフセットを加算します。START SYNCの場合、このレジスタの値でNCO位相アキュムレータが開始します。これは16ビット・レジスタであり、16ビットの符号なし整数と解釈されます。このレジスタの0x0000は0ラジアンオフセットに対応し、0xFFFFは $2\pi \times (1 - 1/(2^{16}))$ ラジアンオフセットに対応します。このレジスタを使用すれば、複数のNCOを同期させて、既知の安定した位相差を持つ正弦波を生成できます。

NCOコントロール・レジスタ

0x88に置かれているNCOコントロール・レジスタは、NCOの機能設定に使用します。NCOの機能は、以下に示すようにチャンネルごとに制御されます。

バイパス

AD6635のフロントエンドにあるNCOはバイパスできます。バイパス・モードをイネーブルにするには、0x88のビット0をハイレベルに設定します。NCOがバイパスされると、ダウン変換が実行されず、複素数データに対してAD6635のチャンネルが単に実数フィルタとして機能します。これは、A入力をフィルタ内のI信号パスに接続し、B入力をチャンネル0~3のQ信号パスに接続するベースバンド・サンプリング・アプリケーションの場合に便利です。同様に、入力CをI信号パスに接続し、入力Dをチャンネル4~7のQ信号パスに接続します。以前のアナログ段で、もしくは他のデジタル前処理によって、デジタル化された信号がすでにベースバンドに変換されている場合には、この機能を使用するとよいでしょう。

位相ディザ

AD6635は、NCOのスプリアス性能を向上させるために、位相ディザ・オプションを提供します。位相ディザをイネーブルにするには、NCOコントロール・レジスタのビット1を設定します。このビットをハイレベルに設定して位相ディザがイネーブルになると、NCOでの位相切り捨てによるスプリアスがランダム化されます。このようなスプリアスからのエネルギーはノイズ・フロアに拡散され、S/N比がごくわずかに減少するものの、スプリアスフリーのダイナミックレンジが増大します。システムで位相ディザを使用するかどうかは、最終的にはシステムの目標に依存します。ノイズ・フロアを若干犠牲にしても低いスプリアスが望ましい場合には、位相ディザを使用してください。低いノイズ・フロアが必要であり、高いスプリアスを許容できる場合や後続の段でフィルタリングできる場合には、位相ディザは必要ありません。

振幅ディザ

NCOのスプリアス性能を向上させるため、振幅ディザも使用できます。振幅ディザをイネーブルにするには、ビット2を設定します。振幅ディザは、NCOの角度からカーテシアンへの変換において振幅量子化誤差をランダム化することによって、性能を向上させます。このオプションでは、ノイズ・フロアを若干犠牲にしてスプリアスを減らすことができます。振幅ディザと位相ディザは、一緒に使用したり、個別に使用したり、まったく使用しないこともできます。

ホップ時の位相アキュムレータのクリア

ビット3を設定すると、周波数ホップの前に、NCO位相アキュムレータがクリアされます。これによって、各ホップでのNCOの位相の整合性が保証されます。NCO位相オフセットは、この設定に影響されず、依然として有効です。位相の連続ホッピングが必要な場合には、このビットをクリアしてください。NCO

位相レジスタの最後の位相が新しい周波数の開始点となります。

入力イネーブル制御

入力イネーブルには、4つの異なる動作モードがあります。各高速入力ポートには、IENラインがあります。4つのフィルタ・チャンネル0~3のどれでも、2つの入力ポートAまたはBからデータを受け取るよう設定できます（「WB入力セレクト」のセクションを参照）。同様に、4つのフィルタ・チャンネル4~7のどれでも、2つの入力ポートCまたはDからデータを受け取るよう設定できます。データに加えて、IEN_x信号もあります。各フィルタ・チャンネルは、4つのモードのいずれかでIEN信号を処理するよう設定できます。モードのうちの3つは、時分割多重化データ・ストリームに基づいてデータを処理するタイミングに関係します。4番目のモードは、レーダー、ソナー、超音波、TDDに関連する通信など、時分割二重を採用するアプリケーションで使用します。

モード00：IENのローレベルでデータをブランク

このモードでは、IENラインがローレベルの間、データがブランク（無効）になります。IENラインがハイレベルの間は、入力クロックの各立ち上がりエッジで新しいデータがストローブされます。IENラインがローレベルになると、入力データがゼロ値に置き換えられます。この間NCOは動作を続け、IENラインが再びハイレベルになったときに、NCO値がIENラインがローレベルにならなかった場合の値になります。このモードには、IENラインがローレベルになったとき、デジタル入力を無効にする効果があります。IENラインがハイレベルの間、バックエンド処理（rCIC2、CIC5、RCF）が継続します。このモードは、時分割多重のアプリケーションに向いています。

モード01：IENのハイレベルでクロック入力

このモードでは、IENラインがハイレベルの間、データがクロックに同期してチップに入力されます。IENラインがハイレベルの間は、入力クロックの各立ち上がりエッジで新しいデータがストローブされます。IENラインがローレベルになると、入力データがチャンネルにラッチされなくなり、さらにNCOの進行も停止します。ただし、この間もバックエンド処理（rCIC2、CIC5、RCF）は継続します。このモードの主な用途は、入力サンプル・データ・レートより高速のクロックを用いて、より多くのフィルタ・タップ数を計算できるようにすることです。図29では、入力データはIENがハイレベルの間だけストローブされますが、CLKはデータより4倍速いレートで動作し続けます。

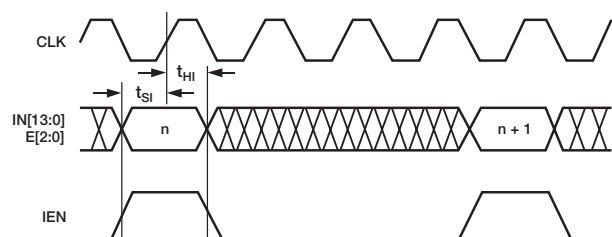


図29. モード01での小数レートの入力タイミング（4×CLK）

モード10：IENの立ち上がり変化でクロック入力

このモードでは、IENラインの立ち上がり変化後の最初のクロック・エッジでのみ、データがチップにクロック入力されます。データは最初の有効なクロック・エッジでのみラッチされますが、モード01と同様、バックエンド処理（rCIC2、CIC5、RCF）は与えられた使用可能な各クロックで継続します。NCO位相アキュムレータは、入力クロックごとではなく、新しい入力データ・サンプルごとに1回だけインクリメントされません。

モード11：IENの立ち下がり変化でクロック入力

このモードでは、IENラインの立ち下がり変化後の最初のクロック・エッジでのみ、データがチップにクロック入力されます。データは最初の有効なクロック・エッジでのみラッチされますが、モード01と同様、バックエンド処理（rCIC2、CIC5、RCF）は与えられた使用可能な各クロックで継続します。NCO位相アキュムレータは、入力クロックごとではなく、新しい入力データ・サンプルごとに1回だけインクリメントされます。

WB入力セレクト

このレジスタのビット6では、信号処理用にどの入力ポートを選択するかを制御します。チャンネル0~3では、このビットをハイレベルにセットすると、入力ポートB（INB、EXPB、IENB）が、選択したAD6635チャンネルに接続されます。このビットをクリアすると、入力ポートA（INA、EXPA、IENA）が、選択したフィルタ・チャンネルに接続されます。同様にチャンネル4~7では、ビット6がセットされると入力ポートDが選択され、このビットがクリアされると入力ポートCが選択されます。

同期セレクト

このレジスタのビット7と8で、選択したチャンネルに対応する外部同期ピンを決めます。AD6635には、SYNCA、SYNCB、SYNCC、SYNCDの4本の同期ピンがあります。任意の同期ピンを、AD6635の8つのレシーバ・チャンネルのいずれにも対応させることができます。さらに、システムが1本の同期信号しか必要としない場合でも、8つのレシーバ・チャンネルのすべてで同じ同期ピンを基準にすることができます。ビット値00でSYNCA、01でSYNCB、10でSYNCC、11でSYNCDをそれぞれ選択します。

2次rCICフィルタ

rCIC2フィルタは、リサンプリング・カスケード積分型2次楕円フィルタです。リサンブラは、高速クロックを必要としない独自の技術を使って実装されているので、設計が簡素化され消費電力の節約ができます。リサンブラにより、マスター・クロックと出力データ・レートの間を非整数の関係にできるので、マルチモードのシステムや、あるいは使用するデータ・レートの整数倍でないマスター・クロックを必要とするシステムを簡単に実装できます。

rCIC2では、512までのインターポレーションと4096までのデシメーションが可能です。rCIC2（L）のリサンプリング係数は9ビットの整数です。12ビットのデシメーション係数Mと組み合わせると、総合レート変化は、次式で表される小数値になります。

$$R_{rCIC2} = \frac{L}{M}$$

$$R_{rCIC2} \leq 1$$

唯一の制約は、L/Mが1以下でなければならないことです。これは、rCIC2が1以上のデシメーションを行うことを意味します。

リサンプリングは、入力サンプル・レートをL倍して見かけ大きくすることで行われ、新しいデータ・サンプルにはゼロ・スタッフィングを使用します。リサンブラの後に、カスケード積分型2次楕円フィルタが接続されます。フィルタ特性は、小数レート変化（L/M）によってのみ決まります。

フィルタは、入力ポートの最大レートである80MHzで信号を処理できます。この段の出力レートは、次式で得られます。

$$f_{SAMP2} = \frac{L_{rCIC2} f_{SAMP}}{M_{rCIC2}}$$

AD6635

L_{rCIC2} と M_{rCIC2} は、どちらも符号なし整数です。インターポレーション・レート (L_{rCIC2}) は1~512、デシメーション (M_{rCIC2}) は1~4096の値をとります。この段をバイパスするには、デシメーション/インターポレーションに1/1を設定します。

rCIC2フィルタの周波数応答は、次式で得られます。

$$H(z) = \frac{1}{2^{S_{rCIC2}} \times L_{rCIC2}} \times \left(\frac{1-z}{1-z^{-1}} \right)^{M_{rCIC2}}$$

$$H(f) = \frac{1}{2^{S_{rCIC2}} \times L_{rCIC2}} \times \left(\frac{\sin\left[\pi \frac{M_{rCIC2} \times f}{L_{rCIC2} \times f_{SAMP}}\right]}{\sin\left[\pi \frac{f}{f_{SAMP}}\right]} \right)^2$$

スケール係数 S_{rCIC2} は、プログラマブルな符号なし5ビット値 (0~31) で、rCIC2のゲインを6dB単位で削減できる減衰器として機能します。最適なダイナミックレンジを得るため、 S_{rCIC2} には、オーバーフロー状態を発生させない、できるだけ小さい値 (最小の減衰量) を設定してください。これは、次の式を使用すれば、十分に達成できます。ここで、 $input_level$ は、AD6635への入力として許容されるフル・スケールの最大値です (通常は1)。rCIC2スケール係数は、rCIC2をバイパスするかどうかにかかわらず、常に使用されます。

$$S_{rCIC2} = \text{ceil} \left[\log_2 \left[\begin{array}{l} M_{rCIC2} + \text{floor} \left(\frac{M_{rCIC2}}{L_{rCIC2}} \right) \times \\ \left[2 \times M_{rCIC2} - L_{rCIC2} \times \text{floor} \left(\frac{M_{rCIC2}}{L_{rCIC2}} + 1 \right) \right] \end{array} \right] \right]$$

$$OL_{rCIC2} = \frac{(M_{rCIC2})^2}{L_{rCIC2} \times 2^{S_{rCIC2}}} \times input_level$$

上式のceil関数は次の整数を表し、floor関数は前の整数を表します。たとえば、ceil(4.5)は5ですが、floor(4.5)は4になります。

(0x92のrCIC2_LOUD[4:0]ビット4~0) と (0x92のrCIC2_QUIET[4:0]ビット9~5) という2つのスケール・レジスタがあり、 S_{rCIC2} スケール係数を実現するために使用されます。これらのプログラマブルなレジスタに書き込まれる値は、 S_{rCIC2} 、浮動小数点ADCに必要なExpOff (「入力ポート」のセクションで説明)、およびLI (レベル・インジケータ) ピンを使用してアクティブにできる外部減衰量に対する補償の総計となります。3番目の成分は、LIピンがアクティブかどうかによって異なる値になるため、2つのレジスタ (rCIC2_LOUDとrCIC2_QUIET) を使用します。これらの成分の総計は、rCIC2_LOUDレジスタとrCIC2_QUIETレジスタとして、AD6635に供給されます。レジスタが格納できる最大数は31です。なお、これらのレジスタによって指定されるスケールは、AD6635チャンネルの1つの場所だけ (rCIC2フィルタの前) で適用されます。

rCIC2のゲインと通過帯域ドループは、前述のフィルタ伝達式だけではなく、上の式も使用して計算してください。過剰な通過帯域ドループは、ロールオフの反転によって通過帯域をピーキングすることにより、RCF段で補償することができます。

$$scaled_input = IN \times 2^{-\text{mod}(Exp+rCIC2, 32)}, \quad Explnv = 0$$

$$scaled_input = IN \times 2^{-\text{mod}(7-Exp+rCIC2, 32)}, \quad Explnv = 1$$

ここで、 IN はINx[13:0]の値 ($x=A, B, C, D$)、 Exp はEXPx[2:0]の値で、rCIC2は0x92スケール・レジスタの値です (LIピンに応じて、rCIC2_QUIET[4:0]またはrCIC2_LOUD[4:0])。

rCIC2除去比

表IIIに、rCIC2段に入力される帯域幅をデータ・レートのパーセント値で示します。この表のデータは、80MHzまでの任意の許容サンプル・レートにスケールリングできます。rCIC2、CIC5、RCFの間でデシメーションをどう分散させるかを定めるツールとして、この表を利用できます。

表III. SSB rCIC2のエイリアス除去比 ($f_{SAMP}=1$)
帯域幅は f_{SAMP} のパーセント値として表示 (入力レート)。

M_{rCIC2}/L_{rCIC2}	-50dB	-60dB	-70dB	-80dB	-90dB	-100dB
2	1.790	1.007	0.566	0.318	0.179	0.101
3	1.508	0.858	0.486	0.274	0.155	0.087
4	1.217	0.696	0.395	0.223	0.126	0.071
5	1.006	0.577	0.328	0.186	0.105	0.059
6	0.853	0.490	0.279	0.158	0.089	0.050
7	0.739	0.425	0.242	0.137	0.077	0.044
8	0.651	0.374	0.213	0.121	0.068	0.038
9	0.581	0.334	0.190	0.108	0.061	0.034
10	0.525	0.302	0.172	0.097	0.055	0.031
11	0.478	0.275	0.157	0.089	0.050	0.028
12	0.439	0.253	0.144	0.082	0.046	0.026
13	0.406	0.234	0.133	0.075	0.043	0.024
14	0.378	0.217	0.124	0.070	0.040	0.022
15	0.353	0.203	0.116	0.066	0.037	0.021
16	0.331	0.190	0.109	0.061	0.035	0.020

例計算

目的: 入力サンプル・レートが10MHzで、±7kHzの通過帯域に100dBのエイリアス除去比を必要とするフィルタを実装します。

ソリューション: まず、通過帯域で表されるサンプル・レートのパーセント値を求めます。

$$BW_{FRACTION} = 100 \times \frac{7\text{kHz}}{10\text{MHz}} = 0.07$$

表の右端にある-100dBの列から、クロック・レートの通過帯域パーセント値以上の値を探します。そこから左端の列に進み、対応するレート変化係数 (M_{rCIC2}/L_{rCIC2}) を見つけます。表によると、 M_{rCIC2}/L_{rCIC2} が4の場合に、-100dBのエイリアス除去比を持つ周波数は0.071%であり、これは計算値の0.07%より少し大きな値です。したがって、この例では、rCIC2レート変化の上限値は4になります。大きな M_{rCIC2}/L_{rCIC2} の値を選択するほど、エイリアス除去比は必要とされる100dBより小さくなります。

4より小さい M_{rCIC2}/L_{rCIC2} を選ぶと、必要な除去比が得られます。ただし、このrCIC2段で可能な限り多くデシメーションを行えば、消費電力を最小限に抑えることができます。rCIC2でのデシメーションによりデータ・レートが低下するため、後続段での消費電力が減少します。なお、4のデシメーションを決める方法は1つだけではありません。デシメーションが4であることから、L/M比は0.25になります。したがって、L/Mが0.25となる任意の整数の組み合わせ (1/4、2/8、4/16) が有効です。ただし、最適なダイナミックレンジを得るには、最も簡単な比を使う必要があります。たとえば、1/4の方が4/16よりも優れた性能が得られます。

デシメーション・レジスタとインターポレーション・レジスタ rCIC2のデシメーション値は、レジスタ0x90に格納されます。これは12ビット・レジスタであり、1より小さいデシメーション部分を格納します。インターポレーション部分は、レジスタ0x91に格納されます。この9ビット値で、1より小さいインターポレーションを保持します。

rCIC2スケール

レジスタ0x92は、回路のrCIC2セクションに関するスケール情報情報を格納します。主な機能は、これまでに計算したスケール値を格納することです。

このレジスタのビット4~0 (rCIC2_LOUD[4:0]) は、信号が強いときのrCIC2のスケール係数を格納するために使用します。これらの5ビットは、先に計算したrCIC2スケールと、減衰器による任意の外部信号スケールを表します。

このレジスタのビット9~5 (rCIC2_QUIET[4:0]) は、信号が弱いときのrCIC2のスケール係数を格納するために使用します。このレジスタでは外部減衰器を使わないため、外部減衰器は含まれていません。これらのビットには、rCIC2補償に関して先に計算した値だけが格納されます。

このレジスタのビット10は、外部指数部の値を示すために使用します。このビットをローレベルに設定した場合、外部指数部は、AD6600の場合と同様、6dB/段を表します。このビットをハイレベルに設定した場合、各指数部は12dB/段を表します。

このレジスタのビット11は、内部計算の前に外部指数部を反転するために使用します。指数部を増加させて信号レベルの増大を表すゲイン・レンジングADCの場合は、このビットをハイレベルに設定します。指数部を減少させて信号レベルの増大を表すゲイン・レンジングADCの場合は、このビットをローレベルに設定してください。

rCIC2の機能が不要なアプリケーションでは、L/M比を1/1に設定して、バイパスすることができます。この設定により、rCIC2のすべての回路がバイパスされますが、有効なスケールリングはそのままです。

5次CICフィルタ

3番目の信号処理段のCIC5では、rCIC2よりもシャープな固定係数のデシメーション・フィルタを実装します。このフィルタへの入力レートは f_{SAMP2} です。フィルタへの最大入力レートは、AD6635への入力レートと等しくなります。したがって、rCIC2フィルタをバイパスすることができます。

デシメーション比 M_{CIC5} には、2~32 (すべて整数値) の値を設定できます。フィルタの周波数応答は、次式で得られます。これらの式を用いて、CIC5のゲインと通過帯域ドロップを計算する必要があります。どちらのパラメータもRCF段で補償することができます。

$$H(z) = \frac{1}{2^{S_{CIC5+5}}} \times \left(\frac{1-z^{-M_{CIC5}}}{1-z^{-1}} \right)^5$$

$$H(f) = \frac{1}{2^{S_{CIC5+5}}} \times \frac{\sin \left[\pi \frac{M_{CIC5} \times f}{f_{SAMP2}} \right]}{\sin \left[\pi \frac{f}{f_{SAMP2}} \right]}$$

スケール係数 S_{CIC5} は、プログラマブルな符号なし整数 (0~20) で、データの減衰量を制御して6dB単位でCIC5段に渡す役割があります。最適なダイナミックレンジを得るため、 S_{CIC5} には、オーバーフロー条件を発生させない、できるだけ小さい値 (最

小の減衰量) を設定してください。以下の式を使用すれば、十分にこの値を設定できます。ここで、 OL_{rCIC2} は、このフィルタ段への入力で可能なフル・スケールの最大値です。この値は、rCIC2段から出力され、CIC5にパイプライン入力されます。

$$S_{CIC5} = \text{ceil} (\log_2 (M_{CIC5} \times OL_{rCIC2})) - 5$$

$$OL_{CIC5} = \frac{(M_{CIC5})^5}{2^{S_{CIC5+5}}} \times OL_{CIC5}$$

この段の出力レートは、以下の式で得られます。

$$f_{SAMP5} = \frac{f_{SAMP5}}{M_{CIC5}}$$

CIC5除去比

表IVに、さまざまなデシメーション・レートとエイリアス除去比を指定して保護できる帯域幅をクロック・レート (入力レート) のパーセント値で示します。rCIC2が1のデシメーションを行うとき、CIC5への最大入力レートは80MHzです。前の表と同様に、これがCIC5の1/2帯域幅特性になります。CIC5段では、rCIC2段に比べて、与えられたどの除去レベルについても、はるかに広い帯域を保護できます。この表は、目標のフィルタ特性が与えられた場合に、デシメーション M_{CIC5} の上限値を計算するのに役立ちます。

表IV. SSB CIC5のエイリアス除去比 ($f_{SAMP2}=1$)
帯域幅は f_{SAMP2} のパーセント値として表示。

M_{CIC5}	-50dB	-60dB	-70dB	-80dB	-90dB	-100dB
2	10.227	8.078	6.393	5.066	4.008	3.183
3	7.924	6.367	5.110	4.107	3.297	2.642
4	6.213	5.022	4.057	3.271	2.636	2.121
5	5.068	4.107	3.326	2.687	2.170	1.748
6	4.267	3.463	2.808	2.270	1.836	1.480
7	3.680	2.989	2.425	1.962	1.588	1.281
8	3.233	2.627	2.133	1.726	1.397	1.128
9	2.881	2.342	1.902	1.540	1.247	1.007
10	2.598	2.113	1.716	1.390	1.125	0.909
11	2.365	1.924	1.563	1.266	1.025	0.828
12	2.170	1.765	1.435	1.162	0.941	0.760
13	2.005	1.631	1.326	1.074	0.870	0.703
14	1.863	1.516	1.232	0.998	0.809	0.653
15	1.740	1.416	1.151	0.932	0.755	0.610
16	1.632	1.328	1.079	0.874	0.708	0.572
17	1.536	1.250	1.016	0.823	0.667	0.539
18	1.451	1.181	0.960	0.778	0.630	0.509
19	1.375	1.119	0.910	0.737	0.597	0.483
20	1.307	1.064	0.865	0.701	0.568	0.459
21	1.245	1.013	0.824	0.667	0.541	0.437
22	1.188	0.967	0.786	0.637	0.516	0.417
23	1.137	0.925	0.752	0.610	0.494	0.399
24	1.090	0.887	0.721	0.584	0.474	0.383
25	1.046	0.852	0.692	0.561	0.455	0.367
26	1.006	0.819	0.666	0.540	0.437	0.353
27	0.969	0.789	0.641	0.520	0.421	0.340
28	0.934	0.761	0.618	0.501	0.406	0.328
29	0.902	0.734	0.597	0.484	0.392	0.317
30	0.872	0.710	0.577	0.468	0.379	0.306
31	0.844	0.687	0.559	0.453	0.367	0.297
32	0.818	0.666	0.541	0.439	0.355	0.287

AD6635

RAM係数フィルタ

個々のチャンネルの最後の信号処理段は、プログラマブルな係数を持つ積和デシメーション・フィルタです。簡略化したブロック図を次に示します。データ・メモリI-RAMとQ-RAMは、前のフィルタ段から入力される最新の160個の複素数サンプルを20ビット分解能で格納します。係数メモリCMEMは、最大256個の係数を20ビット分解能で格納します。各CLKサイクルで、Iに1タップ、Qに1タップを同じ係数を使って計算します。RCF出力は、24ビットのデータで構成されています。

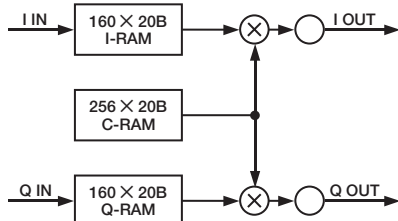


図30. RAM係数フィルタ (RCF) のブロック図

RCFデシメーション・レジスタ

各RCFチャンネルを使用して、データ・レートをデシメーションできます。デシメーション・レジスタは、8ビット・レジスタで、1~256のデシメーションが可能です。RCFデシメーションは、 $M_{RCF}-1$ の形で0xA0に格納されます。RCFへの入力レートは f_{SAMP5} です。

RCFデシメーション位相

RCFデシメーション位相を使用して、チップ内の複数のフィルタを同期化することができます。これは、AD6635内の複数のチャンネルを使用して多相フィルタを実装する場合に有効で、複数のRCFフィルタのリソースを並列に接続できます。このようなアプリケーションでは、2つのRCFフィルタがCIC5からの同一データを処理することになります。ただし、各フィルタはデシメーション・レートの1/2だけ遅延されるため、2つの間に180°の位相差が生じます。

AD6635フィルタ・チャンネルでは、このレジスタに格納されている値を使用して、RCFカウンタをプリロードします。したがって、カウンタは0 (係数0) からスタートするのではなく、次の値がロードされます。

$$\text{カウンタ} = \frac{\text{デシメーション位相} \times \text{使用するチャンネル数} \times f_{CLK}}{\text{各チャンネルでのRCFデシメーション} \times f_{RCF}}$$

このようにして、必要な処理遅延に等しいオフセットが処理の中で得られます。上の式では、1つのキャリアの処理に使用されるチャンネルまたはRCFの数が使用されます。 f_{CLK} はAD6635への入力クロック・レート、 f_{RCF} はCIC5段からRCFへの入力サンプル・レートです。このデータは、8ビット値として0xA1に格納されます。RCFデシメーション位相を使用できるのは、RCFデシメーションと使用するRCFの数との比率が整数であるときだけです。

RCFフィルタ長

このフィルタが計算できる最大タップ数 N_{TAPS} は、次式で得られます。AD6635のアドレス0xA2にあるチャンネル・レジスタには、値 $N_{TAPS}-1$ が書き込まれます。

$$N_{TAPS} \leq \min \left(\frac{f_{CLK} \times M_{RCF}}{f_{SAMP5}}, 160 \right)$$

上で使用する関数minは、かっこ内のすべての式の最小値を意味します。

RCF係数は、アドレス0x00~0x7Fに配置され、20ビットの2の補数値として解釈されます。係数RAMを書き込むと、下位アドレスにはCIC5からの相対的に古いデータが乗算され、係数の上位アドレスにはCIC5からの相対的に新しいデータが乗算されます。係数は対称である必要はなく、係数長 N_{TAPS} は偶数または奇数のいずれでも可能です。係数が対称の場合は、インパルス応答の両側を係数RAMに書き込む必要があります。

係数用のベース・メモリは128ワード長しかありませんが、実際の長さは256ワード長になります。2つのページがあり、それぞれが128ワード長です。ページは0xA4のビット8で選択します。

このデータは複数ページに書き込む必要がありますが、内部コアでは128タップ長を超えるフィルタを処理します。したがって、データRAMの全長をフィルタ長 (160タップ) として使用できます。RCFでは160タップのフィルタしか計算できませんが、フィルタ係数メモリは256ワード長であるため、このメモリに複数のフィルタ設定を格納することができます。係数オフセット0xA3レジスタを使用して選択できます。

RCFは、CIC5からのデータを160×40のRAMに格納します。Iデータに160×20、Qデータに160×20が割り当てられます。RCFは、循環バッファとしてRAMを使用するため、特定のデータ・エレメントが格納されているアドレスを知ることが困難です。データRAM値が未定義であるために生じるスタートアップ時の過渡出力を回避するため、初期化時にデータRAMをクリアしてください。

RCFでフィルタ出力の計算が開始されると、まず最初に、データRAM内の最も古い値に、RCF係数オフセット・レジスタ (0xA3) で示される最初の係数が乗算されます。この値に、これより新しいデータ・ワードに係数RAM内の後続する位置の値を乗算した積が累計されます。この操作は、係数アドレスが $RCF_{OFF} + N_{TAPS} - 1$ に達するまで繰り返されます。

表V. 3タップ・フィルタ

係数アドレス	インパルス応答	データ
0	h(0)	N(0)最も古い
1	h(1)	N(1)
$2=(N_{TAPS}-1)$	h(2)	N(2)最も新しい

RCF係数オフセット・レジスタは、2つの目的で使用できます。このレジスタの主な目的は、複数のフィルタをメモリにロードしておき、オフセットをポインタとして変更するだけでフィルタを選択し、フィルタ変更が迅速にできるようにすることです。このレジスタのもう1つの目的は、シンボル・タイミング調整の一部を実行することです。目標フィルタ長の両端にゼロが埋められている場合、高速クロックを基準にしてフィルタを計算するときに、スタート・ポイントを調整してわずかな遅延を発生させることができます。この方法で、シンボル・タイミングの微調整が可能になります。粗調整は、RCFデシメーション位相で行うことができます。

このフィルタの出力レートは、CIC5段の出力レートと M_{RCF} によって求めます。

$$f_{SAMPR} = \frac{f_{SAMP5}}{M_{RCF}}$$

RCF出力スケール係数とコントロール・レジスタ

レジスタ0xA4は、RCFレジスタのさまざまな項目の設定に使用する複合レジスタです。ビット3~0は、固定小数点出力モードのスケール設定に使用します。このスケール値は、このレジ

スタのビット6と組み合わせて、浮動小数点出力の設定にも使用できます。

ビット4と5では、出力モードを決定します。モード00は、チップを固定小数点モードに設定します。ビット数は、パラレル・ポートまたはリンク・ポートの設定によって決まります。

モード01では、浮動小数点モード8+4を選択します。このモードでは、8ビットの仮数部の後ろに4ビットの指数部が続きます。モード1x (xは任意) では、モードは12+4、つまり12ビットの仮数部と4ビットの指数部になります。

表VI. 出力モード・フォーマット

浮動小数点12+4	1x
浮動小数点8+4	01
固定小数点	00

通常、AD6635は数値の精度を最適化する指数部の値を決定します。ただし、このコントロール・レジスタのビット6がセットされると、ビット3~0に格納されている値によって、出力がスケールされます。これにより、予測可能な出力レンジを保証できる条件では、整合性のあるスケールと精度が得られます。ビット3~0がRCFスケールによって表される場合、スケール係数 (dB単位) は次式で得られます。

$$\text{スケール係数} = (\text{RCFスケール} - 3) \times 20 \log_{10} (2) \text{ dB}$$

RCFスケールが0の場合、スケール係数は-18.06dBになり、RCFスケールが最大の15の場合、スケール係数は72.25dBになります。

このレジスタのビット7がセットされると、同一の指数部が実数と虚数 (IとQ) の両出力に使用されます。使用される指数部の値は数値的にオーバーフローを防止するものですが、小信号の精度は落ちます。ただし、小さな数値は、使用する指数部とは関係なく0を表すため、これが問題になることはほとんどありません。

このレジスタのビット8は、レジスタの設定に使用するRCFバンク・セレクト・ビットです。このビットが0のときには、最下位の128ブロックが選択されます (タップ0~127)。このビットがハイレベルのときには、最上位のブロックが選択されます (タップ128~255)。チップがフィルタを計算している間は、タップ127がタップ128に隣接しているため、ページング問題が発生することはありません。

このレジスタのビット9は、各RCFへ入力するデータの提供元を選択します。ビット9がクリアされている場合、RCF入力は、通常そのRCFに対応しているCIC5から与えられます。チャンネル0~3では、このビットがセットされている場合、CIC5のチャンネル1から入力が与えられます。チャンネル1だけは例外で、CIC5のチャンネル0の出力を代替として使用します。この機能を使用すると、各RCFは、各自のチャンネルのNCO+rCIC2+CIC5のデータで動作したり、チャンネル1のRCFとペアにしたりできます。チャンネル1のRCFは、チャンネル0とペアにすることもできます。この制御ビットは、多相分散型フィルタリングで使用されます。

同様に、チャンネル4~7では、このビットがセットされている場合、CIC5のチャンネル5から入力が与えられます。唯一の例外はチャンネル5であり、CIC5のチャンネル4の出力を代替ソースとして使用します。

ビット10がクリアされている場合、AD6635のチャンネルはノーマル・モードで動作します。しかし、ビット10がセットされている場合、チャンネルBISTを実行するためにRCFはバイパスされます。詳細については、「チャンネルBIST (内蔵セルフ・テスト)」のセクションを参照してください。

なお、RCFの出力は、ポート・コントロール・レジスタの適切な設定を使用して、出力ポート (パラレルまたはリンク) に直接送信できます (出力ポート・コントロール・レジスタのメモリ・マップを参照)。あるいは、複数のチャンネルからのデータを、インターポレーション・ハーフバンド・フィルタとAGCにインターリーブできます (たとえハーフバンド・フィルタとAGCがバイパスされても、インターリーブ機能は行われます)。この機能によりAD6635の内部でデータをインターリーブすれば、複数のチャンネルを使用して単一キャリアを処理できます。

インターポレーション・ハーフバンド・フィルタ

AD6635には、RCFチャンネル出力と4つのデジタルAGCとの間に、4つのインターポレーション・ハーフバンドFIRフィルタがあります。各インターポレーション・ハーフバンド・フィルタは、先行のRCFからIデータとQデータを受け取り、IデータとQデータをAGCに出力します。ハーフバンド・フィルタとAGCは、互いに独立して動作するため、AGCをバイパスすることができます。その場合、ハーフバンド・フィルタの出力は、出力データ・ポートに直接に送信されます。これらのハーフバンド・フィルタも互いに独立して動作するので、ハーフバンド・コントロール・レジスタを使用して、どれでもイネーブ/ディスエーブルにできます。

ハーフバンド・フィルタでは、インターポレーションが実際に機能する前に、さまざまなRCFチャンネル出力からのデータをインターリーブする機能も実行します。データのインターリーブ機能は、ハーフバンド・フィルタの実際の機能がバイパスされている場合も利用できます。この機能により、AD6635上で複数のチャンネル (多相フィルタを実装) を使用して、単一キャリアを処理できます。チャンネルの位相を正しく調整するには、RCF位相デシメーションを使用したり、チャンネルのスタート・ホールドオフ・カウンタを使用します。たとえば、cdma2000の1つのキャリアを処理するために、AD6635の2つのチャンネルが使用される場合、両チャンネルのRCFフィルタの位相を180°ずらしてください。それには、RCF位相デシメーションまたは適切なスタート・ホールドオフ・カウンタに続いて、適切なNCO位相オフセットを使用してください。

ハーフバンド・フィルタAは、チャンネル0~3、チャンネル0と1、またはチャンネル0だけを待ち受けることができます。ハーフバンド・フィルタBは、チャンネル2と3、またはチャンネル2だけを待ち受けることができます。各ハーフバンド・フィルタは、コントロール・レジスタで指定されたチャンネルをインターリーブします。インターリーブされたデータは前述のように組み合わせられ、2で補間されます。インターリーブ機能は、インターポレーション機能とは独立に使用できます。その場合、ハーフバンド・フィルタは、ハーフバンド・コントロール・レジスタを使用してバイパスされます。ハーフバンド・フィルタがバイパスされても、インターリーブ機能はまだ実行されます。チップ・レートの2倍のレートで動作するチャンネルの場合、ハーフバンド・フィルタを使用すれば、チップ・レート×4でチャンネル・データを出力できます。

図31には、チップ・レートを基準とするインターポレーション・ハーフバンドFIRフィルタの周波数応答を示します。

AD6635

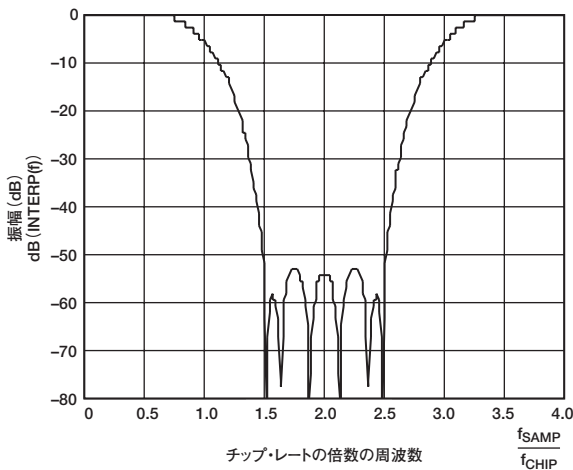


図31. インターポレーション・ハーフバンド・フィルタの周波数応答

インターポレーション・ハーフバンド・フィルタのS/N比は、約149.6dBです。固定小数点演算による最大スプリアス誤差は、約-172.9dBです。表VIIに、13タップのインターポレーション・ハーフバンドFIRフィルタの係数を示します。

表VII. ハーフバンド係数

0
14
0
-66
0
309
512
309
0
-66
0
14
0

自動ゲイン制御

AD6635には、RAKEレシーバに直接インターフェースがとれるように、4つの独立した自動ゲイン制御 (AGC) ループがあります。各AGC回路は96dBのレンジを許容します。各AGCループが対象のキャリアでのみ動作し、周波数の異なるキャリアによってループのレンジングが影響されないようにするため、AGCの手前でAD6635のデシメーション・フィルタによって不要な信号を除去することが大切です。

AGCは、インターポレーション・ハーフバンド・フィルタからの23ビットの複素数出力を、4~8、10、12、または16ビットのプログラマブルなワード・サイズに圧縮します。ゲインを加えることで、下位ビットからの小信号が上位ビットに押し上げられるので、下位ビットのクリッピングが対象信号のS/N比を損うことはありません。AGCによって、対象信号のレベルに関係なく、出力上で一定の平均電力が維持されるため、信号のダイナミックレンジが出力分解能のダイナミックレンジを超える環境でも動作できます。

AGCとインターポレーション・フィルタは、互いに拘束されていません。1つのフィルタを他方のフィルタとは別に利用することも、両方のフィルタを利用することもできます。AGCセクションは、AGC制御ワードのビット0をセットすることにより、必要に応じてバイパスできます。バイパスした場合、I/Qデータは、16ビットI/Qデータへのクリッピングの後で、出力ポートに渡されます。

AGC機能によって生じる誤差には、アンダーフロー、オーバーフロー、変調の3つの原因があります。アンダーフローは、出力レンジを下回るビットの切り捨てが原因です。オーバーフローは、出力信号が出力レンジを上回る場合のクリッピング誤差が原因です。変調誤差は、データの受信中に出力ゲインが変動する場合に発生します。

目標信号レベルは、アンダーフローとオーバーフローによる誤差のバランスがとれるように、信号の確率密度関数に基づいて設定してください。ループ・フィルタのゲインと減衰の値は、AGCが過剰なアンダーフローやオーバーフローを引き起こす信号の長期的な振幅変化を追跡できる程度に高速で、しかも信号の変調によって生じる振幅情報の過剰な損失が生じない程度に低速であるように設定してください。

AGCループ

AGCループは、ログリニア・アーキテクチャを使用して実現されます。これには、累乗計算、誤差計算、ループ・フィルタリング、ゲイン乗算の4つの基本動作があります。

AGCは、AGC制御ワード (0x0A, 0x12) のビット4をセットすることで、「目標信号レベル」モードまたは「目標クリップ・レベル」モードのいずれかで動作するように設定できます。AGCは、選択した動作モードに応じて、所定の目標信号レベルまたは目標クリップ・レベルからの差に基づいて、着信データのゲインを調整します。AGCループへのデータ・パスは2つあります。図32に示すように、クリップ回路の前と後に1つずつです。目標信号レベル・モードでは、クリップ回路の前のI/Qパスだけが使用されます。目標クリップ・レベル・モードでは、クリップ回路の前後のI/Q信号の差分が使用されます。

目標信号レベル・モード

この動作モードでは、AGCは、プログラマブルな設定レベルで出力信号を維持するように動作します。この動作モードを選択するには、AGC制御ワード (0x0A, 0x12) のビット4に値ゼロを書き込みます。最初に、ループは、IとQをそれぞれ2乗したものを加算することで、複素数の着信データ信号の2乗 (つまり累乗) を求めます。この動作は、 2^2 (2の累乗) を使用して指数部領域で実行されます。

AGCループには、平均/デシメーション・ブロックがあります。この平均/デシメーション演算は、平方根演算の前に累乗サンプルに対して行われます。このブロックをプログラムして1~16384の累乗サンプルの平均を計算し、デシメーション・セクションをプログラムして1~4096のサンプルごとに1回AGCを更新することができます。平均演算には、平均する累乗サンプルの数をデシメーション値の倍数 (1、2、3、4倍) にするという制限があります。

平均とデシメーションの演算は、AGCが実質的に1~16384の出力サンプルの累乗平均に対して動作できることを意味します。1~4096のサンプルごとに1回AGCを更新し、平均累乗の処理を選択すれば、AGC誤差がゆっくり収束してゲイン調整があまり行われな遅い時定数のループ・フィルタを実装できるようになります。また、データのフレーム (またはシンボルのストリーム) 全体にわたってゲイン・スケールを一定に保ちたい場合にも役立ちます。

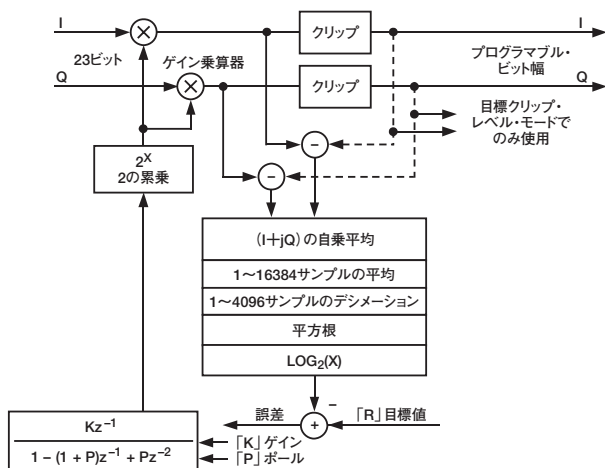


図32. AGCのブロック図

平均サンプルの数をデシメーション値の倍数にするという制限により、プログラム可能な倍数は1、2、3、または4だけになります。この数値は、0x10および0x18レジスタのビット1、0で設定します。次にこれらの平均サンプルに、プログラマブルな1~4096のデシメーション率でデシメーションを行います。デシメーション率は、12ビットのレジスタ0x11と0x19で設定します。

平均とデシメーションの演算は組み合わせになっていて、1次CICフィルタといくつかのFIFOレジスタを使用して実行されます。CICフィルタにはゲインとビットの増大が伴いますが、これらはデシメーション率に依存します。演算に伴うゲインを補償するために、CICフィルタの前に減衰スケールが設けられています。

スケール演算が行われるのは、平均演算に伴う除算、およびCICフィルタにおける一般的なビット増大があるためです。これはビットのシフト演算によって行われるため、粗いスケールしかできません。細かいスケールは、後で説明するリクエスト・レベルのオフセットで実現できます。減衰スケール (S_{CIC}) は、0x10および0x18レジスタの4つのビットを使用し、0~14の範囲で設定でき、次の式で得られます。

$$S_{CIC} = \text{ceil} \left[\log_2 (M_{CIC} \times N_{AVG}) \right]$$

ここで、 M_{CIC} はデシメーション率 (1~4096)、 N_{AVG} はデシメーション率の倍数 (1、2、3、または4) として設定される平均サンプル数です。

たとえば、デシメーション率 M_{CIC} が1000で、 N_{AVG} に3を選択している場合 (1000のデシメーションと3000サンプルの平均)、平均とデシメーションによる実ゲインは3000、つまり69.54dB ($=20 \times \log 3000$) です。減衰はビットのシフト演算で行われるため、6.02dBの倍数でのみ減衰します。この場合の S_{CIC} は12であり、72.24dBに相当します。このようにして、 S_{CIC} スケールでは、常に平均/デシメーション・セクションでのゲイン変化を補償するのに十分な量を上回る減衰を行うので、AGCループでのオーバーフローを防ぐことができます。しかし、CICスケールによって最大6.02dBのゲイン誤差 (CICによるゲインと提供される減衰の差) が生じることも明らかです。この誤差は、以下で説明するようにリクエスト信号レベルで補償する必要があります。

平均/デシメーション・セクションからの出力には、底が2の対数が適用されます。これらのデシメーション処理された累乗サンプル (対数領域内) は、平方根を適用することによって、rms信号のサンプルに変換されます。この平方根は、単純なシ

フト演算で実現されます。こうして得られたrmsサンプルを、レジスタ (0x0B、0x14) で指定したリクエスト信号レベル「R」から減算すると、ループ・フィルタ $G(z)$ で処理される誤差項が得られます。

ユーザーは、このプログラマブルなリクエスト信号レベル「R」を、目標の出力信号レベルに基づいて設定します。リクエスト信号レベル「R」は、0~23.99dBの範囲で0.094dB単位で設定できます。リクエスト信号レベルでは、前述のように、CICスケールによる誤差も補償する必要があります。したがって、リクエスト信号レベルは、CICで生じた誤差の量だけオフセットされます。このオフセットは、次式で求めます。

$$\text{オフセット} = 20 \log_{10} (M_{CIC} \times N_{AVG}) - S_{CIC} \times 6.02$$

ここで、オフセットの単位はdBです。

引き続き前の例を使用すると、オフセット $=72.24 - 69.54 = 2.7\text{dB}$ となります。したがって、リクエスト信号レベルは、次式で得られます。

$$R = \text{ceil} \left[\frac{(\text{DSL} - \text{オフセット})}{0.094} \right] \times 0.094$$

ここで、Rはリクエスト信号レベルであり、DSL (目標信号レベル) はユーザーが希望する出力信号レベルです。したがって、前の例で目標信号レベルが-13.8dBの場合、リクエスト・レベル「R」は-16.54dBに設定されます。

AGCには、プログラマブルな2次ループ・フィルタが装備されています。プログラマブルなパラメータであるゲイン「K」とポール「P」で、ループ・フィルタ特性を完全に定義します。リクエスト信号レベルを減算した後の誤差項は、ループ・フィルタ $G(z)$ で処理されます。2次ループ・フィルタのオープン・ループ・ポールは、それぞれ1と「P」です。ループ・フィルタ・パラメータであるポール「P」とゲイン「K」によってフィルタの時定数を調整して、ピーク対平均比を計算する時間枠を決定することができます。

ゲイン・パラメータを含むフィルタのオープン・ループ伝達関数は、次の通りです。

$$G(z) = \frac{Kz^{-1}}{1 - (1+P)z^{-1} + Pz^{-2}}$$

AGCが (リクエスト・レベルのオフセットの観点から) 正しく設定されている場合、フィルタ・ゲインK以外のゲインは発生しません。このような状況では、AGCループをクローズド・ループで表すことができ、これは次式で得られます。

$$G_{CLOSED}(z) = \frac{G(z)}{1+G(z)} = \frac{Kz^{-1}}{1 + (K-1-P)z^{-1} + Pz^{-2}}$$

ゲイン・パラメータ「K」とポール「P」は、レジスタ (AGC AとAGC Cでは0x0Eと0x0F、AGC BとAGC Dでは0x16と0x17) を通じて、0~0.996の範囲で0.0039ずつ8ビット表現で設定できます。ユーザーはオープン・ループのポール「P」とゲイン「K」を決めますが、これらはクローズド・ループのポール配置やフィルタ特性に直接影響を与えることとなります。これらのクローズド・ループのポール P_1 、 P_2 は、上記のクローズド・ループ伝達関数における分母の根であり、次式で求めます。

$$P_1, P_2 = \frac{(1+P-K) \pm \sqrt{(1+P-K)^2 - 4P}}{2}$$

一般に、AGCループの性能は、その時定数またはセトリング時間によって定義されます。この場合、クローズド・ループのポールは、AGCループで要求される時定数を満足するように設

AD6635

定してください。そのために、時定数とクロズド・ループのポールの関係を表す次式を使うことができます。

$$P_{1,2} = \exp \left[\frac{M_{CIC}}{\text{サンプル・レート} \times \tau_{1,2}} \right]$$

ここで、 $\tau_{1,2}$ はポール $P_{1,2}$ に対応する時定数です。時定数は、次式を用いてセトリング時間から求めることもできます。

$$\tau = \frac{\text{セトリング時間の2\%}}{4} \text{ または } \frac{\text{セトリング時間の5\%}}{3}$$

M_{CIC} (CICデシメーションは1~4096) と、セトリング時間または時定数は、ユーザーが選択してください。サンプル・レートは、AGC/ハーフバンド・インターポレーション・フィルタに入力される、すべてのインターリーブ・チャンネルのサンプル・レートを合わせた複合レートです。2つのチャンネルを使用して、UMTSの1つのキャリアを2倍のチップ・レートで処理する場合、各チャンネルは3.84MHzで動作し、ハーフバンド・インターポレーション・フィルタに入力される複合サンプル・レートは、7.68MSPSになります。上式のポールの計算には、このレートを使用してください。

ループ・フィルタの出力は、AGCで更新される信号ゲインに一致します。ループ・フィルタにおける計算はすべて、サンプルの対数領域(底2)で行われるため、信号ゲインは、ループ・フィルタ出力の指数部(2の累乗)を使用して生成されます。

ゲイン乗算器は、AGCセクションに入力されるIとQの両方のデータによる信号ゲインの積を算出します。この信号ゲインは、粗い4ビットのスケーリングとして、その後、細かい8ビット・スケールの乗算器として利用されます。したがって、適用される信号ゲインは、-48.16~+48.13dBの範囲で0.024dBづつになります。信号ゲインの初期値は、AGC A (AGC C) と AGC B (AGC D) について、それぞれレジスタ0x0Dと0x15を使用して設定できます。

ゲイン乗算器の積は、AGCスケーリング出力を19ビットで表現したものです。この積が今度は、IおよびQとして累乗やAGC誤差の計算に使われ、ループ・フィルタリングによって、次のサンプル・セットの信号ゲインを生成します。これらのAGCスケーリング出力は、AGC制御ワード(0x0A, 0x12)を使用して、4、5、6、7、8、10、12、16ビット幅になるように設定できます。AGCスケーリング出力は、機能ブロック図に示すように、クリップ回路を使用して必要なビット幅に切り捨てられます。

オープン・ループ・ゲイン設定: フィルタ・ゲインKが1 LSB (つまり0.0039) しか占有しない場合、誤差項による乗算中に、最大6.02dBの誤差が切り捨てられる可能性があります。この切り捨ては、AGCループで利用可能な下位ビット幅によるものです。フィルタ・ゲインKが最大値であれば、切り捨て誤差は0.094dB (誤差項の表現での1 LSBに相当) 未満になります。一般に、大きな時定数のループ(遅いループ)を得るには、小さなフィルタ・ゲインを使用します。しかし、この場合は、大きな誤差が検知されなくなります。このような特異性があるため、遅いAGCループを必要とする場合には、フィルタ・ゲインKにはかなり大きな値を使用し、代わりにCICデシメーションを使用して遅いループを実現することを推奨します。こうすれば、通常の小さいゲイン・ループ・フィルタでは小さいゲイン変化が頻繁に生じるのに、AGCループでは大きいゲイン変化がたまに生じるようになります。ただし、AGCループでは大きいゲイン変化がたまに生じますが、遅い時定数が維持されるため、誤差の切り捨てを少なくすることができます。

平均サンプルの設定: 平均するサンプル数による影響を正確に表すことは困難ですが、直観的に言えば、AGCループが信号レ

ベルの急激な増大やスパイクに対処する際に、この処理をスムーズにする効果があります。AGCが4つのサンプルの平均を使用する場合、平均を使用しない場合に比べて、信号レベルの急激な増大にゆっくりと対処することになります。AGCが信号レベルの急激な減少に対処する場合についても、同じことが言えます。

目標クリップ・レベル・モード

前述のように、各AGCは、ループが目標クリップ・レベルまたは目標信号レベルにロックされるように設定できます。目標クリップ・レベル・モードを選択するには、個々のAGC制御ワード(0x0A, 0x12)のビット4をセットします。ピーク対平均比の限界を超えることがある信号については、目標クリップ・レベルのオプションを選択して、このような信号が切り捨てられるのを防ぎ、同時にAGCによる迅速な対処と目標出力レベルへのセトリングを実現します。図32 (AGCのブロック図) に、この動作モードの信号パスを破線の矢印で示します。動作については、目標信号レベル・モードと同様です。

最初に、ゲイン乗算器からのデータは、AGC制御ワードの設定に従って、より低い分解能(4、5、6、7、8、10、12、または16ビット)まで切り捨てられます。切り捨ての前後の信号の差によって誤差項(IとQの両方)が発生します。誤差項は、複素2乗の処理ブロックに渡されます。ここで、目標信号レベル・モードの場合と同様に、更新サンプルを平均およびデシメーション処理し、その平方根をとってrmsサンプルを求めます。リクエスト目標信号レベルの代わりに、目標クリップ・レベルを減算すると、2次ループ・フィルタで処理する誤差項が残ります。ループのその他の部分も、目標信号レベル・モードの場合と同様に動作します。このように切り捨て誤差の計算が行われ、AGCループが動作して切り捨て誤差レベルを一定に維持します。

AGC制御ワードのビット4を除いて、レジスタ設定で目標信号レベル・モードと異なる唯一の点は、目標クリップ・レベルが、目標信号レベル・モードの場合のようなリクエスト信号レベルではなく、AGC目標レベル・レジスタ(0x0C, 0x15)に格納されることです。

同期

AGC出力がRAKEレシーバに接続されている場合、RAKEレシーバは、平均および更新セクションを同期させて、AGC誤差の平均累乗計算やループ・フィルタリングを更新することができます。この外部同期信号は、AGCの変化をRAKEレシーバに同期させ、AGCゲインが1シンボル周期にわたって変化しないようにすることで、より正確な推定を可能にします。このような同期を行うには、AGCコントロール・レジスタの対応するビットを設定します。

チャンネルは、スリープ状態から解除されると、AGCホールドオフ・カウンタの値をロードし、マスター・クロックに同期してカウント・ダウンを開始します。カウンタがゼロになると、AGCのCICフィルタが、設定されたCICのデシメーション値に基づいて、AGCループ・フィルタのデシメーションと更新を開始します。

さらに、ユーザーが新しい更新サンプルに対するデシメーションの開始を同期させれば、AGCホールドオフ・カウンタ(0x0B, 0x13)で適切なホールドオフ値を設定できます。続いて、AGC制御ワードのSync nowビット(ビット3)を設定します。このビットを設定すると、ホールドオフ・カウンタ値がカウント・ダウンされ、カウンタがゼロになると、CICデシメーション値が更新されます。

新しい値に更新されると同時に、AGC制御ワードのInit on Syncビット(ビット2)がセットされていれば、CICフィルタ

のアキュムレータをリセットできます。AGC制御ワードの**first sync only**ビット（ビット1）がセットされていなければ、各同期が新しい同期信号を開始します。このビットがセットされていない場合、ホールドオフ・カウンタにホールドオフ・レジスタの値が再びロードされ、カウント・ダウンが開始され、同じプロセスを繰り返します。これらの追加機能によって、AGCの同期がより柔軟なものになり、さまざまな状況に適用できるようになります。

アドレス0x0A~0x11はAGC Aの設定用、アドレス0x12~0x19はAGC Bの設定用に予約されています。レジスタの仕様については、「出力ポート・コントロール・レジスタのメモリ・マップ」のセクションで詳しく説明します。

ユーザー設定可能な内蔵セルフ・テスト (BIST)

AD6635には、各チャンネルの完全性をテストする2つの内蔵テスト機能があります。その1つは、AD6635内の高速ランダム・アクセス・メモリの完全性をテストするRAM BISTです。もう1つは、AD6635のメイン信号パスの完全性をテストするチャンネルBISTです。各BIST機能は互いに独立しており、各チャンネルを同時に別々にテストすることができます。

RAM BIST

RAM BISTを使用して、オンチップRAMの機能を検証することができます。これによって簡単な合否テストが可能であり、チャンネルRAMが正常に動作するかどうかを確認できます。テストは次の手順で行います。

1. 外部アドレス・レジスタ0x011を使用して、被テスト・チャンネルをスリープ・モードにします。
2. RCFレジスタ0xA8のRAM BISTイネーブル・ビットをハイレベルに設定します。
3. クロック・サイクルが1600になるまで待ちます。
4. レジスタ0xA8を読み出します。ビット0がハイレベルなら、テストはまだ完了していません。ビット0がローレベルなら、テストが完了し、ビット1と2が内部RAMの状態を示します。ビット1がハイレベルの場合、CMEM（係数メモリ）が不合格です。ビット2がハイレベルの場合、DMEM（データ・メモリ）が不合格です。

表VIII. BISTレジスタ0xA8

0xA8	係数MEM	データMEM
XX1	テスト未完了	テスト未完了
000	合格	合格
010	不合格	合格
100	合格	不合格
110	不合格	不合格

チャンネルBIST

チャンネルBISTは、AD6635の選択した信号パス全体をテストします。このテスト・モードでは、外部から入力したベクトルや内部の擬似ランダム・ジェネレータを使用できます。RCFのエラー・シグネチャ・レジスタがチャンネルの出力データをモニターするので、RCFから正常なデータが出力されているかどうかを判断できます。エラーが検出された場合、各内部ブロックをバイパスし、別のテストを実行して不具合をデバッグすることができます。IパスとQパスは別々にテストされます。テストは次の手順で行います。

1. アプリケーションの要求に合わせて、被テスト・チャンネルを設定します（デシメーション・レート、スケラ、RCF係数を設定します）。

2. チャンネルをスリープ・モードにしておきます。
3. 被テスト・チャンネルのスタート・ホールドオフ・カウンタを“1”に設定します。
4. メモリ・ロケーション0xA5と0xA6を“0”に設定します。
5. 0xA7のビット19~0に監視するRCF出力の数を設定して、チャンネルBISTを有効にします。
6. 外部アドレス・レジスタ5のビット4をハイレベルに設定して、ソフト同期をスタートさせます。
7. 被テスト・チャンネルのSYNCビットをハイレベルに設定します。
8. ビット6を“0”に設定して、テスト・ベクトルを入力できるようにします。ビット7をハイレベルに設定して、内部の擬似ランダム数ジェネレータで入力シーケンスを発生させることもできます。
9. ビット6を“1”に設定し、ビット7をクリアすると、内部のフルスケール正弦波を挿入できます。
10. SOFT_SYNCをアドレス指定すると、選択したチャンネルのスリープ・モードが解除され、処理が開始されます。
11. 外部ベクトルを入力する場合には、チャンネルがデータを受信できる状態になるまでいずれかのIEN入力为非アクティブである限り、他の方法でチップのスリープ・モードを解除できます。
12. 十分な時間が経過した後、チャンネルBISTシグネチャ・レジスタ（0xA5と0xA6）に数値が格納されます。この数値を使って、まったく同じ設定の既知の正常なAD6635における期待値との比較ができます。値が同じなら、チャンネル内にエラーが存在する可能性は非常に小さいこととなります。

チップの同期化

AD6635では、スタートとホップの2種類の同期が可能です。それぞれを以下に詳しく説明します。同期は、シャドウ・レジスタとホールドオフ・カウンタを使って行われます。図33に、NCOシャドウ・レジスタとNCO周波数ホールドオフ・カウンタの基本動作を理解するための簡略図を示します。ホールドオフ・カウンタのクロック（AD6635 CLK）をイネーブルにするには、Soft_Sync（マイクロポート経由）またはSYNCピン（AD6635のSYNCピンA、B、C、Dのいずれかを経由）を使用します。

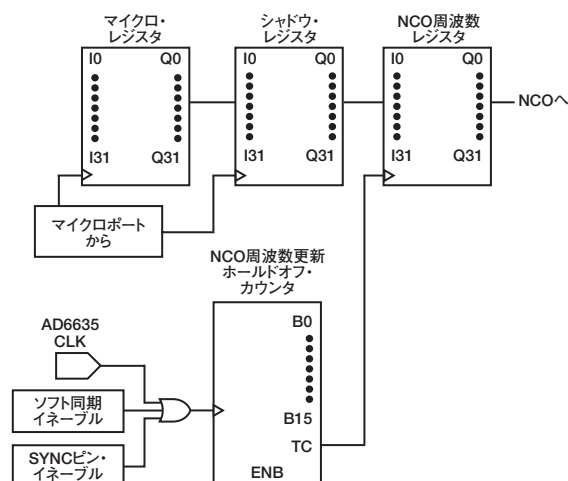


図33. NCOシャドウ・レジスタとホールドオフ・カウンタ

AD6635

AD6635で使用可能な4本のSYNCピンは、チップ全体（つまり、8つのチャンネルと4つのAGCのすべて）で共通です。一方、チャンネル0~3およびAGC AとBに固有の4つのソフト同期チャンネルは、チャンネル4~7およびAGC CとDに固有の4つのソフト同期チャンネルとは異なります。これは、異なる同期チャンネル・セットに対して異なるチップ・セレクト（CS0とCS1）を使用しているためです。CS1を使用してマイクロポートを設定するときは、チャンネル4、5、6、7用のSOFT SYNCとSOFT_SYNCレジスタ（外部アドレス0x5）が設定されます。なお、SYNCピンは、SOFT_SYNCチャンネル0、1、2、3とは独立しています。

スタート

スタートとは、個々のチャンネル、チップ、または複数チップのスタートアップを意味します。使用されないチャンネルは、スリープ・モードに設定して消費電力を節約します。ハード・リセット（AD6635のRESETピンにロー・パルスを与える）を使用すると、すべてのチャンネルがスリープ・モードになります。チャンネルを手動でスリープ・モードにするには、スリープ機能を制御する外部アドレス0x3に書き込みを行います。

非同期スタート

同期させずに複数のチャンネルや複数のAD6635を起動する場合は、次の方法でデバイスを初期化します。

1. チャンネルを設定するには、まずスリープ・モードに設定します（ビット・ハイレベル、外部アドレス3）。次に、すべての該当するコントロール・レジスタとメモリ・レジスタ（フィルタ）に書き込みします。スタート更新ホールドオフ・カウンタ（0x83）を“1”に設定します。
2. スリープ・ビットをローレベルに設定します（外部アドレス3）。これによりチャンネルが有効になります。なお、外部アドレスを使用するときは、各チャンネルに適切なチップ・セレクトを使用してください。CS0が使用されるとチャンネル0~3がスタートし、CS1が使用されるとチャンネル4~7がスタートします。

ソフト同期によるスタート

AD6635には、マイクロプロセッサの制御によって複数のチャンネルやチップを同期させる機能があります。同期に必要な1つの動作は、複数のチャンネルやチップを起動することです。スタート更新ホールドオフ・カウンタ（0x83）にスタート・ビットとSYNCビット（外部アドレス5）を組み合わせることで、この同期が可能になります。基本的には、スタート更新ホールドオフ・カウンタは、その値（AD6635のCLK数）だけチャンネルの起動を遅延させます。マイクロプロセッサ制御で複数チャンネルの起動を同期させるには、以下の方法を使用します。

1. 該当するチャンネルをスリープ・モードに設定します（AD6635のRESETピンでハード・リセットすると、4チャンネルすべてがスリープ・モードになります）。
2. RDY（DTACK）ピンがハイレベルになってからNCOがデータ処理を開始するまでの時間は、スタート更新ホールドオフ・カウンタ（0x83）の値に6マスター・クロック・サイクルを加算した時間になります。
3. スタート更新ホールドオフ・カウンタ（0x83）に該当する値（1より大きく $2^{16}-1$ より小さい値）を書き込みます。チップが初期化されていない場合、この段階で他のすべてのレジスタに書き込みを行います。
4. スタート・ビットとSYNCビットにハイレベルを書き込みます（外部アドレス5）。

5. これにより、スタート更新ホールドオフ・カウンタがカウント・ダウンを開始します。このカウンタは、AD6635のCLK信号でクロック駆動されます。カウンタが1に達すると、該当するチャンネルのスリープ・ビットがローレベルに設定され、チャンネルがアクティブになります。
6. なお、チャンネル0~3と4~7は、異なるマイクロポート書き込み中に同期を受信します（チャンネル0~3と4~7には、別の同期を使用しなければなりません）。2つのチャンネル・セットに時間差があること（別のマイクロポート書き込みになること）に注意してください。

SYNCピンによるスタート

AD6635には4本のSYNCピンA、B、C、Dがあり、これらを使用して、非常に正確な同期チャンネルを実現できます。各チャンネルは、4本のSYNCピンの任意のピンに対応するように設定できます。さらに、一部または全部のチャンネルで1本のSYNCピンをモニターしたり、各チャンネルが別個のピンをモニターしたりできるため、きわめて柔軟な同期が可能となります。外部信号の1つによりスタートを同期させる方法は、次の通りです。

1. 該当するチャンネルをスリープ・モードに設定します（AD6635のRESETピンでハード・リセットすると、4チャンネルすべてがスリープ・モードになります）。
2. SYNCピンがハイレベルになってからNCOがデータ処理を開始するまでの時間は、スタート更新ホールドオフ・カウンタ（0x83）の値に3マスター・クロック・サイクルを加算した時間になっています。
3. スタート更新ホールドオフ・カウンタ（0x83）に該当する値（1より大きく $2^{16}-1$ より小さい値）を書き込みます。チップが初期化されていない場合、この段階で他のすべてのレジスタに書き込みを行います。
4. Start on Pin Sync（SYNCピンによるスタート）ビット（外部アドレス4）と該当するSYNCピン・イネーブル（A、B、C、D）をハイレベルに設定します。
5. AD6635のCLKにより、SYNCピンがハイレベル状態でサンプリングされると、スタート更新ホールドオフ・カウンタのカウント・ダウンが開始されます。カウンタは、AD6635のCLK信号でクロック駆動されます。カウンタが1になると、該当するチャンネルのスリープ・ビットがローレベルに設定され、チャンネルがアクティブになります。
6. ソフト同期とは異なり、ピン同期では、すべてのチャンネルに同時に効果が与えられます。2つのチャンネル・セット間の遅延については、前述の「ソフト同期によるスタート」のステップ6を参照してください。ピン同期の場合、SYNCピンがAD6635のすべてのチャンネルで共有されるため、このような遅延は発生しません。

ホップ

ホップとは、あるNCO周波数から新しいNCO周波数にジャンプすることです。この周波数の変化を、次に説明するように、マイクロプロセッサ制御（ソフト同期）または外部同期信号（ピン同期）によって同期させることができます。

同期を用いずにNCO周波数を設定するには、以下の方法を使用します。

ホップなしで周波数を設定

1. NCO周波数ホールドオフ・カウンタを0に設定します。
2. 該当するNCO周波数を書き込みます。新しい周波数が直ちにNCOに書き込まれます。

ソフト同期によるホップ

AD6635には、マイクロプロセッサの制御によって、複数のチャンネルまたはチップでのNCO周波数の変化を同期させる機能があります。NCO周波数ホールドオフ・カウンタ (0x84) にホップ・ビットとSYNCビット (外部アドレス4) を組み合わせることで、この同期が可能になります。基本的に、NCO周波数ホールドオフ・カウンタは、その値 (AD6635のCLK数) だけNCOへの新しい周波数の書き込みを遅延させます。マイクロプロセッサ制御で複数チャンネルの周波数ホップを同期させるには、以下の方法を使用します。

1. RDY ($\overline{\text{DTACK}}$) ピンがハイレベルになってからNCOがデータ処理を開始するまでの時間は、NCO周波数ホールドオフ・カウンタ (0x84) の値に7マスター・クロック・サイクルを加算した時間になっています。
2. NCO周波数ホールドオフ (0x84) カウンタに該当する値 (1より大きく $2^{16}-1$ より小さい値) を書き込みます。
3. NCO周波数レジスタに新しい目標周波数を書き込みます。
4. ホップ・ビットとSYNCビットにハイレベルを書き込みます (外部アドレス4)。
5. これにより、NCO周波数ホールドオフ・カウンタがカウント・ダウンを開始します。このカウンタは、AD6635のCLK信号でクロック駆動されます。カウンタが1になると、新しい周波数がNCOに書き込まれます。
6. なお、チャンネル0~3と4~7は、異なるマイクロポート書き込み中に同期を受信します (チャンネル0~3と4~7には、別の同期を使用しなければなりません)。2つのチャンネル・セットに時間差があること (別のマイクロポート書き込みになること) に注意してください。

SYNCピンによるホップ

AD6635には、特に複数のAD6635間で、きわめて正確な同期を行うために4本のSYNCピンが用意されています。外部信号により新しいNCO周波数へのホップを同期させる方法は、次の通りです。

1. SYNCピンがハイレベルになってからNCOがデータ処理を開始するまでの時間は、NCO周波数ホールドオフ・カウンタ (0x84) の値に5マスター・クロック・サイクルを加算した時間になっています。
2. NCO周波数ホールドオフ・カウンタ (0x84) に該当する値 (1より大きく $2^{16}-1$ より小さい値) を書き込みます。
3. NCO周波数レジスタに新しい目標周波数を書き込みます。
4. Hop on Pin Sync (SYNCピンによるホップ) ビットと該当するSYNCピン・イネーブルをハイレベルに設定します。
5. AD6635のCLKにより、選択したSYNCピンがハイレベル状態でサンプリングされると、NCO周波数ホールドオフ・カウンタがカウント・ダウンを開始します。このカウンタは、AD6635のCLK信号でクロック駆動されます。カウンタが1になると、新しい周波数がNCOに書き込まれます。
6. ソフト同期とは異なり、ピン同期では、すべてのチャンネルに同時に効果が与えられます。2つのチャンネル・セット間の遅延については、前述の「ソフト同期によるスタート」のステップ6を参照してください。ピン同期の場合、すべてのSYNCピンがAD6635のすべてのチャンネルで共有されるため、このような遅延は発生しません。

パラレル出力ポート

AD6635には、出力データの伝送用に、4つの独立した16ビットのパラレル・ポートとリンク・ポートが内蔵されています。パラレル・ポートとリンク・ポートは、ピンと内部MUX回路を共有します。データ・バスごとに、つまり出力ポート (A、B、C、D) ごとに、パラレル・ポートまたはリンク・ポートを選択できますが、両方とも選択することはできません。パラレル・ポートとリンク・ポートをそれぞれ1つずつ同時に使用できますが、これは同じデータ・バスを共有しない場合に限りです。たとえば、パラレル・ポートAとリンク・ポートB、またはパラレル・ポートBとリンクポートAを同時に使用できます。図34は、1つの出力ポートに対するAD6635の出力データの経路設定を示す簡略ブロック図です。この図に共有ピンも示します。AD6635の8本のピンがリンク・ポートのデータ・ピンと共有され、パラレル・ポートのチャンネル・インジケータ・ピンがリンク・ポートのクロック・イン・ピンおよびクロック・アウト・ピンと共有されています。

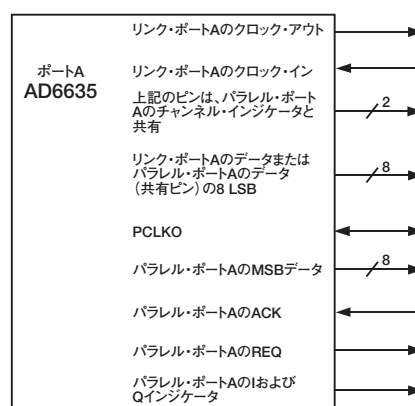


図34. 出力ポートAのデータ経路

パラレル・ポートの設定は、ポート・コントロール・レジスタのアドレス0x1Aと0x1Cにアクセスして指定します。ポート・クロックのマスター/スレーブ・モード (後述) は、アドレス0x1Eのポート・クロック・コントロール・レジスタで設定します。なお、出力ポートAとBには、出力ポートCとD (PCLK1) とは別のクロック (PCLK0) があります。これらのレジスタにアクセスするには、外部アドレス3 (スリープ・レジスタ) のビット5 (アクセス・ポート・コントロール・レジスタ) がセットされていなければなりません。このアドレスは、外部アドレス6のCARレジスタを設定して選択します。

パラレル・ポートを有効にするには、アドレス0x1Bと0x1Dにあるリンク・コントロール・レジスタのビット7をセットします。

各パラレル・ポートは、チャンネル・モードまたはAGCモードで動作できます。各モードの詳細について、以下に説明します。

チャンネル・モード

パラレル・ポートのチャンネル・モードを選択するには、アドレス0x1Aと0x1Bのビット0をセットします。チャンネル・モードでは、各チャンネルからのIワードとQワードが、インターリーバ、インターポレーション・ハーフバンド・フィルタ、およびAGCをバイパスして、パラレル・ポートに送られます。そのポートで出力する特定のチャンネルを選択するには、入力ポート・コントロール・レジスタ0x1Aと0x1Cのビット1~4をセットします。0~3の各チャンネルはポートA、ポートB、またはその両方でそれぞれ単独に出力できます。同様に、4~7の各チャンネルもポートC、ポートD、またはその両方で単独に出力できます。

AD6635

チャンネル・モードには、2つのデータ・フォーマットがあります。それぞれのフォーマットでデータ伝送を完了させるには、異なる数のパラレル・ポート・クロック (PCLK) サイクルが必要です。どちらのフォーマットの場合も、各データ・エレメントは1つのPCLKサイクルの間に伝送されます。チャンネル・モードのパラレル・ポート・タイミングについては、図35と図36を参照してください。

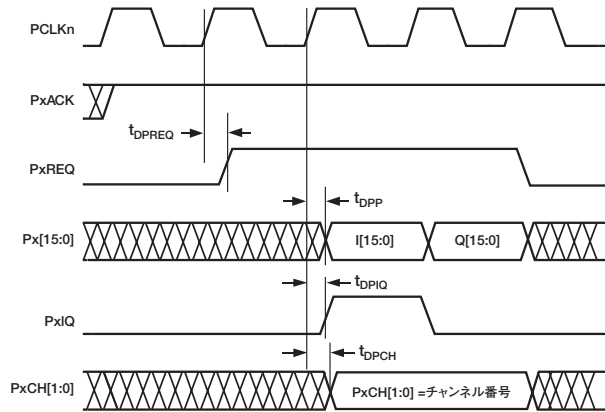


図35. チャンネル・モードのインターリーブ・フォーマット (16ビットI/Q)

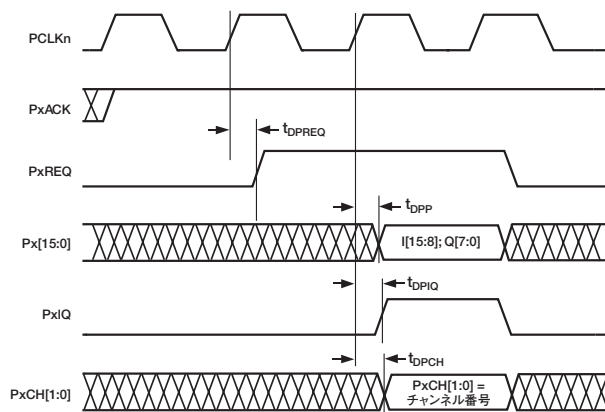


図36. チャンネル・モードの8I/8Qパラレル・フォーマット

16ビットのインターリーブ・フォーマットでは、連続するPCLKサイクルの出力サンプルごとにIデータとQデータが得られます。IワードとQワードは、16ビットの全ポート幅で構成されます。データ出力は、REQとACKの両方がアサートのときに、PCLKの立ち上がりエッジでトリガーされます。最初のPCLKサイクルの間にIデータが出力されます。また、PxiQ出力インジケータ・ピンがハイレベルに設定され、Iデータがバス上にあることを示します。Qデータは、次のPCLKサイクルの間に出力され、このサイクルの間にはPxiQ出力インジケータ・ピンがローレベルになります。

8ビットのコンカレント・フォーマットにより、1つのPCLKサイクルの間に8ビットのIデータと8ビットのQデータが同時に得られます。この出力もPCLKの立ち上がりエッジでトリガーされます。Iデータのバイトはポートの最上位バイトを占有しますが、Qデータのバイトは最下位バイトを占有します。PxiQ (ここでx=A、B、C、またはD) 出力インジケータ・ピンは、PCLKサイクルの間、ハイレベルに設定されます。複数チャ

ネルからのデータが連続して出力される場合は、すべてのチャンネルのデータ出力が完了するまで、PxiQ出力インジケータ・ピンはハイレベルのままになります。なお、出力ポート (パラレルまたはリンク) AとBから出力できるのは、チャンネル0~3からのデータだけです。同様に、出力ポートCとDから出力できるのは、チャンネル4~7からのデータだけです。

PACH[1:0]ピンとPBCH[1:0]ピンは、現在出力されているデータのソース・チャンネルを示す2ビット2進数を提供します。この値は、チャンネル番号0~3を表します。同様に、PCCH[1:0]ピンとPDCH[1:0]ピンも、現在出力されているデータのソース・チャンネルを示す2ビット2進数を提供しますが、チャンネルは4~7です。2進値00がチャンネル4を示し、2進値11はチャンネル7を示します。

できるだけ早くポートからデータを読み出す必要があります。そうしないと、次の新しいデータ・サンプルが到着して、現在のサンプルが上書きされてしまいます。これはチャンネル単位で発生します。つまり、チャンネル0のサンプルは、チャンネル0の新しいサンプルによって上書きされます。

データ出力の順序は、データがポートに到達したタイミングによって決まります。このタイミングは、総デシメーション・レート、スタート・ホールドオフの値などに依存します。優先順位はチャンネル0、1、2、3の順 (最上位から最下位への順) です。同様に、ポートCとDでの優先順位はチャンネル4、5、6、7の順になります。

AGCモード

パラレル・ポートのチャンネル・モードを選択するには、アドレス0x1Aと0x1Cのビット0をクリアします。AGCモードでのIおよびQのデータ出力は、個々のチャンネルではなくAGCから出力されます。パラレル・ポートAとBは、AGC A、AGC B、またはその両方からデータを提供できます。レジスタ・アドレス0x1Aと0x1Cのビット1と2は、それぞれAGC AとAGC Bからのデータの組み込みを制御します。同様に、パラレル・ポートCとDは、AGC C、AGC D、またはその両方からデータを提供できます。

AGCモードでは、IおよびQのフォーマットが1つだけ得られます。これは、チャンネル・モードの16ビット・インターリーブ・フォーマットと同様です。REQとACKの両方がアサートのときに、PCLKの次の立ち上がりエッジで、16ビットAGC Iワードの出力がトリガーされ、PCLKの1サイクル間に出力されます。PxiQ (x=A、B、C、またはD) 出力インジケータ・ピンは、このサイクルの間ハイレベルになり、それ以外はローレベルになります。16ビットのAGC Qワードは、次のPCLKサイクルの間に出力されます。AGCゲイン・ワードが最後のサンプル以降に更新された場合、パラレル・ポートのデータ・ピンの12 MSBでのQワードに続くPCLKのサイクルの間に、12ビットのRSSI (受信信号強度インジケータ) ワードが出力されます。RSSIワードは、AGCのゲイン乗算器で使用する信号ゲイン・ワードの反転ビットです。

AGCモードのPACH[1:0]ピンとPBCH[1:0]ピンで提供されるデータは、チャンネル・モードで提供されるデータとは異なります。AGCモードでは、PACH[0]とPBCH[0]は、現在出力されているデータのAGCソースを示します (0=AGC A、1=AGC B)。PACH[1]とPBCH[1]は、現在のデータがI/QワードまたはAGC RSSIワードのどちらになるかを示します (0=I/Qワード、1=AGC RSSIワード)。図37と図38に、2種類のAGC出力を示します。

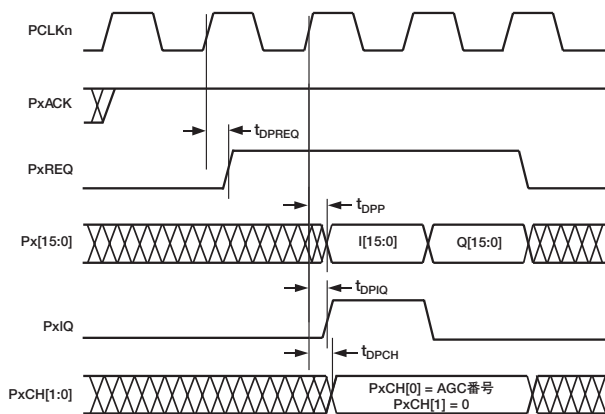


図37. RSSIワードを伴わないAGC出力

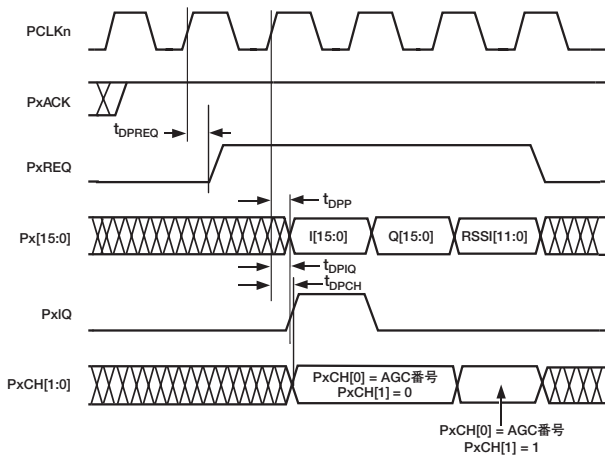


図38. RSSIワードを伴うAGC出力

マスター/スレーブPCLKnモード

パラレル・ポートは、マスター・モードまたはスレーブ・モードで動作します。モードは、ポート・クロック・コントロール・レジスタ（アドレス0x1E）で設定します。パラレル・ポートをスレーブ・モードで起動すると、PCLKnピン上で発生する競合が回避されます。パラレル・ポートCとDがスレーブ・モードのときに、ポートAとBをマスター・モードに設定することができます（またはその逆も可能）。ただし、ポートAとB、あるいはポートCとDは、パラレル・ポート・クロックPCLK0とPCLK1を共有するため両方とも同じモードにしてください。

マスター・モードでは、PCLKの出力はPCLK分周比で除算したAD6635クロック周波数になります。PCLK_divisor [2:1]の値は0、1、2、3が可能で、それぞれ1、2、4、8の整数分周比が得られます。AD6635の最大クロック・レートが80MHzであるため、マスター・モードの最大PCLKレートも80MHzになります。マスター・モードを選択するには、アドレス0x1Eのビット0をセットします。

スレーブ・モードでは、外部回路がPCLK信号を提供します。スレーブ・モードのPCLK信号は、同期または非同期のいずれかです。スレーブ・モードの最大PCLK周波数は100MHzです。

パラレル・ポートのピン機能

パラレル・ポートで使用するピンの機能について、以下に説明します。

PCLK：入/出力。出力（マスター・モード）では、最大周波数はCLK/N（CLKはAD6635のクロック、Nは1、2、4、8の整数分周比）になります。入力（スレーブ・モード）では、AD6635のCLKに対して非同期となります。このピンが入力として起動されると、競合が回避されます。他のポート出力は、PCLKの立ち上がりエッジで変化します。

REQ：PCLKに同期したアクティブHIGH出力。このピンのロジックがHIGHのときは、データをポートからシフト出力できることを示します。ロジック・レベルは、待機中の全データのシフト出力が完了するまで、ハイレベルのままです。

ACK：アクティブHIGHの非同期入力。このピンをロジックLOWにすると、パラレル・ポートのデータ・シフトが禁止されます。REQがハイレベルのときに、このピンのロジックをHIGHにすると、設定したデータ・モードに応じて、パラレル・ポートがデータをシフト出力します。ACKは、PCLKの立ち上がりエッジでサンプリングされます。REQがアサートであれば、ACKがアサートになってからデータがパラレル・ポートに出力されるまでのレイテンシは、1.5PCLKサイクル以下になります（図12を参照）。ACKがずっとハイレベルのままになることもあります。この場合、データが利用可能になると、REQがアサートになってから1PCLKサイクル後にシフト出力が開始されます（図35、図36、図37を参照）。

PAIQ、PBIQ、PCIQ、PDIQ：Iデータがポート出力上にあるときは常にハイレベル、それ以外はローレベルです。

PxCH[1:0]、**PxCH[1:0]**、**PCCH[1:0]**、**PDCH[1:0]**：これらのピンは、どちらのデータ・モードでもデータ識別に利用します。チャンネル・モードでは、これらのピンは2ビット2進数となり、現在のデータ・ワードのソース・チャンネルを特定します。AGCモードでは、[0]はAGCソース（0=AGC A、1=AGC B）を示し、[1]は現在のデータ・ワードがI/Qデータ（0）かRSSIワード（1）のどちらであるかを示します。同様に、パラレル・ポートCとDでも、[0]がAGCソース（0=AGC C、1=AGC D）を示し、[1]は現在のデータ・ワードがI/Qデータ（0）かRSSIワード（1）のどちらであるかを示します。

PA[15:0]、**PB[15:0]**、**PC[15:0]**、**PD[15:0]**：パラレル出力データ・ポート。値とフォーマットは、モードによって異なります。

リンク・ポート

AD6635は、4つの設定可能なリンク・ポートを搭載し、TigerSHARC DSPとのシームレスなデータ・インターフェースを可能にします。各リンク・ポートを使用して、AD6635は、出力データをTigerSHARCの受信DMAチャンネルに書き込んで、メモリに転送させます。4つのリンク・ポートは互いに独立して動作するため、各リンク・ポートを異なるTigerSHARCに接続したり、同じTigerSHARC上の異なるリンク・ポートに接続できます。図39には、4つのAD6635リンク・ポートの1つを、4つのTigerSHARCリンク・ポートの1つに接続する方法を示します。個々のリンク・ポートは、それぞれのレジスタで設定します。

AD6635

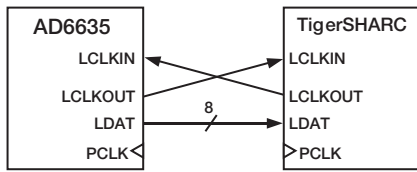


図39. AD6635とTigerSHARCとのリンク・ポート接続

リンク・ポートのデータ・フォーマット

各リンク・ポートは、さまざまなフォーマットでTigerSHARCにデータを出力できます。フォーマットは、2チャンネル、4チャンネル、専用AGC、RSSIワードを伴う二重化AGC、RSSIワードを伴わない二重化AGCの5種類です。各フォーマットは、2バイトのIデータと2バイトのQデータを出力し、4バイトのIQペアを形成します。TigerSHARCのリンク・ポートがクワッド・ワード（16バイト）のブロックでデータを伝送するため、4つのIQペアで1つのクワッド・ワードを構成できます。チャンネル・データが選択されている場合（0x1B/0x1Dのビット0=0）、4つのチャンネルの4バイトIQワードが連続して出力されるか、別のチャンネルのペアIQワードが出力されます。図40と図41に、それぞれの場合の伝送されるクワッド・ワードと、各リンク・ポートを設定するための対応するレジスタ値を示します。

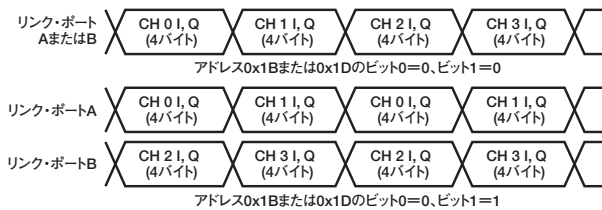


図40. RCFからのリンク・ポート・データ

AGC出力が選択されている場合（0x1B/0x1Dのビット0=1）、各AGCからRSSI情報をIQペアと一緒に送ることができます。各リンク・ポートを1つのAGCからのデータを出力するように設定したり、2つのリンク・ポートで同じAGCからのデータを出力することもできます。2つのリンク・ポートが同じデータを伝送する場合、IQワードでRSSI情報を送る必要があります（ビット2=0）。実際のAGC RSSIワードは2バイト（12ビットのRSSIワードに0を4つ後ろに付加）しかないので、リンク・ポートは、各RSSIワードの直後に2バイトの0を送り、16バイトのクワッド・ワードを作ります。

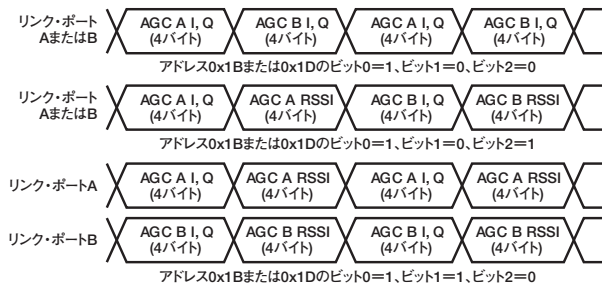


図41. AGCからのリンク・ポート・データ

ビット0=1、ビット1=0、ビット2=1の設定は無効です。リンク・ポートAでAGC AのIQとRSSIワードを出力する場合、またリンク・ポートBでAGC BのIQとRSSIワードを出力する場合には、ビット2を0に設定する必要があります。

リンク・ポートのタイミング

リンク・ポートAとBでは、そのクロックをPCLK0から取得し、リンク・ポートCとDでは、PCLK1から取得します。PCLK0とPCLK1は、外部からチップに提供されるか（アドレス0x1Eのビット0=0）、またはAD6635のマスター・クロックから生成されます（アドレス0x1Eのビット0=1）。このレジスタを0（スリープ・モード）で起動すると、ユーザーは、AD6635からのデータ・レートを調整できます。PCLKは100MHzの速さで動作させることができます。

リンク・ポートは、レシーバからのレディ信号（LxCLKINピン）に反応して、1バイトのデータ・ワード（Lx[7:0]ピン）と出力クロック（LxCLKOUTピン）を提供します。ここでx=A、B、C、またはDです。各リンク・ポートがLCLKOUTの各エッジで8ビットを伝送するため、TigerSHARCクワッド・ワードの16バイト全体の伝送を完了するには、8LCLKOUTサイクルが必要です。

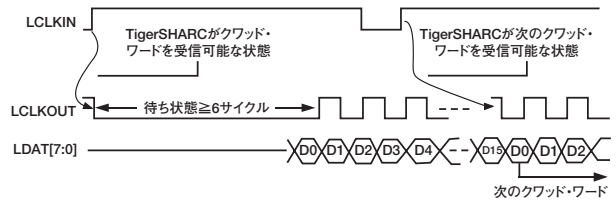


図42. リンク・ポートのデータ転送

TigerSHARCリンク・ポートのプロトコルのために、AD6635は、TigerSHARCがデータ受信可能な状態になってから少なくとも6PCLKサイクルの間待機する必要があります。TigerSHARCがそれぞれのAD6635 LCLKINピンをハイレベルに設定すると、受信可能な状態です。AD6635のリンク・ポートが、該当するPCLKサイクル数だけ待機してからデータ伝送を開始すると、データの伝送中に、TigerSHARCがAD6635 LCLKINにローレベル信号、次にハイレベル信号を送信して接続性チェックを行います。このようにして、TigerSHARCのDMAが、現在のクワッド・ワードの受信完了後、次のクワッド・ワードの受信が可能であることをAD6635のリンク・ポートに知らせます。接続性チェックはデータ伝送と並行して行われるため、AD6635は、データを中断せずにTigerSHARCに流すことができます。

データ伝送前の待ち時間は、リンク・ポート・コントロール・レジスタ（0x1Bと0x1Dのビット6~3）で設定するプログラマブルな4ビット値です。この値により、AD6635のPCLKとTigerSHARCのPCLKを、異なるレートで位相をずらせて動作させることができます。

$$WAIT \geq \text{ceil} \left(6 \times \frac{f_{LCLK_{34}}}{f_{LCLK_{TSHARC}}} \right)$$

WAITによって、AD6635がデータ伝送を開始するために必要な待ち時間が、TigerSHARCがAD6635に想定する最小待ち時間以上になります。AD6635のPCLKとTigerSHARCのPCLKの位相がずれていて、 $\text{ceil}()$ 関数の引数が整数の場合、WAITは、上式で得られる値よりも必ず大きくなければなりません。LCLKが同相の場合、最大出力データ・レートは次の通りです。

$$f_{LCLK_{34}} \leq \frac{15}{6} \times f_{LCLK_{TSHARC}}$$

そうでない場合は、次の通りです。

$$f_{LCLK_{34}} \leq \frac{14}{6} \times f_{LCLK_{TSHARC}}$$

TigerSHARCの設定

このリンクでは常にAD6635がトランスミッタ、TigerSHARCがレシーバになるため、AD6635出力データの受信に使用するリンク・ポートのLCTLレジスタには、以下の値を設定できます。表中の「ユーザー」は、実際のレジスタ値がユーザーの使用するアプリケーションによって異なることを意味します。

表IX. TigerSHARC LCTLxレジスタの設定

VERE	0
SPD	ユーザー
LTEN	0
PSIZE	1
TTOE	0
CERE	0
LREN	1
RTOE	1

メモリ・マップ

ここでは、チャンネル、メモリ、およびI/Oコントロール・レジスタのメモリ・マップについて説明します。

表X. チャンネル・メモリ・マップ (パート1)

チャンネル・アドレス	レジスタ	ビット幅	備考
00~7F	係数メモリ (CMEM)	20	128×20ビット・メモリ
80	チャンネル・スリープ	1	0: EXT_ADDRESS 3からのスリープ・ビット
81	Soft_SYNCコントロール・レジスタ	2	1: ホップ 0: スタート
82	Pin_SYNCコントロール・レジスタ	3	2: First SYNC Only 1: Hop_En 0: Start_En
83	スタート・ホールドオフ・カウンタ	16	スタート・ホールドオフ値
84	NCO周波数ホールドオフ・カウンタ	16	NCO_FREQホールドオフ値
85	NCO周波数レジスタ0	16	NCO_FREQ[15:0]
86	NCO周波数レジスタ1	16	NCO_FREQ[31:16]
87	NCO位相オフセット・レジスタ	16	NCO_PHASE[15:0]
88	NCOコントロール・レジスタ	9	8~7: SYNC入力セレクト[1:0] 6: WB入力セレクトB/A 5~4: 入力イネーブル制御 11: IENの立ち下がり変化でクロック入力 10: IENの立ち上がり変化でクロック入力 01: IENのハイレベルでクロック入力 00: IENのローレベルでマスク・オン 3: ホップ時に位相アキュムレータをクリア 2: 振幅ディザ 1: 位相ディザ 0: バイパス (A入力→Iパス、B→Q) (C入力→Iパス、D→Q)
89~8F	未使用		

AD6635

AD6635の個々のチャンネルには、独立したチャンネル・メモリ・マップがあります。これらのメモリ・マップをアドレス指定するには、適切なチップ・セレクト・ピン ($\overline{CS0}$ 、 $\overline{CS1}$) を使用し、外部アドレス7の2 LSBに適切な2ビット・アドレスを書き込みます。 $\overline{CS0}$ をプログラミングに使用する場合は、これらの2ビットが00でチャンネル0のメモリ・マップ、01でチャンネル1のメモリ・マップ、10でチャンネル2のメモリ・マップ、11でチャンネル3のメモリ・マップにアクセスします。 $\overline{CS1}$ を使用する場合は、00がチャンネル4、01がチャンネル5、10がチャンネル6、11がチャンネル7に対応します。なお、このとき、外部アドレス3 (アクセスI/Oコントロール・レジスタ) のビット5は使用できません。

0x00~0x7F: 係数メモリ (CMEM)

RCFが使用する係数メモリ (CMEM) です。128ワード×20ビットとしてメモリ・マップされます。RAMの2番目の128ワードは、チャンネル・アドレス0xA4のRCFコントロール・レジスタのビット8にハイレベルを書き込み、同じロケーションからアクセスできます。フィルタの計算では、IとQに常に同じ係数を使用します。128ブロックの2つのメモリを使用し、最大160タップのフィルタを計算できます。チャンネル・アドレス0xA3の係数オフセット・レジスタに1回内部アクセスするだけで、複数のフィルタのロードと選択ができます。

0x80: チャンネル・スリープ・レジスタ

このレジスタは、チャンネルのスリープ・ビットを格納します。このビットがハイレベルの場合、チャンネルは低消費電力状態になります。ローレベルの場合、チャンネルはデータを処理します。外部アドレス3にあるスリープ・レジスタにアクセスして、このビットを設定することもできます。外部スリープ・レジスタにアクセスすると、4チャンネルすべてが同時にアクセスされ、それぞれのスリープ・ビットが適切に設定されます。

0x81: Soft_SYNCレジスタ

このレジスタは、マイクロポートを介して同期イベントを開始させるときに使用します。ホップ・ビットにハイレベルを書き込むと、アドレス0x84のホップ・ホールドオフ・カウンタがロードされて、カウント・ダウンが開始されます。この値が1になると、NCOアキュムレータが使用するNCO周波数レジスタに、チャンネル・アドレス0x85と0x86からのデータがロードされます。スタート・ビットをハイレベルに設定すると、スタート・ホールドオフ・カウンタにアドレス0x83の値がロードされて、カウント・ダウンが開始されます。この値が1になると、アドレス0x80のスリープ・ビットがローレベルになって、チャンネルがスタートします。

0x82: Pin_SYNCレジスタ

このレジスタは、SYNCピンの機能を制御するために使用します。4本のSYNCピンのいずれかを選択して、チャンネルからモニターすることができます。ホップ・ビットまたはスタート・ビットをハイレベルに設定して、スタートまたはホップ同期のイベントを開始するようにチャンネルを設定できます。これらのビットはイネーブルとして機能し、SYNCパルスが発生したとき、Soft_SYNCと同じように、スタートまたはホップ・ホールドオフ・カウンタがアクティブになります。

0x83: スタート・ホールドオフ・カウンタ

Start_SYNCが開始されると、このアドレスに書き込まれた値がスタート・ホールドオフ・カウンタにロードされます。Start_SYNCは、Soft_SYNCまたはPin_SYNCで開始することができます。カウンタがデクリメントを開始し、値が1になったときに、チャンネルのスリープ状態が解除されてデータの処理が開始されます。チャンネルがすでに動作中の場合は、フィルタの位相が調整されて、複数のAD6635が同期されます。この方法でSYNCピンの周期パルスを使用し、ADCサンプル・ク

ロックの分解能でフィルタのタイミングを調整できます。このレジスタに1を書き込むと、SYNCがチャンネルに入力されたときに直ちにスタートが開始されます。0を書き込むと、SYNCは発生しません。

0x84: NCO周波数ホールドオフ・カウンタ

Soft_SYNCまたはPin_SYNCがチャンネルに入力されたとき、このアドレスに書き込まれた値がNCO周波数ホールドオフ・カウンタにロードされます。カウンタがカウント・ダウンを開始し、カウントが1になると、NCO周波数ワードがアドレス0x85と0x86の値で更新されます。これはホップまたはHop_SYNCと呼ばれています。このレジスタに1を書き込むと、SYNCがチャンネルに入力されたときに直ちにNCO周波数が更新されます。0を書き込むと、ホップは発生しません。NCOホップは、チャンネル・アドレス0x88のNCOコントロール・レジスタのビット3の状態に応じて、位相連続または位相不連続になります。このビットがローレベルの場合、NCOの位相アキュムレータはクリアされず、SYNCが発生すると直ちにアキュムレータに対して新しいNCO周波数ワードの加算が開始されます。このビットがハイレベルの場合、NCOの位相アキュムレータは0にクリアされて、新しいワードが累算されます。

0x85: NCO周波数レジスタ0

このレジスタは、NCO周波数ワードの16 LSBを表します。これらのビットはシャドウされており、チャンネルのスリープ状態が解除されるか、Soft_SYNCまたはPin_SYNCが出力されるまで、処理に使われるレジスタに反映されません。後者の2つのケースでは、周波数ホールドオフ・カウンタの値が1になったとき、レジスタが更新されます。周波数ホールドオフ・カウンタが1に設定されている場合、シャドウが書き込まれると直ちにレジスタが更新されます。

0x86: NCO周波数レジスタ1

このレジスタは、NCO周波数ワードの16 MSBを表します。これらのビットはシャドウされており、チャンネルのスリープ状態が解除されるか、Soft_SYNCまたはPin_SYNCが出力されるまで、処理に使われるレジスタに反映されません。後者の2つのケースでは、周波数ホールドオフ・カウンタの値が1になったときにのみ、レジスタが更新されます。周波数ホールドオフ・カウンタが1に設定されている場合、シャドウが書き込まれると直ちにレジスタが更新されます。

0x87: NCO位相オフセット・レジスタ

このレジスタは、NCOへの16ビットの位相オフセットを表します。 $0 \sim 2\pi \times (2^{16} - 1) / (2^{16})$ ラジアン の範囲の値として解釈されます。

0x88: NCOコントロール・レジスタ

この9ビット・レジスタは、NCOとチャンネルの機能を制御します。各ビットは以下のように定義されます。詳細については、「数値制御発振器 (NCO)」のセクションを参照してください。

ビット8~7は、チャンネルが使用するピンを4本のSYNCピンから選択します。選択したSYNCピンは、チャンネルのスタート、ホップ、またはタイミング調整の開始に使用されます。詳細については、「同期」のセクションを参照してください。

ビット6は、チャンネルが使用する入力を定義します。チャンネル0~3では、入力ポートにAまたはBを使用できます。チャンネル4~7では、入力ポートにCまたはDを使用できます。チャンネル0~3では、このビットがローレベルの場合は入力ポートA、ハイレベルの場合は入力ポートBが選択されます。チャンネル4~7では、このビットがローレベルの場合は入力ポートC、ハイレベルの場合は入力ポートDが選択されます。各チャンネルでは、その入力ポートを個々に選択できます。各入力ポートは、14ビットの入力仮数部 (INx[13:0])、3ビット

の指数部 (EXPx[2:0])、入力イネーブル・ピンIENxから構成されます。xは、A、B、C、またはDを表します。

ビット5~4は、チャンネルのサンプル・クロックを高速CLK信号から取り出す方法を決定します。以下に定義する4種類が選択できます。これらの詳細については、「数値制御発振器 (NCO)」のセクションを参照してください。

ビット5~4が“00”の場合、チャンネルの入力サンプル・レート (f_{SAMP}) は高速CLK信号のレートに等しくなります。IENがローレベルの場合、チャンネルに入力されるデータはマスクされて0になります。このモードは、レシーバが伝送されたデータをマスクしても、次の受信バーストに対して正しい位相を維持する必要のあるTDDシステムに適しています。

ビット5~4が“01”の場合、入力サンプル・レートは、IEN入力がハイレベルのときのCLKの立ち上がりエッジによって決定されます。たとえば、CLKの各立ち上がりエッジでIENが切り替わる場合、CLKの1つおきの立ち上がりエッジだけでハイレベルのIEN信号がサンプルされます。このため、入力サンプル・レート f_{SAMP} はCLKレートの1/2になります。

ビット5~4が“10”の場合、入力サンプル・レートは、IENピンが切り替わるレートにより決定されます。IENの立ち上がり変化後のCLKの立ち上がりエッジでキャプチャされたデータが処理されます。ビット5~4が“11”の場合、アキュムレータとサンプルのCLKは、IENピンが切り替わるレートによって決定されます。IENの立ち下がり変化後のCLKの立ち上がりエッジでキャプチャされたデータが処理されます。たとえば、制御

モード“10”と“11”を使用して、AまたはBの入力ポートからのデータをインターリーブし、それぞれのチャンネルに割り当てることができます。IENピンでは、1つのチャンネルをモード10に設定し、別のチャンネルをモード11に設定するようにデータを選択します。

ビット3は、ホップの発生時に、NCOの位相アキュムレータをクリアするかどうかを指定します。ホップは、Pin_SYNCまたはSoft_SYNCから発生させることができます。このビットが“0”に設定されている場合、ホップは位相連続で、アキュムレータはクリアされません。このビットが“1”に設定されている場合、アキュムレータが“0”にクリアされてから、新しい周波数ワードの累算を開始します。これは、複数のチャンネルが異なる周波数から共通の周波数へホップする場合に適しています。

ビット2~1は、NCOのディザを有効にするかどうかを制御します。ディザ機能の使用は、システムの制約条件によって大きく異なります。ディザの使用の詳細については、「数値制御発振器 (NCO)」のセクションを参照してください。

ビット0により、NCO周波数変換段をバイパスできます。バイパスされると、A入力ポートからのデータはチャンネルのIパスに、B入力ポートからのデータはチャンネルのQパスに渡されます。これにより、ベースバンドのIおよびQデータに対して、実数フィルタが実行されます。チャンネル4~7では、C入力ポートがIパス、D入力ポートがQパスです。

表XI. チャンネル・メモリ・マップ (パート2)

チャンネル・アドレス	レジスタ	ビット幅	備考
90	rCIC2デシメーション-1	12	$M_{rCIC2}-1$
91	rCIC2インターポレーション-1	9	$L_{rCIC2}-1$
92	rCIC2スケール	12	11: 指数部反転 10: 指数部の重み 9~5: rCIC2_QUIET[4:0] 4~0: rCIC2_LOUD[4:0]
93	予約済み	8	予約済み (ローレベルを書き込む必要があります)
94	CIC5デシメーション-1	8	$M_{CIC5}-1$
95	CIC5スケール	5	4~0: CIC5_SCALE[4:0]
96	予約済み	8	予約済み (ローレベルを書き込む必要があります)
97~9F	未使用		
A0	RCFデシメーション-1	8	$M_{RCF}-1$
A1	RCFデシメーション位相	8	P_{RCF}
A2	RCFタップ数-1	8	$N_{TAPS}-1$
A3	RCF係数オフセット	8	CO_{RCF} または RCF_{OFF}
A4	RCFコントロール・レジスタ	11	10: RCFバイパスBIST 9: RCF入力セレクト (自0、他1) 8: プログラムRAMバンクI/O 7: 共通指数部を使用 6: 出力スケールを強制 5~4: 出力フォーマット 1x: 浮動小数点12+4 01: 浮動小数点8+4 00: 固定小数点 3~0: 出力スケール

表XI. チャンネル・メモリ・マップ (続き)

チャンネル・アドレス	レジスタ	ビット幅	備考
A5	IパスのBISTシグネチャ	16	BIST-I
A6	QパスのBISTシグネチャ	16	BIST-Q
A7	アキュムレートするBISTの出力数	20	19~0: 出力数 (読み出しカウンタ値)
A8	RAM BISTコントロール・レジスタ	3	2: D-RAM不合格/合格 1: C-RAM不合格/合格 0: RAM BISTイネーブル
A9	出力コントロール・レジスタ		9: BISTレジスタにRCFデータをマップ 5: 出力フォーマット 1: 16ビットIと16ビットQ 0: 12ビットIと12ビットQ

0x90: rCIC2デシメーション-1 ($M_{rCIC2}-1$)

このレジスタは、rCIC2フィルタのデシメーションを設定するときに使用します。このレジスタに書き込む値は、デシメーションから1を減算した値です。rCIC2デシメーションの設定可能な範囲は、チャンネルのインターポレーションに応じて1~4096です。デシメーションは、常にインターポレーションより大きい値でなければなりません。 $M_{rCIC2} > L_{rCIC2}$ となり、両方とも、適切なrCIC2スケーラを選択できるような値を選ぶ必要があります。詳細については、「2次rCIC2フィルタ」のセクションを参照してください。

0x91: rCIC2インターポレーション-1 ($L_{rCIC2}-1$)

このレジスタは、rCIC2フィルタのインターポレーションを設定するときに使用します。このレジスタに書き込む値は、インターポレーションから1を減算した値です。rCIC2インターポレーションの設定可能な範囲は、rCIC2のデシメーションに応じて1~512です。このインターポレーションにはタイミング誤差は発生しません。詳細については、「2次rCIC2フィルタ」のセクションを参照してください。

0x92: rCIC2スケール

rCIC2スケール・レジスタは、rCIC2のゲインを補償する減衰を与えるとき、および浮動小数点入力からのデータのリニア化を調整するときに使用します。このスケール・レジスタの使用は、rCIC2の増大と浮動小数点入力ポートの両方から影響を受けます。詳細については、「2次rCIC2フィルタ」のセクションを参照してください。

rCIC2スケーラは、指数部オフセットと組み合わせであり、入力ポートとrCIC2セクションの両方で適切に処理する必要があります。

ビット11は、指数部の極性を指定します。通常、このビットはクリアされます。ただし、AD6600などのADCを使用する場合には、このビットはセットされます。

ビット10は、入力ポートに対応する指数部ワードの重みを指定します。このビットがローレベルの場合、各指数部ステップは6.02dBに相当すると見なされます。ハイレベルの場合は、12.02dBに相当すると見なされます。

ビット9~5は、このチャンネルに対応するレベル・インジケータ (LI) ピンがアクティブのときに使用される実際のスケール値です。

ビット4~0は、このチャンネルに対応するレベル・インジケータ (LI) ピンがアクティブのときに使用される実際のスケール値です。

0x93:

予約済み (ローレベルを書き込む必要があります)。

0x94: CIC5デシメーション-1 ($M_{CIC5}-1$)

このレジスタは、CIC5フィルタのデシメーションを設定するときに使用します。このレジスタに書き込む値は、デシメーションから1を減算した値です。これは8ビット・レジスタですが、デシメーションは通常1~32の値に制限されます。32より大きいデシメーションは、CIC5の能力を超えたスケールリングを必要とします。

0x95: CIC5スケール

CIC5スケール係数は、CIC5フィルタの増大を補償するときに使用します。詳細については、「5次CIC5フィルタ」のセクションを参照してください。

0x96:

予約済み (ローレベルを書き込む必要があります)。

0xA0: RCFデシメーション-1 ($M_{RCF}-1$)

このレジスタは、RCF段のデシメーションを設定するときに使用します。レジスタに書き込む値は、デシメーションから1を減算した値です。これは256までのデシメーションが可能な8ビット・レジスタですが、ほとんどのフィルタ処理では、デシメーションを1~32に制限する必要があります。これより大きいデシメーションも可能ですが、アプリケーションによっては、RCFのエイリアス保護が許容されない場合があります。

0xA1: RCFデシメーション位相 (P_{RCF})

このレジスタを使用すると、フィルタの M_{RCF} 位相の任意の1つが使用可能になり、ダイナミックに調整することができます。フィルタを開始するたびに、この位相が更新されます。チャンネルを同期化すると、ここで選択した位相設定が維持されます。これは、外部プロセッサによるタイミング再生ループの一部として使用したり、1ペアのRCFを使用しながら複数のRCFを協調動作させることができます。詳細については、「RAM係数フィルタ (RCF)」のセクションを参照してください。

0xA2: RCFタップ数-1 ($N_{TAPS}-1$)

RCFフィルタのタップ数から1を減算した値を書き込みます。

0xA3: RCF係数オフセット (CO_{RCF})

このレジスタは、フィルタに使用する256ワード係数メモリのセクションを指定するときに使用します。このレジスタにより、メモリにロードされ、レジスタのポインタによって参照される複数のフィルタからの選択が可能になります。このレジスタはシャドウされており、新しいフィルタを開始するたびにフィルタ・ポインタが更新されます。この機能により、フィルタの計算中であっても動作を妨害することなく、係数オフセットの書

き込みが可能です。RCFから出力される次のサンプルには、新しいフィルタが用いられます。

0xA4：RCFコントロール・レジスタ

RCFコントロール・レジスタは、11ビットのレジスタであり、出力フォーマットに加えて、RCFの全般的な機能も制御します。以下、このレジスタのビットとその機能について説明します。

ビット10は、RCFフィルタをバイパスして、CIC5出力データをBIST-IとBIST-Qのレジスタに送信します。チャンネル・アドレス0xA9にあるRCFコントロール・レジスタ2のビット9がセットされている場合には、このレジスタからCIC5データの16 MSBにアクセスできます。

ビット9は、RCFへの入力データのソースを制御します。このビットが“0”の場合、RCFは自チャンネルの出力データを処理します。このビットが“1”の場合、RCFは別のチャンネルのCIC5から出力されるデータを処理します。表XIIに、このビットが“1”のときにRCFが接続されるCIC5を示します。これらを使用すると、複数のRCFを用いて広い帯域幅のチャンネルを処理できます。

表XII. RCF入力の設定

チャンネル	ビット9が“1”のときのRCF入力ソース
0	1
1	0
2	1
3	1
4	5
5	4
6	5
7	5

ビット8は補助アドレスとして使用され、0x00～0x7Fのチャンネル・アドレスを用いて、CMEMの2番目の128ワード・ブロックをアドレス指定できます。このビットが“0”の場合は最初の128ワードが書き込まれ、“1”の場合は2番目の128ワードが書き込まれます。このビットは、係数メモリをプログラム設定するときのみ使用され、処理には使用されません。また、128タップより長いフィルタを実行することができます。

ビット7は、AD6635のRCFデータの出力フォーマットを制御するときに利用します。このビットは、8+4または12+4の浮動小数点モードが選択されているときのみ使用します。これらのモードは、このレジスタのビット5と4を用いて有効にします。ビット7が“0”の場合、IとQの出力指数部は、それぞれの振幅に基づいて個別に決定されます。このビットが“1”の場合、IデータとQデータは複素浮動小数であり、IとQは、IまたはQの最大振幅に基づいて決定される1つの指数部を使用します。

ビット6は、浮動小数点出力モードの1つを使用している場合でも、強制的にこのレジスタのビット3～0に格納されている出力スケール係数を用いてデータをスケールリングするときに使用します。値が大きすぎて、選択した出力スケールでは表せない場合でも、IデータとQデータの仮数部がクリップされるため、オーバーフローしません。

ビット5とビット4では、RCFデータが使用する出力フォーマットのオプションを選択します。各オプションを表XIIIに示します。これらのオプションが有効になるのは、データがチャンネルから出力されるときだけであることに注意してください（このとき、パラレルA/Bコントロール・レジスタまたはリンクA/Bコントロール・レジスタのビット0に“0”を書き込みます）。データがAGCから取り込まれるときの出力フォーマットは常に固定小数点であり、ビット幅はAGCによって定義されます。

表XIII. 出力フォーマット

ビット値	出力オプション
1x	12ビット仮数部と4ビット指数部 (12+4)
01	8ビット仮数部と4ビット指数部 (8+4)
00	固定小数点モード

ビット3～0は、RCFの出力スケール係数を表します。これは、出力フォーマットが固定小数点モードであるかForce Exponentビットがハイレベルのときに、データのスケールリングに使用されます。

0xA5：I用BISTレジスタ

このレジスタには、2つの用途があります。1つは、チャンネル内のIデータ・パスの全機能をシステムでテストできるようにすることです。この詳細については、「ユーザー設定可能な内蔵セルフ・テスト (BIST)」のセクションを参照してください。もう1つは、マイクロポートを介してI出力データへのアクセスを可能にすることです。これを行うには、RCFコントロール・レジスタ2、0xA9のMap RCF Data to BISTビットをハイレベルに設定します。これで、マイクロポートを介して、8+4、12+4、12ビット・リニア、または16ビット・リニアの出力モードで、16ビットのIデータを読み出すことができます。このデータは、フォーマットされたRCF出力またはCIC5出力から得られます。

0xA6：Q用BISTレジスタ

このレジスタには、2つの用途があります。1つは、チャンネル内のQデータ・パスの全機能をシステムでテストできるようにすることです。この詳細については、「ユーザー設定可能な内蔵セルフ・テスト (BIST)」のセクションを参照してください。もう1つは、マイクロポートを介してQ出力データへのアクセスを可能にすることです。これを行うには、RCFコントロール・レジスタ2、0xA9のMap RCF Data to BISTビットをハイレベルに設定します。これで、マイクロポートを介して、8+4、12+4、12ビット・リニア、または16ビット・リニアの出力モードで、16ビットのQデータを読み出すことができます。このデータは、フォーマットされたRCF出力またはCIC5出力から得られます。

0xA7：BISTコントロール・レジスタ

このレジスタは、BISTテストを実行する際に、対象となるRCFまたはCICフィルタの出力数を制御します。アドレス0xA5と0xA6にあるBISTシグネチャ・レジスタは、この出力数を観測してから終了します。このレジスタに書き込みを行っても、BISTエンジンが動作を開始します。BIST回路の使用方法的詳細については、「ユーザー設定可能な内蔵セルフ・テスト (BIST)」のセクションを参照してください。

0xA8：RAM BISTコントロール・レジスタ

このレジスタは、AD6635のメモリの不具合が疑われる場合に、メモリのテストに使用します。チャンネルがスリープ状態の場合、このレジスタのビット0に“1”が書き込まれており、1600 CLKの間待ってから、ビットのポーリングを行います。ビット1がハイレベルの場合はCMEMが不合格であり、ビット2がハイレベルの場合はRCFの使用データ・メモリが不合格です。

0xA9：出力コントロール・レジスタ

このレジスタのビット9によって、RCFまたはCIC5データをアドレス0xA5と0xA6にあるBISTレジスタにマップできます。このビットが“0”の場合、BISTレジスタはシグネチャ・モードであり、セルフ・テストを実行できます。このビットが“1”の場合、フォーマット済みのRCF出力データまたはCIC5データがこれらのレジスタにマップされ、マイクロポートを介して読み出すことができます。

表XIV. 入力ポート・コントロール・レジスタのメモリ・マップ

チャンネル・アドレス	レジスタ	ビット幅	備考
00	下限スレッシュールドA	10	9~0: 入力Aの下限スレッシュールド
01	上限スレッシュールドA	10	9~0: 入力Aの上限スレッシュールド
02	ドウェル・タイムA	20	19~0: 下限スレッシュールドAを下回る最小時間
03	ゲイン・レンジAコントロール・レジスタ	5	4: 出力極性LIA-AとLIA-B 3: インターリーブ・チャンネル 2~0: リニア化ホールドオフ・レジスタ
04	下限スレッシュールドB	10	9~0: 入力Bの下限スレッシュールド
05	上限スレッシュールドB	10	9~0: 入力Bの上限スレッシュールド
06	ドウェル・タイムB	20	19~0: 下限スレッシュールドBを下回る最小時間
07	ゲイン・レンジBコントロール・レジスタ	5	4: 出力極性LIB-AとLIB-B 3: インターリーブ・チャンネル 2~0: リニア化ホールドオフ・レジスタ

ビット5では、パラレル・ポートによって使用されるワード長を決定します。このビットが“0”の場合、パラレル・ポートはIとQに対して12ビット・ワードを使用します。このビットが“1”の場合、パラレル・ポートはIとQに対して16ビット・ワードを使用します。固定小数点出力オプションがRCFコントロール・レジスタで選択されている場合は、これらのビットで、RCFの出力フォーマットにおける丸めも正しく設定されます。

このレジスタの残りのビットは予約されており、プログラム設定する場合はローレベルを書き込む必要があります。

入力ポート・レジスタにアクセスするには、スリープ・レジスタ（外部アドレス0x3）のアクセス入/出力コントロール・レジスタ・ビット（ビット5）を設定してください。これによって、CAR（チャンネル・アドレス・レジスタ、外部アドレス0x6）には、正しい入力ポート・レジスタへのアドレスが書き込まれます。

チャンネル0~3および入力ポートAとBでは、マイクロポートを使用してプログラミングするときに、チップ・セレクト0（CS0）を使用してください。同様に、チャンネル4~7および入力ポートCとDでは、マイクロポートを使用してプログラミングするときに、チップ・セレクト1（CS1）を使用してください。

注：表XIVのレジスタに関しては、マイクロポートをプログラミングするときに、チップ・セレクト0（CS0）ではなくチップ・セレクト1（CS1）を使用した場合、入力ポートAとBを入力ポートCとDで複製してください。同様に、指定された場合には必ず、チャンネル0~3もチャンネル4~7で複製してください。

入力ポート・コントロール・レジスタ

入力ポート・コントロール・レジスタは、主に入力の検出とレベルの制御に使用されるさまざまな入力関連機能を有効にします。動作モードに応じて、これらのレジスタでは、最大4つの異なる信号パスをモニターできます。これらの機能にアクセスするには、外部アドレス3（スリープ・レジスタ）のビット5を設定し、CAR（外部アドレス6）を使用して利用可能な8個のロケーションをアドレス指定します。

これらの設定値に対する応答は、LIA-A、LIA-B、LIB-A、LIB-Bピンに向けて送られます。

0x00 下限スレッシュールドA

このワードは10ビット幅で、仮数部の上位10ビットにマップされます。入力ポートAの上位10ビットがこの値以下になると、下限スレッシュールド条件が満たされます。通常のチップ動作

では、これによりドウェル・タイム・カウンタが開始します。入力信号がこの値を超えると、カウンタが再ロードされ、入力がこのレベルに戻るのを待ちます。

0x01 上限スレッシュールドA

このワードは10ビット幅で、仮数部の上位10ビットにマップされます。入力ポートAの上位10ビットがこの値以上になると、上限スレッシュールド条件が満たされます。通常のチップ動作では、これにより該当するLIピン（LIA-AまたはLIA-B）がアクティブになります。

0x02 ドウェル・タイムA

このレジスタは、入力信号が下限スレッシュールド以下になってから、LIピンが非アクティブになるまでの時間を設定します。入力レベル検出回路が動作するには、ドウェル・タイムを少なくとも“1”に設定する必要があります。“0”に設定すると、LI機能は無効になります。

これは20ビットのレジスタです。上限スレッシュールドを通過した後には下限スレッシュールド条件が満たされると、ドウェル・タイム・カウンタがロードされ、高速クロック・サイクルのカウンタが開始され、入力下限スレッシュールド以下である限り、カウンタを継続します。信号が下限スレッシュールドを超えると、カウンタが再ロードされて、信号が下限スレッシュールド以下に戻るのを待ちます。

0x03 ゲイン・レンジAコントロール・レジスタ

ビット4は、LIA-AとLIA-Bの極性を指定します。このビットがクリアされている場合、LI信号は、上限スレッシュールドを超えているときにハイレベルになります。このビットがセットされている場合、LIピンはアクティブのときにローレベルになります。このように、この機能はきわめて柔軟に使用できます。

ビット3は、入力を1つのチャンネルで構成するか、AD6600を使用する場合のように複数のTDMチャンネルで構成するかを指定します。このビットがクリアされている場合、単一ADCと見なされます。このモードでは、LIA-Aがアクティブ出力インジケータとして機能し、LIA-BはLIA-Aを補完する役割を果たします。このビットがセットされている場合、入力はデュアル・チャンネルと判断され、IENAピンの状態に依存します。IENAピンがローレベルの場合、検出された入力はLIA-Aに送られます。IENAピンがハイレベルの場合、入力はLIA-Bに送られます。いずれの場合も、ビット4がこれらの信号の実際の極性を決定します。

ビット2~0は、ゲイン検出機能の内部レイテンシを決定します。LIA-AピンとLIA-Bピンがアクティブになると、通常、これらを使用して減衰器やゲイン段の変更が行われます。これはADCより前にあるため、ADCに伴うレイテンシと、ゲイン変化のセトリングに伴うレイテンシが発生します。このレジスタにより、LIA-A信号とLIA-B信号の内部遅延をプログラム設定できます。

0x04 下限スレッシュホールドB

このワードは10ビット幅で、仮数部の上位10ビットにマップされます。入力ポートBの上位10ビットがこの値以下になると、下限スレッシュホールド条件が満たされます。通常のチップ動作では、これによりドウェル・タイム・カウンタが開始します。入力信号がこの値を超えると、カウンタが再ロードされ、入力がこのレベルに戻るのを待ちます。

0x05 上限スレッシュホールドB

このワードは10ビット幅で、仮数部の上位10ビットにマップされます。入力ポートBの上位10ビットがこの値以上になると、上限スレッシュホールド条件が満たされます。通常のチップ動作では、これにより該当するLIピン（LIB-AまたはLIB-B）がアクティブになります。

0x06 ドウェル・タイムB

このレジスタは、入力信号が下限スレッシュホールド以下になってから、LIピンが非アクティブになるまでの時間を設定します。入力レベル検出回路が動作するには、ドウェル・タイムを少なくとも“1”に設定する必要があります。“0”に設定すると、LI機能は無効になります。

これは20ビットのレジスタです。上限スレッシュホールドを通過した後に下限スレッシュホールド条件が満たされると、ドウェ

ル・タイム・カウンタがロードされ、高速クロック・サイクルのカウンタが開始され、入力下限スレッシュホールド以下である限り、このカウンタを継続します。信号が下限スレッシュホールドを超えると、カウンタが再ロードされ、信号が下限スレッシュホールド以下に戻るのを待ちます。

0x07 ゲイン・レンジBコントロール・レジスタ

ビット4は、LIB-AとLIB-Bの極性を指定します。このビットがクリアされている場合、LI信号は、上限スレッシュホールドを超えているときにハイレベルになります。このビットがセットされている場合、LIピンはアクティブのときローレベルになります。このように、この機能はきわめて柔軟に使用できます。

ビット3は、入力を1つのチャンネルで構成するか、AD6600を使用する場合のように複数のTDMチャンネルで構成するかを指定します。このビットがクリアされている場合、単一ADCと見なされます。このモードでは、LIB-Aがアクティブ出力インジケータとして機能し、LIB-BはLIB-Aを補完する役割を果たします。このビットがセットされている場合、入力はデュアル・チャンネルと判断され、IENBピンの状態に依存します。IENBピンがローレベルの場合、検出された入力はLIB-A送られます。IENBピンがハイレベルの場合、入力はLIB-Bに送られます。いずれの場合も、ビット4がこれらの信号の実際の極性を決定します。

ビット2~0は、ゲイン検出機能の内部レイテンシを決定します。LIA-AピンとLIA-Bピンがアクティブになると、通常、これらを使用して減衰器やゲイン段の変更が行われます。これはADCより前にあるため、ADCに伴うレイテンシと、ゲイン変化のセトリングに伴うレイテンシが発生します。このレジスタにより、LIA-A信号とLIA-B信号の内部遅延をプログラム設定できます。

表XV. 出力ポート・コントロール・レジスタのメモリ・マップ

チャンネル・アドレス (16進)	レジスタ	ビット幅	備考
08	ポートAコントロール・レジスタ	4	3: ポートAイネーブル 2~1: HB A信号インターリーブ 11 4チャンネルすべて 10 チャンネル0、1 01 チャンネル0、1 00 チャンネル0 0: バイパス
09	ポートBコントロール・レジスタ	3	2: ポートBイネーブル 1: HB A信号インターリーブ 1 チャンネル2、3 0 チャンネル2 0: バイパス
0A	AGC Aコントロール・レジスタ	8	7~5: 出力ワード長 111 4ビット 110 5ビット 101 6ビット 100 7ビット 011 8ビット 010 10ビット 001 12ビット 000 16ビット

AD6635

表XV. 出力ポート・コントロール・レジスタのメモリ・マップ (続き)

チャンネル・アドレス (16進)	レジスタ	ビット幅	備考
			4: クリップ誤差 1 クリップ誤差のレベルを維持 0 出力信号レベルを維持 3: Sync Now (即時同期) 2: Init on Sync (同期時に初期化) 1: First Sync Only (初回同期のみ) 0: バイパス
0B	AGC Aホールドオフ・カウンタ	16	15~0: ホールドオフ値
0C	AGC A目標レベル	8	7~0: 目標出力電力レベルまたは目標クリップ・エネルギー (Rパラメータ)
0D	AGC A信号ゲイン	12	11~0: G _s パラメータ
0E	AGC Aループ・ゲイン	8	7~0: Kパラメータ
0F	AGC Aポール位置	8	7~0: Pパラメータ
10	AGC A平均サンプル	6	5~2: CICデシメータのスケール 1~0: 平均するサンプル数
11	AGC A更新デシメーション	12	11~0: CICデシメーション率
12	AGC Bコントロール・レジスタ	8	7~5: 出力ワード長 111 4ビット 110 5ビット 101 6ビット 100 7ビット 011 8ビット 010 10ビット 001 12ビット 000 16ビット
			4: クリップ誤差 1 クリップ誤差のレベルを維持 0 出力信号レベルを維持 3: Sync Now (即時同期) 2: Init on Sync (同期時に初期化) 1: First Sync Only (初回同期のみ) 0: バイパス
13	AGC Bホールドオフ・カウンタ	16	15~0: ホールドオフ値
14	AGC B目標レベル	8	7~0: 目標出力電力レベルまたは目標クリップ・エネルギー (Rパラメータ)
15	AGC B信号ゲイン	12	11~0: G _s パラメータ
16	AGC Bループ・ゲイン	8	7~0: Kパラメータ
17	AGC Bポール位置	8	7~0: Pパラメータ
18	AGC B平均サンプル	6	5~2: CICデシメータのスケール 1~0: 平均するサンプル数
19	AGC B更新デシメーション	12	11~0: CICデシメーション
1A	パラレルA制御	8	7~6: 予約済み 5: パラレル・ポート・データ・フォーマット 1: 8ビット・パラレルI、Q 0: 16ビット・インターリーブI、Q 4: チャンネル3

表XV. 出力ポート・コントロール・レジスタのメモリ・マップ (続き)

チャンネル・アドレス (16進)	レジスタ	ビット幅	備考
1B	リンクA制御	8	3: チャンネル2 2: チャンネル1/AGC Bイネーブル 1: チャンネル0/AGC Aイネーブル 0: AGC_CHセレクト 1: AGCからデータ出力 0: チャンネルからデータ出力 7: リンク・ポートAイネーブル 6~3: 待ち状態 2: RSSIワードを伴わない 1: RSSIワードを出力しない 0: RSSIワードを出力する 1: チャンネル・データのインターリーブ 1: 2チャンネル・モード/分離A、B 0: 4チャンネル・モード/A、B同一ポート 0: AGC_CHセレクト 1: AGCからデータ出力 0: チャンネルからデータ出力
1C	パラレルB制御	8	7~6: 予約済み 5: パラレル・ポート・データ・フォーマット 1: 8ビット・パラレルI、Q 0: 16ビット・インターリーブI、Q 4: チャンネル3 3: チャンネル2 2: チャンネル1/AGC Bイネーブル 1: チャンネル0/AGC Aイネーブル 0: AGC_CHセレクト 1: AGCからデータ出力 0: チャンネルからデータ出力
1D	リンクB制御	8	7: リンク・ポートAイネーブル 6~3: 待ち状態 2: RSSIワードを伴わない 1: RSSIワードを出力しない 0: RSSIワードを出力する 1: チャンネル・データのインターリーブ 1: 2チャンネル・モード/分離A、B 0: 4チャンネル・モード/A、B同一ポート 0: AGC_CHセレクト 1: AGCからデータ出力 0: チャンネルからデータ出力
1E	ポート・クロック制御	3	2~1: PCLK分周比 0: PCLKマスター/スレーブ ¹ 0: スレーブ 1: マスター

¹ 競合を避けるため、PCLKはスレーブとして起動します。

AD6635

出力ポート・レジスタにアクセスするには、スリープ・レジスタ (0x3) のアクセス入/出力コントロール・レジスタのビット (ビット5) にハイレベルを書き込みます。次に、CAR (チャンネル・アドレス・レジスタ、外部アドレス0x6) に正しい出力ポート・レジスタへのアドレスを書き込みます。

マイクロポートを使用してプログラミングするとき、チャンネル0~3、ハーフバンド・フィルタAとB、AGC AとB、および出力ポートAとBについては、チップ・セレクト0 ($\overline{CS0}$) を使用してください。同様に、マイクロポートを使用してプログラミングするとき、チャンネル4~7、ハーフバンド・フィルタCとD、AGC CとAGC D、および出力ポートCとDについては、チップ・セレクト1 ($\overline{CS1}$) を使用してください。

注：表XVの全レジスタについて、マイクロポートをプログラミングするとき、チップ・セレクト0 ($\overline{CS0}$) ではなくチップ・セレクト1 ($\overline{CS1}$) を使用する場合は、出力ポートAとB (リンクまたはパラレル) を出力ポートCとDで複製してください。同様に、ハーフバンド・フィルタAとB、およびAGC AとBは、それぞれハーフバンド・フィルタCとD、およびAGC CとAGC Dで複製してください。また、指定された場合には必ず、チャンネル0~3をチャンネル4~7で複製してください。

0x08 ポートAコントロール・レジスタ

ビット0は、ポートAに対応するインターポレーション・ハーフバンド・フィルタの使用を有効にします。ハーフバンド・フィルタAを使用して、複数チャンネルからのデータ・ストリームをインターリーブし、2で補間することによって、チップ・レートの4倍の最大出力データ・レートを実現できます。ハーフバンド・フィルタAは、チャンネル0~3の4つのチャンネルすべて、またはチャンネル0~2、チャンネル0と1、チャンネル0だけを待ち受けるよう設定できます。ビット0=1のとき、ハーフバンド・フィルタAはバイパスされ、RCFの出力は直接AGCに送られます。チャンネル・データ・ストリームは、バイパスしたハーフバンド・フィルタで引き続きインターリーブされますが、フィルタリングやインターポレーションは行われません。この設定で得られる最大データ・レートは、チップ・レートの2倍になります。

0x09 ポートBコントロール・レジスタ

ビット0は、ポートBに対応するインターポレーション・ハーフバンド・フィルタの使用を有効にします。ハーフバンド・フィルタBを使用して、複数チャンネルからのデータ・ストリームをインターリーブし、2で補間することによって、チップ・レートの4倍の最大出力データ・レートを実現できます。ハーフバンド・フィルタBは、チャンネル2と3、またはチャンネル2だけを待ち受けるよう設定できます。ビット0=1のとき、ハーフバンド・フィルタBをバイパスし、RCFの出力は直接AGCに送られます。チャンネル・データ・ストリームは、バイパスしたハーフバンド・フィルタで引き続きインターリーブされますが、フィルタリングやインターポレーションは行われません。この設定で得られる最大データ・レートは、チップ・レートの2倍になります。

0x0A AGC Aコントロール・レジスタ

この8ビット・レジスタは、AGC Aの機能を制御します。各ビットは以下の通りです。

ビット7~5は、AGCの出力ワード長を指定します。出力ワードは、4~8、10、12、または16ビット幅が可能です。各出力ワード長を得るためのコントロール・レジスタのビット表現をメモリ・マップの表に示します (表XV)。

このレジスタのビット4は、AGCの動作モードを設定します。このビットが“0”の場合、AGCは出力信号レベルを追跡して維持します。このビットが“1”の場合、AGCは一定クリップ

誤差を追跡して維持します。これらのモードの詳細については、「AGCモード」のセクションを参照してください。

ビット3~1は、AGCの同期設定に使用します。AGCのCICデシメータ・フィルタを外部同期信号に同期させて更新サンプルを出力し、AGC誤差の計算やフィルタリングを実行できます。こうして、AGCのゲイン変化をRAKEレシーバなどの外部ブロックに同期させることができます。外部同期信号を受信すると必ず、0x0Bのホールドオフ・カウンタがロードされて、カウント・ダウンを開始します。カウンタが1になると、CICフィルタが更新サンプルを破棄し、新しい更新サンプルに向けて動作を開始します。AGCの初期化は、SYNCのたびにに行ったり、初回のSYNCだけにすることができます。

ビット3は、直ちに同期を行うようAGCにコマンドを出すときに使用します。このビットをセットすると、CICフィルタが直ちに新しいサンプルでAGCを更新し、次の更新サンプルに向けて動作を開始します。この方法を利用して、マイクロポート制御インターフェースでAGCを同期させることができます。

ビット2は、SYNC時にAGCを初期化するかどうかを指定するときに使用します。このビットをセットすると、CICフィルタがクリアされ、CICデシメーション、平均するサンプル数、CICスケール、信号ゲインGs、ゲインK、ポールのパラメータPについて新しい値がロードされます。ビット2=0のとき、上述のパラメータは更新されず、CICフィルタはクリアされません。どちらの場合も、AGC更新サンプルがCICフィルタから出力され、SYNCが発生するたびに、デシメータは次の出力サンプルに向けて動作を開始します。

ビット1は、繰り返される同期信号を無視するときに使用します。アプリケーションによっては、定期的に同期信号を発生するものがあります。このビットをクリアしている場合、同期リクエストがあるたびにAGCが再同期されます。このビットをセットしている場合、最初の発生でのみAGCが同期され、AGC CICフィルタのデシメーション係数に応じてAGCゲイン値が定期的に更新されます。

ビット0は、セットすることにより、AGCセクションのバイパスに使用されます。バイパスされたとき、AGCセクションに入力される上位16ビットが出力ポート (パラレル/リンク) に渡されます。8ビット出力が選択された場合には、出力ポートがさらにビット幅を切り捨てます。

0x0B AGC Aホールドオフ・カウンタ

Soft_SYNCまたはPin_SYNCがチャンネルに入力されると、このアドレスに書き込まれた値がAGC Aホールドオフ・カウンタにロードされます。カウンタはカウント・ダウンを開始し、カウンタが1になると、AGC AにSYNCが与えられます。このSYNCは、制御ワードの指定に従って、AGCを初期化する場合もしない場合があります。SYNCが発生するたびに、AGCループはCICフィルタからの新しいサンプルで更新されます。このレジスタに1を書き込むと、AGCは、SYNCが発生すると直ちに更新されます。このレジスタに0を書き込むと、AGCは同期されません。

0x0C AGC A目標レベル

この8ビット・レジスタは、動作モードに応じて、目標出力電力レベルまたは目標クリップ・レベルを格納します。この目標リクエストのRレベルは、0~-23.99dBの範囲で、0.094dBずつ設定できます。2ビットの指数部の後ろに6ビットの仮数部を付けた、8ビットの2進浮動小数点表現を使用します。仮数部は0.094dB刻みで、指数部は6.02dB刻みです。たとえば、10¹⁰⁰¹⁰¹は、2×6.02+37×0.094=15.518dBを表します。(2+(37/64))×6.02=15.518dBと計算することもできます。

0x0D AGC A信号ゲイン

このレジスタは、ゲイン乗算器で用いられる信号ゲインの初期値設定に使用します。この12ビット値は、初期信号ゲインを0～96.296dBの範囲で0.024dBずつ設定します。4ビットの指数部の後ろに8ビットの仮数部を付けた、12ビットの2進浮動小数点表現を使用します。たとえば、0111'10001001は、 $7 \times 6.02 + 137 \times 0.024 = 45.428\text{dB}$ を表します。 $(7 + (137/256)) \times 6.02 = 45.428\text{dB}$ と計算することもできます。

0x0E AGC Aループ・ゲイン

この8ビット・レジスタは、オープン・ループ・ゲインKの指定に使用します。この値は、0～0.996の範囲で0.0039ずつ設定できます。Kの値は、AGCの初期化のためにAGCループの中で更新されます。

0x0F AGC Aポール位置

この8ビット・レジスタは、オープン・ループ・フィルタのポール位置Pの指定に使用します。この値は、0～0.996の範囲で0.0039ずつ設定できます。Pの値は、AGCの初期化のためにAGCループの中で更新されます。「AGCモード」のセクションで説明したように、このオープン・ループのポール位置は、クローズド・ループのポール位置に直接影響します。

0x10 AGC A平均サンプル

この6ビット・レジスタは、CICフィルタで使用するスケールと、CICフィルタに提供する前に平均される累乗サンプル数を格納します。

ビット5～2は、CICフィルタに使用するスケールを指定します。

ビット1～0は、CICデシメーション・フィルタに送られる前に平均されるサンプル数を指定します。この数は1～4の範囲で設定でき、ビット表現00は1つのサンプルを意味し、ビット表現11は4つのサンプルを意味します。

0x11 AGC A更新デシメーション

この12ビット・レジスタは、1～4096のAGCデシメーション率を設定します。ビットの損失が発生しないよう、適切なスケール係数を設定する必要があります。

0x12 AGC Bコントロール・レジスタ

この8ビット・レジスタは、AGC Bの機能を制御します。各ビットは以下の通りです。

ビット7～5は、AGCの出力ワード長を指定します。4～8、10、12、または16ビット幅の出力ワードが可能です。各出力ワード長を得るためのコントロール・レジスタのビット表現をメモリ・マップの表に示します (表XV)。

ビット4は、AGCの動作モードを設定します。このビットが“0”の場合、AGCは出力信号レベルを追跡して維持します。このビットが“1”の場合、AGCは一定クリップ誤差を追跡して維持します。これらのモードの詳細については、「AGCモード」のセクションを参照してください。

ビット3～1は、AGCの同期設定に使用します。AGCのCICデシメータ・フィルタを外部同期信号に同期させて更新サンプルを出力し、AGC誤差の計算やフィルタリングを実行できます。こうして、AGCのゲイン変化をRAKEレシーバなどの外部ブロックに同期させることができます。外部同期信号を受信するたびに、0x0Bのホールドオフ・カウンタがロードされて、カウント・ダウンを開始します。カウンタが1になると、CICフィルタが更新サンプルを破棄し、新しい更新サンプルに向けて動作を開始します。AGCの初期化は、SYNCのたびに行ったり、初回のSYNCだけにすることができます。

ビット3は、直ちに同期を行うようAGCにコマンドを出すときに使用します。このビットをセットすると、CICフィルタが直ちに新しいサンプルでAGCを更新し、次の更新サンプルに向けて動作を開始します。この方法を利用して、マイクロポート制御インターフェースでAGCを同期させることができます。

ビット2は、SYNC時にAGCを初期化するかどうかを指定するときに使用します。このビットをセットすると、CICフィルタがクリアされ、CICデシメーション、平均するサンプル数、CICスケール、信号ゲインGs、ゲインK、およびポールのパラメータPについて新しい値がロードされます。ビット2=0のとき、上述のパラメータは更新されず、CICフィルタはクリアされません。どちらの場合も、AGC更新サンプルがCICフィルタから出力され、SYNCが発生するたびに、デシメータは次の出力サンプルに向けて動作を開始します。

ビット1は、繰り返される同期信号を無視するときに使用します。アプリケーションによっては、定期的に同期信号を発生するものがあります。このビットをクリアしている場合、同期リクエストがあるたびにAGCが再同期されます。このビットをセットしている場合、最初の発生でのみAGCが同期され、AGC CICフィルタのデシメーション係数に応じてAGCゲイン値が定期的に更新されます。

ビット0は、セットすることにより、AGCセクションのバイパスに使用されます。バイパスされたとき、AGCセクションに入力される上位16ビットが出力ポート (パラレル/リンク) に渡されます。8ビット出力が選択された場合には、出力ポートがさらにビット幅を切り捨てます。

0x13 AGC Bホールドオフ・カウンタ

Soft_SYNCまたはPin_SYNCがチャンネルに入力されると、このアドレスに書き込まれた値がAGC Bホールドオフ・カウンタにロードされます。カウンタはカウント・ダウンを開始し、カウンタが1になると、AGC BにSYNCが与えられます。このSYNCは、制御ワードの指定に従って、AGCを初期化する場合もしいない場合もあります。SYNCが発生するたびに、AGCループがCICフィルタからの新しいサンプルで更新されます。このレジスタに1を書き込むと、AGCは、SYNCが発生すると直ちに更新されます。このレジスタに0を書き込むと、AGCは同期されません。

0x14 AGC B目標レベル

この8ビット・レジスタは、動作モードに応じて、目標出力電力レベルまたは目標クリップ・レベルを格納します。目標リクエストのRレベルは、0～-23.99dBの範囲で、0.094dBずつ設定できます。2ビットの指数部の後ろに6ビットの仮数部を付けた、8ビットの2進浮動小数点表現を使用します。仮数部は0.094dB刻みで、指数部は6.02dB刻みです。たとえば、10'100101は、 $2 \times 6.02 + 37 \times 0.094 = 15.518\text{dB}$ を表します。 $(2 + (37/64)) \times 6.02 = 15.518\text{dB}$ と計算することもできます。

0x15 AGC B信号ゲイン

このレジスタは、ゲイン乗算器で用いられる信号ゲインの初期値設定に使用します。この12ビット値は、初期信号ゲインを0～96.296dBの範囲で0.024dBずつ設定します。4ビットの指数部の後ろに8ビットの仮数部を付けた、12ビットの2進浮動小数点表現を使用します。たとえば、0111'10001001は、 $7 \times 6.02 + 137 \times 0.024 = 45.428\text{dB}$ を表します。 $(7 + (137/256)) \times 6.02 = 45.428\text{dB}$ と計算することもできます。

0x16 AGC Bループ・ゲイン

この8ビット・レジスタは、オープン・ループ・ゲインKの指定に使用します。この値は、0～0.996の範囲で0.0039ずつ設定できます。Kの値は、AGCの初期化のためにAGCループの中で更新されます。

AD6635

0x17 AGC Bボール位置

この8ビット・レジスタは、オープン・ループ・フィルタのボール位置Pの指定に使用します。この値は、0~0.996の範囲で0.0039ずつ設定できます。Pの値は、AGCの初期化のたびにAGCループの中で更新されます。「AGCモード」のセクションで説明したように、このオープン・ループのボール位置は、クローズド・ループのボール位置に直接影響します。

0x18 AGC B平均サンプル

この6ビット・レジスタは、CICフィルタで使用するスケールと、CICフィルタに提供する前に平均される累乗サンプル数を格納します。

ビット5~2は、CICフィルタに使用するスケールを指定します。

ビット1~0は、CICデシメーション・フィルタに送られる前に平均されるサンプル数を指定します。この数は1~4の範囲で設定でき、ビット表現00は1つのサンプルを意味し、ビット表現11は4つのサンプルを意味します。

0x19 AGC B更新デシメーション

この12ビット・レジスタは、1~4096のAGCデシメーション率を設定します。ビットの損失が発生しないよう、適切なスケールリング係数を設定する必要があります。

0x1A パラレル・ポート制御A

データは、パラレル・ポート・インターフェースまたはリンク・ポート・インターフェースを通じて出力されます。0x19のビット7=0のとき、リンク・ポートAの使用が無効になり、パラレル・ポートAの使用が有効になります。パラレル・ポートには、DSPやFPGAにインターフェースをとるためのさまざまなデータ・モードがあります。

ビット0は、パラレル・ポートAに出力されるデータを選択します。ビット0=0のとき、パラレル・ポートAは、ビット1~4で指定したフォーマットに従ってRCFからのデータを出力します。ビット0=1のとき、パラレル・ポートAは、ビット1と2で指定したフォーマットに従ってAGCからのデータを出力します。

AGCモード（ビット0=1）では、ビット1はパラレル・ポートAがAGC Aからのデータを出力できるかどうかを指定し、ビット2はパラレル・ポートAがAGC Bからのデータを出力できるかどうかを指定します。出力の順序は各AGCからのトリガーのレートに応じて決まりますが、トリガーのレートは、トリガーを供給するチャンネルのデシメーション・レートによって決まります。チャンネル・モード（ビット0=0）では、ビット1~4は、4つの処理チャンネルのうちどの組み合わせで出力するかを指定します。出力の順序は各チャンネルから受け取るトリガーのレートに応じて決まりますが、トリガーのレートは、各チャンネルのデシメーション・レートによって決まります。チャンネル出力インジケータ・ピンを使用すれば、各データの送信元チャンネルを確認できます。

ビット5は、出力データ・ワードのフォーマットを指定します。ビット5=0のとき、パラレル・ポートAは、16ビット・ワードを16ビット・バス上に出力します。つまり、IデータとQデータがインターリーブされ、IQインジケータ・ピンが、ポート上のデータがIデータであるかQデータであるかを示します。ビット5=1のとき、パラレル・ポートAが8ビットのIワードと8ビットのQワードを同時に出力します。このとき、IQインジケータ・ピンはHIGHになります。

0x1B リンク・ポート制御A

データは、パラレル・ポート・インターフェースまたはリンク・ポート・インターフェースを通じて出力されます。リンク・ポートは、AD6635とTigerSHARC DSPとの間に効率的なデータ・リンクを提供するもので、ビット7を1に設定すると有効になります。

ビット0は、リンク・ポートAに出力するデータを選択します。ビット0=0のとき、リンク・ポートAは、ビット1で指定したフォーマットに従ってRCFからのデータを出力します。ビット0=1のとき、リンク・ポートAは、ビット1と2で指定したフォーマットに従ってAGCからのデータを出力します。

ビット1には2つの意味があり、データがAGCから入力されているか、RCFから入力されているかによって異なります。データがRCFから入力されている場合（ビット0=0）、ビット1は、2チャンネルまたは4チャンネルのデータ・モードを選択します。ビット1=1は、リンク・ポートAがチャンネル0と1から交互にRCF IQワードを伝送することを意味します。ビット1=1のとき、リンク・ポートAは、4つの各チャンネル（0、1、2、3）から連続してRCF IQワードを出力します。しかし、AGCデータが選択されている場合（ビット0=1）、ビット1はAGCデータ出力モードを選択します。このモードでは、ビット1=1のとき、リンク・ポートAはAGC AのIQとRSSIのワードを出力します。このモードでは、ビット2=0を設定して、RSSIワードを含める必要があります。ただし、ビット0=ビット1=0の場合は、AGC AとBが交互にリンク・ポートAに出力され、RSSIワードを含めるかどうかはビット2で指定します。

ビット2は、データ出力にRSSIワードを含めるかどうかを選択します。ビット1=1の場合、ビット2は0です。RSSIワードは2バイト長（12ビットに4つのゼロを付加）であり、IQワードは4バイト長であるため、RSSIワードを0で埋めて、全16バイトのTigerSHARCクワッド・ワードを生成します。AGC出力が選択されていない場合（ビット0=0）、このビットは任意の値をとることができます。

ビット6~3は、リンク・ポートAについて、リンク・ポートがレシーバからデータ・レディを受信した時刻から、最初のデータ・ワードを送信する時刻までの、プログラマブルな遅延値を指定します。リンク・ポートは、レシーバのクロックで少なくとも6サイクル待たなければならないため、この遅延値を使うことで、AD6635のリンク・ポートとTigerSHARCのリンク・ポートに対して周波数と位相の異なるクロックを使用できます。これらのクロックの制約と関係の詳細については、「リンク・ポート」のセクションを参照してください。

0x1C パラレル・ポート制御B

データは、パラレル・ポート・インターフェースまたはリンク・ポート・インターフェースを通じて出力されます。0x1Dのビット7=0のとき、リンク・ポートBの使用が無効になり、パラレル・ポートBの使用が有効になります。パラレル・ポートには、DSPやFPGAにインターフェースをとるためのさまざまなデータ・モードがあります。

ビット0は、パラレル・ポートBに出力されるデータを選択します。ビット0=0のとき、パラレル・ポートBは、ビット1~4で指定したフォーマットに従ってRCFからのデータを出力します。ビット0=1のとき、パラレル・ポートBは、ビット1と2で指定したフォーマットに従ってAGCからのデータを出力します。

AGCモード（ビット0=1）では、ビット1はパラレル・ポートBがAGC Aからのデータを出力できるかどうかを指定し、ビット2はパラレル・ポートBがAGC Bからのデータを出力できるかどうかを指定します。出力の順序は各AGCからのトリガーの

レートに応じて決まりますが、トリガーのレートは、トリガーを供給するチャンネルのデシメーション・レートによって決まります。チャンネル・モード（ビット0=0）では、ビット1~4は、4つの処理チャンネルのうちどの組み合わせで出力するかを指定します。出力の順序は、各チャンネルから受け取るトリガーのレートに応じて決まりますが、トリガーのレートは、各チャンネルのデシメーション・レートによって決まります。チャンネル出力インジケータ・ピンを使用すれば、各データの送信元チャンネルを確認できます。

ビット5は、出力データ・ワードのフォーマットを指定します。ビット5=0のとき、パラレル・ポートBは16ビット・ワードを16ビット・バス上に出力します。つまり、IデータとQデータがインターリーブされ、IQインジケータ・ピンが、ポート上のデータがIデータであるかQデータであるかを示します。ビット5=1のとき、パラレル・ポートBが8ビットのIワードと8ビットのQワードを同時に出力します。このとき、IQインジケータ・ピンはHIGHになります。

0x1D リンク・ポート制御B

データは、パラレル・ポート・インターフェースまたはリンク・ポート・インターフェースを通じて出力されます。リンク・ポートは、AD6635とTigerSHARC DSPとの間に効率的なデータ・リンクを提供するもので、ビット7を1に設定すると有効になります。

ビット0は、リンク・ポートBに出力するデータを選択します。ビット0=0のとき、リンク・ポートBは、ビット1で指定したフォーマットに従ってRCFからのデータを出力します。ビット0=1のとき、リンク・ポートBは、ビット1と2で指定したフォーマットに従ってAGCからのデータを出力します。

ビット1には2つの意味があり、データがAGCから入力されているか、RCFから入力されているかによって異なります。データがRCFから入力されている場合（ビット0=0）、ビット1は、2チャンネルまたは4チャンネルのデータ・モードを選択します。ビット1=1は、リンク・ポートBがチャンネル0と1から交互にRCF IQワードを伝送することを意味します。ビット1=1のとき、リンク・ポートBは4つの各チャンネル（0、1、2、3）から連続してRCF IQワードを出力します。しかし、AGCデータが選択されている場合（ビット0=1）、ビット1はAGCデータ出力モードを選択します。このモードでは、ビット1=1のとき、リンク・ポートBはAGC BのIQとRSSIのワードを出力します。このモードでは、ビット2=0を設定して、RSSIワードを含める必要があります。ただし、ビット0=ビット1=0の場合は、AGC AとBが交互にリンク・ポートBに出力され、RSSIワードを含めるかどうかは、ビット2で指定します。

ビット2は、データ出力にRSSIワードを含めるかどうかを選択します。ビット1=1の場合、ビット2は0です。RSSIワードは2バイト長（12ビットに4つのゼロを付加）であり、IQワードは4バイト長であるため、RSSIワードを0で埋めて、全16バイトのTigerSHARCクワッド・ワードを生成します。AGC出力が選択されていない場合（ビット0=0）、このビットは任意の値をとることができます。

ビット6~3は、リンク・ポートBについて、リンク・ポートがレシーバからデータ・レディを受信した時刻から、最初のデータ・ワードを送信する時刻までの、プログラマブルな遅延値を指定します。リンク・ポートは、レシーバのクロックで少なくとも6サイクル待たなければならないため、この遅延値を使うことで、AD6635のリンク・ポートとTigerSHARCのリンク・ポートに対して周波数と位相の異なるクロックを使用できます。これらのクロックの制約と関係の詳細については、「リンク・ポート」のセクションを参照してください。

0x1E ポート・クロック制御

ビット0は、PCLKnをユーザーが外部から提供するか、AD6635の内部で生成するかを指定します。CLKから内部でPCLKnを生成する場合（ビット0=1）、マスター・クロックとしてPCLKnピンを介して出力されます。PCLK0はCLK0から得られ、PCLK1はCLK1から得られます。他のアプリケーションでは、ユーザーが、PCLKピンを介してAD6635への入力としてPCLKを提供します。

ビット2と1を使用すれば、CLKを整数値で除算してPCLKnを生成できます。ビット設定用の整数除数は、それぞれ00=1、01=2、10=4、11=8です。

マイクロポートの制御

AD6635は、8ビットのマイクロプロセッサ・ポートと2つのシリアル制御ポートを搭載しています。各ポートの使い方について以下に個別に説明した後で、ポート間の交信について説明します。マイクロポート・インターフェースは、ホスト・プロセッサとフレキシブルに交信できるように設計されたマルチモード・インターフェースです。バス動作には、インテル非マルチプレックス・モード（INM）とモトローラ非マルチプレックス・モード（MNM）という2つのモードがあります。モードについては、ホスト・プロセッサをベースにして、そのプロセッサに最適なモードが選択されます。マイクロポートには、8ビットのデータ・バス（D[7:0]）、3ビットのアドレス・バス（A[2:0]）、4本の制御ピン・ライン（ $\overline{CS0}$ 、 $\overline{CS1}$ 、 \overline{DS} または \overline{RD} 、およびRWまたは \overline{WR} ）、および1本のステータス・ピン（ \overline{DTACK} またはRDY）があります。制御信号とステータス・ラインの機能は、選択したモード（INMまたはMNM）によってやや異なります。2つのモードの動作の詳細については、データシートの初めにあるタイミング図と、以下の説明を参照してください。

外部メモリ・マップ

外部メモリ・マップは、前述のチャンネル・アドレス空間とIOアドレス空間へのアクセスに使用します。表XVIに示す8つのレジスタへのアクセスには、8ビットのデータ・バスとアドレス・バスが使用されます。これらのレジスタは、入/出力チップ機能だけでなく、チャンネル・アドレス空間へのすべてのアクセスを制御するので、総称して外部インターフェース・レジスタと呼ばれます。以下に、各レジスタの使い方を詳しく説明します。なお、シリアル制御インターフェースにはマイクロポート・インターフェースと同じメモリ・マップがあり、レートは遅くなりますが、まったく同じ機能を実行できます。

8つのレジスタによって定義される外部アドレス空間は、2つのアドレス空間として取り扱うことができます。その際、各アドレス空間にはそれぞれのチップ・セレクト・ピン（ $\overline{CS0}$ と $\overline{CS1}$ ）があります。マイクロポート・チャンネル0~3、入力ポートAとB、ハーフバンド・フィルタおよびAGC AとB、および出力ポートAとBを通じてのプログラミングでは、 $\overline{CS0}$ を使用してください。マイクロポート・チャンネル4~7、入力ポートCとD、ハーフバンド・フィルタおよびAGC CとAGC D、および出力ポートCとDを通じてのプログラミングでは、 $\overline{CS1}$ を使用してください。

このデータシートでは、 $\overline{CS0}$ に対応する外部アドレス・マップだけを説明しますが、機能説明を完成するためには、あらゆる記述で $\overline{CS0}$ を $\overline{CS1}$ に置き換えてください。その際に、チャンネル0~3はチャンネル4~7、入/出力ポートAとBは入/出力ポートCとD、ハーフバンド/AGC AとBはハーフバンド/AGC CとDにそれぞれ置き換えてください。

AD6635

表XVI. 外部メモリ・マップ

A[2:0]	名前	備考
111	アクセス・コントロール・レジスタ (ACR)	7: 自動インクリメント 6: ブロードキャスト 5~2: インストラクション[3:0] 1~0: A[9:8]
110	チャンネル・アドレス・レジスタ (CAR)	7~0: A[7:0]
101	SOFT_SYNCコントロール・レジスタ (書き込み専用)	7: PN_EN 6: Test_MUX_Select 5: ホップ 4: スタート 3: SYNC3 2: SYNC2 1: SYNC1 0: SYNC0
100	PIN_SYNCコントロール・レジスタ (書き込み専用)	7: BISTに対してIENを切り替え 6: First SYNC Only 5: Hop_En 4: Start_En 3: SYNC_EN A 2: SYNC_EN B 1: SYNC_EN C 0: SYNC_EN D
011	スリープ (書き込み専用)	7~6: 予約済み (ローレベル) 5: アクセス入/出力ポート・コントロール・レジスタ 4: 予約済み (ローレベル) 3: SLEEP 3 2: SLEEP 2 1: SLEEP 1 0: SLEEP 0
010	データ・レジスタ2 (DR2)	7~4: 予約済み 3~0: D[19:16]
001	データ・レジスタ1 (DR1)	15~8: D[15:8]
000	データ・レジスタ0 (DR0)	7~0: D[7:0]

アクセス・コントロール・レジスタ (ACR)

アクセス・コントロール・レジスタは、マイクロポートまたはシリアル・ポート制御からのアクセスを受ける1つまたは複数のチャンネルを指定します。

このレジスタのビット7は、自動インクリメント・ビットです。このビットが“1”の場合、チャンネルへのすべての読み出し/書き込みアクセスの後で、以下に説明するCARレジスタの値がインクリメントします。つまり、CAR (外部アドレス6) にメモリ・アクセスのたびに書き込む必要がなく、ユーザーは、DR2、DR1、DR0に連続的に書き込みながら、各アクセスで連続したメモリ位置にアクセスできます。この機能により、係数メモリなどのアドレス空間のブロックを効率よく初期化できます。

このレジスタのビット6は、ブロードキャスト・ビットであり、ビット5~2の解釈方法を指定します。ブロードキャストが“0”の場合、インストラクション・ビット (インストラクション[2:0]) と呼ばれるビット4~2が、CHIPn_ID[2:0]ピンと比較されます (CS0が使用される場合はn=0、CS1が使用される場合はn=1)。CHIPn_ID[2:0]ピンに一致するインストラクション

がアクセスを決定します。これにより、外付けロジックなしで、同じポートに2つまでのチップを接続してメモリをマップできます。また、ホスト・プロセッサの同じシリアル・ポートを8つまでのチップに対して設定できます。ブロードキャスト・ビットがハイレベルの場合、インストラクション[3:0]ワードにより、CHIPn_ID[2:0]ピンとは無関係に、複数のAD6635チャンネルおよび/またはチップを同時に設定できます。使用可能な7つのインストラクションを表XVIIに示します。この機能は、1つのアンテナまたはキャリアを待ち受ける複数のチャンネルを同時に設定できるスマート・アンテナ・システムに便利です。表中のxは、デジタル・デコーディングでの“don't care” (不定) を表します。

表XVII. マイクロポートのインストラクション

インストラクション	備考
0000	すべてのチップとすべてのチャンネルにアクセス可能
0001	すべてのチップのチャンネル0、1、2にアクセス可能
0010	すべてのチップのチャンネル1、2、3にアクセス可能
0100	すべてのチップにアクセス可能*
1000	CHIPn_ID[2:0]=xxxであるすべてのチップにアクセス可能* (前のインストラクションと同じ)
1100	CHIPn_ID[2:0]=xx0であるすべてのチップにアクセス可能*
1110	CHIPn_ID[2:0]=xx1であるすべてのチップにアクセス可能*

* A[9:8]ビットは、アクセス用にデコードされるチャンネルを制御します。

なお、プログラミングにCS0が使用される場合は、CHIP0_ID[2:0]を使用します。プログラミングにCS1が使用される場合は、CHIP1_ID[2:0]を使用します。

ブロードキャストが有効である場合 (ビット6がハイレベル)、内部バスが競合するおそれがあるため、リードバックは無効になります。したがって、引き続きリードバックが必要な場合は、ブロードキャスト・ビットをローレベルに設定する必要があります。

このレジスタのビット1~0は、4チャンネルの中からアクセスするチャンネルをデコードするアドレス・ビットです。つまり、CS0が使用される場合はチャンネル0~3であり、同様に、CS1が使用される場合はチャンネル4~7です。インストラクション・ビットが複数チャンネルへのアクセスをデコードしている場合、これらのビットは無視されます。インストラクションがチップの一部へのアクセスをデコードしている場合、A[9:8]ビットが、アクセスするチャンネルを別に指定します。なお、入/出力コントロール・レジスタ (外部アドレス3のビット5) へのアクセスが設定されている場合には、A[9:8]はデコードされません。

チャンネル・アドレス・レジスタ (CAR)

このレジスタは、各チャンネルの8ビット内部アドレスを表します。ACRの自動インクリメント・ビットが“1”の場合、この値はDR0レジスタへのアクセスが終了するごとにインクリメントし、今度はこのアドレスでポイントされる位置にアクセスすることになります。ブロードキャスト・ビットがハイレベルに設定されている場合、チャンネル・アドレス・レジスタを読み出すことはできません。

SOFT_SYNCコントロール・レジスタ

外部アドレス[5]は、SOFT_SYNCコントロール・レジスタで、書き込み専用です。

このレジスタのビット0~3は、SOFT_SYNC制御ビットです。コントローラがこれらのビットに書き込みを行い、選択したチャンネルの同期を開始します。4つのSYNCビットは、指定されたチャンネルに接続されます。CS0を使用する場合、ビット0はチャンネル0、ビット1はチャンネル1、ビット2はチャンネル2、ビット3はチャンネル3に接続されます。同様に、CS1を使用する場合、ビット0はチャンネル4、ビット1はチャンネル5、ビット2はチャンネル6、ビット3はチャンネル7に接続されます。

ビット4は、チップ・スタートに同期を適用するかどうかを指定します。このビットがセットされている場合、SYNCによってチップ・スタートが開始されます。

ビット5は、チップ・ホップに同期を適用するかどうかを指定します。このビットがセットされている場合、SOFT_SYNCが発行され、周波数ホールドオフ・カウンタがゼロまでカウント・ダウンした後でNCO周波数が更新されます。

ビット6は、内部データ・バスを設定します。ビットがローレベルに設定されている場合、内部ADCデータ・バスは標準の設定になります。このビットがセットされている場合、内部テスト信号が選択されます。内部テスト信号は、このレジスタのビット7で設定します。

ビット7がクリアされている場合、負のフルスケール信号が生成され、内部データ・バスでこの信号を使えるようになります。このビットがハイレベルの場合、内部擬似ランダム・シーケンス・ジェネレータが有効になり、内部データ・バスでこのデータを使用できるようになります。ビット6と7の機能を組み合わせれば、与えられたフィルタ設計の検証が簡単にできます。

PIN_SYNCコントロール・レジスタ

外部アドレス[4]は、PIN_SYNCコントロール・レジスタで、書き込み専用です。

このレジスタのビット0~3は、SYNC_EN制御ビットです。コントローラがこれらのビットに書き込みを行い、選択したチャンネルのピン同期を可能にします。4つの入力がありますが、必ずしも同じ番号のチャンネルに接続する必要はありません。どのビットを対象にするかは、チャンネル・レベルで自由に設定できます。4チャンネルすべてを1ヶ所から同期させることも、対にすることも、すべて別々に同期させることもできます。SYNCピンとは異なり、SYNC_ENは、チャンネル0~3とチャンネル4~7では異なります。

ビット4は、チップ・スタートに同期を適用するかどうかを指定します。このビットがセットされている場合、PIN_SYNCが発生するとチップ・スタートが開始されます。

ビット5は、チップ・ホップに同期を適用するかどうかを指定します。このビットがセットされている場合、SOFT_SYNCが発行され、周波数ホールドオフ・カウンタがゼロまでカウント・ダウンした後でNCO周波数が更新されます。

ビット6は、繰り返される同期信号を無視するときに使用します。アプリケーションによっては、定期的に同期信号を発するものがあります。このビットがクリアされている場合、各PIN_SYNCによってチャンネルを再スタート/ホップします。このビットがセットされている場合、最初のPIN_SYNCだけでチップが処理を実行します。

ビット7は、外部アドレス5のビット6および7と組み合わせて使用します。このビットがクリアされている場合、内部データ・バスに入力されたデータは、通常のADCをシミュレートします。このビットがセットされている場合、データは、AD6600などの時分割多重ADCの形式で入力されます（これにより、4チャンネル入力モードと同等のテストが可能になります）。このビットがセットされている場合、あたかもAD6600のA/B信号で駆動されているかのように、IENピンが内部で切り替わります。

スリープ・コントロール・レジスタ

外部アドレス[3]はスリープ・レジスタです。

ビット3~0は、各チャンネルの状態を制御します。各ビットは、デバイス内の使用可能なRSPチャンネルの1つに対応します。このビットがクリアされている場合、チャンネルは通常に動作します。このビットがセットされている場合、指定されたチャンネルは低消費電力のスリープ・モードになります。

ビット4は予約済みであり、常に0に設定してください。

ビット5は、入/出力コントロール・ポート・レジスタへのアクセスを可能にします。このビットがローレベルの場合、通常のチャンネル・メモリ・マップがアクセスされます。このビットがハイレベルに設定されている場合、入/出力ポート・コントロール・レジスタへのアクセスが可能になります。これらのレジスタへのアクセスによって、ドウェル・タイム、ハーフバンド、AGC、および出力ポート（パラレル/リンク）の機能とともに、下限と上限のスレッシュホールドも設定可能になります。このビットがセットされると、外部アドレス6（CAR）の値は、通常のチャンネル・メモリ・マップではなく、入/出力ポート・コントロール・レジスタのメモリ・マップを指します。

ビット6~7は予約済みであり、ローレベルに設定してください。

データ・アドレス・レジスタ

外部アドレス[2~0]は、それぞれデータ・レジスタDR2、DR1、DR0を構成します。内部データ・ワードの幅は、すべて20ビット以下です。外部アドレス0（つまりDR0）にアクセスすると、ACRとCARで指定したアドレスに基づいて、AD6635への内部アクセスが開始されます。したがって、内部レジスタへの書き込み時には、外部アドレス0（DR0）は最後に書き込む必要があります。この時点で、データはA[9:0]で指定された内部メモリに転送されます。読み出しは逆向きに行われます。アドレスを設定したら、外部アドレス0（DR0）は、内部アクセスを開始するために読み出される最初のデータ・レジスタにならなければなりません。DR2は4ビット幅しかなく、このレジスタの上位4ビットに書き込まれたデータは無視されます。同様に、このレジスタからの読み出しでも、LSBの4ビットしか生成されません。

書き込みシーケンス

内部ロケーションへの書き込みは、最初に、アドレスの上位2ビットをACRのビット1~0に書き込んで開始されます。前述のように、ACRのビット7~2を設定して、必要なブロードキャスト・モードを選択できます。次に、内部アドレスの低位8ビットをCARに書き込みます（内部アクセスの前にACRとCARが書き込まれる限り、ACRの前にCARを書き込んでも問題ありません）。チャンネル・メモリ・マップにデータを書き込むときにのみ、ACRにアドレスの上位2ビット（使用されるチャンネルを示します）を書き込む必要があります。入/出力コントロール・レジスタに書き込む必要がある場合には、スリープ・レジスタのビット5をセットしてください。これにより、ACR内のアドレスの上位2ビットが影響しなくなります。

AD6635

データ・レジスタDR0に書き込みを行うと、内部アクセスが開始されてしまうため、データ・レジスタ2 (DR2) とデータ・レジスタ1 (DR1) への書き込みを先に行います。データ・レジスタDR0への書き込みは、内部書き込みを開始させるため、常に最後にする必要があります。

読み出しシーケンス

マイクロポートからの読み出しも、書き込みと同様の方法で行われます。内部アドレスは、書き込みと同じ方法で設定します。データ・レジスタDR0からの読み出しで内部読み出し動作が開始されるため、常にレジスタDR0を先に読み出して内部読み出しを開始させます。DR1とDR2の読み出しはこの後に行います。このようにして、マイクロポート (D[7:0]) を通じて8 LSBの内部読み出しが行われます。その他のデータ・レジスタを読み出して、内部メモリの残りを読み出すことができます。

読み出し/書き込みチェーン

AD6635のマイクロポートでは、 \overline{CS}_n がローレベルの間、複数のアクセスが可能です。複数のロケーションにアクセスするには、 \overline{WR} またはRDラインにパルスを入力し、3ビットの外部アドレス・バスの値を変更します。表XVIの外部レジスタへの外部アクセスを行うには、 \overline{CS}_0 、 \overline{CS}_1 、RD、 \overline{WR} 、およびMODEの入力を用いて、2つのモードのどちらかを利用します。アクセス・モードには、インテル非マルチプレックス・モードとモトローラ非マルチプレックス・モードの2つがあり、MODE入力によって選択します (MODE=0がINM、MODE=1がMNM)。 \overline{CS}_0 、 \overline{CS}_1 、RD、 \overline{WR} は、各モードのアクセス・タイプを制御します。

インテル非マルチプレックス・モード (INM)

AD6635マイクロプロセッサをINMモードで動作させるには、MODEをローレベルに固定する必要があります。アクセス・タイプは、 \overline{CS}_0 、 \overline{CS}_1 、RD (\overline{DS})、 \overline{WR} (RW) の入力によって制御します。マイクロポートがRDY (\overline{DTACK}) 信号を生成して、アクセスの完了を知らせます。アクセスの開始時にRDY (\overline{DTACK}) がローレベルになり、内部アクセス・サイクルが完了すると解除されます。「仕様」に記載された読み出しモードと書き込みモードのタイミング図を参照してください。

モトローラ非マルチプレックス・モード (MNM)

AD6635マイクロプロセッサをMNMモードで動作させるには、MODEをハイレベルに固定する必要があります。アクセス・タイプは、 \overline{CS}_0 、 \overline{CS}_1 、 \overline{DS} (RD)、RW (\overline{WR}) の入力によって制御します。マイクロポートが \overline{DTACK} (RDY) 信号を生成して、アクセスの完了を知らせます。内部アクセスが完了すると \overline{DTACK} (RDY) がローレベルになり、その後 \overline{DS} (RD) のアサートが解除されるとハイレベルに戻ります。「仕様」に記載された読み出しモードと書き込みモードのタイミング図を参照してください。

シリアル・ポートの制御

AD6635には、マイクロポート制御インターフェースとは別に、制御インターフェースとして機能する2つのシリアル・ポートがあります。シリアル・ポート入力ピン (SDI0) は、チャンネル0~3のすべての内部レジスタ、入/出力ポートAとB用のコントロール・レジスタ、ハーフバンド/AGC AとBのすべてにアクセスでき、マイクロポートより優先順位の高いアクセス権を持っています。同様に、SDI4は、チャンネル4~7のすべての内部レジスタ、入/出力ポートCとD、ハーフバンド/AGC CとDのすべてにアクセスでき、マイクロポートより優先順位の高いアクセス権を持っています。この方式により、1つのDSPで、シリアル・ポート制御インターフェースからAD6635を制御できます。

シリアル制御ポートでは、シリアル・クロック (SCLK0とSCLK4) を使用します。シリアル入力ポートは、後述するように自己フレーミングであり、シリアル入力帯域幅をより効率的に使用してプログラム設定できます。シリアル入力フレームの開始は、SDIピンに出力されるフレーム・ビットが知らせます。このビットは、シリアル入力フレームのMSBです。フレーム・ビットがSCLKの立ち下がりエッジでハイレベルでサンプルされた後、状態カウンタがスタートし、4シリアル・クロック・サイクル後に11ビットのシリアル・シフターをイネーブルにします。この4つのSCLKサイクルはシリアル・フレームのDon't Care (不定) ビットを表し、無視されます。すべてのビットがシフトされた後、シリアル入力ポートは8ビット・データと3ビット・アドレスを調停ブロックに渡します。この8ビット・データと3ビット・アドレスのセットは、「マイクロポートの制御」のセクションで説明した外部メモリをプログラムします。したがって、シリアル・ポートのプログラミングは、マイクロポートのプログラミングに似ています。

SDI入力のシリアル・ワード構造を図45に示します。15ビットだけを表示しているため、標準16ビット・シリアル・ワードの2番目のビットはフレーム・ビットと見なされます。シフト順は、フレームから始まり、MSBファーストでアドレスを、次にMSBファーストでデータをシフトします。

実際上、SDI0とSCLK0によって、マイクロポート上の \overline{CS}_0 を使用してプログラムできるすべてのレジスタをプログラムできます。同様に、SDI4とSCLK4によって、マイクロポート上の \overline{CS}_1 を使用してプログラムできるすべてのレジスタをプログラムできます。

シリアル・ポートのタイミング仕様

AD6635のシリアル制御チャンネルは、スレーブ・モードでのみ動作します (SCLKは、プログラミング・デバイスから供給してください)。図43と図44に、各仕様で要求されるタイミングを示します。

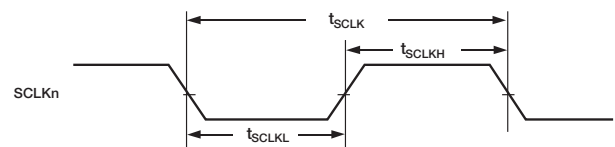


図43. SCLKn (n=0, 4) のタイミング条件

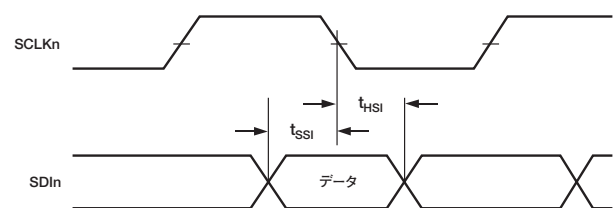


図44. シリアル入力データのタイミング条件、n=0, 4

SDI0, SDI4

SDIはシリアル・データ入力です。シリアル・データは、SCLKの立ち下がりエッジでサンプルされます。シリアル制御モードでは、AD6635の内部コントロール・レジスタを書き込むときにこのピンを使用します。

SCLK0、SCLK4

SCLKはクロック入力です。SDI入力は、SCLKの立ち下がりエッジでサンプルされます。すべての出力は、SCLKの立ち上がりエッジで切り替えられます。このポートの最高速度は65MHzです。

ビット5～4では、チャンネルのサンプル・クロックを高速CLK信号から取り出す方法を決定します。4つの選択肢があります。それぞれを以下に示します。詳細については、「数値制御発振器 (NCO)」のセクションを参照してください。

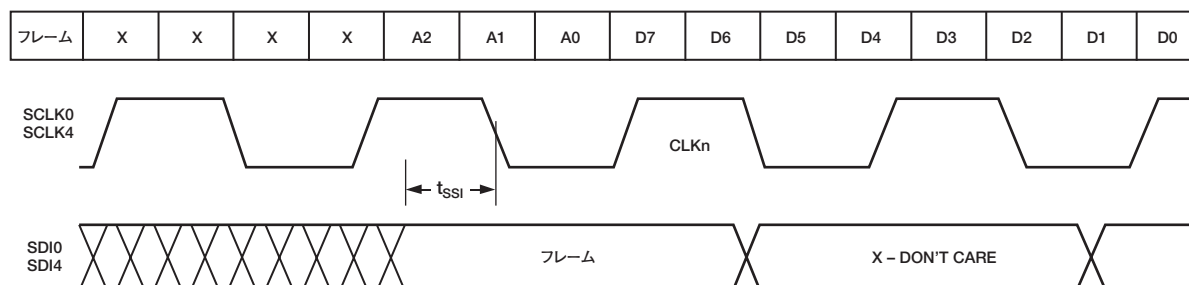


図45. シリアル・ワードの構造とシリアル・ポート制御のタイミング

AD6635

内部書き込みアクセス

後述するプロセスで、必要に応じて最大20ビットのデータを書き込むことができます。必要とされる上位バイトはすべて、外部の3ビット・アドレス空間に定義された対応するデータ・レジスタに書き込まれます。次に、下位バイトがアドレス (000) のDR0に書き込まれます。DR0への書き込みが検出されると、内部マイクロプロセッサ・ポートのステート・マシンが、DR2～DR0内のデータを、LARとAMR内のアドレスで指定された内部アドレスに転送します。

書き込み擬似コード

```
void write_micro(ext_address, int data);
main();
{
/* このコードは、上で定義したwrite_micro関数を使用するNCO位相オフセット・レジスタのプログラム設定を示します。変数addressは外部アドレスA[2:0]であり、dataは外部インターフェース・レジスタに格納される値です。
内部アドレス=0x087 */
// NCO位相バイト幅アクセス・データを格納するレジスタ
int d1, d0;
// NCO位相ワード (16ビット幅)
NCO_PHASE = 0xCBEF;
// ACRを書き込む
write_micro(7, 0x03);
// CARを書き込む
write_micro(6, 0x87);
// DR1のD[15:8]に書き込む
d1 = (NCO_PHASE & 0xFF00) >> 8;
write_micro(1, d1);
// DR0のD[7:0]に書き込む
// この書き込みで、すべてのデータを内部アドレスに転送する
d0 = NCO_PHASE & 0xFF;
write_micro(0, d0);
} // mainの終わり
```

内部読み出しアクセス

読み出しは、書き込みの場合と同様、最初にCARとAMRに書き込んで実行します。次に、データ・レジスタ (DR2～DR0) を書き込みのときとは逆の順で読み出します。最初に、データ (D[7:0]) の最下位バイトをDR0から読み出します。これにより、データの上位バイトは、CARとAMRで指定した内部アドレスから、残りのデータ・レジスタ (DR2～DR1) に転送されます。転送されたデータは、適切な3ビット・アドレスを使用して、データ・レジスタから読み出すことができます。使用するデータ・レジスタの数は、読み出しまたは書き込みされるデータの量だけに依存します。読み出しでは、データ・レジスタ内の未使用ビットをすべてマスクしてください。

読み出し擬似コード

```
int read_micro(ext_address);
main();
{
/* このコードは、上で定義したread_micro関数を使用する最初のRCF係数の読み出しを示します。変数addressは、外部アドレスA[2..0]です。
内部アドレス=0x000
*/
// 係数を格納するレジスタ
int d2, d1, d0;
// 係数 (20ビット幅)
long coefficient;
// AMRを書き込む
write_micro(7, 0x00);
// LARを書き込む
write_micro(6, 0x00);
/* DR0からD[7:0]を読み出す。このアクセスで、すべてのデータを内部レジスタからインターフェース・レジスタに転送する */
d0 = read_micro(0) & 0xFF;
// DR1からD[15:8]を読み出す
d1 = read_micro(1) & 0xFF;
// DR2からD[23:16]を読み出す
d2 = read_micro(2) & 0x0F;
coefficient = d0 + (d1 << 8) + (d2 << 16);
} // mainの終わり
```

外形寸法

324ピン・プラスチック・ボール・グリッド・アレイ [PBGA]
(B-324)

寸法はミリメートルで表示

