

特長

AD6622とピン・コンパチブル

18ビットの平行・デジタルIF出力

実数またはインターリーブ複素数

18ビットの双方向平行・デジタルIF入力/出力

チャンネル数増加のためのデバイス・カスケード接続が可能

オーバーレンジのクリップ処理またはラップ処理

2の補数出力またはオフセット・バイナリ出力

4個の独立したデジタル・トランスミッタをシングル・パッケージに

RAM係数フィルタ(RCF)

プログラマブルなIFおよび各チャンネルの変調

プログラマブルな補間RAM係数フィルタ

p/4-DQPSK差分位相エンコーダ

3p/8-PSKリニア・エンコーダ

8-PSKリニア・エンコーダ

プログラマブルなGMSKルックアップ・テーブル

プログラマブルなQPSKルックアップ・テーブル

オールパス型位相イコライザ

プログラマブルな微調整スケラ

プログラマブルなパワー・ランプ・ユニット

高速なCIC補間フィルタ

非整数補間レート用のデジタル・リサンプリング

NCO周波数変換

スプリアス性能: -100dBc以上

各チャンネル個別の3線式シリアル・データ入力

双方向シリアル・クロックおよびフレーム

マイクロプロセッサ制御

2.5V CMOSコア、3.3V出力、5V入力

JTAGバウンダリ・スキャン

アプリケーション

移動電話/PCS基地局

マイクロ/ピコ・セル基地局

ワイヤレス・ローカル・ループ(WLL)基地局

マルチキャリア、マルチモード・デジタル送信

GSM、EDGE、IS136、PHS、IS95、TDS CDMA、UMTS、
CDMA2000

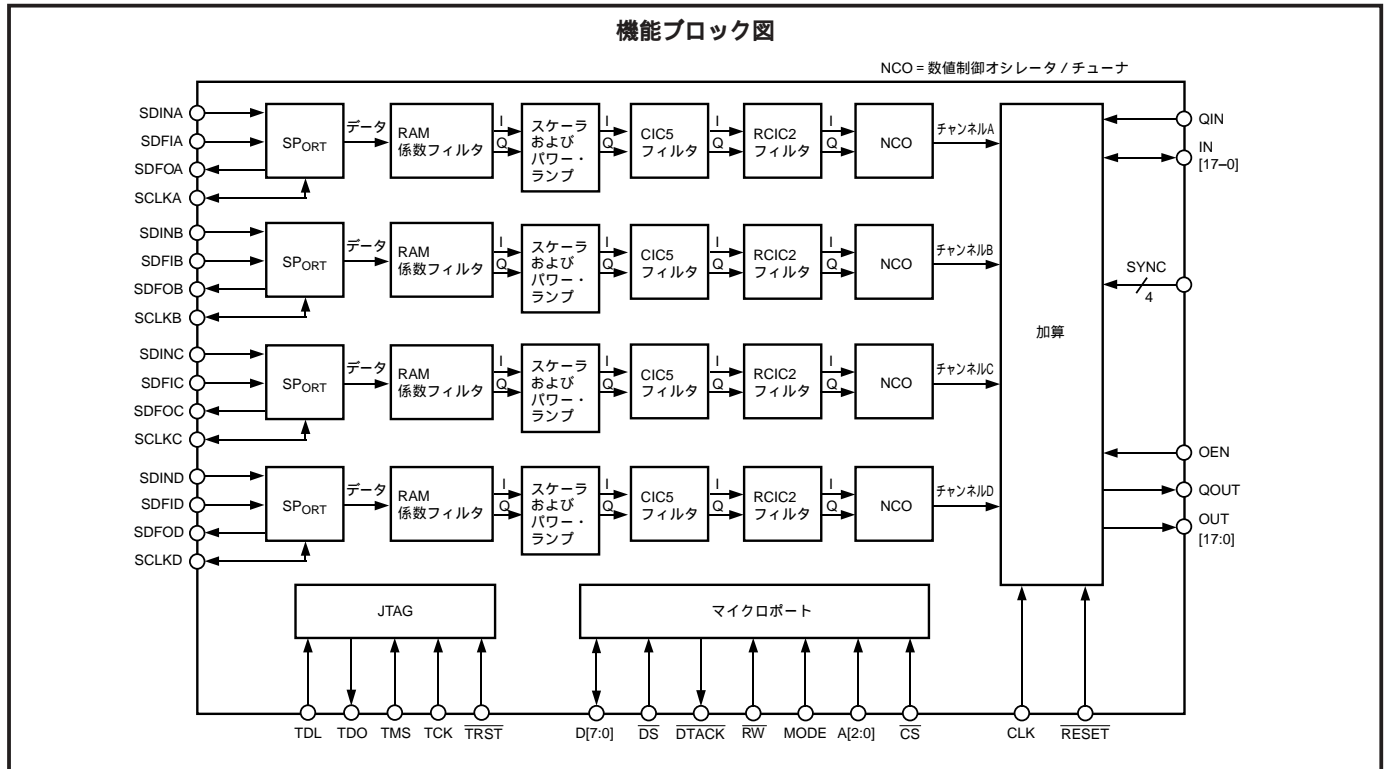
フェーズド・アレイ・ビーム形成アンテナ

ソフトウェア無線

0.025Hzを上回る同調分解能

実数出力または複素数出力

機能ブロック図



アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD6623

目次

特長	1	Syncピンによるスタート	27
アプリケーション	1	ソフト同期によるホップ	27
機能ブロック図	1	Syncピンによるホップ	27
製品説明	3	ソフト同期によるビーム	28
機能概要	3	Syncピンによるビーム	28
推奨動作条件	4	JTAGインターフェース	28
電気的特性	4	スケーリング	28
ロジック入力(5V対応)	4	マルチキャリア・スケーリング	28
ロジック出力	4	シングル・キャリア・スケーリング	29
IDD電源電流	4	マイクロポート・インターフェース	29
消費電力	4	マイクロポートの制御	29
一般的なタイミング特性	5	外部メモリ・マップ	29
マイクロプロセッサ・ポートのタイミング特性	6	インテル非マルチプレックス・モード(INM)	30
マイクロプロセッサ・ポート、MODE INM (MODE = 0)	6	モトローラ非マルチプレックス・モード(MNM)	30
マイクロプロセッサ・ポート、モトローラ(MODE = 1)	6	外部アドレス7上位アドレス・レジスタ(UAR)	30
7~9		外部アドレス6下位アドレス・レジスタ(LAR)	30
10		外部アドレス5同期	30
10		外部アドレス4スリーブ	31
10		外部アドレス3:0(データ・バイト)	31
絶対最大定格	10	内部制御レジスタおよびオンチップRAM	31
熱特性	10	AD6623とAD6622との互換性	
テスト・レベルの説明	10	共通ファンクション・レジスタ	
オーダー・ガイド	10	(特定のチャンネルとは無関係)	31
ESD感受性	10	チャンネル・ファンクション・レジスタ	
ピン配置- 128ピンMQFP	11	(0x1XX = チャンネルA、0x2XX = チャンネルB、	
128ピンの機能説明	12	0x3XX = チャンネルC、0x4XX = チャンネルD)	31
ピン配置- 196ピンBGA	13	(0x000)加算モード制御	33
196ピンの機能説明	14	(0x001) Syncモード制御	33
電源	14	(0x002) BISTカウンタ	33
入力	14	(0x003) BISTリザルト	33
制御	14	チャンネル・ファンクション・レジスタ	34
マイクロポートの制御	14	(0xn00)スタート更新ホールドオフ・カウンタ	34
出力	14	(0xn01) NCO制御	34
JTAGおよびBIST	14	(0xn02) NCO周波数	34
シリアル・データ・ポート	15	(0xn03) NCO周波数更新ホールドオフ・カウンタ	34
シリアル・マスター・モード(SCS = 0)	15	(0xn04) NCO位相オフセット	34
シリアル・スレーブ・モード(SCS = 1)	15	(0xn05) NCO位相オフセット更新ホールドオフ・カウンタ	34
自己フレーム同期モード	15	(0xn06) CICスケール	34
外部フレーム同期モード	15	(0xn07) CIC2デシメーション- 1 (M _{CIC2} - 1)	34
シリアル・ポートのカスケード構成	15	(0xn08) CIC2補間- 1 (L _{CIC2} - 1)	34
シリアル・データのフォーマット	15	(0xn09) CIC5補間	34
プログラマブルなRAM係数フィルタ(RCF)	16	(0xn0A) RCF係数の数- 1	34
RCFブロックの概要	16	(0xn0B) RCF係数オフセット	34
補間FIRフィルタ	17	(0xn0C)チャンネル・モード制御1	34
RCF制御レジスタ	19	(0xn0D)チャンネル・モード制御2	35
PSK変調器	19	(0xn0E)微調整スケール・ファクタ	35
/4-DQSPK変調	20	(0xn0F) RCFタイム・スロット・ホールドオフ・カウンタ	35
8-PSK変調	20	(0xn10~0xn11) RCF位相イコライザ係数	35
3 /8-8-PSK変調	20	(0xn12~0xn15) FIR-PSK振幅	35
MSKルックアップ・テーブル	21	(0xn16)シリアル・ポートの設定	35
GMSKルックアップ・テーブル	21	(0xn17)パワー・ランプ長0	35
QPSKルックアップ・テーブル	21	(0xn18)パワー・ランプ長1	35
位相イコライザ	21	(0xn19)パワー・ランプ休止時間	35
スケールおよびランプ	21	(0xn20~0xn1F)未使用	35
微調整スケーリング	21	(0xn20~0xn3F)データ・メモリ	35
RCFパワー・ランピング	21	(0xn40~0xn17F)パワー・ランプ係数メモリ	35
カスケード積分型コーム(CIC)補間フィルタ	21	擬似コード	35
CICスケーリング	22	書き込み擬似コード	35
CIC5	22	読み出し擬似コード	36
rCIC2	23	アプリケーション	36
数値制御オシレータ/チューナ(NCO)	24	UMTSキャリアの処理にAD6623を使用する方法	36
位相ディザ	25	D/Aコンバータ(DAC)の選択	36
振幅ディザ	25	複数TSP動作	36
位相オフセット	25	使用TSP数の決定	36
NCO周波数更新および位相オフセット	25	複数TSPのプログラミング	37
更新ホールドオフ・カウンタ	25	複数のTSPシリアル・ポートの駆動	37
NCO制御スケール	25	熱管理	38
加算ブロック	25	パッケージ外形寸法	39
同期	26		
スタート	26		
同期なしのスタート	26		
ソフト同期によるスタート	27		

製品説明

AD6623は4チャンネルの送信信号プロセッサ(TSP)であり、デジタル信号プロセッサ(DSP)によって出力されるベースバンド・データから送信A/Dコンバータ(TxDAC)へ入力する広帯域データを生成します。新しいTxDACは、1次中間周波数(IF)を直接生成するのに必要な、十分に高いサンプリング・レート、アナログ帯域幅、ダイナミックレンジを持っています。AD6623は、これらTxDACに入力するマルチキャリア・デジタル信号およびマルチスタンダード・デジタル信号を合成します。RAMベースのアーキテクチャにより、マルチモード・アプリケーションに対する再設定が容易に行えます。変調、パルス整形、アンチイメージング・フィルタ、ステータック等化、同調の各機能が1個のデバイスに、経済的に集積されています。デジタルIF信号処理は、広いダイナミックレンジを持つ同等のアナログ設計に比べて製造の安定性、高精度、柔軟性にすぐれています。

AD6623は同期回路およびカスケード接続可能な広帯域チャンネル加算器を持つ、4個の同じ構成のデジタルTSPで構成されています。AD6623はAD6622とピン・コンパチブルであり、AD6622互換制御レジスタ・モードで動作できます。

AD6623は、3.3VのI/O電源と2.5Vのコア電源を使用しています。すべてのI/Oピンは5V動作に対応できます。すべての制御レジスタと係数値は、汎用マイクロプロセッサ・インターフェースを経由して書き込みます。インテル社とモトローラ社のマイクロプロセッサ・バス・モードをサポートしています。すべての入力と出力はLVCMOSコンパチブルです。

機能概要

各TSPは、プログラマブルな補間RAM係数フィルタ(RCF)、プログラマブルなスケールおよびパワー・ランプ、プログラマブルなカスケード積分型5次コム(CIC5)補間フィルタ、柔軟なりサンプリング・カスケード積分型2次コム・フィルタ(rCIC2)、数値制御オシレータ/チューナ(NCO)という、カスケード接続された5個の信号処理エレメントから構成されています。

4個のTSPの出力はデバイス内部で加算およびスケールリングされます。マルチキャリア広帯域トランスミッタでは、双方向バスによりパラレル(広帯域) IF入力/出力で2つ目のDACを駆動することができます。この動作モードではAD6623の2つのチャンネルが1つのDACを駆動し、残りの2つのチャンネルが2つ目のDACを駆動します。前段デバイスのOUT[17:0]

を使って後段デバイスのINOUT[17:0]を駆動するようにして複数のAD6623を接続することができます。あるいは、ソフトウェアからINOUT[17:0]をマスクして、前段AD6623の出力を無視することもできます。

各チャンネルは、デジタル信号プロセッサ(DSP)のシリアル・ポートに直接接続できる独立したシリアル・ポートからデータを入力します。

RCFにより、補間有限インパルス応答(FIR)フィルタ、1/4-DQPSK変調器、8-PSK変調器、または3/8-8-PSK変調器、GMSK変調器、またはQPSK変調器のどの機能でも実現できます。GSM/EDGE標準をサポートするときは、GMSK変調モードと3/8-8-PSK変調モードとの間で、各AD6623チャンネルを動的に切り替えることができます。また、RCFにより、IS-95-A/B標準(CDMA伝送)に適合したオールパス型位相イコライザ(APE)も構成することができます。

プログラマブルなスケールおよびパワー・ランプ・ブロックにより、幾つかの空中インターフェース標準(例えばGSM、EDGE)で規定されているタイム・スロット・ベースのパワー・ランピングも可能になります。プログラマブルなFIRフィルタ出力のスケール微調整ユニットを使うと、タイム・スロット・ベースに信号振幅レベルの調整が容易に行えます。

CIC5は、1~32の整数レート補間機能および粗いアンチイメージング・フィルタ機能を提供します。rCIC2は、1~4096の範囲で1/512ステップの小数レートでの補間機能を提供します。各CICフィルタ・ステージの広範囲な補間係数とrCIC2に組込まれている非常に柔軟なりサンプリングにより、AD6623は高速サンプル・ストリームにおける狭帯域および広帯域キャリアのどちらにも適しています。

32ビットの高分解能NCOにより、周波数プランニングを柔軟に行え、デジタル、アナログの両方の空中インターフェース標準をサポートできます。高速NCOは、rCIC2から出力される補間複素信号をIFチャンネルに同調させます。結果は実数または複素数で得られます。マルチキャリア位相同期ピンと位相オフセット・レジスタを使うと、独立したRFチャンネル間の相対位相のインテリジェントな管理が可能になります。この機能は、フェーズド・アレイ・アンテナ・アーキテクチャの要求をサポートし、DACでのクリッピングを最小にする広帯域ピーク/電力比の管理をサポートします。

広帯域出力ポートは、実数または複素数のデータを出力できます。複素数ワードはマスター・クロック・レートの1/2で実数部(I)と虚数部(Q)にインターリーブされます。

AD6623

推奨動作条件

パラメータ	テスト・レベル	AD6623			単位
		Min	Typ	Max	
VDD	IV	2.25	2.5	2.75	V
VDDIO	IV	3.0	3.3	3.6	V
T _{AMBIENT}	IV	-40	+25	+70	

電気的特性

パラメータ(条件)	温度	テスト・レベル	Min	Typ	Max	単位
ロジック入力(5V対応)						
ロジック互換性	全範囲			3.3V CMOS		
ロジック"1"の電圧	全範囲	IV	2.0		5.0	V
ロジック"0"の電圧	全範囲	IV	-0.3		+0.8	V
ロジック"1"の電流	全範囲	IV		1	10	μA
ロジック"0"の電流	全範囲	IV		0	10	μA
入力容量	25	V		4		pF
ロジック出力						
ロジック互換性	全範囲			3.3V CMOS/TTL		
ロジック"1"電圧(I _{OH} = 0.25mA)	全範囲	IV	2.0	VDD-0.2		V
ロジック"0"電圧(I _{OL} = 0.25mA)	全範囲	IV		0.2	0.4	V
IDD電源電流						
CLK = 104MHz、VDD = 2.75V*	全範囲	IV		422	TBD*	mA
CLK = 104MHz、VDDIO = 3.6V*	全範囲	IV		193		mA
GSMの例：コア		V		232		mA
I/O				56		mA
IS-136の例：コア		V		207		mA
I/O				55		mA
WBCDMAの例		V		Tbd		mA
スリープ・モード	全範囲	IV		Tbd	TBD	mA
消費電力						
GSMの例		V		740		mW
IS-136の例		V		700		mW
WBCDMAの例		V		Tbd		mW
スリープ・モード	全範囲	IV		Tbd	TBD	mW

*この仕様は、デバイスの絶対最大電源電流を表します。この条件には、すべてのチャンネルがアクティブ、両CICステージで最小補間、入力データの最大スイッチングが含まれます。実際のアプリケーションでは、消費電力はこれより小さくなります。

詳細については、データシートの「熱管理」を参照してください。

一般的なタイミング特性^{1, 2}

パラメータ(条件)	温度	テスト・レベル	AD6623AS			単位
			Min	Typ	Max	
CLKのタイミング要件:						
t _{CLK} CLK周期	全範囲	I	9.6			ns
t _{CLKL} CLKのローレベル幅	全範囲	IV	3			ns
t _{CLKH} CLKのハイレベル幅	全範囲	IV	3	0.5 × t _{CLK}		ns
RESETのタイミング要件:						
t _{RESL} RESETのローレベル幅	全範囲	I	30.0			ns
入力データのタイミング要件:						
t _{SI} INOUT[17:0], QINから CLKまでのセットアップ時間	全範囲	IV	1			ns
t _{HI} INOUT[17:0], QINから CLKまでのホールド時間	全範囲	IV	2			ns
出力データのタイミング特性:						
t _{DO} CLKからOUT[17:0], INOUT[17:0], QOUTまでの出力遅延時間	全範囲	IV	2		6	ns
t _{DZO} OENのハイレベルからOUT[17:0]のアクティブまで	全範囲	IV	3		7.5	ns
SYNCのタイミング要件:						
t _{SS} SYNC(0, 1, 2, 3)から CLKまでのセットアップ時間	全範囲	IV	1			ns
t _{HS} SYNC(0, 1, 2, 3)から CLKまでのホールド時間	全範囲	IV	2			ns
マスター・モード・シリアル・ポートのタイミング要件(SCS = 0): スイッチング特性 ³						
t _{DSCLK1} CLKから SCLKまでの遅延(1分周)	全範囲	IV	4		10.5	ns
t _{DSCLKH} CLKから SCLKまでの遅延(その他の分周比)	全範囲	IV	5		13	ns
t _{DSCLKL} CLKから SCLKまでの遅延(2または偶数分周)	全範囲	IV	3.5		9	ns
t _{DSCLKLL} CLKから SCLKまでの遅延(3または奇数分周)	全範囲	IV	4		10	ns
チャンネルは自己フレーム同期						
t _{SSDI0} SDINから SCLKまでのセットアップ時間	全範囲	IV	1.7			ns
t _{HSDI0} SDINから SCLKまでのホールド時間	全範囲	IV	0			ns
t _{DSFO0A} SCLKからSDFOまでの遅延	全範囲	IV	0.5		3.5	ns
チャンネルは外部フレーム同期						
t _{SSFI0} SDFIから SCLKまでのセットアップ時間	全範囲	IV	2			ns
t _{HSFI0} SDFIから SCLKまでのホールド時間	全範囲	IV	0			ns
t _{SSDI0} SDINから SCLKまでのセットアップ時間	全範囲	IV	2			ns
t _{HSDI0} SDINから SCLKまでのホールド時間	全範囲	IV	0			ns
t _{DSFO0B} SCLKからSDFOまでの遅延	全範囲	IV	0.5		3	ns
スレーブ・モード・シリアル・ポートのタイミング要件(SCS = 1): スイッチング特性 ³						
t _{SCLK} SCLK周期	全範囲	IV		2 × t _{CLK}		ns
t _{SCLKL} SCLKのローレベル時間	全範囲	IV	3.5			ns
t _{SCLKH} SCLKのハイレベル時間	全範囲	IV	3.5			ns
チャンネルは自己フレーム同期						
t _{SSDH} SDINから SCLKまでのセットアップ時間	全範囲	IV	1			ns
t _{HSDH} SDINから SCLKまでのホールド時間	全範囲	IV	2.5			ns
t _{DSFO1} SCLKからSDFOまでの遅延	全範囲	IV	4		10	ns
チャンネルは外部フレーム同期						
t _{SSFI1} SDFIから SCLKまでのセットアップ時間	全範囲	IV	2			ns
t _{HSFI1} SDFIから SCLKまでのホールド時間	全範囲	IV	1			ns
t _{SSDI1} SDINから SCLKまでのセットアップ時間	全範囲	IV	1			ns
t _{HSDI1} SDINから SCLKまでのホールド時間	全範囲	IV	2.5			ns
t _{DSFO1} SCLKからSDFOまでの遅延	全範囲	IV	10			ns

注

1 すべてのタイミング仕様は、2.375 ~ 2.675VのVDD範囲と3.0 ~ 3.6VのVDDIO範囲で有効。

2 すべての出力にC_{LOAD} = 40pFを接続(他に指定がない限り)。

3 SCLK, SDIN, SDFI, SDFO, SYNCのタイミング・パラメータは、全4チャンネル(A, B, C, D)に適用。

仕様は予告なく変更されることがあります。

AD6623

マイクロプロセッサ・ポートのタイミング特性^{1, 2}

パラメータ(条件)	温度	テスト・レベル	AD6623AS			単位	
			Min	Typ	Max		
マイクロプロセッサ・ポート、モードINM (MODE = 0)							
モードINMの書き込みタイミング							
t _{SC}	Control ³ から CLKまでのセットアップ時間	全範囲	IV	4.5		ns	
t _{HC}	Control ³ から CLKまでのホールド時間	全範囲	IV	2.0		ns	
t _{HWR}	WR(RW)からRDY(DTACK)までのホールド時間	全範囲	IV	8.0		ns	
t _{SAM}	アドレス/データからWR(RW)までのセットアップ時間	全範囲	IV	3.0		ns	
t _{HAM}	アドレス/データからRDY(DTACK)までのホールド時間	全範囲	IV	2.0		ns	
t _{DRDY}	WR(RW)からRDY(DTACK)までの遅延	全範囲	IV	4.0		ns	
t _{ACC}	WR(RW)からRDY(DTACK)ハイレベルまでの遅延	全範囲	IV	4 × t _{CLK}	5 × t _{CLK}	9 × t _{CLK}	ns
モードINM読み出しタイミング							
t _{SC}	Control ³ から CLKまでのセットアップ時間	全範囲	IV	4.5		ns	
t _{HC}	Control ³ から CLKまでのホールド時間	全範囲	IV	2.0		ns	
t _{SAM}	アドレスからRD(DS)までのセットアップ時間	全範囲	IV	3.0		ns	
t _{HAM}	アドレスからデータまでのホールド時間	全範囲	IV	2.0		ns	
t _{ZOZ}	データ・スリー・ステート遅延	全範囲	IV			ns	
t _{DD}	RDY(DTACK)からデータまでの遅延	全範囲	IV			ns	
t _{DRDY}	RD(DS)からRDY(DTACK)までの遅延	全範囲	IV	4.0		ns	
t _{ACC}	RD(DS)からRDY(DTACK)ハイレベルまでの遅延	全範囲	IV	8 × t _{CLK}	10 × t _{CLK}	13 × t _{CLK}	ns
マイクロプロセッサ・ポート、モトローラ(MODE = 1)							
モードMNMの書き込みタイミング							
t _{SC}	Control ³ から CLKまでのセットアップ時間	全範囲	IV	4.5		ns	
t _{HC}	Control ³ から CLKまでのホールド時間	全範囲	IV	2.0		ns	
t _{HDS}	DS(RD)からDTACK(RDY)までのホールド時間	全範囲	IV	8.0		ns	
t _{HRW}	RW(WR)からDTACK(RDY)までのホールド時間	全範囲	IV	8.0		ns	
t _{SAM}	アドレス/データからRW(WR)までのセットアップ時間	全範囲	IV	3.0		ns	
t _{HAM}	アドレス/データからRW(WR)までのホールド時間	全範囲	IV	2.0		ns	
t _{DDTACK}	DS(RD)からDTACK(RDY)までの遅延	全範囲	IV			ns	
t _{ACC}	RW(WR)からDTACK(RDY)ローレベルまでの遅延	全範囲	IV	4 × t _{CLK}	5 × t _{CLK}	9 × t _{CLK}	ns
モードMNM読み出しタイミング							
t _{SC}	Control ³ から CLKまでのセットアップ時間	全範囲	IV	4.0		ns	
t _{HC}	Control ³ から CLKまでのホールド時間	全範囲	IV	2.0		ns	
t _{HDS}	DS(RD)からDTACK(RDY)までのホールド時間	全範囲	IV	8.0		ns	
t _{SAM}	アドレスからDS(RD)までのセットアップ時間	全範囲	IV	3.0		ns	
t _{HAM}	アドレスからデータまでのホールド時間	全範囲	IV	2.0		ns	
t _{ZD}	データ・スリー・ステート遅延	全範囲	IV			ns	
t _{DD}	DTACK(RDY)からデータまでの遅延	全範囲	IV			ns	
t _{DDTACK}	DS(RD)からDTACK(RDY)までの遅延	全範囲	IV			ns	
t _{ACC}	DS(RD)からDTACK(RDY)ローレベルまでの遅延	全範囲	IV	8 × t _{CLK}	10 × t _{CLK}	13 × t _{CLK}	ns

注

1 すべてのタイミング仕様は、2.375 - 2.675VのVDD範囲と3.0 - 3.6VのVDDIO範囲で有効。

2 すべての出力にC_{LOAD} = 40pFを接続(他に指定がない限り)。

3 RW、(WR)、DS、(RD)、CSの各制御信号に適用。

仕様は予告なく変更されることがあります。

タイミング図

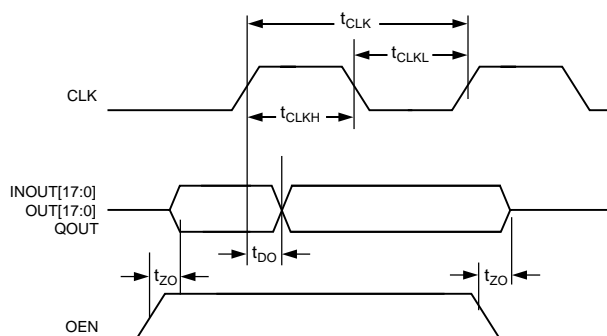


図1 パラレル出力のスイッチング特性

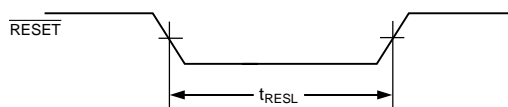


図4 RESETのタイミング要件

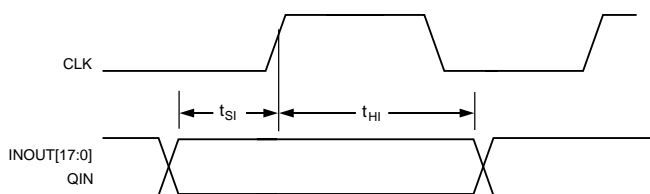


図2 広帯域入力のタイミング

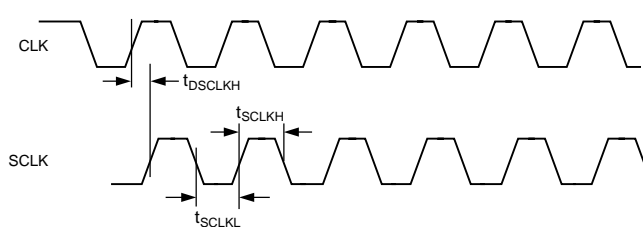


図5 SCLKのスイッチング特性(1分周)

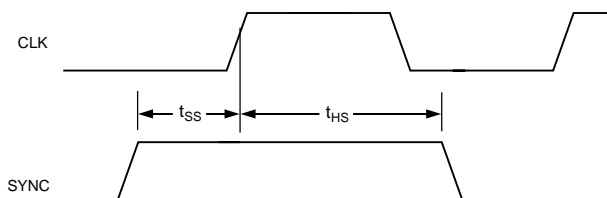


図3 SYNCタイミング入力

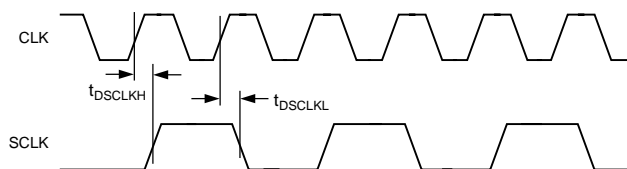


図6 SCLKスイッチング特性(2または偶数分周)

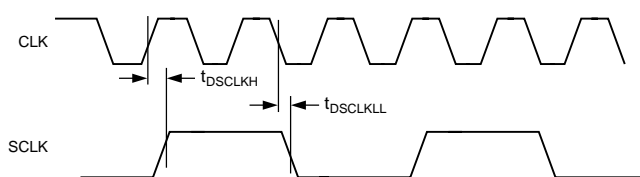


図7 SCLKスイッチング特性(3または奇数分周)

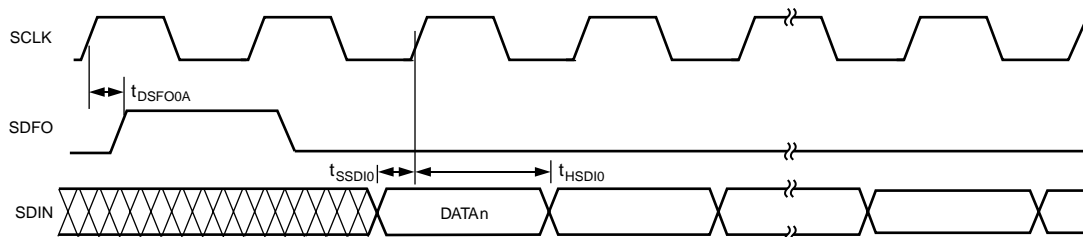


図8 シリアル・ポートのタイミング、マスター・モード(SCS = 0)、チャンネルは自己フレーム同期

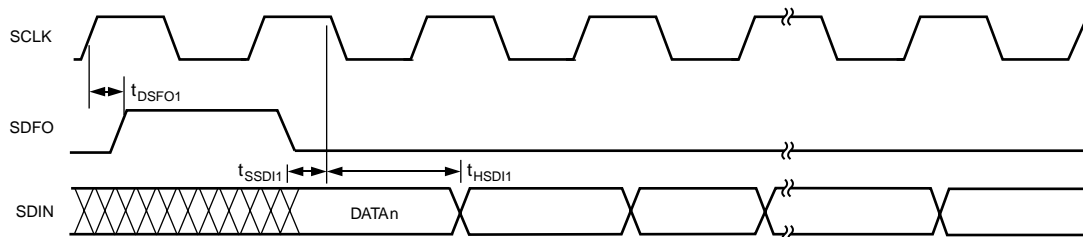


図9 シリアル・ポートのタイミング、スレーブ・モード(SCS = 1)、チャンネルは自己フレーム同期

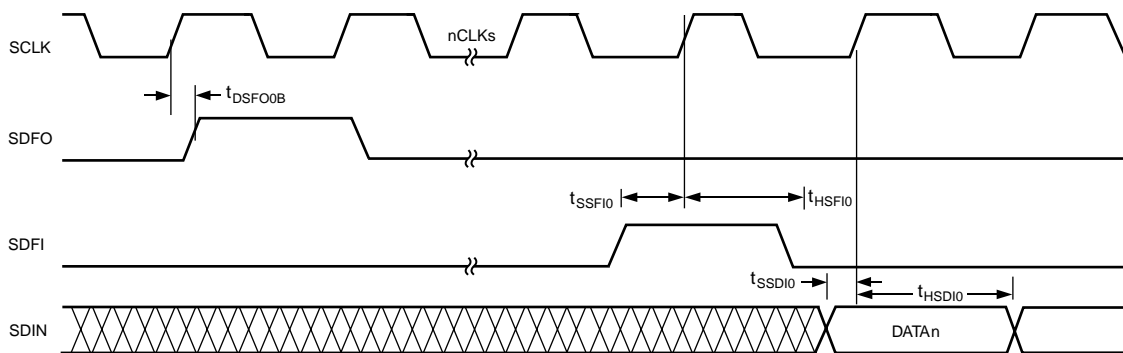


図10 シリアル・ポートのタイミング、マスター・モード(SCS = 0)、チャンネルは外部フレーム同期

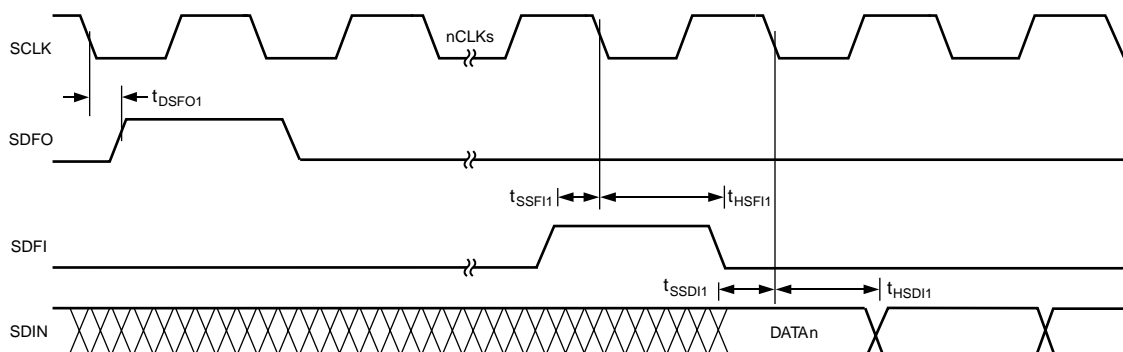
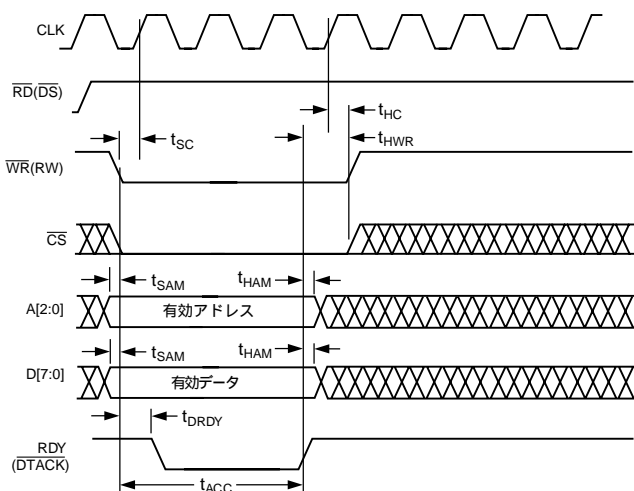


図11 シリアル・ポートのタイミング、スレーブ・モード(SCS = 1)、チャンネルは外部フレーム同期

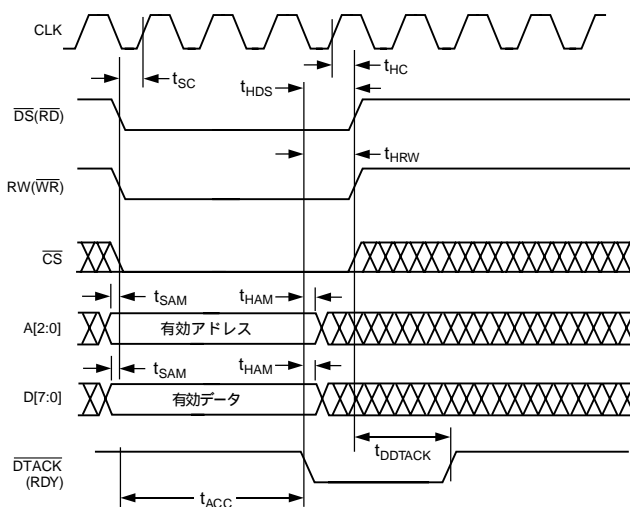
タイミング図 INMマイクロポート・モード



- 注
1. t_{ACC} のアクセス時間はアクセスされたアドレスに依存。アクセス時間は \overline{WR} のFEからRDYのREまでとして測定。
 2. t_{ACC} は最大9 CLK周期が必要。

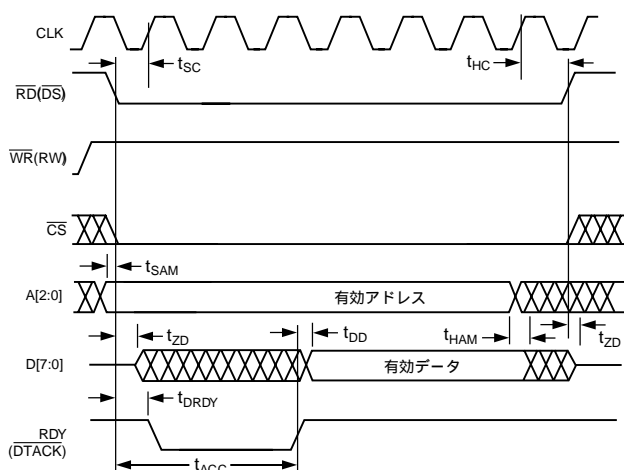
図12 INMマイクロポート書き込みのタイミング要件

タイミング図 MNMマイクロポート・モード



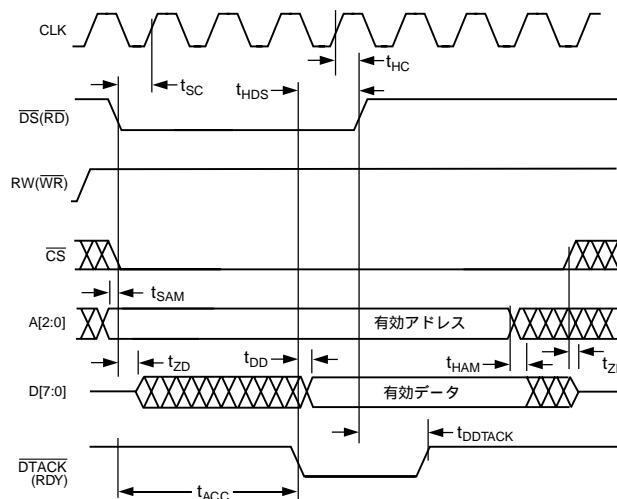
- 注
1. t_{ACC} のアクセス時間はアクセスされたアドレスに依存。アクセス時間は \overline{DS} のFEからDTACKのFEまでとして測定。
 2. t_{ACC} は最大9 CLK周期が必要。

図14 MNMマイクロポート書き込みのタイミング要件



- 注
1. t_{ACC} のアクセス時間はアクセスされたアドレスに依存。アクセス時間は \overline{WR} のFEからRDYのREまでとして測定。
 2. t_{ACC} は最大13 CLK周期が必要で、A[2:0]=7、6、5、3、2、1に適用。

図13 INMマイクロポート読み出しのタイミング要件



- 注
1. t_{ACC} のアクセス時間はアクセスされたアドレスに依存。アクセス時間は \overline{DS} のFEからDTACKのFEまでとして測定。
 2. t_{ACC} は最大13 CLK周期が必要。

図15 モトローラマイクロポート読み出しのタイミング要件

AD6623

絶対最大定格*

電源電圧	3.6V
入力電圧	- 0.3 ~ + 5V (5V対応)
出力電圧振幅	- 0.3V ~ VDDIO + 0.3V
負荷容量	200pF
バイアス時の接合温度	125
保管温度範囲	- 65 ~ + 150
ピン温度(5sec)	280

*絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱特性

128ピンMQFP :
JA = 33 /W、自然空冷
JA = 27 /W、200 lfmの強制空冷
JA = 24 /W、400 lfmの強制空冷

196ピンBGA :
JA = 26.3 /W、自然空冷
JA = 22 /W、200 lfmの強制空冷
温度は2層ボード上の水平位置で測定。

テスト・レベルの説明

- I. 100%の出荷テストを実施。
- II. 25 での100%の出荷テストおよび指定温度でのサンプル・テストを実施。
- III. サンプル・テストのみを実施。
- IV. パラメータは設計および解析により保証。
- V. パラメータは、typ値のみ。

オーダー・ガイド

製品モデル	温度範囲	パッケージ	パッケージ・オプション
AD6623AS	- 40 ~ + 70 (周囲)	128ピンMQFP (メタリック・クワッド・フラットパック)	S-128A
AD6623ABC	- 40 ~ + 85 (周囲)	196ピンBGA (ボール・グリッド・アレイ)	BC-196
AD6623S/PCB		MQFP評価ボード、AD6623、ソフトウェア添付	
AD6623BC/PCB		BGA評価ボード、AD6623、ソフトウェア添付	

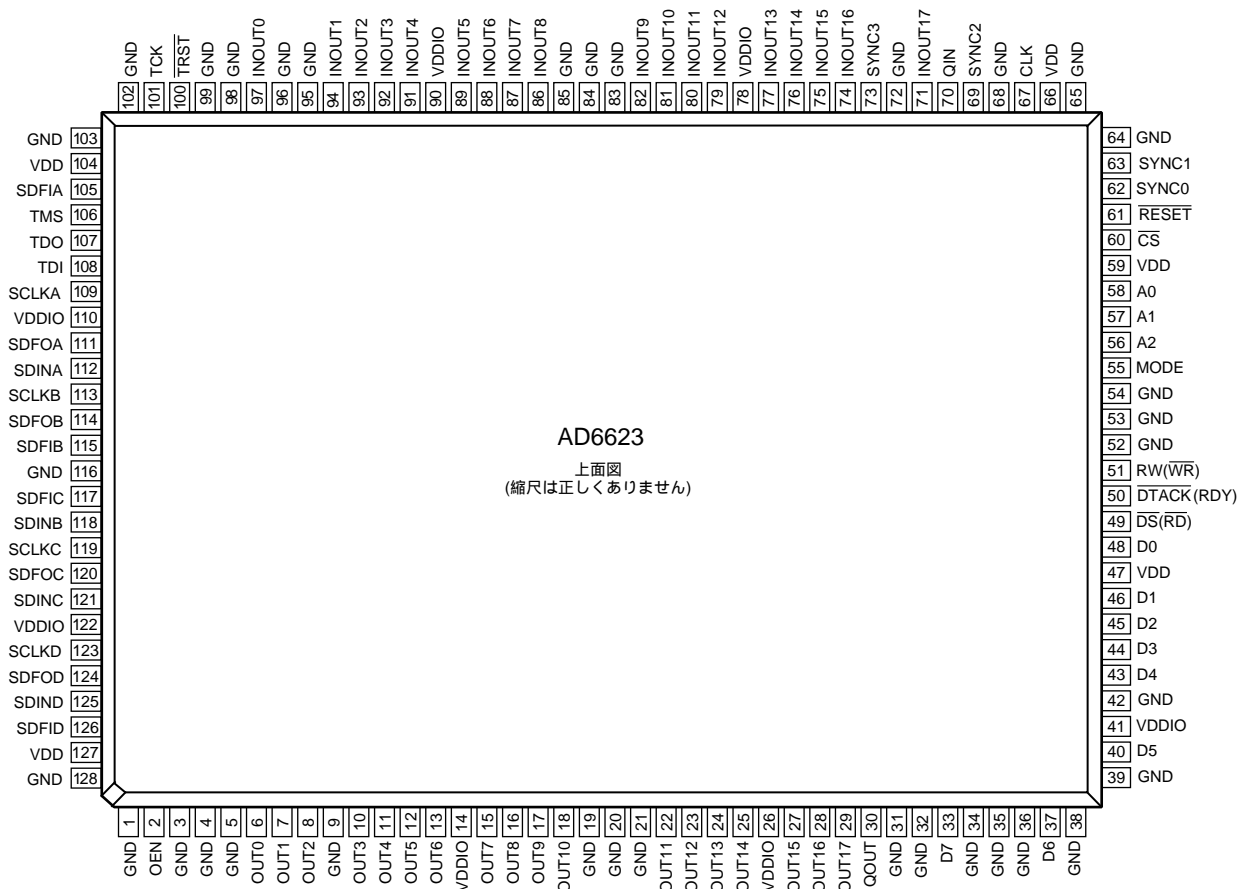
注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



ピン配置

128ピンMQFP



AD6623

128ピンの機能説明

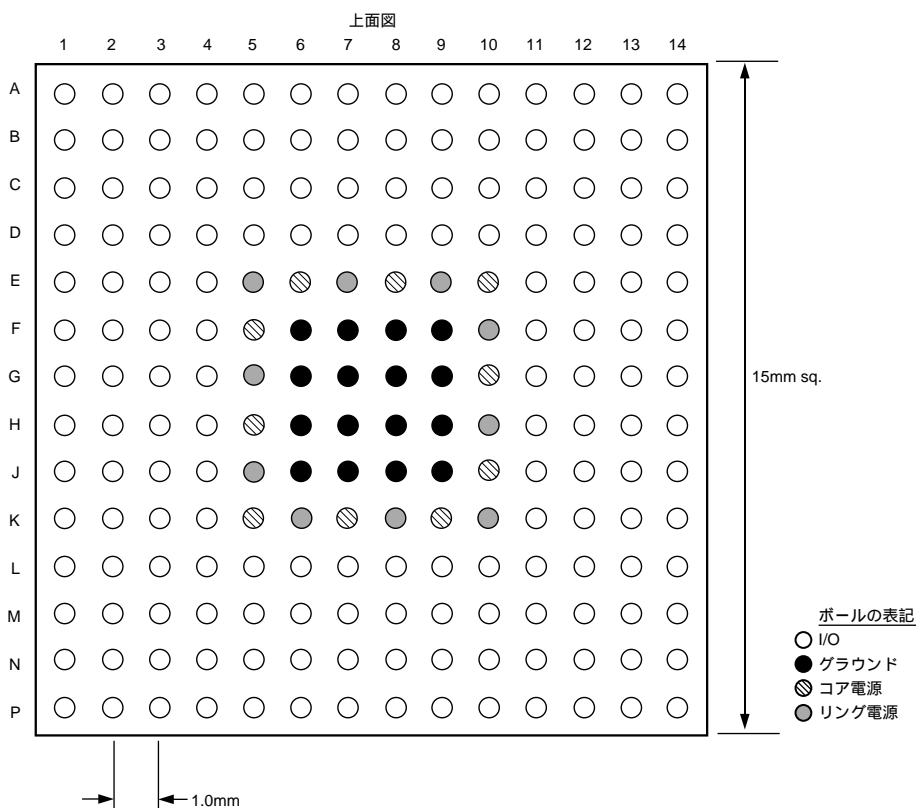
ピン番号	記号	タイプ	説明
1、3~5、9、19~21、31、32、34~36、38、39、 42、52~54、64~65、68、72、83~85、95、96、 98、99、102、103、116、128	GND	P	グラウンド接続
2	OEN ¹	I	アクティブ・ハイの出力イネーブル・ピン
29、28、27、25、24、23、22、18、17、16、15、 13、12、11、10、8、7、6	OUT[17:0]	O/T	パラレル出力データ
47、59、66、104、127	VDD	P	2.5V電源
14、26、41、78、90、110、122	VDDIO	P	3.3V電源
30	QOUT	O/T	ハイレベルのときQ出力データを表示(複素数出力モード)
33、37、40、43、44、45、46、48	D[7:0]	I/O/T	双方向マイクロポート・データ
49	\overline{DS} (RD)	I	INMモード：読み出し信号、MNMモード：データ・ストローブ信号
50	DTACK (RDY)	O	処理完了(μ Pポートがアクセス可能なことを表示)オープン・ドレインの受取、外部でプルアップが必要
51	RW (\overline{WR})	I	アクティブ・ハイで読み出し、アクティブ・ローで書き込み
55	MODE	I	マイクロポート・モードの設定：MODE = 1、MNMモード；MODE = 0、INMモード
56、57、58	A[2:0]	I	マイクロポート・アドレス・バス
60	\overline{CS}	I	チップ・セレクト、アクティブ・ローで μ Pのアクセスがイネーブル
61	RESET ²	I	アクティブ・ローのリセット・ピン
62	SYNC0 ¹	I	複数のAD6623を同期させる同期信号
63	SYNC1 ¹	I	複数のAD6623を同期させる同期信号
67	CLK ¹	I	入力クロック
69	SYNC2 ¹	I	複数のAD6623を同期させる同期信号
70	QIN ¹	I	ハイレベルのときQ入力データを表示(複素数入力モード)
71、74~77、79~82、86~89、91~94、97	INOUT[17:0] ¹	I/O	広帯域入力 / 出力データ(1システム内で複数のAD6623のカスケード接続が可能)
73	SYNC3 ¹	I	複数のAD6623を同期させる同期信号
100	TRST ²	I	テスト・リセット・ピン
101	TCK ¹	I	テスト・クロック入力
105	SDFIA	I	シリアル・データ・フレーム入力 チャンネルA
106	TMS ²	I	テスト・モード・セレクト
107	TDO	O	テスト・データ出力
108	TDI ¹	I	テスト・データ入力
109	SCLKA	I/O	双方向シリアル・クロック チャンネルA
111	SDFOA	O	シリアル・データ・フレーム同期出力 チャンネルA
112	SDINA ¹	I	シリアル・データ入力 チャンネルA
113	SCLKB	I/O	双方向シリアル・クロック チャンネルB
114	SDFOB	O	シリアル・データ・フレーム同期出力 チャンネルB
115	SDFIB	I	シリアル・データ・フレーム入力 チャンネルB
117	SDFIC	I	シリアル・データ・フレーム入力 チャンネルC
118	SDINB ¹	I	シリアル・データ入力 チャンネルB
119	SCLKC	I/O	双方向シリアル・クロック チャンネルC
120	SDFOC	O	シリアル・データ・フレーム同期出力 チャンネルC
121	SDINC ¹	I	シリアル・データ入力 チャンネルC
123	SCLKD	I/O	双方向シリアル・クロック チャンネルD
124	SDFOD	O	シリアル・データ・フレーム同期出力 チャンネルD
125	SDIND ¹	I	シリアル・データ入力 チャンネルD
126	SDFID	I	シリアル・データ・フレーム入力 チャンネルD

注

1 公称70k のブルダウン抵抗を内蔵するピン。

2 公称70k のブルアップ抵抗を内蔵するピン。

ピン配置 196ピンBGA



	1	2	3	4	5	6	7	8	9	10	11	12	13	14
A	NC			SDFID	SDINC	SDINB	SDFOB	SCLKB	SCLKA	TDO	SDFIA	TCK		NC
B				OEN	SDIND	SDFOC	SDFIC	SDINA	TDI		$\overline{\text{TRST}}$			
C				SDFOD		SKLKD	SKLKC	SDFIB	SDFOA	TMS				IN0
D	OUT2		OUT0									IN2		IN1
E		OUT1	OUT3		VDDIO	VDD	VDDIO	VDD	VDDIO	VDD				IN4
F	OUT5	OUT4	OUT6		VDD	GND	GND	GND	GND	VDDIO		IN3	IN5	IN7
G	OUT8	OUT4			VDDIO	GND	GND	GND	GND	VDD		IN6	IN8	IN9
H	OUT9	OUT10	OUT12		VDD	GND	GND	GND	GND	VDDIO			IN11	IN10
J	OUT11	OUT13			VDDIO	GND	GND	GND	GND	VDD		IN12	IN14	IN13
K	OUT14		OUT17		VDD	VDDIO	VDD	VDDIO	VDD	VDDIO		IN16	IN17	IN15
L	OUT16		OUT15									QIN		SYNC3
M	QOUT		D7	D4	D1	$\overline{\text{DTACK}}$ (RDY)	MODE (ALE)	A1	$\overline{\text{RESET}}$					SYNC2
N				D5	D3	D0	RW($\overline{\text{WR}}$)		A0	SYNC0				
P	NC	D6		D2		$\overline{\text{DS}}$ (RD)			A2	$\overline{\text{CS}}$	SYNC1		CLK	NC

NC = 未接続

AD6623

196ピンの機能説明

記号	タイプ	機能
電源		
VDD	P	2.5V電源
VDDIO	P	3.3V IO電源
GND	G	グラウンド
入力		
INOUT[17 : 0] ¹	I/O	A入力データ(仮数部)
QIN ¹	I	ハイレベルのときQ入力データを表示(複素数入力モード)
RESET ²	I	アクティブ・ローのリセット・ピン
CLK ¹	I	入力クロック
SYNC0 ¹	I	すべてのSyncピンはすべての4出力チャンネルに接続
SYNC1 ¹	I	すべてのSyncピンはすべての4出力チャンネルに接続
SYNC2 ¹	I	すべてのSyncピンはすべての4出力チャンネルに接続
SYNC3 ¹	I	すべてのSyncピンはすべての4出力チャンネルに接続
SDINA ¹	I	シリアル・データ入力 チャンネルA
SDINB ¹	I	シリアル・データ入力 チャンネルB
SDINC ¹	I	シリアル・データ入力 チャンネルC
SDIND ¹	I	シリアル・データ入力 チャンネルD
CS	I	アクティブ・ローのチップ・セレクト
制御		
SCLKA	I/O	双方向シリアル・クロック チャンネルA
SCLKB	I/O	双方向シリアル・クロック チャンネルB
SCLKC	I/O	双方向シリアル・クロック チャンネルC
SCLKD	I/O	双方向シリアル・クロック チャンネルD
SDFOA	O	シリアル・データ・フレーム同期出力 チャンネルA
SDFOB	O	シリアル・データ・フレーム同期出力 チャンネルB
SDFOC	O	シリアル・データ・フレーム同期出力 チャンネルC
SDFOD	O	シリアル・データ・フレーム同期出力 チャンネルD
SDFIA	I	シリアル・データ・フレーム入力 チャンネルA
SDFIB	I	シリアル・データ・フレーム入力 チャンネルB
SDFIC	I	シリアル・データ・フレーム入力 チャンネルC
SDFID	I	シリアル・データ・フレーム入力 チャンネルD
OEN ¹	I	アクティブ・ハイの出力イネーブル・ピン
マイクロポート制御		
D[7 : 0]	I/O/T	双方向マイクロポート・データ
A[2 : 0]	I	マイクロポート・アドレス・バス
DS (RD)	I	アクティブ・ローのデータ・ストロブ(アクティブ・ローで読み出し)
DTACK (RDY) ²	O/T	アクティブ・ローのデータ受取(マイクロポートのステータス・ビット)
RW (WR)	I	読み書き(アクティブ・ローで書き込み)
モード	I	インテルまたはモトローラのモードセレクト
出力		
OUT[17 : 0]	O	広帯域出力データ
QOUT	O	ハイレベルのときQ出力データを表示(複素数出力モード)
JTAGおよびBIST		
TRST ²	I	テスト・リセット・ピン(アクティブ・ロー)
TCK ¹	I	テスト・クロック入力
TMS ²	I	テスト・モード・セレクト入力
TDO	O/T	テスト・データ出力
TDI ¹	I	テスト・データ入力

注

1 公称70k のブルダウン抵抗を内蔵するピン。

2 公称70k のブルアップ抵抗を内蔵するピン。

シリアル・データ・ポート

AD6623は4個の独立したシリアル・ポート(A、B、C、D)を内蔵しており、各シリアル・ポートはデバイス自身のチャンネル(A、B、C、D)へのデータを受取ります。各シリアル・ポートには、SCLK (シリアル・クロック)、SDFO (シリアル・データ・フレーム出力)、SDFI (シリアル・データ・フレーム入力)、SDIN (シリアル・データ入力)の4本のピンがあります。SDFIとSDINは入力専用、SDFOは出力専用、SCLKはSCS (シリアル・クロック・スレーブ: 0xn16、ビット4)の状態に応じて入力または出力になります。各チャンネルは、SCSの状態に応じてマスターまたはスレーブ・チャンネルとして動作することができます。シリアル・ポートは自己フレーム同期することができます。また、SDFIピンまたは直前の隣接チャンネル(0xn16、ビット7とビット6)から入力される外部フレーム信号に同期できます。

シリアル・マスター・モード(SCS = 0)

マスター・モードでは、SCLKはCLKを分周するプログラマブルな内部カウンタによって生成されます。チャンネルが“スレーブ”状態のとき、SCLKはローレベルになります。SCLKは、チャンネル・スレーブが解除された後の、CLKの最初の立ち上がりエッジ(外部アドレス4のD0~D3)でアクティブになります。アクティブになると、次式に従って、CLK周波数とSCLK分周比からSCLK周波数が決定されます。AD6623モード:

$$f_{\text{SCLK}} = \frac{f_{\text{CLK}}}{\text{SCLKdivider} + 1} \quad (1)$$

AD6622モード:

$$f_{\text{SCLK}} = \frac{f_{\text{CLK}}}{2 \times (\text{SCLKdivider} + 1)} \quad (2)$$

SCLK分周比は符号なしの5ビット値であり、内部チャンネル・アドレス0xn0D (ビット4~0)に格納されています。ここで、“n”は選択されたチャンネルA、B、C、Dに対して、それぞれn = 1、2、3、4になります。すべての入力サンプル・ワードを入力サンプル・レートで受取るため、SCLKが十分に高速になるようにSCLK分周比を選択する必要があります。本項の終わりの設計例を参照してください。AD6623モードのシリアル・クロック・マスターで動作するときには、最大SCLK周波数はCLKに一致します。AD6622互換モードで動作するときには、最大SCLK周波数はCLK × 1/2になります。SCLK最小周波数は、AD6623モードではCLK周波数の1/32に、またAD6622モードではCLK周波数の1/64になります。マスター・モードでは、SCLKの立ち上がりエッジでSDFOが変化します。マスター・モードでは、SCLKの立ち上がりエッジでSDINが入力されます。

シリアル・スレーブ・モード(SCS = 1)

AD6623の各シリアル・ポートはシリアル・スレーブ・モードで動作することができます。このモードでは、選択されたAD6623チャンネルにSCLKを入力するDSPのような外部デバイスが必要です。外部タイミング要件を満たすため、シリアル・ポートの同期化が行われます。スレーブ・モードでは、SCLKの立ち下がりエッジでSDINが入力されます。

自己フレーム同期モード

このモードでは、レジスタ0xn16のビット7がローレベルに設定されます。シリアル・データ・フレーム出力(SDFO)が自己フレーム同期データ要求を発生し、入力サンプル・レートで1SCLKサイクル間、ハイレベルになります。このモードでは、SDFIピンは使用されず、SDFO信号はシリアル・データ・フレーム要求(0xn16、ビット5 = 0)として設定され

ます。

SDFOは、ホストへの同期信号として使われます。入力サンプル・レートは、CLKをチャンネル補間係数で除算して決定されます。SCLKレートが入力サンプル・レートの整数倍でない場合は、平均SDFOレートが入力サンプル・レートに等しくなるように、SDFOの周期をSCLKの1サイクル分で調整し続けます。チャンネルがスリープ・モードのときは、SDFOはローレベルに維持されます。チャンネル・リセットが解除された後の、最初のSDFOはチャンネル・リセット・レイテンシだけ遅延します。チャンネル・リセット・レイテンシは、チャンネル設定に応じて変わります。

外部フレーム同期モード

このモードでは、レジスタ0xn16のビット7がハイレベルに設定されます。外部フレーム同期信号は、SDFIピン(0xn16、ビット6 = 0)または直前の隣接チャンネル(0xn16、ビット6 = 1)から入力することができます。前のチャンネルから外部フレーム同期を入力する場合は、シリアル・データ・フレーム同期に内部フレーム終了信号を用います。マスター・モードの場合は、SCLKの立ち上がりエッジでSDFOとSDFIが変化し、SCLKの立ち上がりエッジでSDINが入力されます。スレーブ・モードの場合は、SCLKの立ち下がりエッジでSDFOとSDFIが変化し、SCLKの立ち下がりエッジでSDINが入力されます。

シリアル・ポートのカスケード構成

このケースでは、最初のデバイスの最後のチャンネルから出力されたSDFO信号がシリアル・データ・フレーム終了(SFE: 0xn16、ビット5 = 1)として設定されます。このSDFO信号は、カスケード接続された2番目のデバイスのSDFIピンに接続されます。2番目のデバイスは、SDFIピン(0xn16、ビット7 = 1、ビット6 = 0)から外部フレーム同期を入力するように設定されます。

シリアル・データのフォーマット

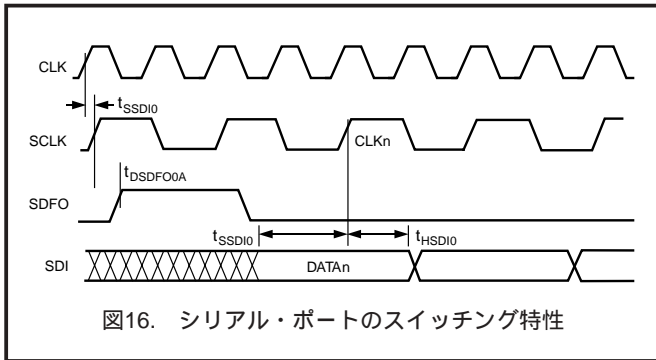
シリアル・ポートに入力されるデータのフォーマットは、制御レジスタ0xn0C内で指定されたRCFモードにより決定されます。次の表に、RCFモードと入力データ・フォーマットを示します。

表1 シリアル・データのフォーマット

0xn0C ビット6	0xn0C ビット5	0xn0C ビット4	シリアル・データの ワード長	RCF モード
0	0	0	32	FIR
0	0	1		/4-DQPSK
0	1	0		GMSK
0	1	1		MSK
1	0	0	24(ビット9がハイレベル) 16(ビット9がローレベル)	FIR、 コンパクト
1	0	1		8-PSK
1	1	0		3 /8-8-PSK
1	1	1		QPSK

シリアル・データ入力(SDIN)はチャンネル入力データとして、32ビットのワードを受け付けます。32ビットのワードは、2個の16ビットの2の補数直交ワード(MSB先頭で、1の後ろにQが続く)として解釈されます。このようにして、リニアなIとQのデータがRCFに入力されます。先頭ビットは、SDFOパルス後の、次のSCLKの立ち上がりエッジからスタートし、シリアル・ポートにシフト入力されます。図16に、SCLKマスター(SCS = 0)とフレーム要求として設定されたSDFO(SFE = 0)のタイミング図を示します。

AD6623



シリアル・ポート動作の一例として、CLK周波数 = 62.208MHzでチャンネル補間 = 2560の場合を説明します。このケースでは、入力サンプル・レートが24.3kSPS (62.208MHz/2560)になり、これがSDFOレートにもなります。 $f_{SCLK} = 32 \times f_{SDFO}$ を式に代入してSCLK分周比を求めると、次式のようにSCLK分周比の最小値が得られます。

$$SCLK\text{divider} \leq \frac{f_{CLK}}{32 \times f_{SDFO}} \quad (3)$$

上の例にこの式を適用すると、SCLK分周比 79になります。SCLK分周比チャンネル・レジスタは符号なしの5ビット値なので、0~31範囲の値しか持つことができません。上の例ではこの範囲内の任意の値が有効ですが、SDFO周期が一定であることが重要な場合には、条件がもう1つあります。通常のフレームでは、 f_{SCLK}/f_{SDFO} 比の値が32以上の整数である必要があります。この例の場合、一定のSDFO周期はSCLK分周比 31の場合にのみ可能です。表IIに、L = 2560の場合について、使用可能なSCLK分周比値とそれに対応するSCLKおよび f_{SCLK}/f_{SDFO} 比を示します。結論として、SDFOレートはAD6623のCLKレートとチャンネル補間レートにより決定されます。SDFOレートはチャンネル入力レートに等しくなります。チャンネル補間は、次式のようにRCF補間とCIC5補間とCIC2補間の積に等しくなります。

$$\left(L = L_{RCF} \times L_{CIC5} \times \frac{L_{CRIC2}}{M_{CRIC2}} \right) \quad (4)$$

SCLK分周比は、前の式で与えられます。次のSDFOが開始される前に、32ビットのデータ入力を完了できるように、SCLKは十分に高速でなければなりません。余分なSCLKパルスがある場合、シリアル・ポートはこれを無視します。

表II 使用可能なSCLK分周比と f_{SCLK}/f_{SDFO} 比の例 (L = 2560の場合)

SCLK分周比	f_{SCLK}/f_{SDFO}
0	2560
1	1280
3	640
4	512
7	320
9	256
15	160
19	128
31	80

プログラマブルなRAM係数フィルタ(RCF)

各チャンネルには、完全に独立したRAM係数フィルタ(RCF)があります。RCFはシリアル・ポート経由でデータを入力し、処理した後、処理結果をIデータとQデータとしてCICフィルタに渡します。PSK変調、MSK変調、FIRフィルタ、オールパス型位相等化、任意のランピングを持つスケールリングなど、各種の処理オプションを個別にまたは組合わせて選択できます。表IIIを参照してください。

表III. データ・フォーマットの処理オプション

処理ブロック	入力データ	出力データ
補間FIRフィルタ PSK変調器	IおよびQ 1シンボル当たり 2または3ビット	IおよびQ フィルタなしの IおよびQ: /4-QPSK、 8-PSK、または 3 /8-PSK
MSK変調器	1シンボル当たり1ビット	フィルタありの MSKまたは GSMのIおよびQ
QPSK	1シンボル当たり2ビット	フィルタありの QPSKのIおよびQ
オールパス型位相コライザ スケールおよびランブ	IおよびQ IおよびQ	IおよびQ IおよびQ

RCFブロックの概要

シリアル・ポートは、各RCF構成に適したフォーマットとビット精度で、データをRCFに渡します(図17)。データとしては、変調ベクトルまたは未変調ビット列が可能です。IベクトルとQベクトルは補間FIRフィルタに直接送られます。未変調ビット列は、PSK変調器、補間MSK変調器、または補間QPSK変調器に送ることができます。PSK変調器はフィルタなしのIベクトルとQベクトルをシンボル・レートで発生して、補間FIRフィルタに渡します。補間MSK変調器と補間QPSK変調器は、オーバーサンプルのパルス整形されたベクトルを、補間FIRフィルタを使用せず、直接発生します。可能であれば、スループットの向上と消費電力の削減ために、補間FIRフィルタよりMSK変調器とQPSK変調器をお勧めします。さらに、補間MSK変調器を使って、GMSKアプリケーション用に優れた精度を持つ、非線形シンボル間干渉フィルタを実現することができます。補間後に、オプションのオールパス型位相コライザ(APE)を信号パスに挿入することができます。APEにより、任意の実数型で安定な2極2ゼロ点のオールパス型フィルタを、RCFの補間レートで実現することができます。この機能は、IS-95で規定する端末の受信フィルタの非線形位相応答に対する前置補償に特に役立ちます。APEがアクティブのときは、補間変調器とフィルタの間でハードウェアを共用するため、許容RCFスループット、シンボル間干渉の片方または両方を低下させることがあります。図18を参照してください。

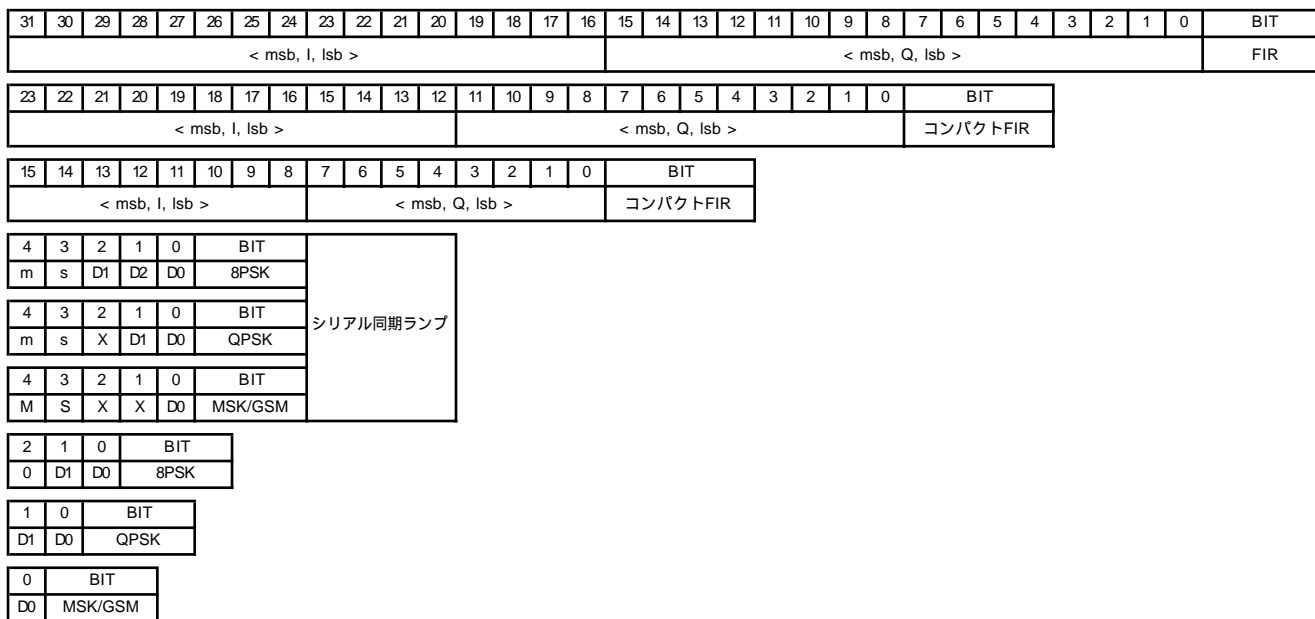


図17 AD6623がサポートするデータ・フォーマット。SCLKをマスター(SCS = 0)に、SFDOをフレーム要求(SFE = 0)に設定した場合

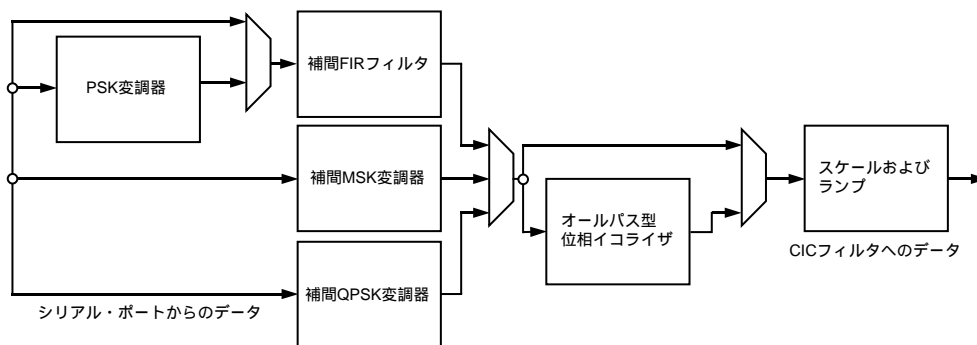


図18 RCFのブロック図

表IV FIRフィルタ内部精度

信号	x × y表記	最小		最大	
		10進数	16進数(h)	10進数	16進数(h)
I入力とQ入力	1.15	- 1.00000	+ 1.00000	0.999969	0.FFFE
係数	1.15	- 1.00000	+ 1.00000	0.999969	0.FFFE
積	2.18	- 0.99969	+ 3.00020	1.000000	1.00000
和	4.18	- 7.00000	+ 8.0000	7.999996	7.FFFFC
FIR出力	1.17	- 1.00000	+ 1.00000	0.999992	0.FFFF8

スケールおよびランプ・ブロックは、変調済みRCF出力の最終振幅を調整します。SYNC0~3ピンからの同期パルスまたはシリアル・ワードを使って、このブロックにコマンド(新しいスケール係数へのランプ・ダウン、維持、ランプ・アップ)を指示することができます。ランプの形状はRAMに保存されており、RCF補間レートで完全なサンプル毎の制御を実行することができます。この機能は、GSM/EDGEのような時分割多重標準に特に役立ちます。変調器の設定はランプ動作がないときに更新することができるため、チャンネルのリセットまたは再設定なしにGSMおよびEDGEのタイムスロットを多重化できます。各RCF処理ブロックについては、後で詳しく説明します。

補間FIRフィルタ

補間FIRフィルタは、CLKレートで動作するインターリーブ型の1個の乗算アキュムレータ(MAC)を使って、I入力とQ入力に対する実数の積和フィルタを実現します。入力信号を整数係数で補間して、最大出力サンプル長256の任意のインパルス応答を発生します。

データ・バス内の各バスは、バイポーラの2の補数値を伝送します。説明のため、入力データが-1から1未満の範囲になるように、小数点位置を設定します。図19では、データ・バスの有限の精度を表すためにx×yと表記しています。ここで、xは小数点より上のビット数を、yは小数点より下のビット数を、それぞれ表し、 $-2^{x-1} \sim 2^{x-1} - 2^{-y}$ の範囲のステップ数 2^{-y} を意味します。各バスの制限範囲を表IVに示します。16進数値はビット値そのもので、各MSBは負の重みを

AD6623

持っています。積バスの範囲は乗算結果によって制限され、上位2ビットは1つのケースを除いて一致します。

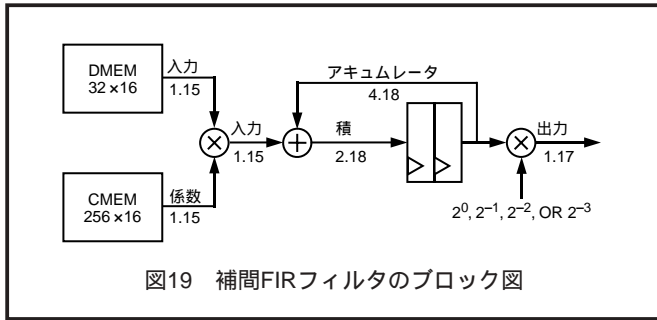


図19 補間FIRフィルタのブロック図

RCFは、オプションの補間を持つFIRフィルタを実現します。FIRフィルタは最大出力サンプル長256までのインパルス応答を発生することができます。一般に、RCF補間係数(L_{RCF})を8個以下に制限すると最適なフィルタ性能が得られますが、FIR応答は最大256個の係数まで補間することができます。256 x 16の係数メモリ(CMEM)は任意の数のフィルタに分割することができます、その内の1つを係数オフセット・ポインタ(チャンネル・アドレス0x0B)で選択することができます。多相構成は、補間レートで動作するFIRフィルタの後の整数倍のアップサンプリングと等価です。

AD6623のRCFでは、多相構成を使って積和フィルタを実現します。このモードは、補間レートで動作するFIRフィルタが後ろに続くインタポレータと等価です。下に示す機能図では、補間ブロックは各入力サンプルの間に $L_{RCF}-1$ 個のゼロ値サンプルを挿入することにより、RCF補間係数(L_{RCF})だけレートを上げます。次のブロックは、有限インパルス応答長(N_{RCF})と $h[n]$ のインパルス応答を持つフィルタです。ここで、 n は $0 \sim N_{RCF}-1$ の範囲の整数です。

図20の差分方程式を次に示します。ここで、 $h[n]$ はRCFインパルス応答を、 $b[n]$ は図のb点における補間入力サンプル・シーケンスを、 $c[n]$ は図20のc点における出力サンプル・シーケンスを、それぞれ表します。

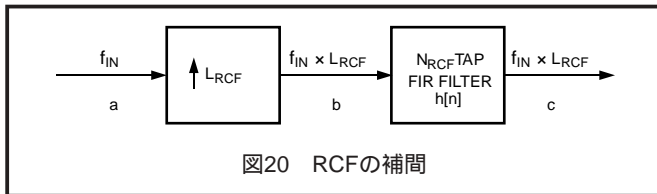


図20 RCFの補間

$$c[n] = \sum_{k=0}^{N_{RCF}-1} h[n] \times b[n-k] \quad (5)$$

差分方程式は、次式のようにb点からc点までの伝達関数で記述することができます。

$$H_{bc}(z) = \sum_{k=0}^{N_{RCF}-1} h[n] \times z^{-k} \quad (6)$$

このフィルタの実際の構成では、 $b[n-k]$ がゼロのとき、積和演算をスキップするために多相分解を行っています。上図と比較すると、この構成は出力の計算時間と所要データ・メモリ(DMEM)量の両方を L_{RCF} だけ減らすことができる利点

を持っています。これらの利点の代償として、補間位相によってインデックス指定される係数メモリ(CMEM)に係数を格納する必要があります。係数を選択してCMEMへ格納するプロセスは、次の3ステップに分割することができます。FIRは、各々16ビットの固定小数分解能を持つ、2の補数IサンプルとQサンプルをシリアル・ポートから入力します。シリアル・ポートからのデータの精度がこれより低い場合は、各LSBにゼロが詰め込まれます。

データ・メモリには、直前の16個のI/Q対、合計32ワードが格納されます。データ・メモリのサイズにより、RCFインパルス応答は $16 \times L_{RCF}$ に制限されます。シリアル・ポートからのデータ・ワードが16ビットを下回る場合、各LSBにはゼロが詰め込まれます。データ・メモリは、マイクロポートを使って処理チャンネルのベース内部アドレスより上の0x20 ~ 0x5Fでアクセスすることができ、このときチャンネルのProgビットはセットされます(外部アドレス4)。スタートアップ時の過渡出力を回避するため、データ・メモリは動作の前にクリアしておく必要があります。その後で、Progビットをリセットして、通常の動作をイネーブルする必要があります。

係数メモリには最大256個までの16ビット・フィルタ係数が格納されます。係数メモリは、マイクロポートを使って処理チャンネルのベース内部アドレスより上の0x800 ~ 0x8FFでアクセスすることができ、このときチャンネルのProgビットはセットされます(外部アドレス4)。AD6622との互換性のために、下位の128ワードも処理チャンネルのベース内部アドレスより上の0x080 ~ 0x0FFでミラーされ、このときProgビットがセットされます。スタートアップ時の過渡出力を回避するため、データ・メモリは動作の前にクリアしておく必要があります。その後で、Progビットをリセットして、チャンネル動作をイネーブルする必要があります。乗算アキュムレータ(MAC)は1個で、これにI動作とQ動作がインターリーブされます。各係数にI/Q対を乗算するためにMACは2 CLKサイクルを要します。オールパス型位相イコライザがアクティブの場合、4 CLKサイクルを加えるのにも、MACが使われます。

データ・メモリと係数メモリのサイズおよびMAC速度の組み合わせにより、計算可能な1位相当の合計タップ数(T_{RCF})が決定されます。 T_{RCF} はRCF入力サンプル数であり、これが各RCF出力サンプルに影響を与えます。使用可能な最大 T_{RCF} は次式で計算されます。

$$T_{RCF} \leq \text{least of} \left(16, \text{floor} \left(\frac{256}{L_{RCF}} \right), \text{floor} \left(\frac{f_{CLK}}{2 \times f_{SDO}} - 2 \times APE \right) \right) \quad (7)$$

RCF出力でのインパルス応答長は、式(8)に示すように、干渉入力サンプル数(T_{RCF})とRCF補間係数(L_{RCF})の積により決定されます。 N_{RCF} と T_{RCF} の値は、制御レジスタに書き込まれます。 L_{RCF} は制御レジスタではありませんが、 N_{RCF} と T_{RCF} は L_{RCF} が整数になるように設定する必要があります。RCFによる整数補間RCF出力で不便なサンプル・レートになってしまう場合は、リサンプリングCIC²フィルタ内で非整数補間を選択することにより、所望の出力レートを得ることができます。

$$N_{RCF} = T_{RCF} \times L_{RCF} \quad (8)$$

表V RCF制御レジスタ

チャンネル・アドレス	ビット幅	説明	チャンネル・アドレス	ビット幅	説明
0x0A	16	15~8: $N_{RCF} - 1$ B; 7~0: $N_{RCF} - 1$ A			5: チャンネルAの外部SDFIセレクト 0: 内部SDFI
0x0B	8	7~0: O_{RCF}			1: 外部SDFI
0x0C	10	9: チャンネルAのコンパクトFIR入力ワード長 0: 16ビット 8個のIの後ろに8個のQ 1: 24ビット 12個のIの後ろに12個のQ 8: チャンネルAのRCF PRBSイネーブル 7: チャンネルAのRCF PRBS長 0: 15 1: 8,388,607 6~4: チャンネルAのRCFモード・セレクト 000 = FIR 001 = p/4-DQPSK変調器 010 = GMSKルックアップ・テーブル 011 = MSKルックアップ・テーブル 100 = FIRコンパクト・モード 101 = 8-PSK 110 = 3p/8-8PSK変調器 111 = QPSKルックアップ・テーブル 3~0: チャンネルAの1相当りのRCFタップ数 7~6: RCF粗調整スケール(g): 00 = 0dB 01 = -6dB 10 = -12dB 11 = -18dB 5: チャンネルAオールパス型位相イコライザ・イネーブル 4~0: シリアル・クロック分周比(1, ..., 32)			4: チャンネルAのSCLKスレーブ・セレクト 0: マスター 1: スレーブ 3: チャンネルAのシリアル微調整スケール・イネーブル 2: チャンネルAのシリアル・タイム・スロット同期イネーブル (FIRモードでは無視) 1: チャンネルAのランプ補間イネーブル 0: チャンネルAランプ・イネーブル 5~0: チャンネルAのモード0ランプ長, R0~1 5~0: チャンネルAのモード1ランプ長, R1~1 4~0: チャンネルAのランプ・リセット時間, Q 予約済み 15~0: チャンネルAのデータ・メモリ 15~14: 予約済み 13~0: チャンネルAのパワー・ランプ・メモリ 15~0: チャンネルAの係数メモリ このアドレスは0x900~0x97Fでミラー されて、0x980~0x9FFに拡張されます。
0x0D	8	7~6: RCF粗調整スケール(g): 00 = 0dB 01 = -6dB 10 = -12dB 11 = -18dB 5: チャンネルAオールパス型位相イコライザ・イネーブル 4~0: シリアル・クロック分周比(1, ..., 32)	0x117	6	5~0: チャンネルAのモード0ランプ長, R0~1
0x0E	16	15~2: チャンネルAの符号なしスケール係数 1~0: 予約済み	0x118	6	5~0: チャンネルAのモード1ランプ長, R1~1
0x0F	18	17~16: チャンネルAのタイム・スロット同期セレクト 00: Sync0 (0x001タイム・スロット参照) 01: Sync1 10: Sync2 11: Sync3 15~0: チャンネルAのRCFスケール・ホールドオフ・カウンタ 1) ランプ・ダウン(ランプがイネーブルの場合) 2) スケールとモードの更新 3) ランプ・アップ(ランプがイネーブルの場合)	0x119	5	4~0: チャンネルAのランプ・リセット時間, Q 予約済み
0x110	16	15~0: チャンネルAのRCF位相等化係数1	0x11A~0x11F	16	15~0: チャンネルAのデータ・メモリ
0x111	16	15~0: チャンネルAのRCF位相等化係数2	0x120~0x13F	16	15~14: 予約済み
0x112	16	15~0: チャンネルAのRCF MPSK振幅0	0x140~0x17F	16	13~0: チャンネルAのパワー・ランプ・メモリ
0x113	16	15~0: チャンネルAのRCF MPSK振幅1	0x180~0x1FF	16	15~0: チャンネルAの係数メモリ このアドレスは0x900~0x97Fでミラー されて、0x980~0x9FFに拡張されます。
0x114	16	15~0: チャンネルAのRCF MPSK振幅2			
0x115	16	15~0: チャンネルAのRCF MPSK振幅3			
0x116	8	7: 予約済み 6: チャンネルAのシリアル・データ・フレーム・セレクト 0: シリアル・データ・フレーム要求 1: シリアル・データ・フレーム終了			

PSK変調器

PSK変調器はAD6623の機能を拡張したものであり、制御・レジスタ・ビット0x000: 7がハイレベルのときにのみ使用可能です。PSK変調器は、シリアル・ポートから入力した2ビットまたは3ビットのデータから32ビットの複素数を生成して、補間FIRフィルタに出力します。FIRフィルタは、32ビットのワードが直接シリアル・ポートから入力されたかのように動作します。PSK変調には、1/4-DQPSK、8-PSK、3/8-8-PSKの3種類のオプションがあります。これらの変調での各シンボルは、図21に示す16相の内の1つとして表すことができます。

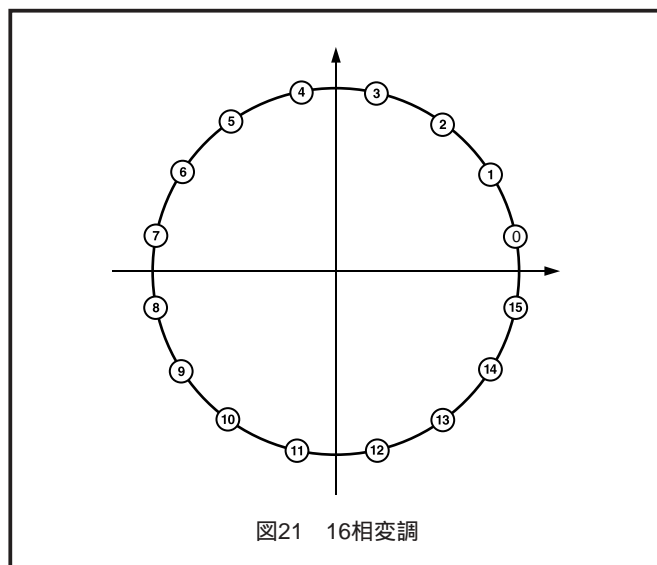


図21 16相変調

AD6623

すべての位相配置は、正方向と負方向の4つの固有な値による直交座標で表されます。この4つの値は、下の表にしたがってプログラムされる4個のチャンネル・レジスタから読み出されます。表には一般的な形式と特定の例を示します。この例では、フルスケールの下わずか0.046dBの振幅でも、16ビット量子化は悪くなく、rms誤差が-122dBcより良いことに注目してください。各相は座標軸に合わせているわけではないため、フルスケールより0.16dB大きな振幅も許容できることにも注意してください。

表VI プログラム・レジスタ

チャンネル・レジスタ	振幅M	振幅E 0x7F53
0x12	$M \cdot 3 \cos(p/16)$	0x7CE1
0x13	$M \cdot 3 \cos(3p/16)$	0x69DE
0x14	$M \cdot 3 \cos(5p/16)$	0x46BD
0x15	$M \cdot 3 \cos(7p/16)$	0x18D7

PSK変調器は、上表の4個のチャンネル・レジスタを使用し、表VIIに従って16位相を組み立てます。

表VII PSK変調器の位相

位相	I値	Q値
0	0x12	0x15
1	0x13	0x14
2	0x14	0x13
3	0x15	0x12
4	- 0x15	0x12
5	- 0x14	0x13
6	- 0x13	0x14
7	- 0x12	0x15
8	- 0x12	- 0x15
9	- 0x13	- 0x14
10	- 0x14	- 0x13
11	- 0x15	- 0x12
12	0x15	- 0x12
13	0x14	- 0x13
14	0x13	- 0x14
15	0x12	- 0x15

以下の3つの節では、各PSK変調モードでの位相値の発生方法を説明します。

/4-DQPSK変調

チャンネル・レジスタ0x0C : 6~4に001bを設定すると、IS-136準拠の /4-DQPSK変調が選択されます。位相ワードは、次の図に従って計算されます。シリアル入力ワードのLSBの2ビットにより、ペイロード・ビットが1シンボル当たり1回更新されます。QPSKマッパーはデータ依存のスタティック位相ワード(Sph)を生成し、時間依存の回転位相ワード(Rph)にこれが加算されます。Rphは、RCFがリセットされたとき、または同期パルスを使ってモードを切り替えたときに、ゼロから開始されます。その他の場合は、Rphは各シンボル毎に2だけインクリメントされます。

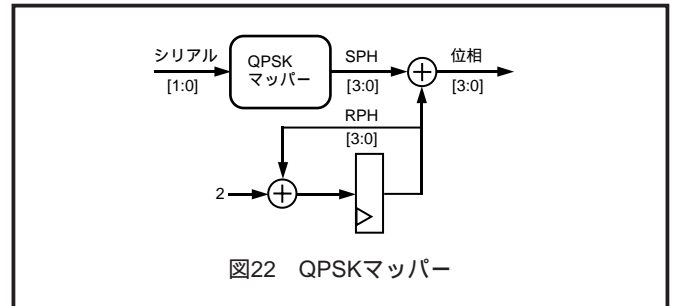


図22 QPSKマッパー

Sphワードは、次の真理値表に従ってQPSKマッパーが計算します。

表VIII QPSKマッパーの真理値表

シリアル [1 : 0]	Sph [3 : 0]
00b	0
01b	4
11b	8
10b	12

8-PSK変調

チャンネル・レジスタ0x0C : 6~4に101bを設定すると、IS-136 + 準拠の8-PSK変調が選択されます。位相ワードは、次の図に従って計算されます。シリアル入力ワードのLSBの3ビットにより、ペイロード・ビットが1シンボル当たり1回更新されます。

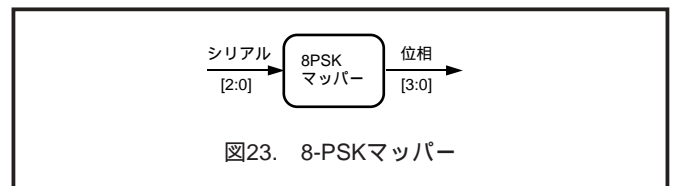


図23. 8-PSKマッパー

位相ワードは、次の真理値表に従って8-PSKマッパーが計算します。

表IX 8-PSKマッパーの真理値表

シリアル [2 : 0]	Sph [3 : 0]
111b	0
011b	2
010b	4
000b	6
001b	8
101b	10
100b	12
110b	14

3 /8-8-PSK変調

チャンネル・レジスタ0x0C : 6~4に110bを設定すると、EDGE準拠の3/8-8-PSK変調が選択されます。位相ワードは、次の図に従って計算されます。シリアル入力ワードのLSBの3ビットにより、ペイロード・ビットが1シンボル当たり1回更新されます。8-PSKマッパーはデータ依存のスタティック位相ワード(Sph)を生成し、時間依存の回転位相ワード(Rph)にこれが加算されます。8-PSKマッパーの動作は、前述の8-PSK変調の場合の動作と同じです。Rphは、RCFがリセットされたとき、または同期パルスを使ってモードを切り替えたときに、ゼロから開始されます。その他の場合は、Rphは各シンボル毎に3だけインクリメントされます。

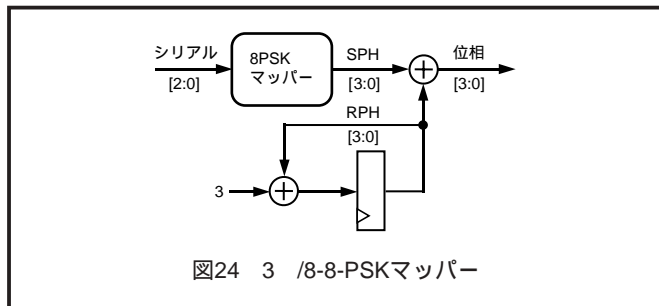


図24 3 /8-8-PSKマッパー

MSKルックアップ・テーブル

RCFのMSKルックアップ・テーブル・モードは、制御レジスタ0x10Cで選択します。MSKモードでは、インパルス応答の4個のシンボルに基づいて任意のRCFパルス整形を実行します。MSKモード(3、[16]ビット)の場合、シリアル入力フォーマットは11ビットのスケール(MSB先頭)で、1ビットのデータが後に続きます。この11ビットを使って入力データをスケールすることができます。

GMSKルックアップ・テーブル

RCFのGMSKルックアップ・テーブル・モードは、制御レジスタ0x10Cで選択します。GMSKモードでは、インパルス応答の4個のシンボルに基づいて任意のRCFパルス整形を実行します。GMSKモード(3、[16]ビット)の場合、シリアル入力フォーマットは11ビットのスケール(MSB先頭)で、1ビットのデータが後に続きます。この11ビットを使って入力データをスケールすることができます。

QPSKルックアップ・テーブル

RCFのQPSKフィルタ・モードは、制御レジスタ0xX0Cで選択します。QPSKモードでは、RCFはフィルタ・インパルス応答の最大12個のシンボルに基づいて、ベースバンド・リア・パルス整形を実行します。QPSKモード(3、[16]ビット)の場合、シリアル入力フォーマットは13ビットのスケール(MSB先頭)で、1ビットのIと1ビットのQが後に続きます。この13ビットを使って入力データをスケールすることができます。

位相イコライザ

IS-95標準では、基地局のベースバンド送信側のマッチド・フィルタリングの後ろに位相イコライザが挿入されます。このフィルタは基地局で送信信号に予め歪みを与えておいて(プリディストーション)、ハンドセットのアナログ・ベースバンド・フィルタによって受信信号に導入される歪みを補償できるようにしています。AD6623は、この機能を無限インパルス応答(IIR)オールパス型フィルタの形式でRCF内に内蔵しています。この位相等化プリディストーション・フィルタは、次の伝達関数を持っています。

$$H(z) = \frac{Y(z)}{X(z)} = \frac{1 + b_1z + b_2z^2}{z^2 + b_1z + b_2} \quad (9)$$

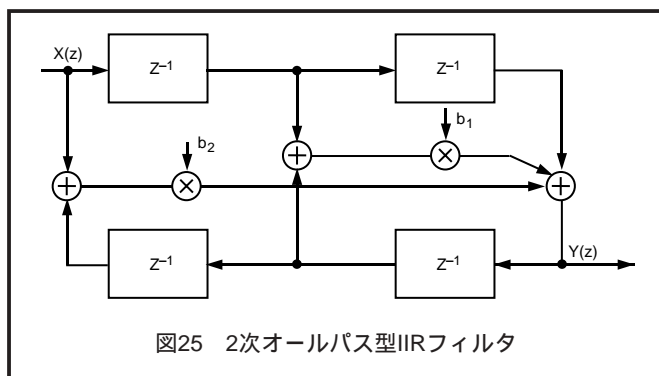


図25 2次オールパス型IIRフィルタ

位相イコライザは制御レジスタ0xn0Dのビット5でイネーブル / ディス

エーブルされます。係数 b_1 と b_2 はそれぞれ制御レジスタ0xn10と0xn11に配置されています。

b_1 と b_2 のフォーマットは(-2、2)範囲の2の補数の小数バイナリです。最上位ビットはビットの符号で、残りの15ビットは振幅を表します。1ビットの値は $(2^{-15}) \times 2$ 、すなわち0.00006103515625です。表Xに、レジスタ値(16進数)および、正側フルスケールからゼロを通過して負側フルスケールまでの対応重み係数を示します。

表X 重み係数

レジスタ値	重み係数
0x7FFF	1.999938964844
..	
0x0001	0.00006103515625
0x0000	0
0xFFFF	- 0.00006103515625
..	
0x8001	- 1.999938964844
0x8000	- 2

表XIに、それぞれのオーバーサンプリング・レートに対する係数 b_1 と b_2 の推奨値を示します。

表XI 係数 b_1 、 b_2

オーバーサンプリング	b_0	b_1	b_2
4	1	- 1.45514	0.57832
5	1	- 1.56195	0.64526
6	1	- 1.63412	0.69414
8	1	- 1.72513	0.76047

スケールおよびランブ

スケール・ファクタの範囲は0 ~ [CHF]-1/[CHF]が可能で、分解能は1/[CHF]です。

微調整スケール

AD6623では、RCF出力信号の微調整スケールが可能で、マイクロポートを経由して、12~14ビットのスケール係数が使用できます。マイクロポート微調整スケール係数は、チャンネル・レジスタ0xn0Eに配置されています。

RCFパワー・ランピング

RCF出力は、14ビットのランピング・プロファイルが乗算された後にCICフィルタに入力されます。チェーン内でRAMPビットが機能するとき、ランピング係数によるインデックス動作を開始させるのはRAMプログラマブル・エンジンです。プログラマブルなサンプル数をカウントし、次に逆向きにランピング・ダウンします。この機能により、DACに応じた適度なレートでランピング値が更新できるようになり、かつランピングに対応するスペクトル・リークを持ち続けることができます。ユーザーはマイクロポートを使ってランピング係数値、ランピング・アップするサンプル数、空中インターフェース標準を指定する1ビットを入力する必要があります。このプログラマブルなパワー・ランピング・アップ / ダウン・ユニットにより、幾つかのワイヤレス送信技術(例えばTDMA)で規定されるタイム・スロット・ベースのパワー・ランピングが可能になります。

カスケード積分型コーム(CIC)補間フィルタ

RCFステージからのI出力とQ出力は、2個のカスケード積分型コーム(CIC)フィルタで補間されます。CICセクションは、5次フィルタ(CIC5)、2次リサンプリング・フィルタ(rCIC2)、スケール・ブロック(CICスケール)の3個のブロックに分割されます。CIC5ブロックとrCIC2ブロックは、それぞれのレート変化係数(L_{rCIC2} 、 M_{rCIC2} 、 L_{CIC5})に対応して変化するゲインを持っています。このゲインの積は共用CICスケール・ブロックで補償される必要があり、6dB以内で実行することができます。残りの補償はRCF(係数スケール)の形、またはスケール微調整ユニットで行います。

AD6623

CICスケールリング

スケール係数 S_{CIC} は、プログラブルな符号なし整数(4~32)です。CIC5ステージとrCIC2ステージのスケールリングを組み合わせています。CICセクションの全体ゲインは次式で与えられます。

$$CIC_Gain = L_{CIC5}^4 \times L_{rCIC2} \times 2^{-S_{CIC}} \quad (10)$$

CIC5

初段のCICフィルタ・ステージ(CIC5)はカスケード積分型5次コーム補間フィルタであり、インパルス応答はその補間係数 L_{CIC5} で完全に決定されます。値 $L_{CIC5}-1$ は、各チャンネルにロケーション0xn09で独立に書き込むことができます。

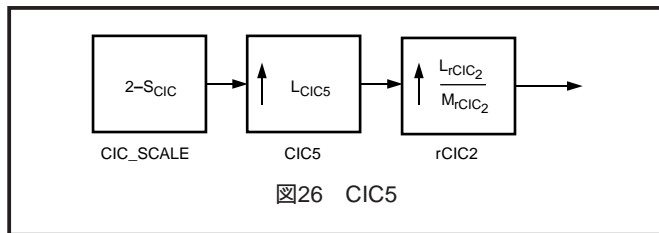


図26 CIC5

この制御レジスタは8ビット幅ですが、 L_{CIC5} の範囲は1~32に制限して、フルスケール入力で内部オーバーフローが発生する可能性を防ぐ必要があります。このステージの出力レートは次式で与えられます。

$$f_{CIC2} = f_{CIC5} \times L_{CIC5} \quad (11)$$

CIC5の伝達関数は、CIC5の出力サンプル・レート f_{samp5} に対して、次式で与えられます。

$$CIC5(z) = \left(\frac{1 - z^{-L_{CIC5}}}{1 - z^{-1}} \right)^5 \quad (12)$$

SCIC値は、制御レジスタ0xn06で各チャンネルに独立に設定することができます。 S_{CIC} はCICステージのネット・ゲインを保証する式(13)を使って計算することができます。SCICは、CIC出力ビットの中からNCOステージに転送するビットを指定する機能を持っています。この機能により、CICステージからのデータ出力を6dB単位で制御することができます。最適なダイナミックレンジを得るには、 S_{CIC} はオーバーフロー状態を発生しない、可能な限り小さい値(最小の減衰)に設定する必要があります。これは次式で計算することができます。CIC出力データを範囲内に納めるには、常に式(13)を満たす必要があります。最大合計補間レートは使用可能なスケールリング量によって制限されます。

$$S_{CIC} \geq \text{cei}(4 \times \log_2(L_{CIC5}) + \log_2(L_{CIC2})) \quad (13)$$

$$0 \leq S_{CIC} \leq 58 \quad (14)$$

この多項式は次のように簡単になり、すべての L_{CIC5} 値に対して完全な位相直線性を持つ有限インパルス応答であることを示します。

$$CIC5(z) = \left(\sum_{k=0}^{L_{CIC5}-1} z^{-k} \right)^5 = \sum_{k=1}^{L_{CIC5}-1} \left(z^{-1} - e^{j^2 \frac{k}{L_{CIC5}}} \right)^5 \quad (15)$$

CIC5の周波数応答は、次のように表すことができます。初期 $1/L_{CIC5}$ 係数はレートの増加に対して正規化され、これはサンプルがゼロ次ホールド出力を持つDACに出力される場合には適切です。最大ゲインはベースバンドで L_{CIC5}^4 ですが、

内部レジスタは種々のダイナミック入力に対する応答ではピークを持ちます。 L_{CIC5} が32以下に制限されている限り、レジスタでオーバーフローが発生することはありません。

$$CIC5(f) = \frac{1}{L_{CIC5}} \frac{\left(\frac{\sin\left(\frac{L_{CIC5} \times f}{f_{CIC5}}\right)}{\sin\left(\frac{f}{f_{CIC5}}\right)} \right)^5}{\sin\left(\frac{f}{f_{CIC5}}\right)} \quad (16)$$

CIC5の通過帯域ドロープはこの式で計算することができ、RCFステージで補償することができます。ゲインは、上のCICスケールリングの説明から計算されます。

一例として、帯域幅がRCF出力レートの0.141倍で、ベースバンドに中心を持つRCFからの入力を考えます。係数5での補間により、次に示す5個のイメージが発生します。

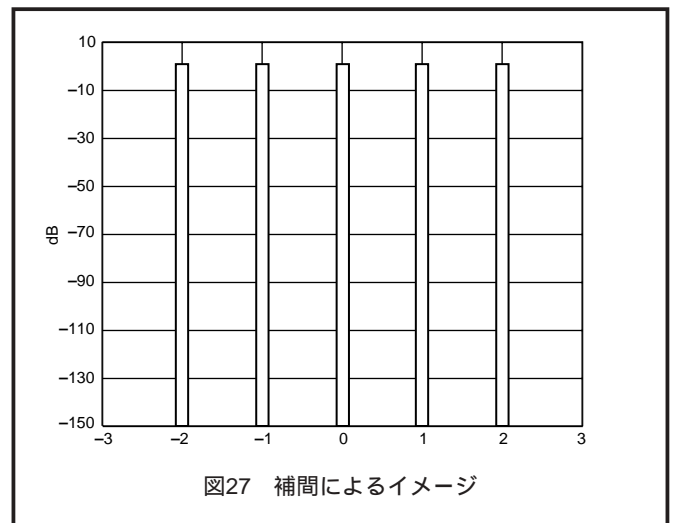


図27 補間によるイメージ

CIC5は不要な各イメージを阻止して、ベースバンドのイメージは通過させます。チャンネル中央(DC)にある単一周波のイメージは完全に除かれますが、帯域幅が広がるほど除去の程度が減少します。最初のイメージの低帯域側は常に最小の減衰になります。この例では、CIC5が係数5で補間を行い、入力信号はRCF出力サンプル・レートの0.141倍の帯域幅を持ちます。下に示す曲線は、最初のイメージの低帯域側で-110dBcの除去比を示しています。他のすべてのイメージ周波数では優れた減衰を示しています。

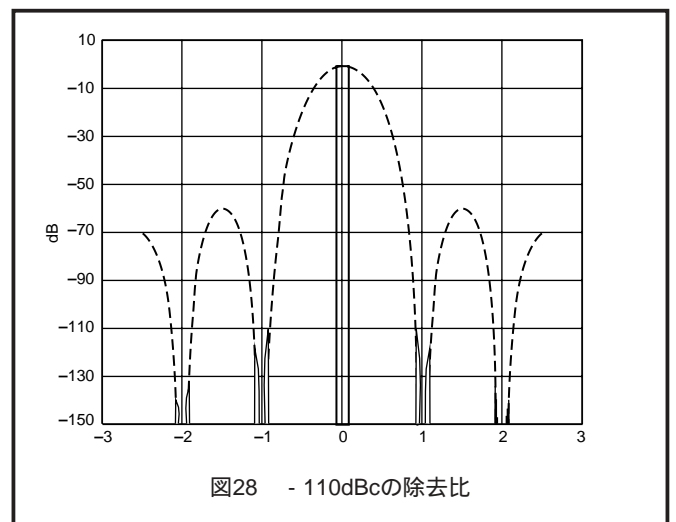


図28 - 110dBcの除去比

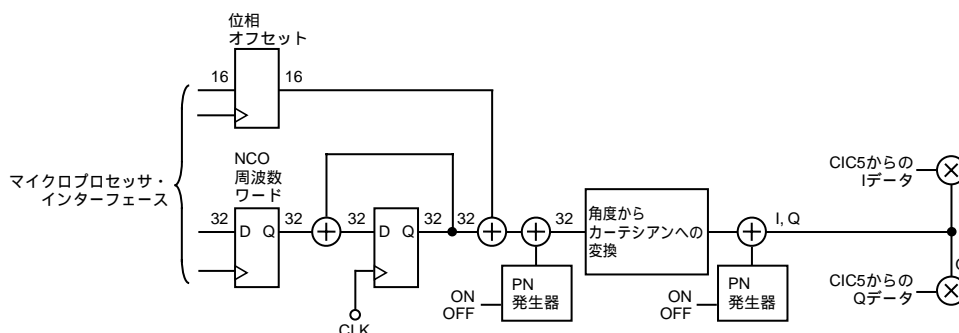


図31 数値制御オシレータとQAMミキサー

デジタルIFは次式を使って計算します。

$$f_{IF} = f_{NCO} \times \frac{NCO_frequency}{2^{32}} \quad (21)$$

ここで、

f_{NCO} は0xn02に書き込まれる値、

f_{IF} は所望の中間周波数、

f_{NCO} は複素数出力の場合 $f_{CLK}/2$ 、実数出力の場合 f_{CLK} 。

位相ディザ

AD6623は、NCOのスプリアス性能を向上させる位相ディザ・オプションを用意しています。チャンネル・レジスタ0xn01のビット3に“1”を書き込むと、位相ディザがイネーブルされます。位相ディザがイネーブルされると、NCO内での位相切り捨てにより発生するスプリアスがランダム化されます。システム内での位相ディザの使用/不使用は、最終的にはシステム目標およびIF周波数の選択によって決定されます。角度からカーテシアンへの変換では、位相加算器の上位18ビットを使います。NCO周波数の18ビット目より下位のビットがすべてゼロの場合は、位相ディザは効果を持ちません。18ビット目より下位の部分の大きさが18ビット目の1/2または1/3付近の場合は、スプリアスはIFから独立して、CLK周波数の1/2または1/3ずつ累積されます。この残留部の分母が小さいほど、位相切り捨てに起因するスプリアスは大きくなります。所与の周波数に対して位相切り捨てスプリアスが許容できないほど大きい場合は、全体誤差エネルギーはわずかに増えますが、位相ディザがこれらを削減することができます。位相切り捨てスプリアスが小さい場合は、位相ディザは削減に効果がなく、全体誤差エネルギーもわずかに増えてしまいます。

振幅ディザ

NCOのスプリアス性能を向上させるために、振幅ディザも使用できます。チャンネル・レジスタ0xn01のビット4に“1”を書き込むと、振幅ディザがイネーブルされます。振幅ディザがイネーブルされると、QAM入力での切り捨てによって発生するスプリアスがランダム化されます。周波数ワード全体が小さい分母を持つ小数値に近い場合、振幅切り捨てに起因するスプリアスは大きくなり、振幅ディザはこれらのスプリアスを効果的に拡散させます。また、振幅ディザは合計誤差エネルギーを約3dB増加させます。このため、振幅ディザは注意深く使う必要があります。

位相オフセット

位相オフセット(チャンネル・レジスタ0xn04)は、NCOの位相加算器にオフセットを追加します。位相オフセットは16ビ

ット・レジスタであり、16ビット符号なし整数として扱われます。位相オフセット範囲は0～約2 ラジアンで、 $1/32768$ ラジアンの分解能を持っています。このレジスタにより、複数のNCOを同期させて、既知の位相関係を持つ複数の正弦波を発生することができます。

NCO周波数更新および位相オフセット更新ホールドオフ・カウンタ

NCO周波数と位相オフセットの更新は、内部ホールドオフ・カウンタで同期させることができます。両カウンタは16ビット符号なし整数で、マスターCLKレートでクロック駆動されます。これらのホールドオフ・カウンタを周波数オフセット・レジスタまたは位相オフセット・レジスタと組み合わせると、ビーム形成と周波数ホッピングが可能になります。詳細は、データシートの「同期」を参照してください。また、チャンネル・レジスタ0xn01のビット2をハイレベルに設定すると、Sync信号(0x0000に設定)でNCO位相をクリアすることができます。

NCO制御スケール

NCOの出力は、チャンネル・レジスタ0xn01のビット1～0を使って、6dBずつ4ステップでスケールリングすることができます。表XVに、NCO制御スケールの詳細を示します。I入力とQ入力が同時にフルスケールに到達する可能性を許容するため、NCOは常に損失が生じるようになっており、入力振幅に対して3dB減衰になります。

表XV NCO制御スケール

0xn01ビット1	0xn01ビット0	NCO出力レベル
0	0	- 6dB (減衰なし)
0	1	- 12dB減衰
1	0	- 18dB減衰
1	1	- 24dB減衰

加算ブロック

AD6623の加算ブロックは、各チャンネルの出力を加算して合成マルチキャリア信号を発生する機能を持っています。4つのチャンネルが加算され、さらにその和は18ビット広帯域入力バス(IN[17:0])と加算されます。最終加算結果は、高速クロックの立ち上がりエッジで18ビット広帯域出力バス(OUT[17:0])に出力されます。OEN入力が高レベルになると、この出力バスはスリーステートになります。OEN入力が高レベルになると、加算されたデータがこのバスに出力されます。OENがアクティブ・ハイなため、ロジックの追加なしで、広帯域出力バスを他のバスに接続することができます。他の多くのバス(374タイプのレジスタなど)はローレベル

AD6623

(AD6623のOENとは反対)の出力イネーブルが必要なため、回路の追加が不要です。

広帯域パラレル入力IN[17:0]は、デュアル・パラレル出力をサポートするため双方向になっています。各パラレル出力は、4個の内部TSPの内の2個と、2個のDACを駆動できるAD6623の和を出力します。チャンネルは(A + B)、(C + D)の対として加算されます(図32)。

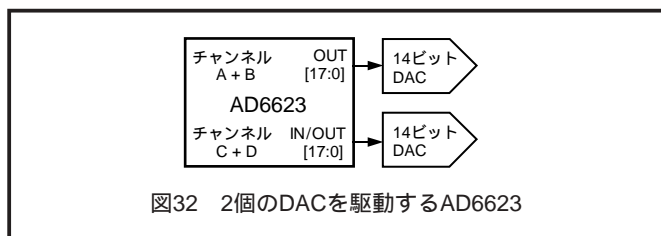


図32 2個のDACを駆動するAD6623

広帯域出力バスは、加算モード制御レジスタ(アドレス0x000)のビット1で指定される2の補数またはオフセット・バイナリ数として解釈されます。このビットがハイレベルの場合は広帯域出力は2の補数モードに、ローレベルの場合はオフセット・バイナリ出力データに設定されます。

広帯域出力バスのMSB (ビット17)は、一般に、加算モード制御レジスタ(アドレス0x000)のビット0がハイレベルのとき、広帯域出力バスをクリッピングするためのガード・ビットとして使われます。クリップ検出機能がイネーブルされると、出力バスのビット17はデータ・ビットとして使用されません。代わりに、ビット16がMSBになり、DACのMSBに接続されます。DACをこのように設定すると、加算ブロックのゲインは0dBになります。クリップ検出機能がディスエーブルされて、ビット17がデータ・ビットとして使われる場合は、加算ブロックのゲインは-6.02dBになります。

データ出力モードは2種類あります。1つ目はオフセット・バイナリで、このモードはオフセット・バイナリDACを駆動する場合にのみ使われます。2の補数モードは次の2つのいずれかの場合に使うことができます。1つの場合は、2の補数データを受け取るDACを駆動する場合です。2つ目は、カスケード・モードでもう1つのAD6623を駆動する場合です。

クリッピングがイネーブルされると、2の補数モード出力バスは、表現できるレベルを上回る出力信号を0x2FFFFにクリップし、表現できるレベルを下回る出力信号を0x3000にクリップします。オフセット・バイナリ・モードでは、出力バスは、表現できるレベルを上回る出力信号を0x3FFFFにクリップし、表現できるレベルを下回る出力信号を0x2000にクリップします。

広帯域入力には常に18ビットの2の補数として解釈され、通常は、もう1つのAD6623の広帯域出力バスに接続されて、1つのDACに4つ以上のキャリアを送れるようにします。先行するAD6623の出力バスは2の補数モードに設定し、クリップ検出機能はディスエーブルしておく必要があります。18ビットの分解能が、加算されるキャリア数が増えても、広帯域データ・ストリームのノイズ性能とスプリアス性能が制約要因にならないことを保証しています。

広帯域入力バスから広帯域出力バスまでには、2クロック・サイクルのレイテンシがあります。レイテンシは、スタート・ホールドオフ・カウンタを使ってシステム外部からキャリブレーションすることができます。カスケード・チェーン内の先行のAD6623は、次のAD6623のスタートより2クロック・サイクル先にスタートすることができ、各々のAD6623から出力されるデータは同じクロック・サイクルでDACに到達します。個々の信号が相互に関係しないシステムでは、これは必要ありません。

AD6623は、実数データと複素数データの両方を出力することができます。実数モードの場合、QIN入力はローレベルに接続されて、広帯域入力バス上のすべての入力が実数であり、広帯域出力バス上のすべての出力が実数であることを示します。広帯域入力バスは使用されない場合(接続されない場合)はローレベルになり、コンボジット信号へのデータの加算は行われません。

複素数データが必要な場合には、2つの方法により実現することができます。最初の方法は、AD6623のQIN入力をハイレベルに設定し、広帯域入力バスをローレベルに設定する方法です。この設定により、AD6623は広帯域出力バス上に複素数データを出力するようになります。QOUTのローレベルでIデータ・サンプルが、QOUTのハイレベルでQデータ・サンプルが、それぞれ識別されます。複素数データを得る2つ目の方法は、CLKの各立ち上がりエッジでグルするQIN信号を入力する方法です。これは、もう1つのAD6623のQOUTをQINに接続することにより実現されます(図33)。カスケード接続されたシステムでは、チェーンの最初のAD6623のQINは通常ハイレベルに接続され、最初のAD6623のQOUTは次のデバイスのQINに接続されます。すべてのAD6623はQIN入力に自己同期化されるため、正当なサンプルが常に得られる広帯域出力バスは有効な複素数データ・サンプルを出力します。表XVに、様々なパラレル入力および出力データ・バスのフォーマットをQINとQOUTの機能で示します。

表XV 出力バスの有効なデータ・モード

QIN	広帯域入力 IN[17:0]	出力データ・タイプ OUT[17:0]、QOUT
ローレベル	実数	実数
ハイレベル	ゼロ	複素数
パルス	複素数	複素数

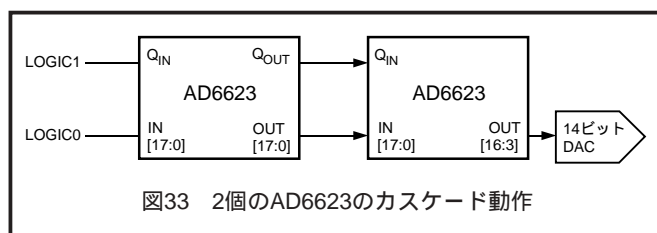


図33 2個のAD6623のカスケード動作

同期

AD6623では、スタート、ホップ、ビームの3種類の同期が可能で、各々について以下に詳しく説明します。同期は、シャドウ・レジスタとホールドオフ・カウンタを使って行われます。図34に、NCOシャドウ・レジスタとNCO周波数ホールドオフ・カウンタの基本動作を説明した回路の略図を示します。ホールドオフ・カウンタ用クロック(AD6623 CLK)のイネーブルは、Soft_Sync (マイクロポート経由)、またはSyncピン(AD6623のSyncピン、ピン62経由)で行えます。シャドウ・レジスタを含む同期を可能にする機能には、次の動作が含まれます。

1. スタート
2. ホップ(NCO周波数)
3. ビーム(NCO位相オフセット)

スタート

個々のチャンネル、デバイス、または複数のデバイスのスタートアップを意味します。チャンネルを使用しない場合は、スリープ・モードに設定して消費電力を節約します。ハード・リセット(AD6623のRESETピンにロー・パルスを入力)後は、すべてのチャンネルはスリープ・モードになります。

同期なしのスタート

複数のチャンネルまたは複数のAD6623の起動時で、同期が不要な場合、次の方法を使ってデバイスを初期化します。

1. チャンネルを設定するため、まずプログラム・モード(ビット・ハイ)とスリープ・モード(ビット・ハイ) (外部アドレス4)に設定します。プログラム・モードでは、データ・メモリと係数メモリの書き込みが可能です(他のすべてのレジスタはプログラム・モードか否かにかかわらず、書き込み可能)。同期が不要なので、すべてのSyncビットをローレベルに設定します(外部アドレス5)。すべての該当する制御レジスタとメモリ・レジスタ(フィルタ)に書き

込みを行います。スタート更新ホールドオフ・カウンタ(0xn00)に0を設定します。

2. 該当するプログラム・ビットとスリープ・ビットにローレベルを設定します(外部アドレス4)。これでチャンネルがイネーブルされます。チャンネルをアクティブにするには、プログラム・モードとスリープ・モードがローレベルである必要があります。

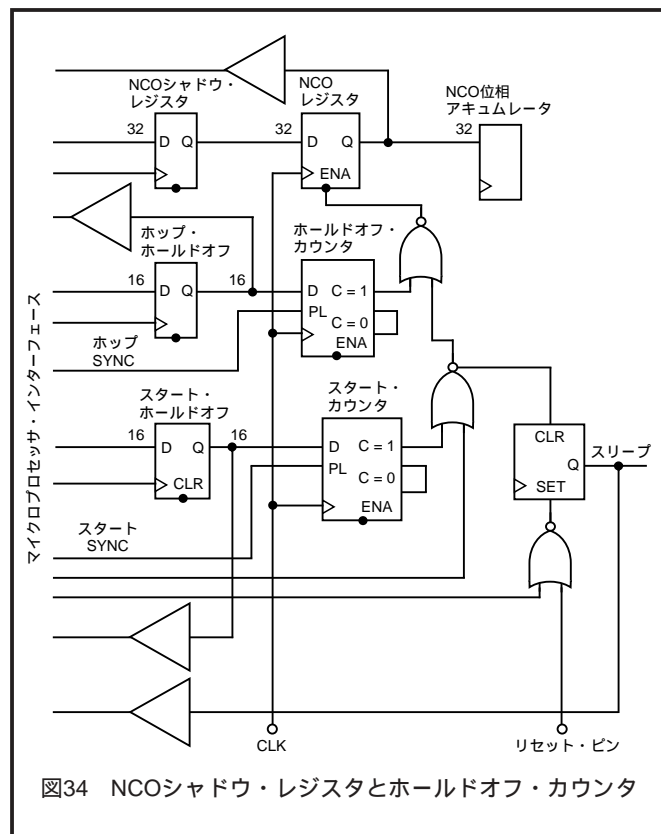


図34 NCOシャドウ・レジスタとホールドオフ・カウンタ

ソフト同期によるスタート

AD6623には、マイクロプロセッサの制御のもとで複数のチャンネルまたはデバイスを同期させる機能が内蔵されています。同期に必要な動作は、複数のチャンネルまたはデバイスを起動させることです。スタート更新ホールドオフ・カウンタ(0xn00)と、スタート・ビットおよびSyncビット(外部アドレス5)との組み合わせにより、同期が可能になります。基本的には、スタート更新ホールドオフ・カウンタがチャンネルの起動を、カウンタ値(AD6623のCLK数)だけ遅延させます。マイクロプロセッサ制御で複数のチャンネルの起動を同期させるには、次の方法で行います。

1. 該当するチャンネルをスリープ・モードに設定します(AD6623のリセットピンでハード・リセットを行うと、4チャンネルすべてがスリープ・モードになります)。
2. スタート更新ホールドオフ・カウンタ(0xn00)に、該当する値(1より大きく $2^{16}-1$ より小さい値)を書き込みます。デバイスが初期化されていない場合、この段階で他のすべてのレジスタに書き込みを行います。
3. スタート・ビットとSyncXビットにハイレベルを書き込みます(外部アドレス5)。
4. これにより、スタート更新ホールドオフ・カウンタのカウンタ・ダウンが開始されます。カウンタはAD6623のCLK信号でクロック駆動されます。カウンタが設定値に達すると、該当するチャンネルのスリープ・ビットがローレベルに設定され、チャンネルがアクティブになります。

Syncピンによるスタート

最も正確な同期、特に複数のAD6623間での正確な同期用として、

AD6623にSyncピンが用意されています。外部信号によるスタートの同期は、次の方法で行われます。

1. 該当するチャンネルをスリープ・モードに設定します(AD6623のリセットピンでハード・リセットを行うと、4チャンネルすべてがスリープ・モードになります)。
2. スタート更新ホールドオフ・カウンタ(0xn00)に、該当する値(1より大きく $2^{16}-1$ より小さい値)を書き込みます。デバイスが初期化されていない場合、この段階で他のすべてのレジスタに書き込みを行います。
3. Syncピンのビットにスタートを設定し、該当するSyncピン・イネーブルをハイレベルに設定します(0xn01)。
4. AD6623のCLKがSyncピンのハイレベルをサンプルすると、スタート更新ホールドオフ・カウンタのカウンタ・ダウンが開始されます。カウンタはAD6623のCLK信号でクロック駆動されます。カウンタが設定値に達すると、該当するチャンネルのスリープ・ビットがローレベルに設定され、チャンネルがアクティブになります。

ホップ

ホップとは、あるNCO周波数から新しいNCO周波数にジャンプすることを意味します。この周波数の変化を、次に説明するように、マイクロプロセッサ制御または外部同期信号によって同期させることができます。

同期なしでNCO周波数を設定するときにも、下の方法を用います。

ホップなしでの周波数設定

1. NCO周波数ホールドオフ・カウンタに0を設定します。
2. 該当するNCO周波数を書き込みます。新しい周波数が直ちにNCOに書き込まれます。

ソフト同期によるホップ

AD6623には、マイクロプロセッサ制御のもとで複数のチャンネルまたはデバイスのNCO周波数の変化を同期させる機能が内蔵されています。NCO周波数ホールドオフ・カウンタ(0xn03)と、ホップ・ビットおよびSyncビット(外部アドレス5)の組み合わせにより、同期が可能になります。基本的には、NCO周波数ホールドオフ・カウンタが、新しい周波数のNCOへの書き込みをカウンタ値(AD6623のCLK数)だけ遅延させます。マイクロプロセッサ制御で複数のチャンネルの周波数ホップを同期させるには、次の方法で行います。

1. NCO周波数ホールドオフ(0xn03)カウンタに、該当する値(1より大きく $2^{16}-1$ より小さい値)を書き込みます。
2. NCO周波数レジスタに所望の新しい周波数を書き込みます。
3. ホップ・ビットとSyncビットにハイレベルを書き込みます(外部アドレス5)。
4. これにより、NCO周波数ホールドオフ・カウンタのカウンタ・ダウンが開始されます。カウンタはAD6623のCLK信号でクロック駆動されます。カウンタが設定値に達すると、新しい周波数がNCOに書き込まれます。

Syncピンによるホップ

最も正確な同期、特に複数のAD6623間での正確な同期用として、AD6623にSyncピンが用意されています。外部信号による新しいNCO周波数へのホッピングの同期は、次の方法で行われます。

1. NCO周波数ホールドオフ・カウンタ(0xn03)に該当する値(1より大きく $2^{16}-1$ より小さい値)を書き込みます。
2. NCO周波数レジスタに所望の新しい周波数を書き込みます。
3. Syncピンのビットにホップを設定し、該当するSyncピン・イネーブルをハイレベルに設定します(0xn01)。
4. AD6623のCLKがSyncピンのハイレベルをサンプルすると、NCO周波数ホールドオフ・カウンタのカウンタ・ダウンが開始されます。カウンタはAD6623のCLK信号でクロック駆動されます。カウンタが設定値に達すると、新しい周波数がNCOに書き込まれます。

AD6623

ビーム

特定チャンネルの位相を変化させ、その変化を他のチャンネルまたはAD6623に同期させることができます。この位相変化はマイクロプロセッサ制御または外部同期信号を使って同期させることができます。同期なしで振幅を設定するときは、次の方法を使います。

ビームなしでの位相設定

1. NCO位相オフセット更新ホールドオフ・カウンタ(0xn05)に0を設定します。
2. 該当するNCO位相オフセット(0xn04)を書き込みます。NCO位相オフセットは直ちに書き込まれます。

ソフト同期によるビーム

AD6623には、マイクロプロセッサ制御で複数のチャンネルまたはデバイスのNCO位相の変化を同期させる機能が内蔵されています。NCO位相オフセット更新ホールドオフ・カウンタと、ビーム・ビットおよびSyncビット(外部アドレス5)の組み合わせにより、同期が可能になります。基本的には、NCO位相オフセット更新ホールドオフ・カウンタが、新しい位相のNCO/RCFへの書き込みをカウンタ値(AD6623のCLK数)だけ遅延させます。マイクロプロセッサ制御によって複数のチャンネルの位相のビームを同期させるには、次の方法を使います。

1. NCO位相オフセット更新ホールドオフ・カウンタ(0xn05)に該当する値(1より大きく $2^{16}-1$ より小さい値)を書き込みます。
2. NCO位相オフセット・レジスタに所望の新しい位相と振幅を書き込みます。
3. ビーム・ビットとSync(s)ビットにハイレベルを書き込みます(外部アドレス5)。
4. これにより、NCO位相オフセット更新ホールドオフ・カウンタのカウント・ダウンが開始されます。カウンタはAD6623のCLK信号でクロック駆動されます。カウンタが設定値に達すると、新しい位相がNCOに書き込まれます。

Syncピンによるビーム

最も正確な同期、特に複数のAD6623間での正確な同期用として、AD6623にSyncピンが用意されています。外部信号による新しいNCO位相オフセットへのビームの同期は、次の方法で行われます。

1. NCO位相オフセット・ホールドオフ・カウンタ(0xn05)に該当する値(1より大きく $2^{16}-1$ より小さい値)を書き込みます。
2. NCO位相オフセット・レジスタに所望の新しい位相と振幅を書き込みます。
3. Syncピンのビットにビームを設定し、該当するSyncピン・イネーブルをハイレベルに設定します(0xn01)。
4. AD6623のCLKがSyncピンのハイレベルをサンプルすると、NCO位相オフセット・ホールドオフ・カウンタのカウント・ダウンが開始されます。カウンタはAD6623のCLK信号でクロック駆動されます。カウンタが設定値に達すると、新しい位相がNCOレジスタに書き込まれます。

JTAGインターフェース

AD6623は、IEEE標準1149.1仕様のサブセットをサポートしています。この標準の詳細は、IEEEから出版されている「IEEE Standard Test Access Port and Boundary-Scan Architecture, IEEE-1149」を参照してください。AD6623は、JTAGインターフェースに対応する5本のピンを持っています。このピンは内蔵のテスト・アクセス・ポートをアクセスするときに使います(表XVII)。

表XVII テスト・アクセス・ポートのピン

名前	ピン番号	説明
TRST	100	テスト・アクセス・ポートのリセット
TCK	101	テスト・クロック
TMS	106	テスト・アクセス・ポートのモード・セレクト
TDI	108	テスト・データ入力
TDO	107	テスト・データ出力

IEEE標準1149.1とは反対に、TCKとTDIは内部でプルダウンされていることに注意してください。このピンは外部プルアップ抵抗に接続することができますが、プルアップ抵抗を流れる電流分が増えます。また、開放にしておくこともできます。表XVIIIに、AD6623がサポートしている4つのオペコードを示します。インストラクションがJTAGインターフェースのモードを設定します。

表XVIII オペコード

インストラクション	オペコード
IDCODE	10
BYPASS	11
SAMPLE/PRELOAD	01
EXTEST	00

ベンダー識別コード(表XIX)はIDCODEインストラクションを使ってアクセスすることができ、次のフォーマットを持っています。

表XIX ベンダー識別コード

MSBバージョン	製品番号	メーカーID番号	必須LSB
0000	0010 0111 1000 0000	000 1110 0101	1

このデバイスのBSDLファイルは当社が提供しています。詳細は、当社にお尋ねください。

スケーリング

AD6623のスプリアス性能とノイズ性能を最適にするには、広帯域出力の正しいスケーリングが重要です。データ・パス内の比較的小さいオーバーフローでも、スプリアス・フリー・ダイナミックレンジを急に低下させます。また、出力レベルをスケール・ダウンしても、ほぼ一定のノイズ・フロアに対するダイナミックレンジが減ります。信号パス内の各ポイントでの均衡の取れたスケーリング・プランは、最適性能を得るために必要です。スケーリング・プランは、マルチキャリア・スケーリングとシングルキャリア・スケーリングの2つの部分に分けることができます。

マルチキャリア・スケーリング

任意数のAD6623をカスケード接続して、多くのキャリアを持つ合成デジタルIFを作成できます。キャリア数が増えると、合成デジタルIFのピーク対RMS比も大きくなります。注意深い周波数プランニングと位相オフセット制御によって、ピーク対RMS比を制限することは可能で有益です。それでも、キャリア数が多いケースのほとんどでは、ワーストケース・ピークは発生しません。

DACの直前に位置するAD6623で、ラップ・アラウンド処理ではなくクリップ処理するように設定することができます(「加算ブロック」参照)。キャリア数が多い場合には、AD6623広帯域出力でのクリッピングはめったにありませんが、クリッピングが不可能なレベルまで各キャリア・レベルを小さくする方法に比べて、優れたダイナミックレンジを得ることができます。このケースは多くのDACにもあてはまります。解析または実測により、特定のDACに対する個々のキャリアの最適出力レベルを決定することができます。

シングルキャリア・スケーリング

各キャリアの最適な電力レベルを決定したら、そのレベルを実現できる最適な方法を探す必要があります。各処理ステージの中間電力レベルを最大化することにより、最大SNRを得ることができます。これは、出力での適切なレベルを想定し、加算、NCO、CIC、ランプ、RCF、微調整スケール・ユニットのパスで調べることで実行することができます。

加算ブロックの目的は、少なくともフルスケールより6dB低い複数のキャリアを加算して1つにまとめることです。この構成の場合、DACを駆動するAD6623はクリップ検出機能がイネーブルされている必要があります。OUT17は、両極のクリッピングを表示するクリップ・インジケータになります。DACがオフセット・バイナリ出力を必要とする場合は、内部オフセット・バイナリ変換もイネーブルする必要があります。カスケード接続での先行AD6623は、クリップ検出機能とオフセット・バイナリ変換をディセーブルしておく必要があります。カスケードの先頭のAD6623のIN17～IN0はグラウンドに接続します。詳細は、「加算ブロック」を参照してください。この構成では、中間のOUT17は中間和がフルスケールを超えることを許容するガード・ビットとして機能します。最終出力がフルスケールを6dB以上上回らない限り、クリップ検出器は正常に動作します。

シングルキャリアで6dBフルスケールを超えることが必要な場合は、表XXIに従ってハードワイヤ・スケーリングを行うことができます。これは、AD6623がUMTSやCDMA 2000のようなシングル広帯域キャリアを処理するときにも最も有効です。

表XXI ハードワイヤ・スケーリング

最大シングル・キャリア・レベル	DAC MSB への接続	クリップの検出	オフセット・バイナリ補償
12.04dB	OUT17		内部
6.02dB	OUT16	±	内部
0dB	OUT15	+ 側のみ	0x08000
+ 6.02dB	OUT14	+ 側のみ	0x0C000

NCO / チューナには、フルスケール以下-6.02dB～-24.08dBの範囲を6.02dBステップで調整する出力スケラが内蔵されています。詳細は、「NCO / チューナ」を参照してください。NCO入力レベルを最大化し、可能な限り大きいNCO減衰を使うことにより、最適SNRが得られます。例えば、フルスケールから-20dBの出力レベルを得るには、CIC出力レベルをフルスケールから-1.94dBに設定し、NCOで-18.06dBの減衰を得る必要があります。

CICには、フルスケール以下0dB～-186.64dBの範囲を6.02dBステップで調整できる出力スケラが内蔵されています。この大きな減衰は、CIC補間によって大きなゲインが発生したときの補償のために必要です。詳細は、「CIC」を参照してください。例えば、27のCIC5補間(114.51dBゲイン)および3のCIC2補間(9.54dBゲイン)で、フルスケールから-1.94dBの出力レベルを得るには、CIC_Scaleを20に設定し、かつ微調整スケール・ユニットの出力レベルをフルスケールから-5.59dBに設定する必要があります。

$$-1.94 - 9.54 - 114.51 + 20 \times 6.02 = -5.59 \quad (22)$$

ランプ・ユニットがバイパスされた場合は、0dBのゲインになり、無視することができます。使用する場合は、ゲインは直前の有効なRMEM位置に保存されている値に依存します。RMEMワードは14ビット[0～1]なので、正側フルスケールの値のときは、ゲインは約-0.0005dBになり、無視できます。

RCF係数は、正側フルスケールに正規化されます。これにより、最大のダイナミックレンジが得られます。RCFには、フルスケール以下0dB～-18.06dBの範囲を6.02dBステップで調整できる出力スケラが内蔵されています。この減衰は、RCFのフィルタ・ゲインの部分的な補償に使うことができます。例えば、RCF係数の最大ゲインが11.26dBである場合、RCF粗調整スケールを2に設定します(12.04dB)。これにより、RCF出力レベルと-0.78dBの微調整スケラ

ル入力レベルが得られます。

$$11.26 - 12.04 = -0.78 \quad (23)$$

微調整スケール・ユニットが-0.78dBレベルから-5.59dBレベルに変化するには、-4.81dBのゲインが必要になり、これは1264hの14ビット[0～2]スケール値に対応します。デバイス動作時のすべての後続の再スケラリングは、この最大値を基準にする必要があります。

$$-5.59 - 0.78 = -4.81 \quad (24)$$

$$\text{floor} \left(10^{\frac{-4.81}{20}} \times 2^{13} \right) = 1264 \text{ h} \quad (25)$$

最後に、「RCF」で説明したように、位相のワーストケース・ピークがチャンネル中央のゲインより大きい場合があります。前の例で、ワーストケースとチャンネル中央の比が4.59dBより大きい場合(RCFオーバーフローの可能性あり)、RCF_Coarse_Scaleを1だけ小さくし、CIC_Scaleを1だけ増やす必要があります。前の例で、ワーストケースとチャンネル中央の比が5.59dBより大きい場合(RCFとCICでオーバーフローの可能性あり)、RCF_Coarse_Scaleを1だけ小さくし、NCO_Output_Scaleを1だけ増やす必要があります。

マイクロポート・インターフェース

マイクロポート・インターフェースは、AD6623とホスト・コントローラ間の通信ポートです。インテル非マルチプレックス・モード(INM)と、モード・ピンをグラウンドまたは電源にハードウェア接続することで設定するモトローラ非マルチプレックス・モード(MNM)の、2種類のバス動作モードがあります。マイクロポート制御ライン(DSまたはRD、DTACKまたはRDY、RWまたはWR)とホスト・プロセッサ機能によってモードが選択されます。両モードの動作の詳細は、タイミング図を参照してください。

外部メモリ・マップは、内部メモリ・マップの広範囲な制御レジスタへの読み書きを行うためのデータ・レジスタとアドレス・レジスタを提供します。制御レジスタは、独立した各チャンネルのグローバル・チップ機能と複数の制御機能にアクセスします。

マイクロポートの制御

AD6623の内部レジスタとメモリへのアクセスはすべて、表XXIIに示すマイクロプロセッサ・ポート外部レジスタを使って間接的に行われます。外部レジスタに対するアクセスは、AD6623の3ビットのアドレス・バス(A[2:0])と8ビットのデータ・バス(D[7:0])経由で行われます(マイクロポート)。外部アドレス[3:0]は、内部メモリ(最大32ビット)に対するデータの読み書きアクセスを提供します。外部アドレス[0]は最下位バイトで、外部アドレス[3]が最上位バイトです。外部アドレス[4]は、各チャンネルのスリープ・モードを制御します。外部アドレス[5]は、各チャンネルの同期ステータスを制御します。外部アドレス[7:6]は選択対象内部アドレスを指定し、さらに後続の内部レジスタに対する読み出しおよび/または書き込みの後に、このアドレスをインクリメントするか否かも指定します。

外部メモリ・マップ

外部メモリ・マップは、次に説明する内部メモリ・マップへのアクセスを取得するときに使います。外部アドレス[7:6]は、後続の読み出しまたは書き込みの対象となる内部アドレスを設定します。外部アドレス[7]の上位2ビットを使うと、読み出し、書き込み、または読み書きの後に、アドレスを自動インクリメントさせることができます。すべての内部データ・ワードの幅は、32ビット以下です。外部アドレス[0]をアクセスすると、AD6623の内部メモリ・マップに対するアクセスも起動されます。

AD6623

表XXI 外部レジスタ

外部アドレス	外部データ							
	D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0
7 : UAR	Wrinc	Rdinc	-	-	IA11	IA10	IA9	IA8
6 : LAR	IA7	IA6	IA5	IA4	IA3	IA2	IA1	IA0
5 : Sync	-	ビーム	ホップ	スタート	Sync D	Sync C	Sync B	SyncA
4 : Sleep	Prog D	Prog C	Prog B	ProgA	Sleep D	Sleep C	Sleep B	SleepA
3 : Byte3	ID31	ID30	ID29	ID28	ID27	ID26	ID25	ID24
2 : Byte2	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16
1 : Byte1	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8
0 : Byte0	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0

したがって、内部レジスタに対する書き込み時には、すべてのデータが確実に転送されるように外部アドレス[0]を最後に書き込む必要があります。読み出し時は逆に、内部アクセスを開始させるために、外部アドレス[0]は 該当する内部アドレスを設定した後の)最初のデータ・レジスタ読み出しである必要があります。

外部アドレス[5:4]の読み出しと書き込みは直ちに内部制御レジスタに転送されます。外部アドレス[4]はスリープ・レジスタです。スリープ・ビットは、このアドレスでまとめてセットすることができます。スリープ・ビットは、スタートSync動作(後述)でクリアすることができます。

外部アドレス[5]は同期レジスタです。ビットは書き込み専用です。同期には、スタート、ホップ、ビームの3つのタイプがあります。それぞれ4つのチャンネルの一部または全部に出力することができます。例えば、X0010100を書き込むと、チャンネルCだけにスタートSyncを指令します。X1101111を書き込むと、すべてのチャンネルにビームSyncとホップSyncを指令します。

内部アドレス・バスは12ビット幅で、内部データ・バスは32ビット幅です。外部アドレス7はUAR (上位アドレス・レジスタ)で、アドレス空間の上位4ビットがUAR[3:0]に格納されます。UAR[7:6]は自動インクリメント機能を指定します。ビット6がハイレベルの場合、内部読み出しの後に内部アドレスがインクリメントされます。ビット7がハイレベルの場合、内部書き込みの後に内部アドレスがインクリメントされます。両ビットがハイレベルの場合、書き込みまたは読み出しの後に内部アドレスがインクリメントされます。この機能は、内部ロケーションのシーケンシャルなアクセスのために設計されています。外部アドレス6はLAR (下位アドレス・レジスタ)で、内部アドレスの下位8ビットが格納されます。外部アドレス3~0には、32ビットの内部データが格納されます。すべての内部アクセスは、2クロック・サイクルを要します。

16ビットのデータ幅を持つ内部ロケーションに対する書き込みは、最初に、アドレスの上位4ビットをUARのビット3~0に書き込むことにより実行されます(UARのビット7と6は、自動インクリメント機能のイネーブル / ディスエーブルを指定するために書き込みます)。次に、内部アドレスの下位8ビットをLARIに書き込みます(内部アクセスの前にLARとUARを書き込む限り、UARの前にLARを書き込んで問題ありません)。内部アドレスのデータ幅が16ビットなので、データ・レジスタ1とデータ・レジスタ0のみが必要とされます。データ・レジスタ0に書き込みを行うと、内部アクセス動作が開始されるため、データ・レジスタ1の書き込みを先に行う必要があります。内部書き込みが開始されるため、データ・レジスタ0の書き込みは常に最後に行う必要があります。

マイクロポートからの読み出しは、同様の方法で行います。内部アドレスを先に書き込みます。データ・レジスタ0の読み出しを行うと、内部読み出し動作が開始されるため、常にレジスタ0を先に読み出して内部読み出しを開始する必要があります。この動作により、内部読み出しの8ビットのLSBがマイクロポート (D[7:0])から得られます。次に、外部アドレス(A[2:0])を変えて、さらに読み出しを行うことにより、残りのバイトを読み出します。データ・レジスタ0の前にデータ・レジスタ3 (または他のレジスタ)を読み出すと、誤ったデータが読み出されます。コア・メモリから外部メモリ・ロケーションへデータを転送するときは、データ・レジスタ0を最初に読み出す必要があります。データ・レジスタを読み出した後は、残りのロケーションは任意の順で読み出

すことができます。

表XXに示す外部レジスタへのアクセスは、CS、DS(RD)、RW(WR)、DTACK(RDY)の各入力を使って、2つのモードのいずれかで行われます。2つのアクセス・モードは、インテル非マルチプレックス・モードとモトローラ非マルチプレックス・モードです。モードはMODE入力で決められます(MODE = 0でINM、MODE = 1でMNM)。

インテル非マルチプレックス・モード(INM)

AD6623マイクロポートをINMモードで動作させるときは、MODEをローレベルに接続します。アクセス・タイプは、チップ・セレクト(CS)、リード(RD)、ライト(WR)の各入力でユーザーが制御します。マイクロポートはレディ(RDY)信号を発生して、マイクロポートのアクセス準備が整ったことをユーザーに知らせます。RDYはアクセスの開始時にローレベルになり、内部サイクルが完了すると解除されます。仕様の読み出しモードと書き込みモードのタイミング図を参照してください。

モトローラ非マルチプレックス・モード(MNM)

MODEをハイレベルにすると、AD6623マイクロポートはMNMモードで動作します。アクセス・タイプは、チップ・セレクト(CS)、データ・ストロープ(DS)、リード / ライト(RW)の各入力でユーザーが制御します。マイクロポートはデータ・アクリッジ(DTACK)信号を発生して、アクセスの完了をユーザーに知らせます。内部アクセスが完了するとDTACKがローレベルになり、DSのアサートが解除された後にハイレベルに戻ります。仕様の読み出しモードと書き込みモードのタイミング図を参照してください。

複数のデバイスを衝突なしでマイクロプロセッサ / マイクロコントローラに接続できるように、DTACK(RDY)ピンはオープン・ドレインになっています。

AD6623のマイクロポートでは、CSがローレベルの間、複数のアクセスを許容しています(マイクロポートが他のデバイスと共用されない場合には、CSをローレベルに固定することができます)。RW(WR)ラインまたはDS(RD)ラインにパルスを入力し、3ビットの外部アドレス・バス(A[2:0])の値を変えることにより、複数のロケーションをアクセスすることができます。

外部アドレス7上位アドレス・レジスタ(UAR)

内部アドレスの上位4ビットを設定し、チャンネル1、2、3、4を選択します(D2:D0)。読み出しと書き込みの自動インクリメントも設定されます(D7:D6)。

外部アドレス6下位アドレス・レジスタ(LAR)

内部アドレスの8ビットのLSBを設定します(D7:D0)。

外部アドレス5同期

このレジスタは書き込み専用です。アドレスのビットは、AD6623のチャンネルの同期を制御します。チャンネルを同期なしで使用する場合は、レジスタのすべてのビットにローレベルを書き込みます。AD6623では、2つのタイプの同期信号を使用できます。1つ目はソフト同期です。ソフト同期は、マイクロポート経由でイネーブルするソフトウェア同期です。2つ目は、ピン同期です。

ピン同期は、Syncピン(ピン62)に入力された信号によりイネーブルされます。各モードの詳細な説明は、「同期」を参照してください。

外部アドレス4スリープ

このレジスタのビットは、デバイスのプログラム方法とチャンネルのイネーブルを決めます。各チャンネルのCMEMとDMEMの設定を可能にするときは、プログラム・ビット(D7:D4)をハイレベルに設定します。スリープ・ビット(D3:D0)は、チャンネルの起動またはスリープに使用します。このビットを使うと、必要なチャンネルにハイレベルを書き込むことにより、ユーザーは手動で使用チャンネルを指定できます。このビットを外部アドレス5にあるスタートおよび同期信号と合わせて使うと、チャンネルを同期させることもできます。各モードの詳細な説明は、「同期」を参照してください。

外部アドレス3:0(データ・バイト)

このレジスタは、内部アドレスに読み出したり書き込みするデータ

共通ファンクション・レジスタ(特定のチャンネルとは無関係)

内部アドレス	ビット	AD6622互換の説明	AD6623拡張機能の説明
0x000	7	AD6623拡張機能 = 0 ¹	AD6623拡張機能 = 1 ¹
	6~5	予約済み	変更なし
	4	予約済み	広帯域入力ディスエーブル ³
	3	予約済み	デュアル出力のイネーブル ³
	2	予約済み	変更なし
	1	オフセット・バイナリ出力 ¹	変更なし
	0	クリップ広帯域I/O ³	変更なし
	0x001	7	最初の同期のみ ³
6		Syncピンによるビーム ³	変更なし
5		Syncピンによるホップ ³	変更なし
4		Syncピンによるスタート ³	変更なし
3		チャンネルDのSync0ピンのイネーブル ³	変更なし
2		チャンネルCのSync0ピンのイネーブル ³	変更なし
1		チャンネルBのSync0ピンのイネーブル ³	変更なし
0		チャンネルAのSync0ピンのイネーブル ³	変更なし
0x002	23~0	未使用	BISTカウンタ ^{1, 3}
0x003	15~0	未使用	BIST値(読み出し専用)

チャンネル・ファンクション・レジスタ(0x1XX=チャンネルA、0x2XX=チャンネルB、0x3XX=チャンネルC、0x4XX=チャンネルD)

内部アドレス	ビット	AD6622互換の説明	AD6623機能拡張の説明
0x100	17~16	未使用	チャンネルAのスタートSyncセレクト ³ 00: Sync0 (0x001参照) 01: Sync1 10: Sync2 11: Sync3
0x101	15~0	チャンネルAのスタート・ホールドオフ・カウンタ ³	変更なし
	7~5	予約済み	変更なし
	4	チャンネルAのNCO振幅ディザのイネーブル	変更なし
	3	チャンネルAのNCO位相ディザのイネーブル	変更なし
	2	SyncによるチャンネルAのNCOクリア位相加算器	変更なし
	1~0	チャンネルAのNCOスケール 00: -6dB 01: -12dB 10: -18dB 11: -24dB	変更なし 変更なし 変更なし 変更なし
0x102	31~0	チャンネルAのNCO周波数値 ³	変更なし
0x103	17~16	未使用	チャンネルAのホップ同期セレクト ³ 00: Sync0 (0x001ホップ参照) 01: Sync1 10: Sync2 11: Sync3

を入力または出力します。

内部カウンタ・レジスタとオンチップRAM

AD6623とAD6622との互換性

AD6623の機能にはAD6622の機能が含まれています。AD6623はAD6622とピン・コンパチブルです。

内部制御レジスタ0x000のビット7がローレベルのとき、AD6622互換が選択されます。この状態では、AD6623の全拡張制御レジスタがクリアされます。AD6622モードでは、AD6623の未使用のピンはスリープ・ステートになります。

内部AD6623レジスタのマッピングを次の表に示します。0x000:7をローレベルに設定すると、AD6622互換が選択されます。この状態では、AD6623の全拡張制御レジスタがクリアされます。"予約済み"と表示されたレジスタにはローレベルを書き込んでください。

AD6623

チャンネル・ファンクション・レジスタ(続き)

内部アドレス	ビット	AD6622互換の説明	AD6623機能拡張の説明
0x104	15~0	チャンネルAのNCO周波数更新ホールドオフ・カウンタ ³	変更なし
	15~0	チャンネルAのNCO位相オフセット ²	変更なし ²
0x105	17~16	予約済み	チャンネルAの位相同期セレクト ³ 00 : Sync0 (0x001ビーム参照) 01 : Sync1 10 : Sync2 11 : Sync3
0x106	15~0	チャンネルAのNCO位相オフセット更新ホールドオフ・カウンタ ³	変更なし
	7~5	予約済み	変更なし
0x107	4~0	チャンネルAのCICスケール、S _{CIC}	変更なし
	8~0	予約済み	チャンネルAのCIC2デシメーション、M ₂ - 1
0x108	11~8	予約済み	チャンネルAのCCI2補間、L ₂ - 1、拡張
0x109	7~0	チャンネルAのC1C2補間、L ₂ - 1	変更なし
	7~0	チャンネルAのC1C5補間、L ₅ - 1	変更なし
0x10A	15~8	予約済み	チャンネルAのRCFタップB、N _{RCF} - 1(8ビット) ³
	7	予約済み	チャンネルAのRCFタップA、N _{RCF} - 1(新しいMSB) ²
0x10B	6~0	チャンネルAのRCFタップA、N _{RCF} -1(7ビット) ¹	変更なし ²
	7	予約済み	チャンネルAのRCF係数オフセット、O _{RCF} (新しいMSB) ²
0x10C	6~0	チャンネルAのRCF係数オフセット、O _{RCF} (7ビット) ¹	変更なし ²
	15~10	未使用	予約済み
	9	未使用	チャンネルAのコンパクトFIR入力ワード長 0 : 16ビット 8Iの後ろに8Q 1 : 24ビット 12Iの後ろに12Q
	8	未使用	チャンネルAのRCF PRBSのイネーブル
	7	チャンネルAのPRBS長 ³ 0 : 15 1 : 8,388,607	チャンネルAのRCF PRBS長 ³ 0 : 15 1 : 8,388,607
	6	チャンネルAのRCF PRBSのイネーブル	チャンネルAのRCFモード・セレクト(1/3) ²
	5	チャンネルAのRCFモード・セレクト(1/2) ³	チャンネルAのRCFモード・セレクト(2/3) ²
	4	チャンネルAのRCFモード・セレクト(2/2) ³ 00 : FIR 01 : FIR 10 : QPSK 11 : MSK	チャンネルAのRCFモード・セレクト(3/3) ² 000 : FIR 001 : /4-DQPSK 010 : GMSK 011 : MSK 100 : FIR、コンパクト入力分解能 101 : 8-PSK 110 : 3 /8-8PSK 111 : QPSK
0x10D	3~0	チャンネルAのRCF(1位相当りタップ数 ³) - 1	変更なし ²
	7~6	チャンネルAのRCF粗調整スケール(a) 00 : 0dB 01 : -6dB 10 : -12dB 11 : -18dB	変更なし ²
0x10E	5	チャンネルAのRCF位相等化のイネーブル	変更なし
	4~0	チャンネルAのシリアル・クロック分周比(2、4、...64)	チャンネルAのシリアル・クロック分周比(1、2、...32)
	15	チャンネルAの微調整スケール係数のイネーブル	チャンネルAの符号なしスケール係数 ² 範囲(0~2)の値を許容するように変更
	14~2	チャンネルAのRCF符号なしスケール係数 ²	変更なし ²
0x10F	1~0	予約済み	予約済み
	17~16	未使用	チャンネルAのタイム・スロット同期セレクト 00 : Sync0 (0x001タイム・スロット参照) 01 : Sync1 10 : Sync2 11 : Sync3
	15~0	チャンネルAのRCFスケール・ホールドオフ・カウンタ ¹	カウンタは変更なし。ただし、単なるスケール更新の代わりに、カウンタが1に一致したとき、次のシーケンスを開始。 1. ランプ・ダウン(ランプがイネーブルの場合)

チャンネル・ファンクション・レジスタ(続き)

内部アドレス	ビット	AD6622互換の説明	AD6623機能拡張の説明
0x110	15~0	チャンネルAのRCF位相等化係数1	2. "2"の付いたRCFモード・セレクト・レジスタを更新 3. ランプ・アップ(ランプがイネーブルの場合) 変更なし
0x111	15~0	チャンネルAのRCF位相等化係数2	変更なし
0x112	15~0	未使用	チャンネルAのRCF FIR-PSK振幅0
0x113	15~0	未使用	チャンネルAのRCF FIR-PSK振幅1
0x114	15~0	未使用	チャンネルAのRCF FIR-PSK振幅2
0x115	15~0	未使用	チャンネルAのRCF FIR-PSK振幅3
0x116	7~6	未使用	チャンネルAのシリアル・データ・フレーム入力セレクト 0x: 内部フレーム要求 10: 外部SDFIパッド 11: 前のチャンネルのフレーム終了
	5	未使用	チャンネルAのシリアル・データ・フレーム出力セレクト 0: シリアル・データ・フレーム要求 1: シリアル・データ・フレーム終了
	4	未使用	チャンネルAのシリアル・クロック・スレーブ(SCS) SCS=0: マスター・モード(SCLKは出力) SCS=1: スレーブ・モード(SCLKは入力)
	3	未使用	チャンネルAのシリアル微調整スケールのイネーブル ¹
	2	未使用	チャンネルAのシリアル・タイム・スロット同期のイネーブル (FIRモードでは無視)
	1	未使用	チャンネルAのランプ補間イネーブル
	0	未使用	チャンネルAのランプ・イネーブル
0x117	5~0	未使用	チャンネルAのモード0 ランプ長、R0~1
0x118	4~0	未使用	チャンネルAのモード1 ランプ長、R1~1
0x119	4~0	未使用	チャンネルAのランプ休止時間、Q (休止時に入力要求なし)
0x11A-11F		未使用	変更なし
0x120~13F	15~0	チャンネルAのデータRAM	変更なし
0x140~17F	15~14	未使用	変更なし
	13~0	未使用	チャンネルAのランプRAM
0x180~1FF	15~0	チャンネルAの係数RAM	変更なし このアドレスは0x900~0x97Fでミラーされて、0x980~0x9FFに拡張。

注

1 RESETでクリア。

2 このビットは、スタートSyncまたはビームSyncの後に更新。CR 0x10Fを参照。

3 ダイナミック更新が可能。

(0x000)加算モード制御

AD6623の加算ブロック内の機能を制御。

ビット5~6: 予約済み

ビット4: Low: 広帯域入力をイネーブル。

High: 広帯域入力をディスエーブル。

ビット3: Low: デュアル出力をディスエーブル。

High: デュアル出力をイネーブル。

ビット2: 予約済み

ビット1: Low: 出力データは2の補数。

High: 出力データはオフセット・バイナリ。

ビット0: Low: 範囲外はラップ。

High: 範囲外はフルスケールにクリップ。

(0x001) Syncモード制御

ビット7: 最初のSyncピン以外のすべてを無視。

ビット6: Syncピンによるビーム

ビット5: Syncピンによるホップ

ビット4: Highでスタート・ホールドオフ・カウンタのカウンタ・ダウンをイネーブル。カウンタは、AD6623のCLK信号でクロック駆動。カウンタがその値に達すると、該当チャンネルのスリープ・ビットがローレベルに設定され、チャンネルが起動。

ビット3~0: Highでこのチャンネルの同期をイネーブル。詳細は、データシートの「同期」を参照。

(0x002) BISTカウンタ

内蔵セルフ・テストの長さをクロック数で指定。

(0x003) BIST結果

セルフ・テストの結果を格納する読み出し専用レジスタ。所与の設定に対する既知の正常な結果と比較して合格/不合格を判定。

AD6623

チャンネル・ファンクション・レジスタ

以下のレジスタはチャンネル固有のレジスタです。“0xn”は16進数値を表し、“n”はチャンネルを指定します。有効なチャンネルは、n=1、2、3、4です。

(0xn00) スタート更新ホールドオフ・カウンタ

詳細は、「同期」を参照してください。同期が不要な場合は、このレジスタに0を設定します。

ビット17~16: スタートSyncセレクト・ビットは、スタート・シーケンスを開始するSyncピンを指定するときに使います。

ビット15~0: スタート更新ホールドオフ・カウンタはAD6623のチャンネルの起動を同期するときに使い、複数のデバイスを同期するのに使用できます。スタート更新ホールドオフ・カウンタはAD6623のCLK (マスター・クロック) でクロック駆動されます。

(0xn01) NCO制御

ビット1:0 表XXIIに従いNCOスケールリングを設定。

表XXI NCO制御(0xn01)

ビット1	ビット0	NCO出力レベル
0	0	- 6dB (減衰なし)
0	1	- 12dB減衰
1	0	- 18dB減衰
1	1	- 24dB減衰

ビット2: Highでソフト同期またはSyncピンでNCO位相アキュムレータを0にクリア(詳細は、「同期」を参照)。

ビット3: HighでNCO位相ディザをイネーブル

ビット4: HighでNCO振幅ディザをイネーブル。

ビット7~5: 予約済み、ローレベルの設定が必要。

(0xn02) NCO周波数

このレジスタは32ビットの符号なし整数で、NCO周波数を設定します。NCO周波数には、同期用のシャドウ・レジスタが格納されます。シャドウは直接リードバックが可能ですが、NCO周波数はできません。

$$NCO_{FREQUENCY} = 2^{32} \times \left(\frac{f_{CHANNEL}}{CLK} \right) \quad (26)$$

(0xn03) NCO周波数更新ホールドオフ・カウンタ

詳細は、「同期」を参照してください。同期が不要な場合は、このレジスタに0を設定します。

ビット17~16: ホップSyncセレクト・ビットは、ホップ・シーケンスを開始するSyncピンを指定するときに使います。

ビット15~0: ホールドオフ・カウンタは、NCO周波数の変化を同期させるときに使います。

(0xn04) NCO位相オフセット

このレジスタは16ビットの符号なし整数で、NCOの位相アキュムレータに加算されます。これにより、AD6623の複数チャンネルの位相同期が可能になります。NCO位相オフセットには、同期用のシャドウ・レジスタが格納されます。シャドウは直接リードバックが可能ですが、NCO位相オフセットはできません。詳細は、「同期」を参照してください。

(0xn05) NCO位相オフセット更新ホールドオフ・カウンタ
詳細は、「同期」を参照してください。同期が不要な場合は、このレジスタに0を設定します。

ビット17~16: 位相同期セレクト・ビットは、位相同期シーケンスを開始するSyncピンを指定するときに使います。

ビット15~0: ホールドオフ・カウンタは、NCO位相の変化を同期させるときに使います。

(0xn06) CICスケール

ビット4~0: 次式に従ってCICスケールリングを設定します。

$$CIC_Scale = \text{ceil} \times \left(\log_2 \left(L_{CIC5}^4 \times L_{CIC2} \right) \right) \quad (27)$$

詳細は、「CIC」を参照してください。

(0xn07) CIC2デシメーション-1 ($M_{CIC2} - 1$)

このレジスタは、CIC2フィルタのデシメーションを設定するときに使います。レジスタに書き込む値は、デシメーションから1を減算した値です。CIC2デシメーションに設定可能な範囲は、CIC2の補間に応じて、1~512です。デシメーションによるタイミング誤差は発生しません。詳細は、「CIC」を参照してください。

(0xn08) CIC2補間-1 ($L_{CIC2} - 1$)

このレジスタは、CIC2フィルタの補間を設定するときに使います。レジスタに書き込む値は、補間から1を減算した値です。CIC2補間に設定可能な範囲は1~4096です。 L_{CIC2} 、 M_{CIC2} の条件で設定する必要があり、適切なCIC2スケールを選択できるように両方の値を選択する必要があります。詳細は、「CIC」を参照してください。

(0xn09) CIC5補間-1

このレジスタは、CIC5フィルタ・ステージの補間レートを設定します(符号なし整数)。設定する値はCIC5補間-1です。補間の最大値は使用可能なCICスケールリングにより制限されます。詳細は、「CIC」を参照してください。

(0xn0A) RCF係数の数-1

このレジスタはRCF係数の数を設定し、最大値は256に制限されています。設定する値はRCF係数の数-1です。このメモリ・ロケーションには、AレジスタとBレジスタが存在します。値AはRCFがモード0で動作するときに、値BはRCFがモード1で動作するときに使用されます。ここで注目しているRCFモード・ビットは、アドレス0xn0Cのビット6です。

(0xn0B) RCF係数オフセット

このレジスタはRCF係数のオフセットを設定し、通常は0に設定されます。このレジスタは、RCFフィルタの計算に使われるCMEMの部分を選択するためのポイントと見なすことができます。この機能により、複数のフィルタを係数メモリ空間に格納することが可能になり、オフセットを設定することで該当するフィルタを選択できるようになります。

(0xn0C) チャンネル・モード制御1

ビット9: HighでコンパクトFIRモードが選択され、24ビットのシリアル・ワード長(12 Iの後ろに12 Qが続く)になります。LowでコンパクトFIRモードが選択され、16ビットのシリアル・ワード長(8 Iの後ろに8 Qが続く)になります。

ビット8: HighでRCF擬似ランダム入力セレクトをイネーブル。
ビット7: Highで8,388,607の擬似ランダム・シーケンス長を選択。Lowで15の擬似ランダム・シーケンス長を選択。

ビット6~4: 表XXIIIに従い、チャンネル入力フォーマットを設定。

表XXII チャンネル入力

ビット6	ビット5	ビット4	入力モード
0	0	0	FIR
0	0	1	/4-DQPSK
0	1	0	GSM
0	1	1	MSK
1	0	0	コンパクトFIR
1	0	1	8PSK
1	1	0	3 /8-8PSK
1	1	1	QPSK

ビット6 シリアル・ポート経由で設定可能(「シリアル・ワード・フォーマット」を参照)。

ビット3~0: $(N_{RCF}/L_{RCF}) - 1$ を設定。

(0xn0D)チャンネル・モード制御2

ビット7~6: 表XXIIIに従い、RCF粗調整スケールを設定。

表XXIII RCF粗調整スケール

ビット7	ビット6	RCF粗調整スケール(dB)
0	0	0
0	1	- 6
1	0	- 12
1	1	- 18

ビット5: HighでRCF位相イコライザをイネーブル。

ビット4~0: 次式に基づき、シリアル・クロック周波数を決定するシリアル・クロック分周比(SDIV)を設定。

$$f_{SCLK} = \frac{CLK}{SDIV + 1} \quad (28)$$

(0xn0E)微調整スケール係数

ビット15~2: 値(0,2)を表す符号なし数としてRCF微調整スケール係数を設定。このレジスタは、同期用にシャドウされます。シャドウは直接リードバック可能ですが、微調整スケール係数はできません。

ビット1~0: 予約済み

(0xn0F) RCFタイム・スロット・ホールドオフ・カウンタ

ビット17~16: タイム・スロット同期セレクト・ビットは、タイム・スロット同期シーケンスを開始するSyncピンを指定するときに使います。

ビット15~0: ホールドオフ・カウンタは、RCF微調整スケールの変化を同期させるときに使います。詳細は、「同期」を参照してください。同期が不要な場合は、このレジスタに0を設定します。

(0xn10~0xn11) RCF位相イコライザ係数

詳細は、「RCF」を参照してください。

(0xn12~0xn15) FIR-PSK振幅

詳細は、「RCF」を参照してください。

(0xn16)シリアル・ポートの設定

ビット7~6: シリアル・データ・フレーム・スタート・セレクト

表XXIV シリアル・ポートの設定

ビット7	ビット6	シリアル・データ・フレーム・スタート
0	X	内部フレーム要求
1	0	外部SDFIパッド
1	1	前のチャンネルのフレーム終了

ビット5: HighでSDFIはフレーム終了。LowでSDFIはフレーム要求。

ビット4: Highでシリアル・スレーブ・モードを選択。SCLKはシリアル・スレーブ・モードの入力。

ビット3: Highでシリアル・ポート経由の微調整スケールリングをイネーブル(FIRモードでは使用不可)。

ビット2: High:シリアル・タイム・スロット同期をイネーブル(FIRモードでは使用不可)。

ビット1: Highでパワー・ランプ係数補間をイネーブル。

ビット0: Highでパワー・ランプをイネーブル。

(0xn17)パワー・ランプ長0

モード0に対するランプ長- 1。

(0xn18)パワー・ランプ長1

モード1に対するランプ長- 1。ゼロを設定すると、デュアル・ランプをデイスエーブルします。

(0xn19)パワー・ランプ休止時間

ランプ・ダウンとランプ・アップとの間で休止するRCF出力サンプル数。

(0xn1A~0xn1F)未使用

(0xn20~0xn3F)データ・メモリ

このレジスタグループには、RCFフィルタ・データが格納されます。詳細は、「RCF」を参照してください。

(0xn40~0xn17F)パワー・ランプ係数メモリ

このレジスタグループには、パワー・ランプ係数が格納されます。詳細は、「パワー・ランプ」を参照してください。

(0xn80~0xn1FF)係数メモリ

このレジスタグループには、RCFフィルタ係数が格納されます。詳細は、「RCF」を参照してください。

擬似コード

書き込み擬似コード

```
Void Write_Micro(ext_address, int data);
```

```
Main()
{
```

```
/* This code shows the programming of the
NCO frequency register using the Write_Micro
function defined above. The variable
address is the External Address A[2:0] and
data is the value to be placed in the
external interface register.
```

```
Internal Address = 0x102, channel 1
*/
```

```
/*Holding registers for NCO byte wide
access data*/
```

```
int d3, d2, d1, d0;
```

```
/*NCO frequency word (32 bits wide)*/
```

```
NCO_FREQ=0x1BEFEFFFF;
```

```
/*write Chan */
```

```
Write_Micro(7, 0x01);
```

```
/*write Addr */
```

```
Write_Micro(6, 0x02);
```

```
/*write Byte 3*/
```

```
d3=(NCO_FREQ & 0xFF02Y 00)>>24;
```

```
Write_Micro(3, d3);
```

```
/*write Byte 2*/
```

```
d2=(NCO_FREQ & 0xFF0000)>>16;
```

```
Write_Micro(2, d2);
```

```
/*write Byte 1*/
```

```
d1=(NCO_FREQ & 0xFF00)>>8;
```

```
Write_Micro(1, d1);
```

```
/*write Byte 0, Byte 0 is written last and
causes an internal write to occur*/
```

```
d0=NCO_FREQ & 0xFF;
```

```
Write_Micro(0, d0);
```

```
}
```

AD6623

読み出し擬似コード

```
Void Read_Micro(ext_address);
Main()
{
/* This code shows the reading of the NCO
frequency register using the Read_Micro
function defined above. The variable
address is the External Address A[2:0]

Internal Address = 0x102, channel 1
*/

/*Holding registers for NCO byte wide
access data*/
int d3, d2, d1, d0;
/*NCO frequency word (32 bits wide)*/
/*write Chan */
Write_Micro(7, 0x01);
/*write Addr*/
Write_Micro(6,0x02);
/*read Byte 0, all data is moved from the
Internal Registers to the interface
registers on this access, thus Byte 0 must
be accessed first for the other Bytes to be
valid*/
d0=Read_Micro(0) & 0xFF;
/*read Byte 1*/
d1=Read_Micro(1) & 0xFF;
/*read Byte 2*/
d2=Read_Micro(2) & 0xFF;
/*read Byte 0 */
d3=Read_Micro(3) & 0xFF;
}
```

アプリケーション

AD6623は、各チャンネル入力の同期、相対位相、スケーリングの制御について、すぐれた柔軟性を発揮します。マルチチャンネル・トランスミッタの制作は、必ず発生すべき出力スペクトルの解析から開始します。

UMTSキャリアの処理にAD6623を使用する方法

AD6623を使って、各々が24倍の出力オーバーサンプリング・レート(すなわち92.16MSPS)を持つ2つのUMTSキャリアを処理することができます。これを実行するためのAD6623の設定では、2チャンネルを並列に使用して各UMTSキャリアを処理します。テクニカル・ノート「Processing Two UMTS Carriers with 24 × Oversampling Using the AD6623」を参照してください。

D/Aコンバータ(DAC)の選択

高性能DACの選択は多くの要因に依存します。DACのダイナミックレンジは、ノイズとスペクトル純度の点から考慮する必要があります。14ビットのAD9772Aは全帯域幅、ノイズ、スペクトル純度について最適な選択です。

DACの後ろに接続するアナログ補間フィルタを簡素化するため、マスター・クロックのサンプル・レートは一般に、対象となる最大アナログ周波数の少なくとも3倍に設定する必要があります。

対象となる帯域15MHzをRFにアップコンバージョンする場合は、最低周波数を5MHz、上側帯域エッジを20MHz(初段デジタルIF後の最適なイメージ阻止フィルタを可能にするDCからのオフセット)とします。すると、最小サンプル・レートは65MSPSに設定されます。

受信データ・ストリームのデータ・レート、補間係数、DSPのクロック・レートについても考慮する必要があります。

複数TSP動作

AD6623の4つの送信信号プロセッサ(TSP)はどれも、AMPS、

IS-136、GSM、エッジ、PHSなどの狭帯域キャリアの補間イメージを十分除去することができません。IS-95やIMT2000などの広帯域キャリアでは、複数の処理チャンネルの協調動作が必要です。

ここでは、イメージ除去能力を犠牲にすることなく広帯域チャンネルを作成するための、複数のTSPの協調動作の方法を示します。一例として、4つのTSPチャンネル(AD6623全体)を使って1つのUMTSキャリアを変調します。この原理は、より多くのまたは少ないTSPを使う他の設計にも適用することができます。ここでは、シリアル・ポートまたはRCFのスループット以外の問題を解決するために複数のTSPを使う技術については説明しません。

ディ・インターリーブするTSPのフィルタ係数と制御設定の設計難易度は、1つのTSPのフィルタのデザインと同じです。例えば、4つのTSPを使用する場合、入力データ・レートを単純に4で除算して、通常通りフィルタを作成します。使用TSP数を増やすと、の設計でも常に、より良いフィルタを実現することができます。TSPに書き込むときには、2つの小さな差だけの書き込みが必要になります。第1に、各チャンネルはまったく同じフィルタ、スケアー、モード、NCO周波数に設定します。各チャンネルはデータ・レートの1/4で、交互にデータを受け取るため、スタート・ホールドオフ・カウンタもずらす必要があります(「複数TSPの書き込み」を参照)。第2に、各NCOの位相オフセットを、ディ・マルチプレックス比に一致するように設定しなければなりません(この例では)。従って、位相オフセットを90度に設定します(16ビット・レジスタの1/4 = 16384)。

使用TSP数の決定

TSPを1つ使用する場合の制約としては、シリアル・ポート帯域幅、RCFインパルス応答長(NRCF)に対する時間制限、NRCFに対するDMEM制限の3点があります(ただし、1つの入力ストリームを複数のTSPにディ・インターリーブすることで解決可能)。

シリアル・ポートが受け取れるデータより入力サンプル・レートの方が高速な場合、データを複数のシリアル・ポートにディ・インターリーブすることができます。シリアル・ポートの説明で示したように、SCLK周波数(f_{SCLK})は次式で決定されます。処理チャンネル数を最小にするため、SCLK分周比をできるだけ小さく設定して、最大の f_{SCLK} (ただしシリアル・データ・ソースに許容できる値)を得るようにします。

$$f_{SCLK} = \frac{f_{CLK}}{SCLKdivider + 1} \quad (29)$$

入力サンプルを受け取るために最小32 SCLKサイクルが必要なため、TSP (NTSP)の最小数は制約されます。シリアル・ポートの帯域幅は、次式に示すように、入力サンプル・レート(f_{IN})の関数です。

$$N_{TSP} \geq \text{ceil} \left(\frac{32 \times f_{IN}}{f_{SCLK}} \right) \quad (30)$$

UMTSシステムの例として、 $f_{CLK} = 76.8\text{MHz}$ 、かつシリアル・データ・ソースは38.4 Mbpsでデータを駆動可能と仮定します(SCLK分周比 = 0)。 $f_{IN} = 3.84\text{MHz}$ を得るには、最小 N_{TSP} は3で、シリアル・クロック $f_{SCLK} = 52\text{MHz}$ になります。これはシリアル・ポート(TSP ICではなく、TSPチャンネル)の限界です。

また、RCFの時間が不足する場合または、必要なRCFフィルタを計算するためのDMEM領域が不足する場合にも、複数のTSPが必要です。最大 N_{TAPS} (RCFの説明での式)は、RCFインパルス応答長(N_{RCF})に対する3つの制約になっています。

$$N_{RCF} \leq \min\left(\frac{1}{2}, 16 \times L_{RCF}, 256\right) \quad (31)$$

↑
DMEMの制約

ここで、

$$L = L_{RCF} \times L_{CIC5} \times \frac{L_{CIC2}}{M_{CIC2}} = \frac{N_{TSP} \times f_{CLK}}{f_{IN}} \quad (32)$$

入力データを複数のTSPにディ・インターリーブすると、時間制約が緩くなり、DMEM制約も緩くなる可能性があります。CMEMの制約は緩和されませんが、入力ストリームを複数のTSPにディ・インターリーブすると、入力サンプル・レートを使用TSP数(N_{TSP})で除算した値が各TSPに割り当てられます。出力レートを固定すると、 L を N_{CH} の関数で大きくする必要があります。これが時間制約を緩くします。この L の増加は、任意の L_{RCF} 、 L_{CIC5} 、または L_{CIC2} を通常の限界内で大きくすることで可能です。 L_{CIC5} または L_{CIC2} の代わりに L_{RCF} を大きくして L を大きくすると、DMEMの制約も緩和されます。UMTSの例で、 $N_{TSP} = 4$ 、 $f_{CLK} = 76.8\text{MHz}$ 、 $f_{IN} = 3.84\text{MHz}$ とすると、 $L = 80$ が得られます。 L を因数分解して $L_{RCF} = 10$ 、 $L_{CIC} = 8$ 、 $L_{CIC2} = 1$ にすると、最大 $N_{RCF} = 40$ の時間制約になります。図37に、RCFインパルス応答の例を示します。この周波数応答は、図38の0Hz ~ 7.68MHz ($f_{IN} \times L_{RCF} / N_{TSP}$)になります。同じ周波数スケールで、RCFとCICの合成周波数応答を図39に示します。この図は底を持ち上げたコサインの良い近似になっていることを示しており、ロールオフ係数 = 0.22、通過帯域リップル = 0.1dB、最初のイメージ(キャリア中央から約7.68MHzで-60dBのピーク)のローブまでの阻止帯域リップル < -70dBになっています。補間をさらにRCF側にシフトすることにより、このローブを小さくすることができますが、性能が近傍で犠牲になります。図示のように、信号パスのさらに上流にアナログ・フィルタを置くことにより、最初のイメージを容易に除去することができます。

RCF、CIC、NCOでオーバーフローが発生しないようにする

ため、補間係数 = L で通常通りスケールする必要があるため、加算ポートの出力レベルは、補間係数 L/N_{TSP} を使って計算します。

複数TSPのプログラミング

ディ・インターリーブ動作用にTSPを設定することは簡単です。スタート・ホールドオフ・カウンタとNCO位相オフセット以外のすべてのチャンネル・レジスタと各TSPのCMEMを同じ設定にします。

各TSPの入カタイミングを分けるため、共通スタートSYNCに応じて、ホールドオフカウンタを使って各TSPを連続的に起動する必要があります。スタートSYNCはSYNCピンまたはマイクロポートから発生します。後続の各TSPは、前のTSPのホールドオフ・カウンタ値 L/N_{TSP} より大きいホールドオフ・カウンタ値を持つ必要があります。TSPがカスケード接続されたAD6623にある場合、上流デバイスのホールドオフ・カウンタはさらに1だけインクリメントされる必要があります。

UMTSの例では、スタートSYNCに対して可能な限り高速に応答するため、 $L = 80$ かつ $N_{TSP} = 4$ であり、ホールドオフ・カウンタ値は1、21、41、61になっています。

複数TSPシリアル・ポートの駆動

正しく設定すると、AD6623は各SDFOを異なる位相で駆動します。TSPが自分のSDFOピンをパルス駆動しますが、そのタイミングでそのTSPにだけ新しいデータを入力します。図35のUMTSの例では、 $L = 80$ かつ $N_{TSP} = 4$ で、各シリアル・ポートは4入力サンプル毎にのみ受け付けます。各シリアル・ポートがピーク容量でシフトし、サンプル0のシリアル・ポートAへの入力完了する前に、サンプル1、2、3のシリアル・ポートB、C、Dへのシフト入力開始されます。

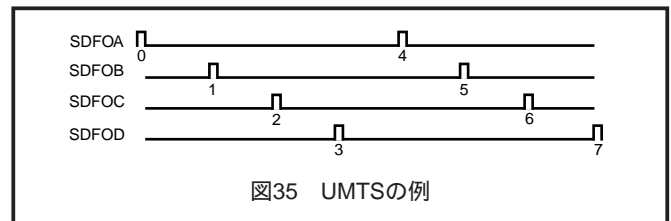
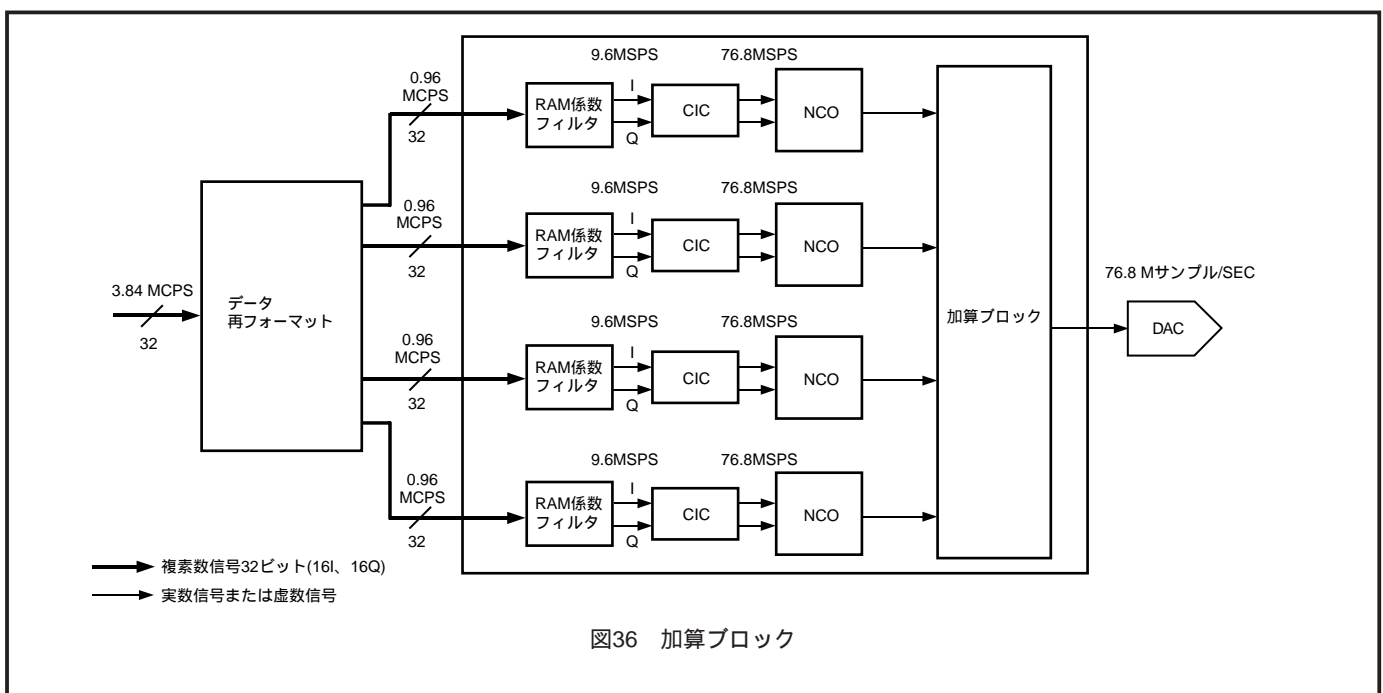


図35 UMTSの例



AD6623

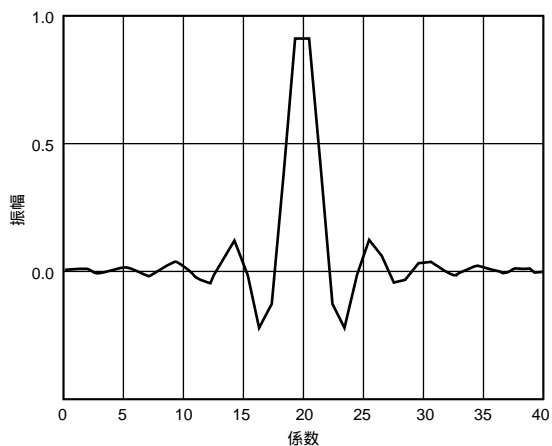


図37 WBCDMAの代表的なインパルス応答

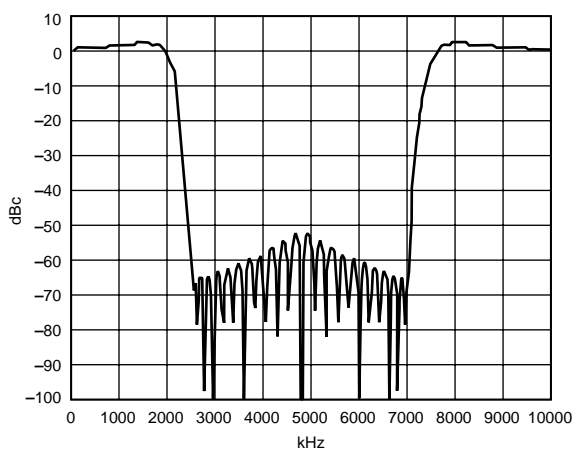


図38 RAM係数フィルタ、WBCDMAの周波数応答

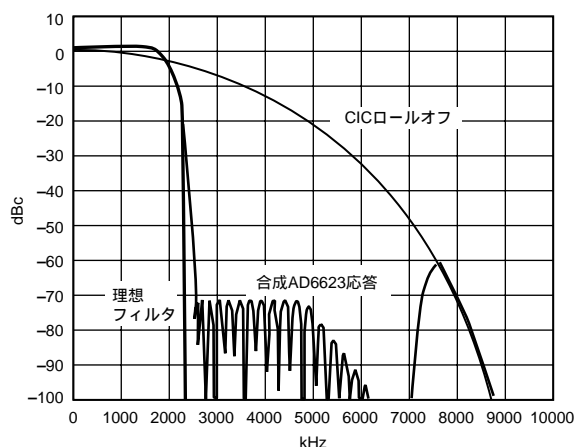


図39 WBCDMAのRCF、CIL、周波数応答

熱管理

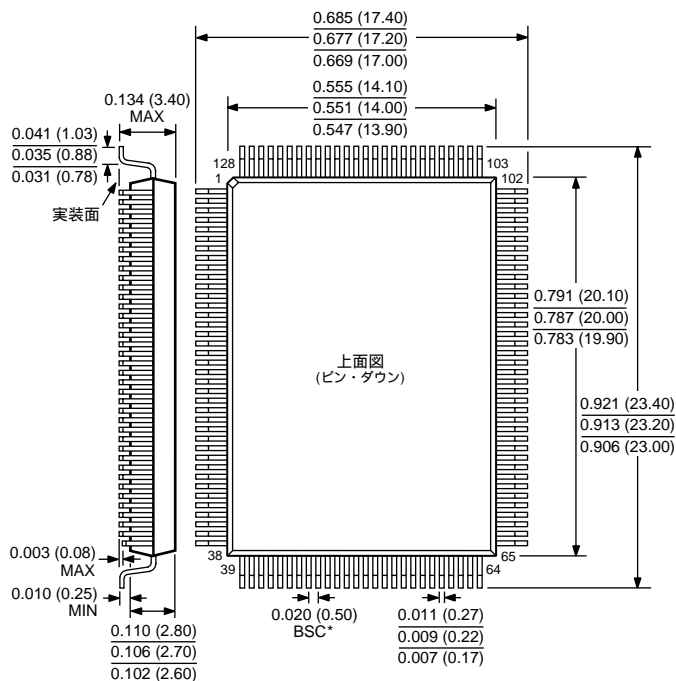
AD6623の消費電力は主に、クロック・レート、アクティブなチャンネル数、補間レート分布という、3つの要因から決定されます。AD6623のCMOS構造は、クロック・レートが高速なほど大きな電力を消費し、アクティブ・チャンネルが多いほどデバイスの全体消費電力が増えます。CICステージ(CIC5、CIC2)での補間レートが小さいと、消費電力が増えます。アプリケーションによって熱条件が異なるため、これらすべての要因を解析する必要があります。

AD6623の128ピンMQFPは、優れた熱性能を提供するように設計されています。ベスト性能を得るには、電源ピンとグラウンド・ピンをPCボード上の面に直接接続する必要があります。これにより、AD6623からPCボードへ、最善の熱転移が得られます。

外形寸法

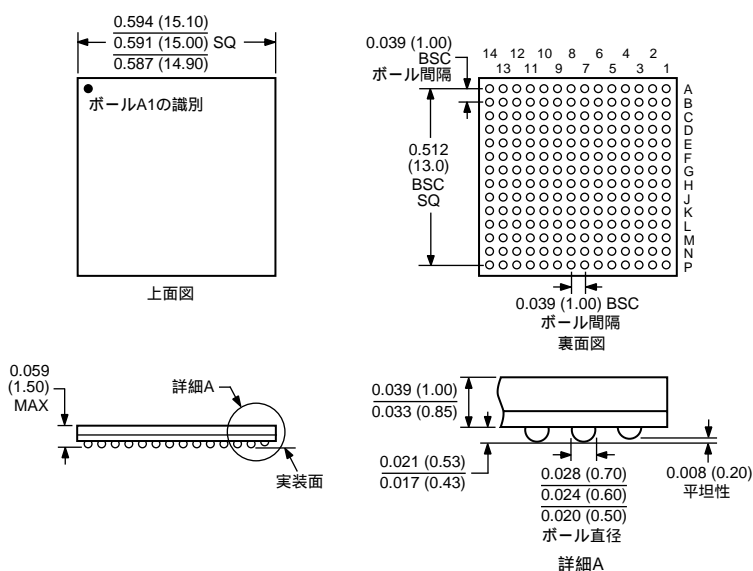
サイズはインチと (mm) で示します。

128ピン ピン・メトリック・クワッド・フラットバック (MQFP)



*各ピンの実際の位置は、側面方向に測定した場合、理論位置から0.00315 (0.08)以内。特に指定のない限り、中心値は代表値です。

196ピン・ボール・グリッド・アレイ (BGA)



- 注
1. 寸法はミリメートルで管理。
 2. ボール・グリッドの実際の位置は、パッケージの縁を基準にして理論位置の0.008 (0.20)以内。
 3. 各ボールの実際の位置は、ボール・グリッドに対し理論位置の0.004 (0.10)以内。
 4. 中心値は公称寸法。

AD6623

TDS04/2002/1000

PRINTED IN JAPAN



このデータシートはエコマーク認定の再生紙を使用しています。