

### 特長

- プログラマブルな周波数プロファイル
- 外付け部品不要
- 出力周波数：最大25MHz
- 事前にプログラムできる周波数プロファイルにより、DSP/マイク  
ロコントローラからの書き込み回数を最小化
- サイン波/三角波/矩形波出力
- 周波数ステップの自動/シングル・ピン制御
- パワーダウンモード：20μA
- 動作電源電圧：2.3~5.5V
- 車載用温度範囲：-40~+125°C
- 鉛フリーの16ピンTSSOP

### アプリケーション

- 周波数スキャン/レーダー
- ネットワーク/インピーダンス測定
- 周波数に依存する反応計測
- センサー・アプリケーション
- 近接およびモーション・センサー

### 概要

AD5932<sup>1</sup>は、プログラマブルな周波数スキャン機能を備えた波形発生器です。高度な周波数制御が可能な内蔵のデジタル処理機能を使って、合成アナログ/デジタル周波数ステップ波形を生成します。周波数プロファイルは事前にプログラムできるため連続書き込みサイクルがなくなり、DSP/マイクロコントローラの貴重なリソースが解放されます。波形は既知の位相からスタートし、連続して位相がインクリメントされ、簡単に位相シフトを決めることができます。消費電流がわずか6.7mAのAD5932は、低消費電力で便利な波形発生ソリューションを提供します。

AD5932は、対象範囲の各周波数を一定時間にわたり出力し、その後スキャン範囲内の次の周波数にステップします。デバイスから特定の周波数を出力する時間の長さは事前にプログラムして、周波数を自動的にインクリメントするか、CTRLピンを使って外部からインクリメントします。スキャン範囲の終わりまでくると、AD5932はリセットされるまで最後の周波数を出力し続けます。MSBOUTピンを使用してデジタル出力を生成することもできます。

(3ページに続く)

### 機能ブロック図

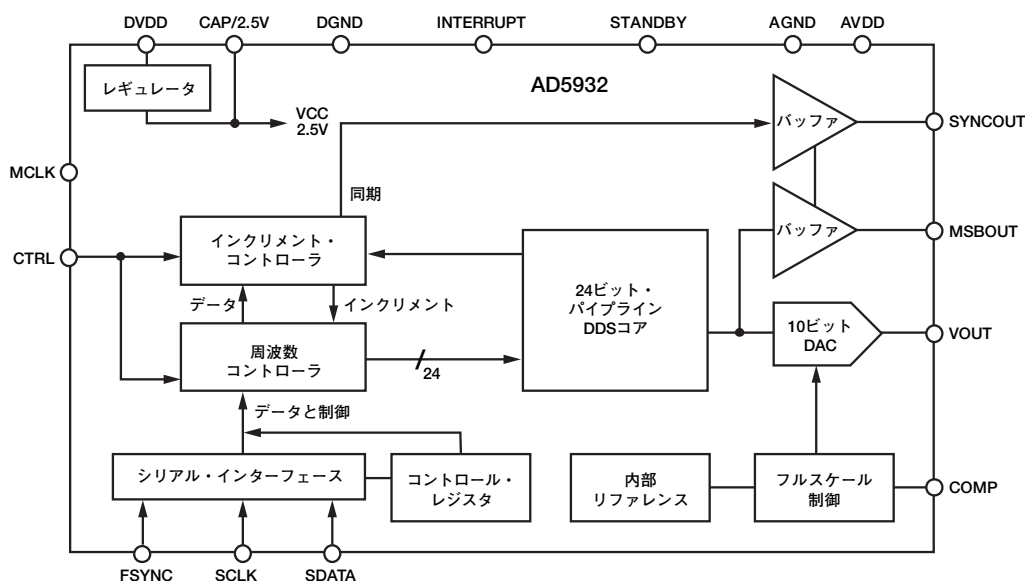


図1

<sup>1</sup> 米国特許番号6747583で保護されています。その他の特許は申請中です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。  
© 2006 Analog Devices, Inc. All rights reserved.

# AD5932

## 目次

|                   |    |                              |    |
|-------------------|----|------------------------------|----|
| 特長                | 1  | シリアル・インターフェース                | 15 |
| アプリケーション          | 1  | AD5932のパワーアップ                | 15 |
| 概要                | 1  | AD5932のプログラミング               | 16 |
| 機能ブロック図           | 1  | 周波数スキャンの設定                   | 17 |
| 改訂履歴              | 2  | スキャンの起動と制御                   | 18 |
| 仕様                | 4  | AD5932からの出力                  | 19 |
| 仕様テスト回路           | 5  | アプリケーション                     | 20 |
| タイミング仕様           | 6  | グラウンディングとレイアウト               | 20 |
| マスター・クロック図とタイミング図 | 6  | AD5932とADSP-21xxのインターフェース    | 20 |
| 絶対最大定格            | 8  | AD5932と68HC11/68L11のインターフェース | 21 |
| ESDに関する注意         | 8  | AD5932と80C51/80L51のインターフェース  | 21 |
| ピン配置と機能の説明        | 9  | AD5932とDSP56002のインターフェース     | 21 |
| 代表的な性能特性          | 10 | 評価用ボード                       | 22 |
| 用語の説明             | 14 | 回路図                          | 23 |
| 動作原理              | 15 | 外形寸法                         | 25 |
| 周波数プロファイル         | 15 | オーダー・ガイド                     | 25 |

## 改訂履歴

4/06—Revision 0: Initial Version

## 概要

(1ページからの続き)

AD5932をプログラミングするには、開始周波数、インクリメント・ステップの大きさ、インクリメント数、デバイスが各周波数を出力する時間インターバルを入力します。周波数スキャン・プロファイルは、CTRLピンをトグルして初期化、開始、実行します。

AD5932には、3線式のシリアル・インターフェースを介して書き込むことができます。2.3~5.5V電源で、最大40MHzのクロック速度で動作します。

AVDDとDVDDは相互に独立しているため、異なる電圧で動作可能です。スタンバイ機能も備えているため、デバイスの未使用部分をパワーダウンできます。

AD5932は、16ピンの鉛フリーTSSOPパッケージを採用しています。

# AD5932

## 仕様

特に指定のない限り、AVDD=DVDD=2.3~5.5V、AGND=DGND=0V、 $T_A=T_{MIN} \sim T_{MAX}$ °

表1

| パラメータ                       | Yグレード <sup>1</sup> |       |      | 単位     | テスト条件/備考  |
|-----------------------------|--------------------|-------|------|--------|---|
|                             | Min                | Typ   | Max  |        |   |
| <b>DACの信号仕様</b>             |                    |       |      |        |   |
| 分解能                         |                    | 10    |      | ビット    |   |
| 更新レート                       |                    |       | 50   | MSPS   |   |
| ピークtoピークVOUT                |                    | 0.58  |      | V      | 内部200Ω抵抗 (GNDに接続)                                 |
| VOUTオフセット                   |                    | 56    |      | mV     | 0Vから波形の谷まで  |
| $V_{MIDSCALE}$              |                    | 0.32  |      | V      | ミッドスケール出力電圧                                       |
| VOUT TC                     |                    | 200   |      | ppm/°C |   |
| <b>DC精度</b>                 |                    |       |      |        |   |
| 積分非直線性 (INL)                |                    | ±1.5  |      | LSB    |   |
| 微分非直線性 (DNL)                |                    | ±0.75 |      | LSB    |   |
| <b>DDSの仕様</b>               |                    |       |      |        |   |
| <b>動的仕様</b>                 |                    |       |      |        |   |
| S/N比                        | 53                 | 60    |      | dB     | $f_{MCLK}=50\text{MHz}$ 、 $f_{OUT}=f_{MCLK}/4096$ |
| 全高調波歪み (THD)                |                    | -60   | -53  | dBc    | $f_{MCLK}=50\text{MHz}$ 、 $f_{OUT}=f_{MCLK}/4096$ |
| <b>SFDR</b>                 |                    |       |      |        |   |
| ワイドバンド (0~ナイキスト)            |                    | -56   | -52  | dBc    | $f_{MCLK}=50\text{MHz}$ 、 $f_{OUT}=f_{MCLK}/50$   |
| ナローバンド (±200kHz)            |                    | -74   | -70  | dBc    | $f_{MCLK}=50\text{MHz}$ 、 $f_{OUT}=f_{MCLK}/50$   |
| クロック・フィードスルー                |                    | -50   |      | dBc    | 最大16MHz出力   |
| ウェークアップ時間                   |                    | 1.7   |      | ms     | スタンバイ・モードからのウェークアップ                               |
| <b>出力バッファ</b>               |                    |       |      |        |   |
| ピークtoピークVOUT                | 0                  |       | DVDD | V      | 通常はMSBOUTおよびSYNCOUTピン上の矩形波                        |
| 出力立ち上がり/立下がり時間 <sup>2</sup> |                    | 12    |      | ns     |   |
| <b>電圧リファレンス</b>             |                    |       |      |        |   |
| 内部リファレンス                    | 1.15               | 1.18  | 1.26 | V      |   |
| リファレンスTC <sup>2</sup>       |                    | 90    |      | ppm/°C |   |
| <b>ロジック入力<sup>2</sup></b>   |                    |       |      |        |   |
| 入力電流                        |                    | 0.1   | ±2   | μA     |   |
| ハイレベル入力電圧 ( $V_{INH}$ )     | 1.7                |       |      | V      | DVDD=2.3~2.7V                                     |
|                             | 2.0                |       |      | V      | DVDD=2.7~3.6V                                     |
|                             | 2.8                |       |      | V      | DVDD=4.5~5.5V                                     |
| ローレベル入力電圧 ( $V_{INL}$ )     |                    |       | 0.6  | V      | DVDD=2.3~2.7V                                     |
|                             |                    |       | 0.7  | V      | DVDD=2.7~3.6V                                     |
|                             |                    |       | 0.8  | V      | DVDD=4.5~5.5V                                     |
| 入力容量 ( $C_{IN}$ )           |                    | 3     |      | pF     |   |
| <b>ロジック出力<sup>2</sup></b>   |                    |       |      |        |   |
| ハイレベル出力電圧 ( $V_{OH}$ )      | DVDD-0.4V          |       |      | V      | $I_{SINK}=1\text{mA}$                             |
| ローレベル出力電圧 ( $V_{OL}$ )      |                    |       | 0.4  | V      | $I_{SINK}=1\text{mA}$                             |
| フロート状態出力容量                  |                    | 5     |      | pF     |   |

| パラメータ             | Min | Yグレード <sup>1</sup> |     | 単位            | テスト条件/備考   |
|-------------------|-----|--------------------|-----|---------------|--|
|                   |     | Typ                | Max |               |  |
| 電源条件              |     |                    |     |               | $f_{MCLK} = 50\text{MHz}$ 、 $f_{OUT} = f_{MCLK}/7$ |
| AVDD/DVDD         | 2.3 |                    | 5.5 | V             |  |
| $I_{AA}$          |     | 3.8                | 4   | mA            |  |
| $I_{DD}$          |     | 2.4                | 2.7 | mA            |  |
| $I_{AA} + I_{DD}$ |     | 6.2                | 6.7 | mA            |  |
| 低消費電力スリープ・モード     |     |                    |     |               | デバイスがスタンバイ・モードに入る前にリセットされます。                       |
|                   |     | 20                 | 85  | $\mu\text{A}$ | 全出力がパワーダウン、MCLK=0V、シリアル・インターフェースは動作中               |
|                   |     | 140                | 240 | $\mu\text{A}$ | 全出力がパワーダウン、MCLKとシリアル・インターフェースは動作中                  |

<sup>1</sup> Yバージョンの動作温度範囲、-40~+125℃、25℃で測定。

<sup>2</sup> これらの仕様については出荷テストを行っていませんが、設計により保証しています。

### 仕様テスト回路

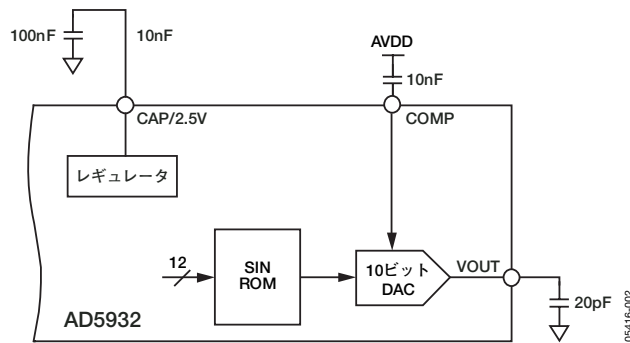


図2. 仕様のテストに用いたテスト回路

# AD5932

## タイミング仕様

すべての入力信号は、 $t_R = t_F = 5\text{ns}$  ( $V_{DD}$ の10~90%)の条件で規定し、 $(V_{IL} + V_{IH}) / 2$ の電圧レベルからの時間とします (図3~図6を参照)。DVDD=2.3~5.5V、AGND=DGND=0V。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表2

| パラメータ <sup>1</sup> | $T_{MIN}$ 、 $T_{MAX}$ 時の限界値 | 単位       | 条件/説明                                    |
|--------------------|-----------------------------|----------|--|
| $t_1$              | 20                          | ns (min) | MCLK周期                                   |
| $t_2$              | 8                           | ns (min) | MCLKハイレベル持続時間                            |
| $t_3$              | 8                           | ns (min) | MCLKローレベル持続時間                            |
| $t_4$              | 25                          | ns (min) | SCLK周期                                   |
| $t_5$              | 10                          | ns (min) | SCLKハイレベル時間                              |
| $t_6$              | 10                          | ns (min) | SCLKローレベル時間                              |
| $t_7$              | 5                           | ns (min) | FSYNCからSCLKの立下がりエッジまでのセットアップ時間           |
| $t_8$              | 10                          | ns (min) | FSYNCからSCLKまでのホールド時間                     |
| $t_9$              | 5                           | ns (min) | データのセットアップ時間                             |
| $t_{10}$           | 3                           | ns (min) | データのホールド時間                               |
| $t_{11}$           | $2 \times t_1$              | ns (min) | 最小のCTRLパルス幅                              |
| $t_{12}$           | 0                           | ns (min) | CTRLの立下がりエッジからMCLKの立下がりエッジまでのセットアップ時間    |
| $t_{13}$           | $10 \times t_1$             | ns (typ) | CTRLの立下がりエッジからVOUTまでの遅延時間 (初期パルス、初期化を含む) |
|                    | $8 \times t_1$              | ns (typ) | CTRLの立下がりエッジからVOUTまでの遅延時間 (初期パルス、初期化を含む) |
| $t_{14}$           | $1 \times t_1$              | ns (typ) | 周波数変化からSYNC出力までの時間、各周波数インクリメント           |
| $t_{15}$           | $2 \times t_1$              | ns (typ) | 周波数変化からSYNC出力までの時間、スキャン終了                |
| $t_{16}$           | 20                          | ns (max) | MCLKの立下がりエッジからMSBOUTまでの時間                |

<sup>1</sup> これらの仕様については出荷テストを行っていませんが、設計により保証しています。

## マスター・クロック図とタイミング図

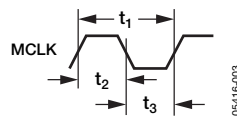


図3. マスター・クロック

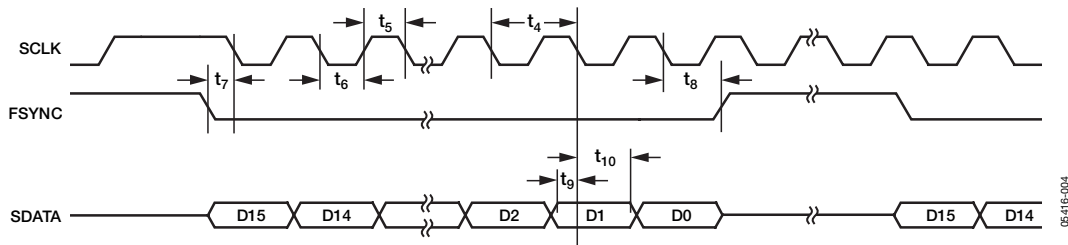


図4. シリアル・タイミング

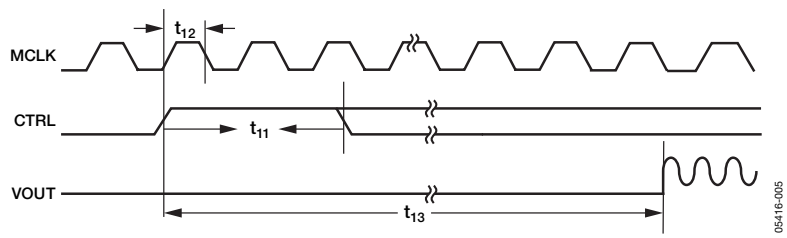


図5. CTRLタイミング

05416-005

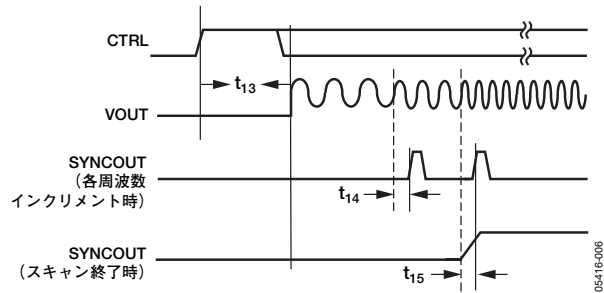


図6. SYNCOUTタイミング

05416-006

## 絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表3

| パラメータ              | 定格値                              |
|--------------------|----------------------------------|
| AGNDに対するAVDD       | -0.3~+6.0V                       |
| DGNDに対するDVDD       | -0.3~+6.0V                       |
| DGNDに対するAGND       | -0.3~+0.3V                       |
| DGNDに対するCAP/2.5V   | -0.3~+2.75V                      |
| DGNDに対するデジタルI/O電圧  | -0.3V~DVDD+0.3V                  |
| AGNDに対するアナログI/O電圧  | -0.3V~AVDD+0.3V                  |
| 動作温度範囲             |                                  |
| 自動車 (Yバージョン)       | -40~+125 $^{\circ}\text{C}$      |
| 保存温度範囲             | -65~+150 $^{\circ}\text{C}$      |
| 最大ジャンクション温度        | +150 $^{\circ}\text{C}$          |
| TSSOPパッケージ (4層ボード) |                                  |
| $\theta_{JA}$ 熱抵抗  | 112 $^{\circ}\text{C}/\text{W}$  |
| $\theta_{JC}$ 熱抵抗  | 27.6 $^{\circ}\text{C}/\text{W}$ |
| リフロー・ハンダ処理 (鉛フリー)  | 300 $^{\circ}\text{C}$           |
| ピーク温度              | 260 (+0/-5) $^{\circ}\text{C}$   |
| ピーク温度時間            | 10~40秒                           |

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

### 注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。





## ピン配置と機能の説明

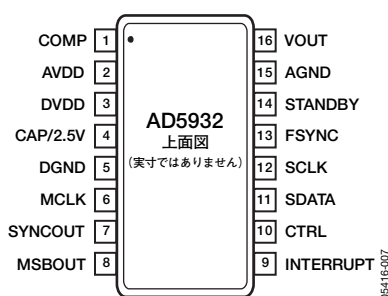


図7. ピン配置

表4. ピン機能の説明

| ピン番号 | 記号        | 説明   |
|------|-----------|--|
| 1    | COMP      | DACバイアス・ピン。DACバイアス電圧をAVDDにデカップリングするのに使用します。  |
| 2    | AVDD      | アナログ回路部用の正側電源。AVDDの値は+2.3～+5.5Vが可能です。AVDDとAGNDとの間に0.1μFのデカップリング用コンデンサを接続してください。  |
| 3    | DVDD      | デジタル回路部用の正側電源。DVDDの値は+2.3～+5.5Vが可能です。DVDDとDGNDとの間に0.1μFのデカップリング用コンデンサを接続してください。  |
| 4    | CAP/2.5V  | デジタル回路ピン。2.5Vの電源で動作します。この2.5Vの電圧は、内部レギュレータを使用してDVDDから生成されます。レギュレータには100nF (typ値) のデカップリング用コンデンサが必要であるため、これをCAP/2.5VとDGNDとの間に外付けします。DVDDを2.7V以下で使用する場合は、CAP/2.5VをDVDDに短絡してください。   |
| 5    | DGND      | すべてのデジタル回路用のグラウンド  |
| 6    | MCLK      | デジタル・クロック入力。DDS出力周波数は、MCLK周波数を2進数で割った数として表されます。このクロックによって、出力周波数の精度と位相ノイズが決まります。  |
| 7    | SYNCOUT   | スキャン・ステータス情報を通知するデジタル出力。コントロール・レジスタ (SYNCOPビット) を使用して、スキャン終了 (EOS) 時または周波数インクリメント時のいずれかを選択できます。このピンをイネーブルにするには、コントロール・レジスタのSYNCOUTENビットを1に設定します。   |
| 8    | MSBOUT    | デジタル出力。DACデータのMSBが反転されてこのピンから出力されます。このピンをイネーブルにするには、コントロール・レジスタのMSBOUTENビットを1に設定します。   |
| 9    | INTERRUPT | デジタル入力。周波数スキャンの実行中に割込みピンとして動作します。このピンのローレベルからハイレベルへの遷移が内部MCLKによってサンプリングされ、これによって内部のステート・マシンがリセットされます。その結果、DACの出力がミッドスケールに設定されます。   |
| 10   | CTRL      | デジタル入力。初期化、開始、外部周波数インクリメントの3つの機能を備えています。ローレベルからハイレベルへの遷移が内部MCLKによってサンプリングされ、これによって内部のステート・マシンが初期化および開始されます。その後で内部ステート・マシンは、事前にプログラムされた周波数スキャン・シーケンスを実行します。自動インクリメント・モードでは、1つのパルスのみでスキャン・シーケンス全体が実行されます。外部インクリメント・モードでは、ローレベルからハイレベルに遷移するたびに、各周波数インクリメントがトリガされます。 |
| 11   | SDATA     | シリアル・データ入力。最初にレジスタ・アドレス、その後にデータのMSBからLSBの順番で、16ビットのシリアル・データ・ワードがこのピンに加えられます。   |
| 12   | SCLK      | シリアル・クロック入力。SCLKのエッジが立ち下がるたびに、データがAD5932にクロック入力されます。   |
| 13   | FSYNC     | アクティブ・ローの制御入力。これは、シリアル・データのフレーム同期信号です。FSYNCがローレベルのときに、新しいワードがデバイスにロードされていることが内部ロジックに通知されます。  |
| 14   | STANDBY   | アクティブ・ハイのデジタル入力。このピンがハイレベルのときに、内部MCLKがディセーブルになり、リファレンス、DAC、レギュレータがパワーダウンします。消費電力の節減を最適化するために、AD5932をリセットしてからスタンバイ・モードに設定することを推奨します。これによってシャットダウン時の消費電流が20μA (typ値) に低減されます。  |
| 15   | AGND      | すべてのアナログ回路用のグラウンド  |
| 16   | VOUT      | 電圧出力。AD5932からのアナログ出力はこのピンに出力されます。AD5932は200Ωの抵抗を内蔵しているため、外付けの抵抗性負荷は必要ありません。このピンとAGNDとの間に20pFのコンデンサを挿入することを推奨します。内蔵抵抗とコンデンサがローパス・フィルタとして動作し、クロックのフィードスルーを低減します。   |

## 代表的な性能特性

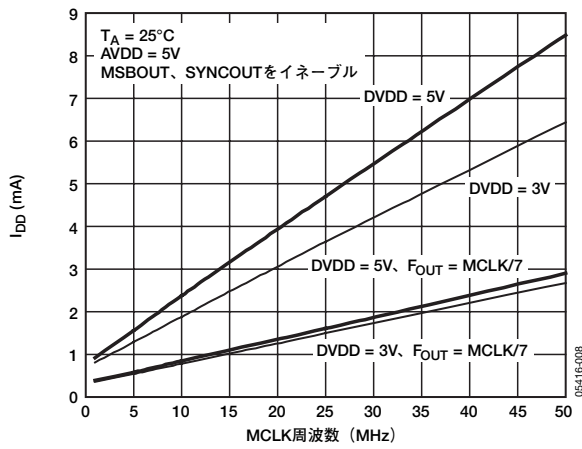


図8. MCLK周波数 対 消費電流 ( $I_{DD}$ )

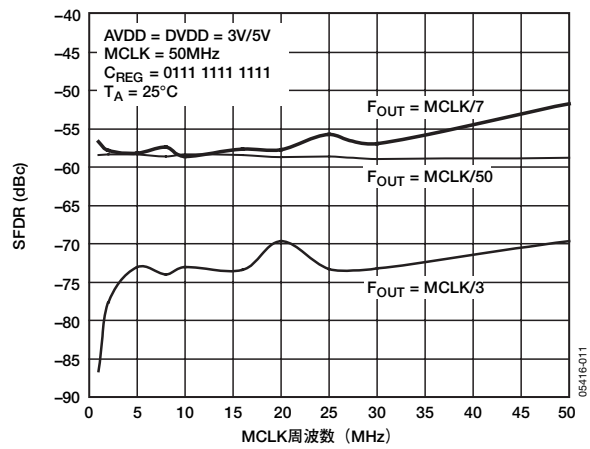


図11. MCLK周波数 対 ワイドバンドSFDR

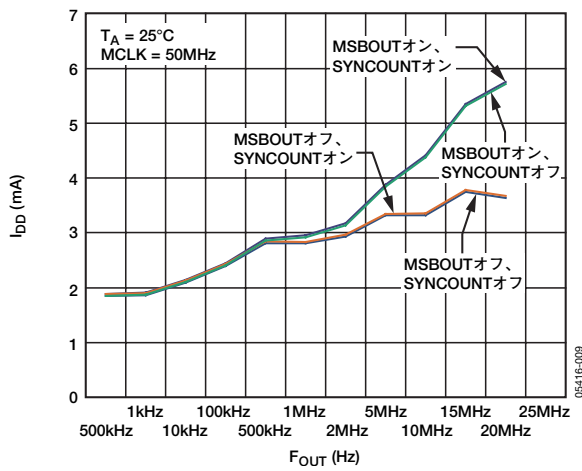


図9. 各種のデジタル出力条件時における  $F_{OUT}$  対  $I_{DD}$

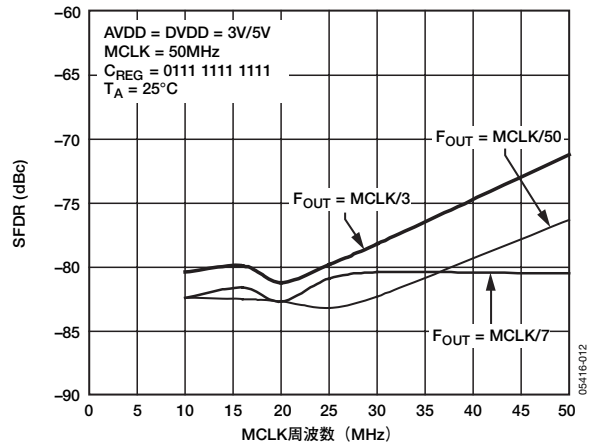


図12. MCLK周波数 対 ナローバンドSFDR

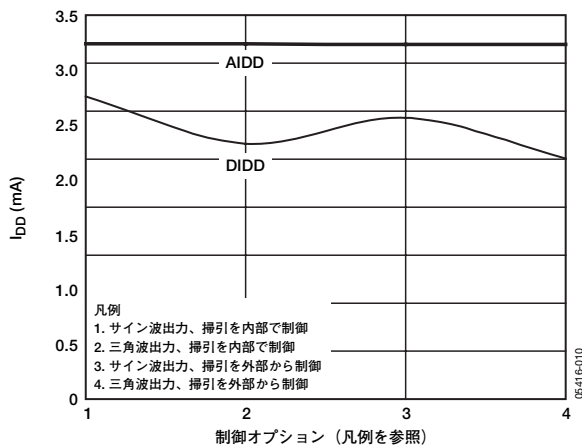


図10. 出力波形のタイプおよび制御 対  $I_{DD}$

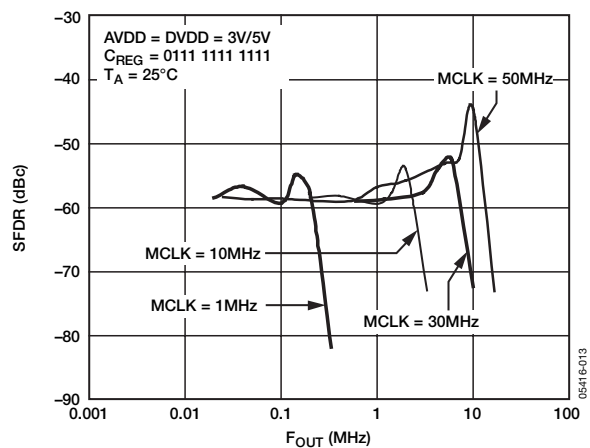


図13. 各種のMCLK周波数における  $F_{OUT}$  対 ワイドバンドSFDR

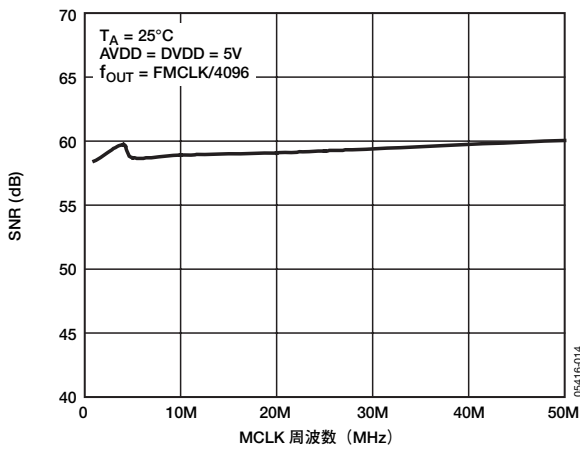


図14. MCLK周波数 対 SNR

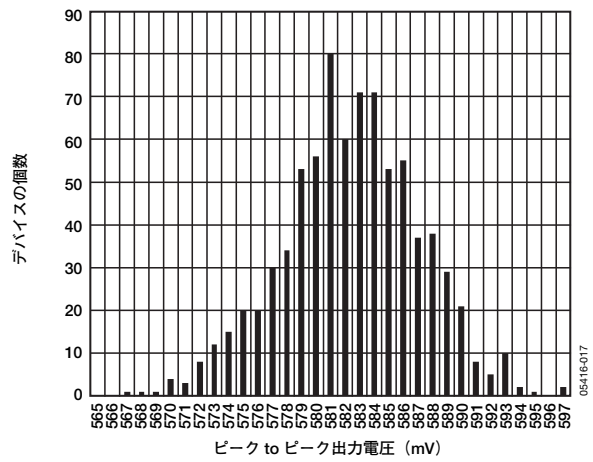


図17. ピークtoピーク出力電圧のヒストグラム

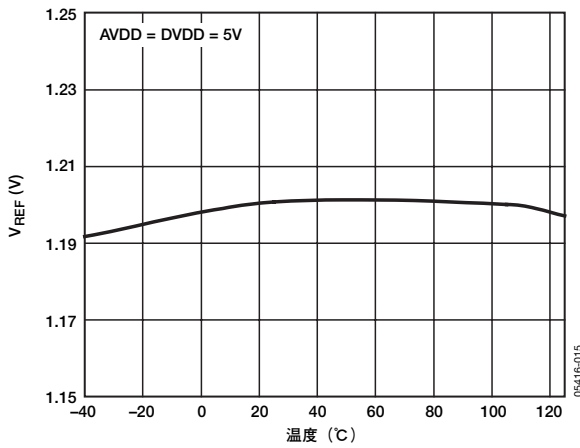


図15.  $V_{REF}$ の温度特性

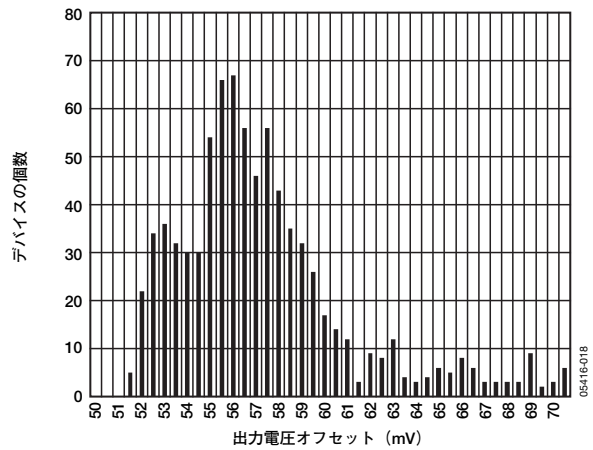


図18. 出力電圧オフセットのヒストグラム

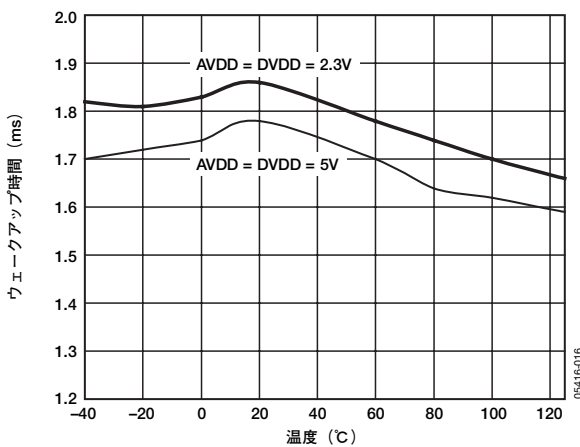


図16. ウェイクアップ時間の温度特性

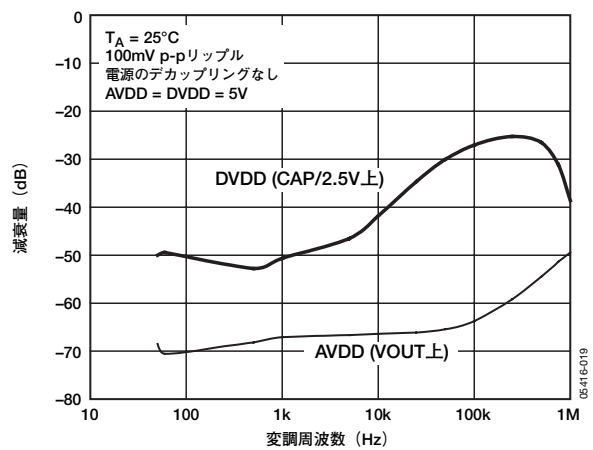


図19. PSRR

# AD5932

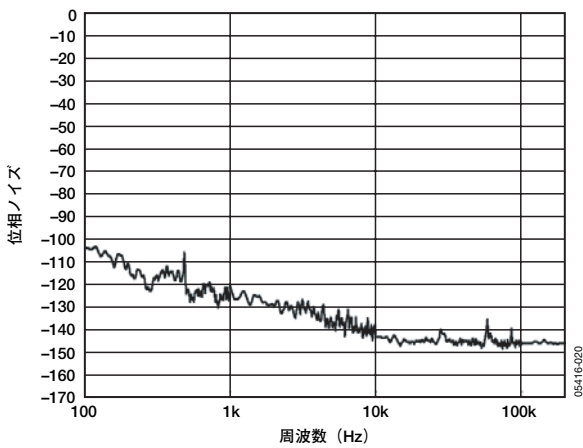


図20. 出力位相ノイズ

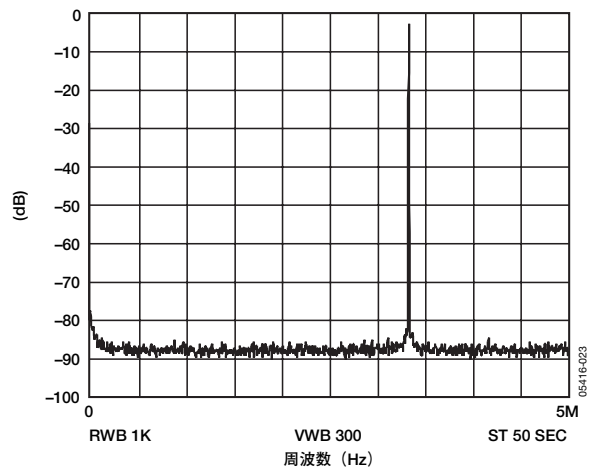


図23.  $f_{MCLK}=10\text{MHz}$ 、  
 $f_{OUT}=3.33\text{MHz}=f_{MCLK}/3$ 、  
周波数ワード=5555555

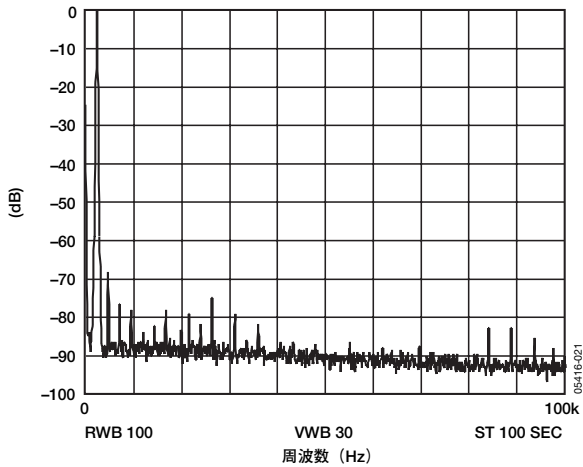


図21.  $f_{MCLK}=10\text{MHz}$ 、 $f_{OUT}=2.4\text{kHz}$ 、  
周波数ワード=000FBA9

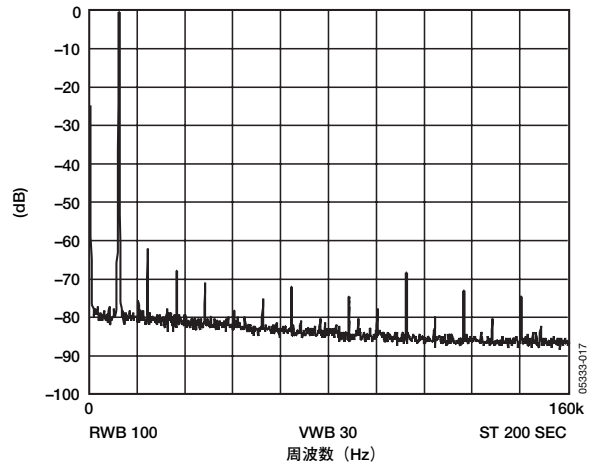


図24.  $f_{MCLK}=50\text{MHz}$ 、 $f_{OUT}=12\text{kHz}$ 、  
周波数ワード=000FBA9

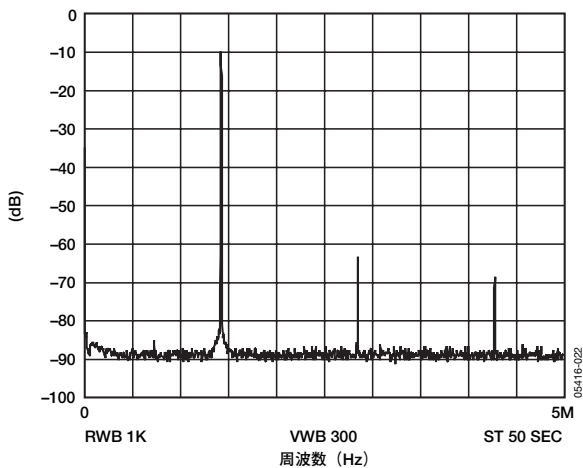


図22.  $f_{MCLK}=10\text{MHz}$ 、  
 $f_{OUT}=1.43\text{MHz}=f_{MCLK}/7$ 、  
周波数ワード=2492492

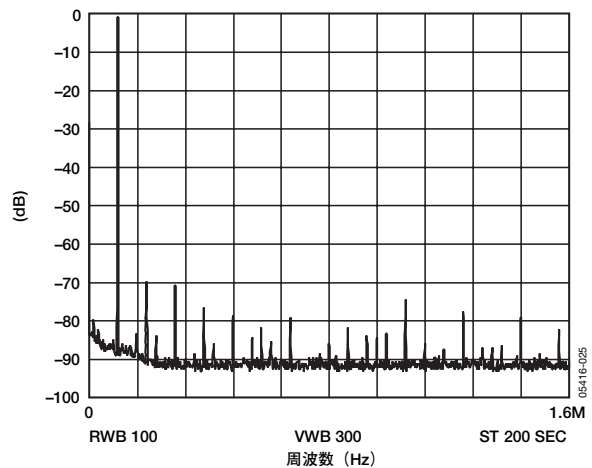


図25.  $f_{MCLK}=50\text{MHz}$ 、 $f_{OUT}=120\text{kHz}$ 、  
周波数ワード=009D496

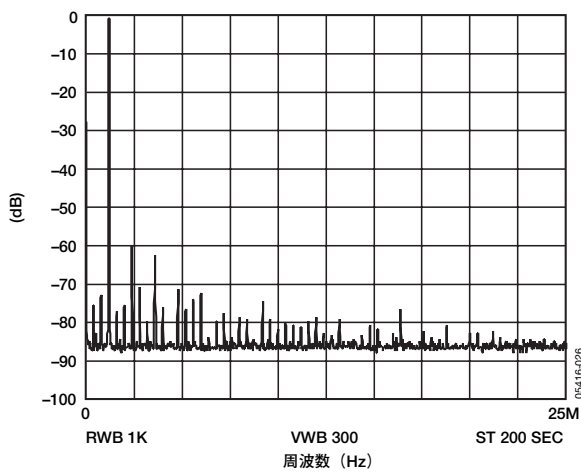


図26.  $f_{MCLK} = 50\text{MHz}$ 、 $f_{OUT} = 1.2\text{MHz}$ 、  
周波数ワード=0624DD3

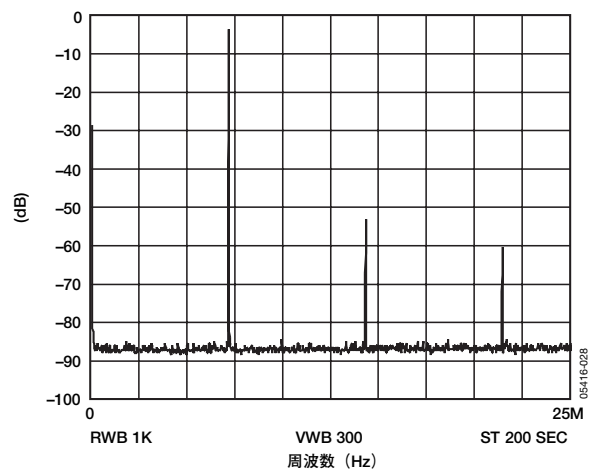


図28.  $f_{MCLK} = 50\text{MHz}$ 、  
 $f_{OUT} = 7.143\text{MHz} = f_{MCLK}/7$ 、  
周波数ワード=2492492

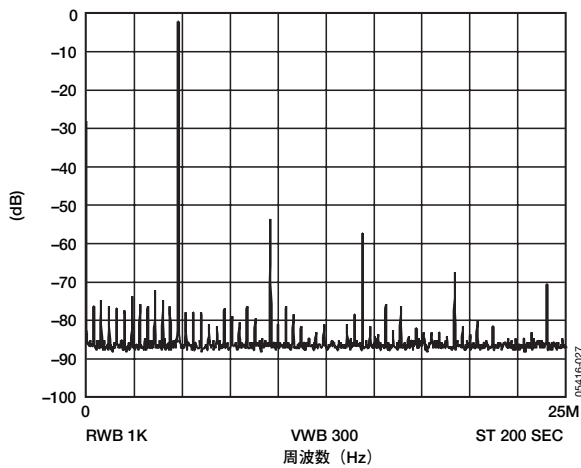


図27.  $f_{MCLK} = 50\text{MHz}$ 、 $f_{OUT} = 4.8\text{MHz}$ 、  
周波数ワード=189374C

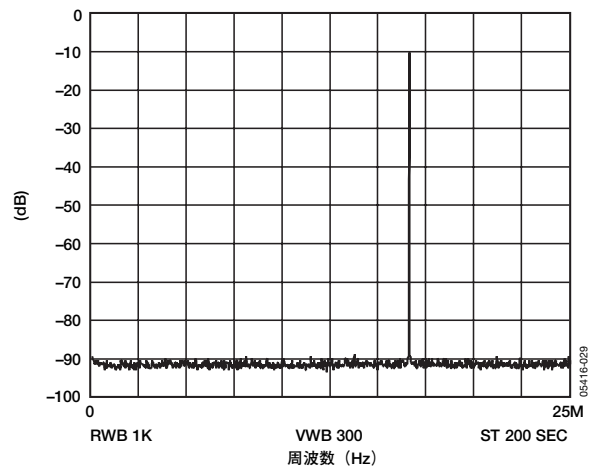


図29.  $f_{MCLK} = 50\text{MHz}$ 、  
 $f_{OUT} = 16.667\text{MHz} = f_{MCLK}/3$ 、  
周波数ワード=5555555

## 用語の説明

### 積分非直線性 (INL)

伝達関数の2つのエンドポイント（ゼロスケールとフルスケール）を結ぶ直線からの任意コードの最大偏差をいいます。誤差はLSBで表します。

### 微分非直線性 (DNL)

隣接する2つのコード間における1LSB変化の測定値と理論値の差です。微分非直線性の仕様が±1LSB以内の場合は、単調増加性が保証されます。

### スプリアスフリー・ダイナミック・レンジ (SFDR)

DDSデバイスの出力側には、対象となる周波数のほかに、基本周波数の高調波成分とこれらの周波数のイメージが存在します。SFDRは、これらの周波数帯域幅に存在する最大のスプリアスまたは高調波を指します。ワイドバンドSFDRは、0～ナイキスト帯域幅における基本周波数の振幅を基準にした、最大の高調波またはスプリアスの振幅です。ナローバンドSFDRは、基本周波数の±200kHzの帯域幅における最大のスプリアスまたは高調波の減衰量です。

### 全高調波歪み (THD)

高調波のRMS値総和と基本波のRMS値の比です。AD5932では、次のように定義されます。

$$THD(\text{dB}) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

$V_1$ は基本波のRMS振幅

$V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 、 $V_6$ は2次～6次高調波のRMS振幅

### S/N比 (SNR)

測定された出力信号のRMS値と、ナイキスト周波数より下の全スペクトル成分のRMS値総和との比で、dB値で表します。

### クロック・フィードスルー

MCLK入力からアナログ出力までの間にフィードスルーが発生します。クロック・フィードスルーとは、AD5932の出力スペクトルの基本周波数を基準にしたMCLK信号の大きさをいいます。

## 動作原理

AD5932は、周波数と時間の両方の領域で波形シーケンスのデジタル・プログラムが可能な汎用の合成波形発生器です。このデバイスには、ユーザ・プログラマブルの周波数プロファイルをスキャンする組み込みデジタル信号処理回路が内蔵されているため、高度な周波数制御動作が可能です。事前にプログラムできるため、特定の波形を生成するときに、DSP/マイクロコントローラから連続した書き込みサイクルを実行する必要がありません。

### 周波数プロファイル

周波数プロファイルは、開始周波数 ( $F_{START}$ )、周波数インクリメント ( $\Delta f$ )、スキャンあたりのインクリメント数 ( $N_{INCR}$ ) によって決まります。周波数インクリメント・インターバル ( $t_{INT}$ ) は、デバイスによって自動的に決定されたインターバルをプログラムするか (自動インクリメント・モード)、ハードウェア・ピンを使用して外部から制御します (外部インクリメント・モード)。自動更新の場合、インターバル・プロファイルは固定のクロック・サイクル数または出力波形サイクル数で指定できます。

自動インクリメント・モードでは、CTRLピンに1つのパルスが入力されるだけで周波数スキャンが開始、実行されます。外部インクリメント・モードでも同様に、CTRLピンを使用してスキャンが開始されますが、周波数インクリメントのインターバルはCTRLピンが0/1に連続的に遷移するときの時間インターバルによって決まります

図30に、2ステップ周波数スキャンの例を示します。なお、周波数掃引された出力信号は連続的に使用可能であるため、すべての周波数インクリメントにおいて位相連続です。

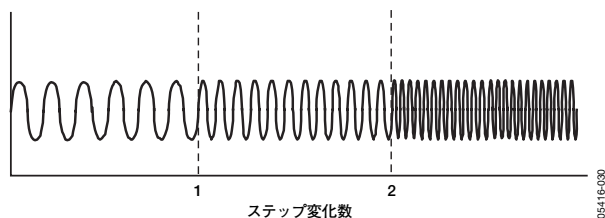


図30. AD5932の動作

AD5932が、周波数スタートから周波数エンドまで、すなわち  $F_{START}$  からインクリメントして ( $F_{START} + N_{INCR} \times \Delta f$ ) まで、周波数スキャンを完了すると、そのスキャンにおける最後の周波数を出力し続けます (図31を参照)。なお、周波数スキャン時間は  $(N_{INCR} + 1) \times t_{INT}$  となります。

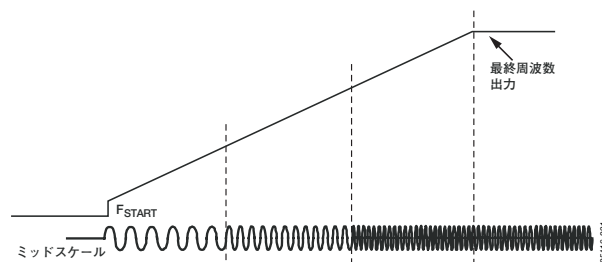


図31. 周波数スキャン

### シリアル・インターフェース

AD5932は標準の3線シリアル・インターフェースを備えており、業界標準のSPI<sup>®</sup>、QSPI<sup>™</sup>、MICROWIRE<sup>™</sup>、DSPインターフェースと互換性があります。

データは、シリアル・クロック入力SCLKの制御により、16ビット・ワードとしてデバイスにロードされます。この動作のタイミング図を図4に示します。

FSYNC入力は、フレーム同期およびチップ・イネーブルとして機能するレベル・トリガ入力です。データをデバイスに転送できるのは、FSYNCがローレベルのときのみです。シリアル・データの転送を開始するには、FSYNCからSCLK立下がりエッジまでの最小セットアップ時間 $t_s$ を守りながら、FSYNCをローレベルにしてください。FSYNCがローレベルになった後、SCLKの立下がりエッジで16クロック・パルスの間、シリアル・データがデバイスの入力シフト・レジスタに入力されます。SCLKの立下がりエッジからFSYNCの立上がりエッジまでの最小ホールド時間 $t_h$ を守りながら、SCLKの16番目の立下がりエッジの後で、FSYNCをハイレベルにできます。あるいは、16SCLKパルスの倍数のサイクル中にFSYNCをローレベルに保持してから、データ転送の最後にハイレベルにすることも可能です。この方法では、FSYNCがローレベルに保持されている間に、16ビット・ワードの連続ストリームをロードできます。FSYNCは、ロードされた最後のワードの16番目のSCLKの立下がりエッジの後にハイレベルにします。

SCLKは連続させることも、書き込み動作と書き込み動作の間にアイドル・ハイまたはアイドル・ローにすることもできます。

### AD5932のパワーアップ

AD5932はパワーアップ時に未定義の状態にあるため、使用前にリセットする必要があります。7個のレジスタ (コントロールおよび周波数) には無効なデータが含まれるため、既知の値を設定してください。デバイスはコントロール・レジスタによってセットアップされるため、このレジスタを最初にプログラムしてください。コントロール・レジスタへの書き込みによって、内部ステート・マシンが自動的にリセットされ、ミッドスケールのアナログ出力が供給されます (INTERRUPTピンと同じ働き)。通常はこの後で、すべての必要なスキャン・パラメータがシリアルにロードされます。CTRLピンを使用して周波数スキャンが開始されるまで、DACの出力はミッドスケールに維持されます。

# AD5932

## AD5932のプログラミング

AD5932は、CTRLピンをトリガすると周波数スキャンを自動的に実行するように設計されています。この自動スキャンは一連のレジスタによって制御されます。これらのレジスタのアドレスを表5に示します。各レジスタの機能については、「周波数スキャンの設定」で詳細に説明します。

### コントロール・レジスタ

AD5932は、次のビットマップに示すように、動作モードをセットアップする12ビットのコントロール・レジスタを内蔵しています。

| D15 | D14 | D13 | D12 | D11~D0 |
|-----|-----|-----|-----|--------|
| 0   | 0   | 0   | 0   | 制御ビット  |

AD5932の各種の機能と出力オプションは、このレジスタによって制御します。表6に、コントロール・レジスタの各ビットの説明を示します。

コントロール・レジスタのアドレスを指定するときは、16ビット・シリアル・ワードのうちD15からD12までのビットを0に設定する必要があります。

表5. レジスタのアドレス

| レジスタ・アドレス |     |     |     | 記号                 | 名前             |
|-----------|-----|-----|-----|--------------------|----------------|
| D15       | D14 | D13 | D12 |                    |                |
| 0         | 0   | 0   | 0   | C <sub>REG</sub>   | 制御ビット          |
| 0         | 0   | 0   | 1   | N <sub>INCR</sub>  | インクリメント数       |
| 0         | 0   | 1   | 0   | Δf                 | デルタ周波数の下位12ビット |
| 0         | 0   | 1   | 1   | Δf                 | デルタ周波数の上位12ビット |
| 0         | 1   |     |     | I <sub>INT</sub>   | インクリメント・インターバル |
| 1         | 0   |     |     |                    | 予備             |
| 1         | 1   | 0   | 0   | F <sub>START</sub> | 開始周波数の下位12ビット  |
| 1         | 1   | 0   | 1   | F <sub>START</sub> | 開始周波数の上位12ビット  |
| 1         | 1   | 1   | 0   |                    | 予備             |
| 1         | 1   | 1   | 1   |                    | 予備             |

表6. コントロール・レジスタの各ビットの説明

| ビット     | 名前           | 機能  |
|---------|--------------|---|
| D15~D12 | ADDR         | レジスタのアドレス・ビット   |
| D11     | B24          | F <sub>START</sub> レジスタとΔfレジスタに完全なワードをロードするためには、書き込み動作が2回必要です。<br>B24=1の場合、2回の連続した書き込み動作で完全なワードを周波数レジスタにロードできます。最初の書き込みには周波数ワードの12LSBが含まれ、次の書き込みには12MSBが含まれます。該当するアドレスについては、表5を参照してください。デスティネーション・レジスタへの書き込みは両方のワードがロードされてから実行されるため、レジスタは中間値を保持しません。<br>B24=0の場合、24ビットのF <sub>START</sub> /Δfレジスタが2個の12ビット・レジスタとして動作し、一方には12MSB、他方には12LSBが含まれます。つまり、周波数ワードの12MSBと12LSBとは独立して変更できます。これは、24ビット全部を更新する必要がない場合に便利です。12MSBまたは12LSBを変更するときには、該当するレジスタ・アドレスに書き込み動作を1回だけ行います。該当するアドレスについては、表5を参照してください。 |
| D10     | DAC ENABLE   | DAC ENABLE=1の場合、DACがイネーブルになります。<br>DAC ENABLE=0の場合、DACがパワーダウンし、消費電力が節減されます。DAC入力データのうち（MSBOUTピンから出力される）MSBのみを使用する場合に効果的です。  |
| D9      | SINE/TRI     | VOUTピンの出力機能を制御します。<br>SINE/TRI=1の場合、SIN ROMを使用して位相情報を振幅情報に変換し、サイン波出力が得られます。<br>SINE/TRI=0の場合、SIN ROMをバイパスし、DACから三角波（アップ/ダウン）出力が得られます。   |
| D8      | MSBOUTEN     | MSBOUTEN=1の場合、MSBOUTピンがイネーブルになります。<br>MSBOUTEN=0の場合、MSBOUTピンがディスエーブル（スリープ状態）になります。  |
| D7      | 予備           | このビットは常に1に設定します。  |
| D6      | 予備           | このビットは常に1に設定します。  |
| D5      | INT/EXT INCR | INT/EXT INCR=1の場合、CTRLピンを使用して周波数インクリメントが外部からトリガされます。<br>INT/EXT INCR=0の場合、周波数インクリメントが自動的にトリガされます。   |
| D4      | 予備           | このビットは常に1に設定します。  |
| D3      | SYNCSEL      | D2=1のときに、このビットがアクティブになります。パルスの出力を、スキャン終了（EOS）時に行うか、周波数インクリメント時に行うかを選択できます。<br>SYNCSEL=1の場合、ハイレベル信号がスキャンの終了時にSYNCOUTピンから出力され、このピンは次のスキャンの開始時にゼロに戻ります。<br>SYNCSEL=0の場合、周波数がインクリメントされるときのみ、4×T <sub>CLOCK</sub> のパルスがSYNCOUTピンから出力されます。  |
| D2      | SYNCOUTEN    | SYNCOUTEN=1のときに、SYNC信号がSYNCOUTピンから出力されます。<br>SYNCOUT EN=0のときに、SYNCOUTピンがディスエーブル（スリープ状態）になります。   |
| D1      | 予備           | このビットは常に1に設定します。  |
| D0      | 予備           | このビットは常に1に設定します。  |



## 周波数スキヤンの設定

「周波数プロファイル」の項で述べたように、AD5932で周波数スキヤンをイネーブルにするには、特定のレジスタをプログラムする必要があります。ここでは、これらのレジスタについて詳細に説明します。

### 開始周波数 ( $F_{START}$ )

周波数スキヤンを開始する場合、どの周波数からスキヤンを開始するかをAD5932に通知する必要があります。この周波数は、 $F_{START}$ という名前の24ビット・レジスタに保存されます。 $F_{START}$ レジスタの内容全体を変更したい場合は、2回の連続した書き込み動作で、LSBとMSBにそれぞれデータを書き込みます。このレジスタにデータをすべて書き込むには、制御ビットB24 (D11) を1に設定し、最初にLSBからプログラムしてください。

アプリケーションによっては、 $F_{START}$ レジスタの全24ビットを変更する必要のない場合があります。制御ビットB24 (D11) を0に設定すると、この24ビット・レジスタが2個の12ビット・レジスタとして動作し、1つには12MSB、もう1つには12LSBがそれぞれ保存されます。つまり、 $F_{START}$ ワードの12MSBと12LSBはそれぞれ独立して変更できます。このレジスタのLSBとMSB両方のアドレスを次のビットマップに示します。

| D15 | D14 | D13 | D12 | D11~D0                       |
|-----|-----|-----|-----|------------------------------|
| 1   | 1   | 0   | 0   | $F_{START}$ の12LSB <11...0>  |
| 1   | 1   | 0   | 1   | $F_{START}$ の12MSB <23...12> |

### 周波数インクリメント ( $\Delta f$ )

$\Delta f$ レジスタの値に基づいて、スキヤンのインクリメント周波数が設定され、この値は現在の出力周波数に合算されます。インクリメント周波数は正、負のいずれの値も可能であることから、これを利用してスキヤン周波数を増減できます。

スキヤンの開始時には、 $F_{START}$ レジスタに保持されている周波数が出力されます。次に ( $F_{START} + \Delta f$ )、( $F_{START} + \Delta f + \Delta f$ )...のように周波数が出力されます。 $\Delta f$ の値をインクリメント数 ( $N_{INCR}$ ) で乗算し、結果を開始周波数 ( $F_{START}$ ) に加算すれば、スキヤンの最終周波数が求められます。この最終周波数/停止周波数は、次式で表すことができます。

$$F_{START} + (N_{INCR} \times \Delta f)$$

$\Delta f$ レジスタは23ビットのレジスタであるため、設定には16ビット書き込み動作が2回必要です。表7に、 $\Delta f$ ワードのMSBとLSBの両レジスタに関連するアドレスを示します。

表7.  $\Delta f$ レジスタのビット

| D15 | D14 | D13 | D12 | D11 | D10~D0                      | スキヤンの方向                                  |
|-----|-----|-----|-----|-----|-----------------------------|--|
| 0   | 0   | 1   | 0   |     | $\Delta f$ の12LSB <11...0>  | 該当なし                                     |
| 0   | 0   | 1   | 1   | 0   | $\Delta f$ の11MSB <22...12> | 正の $\Delta f$ ( $F_{START} + \Delta f$ ) |
| 0   | 0   | 1   | 1   | 1   | $\Delta f$ の11MSB <22...12> | 負の $\Delta f$ ( $F_{START} - \Delta f$ ) |

### インクリメント数 ( $N_{INCR}$ )

AD5932では最終周波数を必要としません。最終周波数は周波数インクリメント値 ( $\Delta f$ ) を周波数ステップ数 ( $N_{INCR}$ ) で乗算し、結果を開始周波数 ( $F_{START}$ ) に加算/減算する方法 ( $F_{START} + N_{INCR} \times \Delta f$ ) によって求められます。 $N_{INCR}$ レジスタは12ビットのレジスタです。次のビットマップにアドレスを示します。

| D15 | D14 | D13 | D12 | D11               | D0       |
|-----|-----|-----|-----|-------------------|----------|
| 0   | 0   | 0   | 1   | $N_{INCR}$ の12ビット | <11...0> |

インクリメント数はバイナリ・フォーマットで設定します。最小値 (2) は000000000010、最大値 (4095) は111111111111で表します。

表8.  $N_{INCR}$ のデータ・ビット

| D11  | ...  | D0   | インクリメント数                                       |
|------|------|------|--|
| 0000 | 0000 | 0010 | 2回の周波数インクリメント ( $\Delta f$ ) (周波数インクリメント数の最小値) |
| 0000 | 0000 | 0011 | 3回の周波数インクリメント                                  |
| 0000 | 0000 | 0100 | 4回の周波数インクリメント                                  |
| ...  | ...  | ...  | ...  |
| 1111 | 1111 | 1110 | 4094回の周波数インクリメント                               |
| 1111 | 1111 | 1111 | 4095回の周波数インクリメント                               |

### インクリメント・インターバル ( $t_{INT}$ )

インクリメント・インターバルに基づいて、周波数スキヤンの個々の周波数に対応するDAC出力信号の持続時間が決まります。AD5932では、以下のいずれかを選択できます。

- 持続時間を出力周波数のサイクルの倍数とする。
- 持続時間をMCLK周期の倍数とする。

次のビットマップに示すように、 $t_{INT}$ レジスタのビットD13を設定して選択します。

| D15 | D14 | D13 | D12 | D11 | D10~D0                        |
|-----|-----|-----|-----|-----|-------------------------------|
| 0   | 1   | 0   | X   | X   | 11ビット<10...0><br>一定の出力波形サイクル数 |
| 0   | 1   | 1   | X   | X   | 11ビット<10...0><br>一定のクロック周期数   |

このレジスタは、バイナリ・フォーマットで設定し、最小値は10進数の2です。レジスタのビットD10からD0までの11個のビットを時間インターバルの設定に使用できます。たとえば、MCLK=50MHzの場合、各クロック周期/ベース・インターバルは、(1/50MHz) = 20nsとなります。100nsの間に各周波数を出力する必要がある場合、<00000000101> (10進数の5) をこのレジスタで設定します。AD5932は最大でインクリメント・インターバルの $2^{11}-1$  (2047) 倍までの時間、各周波数を出力できます。

## AD5932

したがって、この例では時間インターバルの最大値は $20\text{ns} \times 2047 = 40\mu\text{s}$ 、最小値は $40\text{ns}$ となります。一部のアプリケーションでは、 $40\mu\text{s}$ の最大値では不十分な場合があります。したがって、もっと長いインクリメント・インターバルが要求されるスキャンに対応するために、時間ベース乗算器が用意されています。ビットD12とビットD11は時間ベース乗算器専用です（ビットマップを参照）。表9に乗算器オプションを示します。

表9. 時間ベース乗算器の値

| D12 | D11 | 乗算器の値         |
|-----|-----|---------------|
| 0   | 0   | 1倍 (1/MCLK)   |
| 0   | 1   | 5倍 (1/MCLK)   |
| 1   | 0   | 100倍 (1/MCLK) |
| 1   | 1   | 500倍 (1/MCLK) |

MCLKを50MHzとし、500の乗算器を使用する場合には、ベース・インターバル ( $T_{\text{BASE}}$ ) が  $(1/(50\text{MHz}) \times 500) = 10\mu\text{s}$  となります。500の乗算器を使用すると、インクリメント・インターバルの最大値は  $10\mu\text{s} \times (2^{11} - 1) = 20.5\text{ms}$  となります。したがって、オプションで時間ベース乗算器を利用すれば、最小40nsから最大20.5msまでの間で任意の周波数を出力できるため、周波数ウィンドウの時間を設定する際に、非常に高い柔軟性を確保できます。

上の例は、クロック周期が一定の場合を示します。なお、クロック・サイクルが一定の場合も同様です。

### スキャン時間長

ユーザ設定の周波数スキャンを完了するまでの所要時間は、次式から求められます。

$$T_{\text{SCAN}} = (1 + N_{\text{INCR}}) \times T_{\text{BASE}}$$

### スキャンの起動と制御

レジスタのプログラミングが完了した後で、CTRLピンが0から1に遷移すると、スキャンが開始します。スキャンは常に、F<sub>START</sub>レジスタで設定された周波数から開始します。この周波数は $\Delta f$ レジスタの値に応じて変化する、N<sub>INCR</sub>レジスタのステップ数だけ増加します。ただし、各周波数の時間インターバルは、t<sub>INT</sub>レジスタを使用して内部で制御するか、CTRLピンを使用して外部から制御できます。以下のオプションを利用できます。

- 自動インクリメント
- 外部インクリメント

### 自動インクリメント制御

t<sub>INT</sub>レジスタの値を使用して、スキャンを制御します。AD5932はt<sub>INT</sub>レジスタで設定された時間にわたって各周波数を出力し、その後インクリメントして次の周波数を出力します。

AD5932をこのモードに設定するには、INT/EXT INCR（ビットD5）を0に設定します。

### 外部インクリメント制御

この場合、時間インターバル (t<sub>INT</sub>) は、CTRLピンのパルス・レートによって設定されます。このピンが最初に0から1に遷移するときに、スキャンが開始します。その後、CTRLピンが0から1に遷移するたびに、 $\Delta f$ レジスタで設定された値だけ出力周波数がインクリメントされます。

AD5932をこのモードに設定するには、INT/EXT INCR（ビットD5）を1に設定します。

### 割込みピン

このピンは、周波数スキャンの実行中に割込みとして機能します。このピンのローレベルからハイレベルへの遷移が内部MCLKによってサンプリングされ、これによって内部のステータス・マシンがリセットされます。その結果、DACの出力がミッドスケールに設定されます。

### スタンバイ・ピン

消費電力を最小限に抑えるために、AD5932内部の使用されていない回路部をパワーダウンできます。このパワーダウンは、STANDBYピンを使用して行います。消費電力の節減を最適化するために、AD5932をリセットしてからスタンバイ・モードに設定することを推奨します。これによって、パワーダウン時の消費電流が20 $\mu\text{A}$ に低減されます。

このピンがハイレベルのときに、内部MCLKがディセーブルになり、リファレンス、DAC、レギュレータがパワーダウンします。この状態のときには、NCOの累積が停止されるため、AD5932のDAC出力はその時点の値に保持されます。AD5932がスタンバイ・モードを終了して通常の動作モードに復帰すると、MCLKが再びアクティブになり、スキャンが続行されます。新しいデータに対応して正しく動作させるためには、コントロール・レジスタに書込みを行うかINTERRUPTピンを使用してAD5932を内部リセットし、その後再起動することを推奨します。

## AD5932からの出力

AD5932は各種の出力をチップから供給します。アナログ出力はVOUTピンから供給され、サイン波出力と三角波出力があります。デジタル出力は、MSBOUTピンとSYNCOOUTピンから供給されます。

### アナログ出力

#### サイン波出力

SIN ROMを使用して、周波数レジスタからの位相情報を振幅情報に変換すると、出力でサイン波信号が得られます。

AD5932は、シングルエンド動作に設定された、高インピーダンスで10ビットの電流源DACを内蔵しています。AD5932は200Ωの抵抗を内蔵しているため、外付けの負荷抵抗は必要ありません。VOUTピンからサイン波出力を得るには、コントロール・レジスタのSINE/TRI（ビットD9）を1に設定します。

#### 三角波出力

SIN ROMをバイパスし、NCOからの切り捨てられたデジタル出力をDACに送信できます。この場合、出力はサイン波ではなく、DACは10ビットの直線三角関数を生成します。VOUTピンから三角波出力を得るには、SINE/TRIビット（ビットD9）を0に設定します。このピンを使用するときには、DAC ENABLEビット（ビットD10）を1（DACをイネーブル）に設定してください。

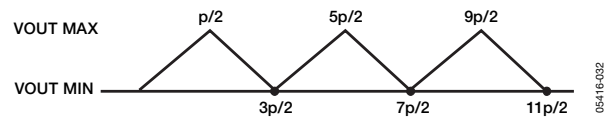


図32. 三角波出力

### デジタル出力

#### MSBOUTからの矩形波出力

NCOからのMSBの反転データをAD5932から出力できます。MSBOUTEN（ビットD8）ピンを1に設定すれば、DACのMSB反転データがMSBOUTピンから出力されます。これは、デジタル・クロック源として利用できます。



図33. MSB出力

#### SYNCOOUTピン

SYNCOOUTピンは、スキャンのステータスの通知に使用できます。スキャンの終了を通知するか、周波数のインクリメント時に $4 \times T_{\text{CLOCK}}$ のパルスを出力するかを選択できます。この両方のモードのタイミング情報を図6に示します。

SYNCOOUTピンは、使用する前にイネーブルにしておきます。この設定は、コントロール・レジスタのビットD2を使用して行います。その後、コントロール・レジスタのビットD3を使用して、このピンから供給される出力を制御します。詳細については、表6を参照してください。

## アプリケーション

### グラウンディングとレイアウト

AD5932を実装するPCボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれまとめて配置するように設計してください。こうすれば、簡単に分離できるグラウンド・プレーンを使用できるようになります。一般にグラウンド・プレーンのエッチングを最小化すると、最適なシールド効果が得られます。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは、必ず1点で接続する必要があります。AD5932が、AGNDとDGND間の接続を必要とする唯一のデバイスである場合は、グラウンド・プレーンをAD5932のAGNDピンとDGNDピンで接続します。複数のデバイスがAGNDとDGND間の接続を必要とするシステム内でAD5932を使用する場合でも、接続は1箇所で行います。AD5932のできるだけ近くにスター結線してください。

チップにノイズが混入するのを防ぐため、AD5932の真下にデジタル・ラインを通さないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンはAD5932の下を通します。AD5932の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を低減させます。ボードの他の部分へのノイズの拡散を防ぐため、クロックなどの高速スイッチング信号を持つ部品は、デジタル・グラウンドでシールドして、アナログ入力の近くを通らないようにしてください。デジタル信号とアナログ信号が交差しないようにしてください。ボードの両側のパターンは互いに直角になるように配置し、フィードスルーの影響を減らします。最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンをハンダ面に配置するマイクロストリップ技術ですが、2層ボードでは必ずしも使用できるとは限りません。

デカップリングを正しく行うことも重要です。アナログ部とデジタル部のカップリングを最小限に抑えるために、AD5932のアナログ電源とデジタル電源は独立しており、別々のピン配置となっています。すべてのアナログ電源とデジタル電源は、0.1 $\mu$ Fのセラミック・コンデンサと10 $\mu$ Fのタンタル・コンデンサを並列に接続して、それぞれをAGNDとDGNDにデカップリングしてください。これらのデカップリング用コンデンサから最高の性能を引き出すには、できるだけデバイスの近く、理想的にはデバイスの直近に配置します。AD5932のAVDDとDVDDの駆動に共通の電源を使用するシステムでは、システムのAVDD電源を使用することを推奨します。この電源では、AD5932のAVDDピンとAGNDの間で推奨のアナログ電源デカップリングを行い、さらにAD5932のDVDDピンとDGNDの間で推奨のデジタル電源デカップリングを行うことが必要です。

### マイクロプロセッサへのインターフェース

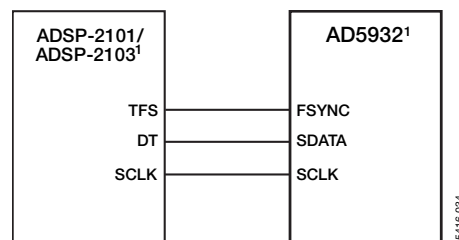
AD5932には標準のシリアル・インターフェースが備わっており、種々のマイクロプロセッサと直接インターフェースをとることができます。デバイスは、外部シリアル・クロックを使用して、データ/制御情報の書込みを行います。シリアル・クロックの最大周波数は40MHzです。シリアル・クロックは、連続させることも、書込み動作と書込み動作の間にアイドル・ハイまたはアイドル・ローにすることもできます。AD5932にデータ/制御情報が書き込まれると、FSYNCがローレベルになり、16ビットのデータがAD5932に書き込まれている間はローレベルに保持されます。FSYNC信号は、AD5932にロードされる16ビットの情報をフレーミングします。

### AD5932とADSP-21xxのインターフェース

図34に、AD5932とADSP-21xxとのシリアル・インターフェースを示します。ADSP-21xxは、SPORT送信オルタネート・フレーミング・モード (TFSW=1) で動作するように設定してください。ADSP-21xxはSPORTコントロール・レジスタを通じてプログラムされます。次のように構成してください。

- 内部クロック動作 (ISCLK=1)
- アクティブ・ロー・フレーミング (INVTFS=1)
- 16ビット・ワード長 (SLEN=15)
- 内部フレーム同期信号 (ITFS=1)
- 書込みごとにフレーム同期を生成 (TFSR=1)

SPORTをイネーブルにしてから送信レジスタにワードを書き込むと、送信が開始されます。シリアル・クロックの各立上がりエッジでデータがクロック出力され、SCLKの立下りエッジでデータがAD5932にクロック入力されます。



<sup>1</sup>わかりやすくするために、他のピンは省略しています。

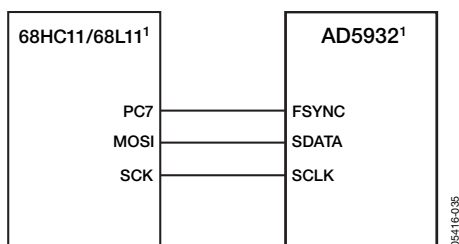
図34. ADSP-2101/ADSP-2103とAD5932のインターフェース

### AD5932と68HC11/68L11のインターフェース

図35に、AD5932と68HC11/68L11マイクロコントローラとのシリアル・インターフェースを示します。マイクロコントローラは、SPCR内のMSTRビットを1に設定してマスターとして構成されています。これによって、SCKにシリアル・クロックが供給され、MOSI出力がシリアル・データ・ラインSDATAを駆動します。マイクロコントローラには専用のフレーム同期ピンがないため、FSYNC信号はポート・ライン（PC7）から生成されます。インターフェースを正しく動作させるためのセットアップ条件は、次のとおりです。

- 書き込み動作と書き込み動作の間、SCKをアイドル・ハイにする（CPOL=0）
- SCKの立下がりエッジでデータを有効にする（CPHA=1）

データがAD5932に送信されているときに、FSYNCラインがローレベルになります（PC7）。68HC11/68L11から出力されるシリアル・データは8ビット・バイトで送信され、送信サイクルではクロックの8つの立下がりエッジのみが発生します。データはMSBファーストで送信されます。AD5932にデータをロードするために、最初の8ビットが転送されてからPC7がローレベルに保持され、AD5932に2番目のシリアル書き込み動作が実行されます。FSYNCを再びハイレベルにするのは、2番目の8ビットが転送された後です。



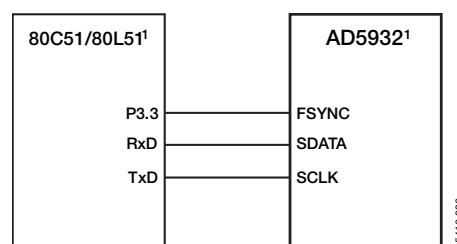
1わかりやすくするために、他のピンは省略しています。

図35. 68HC11/68L11とAD5932のインターフェース

### AD5932と80C51/80L51のインターフェース

図36に、AD5932と80C51/80L51マイクロコントローラとのシリアル・インターフェースを示します。マイクロコントローラはモード0で動作します。これによって、80C51/80L51のTxDがAD5932のSCLKを駆動し、RxDがシリアル・データ・ラインSDATAを駆動します。FSYNC信号は上記と同様に、ポート上のビット・プログラマブル・ピン（図ではP3.3を使用）から生成されます。AD5932にデータを送信するときに、P3.3がローレベルになります。80C51/80L51はデータを8ビット・バイトで送信するため、各サイクルで発生するのはSCLKの8つの立下がりエッジのみです。

残りの8ビットをAD5932にロードするために、最初の8ビットが送信されてからP3.3がローレベルに保持され、2番目の書き込みサイクルが開始されて2番目のデータ・バイトが送信されます。P3.3は、2番目の書き込み動作の終了後、ハイレベルになります。2つの書き込み動作の間では、SCLKをアイドル・ハイにしてください。80C51/80L51は、シリアル・データをLSBファーストのフォーマットで出力します。AD5932はMSBファーストでデータを受信する（4MSBは制御情報、次の4ビットはアドレス、8LSBはデスティネーション・レジスタに書き込むときのデータ）ため、80C51/80L51の送信ルーチンではこのことを考慮に入れて、MSBが最初に出力されるようにビットを並べ替える必要があります。

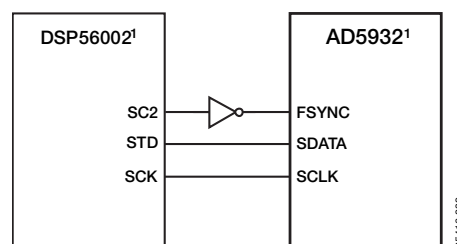


1わかりやすくするために、他のピンは省略しています。

図36. 80C51/80L51とAD5932のインターフェース

### AD5932とDSP56002のインターフェース

図37に、AD5932とDSP56002とのインターフェースを示します。DSP56002は、ゲートド内部クロック（SYN=0、GCK=1、SCKD=1）でノーマル・モードの非同期動作に構成されています。フレーム同期ピンは内部で生成され（SC2=1）、転送は16ビット幅で（WL1=1、WL0=0）、フレーム同期信号で16ビットをフレーミングします（FSL=0）。フレーム同期信号はSC2ピンから出力されますが、AD5932に印加する前に反転する必要があります。DSP56000/DSP56001とのインターフェースは、DSP56002の場合と同様です。



1わかりやすくするために、他のピンは省略しています。

図37. DSP56002とAD5932のインターフェース

## 評価用ボード

AD5932評価用ボードを使用すれば、設計者はわずかな作業で高性能なAD5932 DDS変調器を評価できます。

この評価用ボードは、PCのUSBポートとインターフェースします。USBポートからこのボード全体に電源を供給できます。チップの評価を実施する上で必要なツールは、この評価用ボードのほかに、スペクトラム・アナライザまたはオシロスコープのみです。

DDS評価用キットには、設定／テスト済みのAD5932 PCボードが含まれています。EVAL-AD5932EBキットには、自動インストール・ソフトウェアが収録されたCD-ROMが同梱されています。付属のケーブルを使用してPCを評価用ボードに接続します。ソフトウェアは、Microsoft® Windows® 2000およびWindows XPと互換性があります。

評価用ボードの回路図を図38と図39に示します。

### AD5932評価用ボードの使い方

AD5932評価用キットは、AD5932の評価を簡素化するように設計されたテスト・システムです。評価用ボードには専用のアプリケーション・ノートも用意され、評価用ボードの操作に関する詳細な情報を提供します。

### プロトタイピング領域

評価用ボードには、ユーザが評価用テスト・セットに回路を追加するための領域があります。ユーザは出力にカスタム設計のアナログ・フィルタを組み込んだり、最終アプリケーションで使用するバッファやオペアンプを追加したりできます。

### XOと外部クロック

AD5932は、最高50MHzのマスター・クロックで動作します。評価用ボードには50MHzの発振器が実装されています。この発振器は取り外すこともでき、必要な場合、外部CMOSクロックをデバイスに接続することも可能です。

回路図

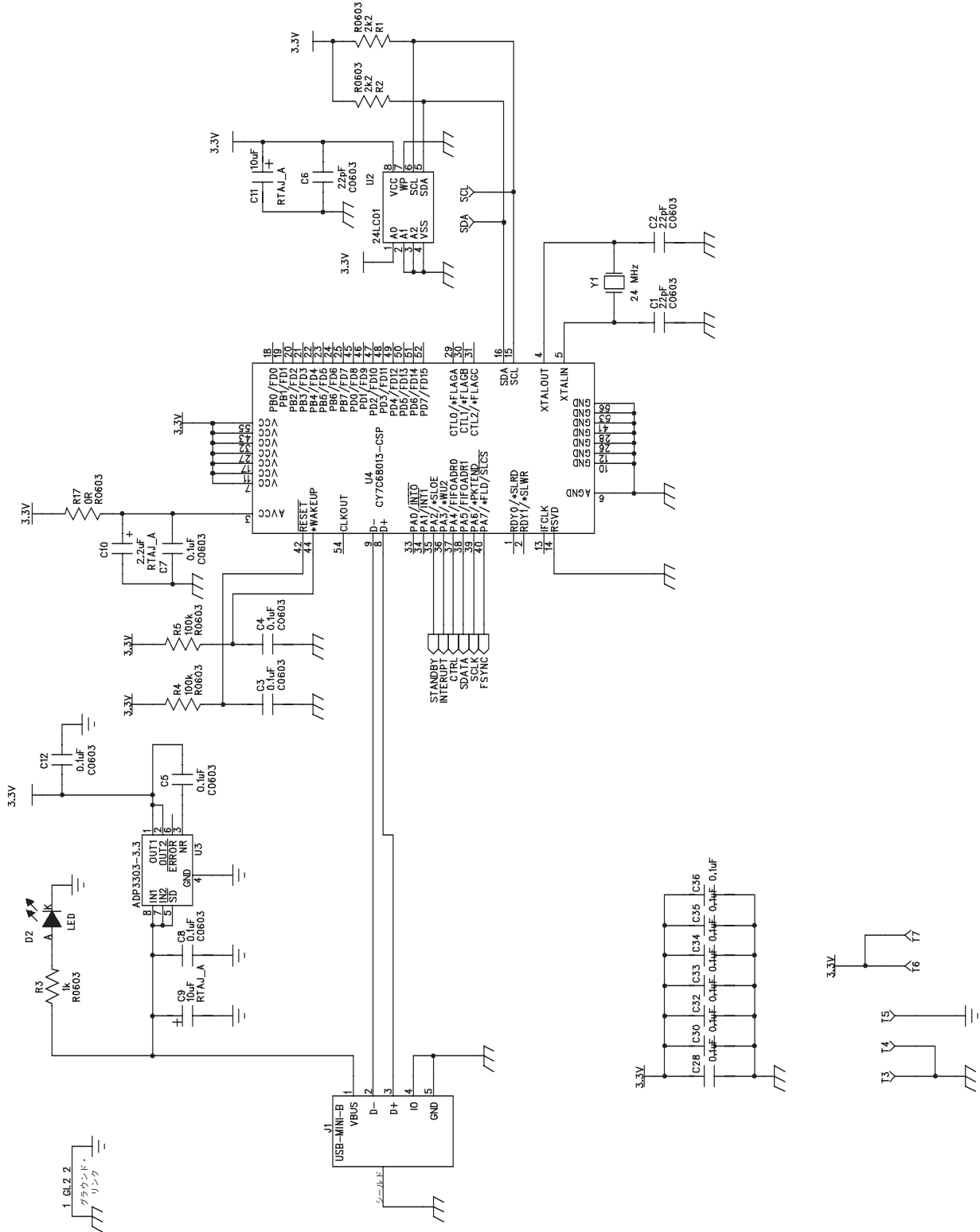


図38. EVAL-AD5932EBの回路図 (ページ1)

05416-038

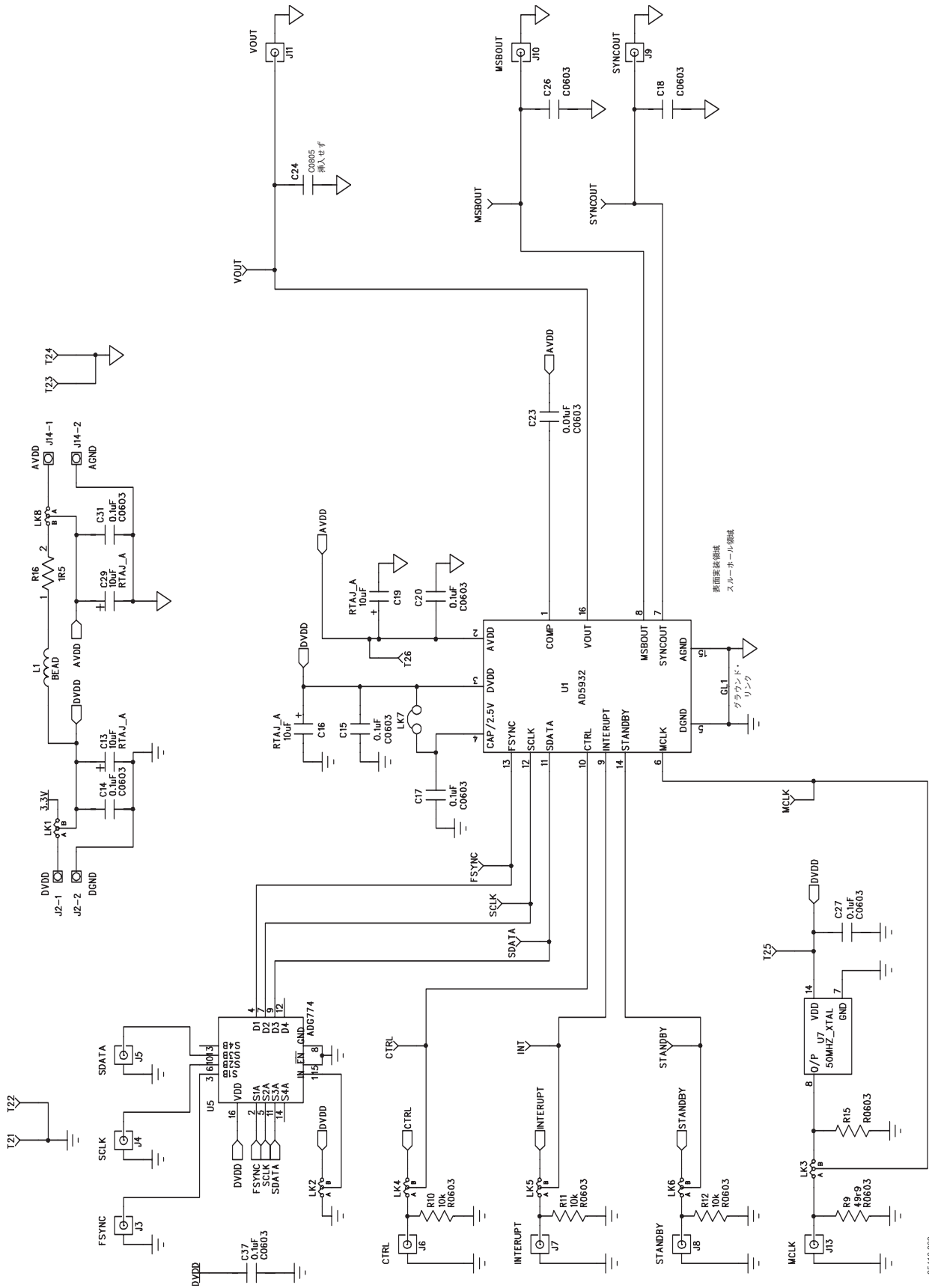


図39. EVAL-AD5932EBの回路図 (ページ2)

05-116-039



## 外形寸法

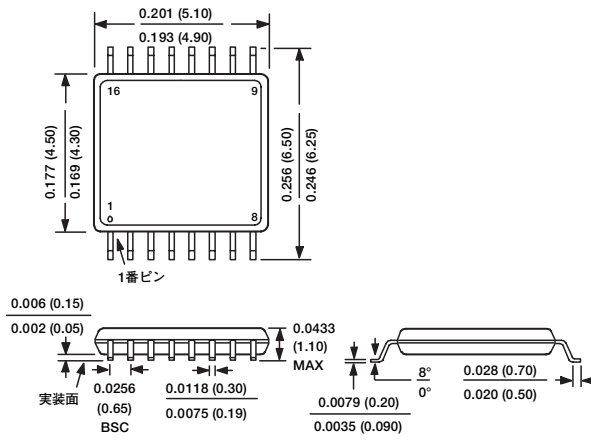


図40. 16ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]  
(RU-16)  
寸法単位：mm

## オーダー・ガイド

| モデル                           | 温度範囲       | パッケージ                                 | パッケージ・オプション |
|-------------------------------|------------|---------------------------------------|-------------|
| AD5932YRUZ <sup>1</sup>       | -40~+125°C | 16ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP] | RU-16       |
| AD5932YRUZ-REEL7 <sup>1</sup> | -40~+125°C | 16ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP] | RU-16       |
| EVAL-AD5932EB                 |            | 評価用ボード                                |             |

<sup>1</sup> Z=鉛フリー製品