

特長

16ビットのクワッド D/A コンバータ(DAC)
出力範囲が設定可能: ± 10 V、 ± 10.2564 V、または ± 10.5263 V
最大 INL 誤差: ± 1 LSB、最大 DNL 誤差: ± 1 LSB
低ノイズ: 60 nV/ $\sqrt{\text{Hz}}$
セトリング・タイム: 最大 10 μs
リファレンス電圧バッファを内蔵
内蔵リファレンス: 10 ppm/ $^{\circ}\text{C}$ 最大
温度センサーを内蔵
パワーアップ/電源断時の出力制御
プログラマブルな短絡保護
LDACによる同時更新
ゼロ・コードに非同期CLR
オフセットとゲインをデジタル調整
ロジック出力の制御ピン
DSP/マイクロコントローラ互換のシリアル・インターフェース
温度範囲: -40°C ~ $+85^{\circ}\text{C}$
iCMOS プロセス技術を採用

アプリケーション

工業用オートメーション
オープン・ループ/クローズド・ループのサーボ制御
プロセス・コントロール
データ・アキュイジション・システム
自動テスト装置
車両のテストおよび測定
高精度計装

概要

AD5764Rは、 ± 11.4 V~ ± 16.5 Vの電源電圧で動作するシリアル入力バイポーラ電圧出力のクワッド・16ビットDACです。公称フルスケール出力範囲は ± 10 Vです。AD5764Rは、出力アンプ、リファレンス・バッファ、当社独自のパワーアップ/パワーダウン制御回路を内蔵しています。また、このデバイスは、シリアル・インターフェースから設定できるデジタルI/Oポートとアナログ温度センサーも内蔵しています。デバイスは、デジタル・オフセットとチャンネルごとのゲイン調整レジスタを内蔵しています。

AD5764Rは、保証された単調性、 ± 1 LSBの積分非直線性(INL)、低ノイズ、10 μs のセトリング・タイムを持つ高性能コンバータです。AD5764Rは、最大10ppm/ $^{\circ}\text{C}$ のリファレンス温度係数を持つ5 Vリファレンス電圧を内蔵しています。電源電圧変化中のパワーアップでは、VOUTxが低インピーダンス・パスを介して0 Vにクランプされます。

AD5764RはiCMOS®技術プラットフォームを採用しています。このプラットフォームは、高電圧レベルの高性能ICを必要とする工業用/計装装置OEMのアナログ・システム設計者向けにデザインされています。iCMOSを使用すると、30 VのアナログICを開発し、 ± 15 V電源で動作させることができると同時に、消費電力とパッケージ・サイズを削減し、かつAC性能とDC性能を向上させることができます。

AD5764Rは、最大 30 MHzのクロック・レートで動作し、DSPおよびマイクロコントローラ・インターフェース規格と互換性を持つシリアル・インターフェースを採用しています。ダブル・バッファリングの採用により、同時に全DACの更新が可能です。入力コーディングは、2の補数フォーマットまたはオフセット・バイナリ・フォーマットに設定することができます。非同期クリア機能により、すべてのデータ・レジスタを使用するコーディングに応じて、バイポーラ・ゼロまたはゼロ・スケールヘクリアすることができます。AD5764Rは、クローズド・ループ・サーボ制御アプリケーションとオープン・ループ制御アプリケーションに最適です。AD5764Rは 32ピンのTQFPパッケージを採用し、 -40°C ~ $+85^{\circ}\text{C}$ の工業温度範囲で仕様を保証しています(機能ブロック図は 図1を参照)。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008-2009 Analog Devices, Inc. All rights reserved.

Rev. B

目次

特長	1	ファンクション・レジスタ	24
アプリケーション	1	データ・レジスタ	25
概要	1	粗調整ゲイン・レジスタ	25
改訂履歴	2	微調整ゲイン・レジスタ	25
機能ブロック図	3	オフセット・レジスタ	26
仕様	4	オフセットとゲインの調整例	26
AC性能特性	6	デザインの特長	27
タイミング特性	7	アナログ出力制御	27
絶対最大定格	10	オフセットとゲインのデジタル調整	27
熱抵抗	10	設定可能な短絡保護機能	27
ESDの注意	10	デジタルI/Oポート	27
ピン配置およびピン機能説明	11	チップ温度センサー	27
代表的な性能特性	13	ローカル・グラウンド・オフセットの調整	27
用語	19	アプリケーション情報	28
動作原理	21	代表的な動作回路	28
DACアーキテクチャ	21	レイアウトのガイドライン	30
リファレンス電圧バッファ	21	電流絶縁型インターフェース	30
シリアル・インターフェース	21	マイクロプロセッサ・インターフェース	30
LDACによる同時更新	22	評価ボード	31
伝達関数	23	外形寸法	32
非同期クリア($\overline{\text{CLR}}$)	23	オーダー・ガイド	32
レジスタ	24		

改訂履歴

8/09—Rev. A to Rev. B

Deleted Endnote 1 in Table 1	4
Deleted Endnote 1 in Table 2	6
Deleted Endnote 1 and Changes t_6 Parameter in Table 3	7
Changes to Ordering Guide	32

2/09—Rev. 0 to Rev. A

Changes to Table 1 Test Conditions/Comments and Added Endnote to Table 1	4
Added Endnote to Table 2	6
Added Endnote to Table 3	7

10/08—Revision 0: Initial Version

機能ブロック図

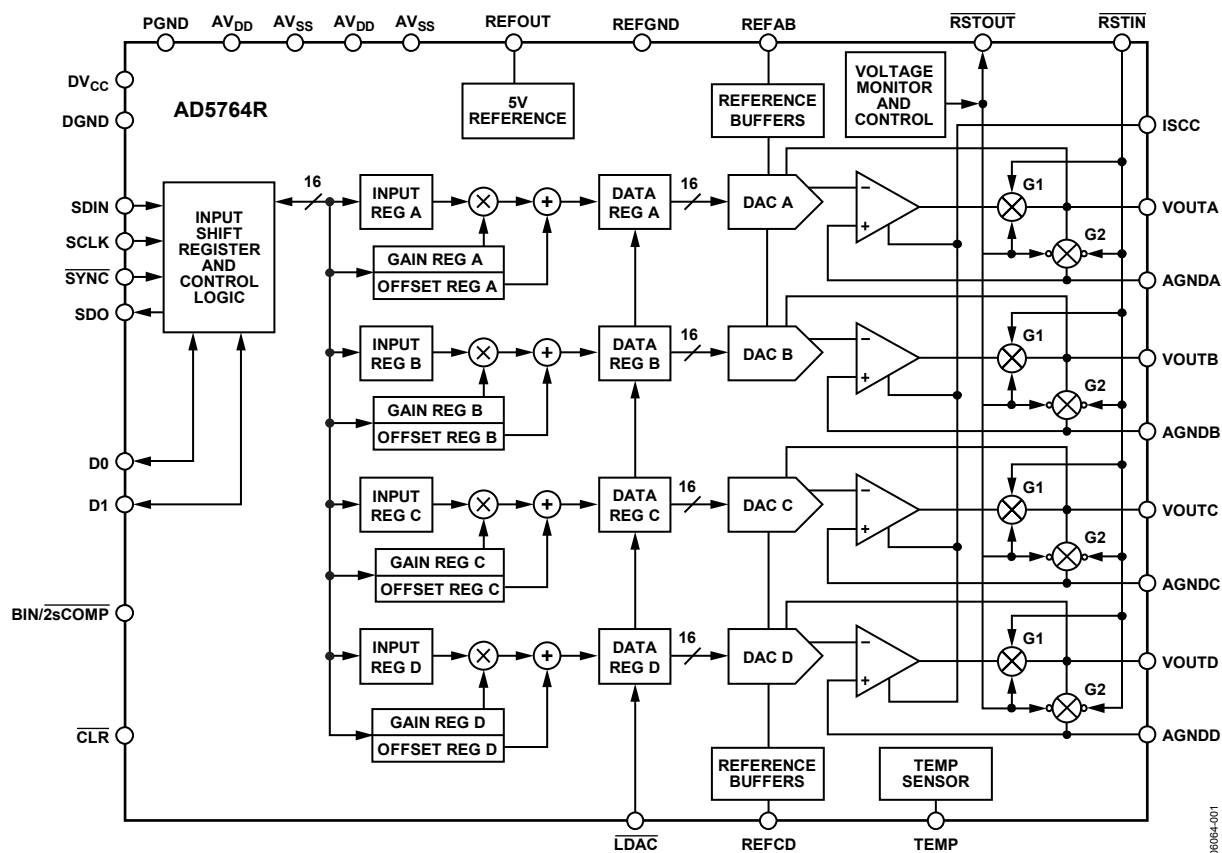


図 1.

08064-001

仕様

$AV_{DD} = 11.4\text{ V} \sim 16.5\text{ V}$ 、 $AV_{SS} = -11.4\text{ V} \sim -16.5\text{ V}$ 、 $AGND = DGND = REFGND = PGND = 0\text{ V}$ ； $REFAB = REFCD = 5\text{ V}$ 外部； $DV_{CC} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $R_{LOAD} = 10\text{ k}\Omega$ 、 $C_L = 200\text{ pF}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 1.

Parameter	B Grade ¹	C Grade ¹	Unit	Test Conditions/Comments
ACCURACY				Outputs unloaded
Resolution	16	16	Bits	
Relative Accuracy (INL)	± 2	± 1	LSB max	
Differential Nonlinearity (DNL)	± 1	± 1	LSB max	Guaranteed monotonic
Bipolar Zero Error	± 2	± 2	mV max	25°C; error at other temperatures obtained using bipolar zero tempo
Bipolar Zero Tempo ²	± 3	± 3	mV max	
Zero-Scale Error	± 2	± 2	ppm FSR/°C max	25°C; error at other temperatures obtained using zero-scale tempo
Zero-Scale Tempo ²	± 2	± 2	mV max	
Gain Error	± 0.02	± 0.02	ppm FSR/°C max	
Gain Tempo ²	± 2	± 2	% FSR max	
DC Crosstalk ²	± 2	± 2	ppm FSR/°C max	
DC Crosstalk ²	0.5	0.5	LSB max	
REFERENCE INPUT/OUTPUT				
Reference Input ²				
Reference Input Voltage	5	5	V nominal	$\pm 1\%$ for specified performance
DC Input Impedance	1	1	M Ω min	Typically 100 M Ω
Input Current	± 10	± 10	μA max	Typically $\pm 30\text{ nA}$
Reference Range	1/7	1/7	V min/V max	
Reference Output				
Output Voltage	4.995/5.005	4.995/5.005	V min/V max	At 25°C, $AV_{DD}/AV_{SS} = \pm 13.5\text{ V}$
Reference Tempo ²	± 10	± 10	ppm/°C max	Typically 1.7ppm/°C
R_{LOAD} ²	1	1	M Ω min	
Power Supply Sensitivity ²	300	300	$\mu\text{V}/\text{V}$ typ	
Output Noise ²	18	18	μV p-p typ	0.1 Hz to 10 Hz
Noise Spectral Density ²	75	75	nV/ $\sqrt{\text{Hz}}$ typ	At 10 kHz
Output Voltage Drift vs. Time ²	± 40	± 40	ppm/500 hr typ	
	± 50	± 50	ppm/1000 hr typ	
Thermal Hysteresis ²	70	70	ppm typ	First temperature cycle
	30	30	ppm typ	Subsequent temperature cycles
OUTPUT CHARACTERISTICS ²				
Output Voltage Range ³	± 10.5263	± 10.5263	V min/V max	$AV_{DD}/AV_{SS} = \pm 11.4\text{ V}$, $V_{REFIN} = 5\text{ V}$
	± 14	± 14	V min/V max	$AV_{DD}/AV_{SS} = \pm 16.5\text{ V}$, $V_{REFIN} = 7\text{ V}$
Output Voltage Drift vs. Time	± 13	± 13	ppm FSR/500 hr typ	
	± 15	± 15	ppm FSR/1000 hr typ	
Short-Circuit Current	10	10	mA typ	$R_{ISCC} = 6\text{ k}\Omega$, see Figure 31
Load Current	± 1	± 1	mA max	For specified performance
Capacitive Load Stability				
$R_{LOAD} = \infty$	200	200	pF max	
$R_{LOAD} = 10\text{ k}\Omega$	1000	1000	pF max	
DC Output Impedance	0.3	0.3	Ω max	

Parameter	B Grade ¹	C Grade ¹	Unit	Test Conditions/Comments
DIGITAL INPUTS²				
Input High Voltage, V_{IH}	2.4	2.4	V min	$DV_{CC} = 2.7\text{ V to }5.25\text{ V}$ Per pin Per pin
Input Low Voltage, V_{IL}	0.8	0.8	V max	
Input Current	± 1.2	± 1.2	$\mu\text{A max}$	
Pin Capacitance	10	10	pF max	
DIGITAL OUTPUTS (D0, D1, SDO)²				
Output Low Voltage	0.4	0.4	V max	$DV_{CC} = 5\text{ V} \pm 5\%$, sinking 200 μA $DV_{CC} = 5\text{ V} \pm 5\%$, sourcing 200 μA
Output High Voltage	$DV_{CC} - 1$	$DV_{CC} - 1$	V min	
Output Low Voltage	0.4	0.4	V max	$DV_{CC} = 2.7\text{ V to }3.6\text{ V}$, sinking 200 μA $DV_{CC} = 2.7\text{ V to }3.6\text{ V}$, sourcing 200 μA
Output High Voltage	$DV_{CC} - 0.5$	$DV_{CC} - 0.5$	V min	
High Impedance Leakage Current	± 1	± 1	$\mu\text{A max}$	SDO only
High Impedance Output Capacitance	5	5	pF typ	SDO only
DIE TEMPERATURE SENSOR²				
Output Voltage at 25°C	1.47	1.47	V typ	Die temperature
Output Voltage Scale Factor	5	5	mV/°C typ	
Output Voltage Range	1.175/1.9	1.175/1.9	V min/V max	-40°C to +105°C
Output Load Current	200	200	$\mu\text{A max}$	Current source only
Power-On Time	10	10	ms typ	
POWER REQUIREMENTS				
AV_{DD}/AV_{SS}	11.4/16.5	11.4/16.5	V min/V max	
DV_{CC}	2.7/5.25	2.7/5.25	V min/V max	
Power Supply Sensitivity ²				
$\Delta V_{OUT}/\Delta AV_{DD}$	-85	-85	dB typ	
AI_{DD}	3.55	3.55	mA/channel max	Outputs unloaded
AI_{SS}	2.8	2.8	mA/channel max	Outputs unloaded
DI_{CC}	1.2	1.2	mA max	$V_{IH} = DV_{CC}$, $V_{IL} = \text{DGND}$, 750 $\mu\text{A typ}$
Power Dissipation	275	275	mW typ	$\pm 12\text{ V operation output unloaded}$

¹ 温度範囲: +25°C で-40°C~+85°C (typ)。デバイス機能は+105°C まで保証しますが性能低下があります。

² デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

³ 出力アンプのヘッドルームは最小 1.4 V 必要です。

AC性能特性

$AV_{DD} = 11.4\text{ V} \sim 16.5\text{ V}$ 、 $AV_{SS} = -11.4\text{ V} \sim -16.5\text{ V}$ 、 $AGND = DGND = REFGND = PGND = 0\text{ V}$ ； $REFAB = REFCD = 5\text{ V}$ 外部； $DV_{CC} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $R_{LOAD} = 10\text{ k}\Omega$ 、 $C_L = 200\text{ pF}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 2.

Parameter	B Grade	C Grade	Unit	Test Conditions/Comments
DYNAMIC PERFORMANCE¹				
Output Voltage Settling Time	8	8	$\mu\text{s typ}$	Full-scale step to $\pm 1\text{ LSB}$
	10	10	$\mu\text{s max}$	
	2	2	$\mu\text{s typ}$	
Slew Rate	5	5	$\text{V}/\mu\text{s typ}$	512 LSB step settling
Digital-to-Analog Glitch Energy	8	8	$\text{nV}\cdot\text{sec typ}$	
Glitch Impulse Peak Amplitude	25	25	mV max	
Channel-to-Channel Isolation	80	80	dB typ	
DAC-to-DAC Crosstalk	8	8	$\text{nV}\cdot\text{sec typ}$	
Digital Crosstalk	2	2	$\text{nV}\cdot\text{sec typ}$	
Digital Feedthrough	2	2	$\text{nV}\cdot\text{sec typ}$	Effect of input bus activity on DAC outputs
Output Noise (0.1 Hz to 10 Hz)	0.1	0.1	LSB p-p typ	
Output Noise (0.1 Hz to 100 kHz)	45	45	$\mu\text{V rms max}$	
1/f Corner Frequency	1	1	kHz typ	
Output Noise Spectral Density	60	60	$\text{nV}/\sqrt{\text{Hz typ}}$	Measured at 10 kHz
Complete System Output Noise Spectral Density ²	80	80	$\text{nV}/\sqrt{\text{Hz typ}}$	Measured at 10 kHz

¹デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

²内蔵リファレンス・バッファ、16ビットDAC、出力アンプからの各ノイズ成分を含みます。

タイミング特性

$AV_{DD} = 11.4\text{ V} \sim 16.5\text{ V}$ 、 $AV_{SS} = -11.4\text{ V} \sim -16.5\text{ V}$ 、 $AGND = DGND = REFGND = PGND = 0\text{ V}$ ； $REFAB = REFCD = 5\text{ V}$ 外部； $DV_{CC} = 2.7\text{ V} \sim 5.25\text{ V}$ 、 $R_{LOAD} = 10\text{ k}\Omega$ 、 $C_L = 200\text{ pF}$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 3.

Parameter ^{1,2,3}	Limit at T_{MIN} , T_{MAX}	Unit	Description
t_1	33	ns min	SCLK cycle time
t_2	13	ns min	SCLK high time
t_3	13	ns min	SCLK low time
t_4	13	ns min	\overline{SYNC} falling edge to SCLK falling edge setup time
t_5^4	13	ns min	24 th SCLK falling edge to \overline{SYNC} rising edge
t_6	90	ns min	Minimum \overline{SYNC} high time
t_7	2	ns min	Data setup time
t_8	5	ns min	Data hold time
t_9	1.7	μs min	\overline{SYNC} rising edge to \overline{LDAC} falling edge (all DACs updated)
	480	ns min	\overline{SYNC} rising edge to \overline{LDAC} falling edge (single DAC updated)
t_{10}	10	ns min	\overline{LDAC} pulse width low
t_{11}	500	ns max	\overline{LDAC} falling edge to DAC output response time
t_{12}	10	μs max	DAC output settling time
t_{13}	10	ns min	\overline{CLR} pulse width low
t_{14}	2	μs max	\overline{CLR} pulse activation time
$t_{15}^{5,6}$	25	ns max	SCLK rising edge to SDO valid
t_{16}	13	ns min	\overline{SYNC} rising edge to SCLK falling edge
t_{17}	2	μs max	\overline{SYNC} rising edge to DAC output response time ($LDAC = 0$)
t_{18}	170	ns min	\overline{LDAC} falling edge to \overline{SYNC} rising edge

¹ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

² すべての入力信号は $t_R = t_F = 5\text{ ns}$ (DV_{CC} の 10% から 90%) で規定し、1.2 V の電圧レベルからの時間とします。

³ 図 2、図 3、図 4 を参照してください。

⁴ スタンドアロン・モードの場合。

⁵ 図 5 の負荷回路で測定。

⁶ デイジーチェーン・モードの場合。

タイミング図

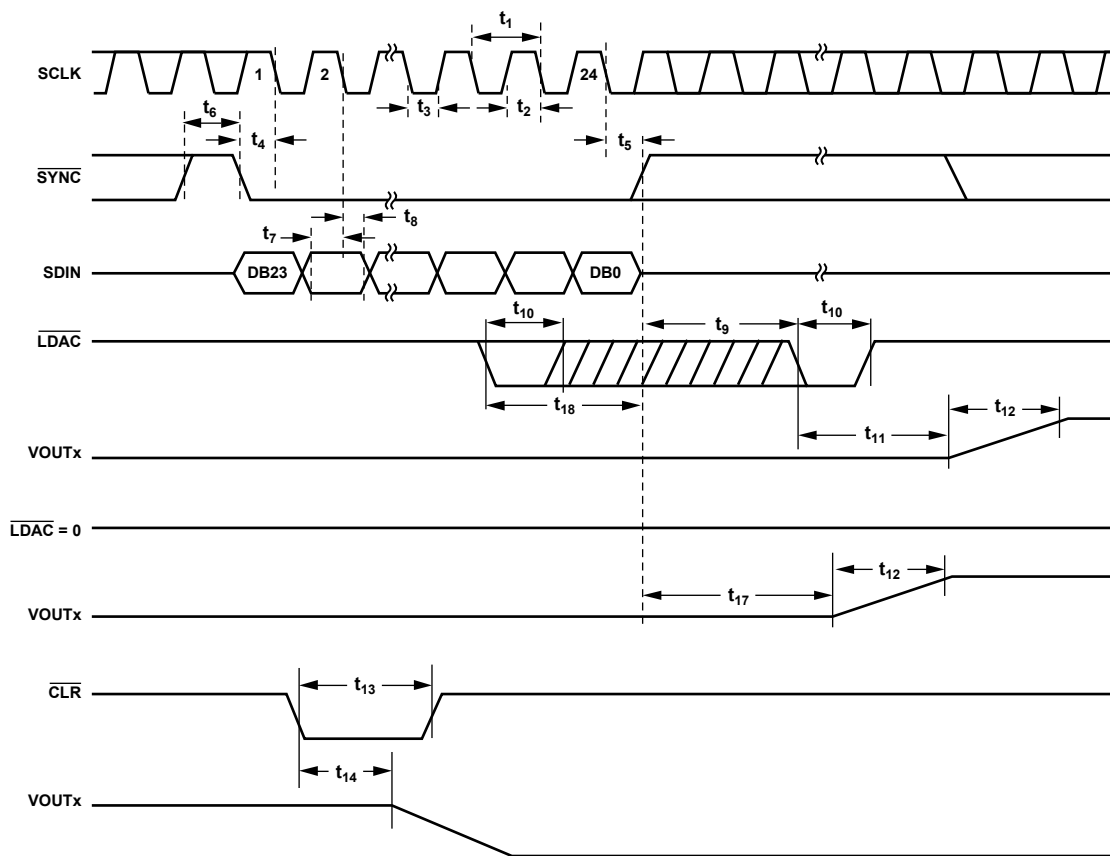


図 2. シリアル・インターフェースのタイミング図

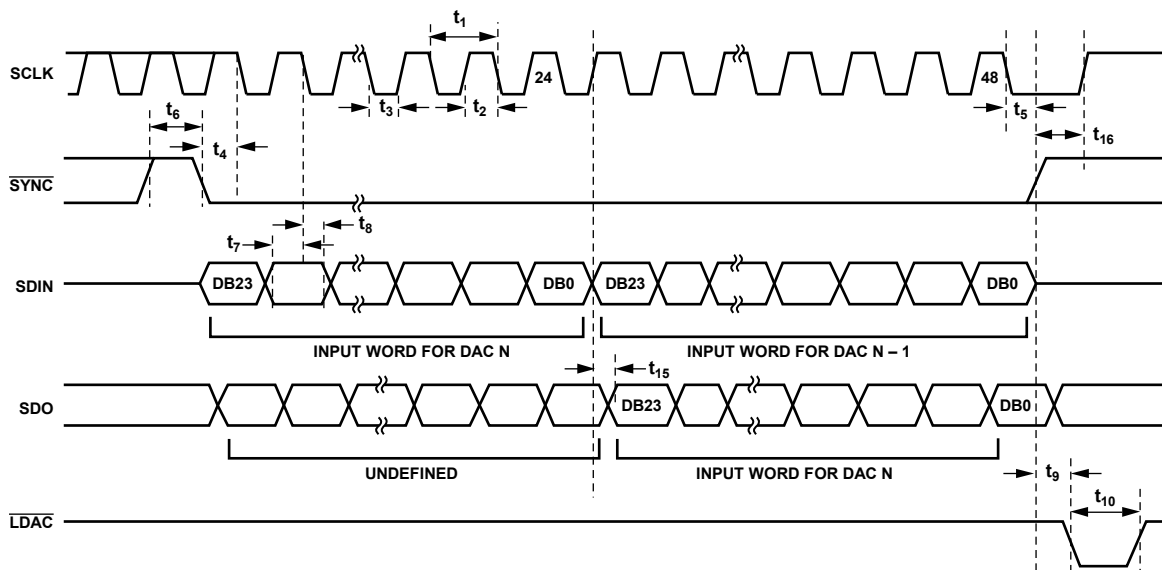
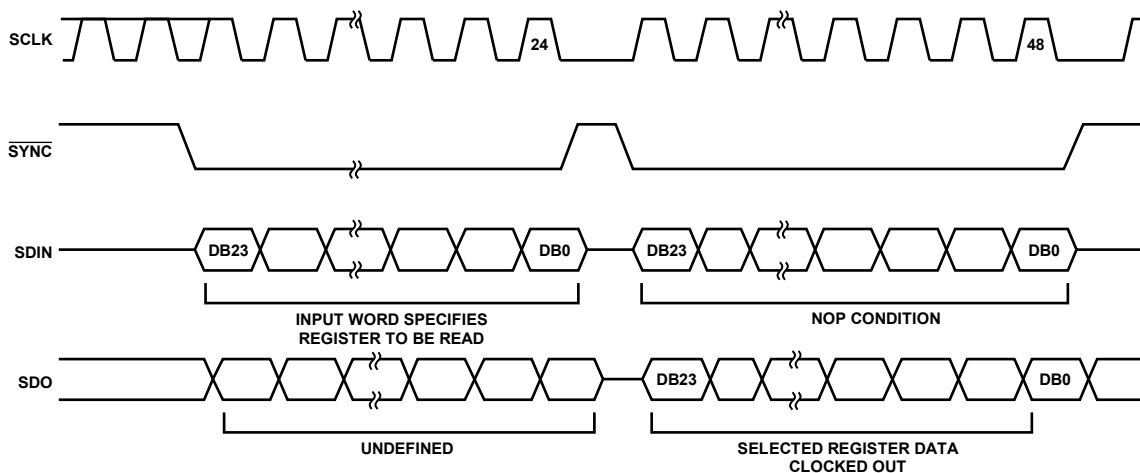
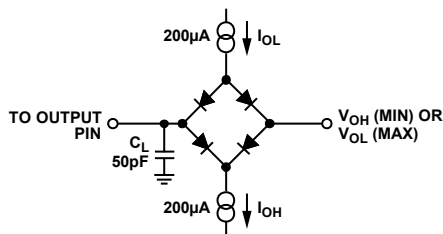


図 3. ディジーチェーン・タイミング図



06064-004

図 4. リードバック・タイミング図



06064-005

図 5. SDO タイミング図の負荷回路

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

表 4.

Parameter	Rating
AV_{DD} to AGND, DGND	-0.3 V to +17 V
AV_{SS} to AGND, DGND	+0.3 V to -17 V
DV_{CC} to DGND	-0.3 V to +7 V
Digital Inputs to DGND	-0.3 V to ($DV_{CC} + 0.3$ V) or +7 V, whichever is less
Digital Outputs to DGND	-0.3 V to $DV_{CC} + 0.3$ V
REFAB, REFCO to AGND, PGND	-0.3 V to $AV_{DD} + 0.3$ V
REFOUT to AGND	AV_{SS} to AV_{DD}
TEMP	AV_{SS} to AV_{DD}
$VOUTx$ to AGND	AV_{SS} to AV_{DD}
AGND to DGND	-0.3 V to +0.3 V
Operating Temperature Range Industrial	-40°C to $+85^\circ\text{C}$
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Junction Temperature (T_J max)	150°C
Lead Temperature (Soldering)	JEDEC industry standard J-STD-020

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 5. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
32-Lead TQFP	65	12	$^\circ\text{C}/\text{W}$

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

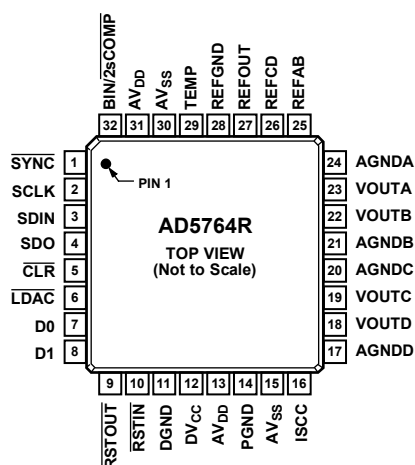


図 6. ピン配置

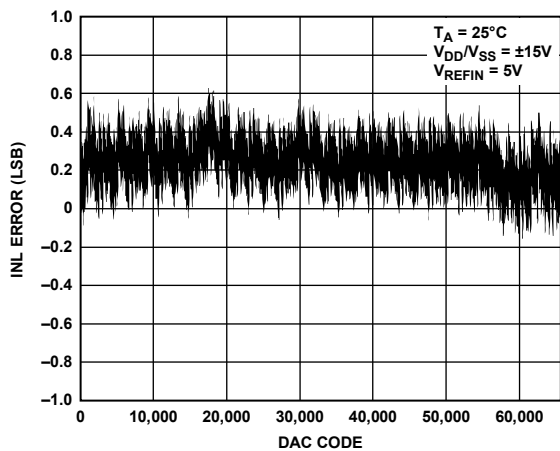
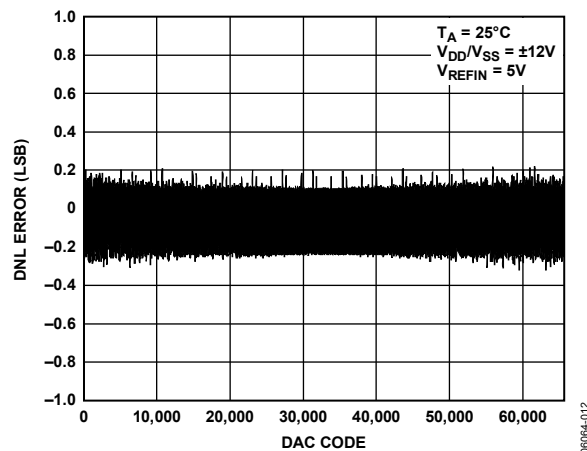
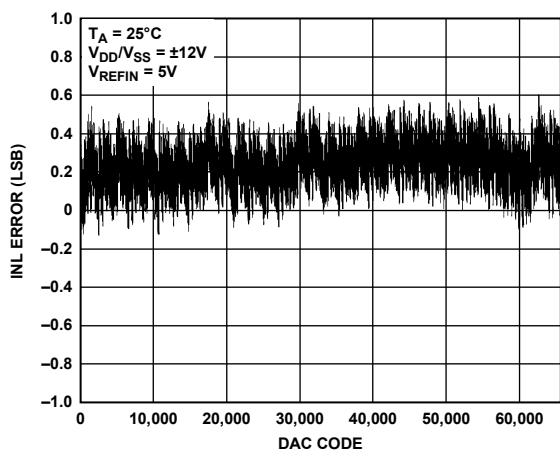
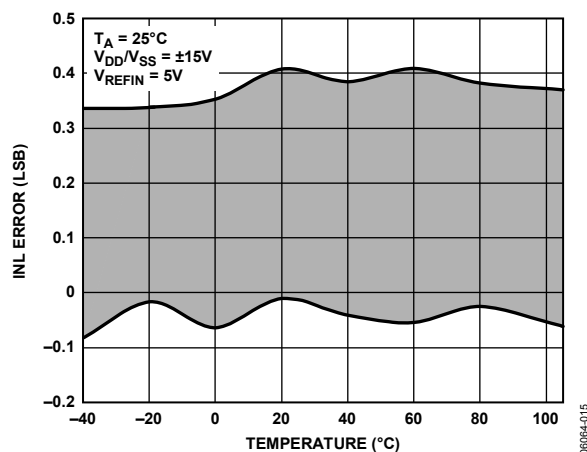
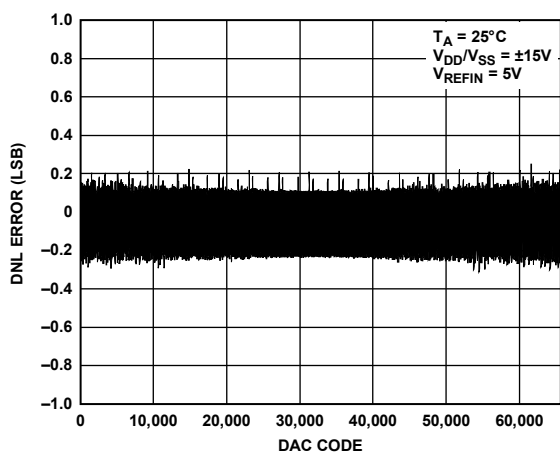
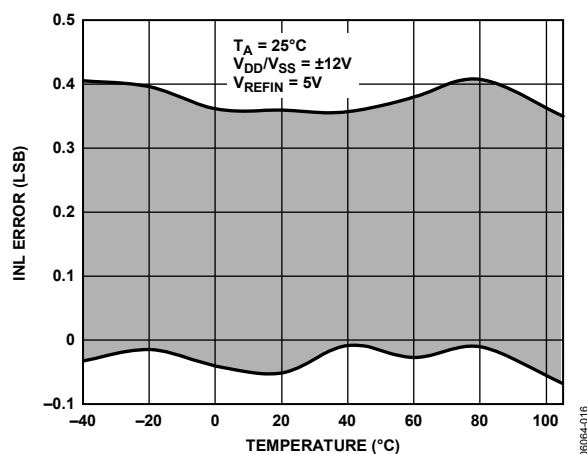
表 6. ピン機能の説明

ピン番号	記号	説明
1	SYNC	アクティブ・ローの入力。これは、シリアル・インターフェースのフレーム同期信号です。SYNCがロー・レベルのとき、データは SCLK の立ち下がりエッジで転送されます。
2	SCLK	シリアル・クロック入力。データは、SCLK の立ち下がりエッジで入力シフトレジスタに入力されます。最大 30 MHz のクロック速度で動作します。
3	SDIN	シリアル・データ入力。データは、SCLK の立ち下がりエッジで有効である必要があります。
4	SDO	シリアル・データ出力。このピンは、ディジーチェーン・モードまたはリードバック・モードでシリアル・レジスタからのデータを出力するときに使います。
5	CLR	負のエッジ・トリガー入力 ¹ 。このピンをアサートすると、データ・レジスタが 0x0000 に設定されます。
6	LDAC	DAC のロード。このロジック入力はデータ・レジスタの更新に使われ、DAC レジスタが更新されるとアナログ出力が変化します。このピンをロー・レベルに固定すると、アドレス指定されたデータ・レジスタが SYNC の立ち上がりエッジで更新されます。書き込みサイクルで LDAC をハイ・レベルにすると、DAC 入力レジスタが更新されますが、出力の更新は LDAC の立ち下がりエッジまで待たされます。このモードでは、LDAC の立ち下がりエッジで、すべてのアナログ出力を同時に更新することができます。LDAC ピンは解放のままにしないでください。
7、8	D0、D1	デジタル I/O ポート。D0 と D1 により、デジタル I/O ポートが構成されています。これらのピンは入力または出力に設定することができ、シリアル・インターフェースを介して設定または読み出すことができます。入力に設定すると、これらのピンには DV _{CC} への弱い内部プルアップが接続されます。出力に設定すると、D0 と D1 は DV _{CC} と DGND を基準とします。
9	RSTOUT	リセット・ロジック出力。このピンは、リセット回路で使用される内蔵電圧モニターからの出力です。必要に応じて、他のシステム・コンポーネントの制御に使うことができます。
10	RSTIN	リセット・ロジック入力。この入力を使うと、内部リセット・ロジックへの外部アクセスが可能になります。ロジック 0 をこの入力に入力すると、DAC 出力が 0 V にクランプされます。通常の動作では、RSTIN をロジック 1 に接続しておく必要があります。レジスタ値は変化しません。
11	DGND	デジタル・グラウンド・ピン。
12	DV _{CC}	デジタル電源ピン。電圧範囲は 2.7 V~5.25 V。
13、31	AVDD	正のアナログ電源ピン。電圧範囲は 11.4 V~16.5 V。
14	PGND	アナログ回路に対するグラウンド基準ポイント。
15、30	AV _{SS}	負のアナログ電源ピン。電圧範囲は-11.4 V~-16.5 V。
16	ISCC	このピンは AGND へ接続したオプションの外付け抵抗と組み合わせて使い、出力アンプの短絡電流を設定します。詳細については、デザインの特長のセクションを参照してください。
17	AGND _D	DAC D 出力アンプのグラウンド基準ピン。
18	V _{OUTD}	DAC D のアナログ出力電圧。±10 V の公称フルスケール出力範囲を持つバッファ付き出力。出力アンプは、10 kΩ と 200pF の負荷を直接駆動する能力を持ちます。
19	V _{OUTC}	DAC C のアナログ出力電圧。±10 V の公称フルスケール出力範囲を持つバッファ付き出力。出力アンプは、10 kΩ と 200pF の負荷を直接駆動する能力を持ちます。
20	AGND _C	DAC C 出力アンプのグラウンド基準ピン。

ピン番号	記号	説明
21	AGNDB	DAC B 出力アンプのグラウンド基準ピン。
22	V _{OUTB}	DAC B のアナログ出力電圧。±10 V の公称フルスケール出力範囲を持つバッファ付き出力。出力アンプは、10 kΩ と 200 pF の負荷を直接駆動する能力を持ちます。
23	V _{OUTA}	DAC A のアナログ出力電圧。±10 V の公称フルスケール出力範囲を持つバッファ付き出力。出力アンプは、10 kΩ と 200 pF の負荷を直接駆動する能力を持ちます。
24	AGNDA	DAC A 出力アンプのグラウンド基準ピン。
25	REFAB	チャンネル A とチャンネル B の外付けリファレンス電圧入力。リファレンス入力範囲は 1 V～7 V、フルスケール出力電圧を設定します。規定性能に対して V _{REFIN} = 5 V。
26	REFCD	チャンネル C とチャンネル D の外付けリファレンス電圧入力。リファレンス入力範囲は 1 V～7 V、フルスケール出力電圧を設定します。規定性能に対して V _{REFIN} = 5 V。
27	REFOUT	リファレンス電圧出力。内蔵リファレンス電圧のリファレンス出力。内蔵リファレンス電圧は 25°C で 5 V ± 3 mV、リファレンス電圧の温度係数は 10 ppm/°C。
28	REFGND	リファレンス電圧ジェネレータとバッファのリファレンス電圧グラウンド・リターン。
29	TEMP	このピンは、温度に比例する電圧を出力します。出力電圧は 25°C のチップ温度で 1.47 V (typ)、温度変化は 5 mV/°C。
32	$\overline{\text{BIN}/2\text{sCOMP}}$	このピンは DAC のコーディングを指定します。このピンは、DV _{CC} または DGND へ固定接続する必要があります。DV _{CC} へ接続すると、入力コーディングはオフセット・バイナリになります(表 7)。DGND へ接続すると、入力コーディングは 2 の補数になります(表 8)。

¹ このロジック入力にはプルアップ抵抗が内蔵されているため、フローティングのままにしておくことができます。デフォルトではハイ・レベルになります。

代表的な性能特性

図 7. DAC コード対積分非直線性誤差、 $V_{DD}/V_{SS} = \pm 15V$ 図 10. DAC コード対微分非直線性誤差、 $V_{DD}/V_{SS} = \pm 12V$ 図 8. DAC コード対積分非直線性誤差、 $V_{DD}/V_{SS} = \pm 12V$ 図 11. 積分非直線性誤差の温度特性、 $V_{DD}/V_{SS} = \pm 15V$ 図 9. DAC コード対微分非直線性誤差、 $V_{DD}/V_{SS} = \pm 15V$ 図 12. 積分非直線性誤差の温度特性、 $V_{DD}/V_{SS} = \pm 12V$

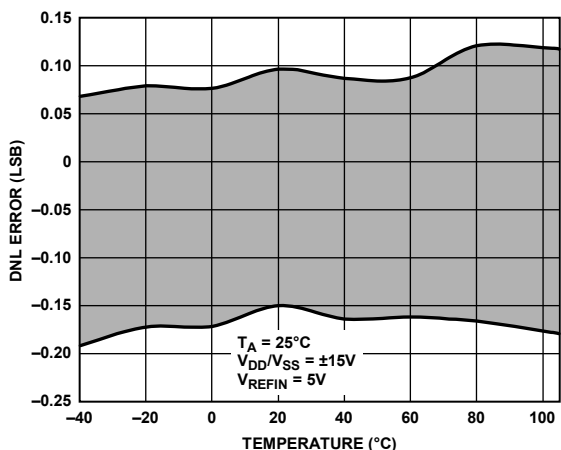


図 13. 微分非直線性誤差の温度特性、 $V_{DD}/V_{SS} = \pm 15\text{ V}$

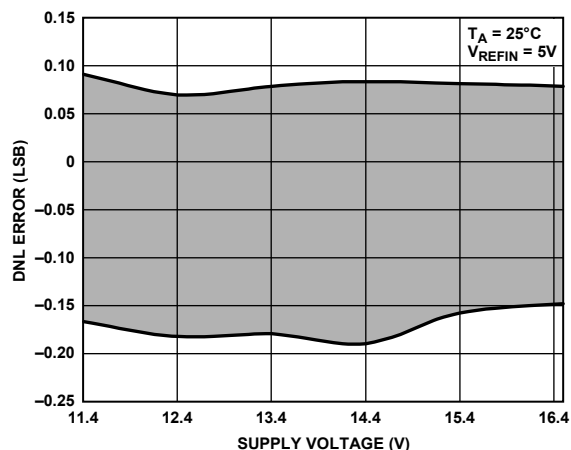


図 16. 電源電圧対微分非直線性誤差

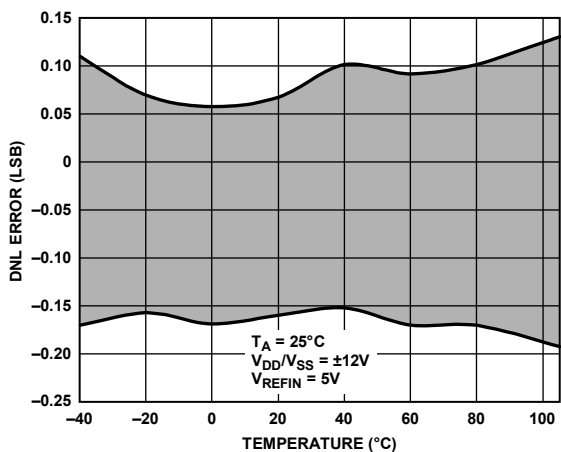


図 14. 微分非直線性誤差の温度特性、 $V_{DD}/V_{SS} = \pm 12\text{ V}$

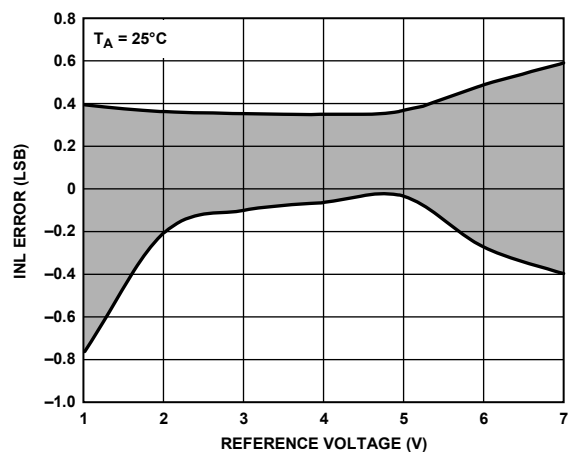


図 17. リファレンス電圧対積分非直線性誤差
 $V_{DD}/V_{SS} = \pm 16.5\text{ V}$

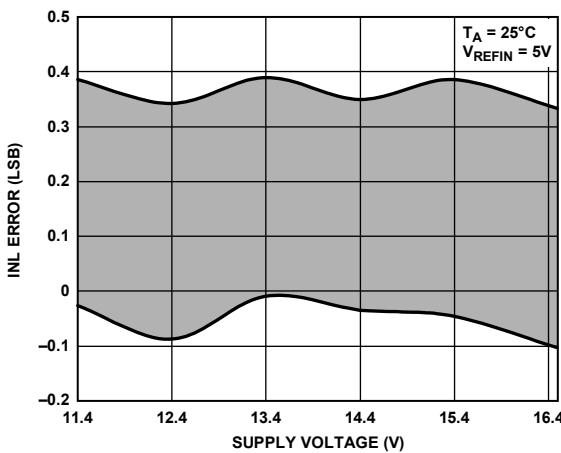


図 15. 電源電圧対積分非直線性誤差

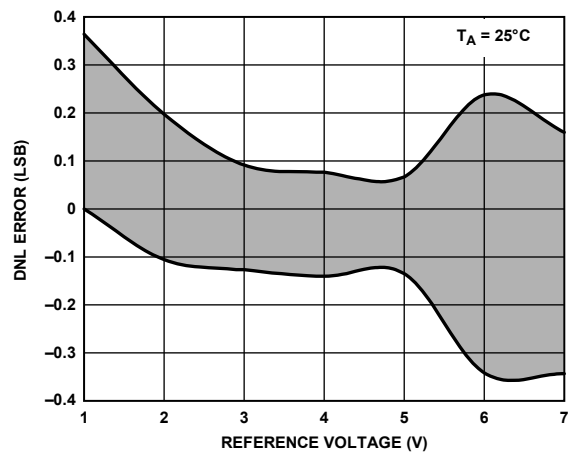


図 18. リファレンス電圧対微分非直線性誤差
 $V_{DD}/V_{SS} = \pm 16.5\text{ V}$

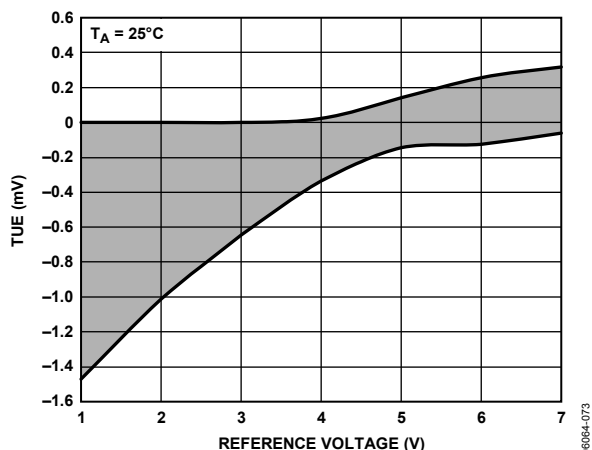


図 19. リファレンス電圧対総合未調整誤差
 $V_{DD}/V_{SS} = \pm 16.5\text{ V}$

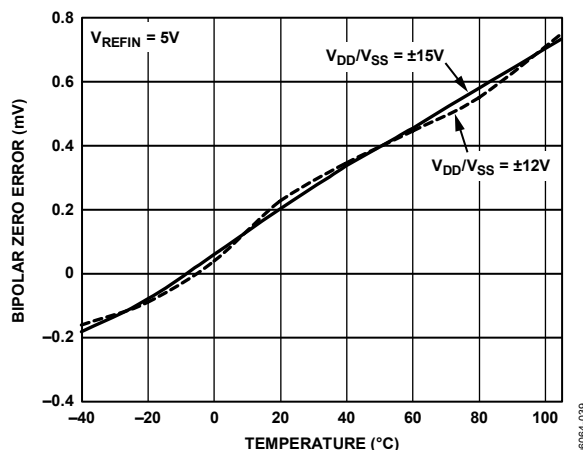


図 22. バイポーラ・ゼロ誤差の温度特性

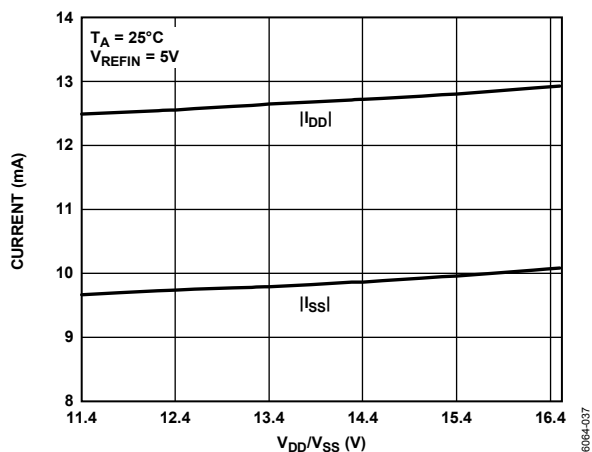


図 20. V_{DD}/V_{SS} 対 I_{DD}/I_{SS}

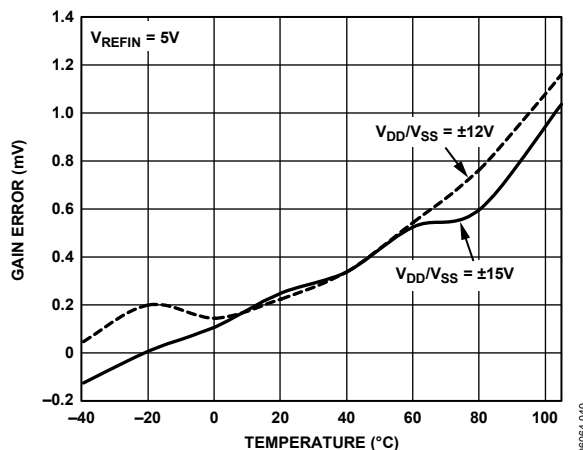


図 23. ゲイン誤差の温度特性

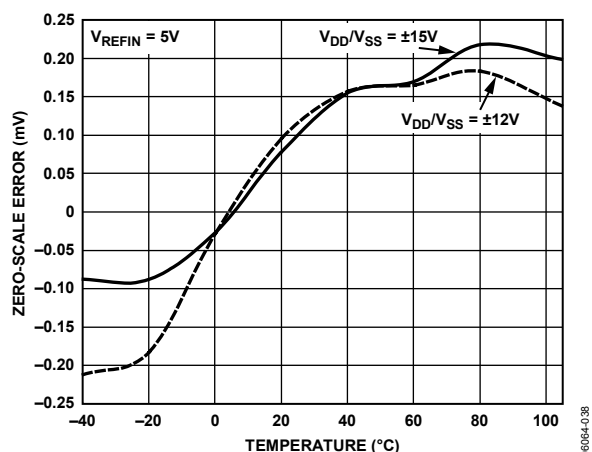


図 21. ゼロ・スケール誤差の温度特性

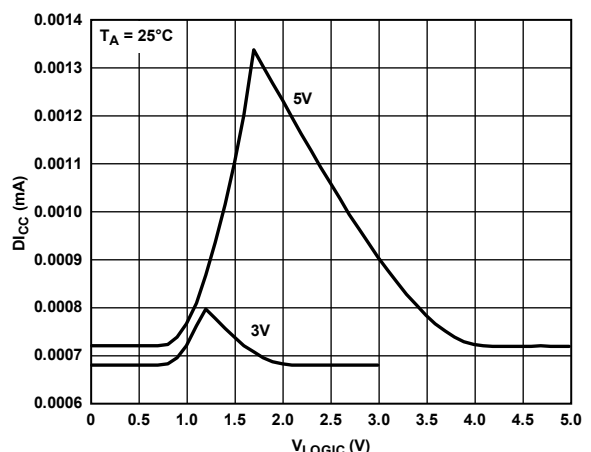


図 24. ロジック入力電圧対 D_{ICC}

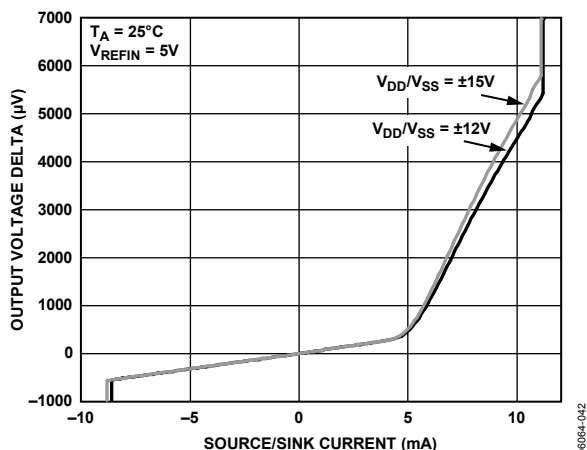


図 25. 出力アンプのソース/シンク能力、正のフル・スケール負荷

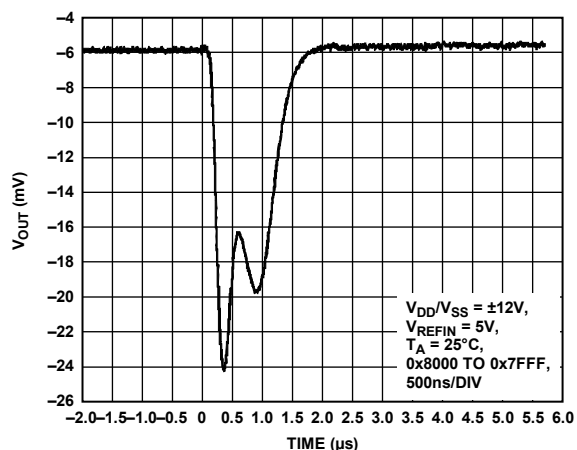


図 28. 主要コード変化時のグリッチ・エネルギー、 $V_{DD}/V_{SS} = \pm 12\text{V}$

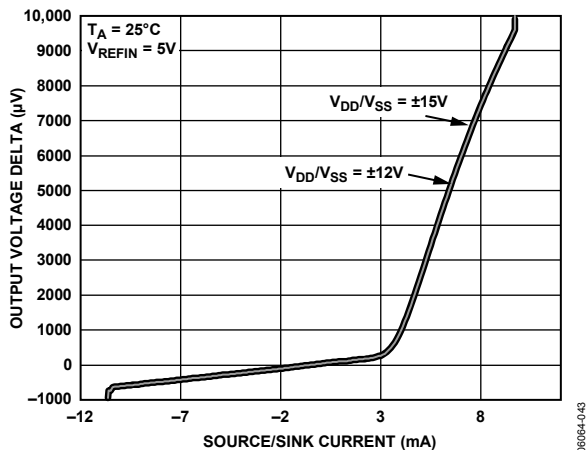


図 26. 出力アンプのソース/シンク能力、負のフル・スケール負荷

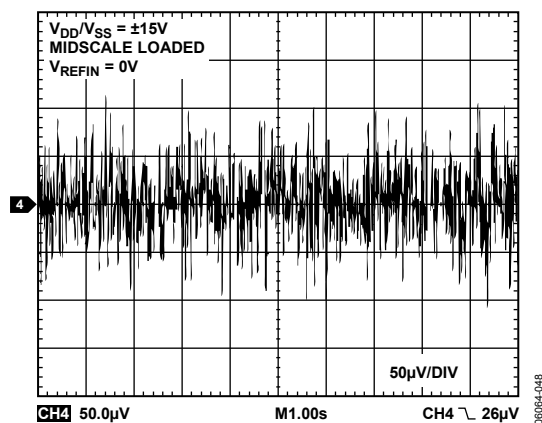


図 29. ピーク to ピーク・ノイズ(100 kHz 帯域幅)

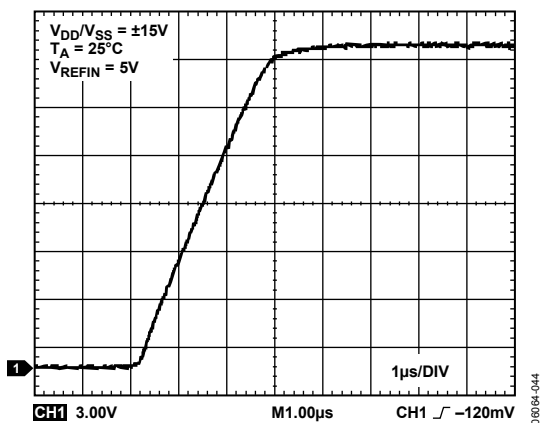


図 27. フル・スケール・セトリング・タイム

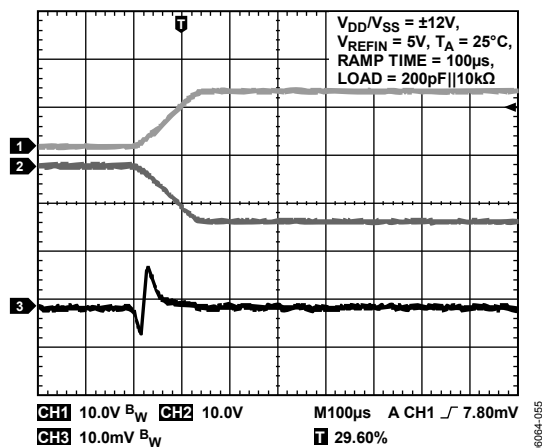


図 30. パワーアップ時の V_{DD}/V_{SS} 対 V_{OUTx}

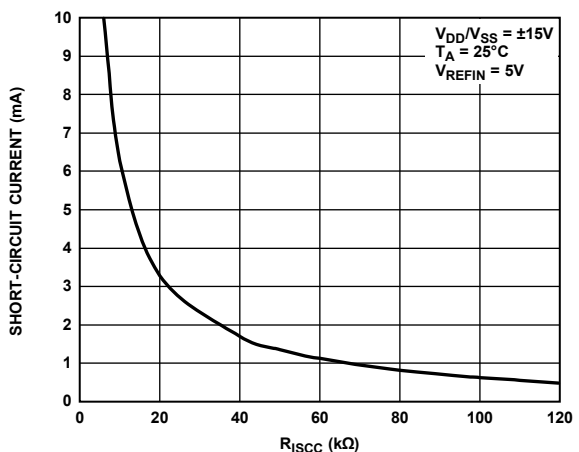


図 31. R_{ISC} 対短絡電流

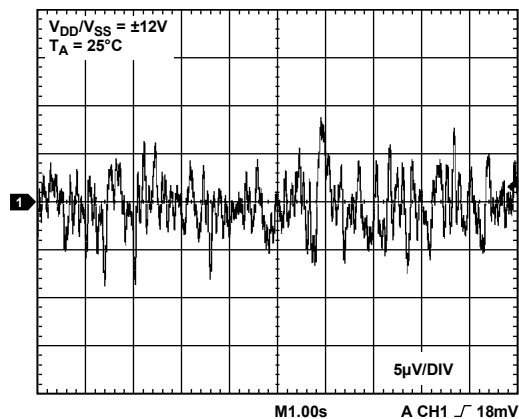


図 34. REFOUT の出力ノイズ(0.1 Hz~10 Hz)

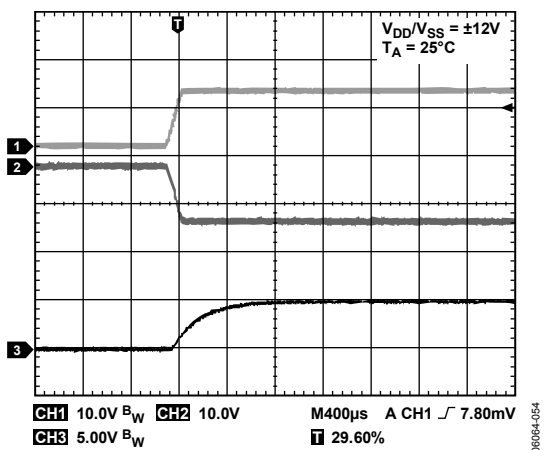


図 32. REFOUT のターンオン過渡電圧

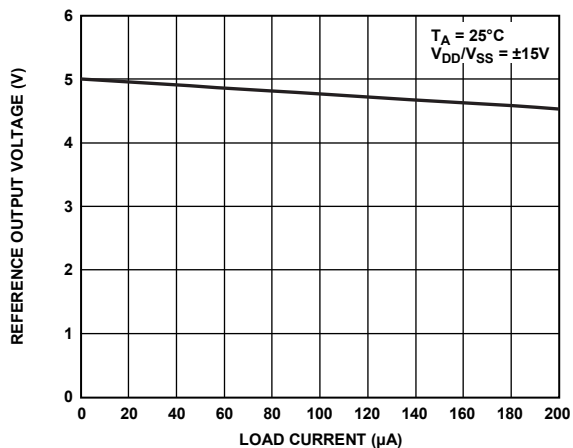


図 35. REFOUT の負荷レギュレーション

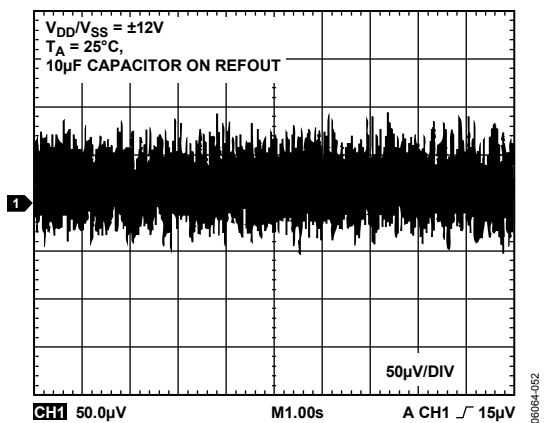


図 33. REFOUT の出力ノイズ(100 kHz 帯域幅)

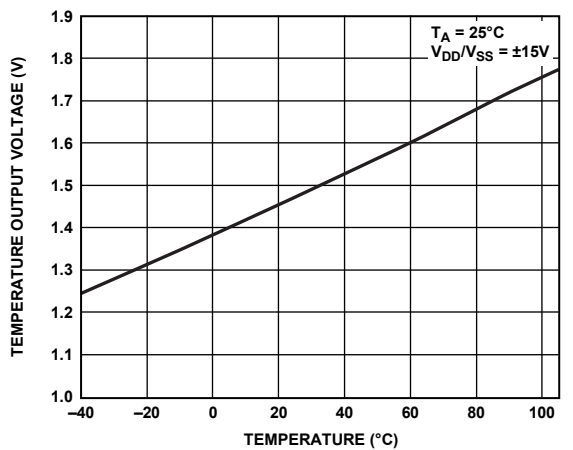


図 36. 温度出力電圧の温度特性

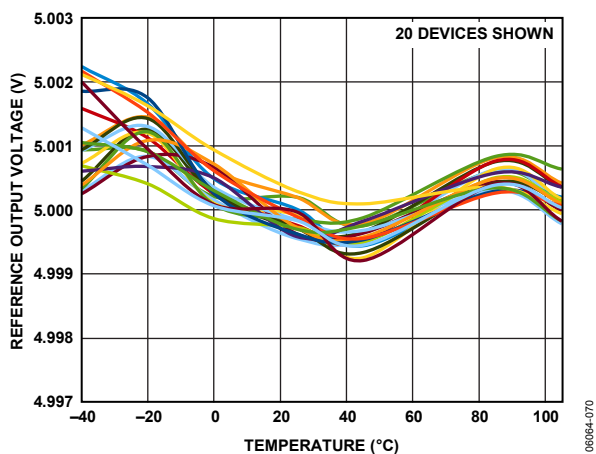


図 37.リファレンス出力電圧の温度特性

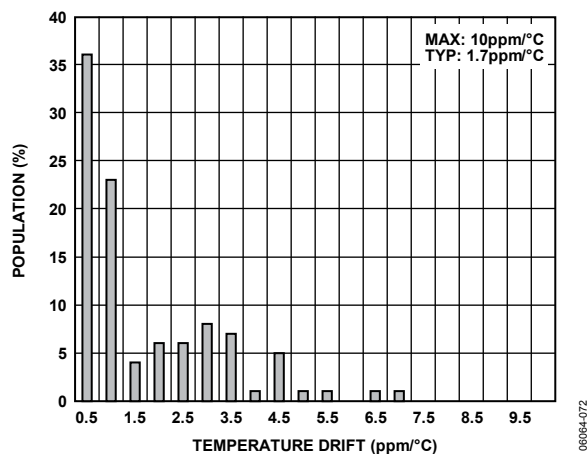


図 38.リファレンス出力の温度ドリフト(-40°C~+85°C)

用語

相対精度または積分非直線性(INL)

DAC の場合、DAC 伝達関数の両端を結ぶ直線からの最大偏差(LSB 数)をいいます。

微分非直線性(DNL)

隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差をいいます。最大 ± 1 LSB の微分非直線性の仕様は、単調性を保証するものです。この DAC は単調性を保証しています。

単調性

デジタル入力コードを増加させたとき、出力が増加するか不変である場合に、DAC は単調であるといえます。

AD5744R は全動作温度範囲で単調です。

バイポーラ・ゼロ誤差

DACレジスタに 0x8000 (オフセット・バイナリ・コーディング)または 0x0000 (2 の補数コーディング)をロードしたときの、0 V の理論ハーフ・スケール出力からのアナログ出力の差を意味します。図 22 にバイポーラ・ゼロ誤差の温度特性を示します。

バイポーラ・ゼロ温度係数

温度変化に対するバイポーラ・ゼロ誤差の変化を表し、フルスケール範囲に対する ppm FSR/ $^{\circ}$ C で表されます。

フル・スケール誤差

フルスケール・コードをデータ・レジスタにロードしたときの出力誤差を意味します。理論的には、出力電圧は $2 \times V_{REFIN} - 1$ LSB である必要があります。フル・スケール誤差はフルスケール範囲のパーセント値(% FSR)で表します。

負のフル・スケール誤差/ゼロ・スケール誤差

0x0000 (オフセット・バイナリ・コーディング)または 0x8000 (2 の補数コーディング)をデータ・レジスタにロードしたときのDAC出力電圧の誤差を意味します。理論的には、出力電圧は $-2 \times V_{REFIN}$ になります。図 21 に、ゼロ・スケール誤差の温度特性を示します。

出力電圧セトリング・タイム

フル・スケール入力変化に対して、出力が規定のレベルまでに安定するために要する時間を表します。

スルーレート

出力電圧の変化率の限界値。電圧出力 DAC の出力スルーレートは一般に、出力で使用されるアンプのスルーレートで制限されます。スルーレートは出力信号の 10% から 90% までで測定され、V/ μ s で表されます。

ゲイン誤差

DAC の振幅誤差を意味します。理論値からの実際のDAC伝達特性の傾きの差をフル・スケール範囲のパーセント値(% FSR)で表したものです。図 23 にゲイン誤差の温度特性を示します。

総合未調整誤差(TUE)

種々の誤差を考慮した出力誤差を意味します。図 19 に、総合未調整誤差対リファレンス電圧を示します。

ゼロ・スケール誤差の温度係数

温度変化に対するゼロ・スケール誤差の変化を意味し、フルスケール範囲に対する ppm FSR/ $^{\circ}$ C で表されます。

ゲイン誤差の温度係数

温度変化に対するゲイン誤差の変化を意味し、フルスケール範囲に対する ppm FSR/ $^{\circ}$ C で表されます。

デジタルからアナログへのグリッチ・エネルギー

データ・レジスタ内の入力コード状態が変化したときに、アナログ出力に混入されるインパルスを意味します。通常、nV-sec で表すグリッチの面積として規定され、主要なキャリ変化(0x7FFF から 0x8000)時に、デジタル入力コードが 1 LSB だけ変化したときに測定されます(図 28 参照)。

デジタル・フィードスルー

DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に混入するインパルスを表します。nV-sec で規定され、データ・バス上でのフル・スケール・コード変化時、すなわち全ビット 0 から全ビット 1 への変化、またはその逆の変化のときに測定されます。

電源感度

電源電圧変化の DAC 出力に対する影響を表します。

DC クロストーク

別の DAC 出力でのフル・スケール変化に起因する 1 つの DAC の出力レベルでの DC 変化。1 つの DAC をモニターしながら、別の DAC 上でのフル・スケール出力変化を使って測定し、LSB 数で表されます。

DAC 間クロストーク

デジタル・コードの変化とそれに続く DAC の出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルス。これには、デジタル・クロストークとアナログ・クロストークの両方が含まれます。LDAC ピンをロー・レベルに設定して、DAC の 1 つにフル・スケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)をロードして、別の DAC 出力をモニターすることにより測定します。グリッチのエネルギーは nV-sec で表されます。

チャンネル間アイソレーション

1 つの DAC 出力における信号振幅と他の DAC のリファレンスに入力された正弦波との比。dB 値で表示します。

リファレンス温度係数

温度変化に対するリファレンス出力電圧の変化を意味し、ppm/ $^{\circ}$ C で表されます。

デジタル・クロストーク

DAC 出力の更新が行われていないときに、1 つの DAC のデジタル入力から別の DAC のアナログ出力に混入するインパルスを表します。nV-sec で規定され、データ・バス上でのフル・スケール・コード変化時、すなわち全ビット 0 から全ビット 1 への変化、またはその逆の変化のときに測定されます。

熱ヒステリシス

デバイスに -40°C から $+85^{\circ}\text{C}$ へ次に -40°C へ戻る温度サイクルを加えた後のリファレンス出力電圧の変化。これは、このようなサイクルを加えた部品のサンプルから取得した typ 値です。

動作原理

AD5764R は、 $\pm 11.4\text{ V} \sim \pm 16.5\text{ V}$ の電源電圧で動作するシリアル入力バイポーラ電圧出力のクワッド・16 ビット DAC です。バッファされた出力範囲は最大 $\pm 10.5263\text{ V}$ です。データは、3 線式シリアル・インターフェースを使って 24 ビットのワード・フォーマットで AD5764R に書き込まれます。AD5764R には、ディジーチェーン接続またはリードバックを可能にする SDO ピンもあります。

AD5764R はパワーオン・リセット回路を内蔵しているため、データ・レジスタに $0x0000$ をロードした状態で確実にパワーアップすることができます。また、AD5764R は、シリアル・インターフェースから設定できるデジタル I/O ポートとアナログのチップ温度センサー、 $10\text{ ppm}/^{\circ}\text{C}$ のリファレンス電圧、リファレンス・バッファ、チャンネルごとのデジタルのゲイン・レジスタとオフセット・レジスタも内蔵しています。

DACアーキテクチャ

AD5764RのDACアーキテクチャは、16 ビットの電流モード・セグメント化R-2R DACから構成されています。DACセクションの簡略化した回路図を図 39 に示します。

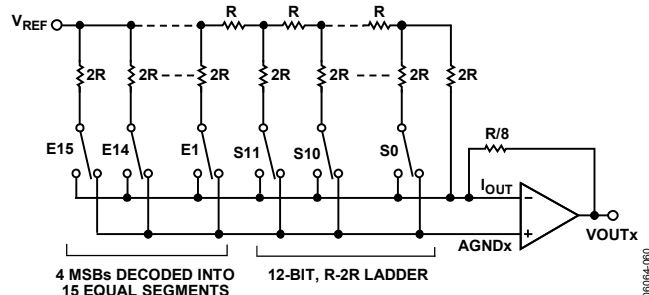


図 39. DAC のラダー構造

16 ビット・データ・ワードの上位 4 ビットはデコードされて、15 個のスイッチ(E1～E15)を駆動します。これらの各スイッチは、AGNDx または I_{OUT} に接続された 15 個の一致した抵抗の 1 つに接続されます。データ・ワードの残りの 12 ビットは、12 ビットの R-2R ラダー回路のスイッチ(S0～S11)を駆動します。

リファレンス電圧バッファ

AD5764R は、外付けまたは内蔵のリファレンス電圧で動作することができます。リファレンス入力(REFAB と REFCD)の入力範囲は 7 V までです。この入力電圧を使って DAC コア用のバッファされた正と負リファレンスが発生されます。正リファレンス電圧は、

$$+V_{REF} = 2 \times V_{REFIN}$$

DAC コアへの負リファレンス電圧は、

$$-V_{REF} = -2 \times V_{REFIN}$$

これらの正と負のリファレンス電圧とゲイン・レジスタ値の組み合わせにより、DAC の出力範囲が決定されます。

シリアル・インターフェース

AD5764R は、最大 30 MHz のクロック・レートで動作し、かつ SPI、QSPI™、MICROWIRE™、DSP の各規格と互換性を持つ多機能の 3 線式シリアル・インターフェースを介して制御されます。

入力シフトレジスタ

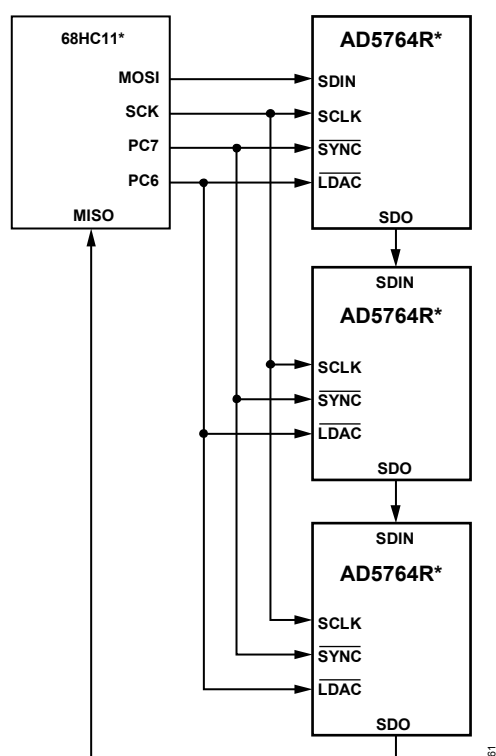
入力シフトレジスタは 24 ビット幅です。データは、シリアル・クロック入力 SCLK の制御のもとで 24 ビット・ワードとして MSB ファーストでデバイスに入力されます。入力レジスタは、1 ビットのリード/ライト、予約済みビット(0 に設定する必要があります)、3 ビットのレジスタ・セレクト、3 ビットの DAC アドレス、16 ビットのデータから構成されています。図 2 に、動作タイミング図を示します。

パワーアップ時、データ・レジスタにはゼロ・コード($0x0000$)がロードされ、出力は低インピーダンス・パスを介して 0 V にクランプされます。LDAC または CLR をアサートすると、出力をゼロ・コード値で更新することができます。対応する出力電圧は、BIN/2sCOMP ピンの状態に依存します。BIN/2sCOMP ピンを DGND に接続すると、データ・コーディングが 2 の補数になるため、出力が 0 V に更新されます。BIN/2sCOMP ピンを DV_{CC} に接続すると、データ・コーディングがオフセット・バイナリになるため、出力が負のフル・スケールに更新されます。出力へゼロ・コードをロードして出力をパワーアップさせるときは、CLR ピンをパワーアップの間ロー・レベルに維持してください。

スタンドアロン動作

このシリアル・インターフェースは、連続および非連続シリアル・クロックで動作します。正しいクロック・サイクル数間、SYNC をロー・レベルに維持することが可能な場合にのみ、連続 SCLK ソースを使用することができます。ゲーテッド・クロック・モードでは、所定数のクロック・サイクルを含むバースト・クロックを使い、最終クロックの後に SYNC をハイ・レベルにしてデータをラッチする必要があります。SYNC の最初の立ち下がりエッジで書き込みサイクルが開始されます。SYNC をハイ・レベルに戻す前に、24 個の立ち下がりクロック・エッジを SCLK に入力する必要があります。24 番目の立ち下がり SCLK エッジの前に SYNC をハイ・レベルにすると、書き込まれたデータは無効になります。SYNC をハイ・レベルにする前に、24 個より多くの立ち下がりクロック・エッジを入力した場合も、入力データは無効になります。アドレス指定された入力レジスタは、SYNC の立ち上がりエッジで更新されます。次のシリアル転送を行うときは、SYNC をロー・レベルに戻す必要があります。シリアル・データ転送の終了後、データは自動的に入力シフトレジスタからアドレス指定されたレジスタへ転送されます。

データがアドレス指定された DAC の選択されたレジスタへ転送されたときに、LDAC をロー・レベルにすると、すべてのデータ・レジスタと出力を更新することができます。



*ADDITIONAL PINS OMITTED FOR CLARITY.

00004-081

図 40. AD5764R のディジーチェーン接続

ディジーチェーン動作

複数のデバイスを使うシステムでは、SDOピンを使って複数のデバイスをディジーチェーン接続することができます。このディジーチェーン・モードは、システム診断とシリアル・インターフェースのライン数の削減に有効です。SYNCの最初の立ち下がりエッジで書き込みサイクルが開始されます。SYNCがロー・レベルのとき、SCLKは連続的に入力シフトレジスタに入力されます。24個を超えるクロック・パルスが入力されると、データは入力シフトレジスタからはみ出して、SDOピンに出力されます。データはSCLKの立ち上がりエッジで出力され、SCLKの立ち下がりエッジで有効になります。最初のデバイスのSDOをチェーン内にある次のデバイスのSDIN入力に接続すると、複数デバイスのインターフェースが構成されます。

システム内の各デバイスは、24個のクロック・パルスを必要とします。したがって、必要な合計クロック・サイクル数は $24n$ になります。ここで、 n はチェーン内の合計AD5764Rデバイス数です。すべてのデバイスに対するシリアル転送が完了したら、SYNCをハイ・レベルにします。この動作により、ディジーチェーン内にある各デバイス内の入力データがラッチされて、入力シフトレジスタにさらにデータが入力されるのを防止します。シリアル・クロックとしては、連続クロックまたは不連続クロックが可能です。

正しいクロック・サイクル数間、SYNCをロー・レベルに維持することが可能な場合にのみ、連続SCLKソースを使用することができます。ゲーテッド・クロック・モードでは、所定数のクロック・サイクルを含むバースト・クロックを使い、最終クロックの後にSYNCをハイ・レベルにしてデータをラッチする必要があります。

リードバック動作

リードバック動作を開始する前に、ファンクション・レジスタに書き込みを行ってSDOピンをイネーブルし、さらにSDOディスエーブル・ビットをクリアする必要があります。このビットはデフォルトでクリアされます。シリアル入力レジスタへの書き込みで、R/Wビット=1を設定すると、リードバック・モードが開始されます。R/W=1のとき、ビットREG2~ビットREG0ビットに対応するビットA2~ビットA0を使って、読み出し対象レジスタを選択します。書き込みシーケンス内の残りのデータ・ビットは無視されます。次のSPIへの書き込み時にSDOに出力されるデータに、前にアドレス指定したレジスタのデータが含まれています。1個のレジスタを読み出すときは、選択したレジスタのデータをSDOへシフト出力する際にNOPコマンドを使うことができます。図4に、リードバック・シーケンスを示します。たとえば、チャンネルAの微調ゲイン・レジスタをリードバックするときは、次のシーケンスを使うことができます。

1. 0xA0XXXXを入力シフトレジスタに書き込みます。この動作により、AD5764Rが読み出しモードに設定され、チャンネルAの微調ゲイン・レジスタが選択されます。データ・ビットDB15~DB0は無視されることに注意してください。
2. 次に、2番目の書き込みでNOP状態0x00XXXXを書き込みます。この書き込みで、微調ゲイン・レジスタのデータがSDOピンに出力されます。すなわち、出力されたデータのビットDB5~DB0に微調ゲイン・レジスタのデータが含まれます。

LDACによる同時更新

SYNCとLDACの状態に応じて、データがDACの入力レジスタへ転送された後、データ・レジスタとDAC出力を更新する方法は2つあります。

個別DACの更新

この個別DAC更新モードでは、データを入力シフトレジスタへ入力中にLDACをロー・レベルにします。アドレス指定されたDAC出力は、SYNCの立ち上がりエッジで更新されます。

すべてのDACの同時更新

すべてのDACの同時更新モードでは、データを入力シフトレジスタへ入力中にLDACをハイ・レベルにします。SYNCをハイ・レベルにした後にLDACをロー・レベルにすると、すべてのDAC出力が更新されます。更新は、LDACの立ち下がりエッジで行われるようになります。

図 41 に、DAC ロード回路の簡略化したブロック図を示します。

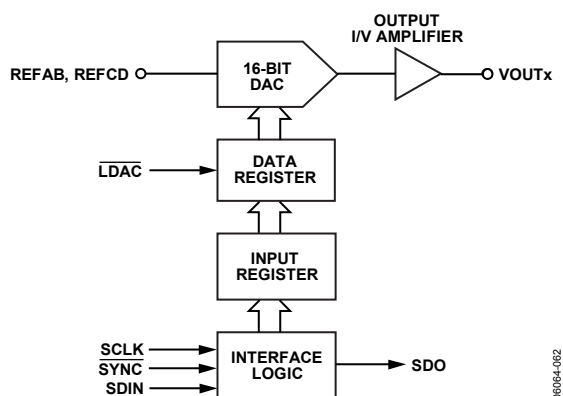


図 41. 1 個の DAC チャンネルについての入力ロード回路の簡略化したシリアル・インターフェース

伝達関数

表 7 と表 8 に、理論入力コードと出力電圧の関係を、それぞれオフセット・バイナリ・データ・コーディングと 2 の補数データ・コーディングについて示します。

表 7. 理論出力電圧と入力コードの関係—オフセット・バイナリ・データ・コーディング

Digital Input				Analog Output
MSB			LSB	V_{OUT}
1111	1111	1111	1111	$+2 V_{REFIN} \times (32,767/32,768)$
1000	0000	0000	0001	$+2 V_{REFIN} \times (1/32,768)$
1000	0000	0000	0000	0 V
0111	1111	1111	1111	$-2 V_{REFIN} \times (1/32,768)$
0000	0000	0000	0000	$-2 V_{REFIN} \times (32,767/32,768)$

表 8. 理論出力電圧と入力コードの関係—2 の補数データ・コーディング

Digital Input				Analog Output
MSB			LSB	V_{OUT}
0111	1111	1111	1111	$+2 V_{REFIN} \times (32,767/32,768)$
0000	0000	0000	0001	$+2 V_{REFIN} \times (1/32,768)$
0000	0000	0000	0000	0 V
1111	1111	1111	1111	$-2 V_{REFIN} \times (1/32,768)$
1000	0000	0000	0000	$-2 V_{REFIN} \times (32,767/32,768)$

AD5764R の出力電圧は次式で表されます。

$$V_{OUT} = -2 \times V_{REFIN} + 4 \times V_{REFIN} \left[\frac{D}{65,536} \right]$$

ここで、D は、DAC にロードされるコードの 10 進数表示。 V_{REFIN} は、REFAB ピンと REFCD ピンに入力されるリファレンス電圧。

非同期クリア (CLR)

CLR は、負エッジ・トリガーのクリアであり、これを使うと、出力を 0 V (2 の補数コーディング) または負フル・スケール (オフセット・バイナリ・コーディング) にクリアすることができます。動作を完了するためには、CLR を最小時間ロー・レベルに維持する必要があります (図 2 参照)。CLR 信号がハイ・レベルに戻っても、新しい値が設定されるまで出力はクリア値を維持します。パワーオン時に CLR が 0 V になると、すべての DAC 出力はクリア値で更新されます。コマンド 0x04XXXX を書き込むことにより、クリアをソフトウェアから起動することもできます。

レジスタ

表 9. 入力シフトレジスタのフォーマット

MSB								LSB	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15 to DB1	DB0
R/W	0	REG2	REG1	REG0	A2	A1	A0	Data	

表 10. 入力シフトレジスタ・ビットの機能説明

Register Bit	Description			
R/W	Indicates a read from or a write to the addressed register			
REG2, REG1, REG0	Used in association with the address bits, determines if a read or write operation is to the data register, offset register, gain registers, or function register			
	REG2	REG1	REG0	Function
	0	0	0	Function register
	0	1	0	Data register
	0	1	1	Coarse gain register
	1	0	0	Fine gain register
	1	0	1	Offset register
A2, A1, A0	Decodes the DAC channels			
	A2	A1	A0	Channel Address
	0	0	0	DAC A
	0	0	1	DAC B
	0	1	0	DAC C
	0	1	1	DAC D
	1	0	0	All DACs
Data	Data bits			

ファンクション・レジスタ

3 ビットの REG ビットを 000 に設定すると、ファンクション・レジスタが指定されます。アドレス・ビットに書き込まれた値とデータ・ビットが機能を指定します。ファンクション・レジスタから使用できる機能を表 11 と表 12 に示します。

表 11. ファンクション・レジスタ・オプション

REG2	REG1	REG0	A2	A1	A0	DB15 to DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	NOP, data = don't care						
0	0	0	0	0	1	Don't care	Local ground offset adjust	D1 direction	D1 value	D0 direction	D0 value	SDO disable
0	0	0	1	0	0	Clear, data = don't care						
0	0	0	1	0	1	Load, data = don't care						

表 12. ファンクション・レジスタ・オプションの説明

Option	Description
NOP	No operation instruction used in readback operations.
Local Ground Offset Adjust	Set by the user to enable the local ground offset adjust function. Cleared by the user to disable the local ground offset adjust function (default). See the Design Features section for more information.
D0, D1 Direction	Set by the user to enable the D0 and D1 pins as outputs. Cleared by the user to enable the D0 and D1 pins as inputs (default). See the Design Features section for more information.
D0, D1 Value	I/O port status bits. Logic values written to these locations determine the logic outputs on the D0 and D1 pins when configured as outputs. These bits indicate the status of the D0 and D1 pins when the I/O port is active as an input. When enabled as inputs, these bits are don't cares during a write operation.
SDO Disable	Set by the user to disable the SDO output. Cleared by the user to enable the SDO output (default).
Clear	Addressing this function resets the DAC outputs to 0 V in twos complement mode and negative full scale in binary mode.
Load	Addressing this function updates the DAC registers and consequently the analog outputs.

データ・レジスタ

3 ビットのREGビットを 010 に設定すると、データ・レジスタが指定されます。DACアドレス・ビットは、データ転送を行うDACチャンネルを選択します(表 10 参照)。データ・ビットはDB15~DB0 です(表 13 参照)。

表 13.データ・レジスタの設定

REG2	REG1	REG0	A2	A1	A0	DB15 to DB0
0	1	0	DAC address			16-bit DAC data

粗調整ゲイン・レジスタ

3 ビットのREGビットを 011 に設定すると、粗調整ゲイン・レジスタが指定されます。DACアドレス・ビットは、データ転送を行うDACチャンネルを選択します(表 10 参照)。粗調整ゲイン・レジスタは 2 ビットのレジスタで、これを使うと、各DACの出力範囲を 表 15 のように選択することができます。

表 14.粗調整ゲイン・レジスタの設定

REG2	REG1	REG0	A2	A1	A0	DB15 to DB2	DB1	DB0
0	1	1	DAC address			Don't care	CG1	CG0

表 15.出力範囲の選択

Output Range	CG1	CG0
±10 V (Default)	0	0
±10.2564 V	0	1
±10.5263 V	1	0

微調整ゲイン・レジスタ

3 ビットのREGビットを 100 に設定すると、微調整ゲイン・レジスタが指定されます。DACアドレス・ビットは、データ転送を行うDACチャンネルを選択します(表 10 参照)。AD5764Rの微調整ゲイン・レジスタは 6 ビット・レジスタで、これを使うと、各DACチャンネルのゲインを-32 LSB~+31 LSBの範囲を 1 LSBステップで調整することができます(表 16 と 表 17 参照)。正のフルスケール・ポイントと負のフルスケール・ポイントを同時に調整し、各ポイントを 1 ステップの 1/2 だけ調整します。微調整ゲイン・レジスタのコーディングは 2 の補数です。

表 16.微調整ゲイン・レジスタの設定

REG2	REG1	REG0	A2	A1	A0	DB15 to DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	0	0	DAC address			Don't care	FG5	FG4	FG3	FG2	FG1	FG0

表 17.微調整ゲイン・レジスタのオプション

Gain Adjustment	FG5	FG4	FG3	FG2	FG1	FG0
+31 LSBs	0	1	1	1	1	1
+30 LSBs	0	1	1	1	1	0
No Adjustment (Default)	0	0	0	0	0	0
-31 LSBs	1	0	0	0	0	1
-32 LSBs	1	0	0	0	0	0

オフセット・レジスタ

3 ビットのREGビットを 101 に設定すると、オフセット・レジスタが指定されます。DACアドレス・ビットは、データ転送を行うDACチャンネルを選択します(表 10 参照)。AD5764Rのオフセット・レジスタは 8 ビット・レジスタで、これを使うと、各チャンネルのオフセット-16 LSB~+15.875 LSBの範囲を 1/8 LSBステップで調整することができます(表 18 と 表 19 参照)。オフセット・レジスタのコーディングは 2 の補数です。

表 18. オフセット・レジスタの設定

REG2	REG1	REG0	A2	A1	A0	DB15 to DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	0	1	DAC address			Don't care	OF7	OF6	OF5	OF4	OF3	OF2	OF1	OF0

表 19. オフセット・レジスタ・オプション

Offset Adjustment	OF7	OF6	OF5	OF4	OF3	OF2	OF1	OF0
+15.875 LSBs	0	1	1	1	1	1	1	1
+15.75 LSBs	0	1	1	1	1	1	1	0
No Adjustment (Default)	0	0	0	0	0	0	0	0
-15.875 LSBs	1	0	0	0	0	0	0	1
-16 LSBs	1	0	0	0	0	0	0	0

オフセットとゲインの調整例

オフセット・レジスタのセクションに記載する情報を使い、AD5764Rの機能を使ってオフセット誤差とゲイン誤差を解消する方法の例を次に示します。AD5764Rは出荷時に校正されているため、オフセット誤差とゲイン誤差は無視できる値ですが、誤差はAD5764Rが動作するシステムによって発生することがあります。例えば、5 Vに一致しないリファレンス電圧値により、ゲイン誤差が発生します。±10 Vの出力範囲と 2 の補数データ・コーディングの場合を想定しています。

オフセット誤差の除去

AD5764Rは、16 ビット LSB の 1/8 ステップ・サイズで-4.88 mV~+4.84 mV の範囲のオフセット誤差を除去することができます。

1. 次式を使って、オフセット調整のステップ・サイズを計算します。

$$\text{オフセット調整ステップ・サイズ} = \frac{20}{2^{16} \times 8} = 38.14 \mu\text{V}$$

2. データ・レジスタに 0x0000 を設定し、このときの出力電圧を測定して、オフセット誤差を測定します。この例では、測定値は 614 μV です。
3. 次式を使って、この値に必要なオフセット調整ステップ数を求めます。

$$\text{ステップ数} = \frac{\text{Measured Offset Value}}{\text{Offset Step Size}} = \frac{614 \mu\text{V}}{38.14 \mu\text{V}} = 16 \text{ ステップ}$$

オフセット誤差測定値は正であるため、16 ステップの負調整が必要です。オフセット・レジスタは 8 ビット幅で、コーディングは 2 の補数です。

必要とされるオフセット・レジスタ値は次のように計算されます。

1. 調整値をバイナリ 00010000 に変換します。
2. このバイナリ値のすべてのビットを反転し、1 を加算して負の 2 の補数値 11110000 に変換します。
3. この値 11110000 をオフセット・レジスタに設定します。

正のオフセット調整値の場合には、この 2 の補数変換が不要なことに注意してください。オフセット・レジスタに設定する値は、調整値のバイナリ表現になります。

ゲイン誤差の除去

AD5764Rは、16 ビット LSB の 1/2 ステップ・サイズで-9.77 mV~+9.46 mV 範囲の負側フル・スケール出力でゲイン誤差を除去することができます。

1. 次式を使って、ゲイン調整のステップ・サイズを計算します。

$$\text{ゲイン調整ステップ・サイズ} = \frac{20}{2^{16} \times 2} = 152.59 \mu\text{V}$$

2. データ・レジスタに 0x8000 を設定し、このときの出力電圧を測定して、ゲイン誤差を測定します。ゲイン誤差はこの値と -10 V との差を表し、この例では、ゲイン誤差 = -1.2 mV です。
3. 次式を使って、この値に必要なゲイン調整ステップ数を求めます。

$$\text{ステップ数} = \frac{\text{Measured Gain Value}}{\text{Gain Step Size}} = \frac{1.2 \text{ mV}}{152.59 \mu\text{V}} = 8 \text{ ステップ}$$

ゲイン誤差測定値は負(負の振幅)です。このため、8 ステップの正調整が必要です。ゲイン・レジスタは 6 ビット幅で、コーディングは 2 の補数です。必要とされるゲイン・レジスタ値は次のように計算されます。

1. 調整値をバイナリ 001000 に変換します。
2. このバイナリ値をゲイン・レジスタに設定します。

デザインの特長

アナログ出力制御

多くの工業用プロセス制御アプリケーションでは、パワーアップ時と電源断時に出力電圧を制御することが不可欠です。電源電圧変化中のパワーアップでは、VOUTx ピンが低インピーダンス・パスを介して0 Vにクランプされます。この間に出力アンプが0 Vに短絡されるのを防止するため、送信ゲートG1もオープンになります(図42参照)。

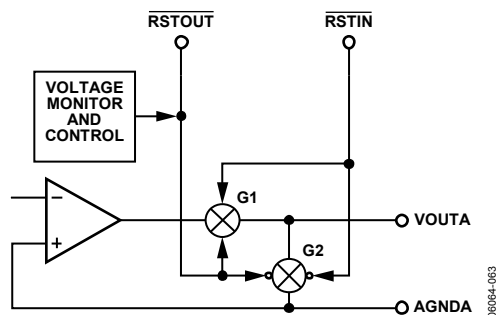


図 42. アナログ出力の制御回路

これらの状態は、電源が安定して、有効なワードがデータ・レジスタへ書き込まれるまで維持されます。次にG2 が開いて、G1 が閉じます。両送信ゲートは、制御入力のリセット(RSTIN)を使って外部からも制御することができます。たとえば、RSTINをバッテリー監視回路チップから駆動する場合、パワーオフ時または電源断時にG1を開き、G2を閉じるためにRSTIN入力をロー・レベルに駆動します。逆に、内蔵電圧検出出力(RSTOUT)を使用して、システムの他の部分を制御することもできます。送信ゲートの基本機能を 図 42 に示します。

オフセットとゲインのデジタル調整

AD5764R は、 ± 16 LSB の調整範囲と 0.125 LSB の分解能を持つデジタル・オフセット調整機能を内蔵しています。ゲイン・レジスタを使うと、AD5764R のフルスケール出力範囲を調整することができます。フルスケール出力を設定することができるため、 ± 10 V、 ± 10.25 V、 ± 10.5 V のフルスケール範囲を実現することができます。ゲインの微調整も可能です。

設定可能な短絡保護機能

出力アンプの短絡電流(I_{SC})は、ISCC ピンと PGND ピンの間に外付け抵抗を接続して設定することができます。設定可能な電流範囲は、120 k Ω ~6 k Ω の抵抗範囲に対応して 500 μ A~10 mA です。抵抗値は次のように計算されます。

$$R \approx \frac{60}{I_{SC}}$$

ISCC ピンを解放のままにすると、短絡電流はデフォルトの 5 mA に制限されます。短絡電流を小さい値に制限すると、容量負荷を駆動する際に出力のスルーレイトが影響を受けることに注意してください。このため、設定する短絡電流値では、駆動する容量負荷の大きさを考慮する必要があります。

デジタルI/Oポート

AD5764R には、2 ビットのデジタル I/O ポート(D1 と D0)があります。これらのビットは独立に入力または出力に設定することができ、駆動されるか、またはシリアル・インターフェースを介して値をリードバックさせることができます。I/O ポート信号は、DV_{CC} と DGND を基準とします。出力として設定した場合、マルチプレクサに対する制御信号として、あるいはシステム内のキャリブレーション回路の制御に使うことができます。入力として設定した場合は、たとえば、リミット・スイッチからのロジック信号を D0 と D1 に入力して、デジタル・インターフェースを使ってリードバックすることができます。

チップ温度センサー

内蔵の温度センサーは、摂氏温度に比例する電圧を出力します。公称出力電圧は+25°Cのチップ温度で1.47 Vです。温度係数は5 mV/°Cで、全温度範囲に対する出力範囲は1.175 V~1.9 V (typ)です。低出力インピーダンスとリニア出力を持っているため、温度制御回路やA/Dコンバータ(ADC)へのインターフェースが簡素化されます。温度センサーは高精度よりは便利さのために用意されているので、再キャリブレーション用にチップ温度の変化を表示することが目的です。

ローカル・グラウンド・オフセットの調整

AD5764R はローカル・グラウンド・オフセット調整機能を内蔵しています。ファンクション・レジスタを使ってこの機能をイネーブルすると、個々の DAC グラウンド・ピンと REFGND ピンとの電位差に対する DAC 出力を調節して、DAC 出力電圧が常にローカル DAC グラウンド・ピンを基準とするようにします。たとえば、AGNDA ピンが REFGND ピンを基準として+5 mV であり、VOUTA が AGNDA を基準とする場合、-5 mV の誤差が発生するため、ローカル・グラウンド・オフセット調整機能により VOUTA を+5 mV だけ調節して、誤差をなくすことができます。

アプリケーション情報

代表的な動作回路

図 43 に、AD5764Rの代表的な動作回路を示します。この高精度 16 ビットDACに必要な外付け部品は、電源ピンとリファレンス入力に接続するデカップリング・コンデンサと、オプションの短絡電流設定抵抗だけです。AD5764Rはリファレンス電圧とリファレンス・バッファを内蔵しているため、外部バイポーラ・リファレンスとそれに対応するバッファが不要になり、コストとボード・スペースの削減が可能です。

図 43 では、 AV_{DD} が+15 Vに、 AV_{SS} が-15 Vに、それぞれ接続されていますが、 AV_{DD} と AV_{SS} は、 $\pm 11.4\text{ V} \sim \pm 16.5\text{ V}$ の電源で動作することができます。図 43 では、 $AGND_x$ はREFGNDに接続されています。

高精度リファレンス電圧の選択

フル動作温度範囲で AD5764R の最適性能を実現するためには、高精度の外付けリファレンス電圧を使う必要があります。高精度リファレンス電圧の選択には注意が必要です。AD5764R には 2 つのリファレンス入力(REFAB と REFCD)があります。リファレンス入力に加えられる電圧は、DAC コアのバッファされた正と負のリファレンス電圧を供給するために使われます。このため、リファレンス電圧の誤差はデバイスの出力に影響を与えません。

高精度アプリケーションに対するリファレンス電圧の選択で考慮すべき誤差原因としては、初期精度、出力電圧の温度係数、長時間ドリフト、出力電圧ノイズの 4 つがあります。

外部リファレンスの出力電圧の初期精度誤差により、DAC内でフル・スケール誤差が発生します。これらの誤差の誤差を小さくするため、初期精度誤差の小さいリファレンス電圧の使用が望まれます。ADR425 のような出力調整機能を持つリファレンス電圧を選択すると、リファレンス電圧を公称値以外の電圧に設定することにより、システム誤差を調節することができます。調整機能は、温度に対しても使用できるので、誤差をなくすることができます。

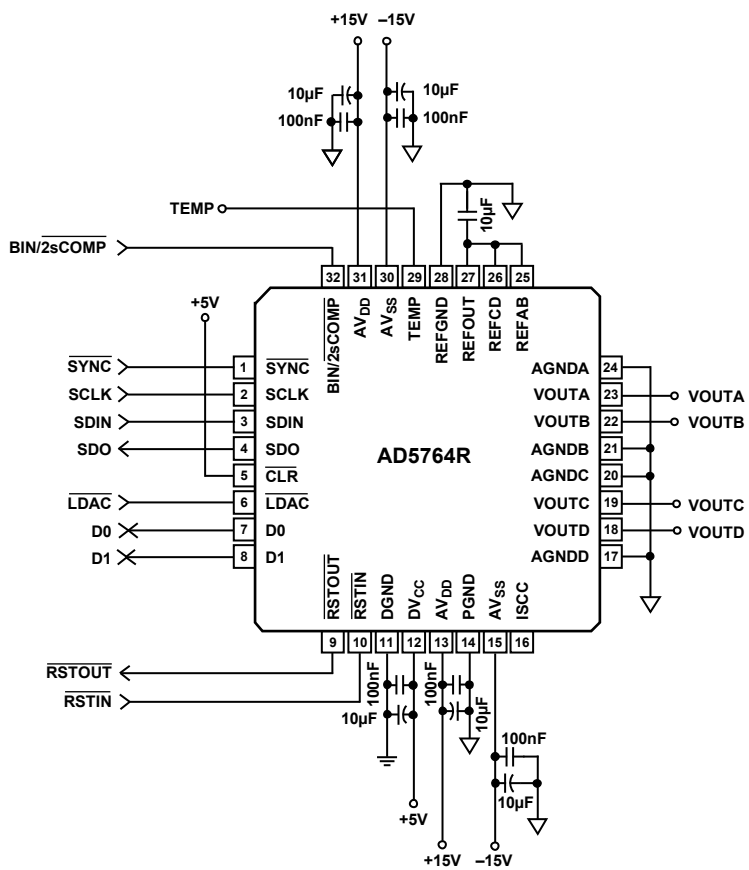
長時間ドリフトは、リファレンス出力電圧の時間的なドリフト性能を表します。厳しい長時間ドリフト仕様を持つリファレンス電圧を使うと、ソリューション全体が製品寿命を通して比較的安定します。

リファレンス出力電圧の温度係数は、INL、DNL、TUE に影響を与えます。DAC 出力電圧の周囲条件に対する温度依存性を小さくするためには、厳しい温度係数仕様を持つリファレンス電圧を選択する必要があります。

比較的低いノイズが要求される高精度アプリケーションでは、リファレンス電圧の出力ノイズを考慮する必要があります。必要とされるシステム分解能に対して実用的な程度に出力ノイズ電圧が小さいリファレンス電圧を選択することは重要です。ADR435 (XFET®デザイン)のような高精度リファレンス電圧は、0.1~10 Hz の領域で低い出力ノイズ・レベルを持っています。ただし、回路帯域幅が広くなると、出力ノイズを小さくするために、リファレンス出力にフィルタが必要になることがあります。

表 20.AD5764R に使用できる推奨高精度リファレンス電圧

Part No.	Initial Accuracy (mV Maximum)	Long-Term Drift (ppm Typical)	Temperature Drift (ppm/°C Maximum)	0.1 Hz to 10 Hz Noise ($\mu\text{V p-p}$ Typical)
ADR435	± 6	30	3	3.5
ADR425	± 6	50	3	3.4
ADR02	± 5	50	3	10
ADR395	± 6	50	25	5
AD586	± 2.5	15	10	4



06064-064

图 43. 代表的な動作回路

レイアウトのガイドライン

精度が重要な回路では、電源とグラウンド・リターンレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5764R を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離して、ボードの一定領域にまとめて配置するように、デザインする必要があります。複数のデバイスが AGND と DGND との接続を必要とするシステム内で AD5764R を使用する場合は、この接続は 1 ヶ所で行う必要があります。デバイスのできるだけ近くに星型のグラウンド・ポイントを構成する必要があります。AD5764R に対しては、 $10\mu\text{F}$ と $0.1\mu\text{F}$ の並列接続により十分な電源バイパスをパッケージのできるだけ近くの電源に、理想的にはデバイスに直接に、接続する必要があります。 $10\mu\text{F}$ コンデンサはタンタルのビーズ型を使います。 $0.1\mu\text{F}$ コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESI)が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

AD5764R の電源ラインには、できるだけ太いパターンを使って低インピーダンス・パスを実現して、電源ライン上でのグリッチの効果を削減する必要があります。クロックなどの高速スイッチング信号はデジタル・グラウンドでシールドして、ボード上の他の部品へノイズを放出しないようにし、リファレンス入力の近くを通らないようにします。SDIN ラインと SCLK ラインとの間にグラウンド・ラインを設けると、これらの間のクロストークを削減するのに役立ちます(多層ボードでは別のグラウンド・プレーンがあるためグラウンド・ラインは不要ですが、ラインを分離することは役立ちます)。リファレンス入力のノイズは DAC 出力に混入するため、このノイズを小さくすることは不可欠です。デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置してボードを通過するフィードスルー効果を減少させます。

マイクロストリップ技術の使用が推奨されますが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号パターンはハンダ面に配置されます。

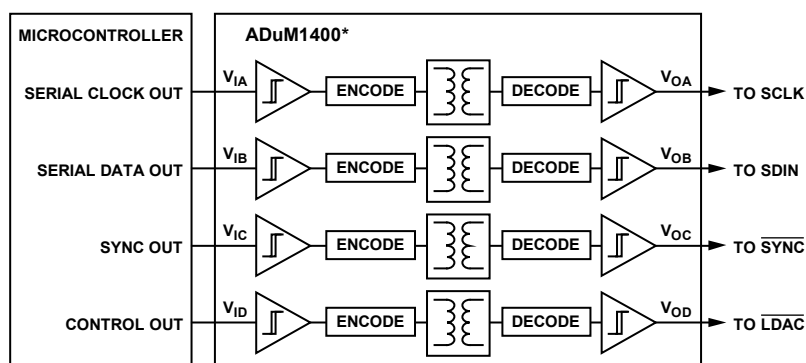
電流絶縁型インターフェース

多くのプロセス制御アプリケーションでは、コントローラと被制御対象のユニットとの間にアイソレーション障壁を設けて、危険な同相モード電圧から制御回路を保護してアイソレーションすることが必要です。Isocoupler は 2.5 kV を超える電圧アイソレーションを提供します。AD5764R はシリアル・ローディング構造を採用しているため、インターフェース・ライン数が最小になっていますので、絶縁インターフェース向けに最適です。図 44 に、ADuM1400 iCoupler® 製品を使用して構成した、AD5764R に対する 4 チャンネル絶縁型インターフェースを示します。iCoupler 製品の詳細については、<http://www.analog.com/jp/> を参照してください。

マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5764R とのインターフェースは、マイクロコントローラと DSP プロセッサに対して互換性を持つ標準プロトコルを使うシリアル・バスを使って行います。この通信チャンネルは、クロック信号、データ信号、同期信号から構成される 3(最小)線式インターフェースです。AD5764R では 24 ビットのデータ・ワードを使い、データは SCLK の立ち下がりエッジで有効になります。

すべてのインターフェースで、すべてのデータが入力されたとき、出力の更新を自動的に行うことができます。あるいは、LDAC からの制御により行うこともできます。DAC レジスタの値は、リードバック機能を使って読み出すことができます。



*ADDITIONAL PINS OMITTED FOR CLARITY.

06064-065

図 44. 絶縁型インターフェース

評価ボード

AD5764R には、デバイスの高性能を容易に評価できる評価ボードが添付されています。評価ボードの動作に必要なものは、電源と PC だけです。AD5764R 評価キットには、部品が実装されたテス

ト済みの AD5764R PCB が含まれています。評価ボードは、PC の USB インターフェースに接続されます。評価ボードでは、AD5764R の設定を容易にするソフトウェアを使うことができます。このソフトウェアは、Microsoft® Windows® 2000/XP をインストールした PC 上で動作します。

