



HART 接続、ダイナミック消費電力 制御付きのシングル・チャンネル 16 ビット電流および電圧 DAC

データシート

AD5753

特長

16 ビットの分解能と単調性
温度管理用の正と負の DPC
単一端子で使用可能な電流/電圧出力
電流出力範囲：0mA~20mA、4mA~20mA、
0mA~24mA、±20mA、±24mA、-1mA~+22mA
電圧出力範囲（20%のオーバーレンジ含む）：
0V~5V、0V~10V、±5V、±10V
ユーザ設定可能なオフセットとゲイン
12 ビット ADC を含む高度なオンチップ診断機能
2 本の外部 ADC 入力ピン
内蔵リファレンス
出力故障保護を含む堅牢なアーキテクチャ
温度範囲：-40°C~+115°C
40 ピン、6mm × 6mm LFCSP パッケージ

アプリケーション

プロセス制御
アクチュエータ制御
チャンネル・アイソレーション・アナログ出力
プログラマブル・ロジック・コントローラ (PLC) および
分散型制御システム (DCS) アプリケーション
HART ネットワーク接続

概要

AD5753 はシングル・チャンネルの電流および電圧出力 D/A コンバータ (DAC) で、 $AV_{SS} = -33V$ (最小) から $AV_{DD1} = +33V$ (最大) の電源範囲で動作し、2 レール間の最大動作電圧は 60V です。内蔵のダイナミック消費電力制御 (DPC) 回路が、パッケージの電力消費を最小限に抑えます。これは、オンチップ電力消費を最小限に抑えるように最適化された降圧 DC/DC コンバータを使用し、 VI_{OUT} 出力ドライバ回路へ送る電源電圧 (V_{DPC+} と V_{DPC-}) を 5V~27V の範囲に調整することによって実現されます。また、 $CHART$ ピンによって HART (Highway Addressable Remote Transducer[®]) 信号を電流出力にカップリングすることができます。

AD5753 は、多機能の 4 線式シリアル・ペリフェラル・インターフェース (SPI) を採用しています。このインターフェースは最大 50MHz のクロック・レートで動作し、標準 SPI、QSPI[™]、MICROWIRE[™]、デジタル・シグナル・プロセッサ (DSP)、およびマイクロコントローラ・インターフェース標準と互換性があります。また、オプションの SPI 巡回冗長性チェック (CRC) とウォッチドッグ・タイマー (WDT) を備えています。AD5753 は、出力電流監視や内蔵 12 ビット診断 A/D コンバータ (ADC) など、旧バージョンの同様の DAC から改善された診断機能を備えています。更に、 VI_{OUT} 、 $+V_{SENSE}$ 、および $-V_{SENSE}$ ピンにライン・プロテクタを含めることで、堅牢性が向上しています。

製品のハイライト

- 2 本の外部入力ピンを備えた内蔵 ADC を含む広範囲な高度診断機能。
- 温度管理用の内蔵降圧 DC/DC コンバータを使用する DPC によって、小型のモジュール・ハウジングに、より多くのチャンネル数を収容可能。
- DPC より短いセトリング時間 (代表値 15 μ s) を実現するプログラマブル電力制御 (PPC)。
- 誤配線時の出力保護機能 ($\pm 38V$) を備えた高い堅牢性。
- HART 準拠。

関連製品

製品ファミリ：AD5758、AD5755-1、AD5422

HART モデム：AD5700、AD5700-1

外付けリファレンス：ADR431、ADR3425、ADR4525

デジタル・アイソレータ：ADuM142D、ADuM141D

電源：LT8300、ADP2360、ADM6339、ADP1031

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	電圧出力	36
アプリケーション	1	故障保護	36
概要	1	電流出力	37
製品のハイライト	1	HART 接続	37
関連製品	1	スルー・レートのデジタル制御	37
改訂履歴	2	アドレス・ピン	38
機能ブロック図	3	WDT	39
仕様	4	オフセットとゲインのデジタル調整	39
AC 性能特性	10	DAC 出力の更新とデータ完全性の診断	40
タイミング特性	11	GPIO ピン	41
絶対最大定格	14	キー・コードの使用	41
熱抵抗	14	ソフトウェア・リセット	41
ESD に関する注意	14	キャリブレーション・メモリの CRC	41
ピン配置およびピン機能の説明	15	内部発振器の診断	42
代表的な性能特性	17	スティッキー診断結果ビット	42
電圧出力	17	バックグラウンドでの電源および温度モニタリング	42
電流出力	21	出力故障	42
DC/DC ブロック	26	ADC のモニタリング	43
リファレンス	27	レジスタ・マップ	48
一般特性	28	レジスタへの書込み	48
用語の定義	29	レジスタからの読出し	49
動作原理	31	出力イネーブルを行う設定シーケンス	52
DAC アーキテクチャ	31	レジスタの詳細	54
シリアル・インターフェース	31	アプリケーション情報	70
AD5753 のパワーオン状態	32	モジュール例の消費電力計算	70
電源に関する考慮事項	32	外形寸法	72
デバイス特性と診断機能	34	オーダー・ガイド	72
消費電力制御	34		
ダイ間の 3 線式インターフェース	35		

改訂履歴

5/2019—Revision 0: Initial Version

機能ブロック図

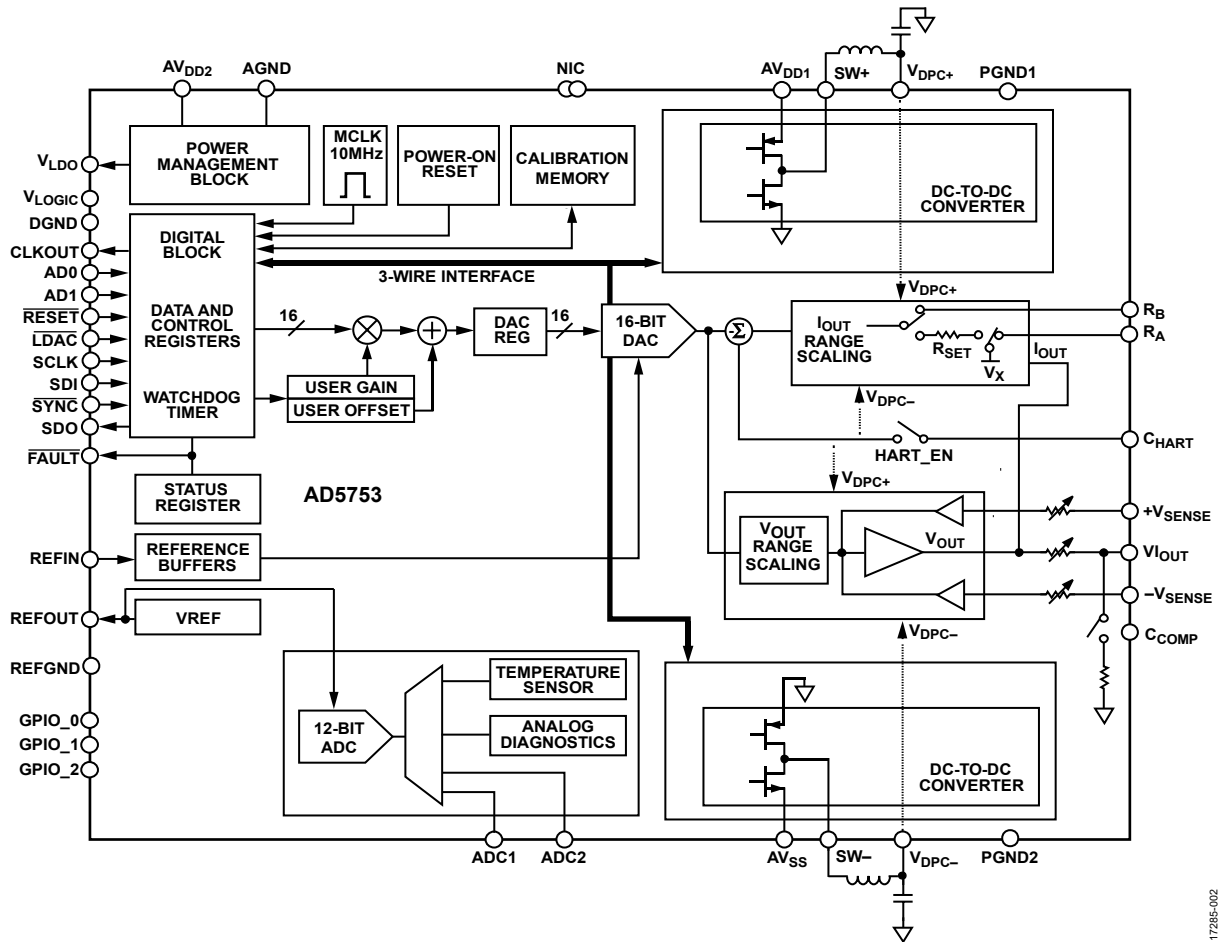


図 1.

17285-002

仕様

$AV_{DD1} = V_{DPC+} = 15V$ 、DC/DC コンバータをディスエーブル、 $AV_{DD2} = 5V$ 、 $AV_{SS} = V_{DPC-} = -15V$ 、 $V_{LOGIC} = 1.71V \sim 5.5V$ 、 $AGND = DGND = REFGND = PGND1 = 0V$ 、 $REFIN =$ 外部 2.5V、電圧出力：負荷抵抗 (R_{LOAD}) = $1k\Omega$ 、負荷コンデンサ (C_{LOAD}) = $220pF$ 、電流出力： $R_{LOAD} = 300\Omega$ 。特に指定のない限り、すべての仕様は $T_A = -40^\circ C \sim +115^\circ C$ 、 T_J (ジャンクション温度) $< 125^\circ C$ 。

表 1.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
OUTPUT VOLTAGE (V_{OUT})	0		5	V	V_{OUT} 範囲を調整
	0		10	V	
	-5		+5	V	
	-10		+10	V	
Output Voltage Overranges	0		6	V	オーバーレンジは未調整
	0		12	V	
	-6		+6	V	
	-12		+12	V	
Output Voltage Offset Ranges	-0.3		+5.7	V	負のオフセット範囲は未調整
	-0.4		+11.6	V	
Resolution	16			Bits	
VOLTAGE OUTPUT ACCURACY					特に指定のない限り、有負荷時および無負荷時で、精度仕様は調整した V_{OUT} 範囲のみが基準
Total Unadjusted Error (TUE)	-0.05		+0.05	% FSR	$T_A = 25^\circ C$ 1000 時間後のドリフト、 $T_J = 150^\circ C$ 出力ドリフト すべての範囲 全範囲で単調増加性を確保 $\pm 5V$ 、 $\pm 10V$ $\pm 5V$ 、 $\pm 10V$
	-0.01		+0.01	% FSR	
TUE Long-Term Stability ¹		15		ppm FSR	
Output Drift		0.35	1.5	ppm FSR/ $^\circ C$	
Integral Nonlinearity (INL)	-0.006		+0.006	% FSR	
Differential Nonlinearity (DNL)	-1		+1	LSB	
Zero-Scale Error	-0.02	± 0.002	+0.02	% FSR	
Zero-Scale Error Temperature Coefficient (TC) ²		± 0.3		ppm FSR/ $^\circ C$	
Bipolar Zero Error	-0.017	+0.001	+0.017	% FSR	
Bipolar Zero Error TC ²		± 0.4		ppm FSR/ $^\circ C$	
Offset Error	-0.022	± 0.002	+0.022	% FSR	
Offset Error TC ²		± 0.3		ppm FSR/ $^\circ C$	
Gain Error	-0.022	± 0.001	+0.022	% FSR	
Gain Error TC ²		± 0.6		ppm FSR/ $^\circ C$	
Full-Scale Error	-0.022	± 0.001	+0.022	% FSR	
Full-Scale Error TC ²		± 0.5		ppm FSR/ $^\circ C$	
VOLTAGE OUTPUT CHARACTERISTICS					
Headroom	2			V	V_{IOUT} と V_{DPC+} 電源の間で必要な最小電圧
Footroom	2			V	V_{IOUT} と V_{DPC-} 電源の間で必要な最小電圧
Short-Circuit Current Load ²		16		mA	仕様規定された性能の場合
Capacitive Load Stability ²	1		10	k Ω	
			2	nF	220pF の外部補償コンデンサを接続
				μF	
DC Output Impedance		7		m Ω	$-V_{SENSE}$ 電圧の変化による V_{OUT} 電圧の誤差
DC Power Supply Rejection Ratio (PSRR)		10		$\mu V/V$	
V_{OUT} and $-V_{SENSE}$ Common-Mode Rejection Ratio (CMRR)		10		$\mu V/V$	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
OUTPUT CURRENT (I_{OUT})	0		24	mA	
	0		20	mA	
	4		20	mA	
	-20		+20	mA	
	-24		+24	mA	
	-1		+22	mA	
Resolution	16			Bits	
CURRENT OUTPUT ACCURACY (EXTERNAL R_{SET}) ³					13.7k Ω の理想抵抗を想定
Unipolar Ranges					4mA~20mA、0mA~20mA、0mA~24mA の範囲
TUE	-0.05		+0.05	% FSR	
	-0.01		+0.01	% FSR	$T_A = 25^\circ\text{C}$
TUE Long-Term Stability		125		ppm FSR	1000 時間後のドリフト、 $T_J = 150^\circ\text{C}$
Output Drift		2	5	ppm FSR/ $^\circ\text{C}$	
INL	-0.007		+0.007	% FSR	
DNL	-1		+1	LSB	単調増加性を確保
Zero-Scale Error	-0.03	± 0.002	+0.03	% FSR	
Zero-Scale TC^2		± 0.5		ppm FSR/ $^\circ\text{C}$	
Offset Error	-0.03	± 0.001	+0.03	% FSR	
Offset Error TC^2		± 0.7		ppm FSR/ $^\circ\text{C}$	
Gain Error	-0.05	± 0.002	+0.05	% FSR	
Gain Error TC^2		± 3		ppm FSR/ $^\circ\text{C}$	
Full-Scale Error	-0.05	± 0.002	+0.05	% FSR	
Full-Scale Error TC^2		± 3		ppm FSR/ $^\circ\text{C}$	
Bipolar Ranges					$\pm 20\text{mA}$ 、 $\pm 24\text{mA}$ 、および $-1\text{mA} \sim +22\text{mA}$ 範囲
TUE	-0.06		+0.06	% FSR	
	-0.012		+0.012	% FSR	$T_A = 25^\circ\text{C}$
TUE Long-Term Stability ¹		125		ppm FSR	1000 時間後のドリフト、 $T_J = 150^\circ\text{C}$
Output Drift		12	15.5	ppm FSR/ $^\circ\text{C}$	
INL	-0.013		+0.013	% FSR	
DNL	-1		+1	LSB	単調増加性を確保
Zero-Scale Error	-0.04	± 0.003	+0.04	% FSR	
Zero-Scale TC^2		± 0.5		ppm FSR/ $^\circ\text{C}$	
Bipolar Zero Error	-0.02	± 0.003	+0.02	% FSR	
Bipolar Zero Error TC^2		± 0.4		ppm FSR/ $^\circ\text{C}$	
Offset Error	-0.04	± 0.002	+0.04	% FSR	
Offset Error TC^2		± 0.6		ppm FSR/ $^\circ\text{C}$	
Gain Error	-0.06	± 0.002	+0.06	% FSR	
Gain Error TC^2		± 3		ppm FSR/ $^\circ\text{C}$	
Full-Scale Error	-0.06	± 0.003	+0.06	% FSR	
Full-Scale Error TC^2		± 3		ppm FSR/ $^\circ\text{C}$	
CURRENT OUTPUT ACCURACY (INTERNAL R_{SET})					
Unipolar Ranges					4mA~20mA、0mA~20mA、0mA~24mA の範囲
TUE	-0.12		+0.12	% FSR	
TUE Long-Term Stability ¹		380		ppm FSR	1000 時間後のドリフト、 $T_J = 150^\circ\text{C}$
Output Drift		3	6	ppm FSR/ $^\circ\text{C}$	出力ドリフト
INL	-0.01		+0.01	% FSR	
DNL	-1		+1	LSB	単調増加性を確保
Zero-Scale Error	-0.04	± 0.001	+0.04	% FSR	
Zero-Scale TC^2		± 0.5		ppm FSR/ $^\circ\text{C}$	
Offset Error	-0.04	± 0.001	+0.04	% FSR	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
Offset Error TC ²		±1		ppm FSR/°C	
Gain Error	-0.1	±0.003	+0.1	% FSR	
Gain Error TC ²		±3		ppm FSR/°C	
Full-Scale Error	-0.12	±0.003	+0.12	% FSR	
Full-Scale Error TC ²		±3		ppm FSR/°C	
Bipolar Ranges					±20mA、±24mA、および-1mA~+22mA 範囲
TUE	-0.12		+0.12	% FSR	
TUE Long-Term Stability ¹		380		ppm FSR	1000 時間後のドリフト、T _J = 150°C
Output Drift		3	6	ppm FSR/°C	出力ドリフト
INL	-0.02		+0.02	% FSR	
DNL	-1		+1	LSB	単調増加性を確保
Zero-Scale Error	-0.06	±0.001	+0.06	% FSR	
Zero-Scale TC ²		±2		ppm FSR/°C	
Bipolar Zero Error	-0.02	±0.002	+0.02	% FSR	
Bipolar Zero Error TC ²		±0.3		ppm FSR/°C	
Offset Error	-0.06	±0.001	+0.06	% FSR	
Offset Error TC ²		±1		ppm FSR/°C	
Gain Error	-0.12	±0.003	+0.12	% FSR	
Gain Error TC ²		±3		ppm FSR/°C	
Full-Scale Error	-0.12	±0.003	+0.12	% FSR	
Full-Scale Error TC ²		±3		ppm FSR/°C	
CURRENT OUTPUT CHARACTERISTICS					
Headroom	2.3			V	V _{IOUT} と V _{DPC} -電源の間に必要な最小電圧
Footroom	2.3 or 0			V	V _{IOUT} と V _{DPC} -電源の間に必要な最小電圧。ユニポ ーラ範囲にはフットルームは不要で、値は 0 をと る
Resistive Load ²			1000	Ω	DC/DC コンバータは最大負荷 1kΩ で特性評価さ れており、この抵抗値はヘッドルームとフットル ームが適合範囲を超えないように選ばれている
Output Impedance		100		MΩ	ミッドスケール出力
DC PSRR		0.1		μA/V	
REFERENCE INPUT/OUTPUT					
Reference Input					
Reference Input Voltage ⁴		2.5		V	仕様指定された性能時
DC Input Impedance	55	120		MΩ	
Reference Output					
Output Voltage	2.495	2.5	2.505	V	T _A = 25°C (T _J = 150°C で 1000 時間経過した後のド リフトを含む)
Reference TC ²	-10		+10	ppm/°C	
Output Noise (0.1 Hz to 10 Hz) ²		7		μV p-p	
Noise Spectral Density ²		80		nV/√Hz	10kHz 時の値
Capacitive Load ²			1000	nF	
Load Current		3		mA	
Short-Circuit Current		5		mA	
Line Regulation		1		ppm/V	
Load Regulation		140		ppm/mA	
Thermal Hysteresis ²		150		ppm	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
V_{LDO} OUTPUT					
Output Voltage		3.3		V	
Output Voltage TC ²		30		ppm/°C	
Output Voltage Accuracy	-2		+2	%	
Externally Available Current			30	mA	
Short-Circuit Current		55		mA	
Load Regulation		0.8		mV/mA	
Capacitive Load		0.1		μF	推奨動作
DC-TO-DC					
Start-Up Time		1.25		ms	
Switch					
Peak Current Limit ²	150		400	mA	DCDC_CONFIG2 レジスタを介し 50mA ステップでユーザ設定可能
Oscillator					
Oscillator Frequency (f _{sw})		500		kHz	
Minimum Duty Cycle		5		%	
Current Output DPC Mode					
V _{DPC+} and V _{DPC-} Voltage Range	±4.95		±27	V	電流出力ダイナミック消費電力制御モード AV _{DD1} と V _{DPC+} 、および AV _{SS} と V _{DPC-} の間に十分な電源マージンがあるものと仮定。詳細については消費電力制御のセクションを参照。 V _{DPC+} ~ V _{DPC-} = 50V の最大動作範囲
V _{DPC+} and V _{DPC-} Headroom		2.3	2.5	V	V _{IOUT} と V _{DPC+} または V _{DPC-} の間のヘッドルーム (代表値)。DC/DC コンバータがレギュレーション状態にある場合 (つまり負荷が十分に大きい場合) のみ適用
Current Output PPC Mode					
V _{DPC+} and V _{DPC-} Voltage Range	±5		±25.677	V	プログラマブル電力制御モード AV _{DD1} と V _{DPC+} の間、および AV _{SS} と V _{DPC-} の間に十分な電源マージンがあるものと仮定。詳細については消費電力制御のセクションを参照。 V _{DPC+} ~ V _{DPC-} = 50V の最大動作範囲
V _{DPC+} and V _{DPC-} Voltage Accuracy	-500		+500	mV	DC/DC コンバータがレギュレーションを行っている (つまり負荷が十分に大きい) 場合のみ適用
Voltage Output DPC Mode					
V _{DPC+} and V _{DPC-} Voltage Range	±5	±15	±25	V	電圧出力ダイナミック消費電力制御モード 5V = -V _{SENSE (MIN)} + 15V。25V = -V _{SENSE (MAX)} + 15V。ここで V _{SENSE (MIN)} = -10V、V _{SENSE (MAX)} = +10V。AV _{DD1} と V _{DPC+} の間、および AV _{SS} と V _{DPC-} の間に十分な電源マージンがあるものと仮定。詳細については消費電力制御のセクションを参照。 V _{DPC+} ~ V _{DPC-} = 50V の最大動作範囲
V _{DPC+} and V _{DPC-} Voltage Accuracy	-250		+250	mV	DC/DC コンバータがレギュレーションを行っている (つまり負荷が十分に大きい) 場合のみ適用
V_{IOUT} LINE PROTECTOR					
On Resistance, R _{ON}		12		Ω	T _A = 25°C
Overvoltage Response Time, t _{RESPONSE}		250		ns	
Overvoltage Leakage Current		±100		μA	ライン・プロテクタの故障検出ブロックは、正の故障電圧の場合は電流をシンクし、負の故障電圧の場合は電流をソースする

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
ADC					
Resolution		12		Bits	
Input Voltage Range					
ADC1 Pin	0		0.5	V	ADC_IP_SELECT = 10000
	-0.5		+0.5	V	ADC_IP_SELECT = 10010、AV _{SS} ≤ -1V でなければならぬ
	0		1.25	V	ADC_IP_SELECT = 01111
ADC2 Pin	0		2.5	V	ADC_IP_SELECT = 10001
	-15		+15	V	
Total Error					
ADC1 Pin	-0.25		+0.25	% FSR	2.5V 入力範囲
	-0.3		+0.3	% FSR	1.25V 入力範囲
	-0.5		+0.5	% FSR	0V ~ 0.5V および ±0.5V の入力範囲
ADC2 Pin	-0.5		+0.5	% FSR	
All other ADC Inputs		±0.3		% FSR	表 18 にすべての ADC 入力ノードを記載
Conversion Time ²		100		μs	
GENERAL-PURPOSE INPUT/OUTPUT					
I _{SOURCE} or I _{SINK} ⁵		V _{LOGIC} /1 kΩ		mA	GPIO ピンに 1kΩ を接続と仮定
Output Voltage					
Low, V _{OL}			0.4	V	I _{SOURCE} = 2mA
High, V _{OH}	V _{LOGIC} - 0.2			V	I _{SOURCE} = 2mA
GPIO INPUT					
Input Voltage					
High, V _{IH}	0.7 × V _{LOGIC}			V	
Low, V _{IL}			0.3 × V _{LOGIC}	V	
Input Current		1.35		μA	
Input Capacitance		2.6		pF	
DIGITAL OUTPUTS					
SDO					
Output Voltage					
Low, V _{OL}			0.4	V	シンク電流 = 200μA
High, V _{OH}	V _{LOGIC} - 0.2			V	ソース電流 = 200μA
High Impedance Leakage Current	-1		+1	μA	
High Impedance Output Capacitance ²		2.2		pF	
FAULT					
Output Voltage					
Low, V _{OL}			0.4	V	V _{LOGIC} に 10kΩ のプルアップ抵抗を接続
		0.6		V	2.5mA 時の値
High, V _{OH}	V _{LOGIC} - 0.05			V	V _{LOGIC} に 10kΩ のプルアップ抵抗を接続
DIGITAL INPUTS					
Input Voltage					
3 V ≤ V _{LOGIC} ≤ 5.5 V					
High, V _{IH}	0.7 × V _{LOGIC}			V	
Low, V _{IL}			0.3 × V _{LOGIC}	V	
1.71 V ≤ V _{LOGIC} < 3 V					
High, V _{IH}	0.8 × V _{LOGIC}			V	
Low, V _{IL}			0.2 × V _{LOGIC}	V	
Input Current	-1.5		+1.5	μA	SCLK、SDI、 <u>RESET</u> 、 <u>LDAC</u> はピンごとにプルダウン抵抗を内蔵。SYNC はプルアップ抵抗を内蔵
Pin Capacitance ²		2.4		pF	ピンごと

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
POWER REQUIREMENTS					
Supply Voltages					
AV_{DD1} ⁶	7		33	V	$ AV_{DD1} - AV_{SS} = 60V$ の最大動作範囲
AV_{DD2}	5		33	V	$ AV_{DD2} - AV_{SS} = 50V$ の最大動作範囲
AV_{SS} ⁶	-33		0	V	$ AV_{DD1} - AV_{SS} = 60V$ の最大動作範囲。バイポーラ出力範囲の場合、最大 AV_{SS} の計算時には V_{OUT} または I_{OUT} ヘッドルームに依る必要がある。ユニポーラ電流出力範囲の場合の最大 $AV_{SS} = 0V$ 。ユニポーラ電圧出力範囲の場合の最大 $AV_{SS} = -2.5V$ 。
V_{LOGIC}	1.71		5.5	V	
Supply Quiescent Currents⁶					
AI_{DD1} ⁷		0.05	0.11	mA	静止電流 (負荷電流はないものと仮定) 電圧出力モード、DC/DC コンバータはイネーブルで非アクティブ
		0.05	0.11	mA	電流出力モード、DC/DC コンバータはイネーブルで非アクティブ
AI_{DD2} ⁷		3.3	3.6	mA	電圧出力モード、DC/DC コンバータはイネーブルで非アクティブ
		2.9	3.1	mA	電流出力モード、DC/DC コンバータはイネーブルで非アクティブ
AI_{SS} ⁷	-0.11	-0.05		mA	電圧出力モード
	-0.11	0.05		mA	電流出力モード
I_{LOGIC} ⁷			0.01	mA	$V_{IH} = V_{LOGIC}$ 、 $V_{IL} = DGND$
I_{DPC+} ⁷		1.0	1.3	mA	電圧出力モード
		0.8	1	mA	ユニポーラ電流出力モード
		2.3	3.1	mA	バイポーラ電流出力モード
I_{DPC-} ⁷	-1.3	-1.0		mA	電圧出力モード
	-0.2	-0.15		mA	ユニポーラ電流出力モード
	-3.1	-2.3		mA	バイポーラ電流出力モード
Power Dissipation					
					理想電源を想定し外部負荷による消費電力を除外した場合の消費電力。電流出力 DPC モード、負レール DPC をデイスエーブル、電流範囲 0mA ~ 20mA。計算方法については、モジュール例の消費電力計算のセクションを参照。
		120		mW	$AV_{DD1} = 24V$ 、 $AV_{DD2} = 5V$ 、 $AV_{SS} = -15V$ 、 $R_{LOAD} = 1k\Omega$ 、 $I_{OUT} = 20mA$
		145		mW	$AV_{DD1} = 24V$ 、 $AV_{DD2} = 5V$ 、 $AV_{SS} = -15V$ 、 $R_{LOAD} = 0\Omega$ 、 $I_{OUT} = 20mA$
		180		mW	$AV_{DD1} = AV_{DD2} = 24V$ 、 $AV_{SS} = -15V$ 、 $R_{LOAD} = 1k\Omega$ 、 $I_{OUT} = 20mA$
		200		mW	$AV_{DD1} = AV_{DD2} = 24V$ 、 $AV_{SS} = -15V$ 、 $R_{LOAD} = 0\Omega$ 、 $I_{OUT} = 20mA$
		105			$AV_{DD1} = 24V$ 、 $AV_{DD2} = 5V$ 、 $AV_{SS} = -24V$ 、 $R_{LOAD} = 1k\Omega$ 、 $I_{OUT} = -20mA$ 、負レール DPC をイネーブル

¹ 長期安定性の仕様は非累積的です。後続の 1000 時間にわたるドリフトは、最初の 1000 時間よりも大幅に小さくなります。

² 設計と特性評価により性能は確保していますが、出荷テストの対象外です。

³ 内蔵および外付け R_{SET} 抵抗の詳細については、電流出力のセクションを参照してください。

⁴ AD5753 は、出荷時に外部 2.5V リファレンスを REFIN に接続して補正されています。

⁵ ここで I_{SOURCE} は電流ソース、 I_{SINK} は電流シンクです。

⁶ 製品は最大 $AV_{DD1} = 30V$ 、最小 $AV_{SS} = -30V$ でテストされています。

⁷ ここで、 AI_{DD1} は AV_{DD1} 電源の電流、 AI_{DD2} は AV_{DD2} 電源の電流、 AI_{SS} は AV_{SS} 電源の電流、 I_{LOGIC} は V_{LOGIC} 電源の電流、 I_{DPC+} は V_{DPC+} 電源の電流、 I_{DPC-} は V_{DPC-} 電源の電流です。

AC 性能特性

$AV_{DD1} = V_{DPC+} = 15V$ 、DC/DC コンバータをディスエーブル、 $AV_{DD2} = 5V$ 、 $AV_{SS} = V_{DPC-} = -15V$ 、 $V_{LOGIC} = 1.71V \sim 5.5V$ 、 $AGND = DGND = REF_{GND} = PGND1 = 0V$ 、 $REFIN =$ 外部 2.5V、電圧出力： $R_{LOAD} = 1k\Omega$ 、 $C_{LOAD} = 220pF$ 、電流出力： $R_{LOAD} = 300\Omega$ 。特に指定のない限り、すべての仕様は $T_A = -40^\circ C \sim +115^\circ C$ 、 $T_J < 125^\circ C$ 。

表 2.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
DYNAMIC PERFORMANCE¹					
Voltage Output					
Output Voltage Settling Time		6	20	μs	出力電圧セトリング時間仕様は DC/DC コンバータをイネーブルした場合も適用
		12	20	μs	$\pm 0.03\%$ FSR まで 5V ステップ、0V~5V 範囲
			15	μs	$\pm 0.03\%$ FSR まで 10V ステップ、0V~10V 範囲
Slew Rate		3		V/ μs	1LSB (16 ビット LSB) まで 100mV ステップ、0V~10V 範囲
Power-On Glitch Energy		25		nV-sec	0V~10V 範囲、デジタル・スルー・レート制御をディスエーブル
Digital-to-Analog Glitch Energy		5		nV-sec	
Glitch Impulse Peak Amplitude		25		mV	
Digital Feedthrough		2		nV-sec	
Output Noise (0.1 Hz to 10 Hz Bandwidth)		0.2		LSB p-p	16 ビット LSB、0V~10V 範囲
Output Noise Spectral Density		185		nV/ \sqrt{Hz}	10kHz で測定、ミッドスケール出力、0V~10V 範囲
AC PSRR		70		dB	電源電圧に 200mV、50Hz~60Hz 正弦波を重畳
Current Output					
Output Current Settling Time		15		μs	0.1% FSR まで (0mA~24mA)、DC/DC コンバータをディスエーブル
		15		μs	PPC モード、DC/DC コンバータをイネーブル、DC/DC 電流限界 = 150mA
		200		μs	DPC モード、DC/DC コンバータをイネーブル。外部インダクタおよびコンデンサ部品は表 10 に記載、DC/DC 電流限界 = 150mA
Output Noise (0.1 Hz to 10 Hz Bandwidth)		0.2		LSB p-p	16 ビット LSB、0mA~24mA 範囲
Output Noise Spectral Density		0.8		nA/ \sqrt{Hz}	10kHz で測定、ミッドスケール出力、0mA~24mA 範囲
AC PSRR		80		dB	電源電圧に 200mV、50Hz~60Hz 正弦波を重畳

¹ 設計と特性評価により性能は確保していますが、出荷テストの対象外です。

タイミング特性

AV_{DD1} = V_{DPC+} = 15V、DC/DC コンバータをディスエーブル、AV_{DD2} = 5V、AV_{SS} = V_{DPC-} = -15V、V_{LOGIC} = 1.71V ~ 5.5V、AGND = DGND = REFGND = PGND1 = 0V、REFIN = 外部 2.5V、電圧出力：R_{LOAD} = 1kΩ、C_{LOAD} = 220pF、電流出力：R_{LOAD} = 300Ω。特に指定のない限り、すべての仕様は T_A = -40°C ~ +115°C、T_J < 125°C。単位は、動作が完了するまでの最小時間と最大時間を示します。

表 3.

パラメータ ^{1,2,3}	1.71V ≤ V _{LOGIC} < 3V	3V ≤ V _{LOGIC} ≤ 5.5V	単位	説明
t ₁	33	20	ns minimum	シリアル・クロック入力 (SCLK) サイクル時間、書込み動作
t ₂	120	66	ns minimum	SCLK サイクル時間、読出し動作
	16	10	ns minimum	SCLK ハイ時間、書込み動作
t ₃	60	33	ns minimum	SCLK ハイ時間、読出し動作
	16	10	ns minimum	SCLK ロー時間、書込み動作
t ₄	60	33	ns minimum	SCLK ロー時間、読出し動作
	10	10	ns minimum	SYNCの立下がりエッジから SCLK 立下がりエッジまでのセットアップ時間、書込み動作
t ₅	33	33	ns minimum	SYNCの立下がりエッジから SCLK 立下がりエッジまでのセットアップ時間、読出し動作
	10	10	ns minimum	24 番目または 32 番目の SCLK 立下がりエッジから SYNCの立上がりエッジまで
t ₆	500	500	ns minimum	SYNCハイ時間 (この表に示すもの以外のすべてのレジスタ書込みに適用)
	1.5	1.5	μs minimum	SYNCハイ時間 (DAC_INPUT レジスタ書込み)
	500	500	μs minimum	SYNCハイ時間 (DAC_CONFIG レジスタ読み、範囲ビット [3:0] が変化。詳しいタイミング情報については、キャリブレーション・メモリの CRC のセクションを参照。
t ₇	5	5	ns minimum	データ・セットアップ時間
t ₈	6	6	ns minimum	データ・ホールド時間
t ₉	750	750	ns minimum	LDACの立下がりエッジから SYNCの立上がりエッジまで
t ₁₀	1.5	1.5	μs minimum	SYNCの立上がりエッジから LDACの立下がりエッジまで
t ₁₁	250	250	ns minimum	LDACパルス幅、ロー
t ₁₂	600	600	ns maximum	LDACの立下がりエッジから DAC 出力応答までの時間、デジタル・スルー・レート制御をディスエーブル。
t ₁₃	2	2	μs maximum	LDACの立下がりエッジから DAC 出力応答までの時間、デジタル・スルー・レート制御をイネーブル。
	See the AC Performance Characteristics section	See the AC Performance Characteristics section	μs maximum	DAC 出力セトリング時間
t ₁₄	1.5	1.5	μs maximum	SYNCの立上がりエッジから DAC 出力応答までの時間 (LDAC = 0)
t ₁₅	5	5	μs minimum	RESETパルス幅
t ₁₆	40	28	ns maximum	SCLK の立上がりエッジから SDO が有効になるまで
t ₁₇	100	100	μs minimum	RESETの立上がりエッジから SYNC立下がりエッジ後最初の SCLK 立下がりエッジまで (t ₁₇ はタイミング図には記載なし)

¹ 設計と特性評価により性能は確保していますが、出荷テストの対象外です。

² すべての入力信号は t_r = t_f = 5ns (V_{LOGIC} の 10% ~ 90%) で仕様規定し、1.2V の電圧レベルで時間を測定しています。t_r は立上がり時間、t_f は立下がり時間です。

³ 図 2、図 3、図 4、および図 5 を参照してください。

タイミング図

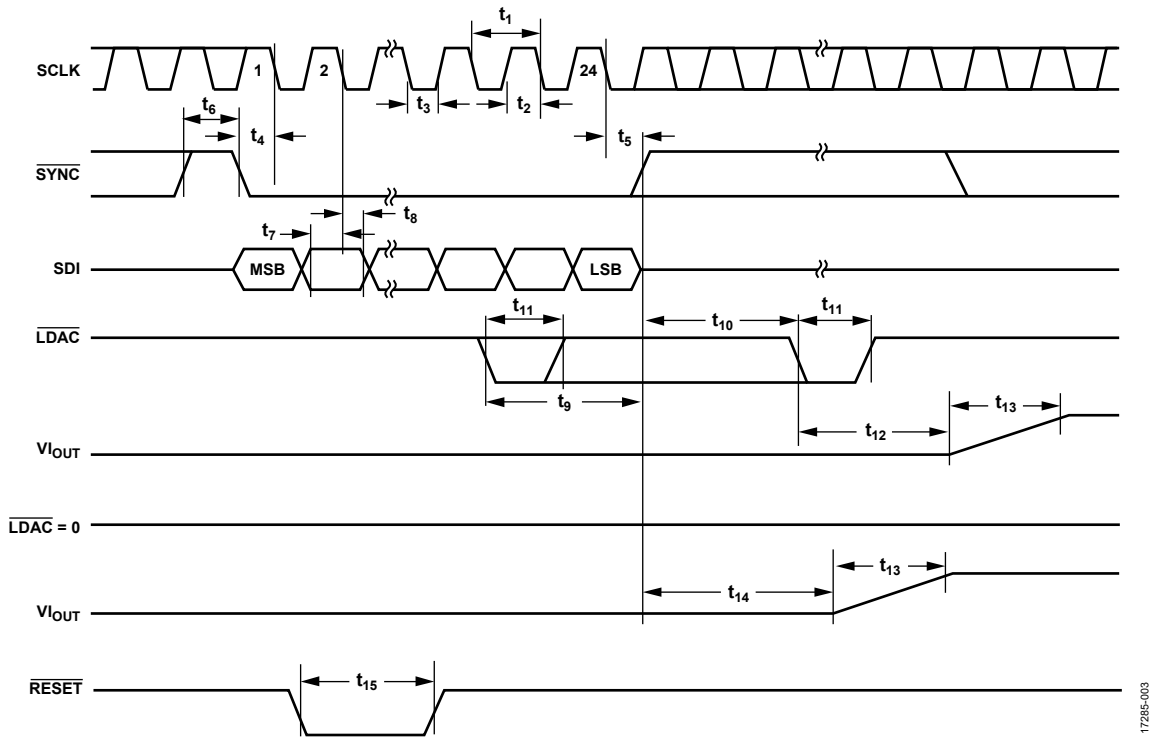


図 2. シリアル・インターフェースのタイミング図

17285-003

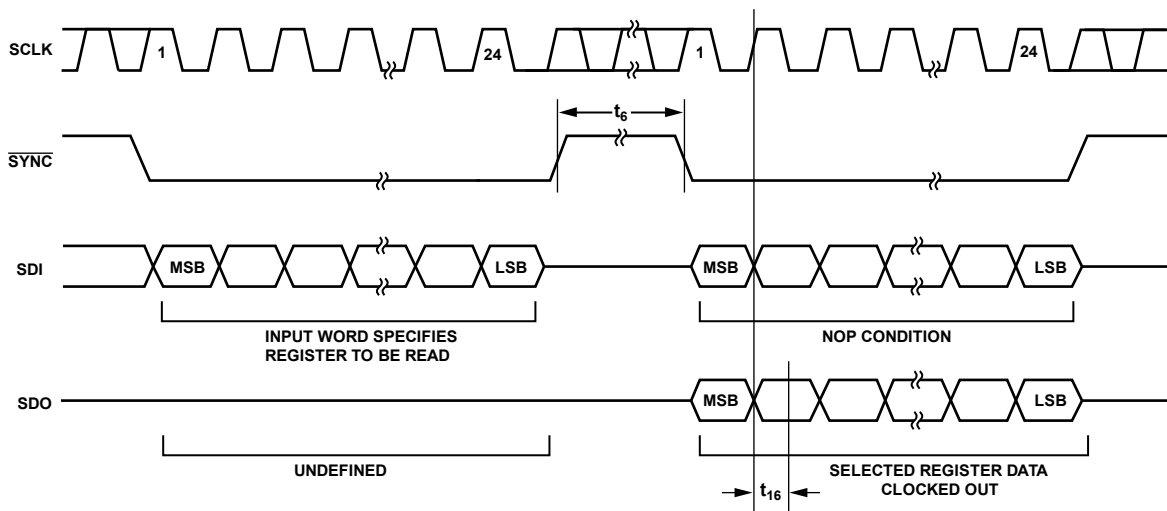
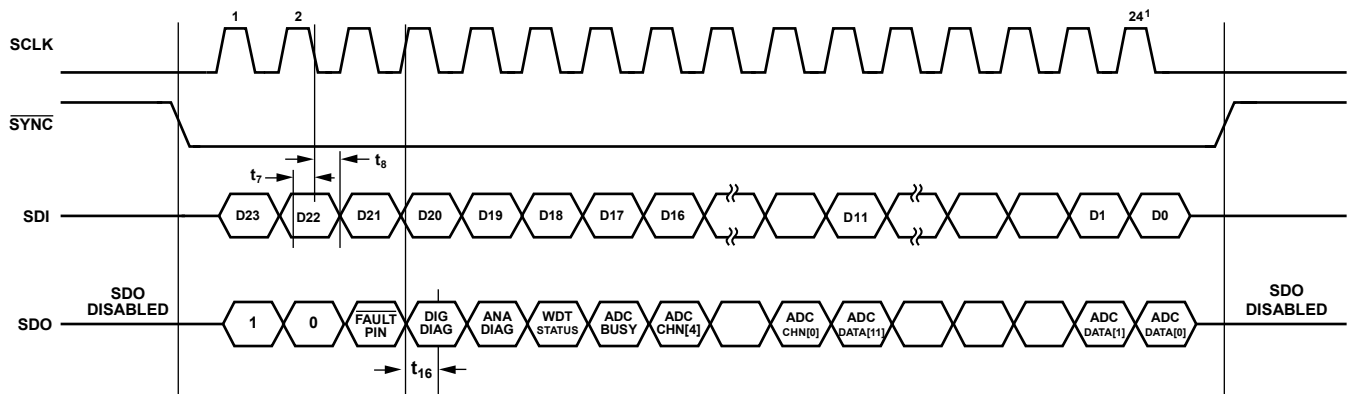


図 3. リードバックのタイミング図

17285-004



¹IF ANY EXTRA SCLK FALLING EDGES ARE RECEIVED AFTER THE 24TH (OR 32ND, IF CRC IS ENABLED) SCLK, BEFORE SYNC RETURNS HIGH, SDO CLOCKS OUT 0.

図 4. 自動ステータス・リードバックのタイミング図

17285-005

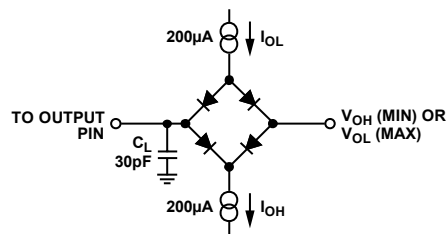


図 5. SDO タイミング図の負荷回路

17285-006

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。±200mA までの過渡電流では SCR ラッチアップは生じません。

表 4.

Parameter	Rating
AV_{DD1} to AGND, DGND	-0.3 V to +44 V
AV_{SS} to AGND, DGND	+0.3 V to -35 V
AV_{DD1} to AV_{SS}	-0.3 V to +66 V
AV_{DD2} , V_{DPC+} to AGND, DGND	-0.3 V to +35 V
AV_{DD2} , V_{DPC+} to V_{DPC-}	-0.3 V to +55 V
V_{DPC-} to AGND, DGND	+0.3 V to $AV_{SS} - 0.3$ V or -35 V (whichever voltage is less)
V_{LOGIC} to DGND	-0.3 V to +6 V
Digital Inputs to DGND (SCLK, SDI, SYNC, ADO, AD1, RESET, LDAC)	-0.3 V to $V_{LOGIC} + 0.3$ V or +6 V (whichever voltage is less)
Digital Outputs to DGND (FAULT, SDO, CLKOUT)	-0.3 V to $V_{LOGIC} + 0.3$ V or +6 V (whichever voltage is less)
GPIO_0, GPIO_1, and GPIO_2 to AGND	-0.3 V to $V_{LOGIC} + 0.3$ V or +6 V (whichever voltage is less)
REFIN, REFOUT, V_{LDO} , C_{HART} to AGND	-0.3 V to $AV_{DD2} + 0.3$ V or +6 V (whichever voltage is less)
R_A to AGND	-0.3 V to +4.5 V
R_B to AGND	-0.3 V to +4.5 V
V_{IOUT} to AGND	±38 V
+ V_{SENSE} to AGND	±38 V
- V_{SENSE} to AGND	±38 V
C_{COMP} to AGND	$AV_{SS} - 0.3$ V to $V_{DPC+} + 0.3$ V
SW+ to AGND	-0.3 V to $AV_{DD1} + 0.3$ V or +33 V (whichever voltage is less)
SW- to AGND	+0.3 V to $AV_{SS} - 0.3$ V or -33 V (whichever voltage is less)
AGND, DGND to REFAGND	-0.3 V to +0.3 V
AGND, DGND to PGND1, PGND2	-0.3 V to +0.3 V
Industrial Operating Temperature Range (T_A) ¹	-40°C to +115°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T_J Maximum)	125°C
Power Dissipation	$(T_J \text{ maximum} - T_A)/\theta_{JA}$
Lead Temperature Soldering	JEDEC industry standard J-STD-020
Electrostatic Discharge (ESD)	
Human Body Model ²	±4 kV
Field Induced Charged Device Model ³	±750 V

¹ チップ内の消費電力を抑えて、ジャンクション温度を 125°C 以下に維持する必要があります。

² ANSI/ESDA/JEDEC JS-001 による。すべてのピン。

³ ANSI/ESDA/JEDEC JS-002 による。すべてのピン。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

θ_{JA} は接合部から周囲への熱抵抗値、 Ψ_{JT} は接合部からパッケージ上面への熱抵抗値です。

表 5. 熱抵抗

Package Type	θ_{JA}	Ψ_{JT}	Unit
CP-40-15 ¹	38	0.5	°C/W

¹ テスト条件 1: 熱抵抗のシミュレーション値は、サーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照。

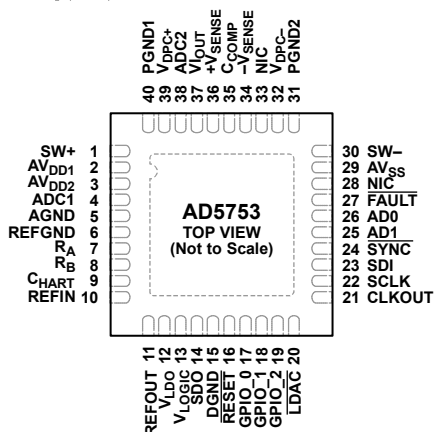
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES
1. NIC = NOT INTERNALLY CONNECTED.
 2. CONNECT THE EXPOSED PAD TO THE POTENTIAL OF THE V_{DPC-} PIN, OR, ALTERNATIVELY, THE EXPOSED PAD CAN BE LEFT ELECTRICALLY UNCONNECTED. IT IS RECOMMENDED THAT THE PAD BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

図 6. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	SW+	正の DC/DC 回路のスイッチング出力。デバイスの DC/DC 機能を使用するには、外部インダクタを図 77 のように接続します。
2	AV _{DD1}	正のアナログ電源。このピンの電圧範囲は 7V~33V です。
3	AV _{DD2}	正の低電圧アナログ電源。このピンの電圧範囲は 5V~33V です。
4	ADC1	マルチプレクサ ADC 外部入力 1。
5	AGND	アナログ回路に対するグラウンド基準ポイント。このピンは 0V に接続する必要があります。
6	REFGND	内蔵リファレンスに対するグラウンド基準ポイント。このピンは 0V に接続する必要があります。
7	R _A	電流設定外付け抵抗。外付けの高精度、低ドリフトの 13.7kΩ の電流設定抵抗を R _A と R _B の間に接続して、電流出力の温度ドリフト性能を向上させることができます。外付け抵抗は、できるだけ AD5753 に近付けて取り付けることを推奨します。
8	R _B	電流設定外付け抵抗。外付けの高精度、低ドリフトの 13.7kΩ の電流設定抵抗を R _A と R _B の間に接続して、電流出力の温度ドリフト性能を向上させることができます。外付け抵抗は、できるだけ AD5753 に近付けて取り付けることを推奨します。
9	C _{HART}	HART 入力接続。HART 信号はこのピンに AC カップリングする必要があります。HART 信号を使用しない場合は、このピンを未接続のままにしてください。デフォルトでは、このピンは HART 加算ノードに接続せず、GP_CONFIG1 レジスタの HART_EN ビットを介して接続します。
10	REFIN	外部 2.5V リファレンス電圧入力。
11	REFOUT	内蔵 2.5V リファレンス電圧出力。内蔵リファレンスを使用するには、REFOUT を REFIN に接続する必要があります。REFOUT と REFGND の間にコンデンサを接続することは推奨しません。
12	V _{LDO}	3.3V 低ドロップアウト (LDO) 出力電圧。V _{LDO} は、0.1μF のコンデンサを使って AGND にデカップリングする必要があります。
13	V _{LOGIC}	デジタル電源。このピンの電圧範囲は 1.71V~5.5V です。V _{LOGIC} は 0.1μF のコンデンサを使って DGND にデカップリングする必要があります。
14	SDO	シリアル・データ出力。このピンは、リードバック・モードでシリアル・レジスタからデータをクロック出力します。リードバック・モードでの SCLK の最大速度は 15MHz で、この速度は V _{LOGIC} 電圧により異なります。タイミング仕様については表 3 を参照してください。
15	DGND	デジタル・グラウンド。
16	RESET	ハードウェア・リセット。アクティブ・ローの入力。ハードウェア RESET ピンを使用するかソフトウェアを経由してリセットした場合は、リセット後 100μs 以内に SPI コマンドを書き込まないでください。
17	GPIO_0	汎用入出力 0。
18	GPIO_1	汎用入出力 1。
19	GPIO_2	汎用入出力 2。
20	LDAC	DAC のロード。アクティブ・ローの入力。このピンは、DAC_OUTPUT レジスタを更新することによって DAC 出力を更新します。SYNC の立上がりエッジ前の 500ns または SYNC の立上がりエッジ後 1.5μs までのウィンドウ内では、LDAC をアサートしないでください (タイミング仕様については表 3 を参照)。

ピン番号	記号	説明
21	CLKOUT	オプションのクロック出力信号（デフォルトではディセーブル）。このピンは内部 10MHz 発振器を分周したもので、マスタ・クロック（MCLK）を生成し、GP_CONFIG1 レジスタで設定します。
22	SCLK	シリアル・クロック入力。データは、SCLK の立下がりエッジで入力シフト・レジスタにクロック入力されます。書き込みモードではこのピンは最大 50MHz のクロック速度で動作しますが、この速度は V_{Logic} 電圧により異なります。読み出しモードでの最大 SCLK 速度は 15MHz で、この速度は V_{Logic} 電圧により異なります。タイミング仕様については表 3 を参照してください。
23	SDI	シリアル・データ入力。データは、SCLK の立下がりエッジで有効である必要があります。
24	\overline{SYNC}	シリアル・インターフェースのフレーム同期信号。アクティブ・ローの入力。 \overline{SYNC} がローの間、データは SCLK の立下がりエッジで転送されます。
25	AD1	AD5753 デバイスのアドレス・デコード 1。
26	AD0	AD5753 デバイスのアドレス・デコード 0。
27	FAULT	故障ピン。アクティブ・ローのオープンドレイン出力。このピンは故障状態が検出されていない場合は高インピーダンスで、一定の故障状態が検出されるとローにアサートされます。これらの故障状態の例としては、電流モードでの断線、電圧モードでの短絡、CRC エラー、または過熱エラーなどが挙げられます（出力故障のセクションを参照）。このピンは 10k Ω のプルアップ抵抗を使って V_{Logic} に接続する必要があります。
28	NIC	内部では未接続。
29	AV _{SS}	負のアナログ電源。このピンの電圧範囲は 0V ~ -33V です。ユニポーラ電流出力のみを目的にこのデバイスを使用する場合は、AV _{SS} を 0V に設定することができます。ユニポーラ電圧出力での AV _{SS} （最大）は -2V です。バイポーラ出力範囲を使用するときは、AV _{SS} の計算時に V _{OUT} または I _{OUT} ヘッドルームに従う必要があります。例えば、±10V 出力時の最大 AV _{SS} は -12.5V です。電源シーケンシングに関する重要な注意事項については、AV _{SS} に関する考慮事項のセクションを参照してください。
30	SW-	負の DC/DC 回路のスイッチング出力。デバイスの DC/DC 機能を使用するには、このピンと外部インダクタを図 78 のように接続します。
31	PGND2	電源用グラウンド。
32	V _{DPC-}	電流および電圧出力段用の負電源。デバイスの DC/DC 機能を使用するには、外部コンデンサを図 78 のように接続します。
33	NIC	内部では未接続。
34	-V _{SENSE}	V _{OUT} モードにおける負電圧出力負荷接続用のセンス接続。仕様規定された動作を確保するには、このピンを AGND の ±10V 以内に保つ必要があります。仕様規定された動作では、V _{DPC-} は AGND 基準で -V _{SENSE} に追従します。このピンには 1k Ω の抵抗を接続することを推奨します。
35	C _{COMP}	電圧出力バッファ用の補償コンデンサ接続（オプション）。このピンと V _{IOUT} ピンの間に 220pF のコンデンサを接続すると、2 μ F まで駆動できる電圧出力が得られます。このコンデンサを追加すると、出力アンプの帯域幅が減少してセトリング時間が長くなります。
36	+V _{SENSE}	電圧出力モードにおける正電圧出力負荷接続用のセンス接続。このピンには 1k Ω の抵抗を接続することを推奨します。
37	V _{IOUT}	電圧または電流出力ピン。V _{IOUT} は共有ピンで、バッファした電圧または電流を出力します。
38	ADC2	マルチプレクサ ADC 外部入力 2。
39	V _{DPC+}	電流および電圧出力段用の正電源。デバイスの DC/DC 機能を使用するには、図 77 のように外部コンデンサを接続します。
40	PGND1	電源用グラウンド。
	EPAD	露出パッド。露出パッドは V _{DPC-} ピンの電位に接続するか、電氣的に未接続のままにしておくことができます。熱性能を向上させるために、パッドを銅製の放熱板に接続することを推奨します。

代表的な性能特性

電圧出力

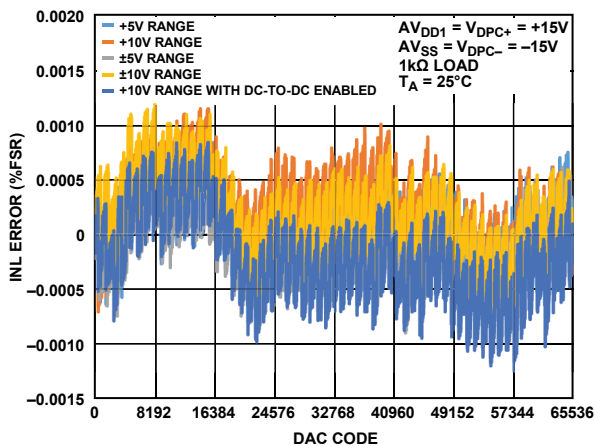


図 7. INL 誤差と DAC コードの関係

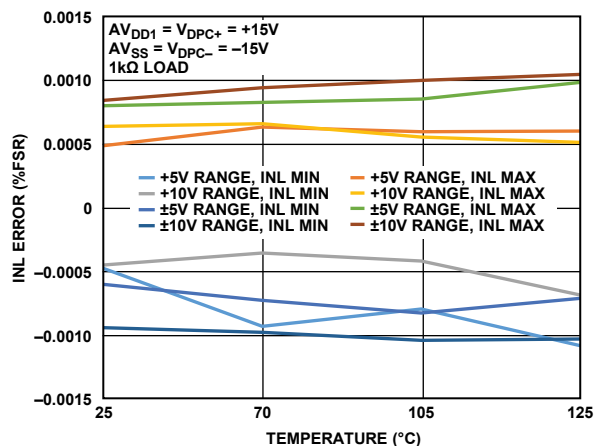


図 10. INL 誤差の温度特性

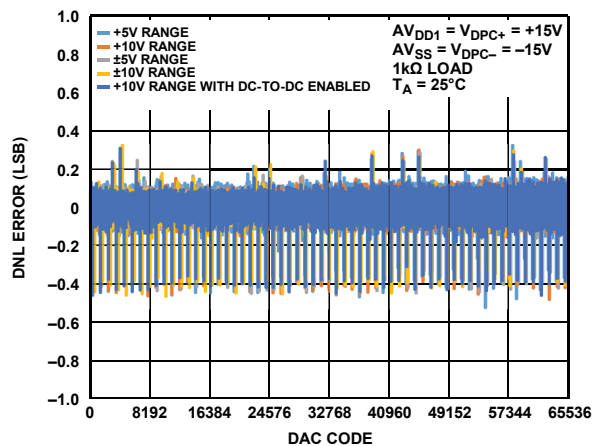


図 8. DNL 誤差と DAC コードの関係

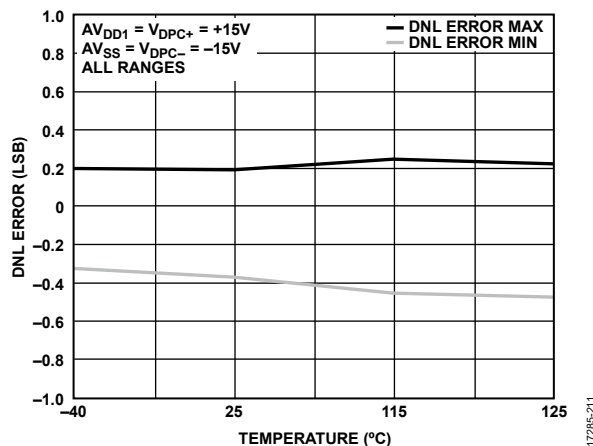


図 11. DNL 誤差の温度特性

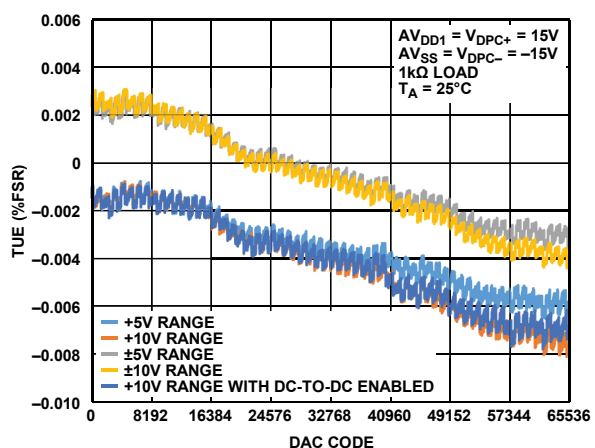


図 9. 総合未調整誤差と DAC コードの関係

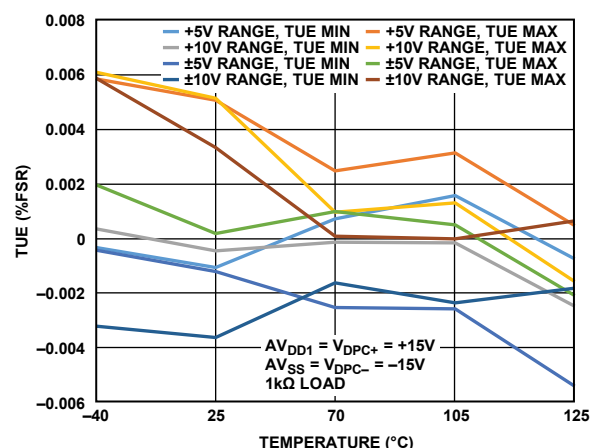


図 12. 総合未調整誤差の温度特性

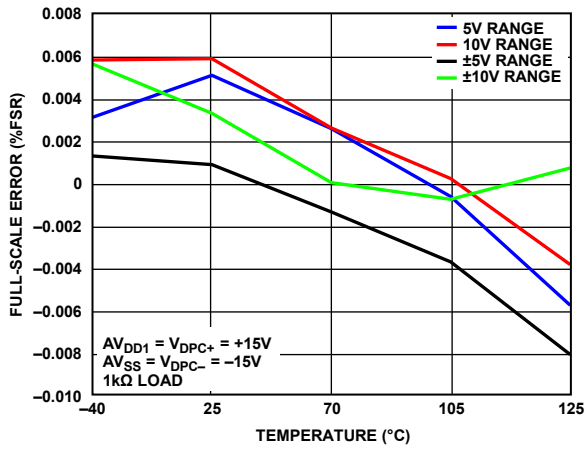


図 13. フルスケール誤差の温度特性

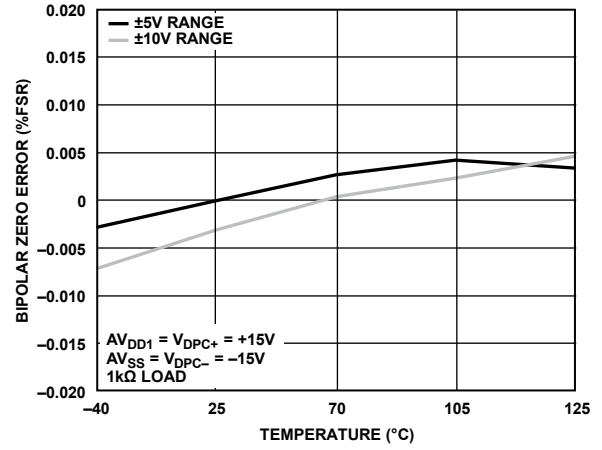


図 16. バイポーラ・ゼロ誤差の温度特性

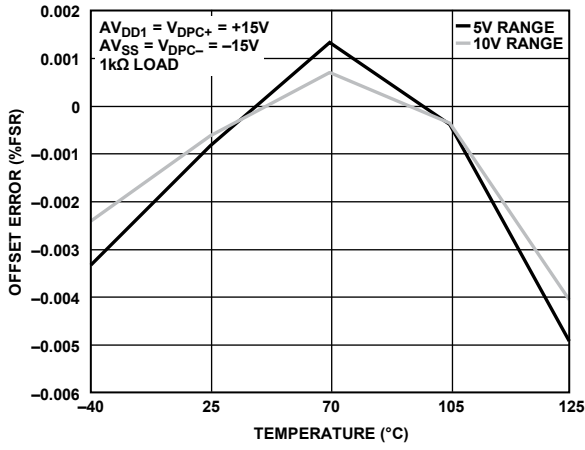


図 14. オフセット誤差の温度特性

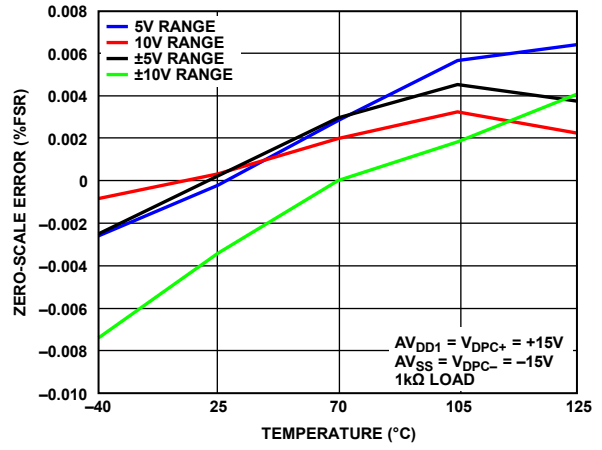


図 17. ゼロスケール誤差の温度特性

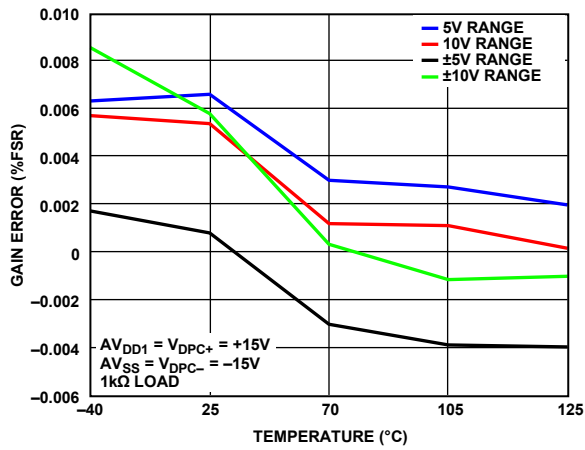


図 15. ゲイン誤差の温度特性

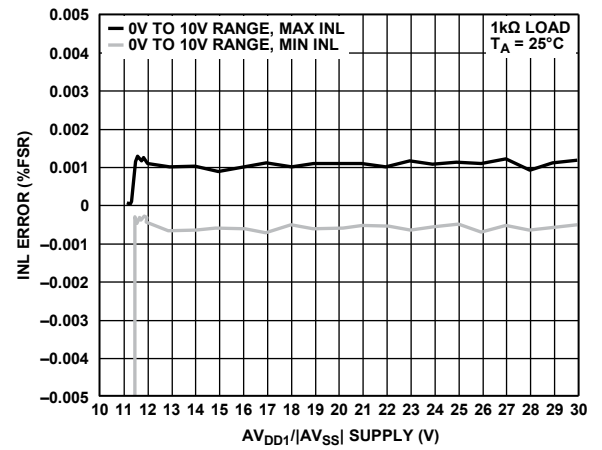


図 18. INL 誤差と $AV_{DD1}/|AV_{SS}|$ 電源の関係

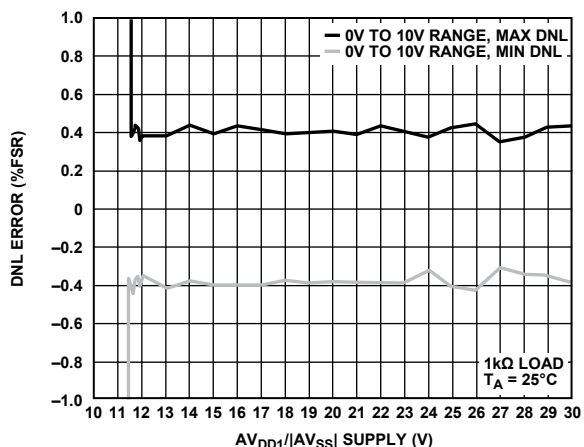


図 19. DNL 誤差と AV_{DD1}/AV_{SS} 電源の関係

17285-220

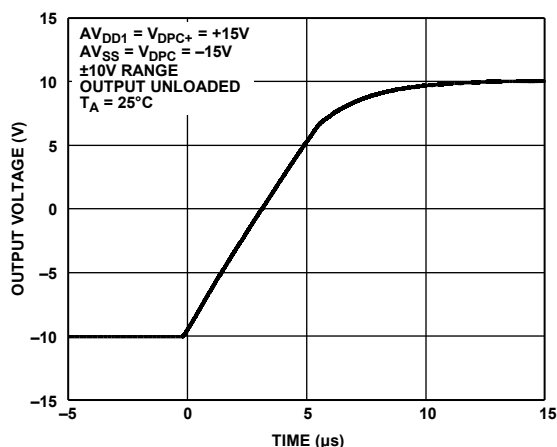


図 22. 正のフルスケール・ステップ

17285-223

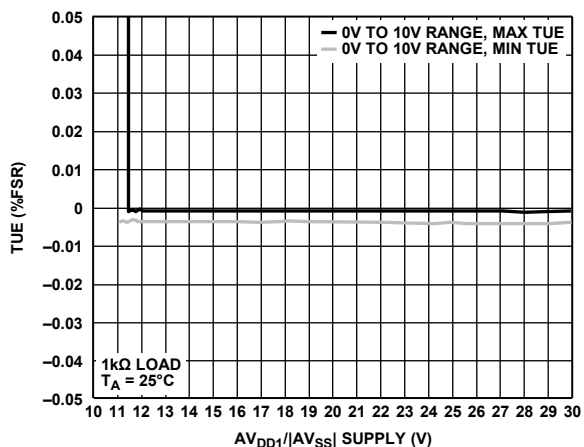


図 20. 総合未調整誤差と AV_{DD1}/AV_{SS} 電源の関係

17285-221

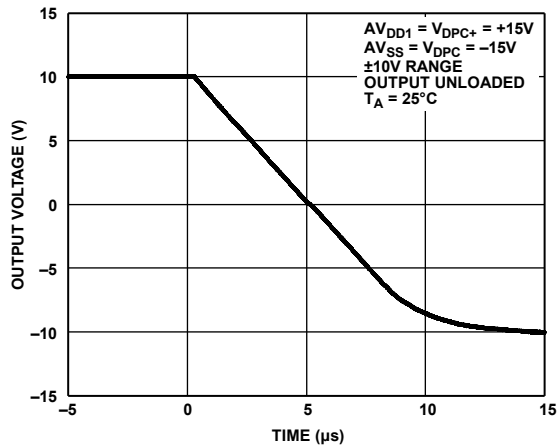


図 23. 負のフルスケール・ステップ

17285-224

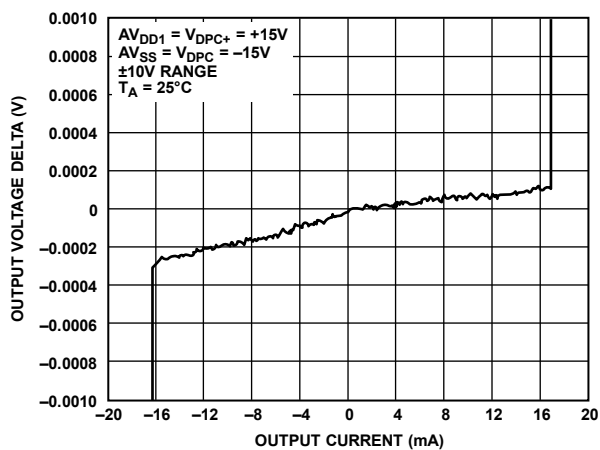


図 21. 出力アンプのシンク能力とソース能力

17285-222

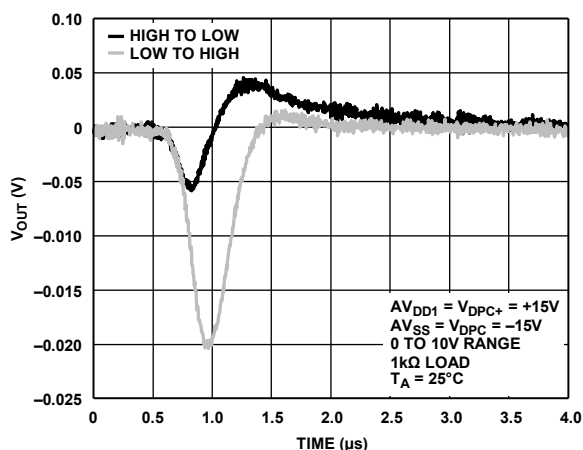


図 24. デジタル/アナログ・グリッチのメジャー・コード遷移

17285-226

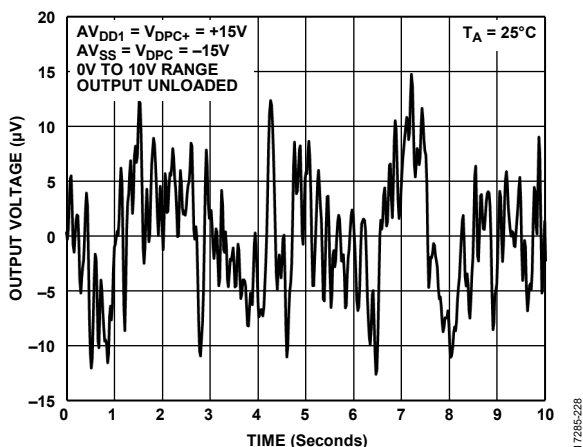


図 25. ピーク to ピーク・ノイズ (0.1Hz~10Hzの帯域幅)

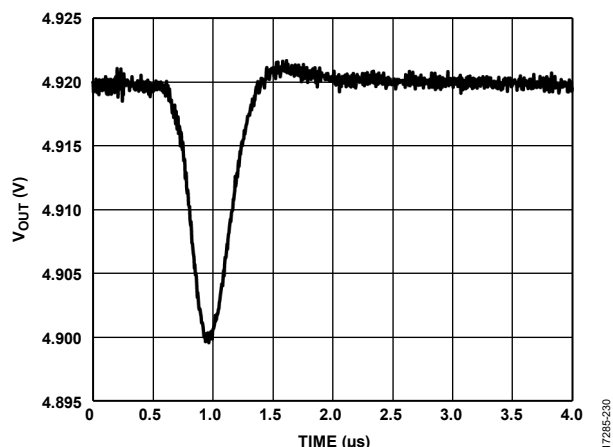


図 28. パワーアップ時の V_{OUT} の時間変化

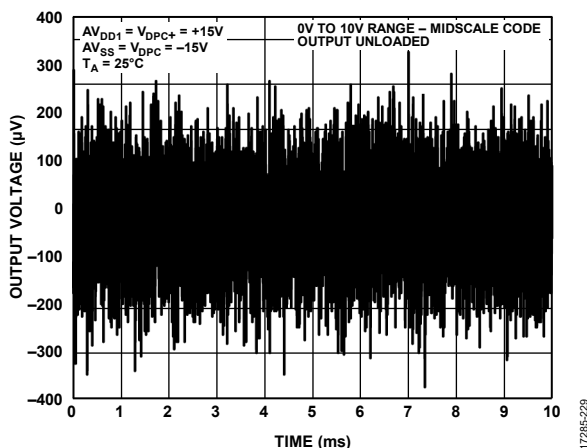


図 26. ピーク to ピーク・ノイズ (100kHzの帯域幅)

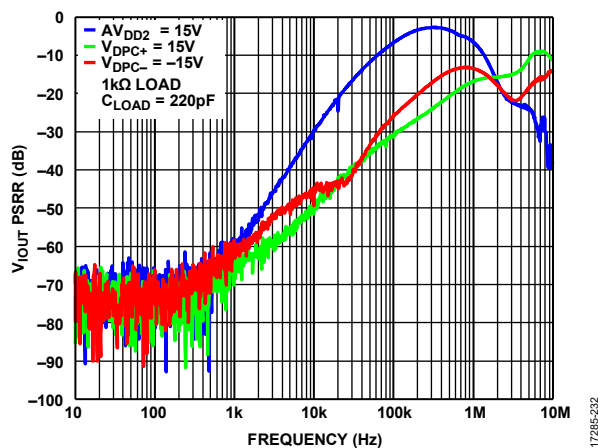


図 29. V_{OUT} PSRR の周波数特性

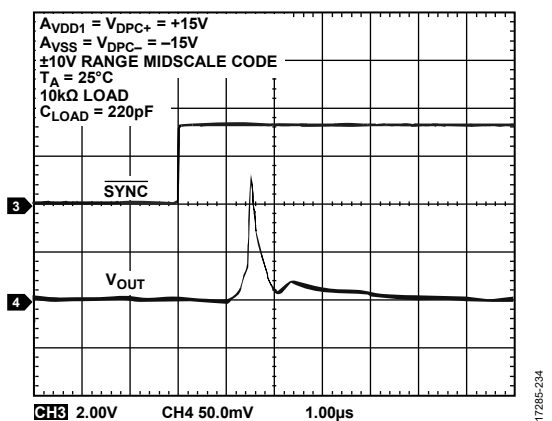


図 27. 出力イネーブル時の V_{OUT} の時間変化

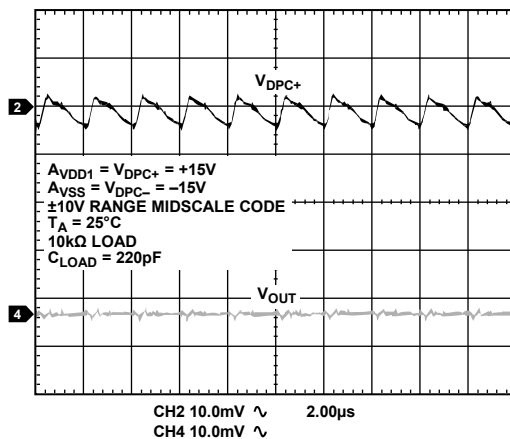


図 30. 電圧出力リップル

電流出力

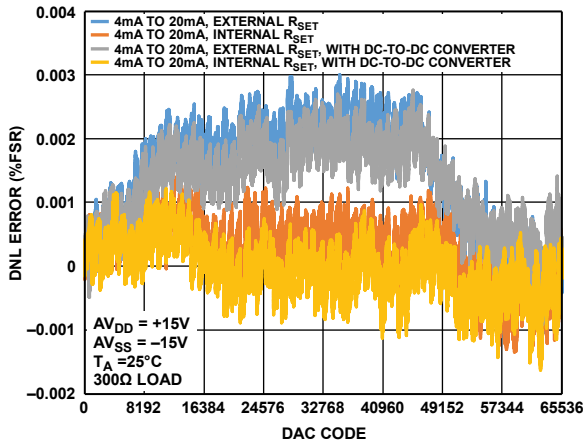


図 31. INL 誤差と DAC コードの関係

17285-236

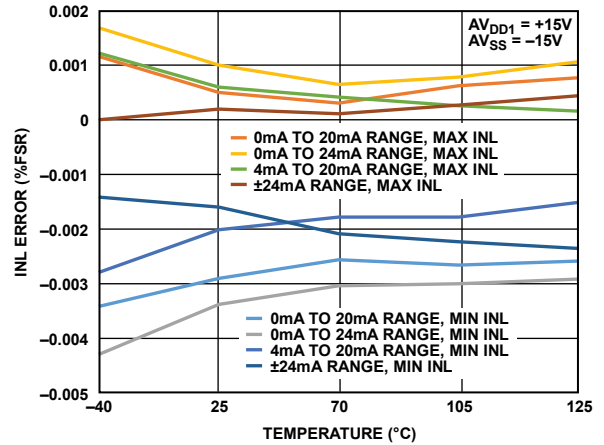


図 34. INL 誤差の温度特性、内蔵 RSET

17285-240

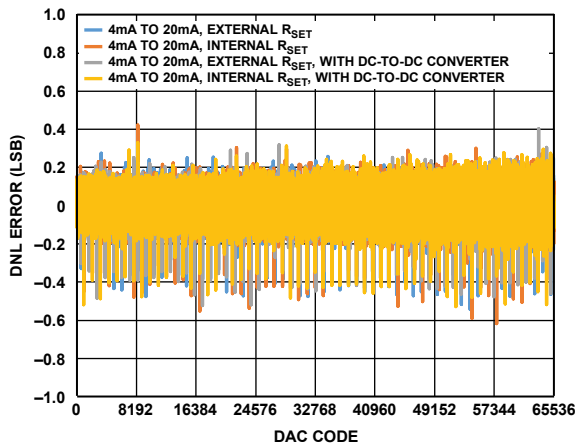


図 32. DNL 誤差と DAC コードの関係

17285-237

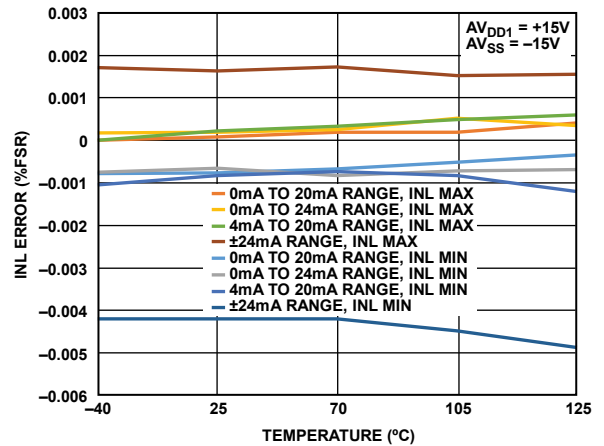


図 35. INL 誤差の温度特性、外付け RSET

17285-242

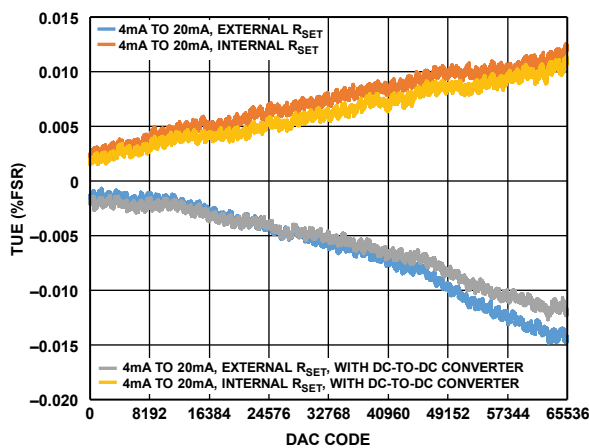


図 33. 総合未調整誤差と DAC コードの関係

17285-238

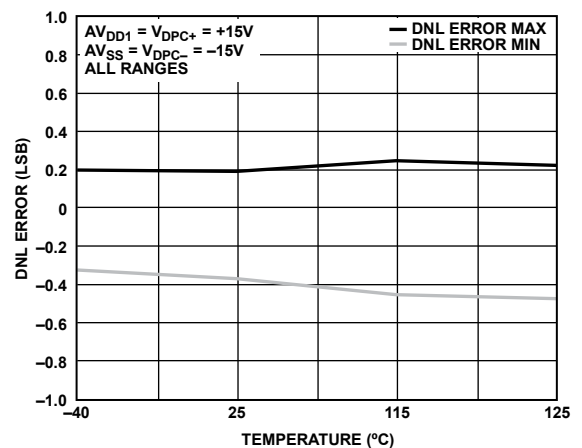


図 36. DNL 誤差の温度特性

17285-536

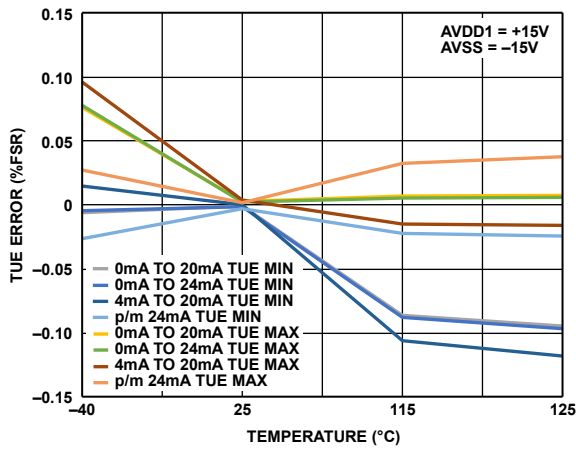


図 37. 総合未調整誤差の温度特性、内蔵 R_{SET}

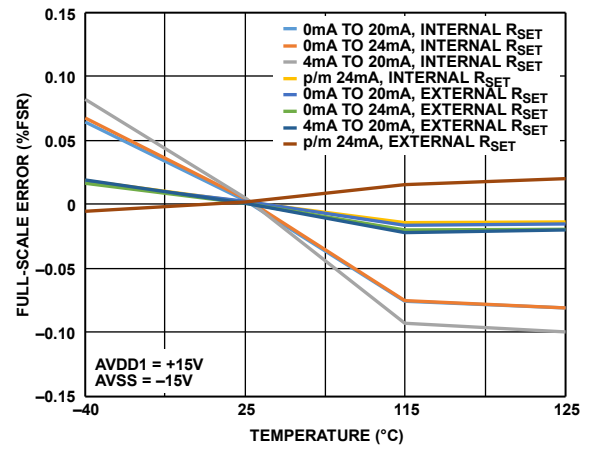


図 40. フルスケール誤差の温度特性

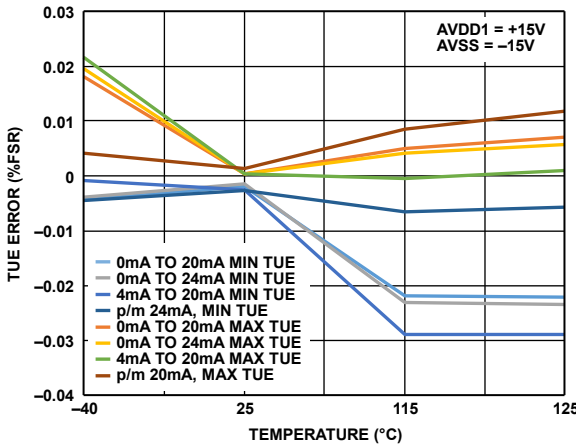


図 38. 総合未調整誤差の温度特性、外付け R_{SET}

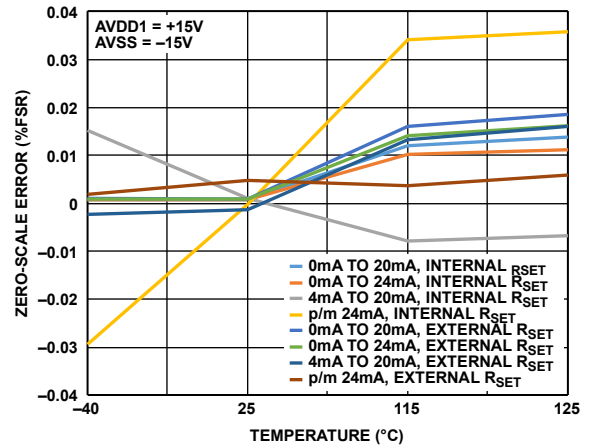


図 41. ゼロスケール誤差の温度特性

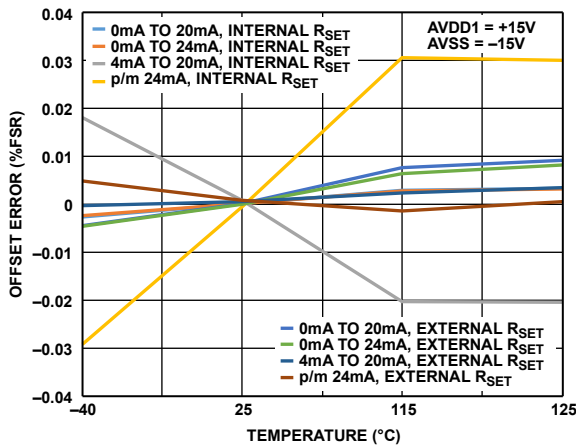


図 39. オフセット誤差の温度特性

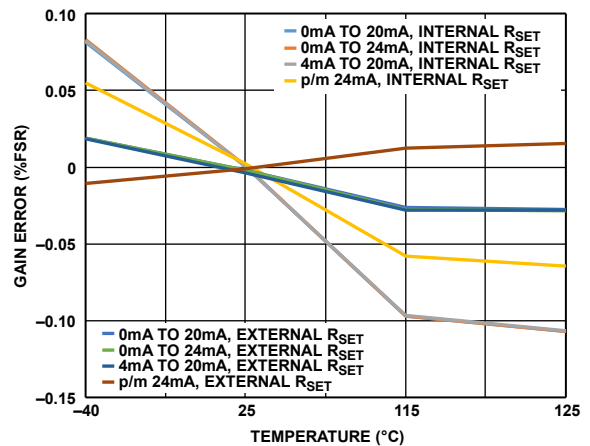


図 42. ゲイン誤差の温度特性

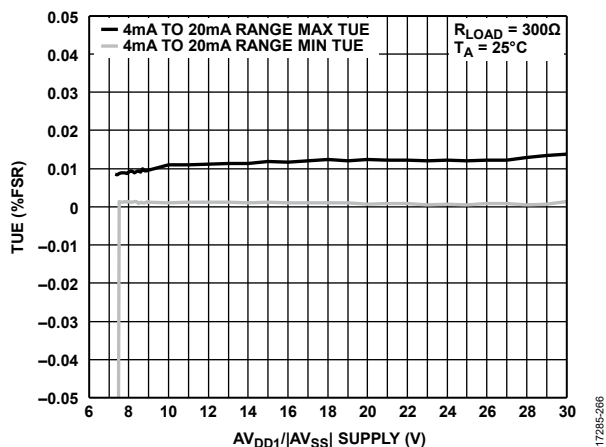


図 43. 総合未調整誤差と AV_{DD1}/AV_{SS1} 電源の関係、内蔵 R_{SET}

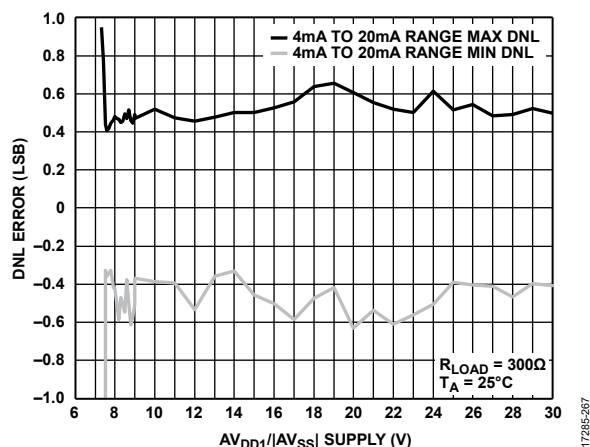


図 46. DNL 誤差と AV_{DD1}/AV_{SS1} 電源の関係、外付け R_{SET}

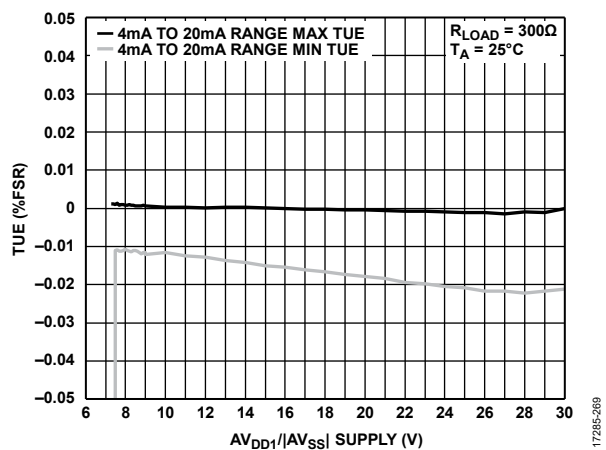


図 44. 総合未調整誤差と AV_{DD1}/AV_{SS1} 電源の関係、外付け R_{SET}

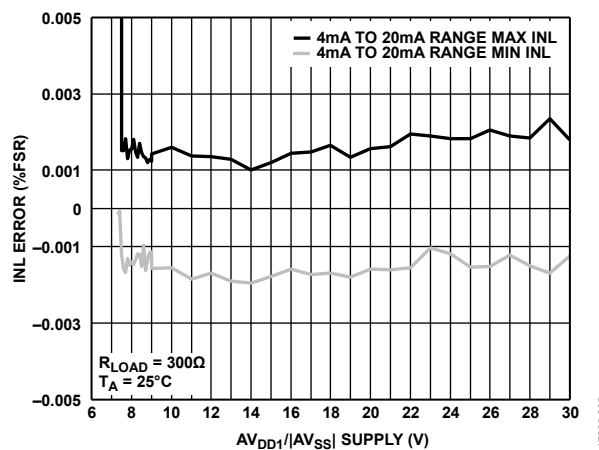


図 47. INL 誤差と AV_{DD1}/AV_{SS1} 電源の関係、内蔵 R_{SET}

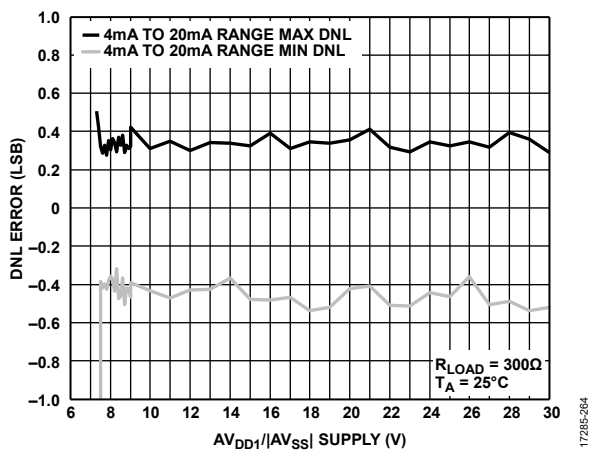


図 45. DNL 誤差と AV_{DD1}/AV_{SS1} 電源の関係、内蔵 R_{SET}

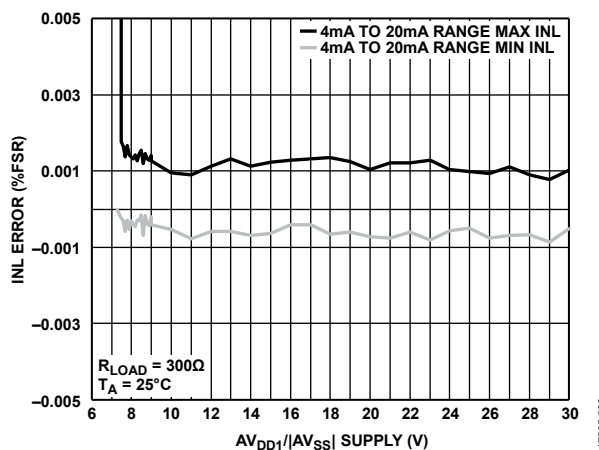


図 48. INL 誤差と AV_{DD1}/AV_{SS1} 電源の関係、外付け R_{SET}

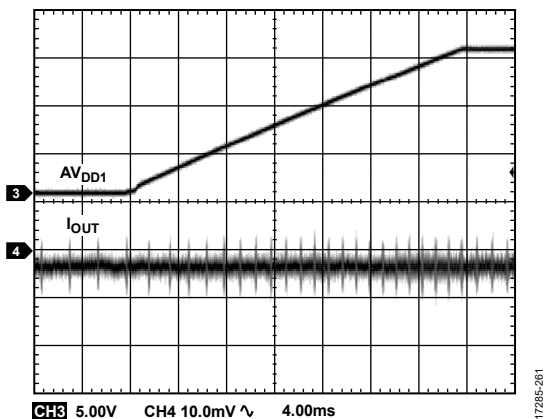


図 49. パワーアップ時の出力電流の時間変化

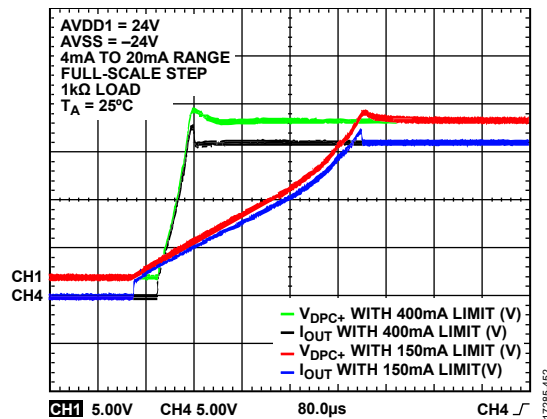


図 52. 出力電流と V_{DPC+} セットリング時間の関係

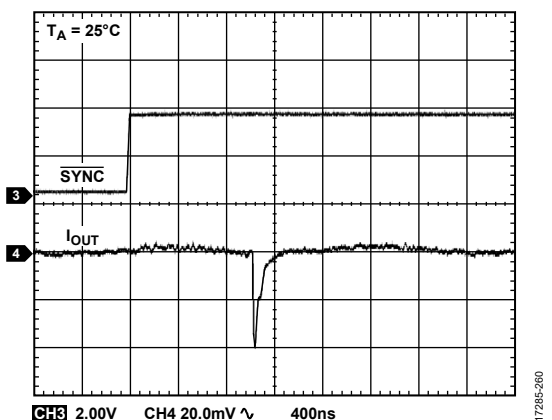


図 50. 出力イネーブル時の出力電流の時間変化

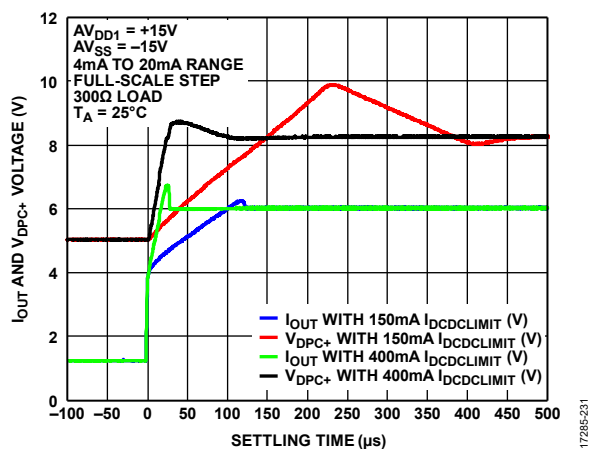


図 53. I_{OUT} および V_{DPC+} 電圧とセットリング時間の関係 ($I_{DCCLIMIT}$ は DC/DC コンバータ電流限界値)

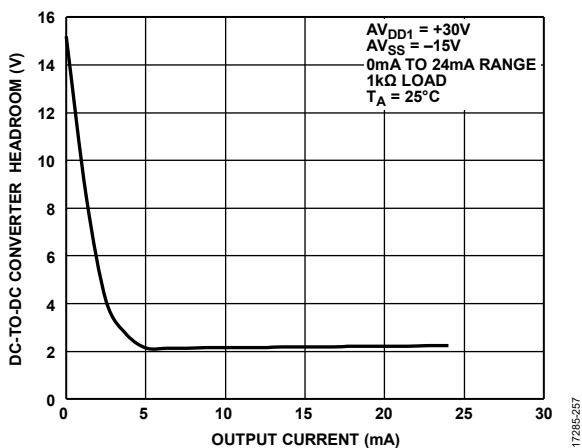


図 51. DC/DC コンバータのヘッドルームと出力電流の関係

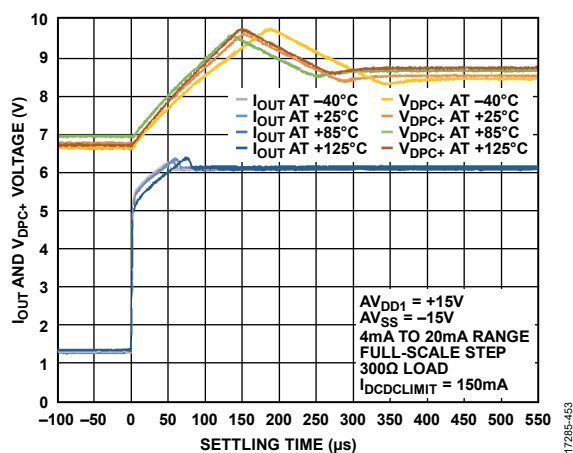


図 54. 温度を含めた I_{OUT} および V_{DPC+} 電圧とセットリング時間の関係

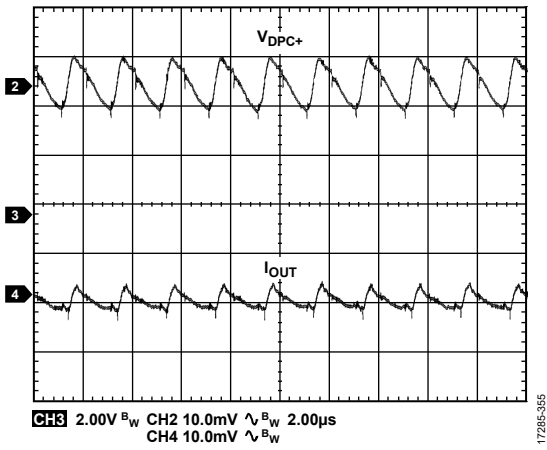


図 55. DC/DC コンバータにおける出力電流リップルの時間変化

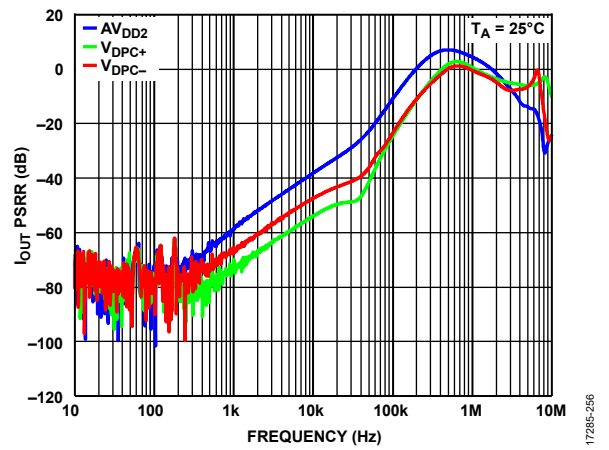


図 56. I_{OUT} PSRR の周波数特性

DC/DC ブロック

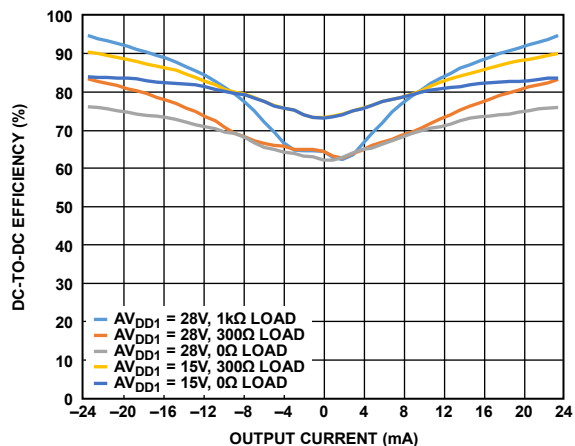


図 57. DC/DC 効率と出力電流の関係

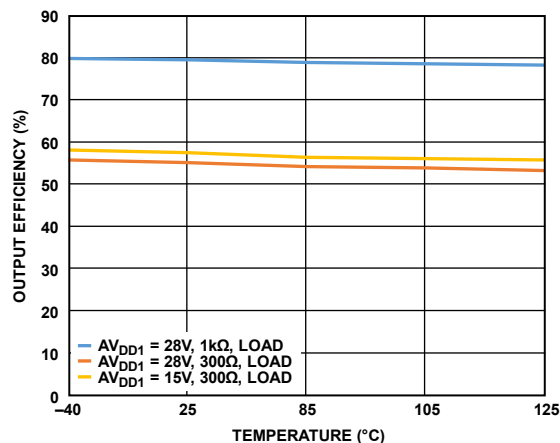


図 60. 出力効率の温度特性

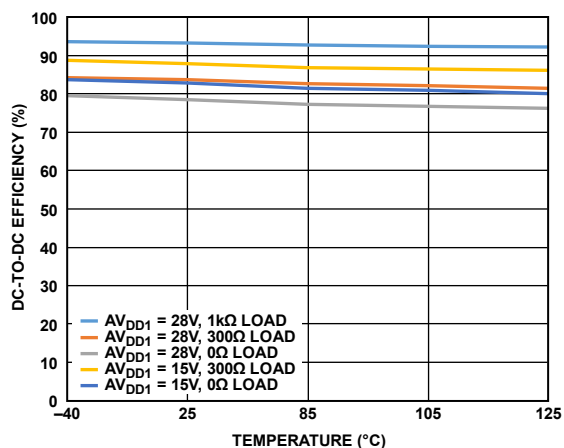


図 58. DC/DC 効率の温度特性

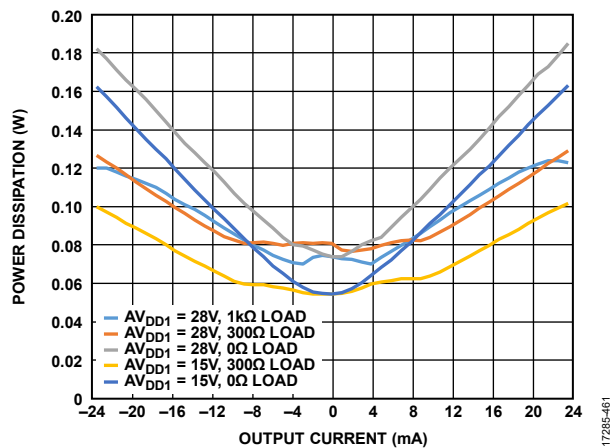


図 61. 消費電力と出力電流の関係

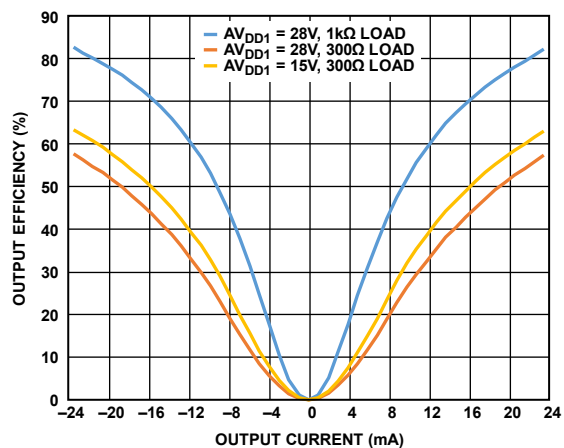


図 59. 出力効率と出力電流の関係

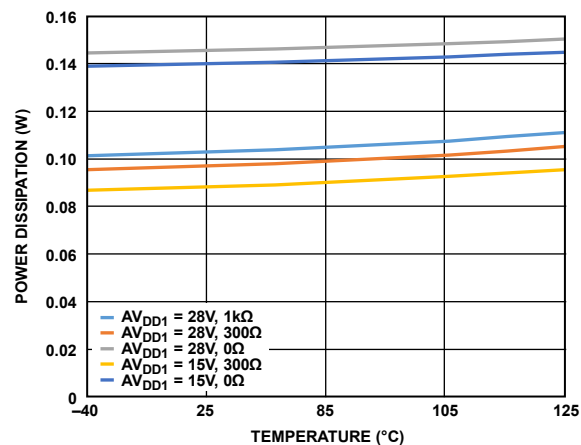


図 62. 消費電力の温度特性

リファレンス

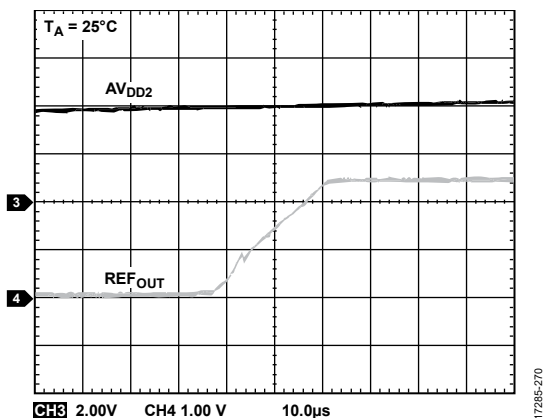


図 63. REFOUT のターンオン・トランジェント

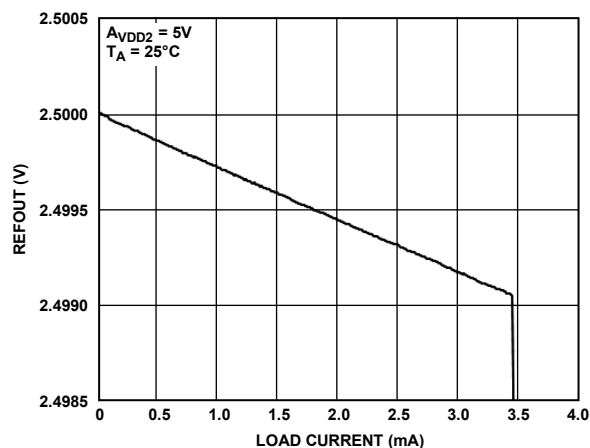


図 66. REFOUT と負荷電流の関係

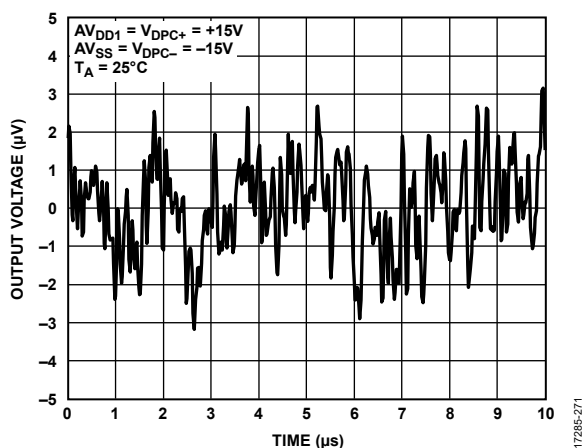


図 64. ピーク to ピーク・ノイズ (0.1Hz~10Hzの帯域幅)

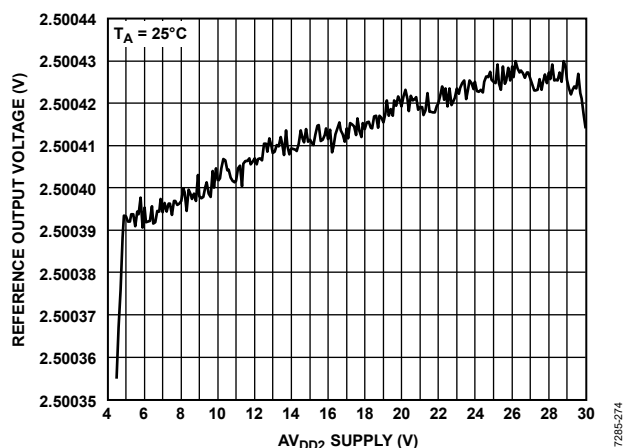


図 67. リファレンス出力電圧と AV_{DD2} 電源の関係

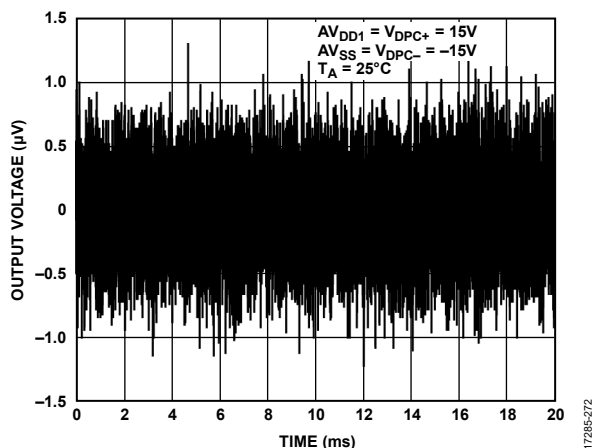


図 65. ピーク to ピーク・ノイズ (100kHzの帯域幅)

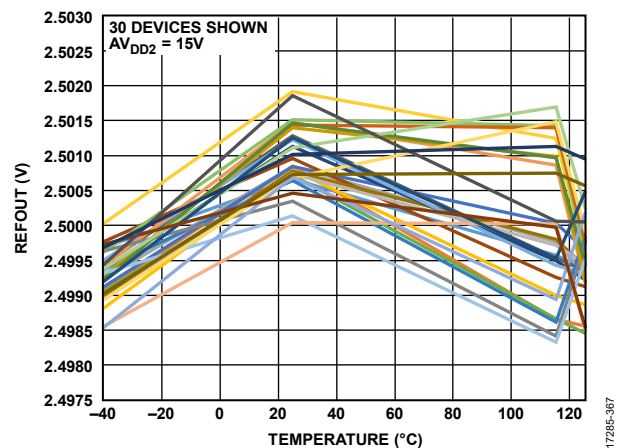


図 68. REFOUT の温度特性

一般特性

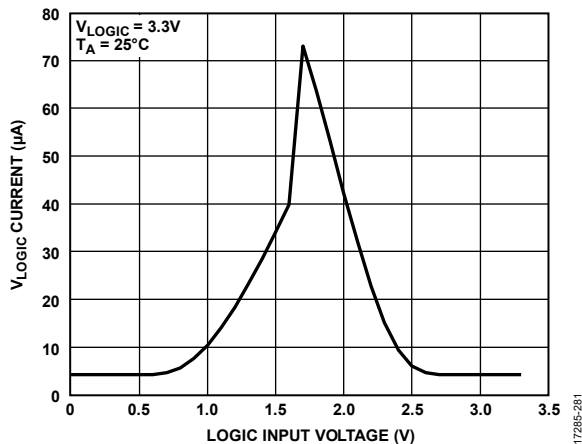


図 69. V_{LOGIC} 電流とロジック入力電圧の関係

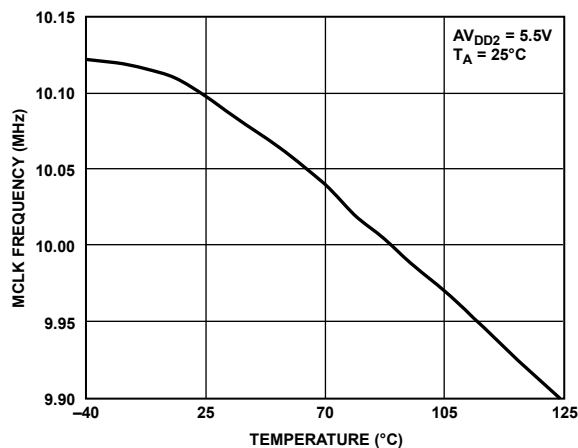


図 72. MCLK 周波数と温度の関係

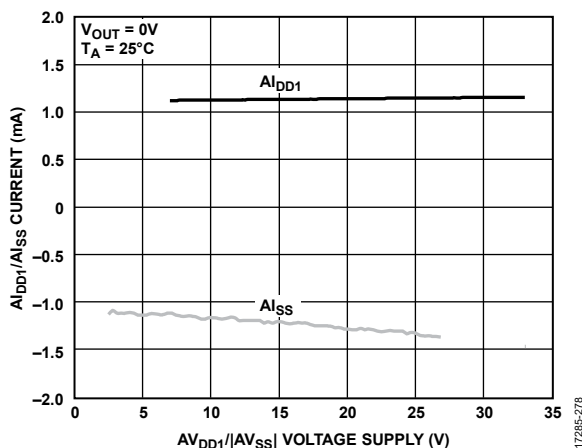


図 70. $AI_{\text{DD1}}/AI_{\text{SS}}$ 電流と $AV_{\text{DD1}}/AV_{\text{SS}}$ 電源電圧の関係

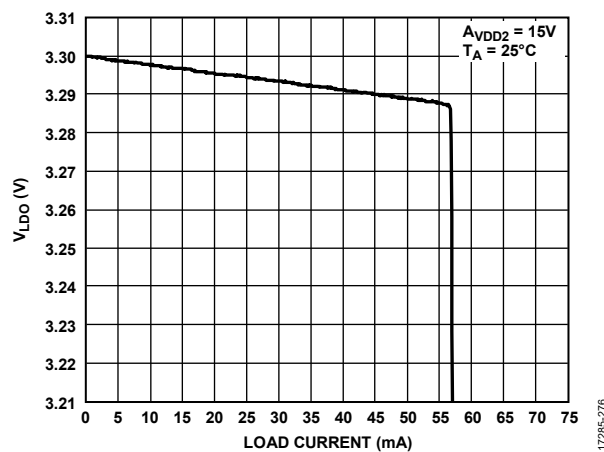


図 73. V_{LDO} と負荷電流の関係

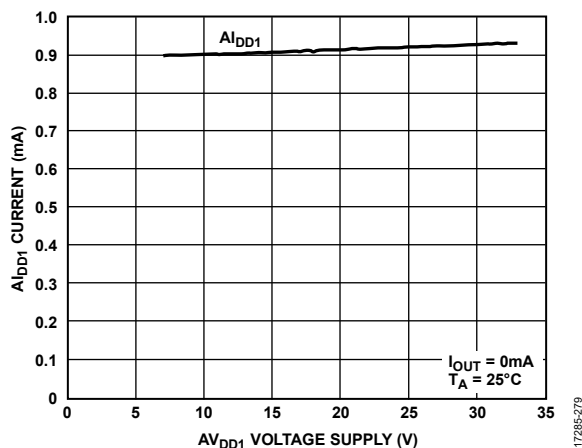


図 71. AI_{DD1} 電流と AV_{DD1} 電源電圧の関係

用語の定義

総合未調整誤差 (TUE)

TUE とは出力誤差を表す値で、INL 誤差、オフセット誤差、ゲイン誤差、出力ドリフトなどの電源、温度、時間に関連する様々な誤差を考慮したものです。TUE の単位は % FSR です。

相対精度または積分非直線性 (INL)

DAC の相対精度は、INL とも呼ばれます。これは、DAC 伝達関数の最適近似直線からの最大偏差を、LSB または % FSR で示した値です。

微分非直線性 (DNL)

DNL は、隣接する 2 つのコードの間で測定された変化と理論的な 1LSB 変化との差を表します。微分非直線性の仕様が ±1LSB 以内の場合は、単調増加性が確保されます。

単調性

デジタル入力コードを増加させたとき、出力が増加するか不変である場合に、DAC は単調であるといえます。AD5753 は全動作温度範囲で単調です。

ゼロスケール誤差または負のフルスケール誤差

ゼロスケール誤差または負のフルスケール誤差は、0x0000 (ストレート・バイナリ・コーディング) を DAC 出力レジスタにロードしたときの DAC 出力電圧の誤差です。

ゼロスケール温度係数 (TC)

ゼロスケール TC は、温度変化に伴うゼロスケール誤差の変化の程度を表す値です。ゼロスケール誤差 TC は ppm FSR/°C で表します。

バイポーラ・ゼロ誤差

バイポーラ・ゼロ誤差は、DAC 出力レジスタに 0x8000 (ストレート・バイナリ・コーディング) を読み込んだときの、0V の理論ハーフスケール出力とアナログ出力間の偏差を表します。

バイポーラ・ゼロ温度係数 (TC)

バイポーラ・ゼロ TC は、温度変化に伴うバイポーラ・ゼロ誤差の変化の程度を表す値で、ppm FSR/°C で表します。

オフセット誤差

オフセット誤差はアナログ出力と理想出力値の偏差で、 $\frac{1}{4}$ スケールおよび $\frac{1}{2}$ スケールのデジタル・コード測定を使って求め、FSR で表されます。

オフセット誤差 (TC)

オフセット誤差 TC は、温度変化に伴うオフセット誤差の変化の程度を表す値で、ppm FSR/°C で表します。

ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。これは DAC 伝達特性勾配の理想値からの偏差で、% FSR で表します。

ゲイン誤差温度係数 (TC)

ゲイン誤差 TC は、温度変化に伴うゲイン誤差の変化の程度を表す値です。ゲイン誤差 TC は ppm FSR/°C で表します。

フルスケール誤差

フルスケール誤差は、フルスケール・コードを DAC 出力レジスタにロードしたときの出力誤差として測定されます。理論的には、出力は「フルスケール-1LSB」です。フルスケール誤差は % FSR で表します。

ヘッドルーム

ヘッドルームは、出力に必要な電圧 (電圧出力モードにおける設定電圧、および電流出力モードにおける設定電流 $\times R_{LOAD}$) と、正の電源レール V_{DPC+} によって供給される電圧の差です。ヘッドルームが関係するのは、出力がグラウンドに対して正の場合です。

フットルーム

フットルームは、出力に必要な電圧 (電圧出力モードにおける設定電圧、および電流出力モードにおける設定電流 $\times R_{LOAD}$) と、負の電源レール AV_{SS} によって供給される電圧の差です。フットルームが関係するのは、出力がグラウンドに対して負の場合です。

V_{OUT} または $-V_{SENSE}$ 同相ノイズ除去比 (CMRR)

V_{OUT} または $-V_{SENSE}$ CMRR は、 $-V_{SENSE}$ の変化によって V_{OUT} 電圧に生じる誤差です。

電流ループ・コンプライアンス電圧

電流ループ・コンプライアンス電圧は、出力電流が設定値に一致するときの VI_{OUT} ピンの最大電圧です。

リファレンス電圧の熱ヒステリシス

リファレンス電圧の熱ヒステリシスは、+25°C で測定した出力電圧を、+25°C \rightarrow -40°C \rightarrow +115°C \rightarrow +25°C の温度サイクルを加えた後に +25°C で測定した出力電圧と比較した場合の差です。

電圧リファレンス TC

電圧リファレンス TC は、温度変化に伴うリファレンス出力電圧の変化を測定したもので、ボックス法を使って計算します。この方法では、次式のように、ppm/°C で表される所定の温度範囲でのリファレンス出力の最大変化として TC を定義します。

$$TC = \left(\frac{V_{REF_MAX} - V_{REF_MIN}}{V_{REF_NOM} \times Temp\ Range} \right) \times 10^6$$

ここで、

V_{REF_MAX} は全温度範囲で測定した最大リファレンス出力、

V_{REF_MIN} は全温度範囲で測定した最小リファレンス出力、

V_{REF_NOM} は公称リファレンス出力電圧 2.5V、

$Temp\ Range$ は仕様規定された温度範囲 -40°C ~ +115°C です。

ライン・レギュレーション

ライン・レギュレーションは電源電圧の規定された変化によるリファレンス出力電圧の変化で、ppm/Vで表されます。

負荷レギュレーション

負荷レギュレーションはリファレンス負荷電流の規定された変化によるリファレンス出力電圧の変化で、ppm/mAで表されず。

ダイナミック消費電力制御 (DPC)

DPC モードでは、AD5753 の回路が出力電圧を検出して電源電圧 V_{DPC+} を動的に調整することによってコンプライアンス条件を満たすと共に、出力バッファ用にヘッドルーム電圧を最適化します。

プログラマブル電力制御 (PPC)

PPC モードでは、必要最大出力負荷に対応するために必要な固定レベルに V_{DPC+} 電圧を設定することができます。

出力電圧セトリング時間

出力電圧セトリング時間は、フルスケール入力変化に対して、出力が仕様規定されたレベルで安定するまでに要する時間です。この仕様は、DPC 機能の設定方法（有効、無効、または PPC モードが有効など）と、外付けで使用する DC/DC インダクタおよびコンデンサ部品の特性によって異なります。

スルー・レート

デバイスのスルー・レートは、出力電圧変化率の制限です。通常、電圧出力 DAC の出力変化率は、出力に使用するアンプのスルー・レートによって制限されます。スルー・レートは出力信号の 10%~90% で測定され、V/ μ s で表されます。

パワーオン・グリッチ・エネルギー

パワーオン・グリッチ・エネルギーは、AD5753 のパワーオン時にアナログ出力に混入するインパルスで、グリッチの面積を表す単位 nV-sec で規定されます。

デジタル/アナログ・グリッチ・エネルギー

デジタル/アナログ・グリッチ・エネルギーは、DAC 出力レジスタの入力コードが変化したときにアナログ出力に混入するインパルスのエネルギーです。普通は nV-sec で表すグリッチの面積として規定されます。通常、最も厳しいケースは、メジャー・キャリー遷移 (0x7FFF から 0x8000) 時にデジタル入力コードが 1LSB だけ変化したときに発生します。

グリッチ・インパルス・ピーク振幅

グリッチ・インパルス・ピーク振幅は、DAC 出力レジスタの入力コードの状態が変化したときにアナログ出力に混入するインパルスのピーク振幅です。普通はミリボルトで表したグリッチの振幅として規定され、通常、最も厳しいケースは、メジャー・キャリー遷移 (0x7FFF から 0x8000) 時にデジタル入力コードが 1LSB 変化したときに発生します。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC デジタル入力から DAC アナログ出力に注入されるインパルスを表す値です。ただし、デジタル・フィードスルーは DAC 出力の更新を行わないときに測定され、更新は LDAC ピンがハイになったときに行われます。デジタル・フィードスルーの仕様は nV-sec 単位で規定され、データ・バス上でのフルスケール・コード変更時に測定されます。

電源電圧変動除去比 (PSRR)

PSRR は、電源電圧変化が DAC 出力に及ぼす影響を表します。

動作原理

AD5753 はシングル・チャンネルの高精度電圧および電流出力 DAC で、産業用ファクトリ・オートメーションやプロセス制御のアプリケーションの要求を満足できるように設計されています。このデバイスは、ユニポーラ/バイポーラの電流または電圧出力を生成する高精度の集積化シングルチップ・ソリューションです。オンチップ DPC を採用し、更にオンチップ消費電力をできるだけ小さくできるように最適化された相補降圧 DC/DC コンバータを使用して、 V_{IOUT} 出力ドライバへの電源電圧 (V_{DPC+} と V_{DPC-}) を $\pm 4.95V \sim \pm 27V$ の範囲に調整することによって、パッケージの消費電力は最小限に抑えられています。AD5753 は 2 ダイ・ソリューションとして構成されており、DC/DC ダイ上に DC/DC 変換回路と V_{IOUT} ライン・プロテクタが配置され、その他の回路はメイン・ダイ上に組み込まれています。これらのダイ間の通信は、内蔵の 3 線式インターフェースを介して行います。

DAC アーキテクチャ

AD5753 の DAC コア・アーキテクチャは、電圧モード R-2R DAC ラダー回路で構成されています。DAC コアの電圧出力は、 V_{IOUT} ピンの電流または電圧出力に変換されます。複数のモードを同時に有効にすることはできません。電圧出力段も電流出力段も、 V_{DPC+} 電源レール (AV_{DD1} から内部で生成) と V_{DPC-} 電源レール (AV_{SS} から内部で生成) から電源が供給されます。

電流出力モード

電流出力モードを有効にすると、DAC からの電圧出力が電流に変換されます (図 74 参照)。更にこれが、アプリケーションからは電流源出力だけに見えるように、電源レールにミラーされます。

使用できる電流範囲は $0mA \sim 20mA$, $0mA \sim 24mA$, $4mA \sim 20mA$, $\pm 20mA$, $\pm 24mA$, $-1mA \sim +22mA$ です。電圧から電流への変換には、内蔵または外付けの R_{SET} 抵抗 ($13.7k\Omega$) を使用できます。

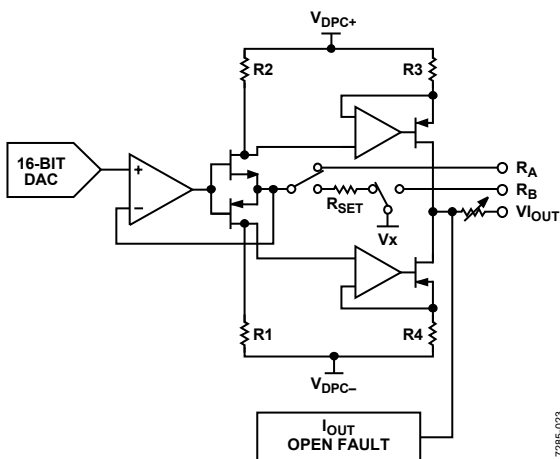


図 74. 電圧電流変換回路

電圧出力モード

電圧出力モードを有効にすると、DAC からの電圧出力にバッファリングとスケールリングが行われ、ソフトウェアで選択可能なユニポーラまたはバイポーラ電圧範囲が出力されます (図 75 参照)。

使用可能な電圧範囲は $0V \sim 5V$, $\pm 5V$, $0V \sim 10V$, および $\pm 10V$ です。DAC_CONFIG レジスタを介して 20% のオーバーレンジ機能を使用することもでき、更に GP_CONFIG1 レジスタを介してユニポーラ電圧範囲を負側にオフセットすることも可能です (汎用設定 1 レジスタのセクションを参照)。

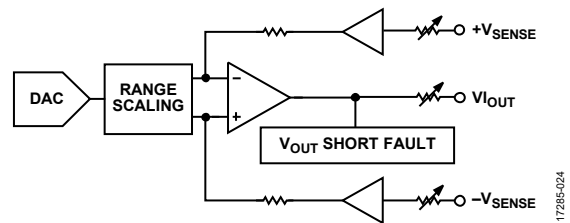


図 75. 電圧出力

リファレンス

AD5753 は、外付けまたは内蔵のリファレンス電圧で動作させることができます。リファレンス入力では、仕様規定されている性能に対して $2.5V$ のリファレンス電圧が必要です。この入力電圧は内部的にバッファされた後に DAC へ供給されます。

AD5753 はバッファ付き $2.5V$ 電圧リファレンスを内蔵しています。このリファレンスは外部にも使用可能で、システム内の任意の場所に使用することができます。内蔵リファレンスは組み込みの 12 ビット ADC を駆動します。内蔵リファレンスを使用して DAC を駆動するには、REFOUT を REFIN に接続する必要があります。

シリアル・インターフェース

AD5753 は、最大 $50MHz$ のクロック・レートで動作し、かつ SPI、QSPI、MICROWIRE、DSP の各規格と互換性を持つ多機能の 4 線式シリアル・インターフェースを介して制御されます。データ・コーディングは常にストレート・バイナリです。

入力シフト・レジスタ

SPI CRC を有効にした状態 (デフォルト状態) での入力シフト・レジスタは、32 ビット幅です。データは、シリアル・クロック入力 SCLK の制御の下に、32 ビット・ワードとして MSB ファーストでデバイスに入力されます。データは SCLK の立下がりエッジで入力されます。CRC を無効にすると、シリアル・インターフェースは 24 ビットに減少します。この場合でも 32 ビット・フレームを使用できますが、最後の 8 ビットは無視されます。SPI インターフェースを介してアドレス指定できるレジスタの詳細については、レジスタ・マップのセクションを参照してください。

表 7. レジスタへの書込み (CRC 有効)

	MSB				LSB
D31		[D30:D29]	[D28:D24]	[D23:D8]	[D7:D0]
Slip Bit		AD5753 address	Register address	Data	CRC

伝達関数

±5V 出力範囲のストレート・バイナリ・データ・コーディング用に、AD5753 における入力コードと最適出力電圧の関係を表 8 に示します。

表 8. 最適出力電圧と入力コードの関係

Digital Input, Straight Binary Data Coding				Analog Output
MSB		LSB		V _{OUT}
1111	1111	1111	1111	$2 \times V_{REF} \times (32,767/32,768)$
1111	1111	1111	1110	$2 \times V_{REF} \times (32,766/32,768)$
1000	0000	0000	0000	0 V
0000	0000	0000	0001	$-2 \times V_{REF} \times (32,767/32,768)$
0000	0000	0000	0000	$-2 \times V_{REF}$

AD5753 のパワーオン状態

最初のパワーオン時、またはデバイスのリセット時は、電圧および電流出力チャンネルがディスエーブルされています。30kΩ のプルダウン抵抗を介して V_{IOUT} と AGND を接続するスイッチは開いています。このスイッチは DCDC_CONFIG2 レジスタで設定できます。V_{DPC+} と V_{DPC-} はパワーオン時に内部で 4.8V に駆動され、DC/DC コンバータがイネーブルされるまでその状態が保たれます。

デバイスのパワーオン後またはリセット後は、キャリブレーション・メモリのリフレッシュ・コマンドが必要です（出力イネーブルを行う設定シーケンスのセクションを参照）。このコマンドを書き込んだ後は、内部キャリブレーションを行うための時間を取るように、次の命令を書き込むまで少なくとも 500μs 待機することを推奨します。

パワーオン・リセット

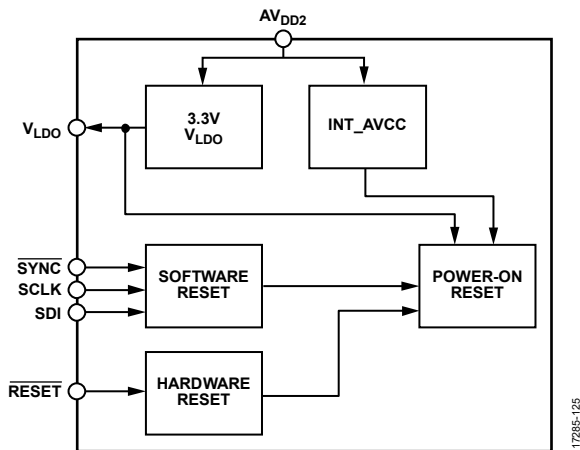


図 76. パワーオン・リセットのブロック図

AD5753 は、電源が信頼できる動作に十分なレベルになるまで AD5753 をリセット状態に保持できるように、パワーオン・リセット回路を採用しています。パワーオン・リセット回路（図 76 参照）は、AV_{DD2} から生成される V_{LDO} と、INT_AVCC 電圧、RESET ピン、および SPI リセット信号をモニタします。パワーオン・リセット回路は、V_{LDO} と内部 AV_{CC} 電圧ノード（INT_AVCC）の電圧が信頼できる動作に十分なレベルに達するまで、AD5753 をリセット状態に保持します。AD5753 は、パワーオン回路が RESET ピンからの信号を受け取った場合、または SPI インターフェースを介して AD5753 にソフトウェア・リセットが書き込まれた場合にリセットされます。リセットから 100μs 以内の間は、SPI コマンドをデバイスに書き込まないでください。

電源に関する考慮事項

AD5753 には以下に示す 4 つの電源レールがあります。AV_{DD1}、AV_{DD2}、AV_{SS}、V_{LOGIC} です。これら 4 つの電源レールの電圧範囲と対応する条件については、表 1 を参照してください。

AV_{DD1} に関する考慮事項

AV_{DD1} は正の DC/DC コンバータの電源レールで、電圧範囲は 7V ~ 33V です。AV_{DD1} の最大値は 33V で、AV_{SS} の最小値は -33V ですが、|AV_{DD1} ~ AV_{SS}| の最大動作範囲は 60V です。V_{DPC+} は AV_{DD1} から供給され、その値は DC/DC コンバータの動作モードによって異なります。

DC/DC コンバータを使用する場合は、DC/DC 回路を正常に動作させるために、AV_{DD1} と V_{DPC+} の間に十分なレベルのマージンを維持する必要があります。このマージンは、選択した動作モードにおける最大 V_{DPC+} 電圧の 5% です。

表 9. AV_{DD1} ~ V_{DPC+} のマージン

Mode of Operation	V _{DPC+} Maximum
DPC Voltage Mode	15 V
DPC Current Mode	(I _{OUT maximum} × R _{LOAD}) + I _{OUT headroom}
PPC Current Mode	DCDC_CONFIG1[4:0] programmed value

DC/DC コンバータの動作モードの詳細については、消費電力制御のセクションを参照してください。

電源電圧の計算

DPC 電流モードの場合、電源電圧は次式で計算します。

$$V_{DPC+ \text{ maximum}} = I_{OUT \text{ maximum voltage}} + I_{OUT \text{ headroom}} = 22.5V$$

ここで、

$$I_{OUT \text{ maximum}} = 20mA, R_{LOAD} = 1k\Omega$$

$$I_{OUT \text{ maximum voltage}} = I_{OUT \text{ maximum}} \times R_{LOAD} = 20V$$

$$I_{OUT \text{ headroom}} = 2.5V$$

|V_{DPC+} ~ AV_{DD1}| のヘッドルームは、22.5V の 5% = 1.125V となります。したがって、AV_{DD1} (最小) = 22.5V + 1.125V = 23.625V です。最も厳しいケースの AV_{DD1} 電源レール許容差を ±10% とすると、この例では約 26V の AV_{DD1} 電源レールが必要です。

AV_{SS} に関する考慮事項

AV_{SS} は負の電源レールで、電圧範囲は -33V ~ 0V です。AV_{DD1} の場合同様、AV_{SS} は最大動作範囲を |AV_{DD1} ~ AV_{SS}| = 60V とする必要があります。V_{DPC-} は AV_{SS} から得られ、その値は DC/DC コンバータの動作モードによって異なります。DC/DC コンバータを使用する場合は、DC/DC 回路を正常に動作させるために、AV_{SS} と V_{DPC-} の間に十分なレベルのマージンを維持する必要があります。このマージンは、選択した動作モードにおける最大 |V_{DPC-}| 電圧の 5% です。

電源電圧の計算

DPC 電流モードの場合、電源電圧は次式で計算します。

$$V_{DPC- \text{ minimum}} = I_{OUT \text{ minimum voltage}} + I_{OUT \text{ headroom}} = -22.5V$$

ここで、

$$I_{OUT \text{ minimum}} = -20\text{mA}, R_{LOAD} = -20V$$

$$I_{OUT \text{ minimum voltage}} = I_{OUT \text{ minimum}} \times R_{LOAD} = -20V$$

$$I_{OUT \text{ headroom}} = -2.5V$$

$|V_{DPC-} \sim AV_{SS}|$ のヘッドルームは、 $-22.5V$ の $5\% = 1.125V$ となります。したがって、 AV_{SS} (最小) $= -22.5V - 1.125V = -23.625V$ です。最も厳しいケースの AV_{SS} 電源レール許容差を $\pm 10\%$ とすると、この例では約 $-26V$ の AV_{SS} 電源レールが必要です。

負レール DPC をディスエーブルしたユニポーラ電流出力範囲の場合、 AV_{SS} を AGND (0V) に接続して、 V_{DPC-} を AV_{SS} に接続できます。ユニポーラ電圧出力範囲の場合、内部電圧出力回路用に十分なフットルームを確保できるよう、最大 AV_{SS} は $-2V$ とな

ります。負レール DPC をディスエーブルした場合は、 V_{DPC-} を AV_{SS} に接続します。また、電源シーケンシングに関する問題を避けるために、 V_{DPC-} とグラウンドの間にはショットキー・ダイオードを置く必要があります。更に、グラウンドとグラウンド電源は常に使用できるようにしておかなければなりません。

AV_{DD2} に関する考慮事項

AV_{DD2} は正の低電圧電源レールで、電圧範囲は $5V \sim 33V$ です。使用できる正の電源レールが1つだけの場合は、 AV_{DD2} を AV_{DD1} に接続することができます。ただし、最適化して消費電力を減らすには、独立した低電圧電源を使って AV_{DD2} に電源を供給してください。

V_{LOGIC} に関する考慮事項

V_{LOGIC} はデバイス用のデジタル電源で、電圧範囲は $1.71V \sim 5.5V$ です。 V_{LOGIC} は、 $3.3V$ の V_{LDO} 出力電圧を使用して駆動できます。

デバイス特性と診断機能

消費電力制御

AD5753 は、出力バッファへの正負電源 (V_{DPC+} と V_{DPC-}) を制御する降圧 DC/DC コンバータ回路を内蔵しています。このコンバータは、電流出力モードと電圧出力モードの両方で、デバイスの消費電力を標準設計よりも少ない値に抑えます。 AV_{DD1} は DC/DC コンバータの電源レールで、範囲は 7V~33V です。 V_{DPC+} もこの電源レールから得られます。 AV_{SS} は負レールの DC/DC コンバータの電源レールで、範囲は -33V~0V です。 V_{DPC-} もこの電源レールから得られます。 V_{DPC+} レールと V_{DPC-} レールの値は、共に、DPC 電圧モード、DPC 電流モード、および PPC 電流モードなどの DC/DC コンバータの動作モードと、出力負荷によって異なります。

DC/DC 回路に必要なディスクリート部品を図 77 に示します。図 78 は負の DC/DC 回路に必要な部品です。以下のセクションでは、部品の選択方法と回路の動作を説明します。負の DPC モードを使用する場合 (例えば DCDC_CONFIG2 のビット 1 = 1 の場合) は、負の AV_{SS} レールでも同じ回路を使用してください。負の DPC を使用しない場合は、 V_{DPC-} を AV_{SS} に接続します。

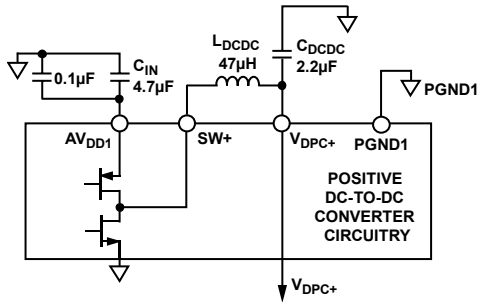


図 77. 正の DC/DC 回路

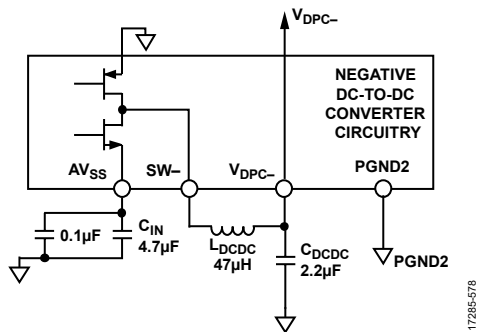


図 78. 負の DC/DC 回路

表 10. 推奨 DC/DC 部品

Symbol	Component	Value	Manufacturer
L_{DCDC}	PA6594-AE	47 μ H	Coilcraft
C_{DCDC}	GCM31CR71H225KA55L	2.2 μ F	Murata
C_{IN}	GRM31CR71H475KA12L	4.7 μ F	Murata

DC/DC コンバータの動作

DC/DC コンバータは 500kHz の固定周波数によるピーク電流モード制御方式を使い、 AV_{DD1} 入力と AV_{SS} 入力を降圧して V_{DPC+} と V_{DPC-} を生成し、電圧/電流出力チャンネルのドライバ回路に電源を供給します。DC/DC コンバータはローサイド同期スイッチを使用しているため、外部ショットキー・ダイオードは不要です。DC/DC コンバータは主に不連続導通モード (DCM) で動作し、スイッチング・サイクルのかなりの部分でインダクタ電流がゼロになります。 V_{DPC+} および V_{DPC-} 安定化出力電圧レールに低い周波数の高調波が生じるのを避けるために、DC/DC コンバータはどのサイクルもスキップしません。したがって DC/DC コンバータが固定周波数で動作するためには、最小限のエネルギーを負荷 (つまり、電流または電圧出力段とそれらの負荷) に転送する必要があります。このため、軽負荷の場合 (例えば R_{LOAD} や I_{OUT} が小さい場合) は、 V_{DPC+} と V_{DPC-} の電圧が目標値を超えて、調整が行われなくなることがあります。この電圧上昇は故障状態ではなく、アプリケーションの最も厳しいケースの消費電力状態を表すものでもありません。

DC/DC コンバータを使用する場合は、DC/DC 回路を正常に動作させるために、 AV_{DD1} と V_{DPC+} の間、および AV_{SS} と V_{DPC-} の間に、十分なレベルのマージンを維持する必要があります。このマージンの値は、 V_{DPC+} または $|V_{DPC-}|$ の最大値の 5% です。

DPC 電圧モード

DPC 電圧モードでは、電圧出力をイネーブルまたはディスエーブルした状態で、コンバータは V_{DPC+} 電源を $-V_{SENSE}$ 電圧より 15V 高い値に調整し、 V_{DPC-} 電源を $-V_{SENSE}$ 電圧より 15V 低い値に調整します。このモードでは、対応するリモート・グラウンドを AD5753 のローカル・グラウンド電源 (AGND) に対して最大 $\pm 10V$ の電位とすることで、すべてのリモート負荷に対して全出力電圧範囲を効率的に使用することができます。

DPC 電流モード

標準的な電流入力モジュール・デザインにおけるライン抵抗と負荷抵抗の合計値は、通常、50 Ω ~750 Ω の範囲です。出力モジュール・システムは負荷抵抗値の全範囲でコンプライアンス電圧条件を満たすために十分な電圧を供給する必要があります。例えば、4mA~20mA ループで 750 Ω の負荷に対して 20mA を駆動する場合は、コンプライアンス電圧を 15V より大きくする必要があります。50 Ω の負荷に対して 20mA を駆動する場合に必要なコンプライアンス電圧は 1V 超で、前述の場合より小さくなります。

DPC 電流モードでは、AD5753 の DC/DC 回路が出力電圧を検出し、 V_{DPC+} および V_{DPC-} 電源電圧を調整してコンプライアンス条件を満たし、出力バッファ用にヘッドルーム電圧を最適化します。 V_{DPC+} は 4.95V または $[I_{OUT} \times R_{LOAD} + \text{ヘッドルーム}]$ のいずれか高いほうの電圧値に調整されますが、 V_{DPC+} 電圧が目標値を超えるおそれのある軽負荷状態の場合は除外されます。極性が逆になる点を除いて、 V_{DPC-} にもこれと同じ内容が適用されます。既に述べたように、軽負荷時の例外はアプリケーションの最も厳しいケースの消費電力状態を表すものではありません。所定の入力電源 (24V + ヘッドルーム) の場合、AD5753 は 1k Ω の負荷を介して最大 24mA を駆動することができます。

低出力電力レベルでは調整後のヘッドルームが 2.3V を超えますが、これは DC/DC 回路が最小オン時間のデューティ・サイクルを使用するという事実によります。この動作は予想されたもので、最も厳しいケースの消費電力には影響しません。

PPC 電流モード

DC/DC コンバータはプログラマブル電力制御モードでも使用可能で、この場合はユーザが V_{DPC+} 電圧と V_{DPC-} 電圧を所定のレベルに設定して、必要な最大出力負荷に対応させます。このモードは、DPC 電流モードの最適電力効率と、固定電源で DC/DC 変換を無効にした時のシステム・セトリング時間とのトレードオフを表すものです。PPC 電流モードでは、 V_{DPC+} と V_{DPC-} が +5V ~ +25.677V (V_{DPC+}) と -5V ~ -25.677V (V_{DPC-}) のユーザ設定レベルに調整されます。この調整は $-V_{SENSE}$ を基準とし、0.667V ステップで行われます。セトリング時間については、DC/DC コンバータのセトリング時間のセクションを参照してください。負荷が非直線的な性質を持つ場合は、 V_{DPC+} と V_{DPC-} の設定レベルの選択時に注意が必要です。出力コンプライアンス電圧仕様を満たすには、 V_{DPC+} と V_{DPC-} を十分に高い値に設定する必要があります。負荷が未知の場合は、ADC への外部 $+V_{SENSE}$ 入力を使用して電流モードで VI_{OUT} ピンをモニタし、 V_{DPC+} のユーザ設定値を決定することができます。

DC/DC コンバータのセトリング時間

DPC 電流モードにおけるセトリング時間は DC/DC コンバータのセトリング時間に支配され、通常その値は、デジタル・スルー・レート制御機能なしの場合で 200 μ s です。 VI_{OUT} へのコンデンサ追加とそれによる HART 動作への影響なしで初期 VI_{OUT} 波形のオーバーシュートを軽減するには、DAC_CONFIG レジスタを使用してデジタル・スルー・レート制御機能を有効にします（ビットの説明は表 33 を参照）。

DC/DC コンバータの各モードにおける標準的なセトリング時間を表 11 に示します。すべての値は、アナログ・デバイセズの推奨部品を使用することを前提としています（表 10 を参照）。任意のアプリケーションにおいて実現可能なセトリング時間は、使用する外部インダクタ部品とコンデンサ部品、および DC/DC コンバータの電流制限設定によって異なります。

表 11. セトリング時間と DC/DC コンバータ・モード

DC-to-DC Converter Mode	Settling Time (μ s)
DPC Current Mode	200
PPC Current Mode	15
DPC Voltage Mode	15

DC/DC コンバータのインダクタの選択

標準的な 4mA ~ 20mA アプリケーションでは、47 μ H のインダクタ（表 10 参照）と 500kHz のスイッチング周波数を組み合わせることにより、(24V + ヘッドルーム) より大きい AV_{DD1} 電源を使用して、最大 1k Ω の負荷抵抗に対し 24mA を駆動することができます。ピーク電流によってインダクタが飽和しないようにすることが重要で、特に最大周囲温度における飽和に注意する必要があります。インダクタが飽和モードになると、効率が低下します。また、インダクタのサイズを大きくすると、コア損失が小さくなります。AD5753 のスルー・レート制御機能は、スルーイング時のピーク電流を制限できます。DCDC_CONFIG2 レジスタを介して適切な電流制限を設定し、インダクタ電流がその制限値に達した場合は内部スイッチがシャットオフするようしてください。

DC/DC コンバータの入力コンデンサと出力コンデンサの選択

出力コンデンサ C_{DCDC} は DC/DC コンバータのリップル電圧に影響を与えるため、出力電流の増加率を決定する最大スルー・レートが制限されます。リップル電圧と出力容量の間には直接的な関係があります。アナログ・デバイセズの推奨する C_{DCDC} コンデンサ（表 10 参照）と 47 μ H のインダクタを組み合わせると、500kHz リップルの振幅を 50mV 未満とすることができ、安定性が確保されると共に、すべての動作モードで HART 機能を使用できるようになります。

高電圧コンデンサでは、多くの場合、コンデンサのサイズが電荷保存能力を表します。そのコンデンサの DC バイアス電圧と容量の関係を示す曲線を使い、特性評価を行うことは重要です。仕様規定されたすべての容量値は、そのアプリケーションの最大 V_{DPC+} 電圧と V_{DPC-} 電圧に対応する DC バイアスを基準としています。また、所定のアプリケーションに対しては、コンデンサの電圧定格と温度範囲も考慮する必要があります。表 10 に示す部品の選択にあたっては、これらの点を考慮することが重要です。

入力コンデンサ C_{IN} は DC/DC コンバータに必要とされるダイナミック電流の大部分を供給するため（詳細については表 10 を参照）、入力コンデンサとしては等価直列抵抗 (ESR) の低い部品が推奨されます。AD5753 には、4.7 μ F (1206 サイズ) の低 ESR タンタル・コンデンサまたはセラミック・コンデンサを、0.1 μ F (0402 サイズ) のコンデンサと並列にして使用することを推奨します。セラミック・コンデンサは DC バイアス電圧と温度に敏感なため、慎重に選択する必要があります。X5R または X7R 誘電セラミックは、広い動作電圧と温度範囲で安定しているため、これらのコンデンサの使用が望まれます。タンタル・コンデンサを選択する場合は、低 ESR 値になるよう注意する必要があります。

CLKOUT

AD5753 は、同期用の CLKOUT 信号をシステムに供給します。この信号は、416kHz ~ 588kHz の範囲で 8 つの周波数オプションに設定できます。デフォルトのオプションは 500kHz で、これは DC/DC コンバータのスイッチング周波数と同じです。この機能は GP_CONFIG1 レジスタで設定し、デフォルトでは無効になっています。

ダイ間の 3 線式インターフェース

3 線式インターフェースは、AD5753 内にある 2 つのダイ間の通信を容易にします。3 線式インターフェースのマスタはメイン・ダイに置かれ、スレーブは DC/DC ダイに置かれています。インターフェース信号は、データ、DCLK (MCLK/8 で動作)、および割込みの 3 つです。

3 線式インターフェースの主な目的は、DCDC_CONFIG1 レジスタと DCDC_CONFIG2 レジスタに対して読出しと書込みを行うことです。内部の 3 線式インターフェースによるメイン・ダイから DC/DC ダイへの転送は、SPI インターフェースを介してこれらのレジスタのアドレスを指定することから開始します。メイン・ダイ上にある 3 線式インターフェースのマスタは、DCLK をシリアル・クロックとして使用し、DC/DC ダイ上のレジスタの書込みと読出しを開始します。スレーブは、DC/DC ダイへの割込み信号を使用して、DC/DC ダイの内部ステータス・レジスタの読出しが求められていることを示します。

3 線式インターフェースによる書込み時には、その都度自動的に読出しと比較のプロセスを有効にして（デフォルト・ケース）、メイン・ダイ上の DCDC_CONFIGx レジスタのコピーの内容が、DC/DC ダイ上のレジスタの内容と一致していることを確認できます。この比較は、DC/DC ダイのデジタル回路が正常であることを確認するために行われます。この機能を有効にした状態での 3 線式インターフェース (3WI) 転送には、約 300 μ s かかります。無効にすると、この転送時間は 30 μ s に減少します。

3 線式インターフェース・トランザクションの間は、DCDC_CONFIG2 レジスタの BUSY_3WI フラグがアサートされます。BUSY_3WI フラグは、DAC_CONFIG レジスタの範囲ビット（ビット [3:0]）を介して DAC 範囲を更新する際にもセットされます。これは、この操作によって内部キャリブレーション・メモリがリフレッシュされるためですが、更新時には 2 つのダイ間で 3 線式インターフェースによる転送が必要になります。BUSY_3WI がアサートされている間は、どの DCDC_CONFIGx レジスタへの書込みも開始できません。BUSY_3WI がアサートされている間に書込みが発生した場合、新しい書込みは現在の 3 線式インターフェース転送が完了するまで遅延されます。

3 線式インターフェースの診断

DC/DC ダイに何らかの異常が発生すると、メイン・ダイへの割込みがトリガされ、DC/DC ダイの自動ステータス読出しが行われます。読出しトランザクションの後、メイン・ダイは DC/DC ダイのステータス・ビット（VIOUT_OV_ERR、DCDC_P_SC_ERR、DCDC_P_PWR_ERR）のコピーを保持します。これらの値は共に ANALOG_DIAG_RESULTS レジスタ内に保持され、OR 演算で求められたステータス・レジスタ内のアナログ診断結果ビットを介して知ることができます。これらのビットは FAULT ピンのトリガも行います。

割込み要求への応答の中で、メイン・ダイ（マスタ）は 3 線式インターフェース読出し動作を実行して、DC/DC ダイのステータスを読み出します。割込みはその後の DC/DC ダイ異常フラグによってのみ再度アサートされ、これによって 3 線式インターフェースはもう 1 つのステータス読出しトランザクションを開始します。割込み信号が 6 回連続で検出された場合は、3 線式インターフェースの書込みトランザクションが 1 つ完了するまで割込み検出メカニズムが無効になります。この無効化は、割込みをトグルする際に、DC/DC ダイのステータスを連続して読み出すことによって、3 線式インターフェースがブロックされるのを防ぎます。DCDC_CONFIG2 レジスタの INTR_SAT_3WI フラグはこのイベントがいつ発生したかを示し、DCDC_CONFIGx レジスタのどちらかに書込みを行うと、このビットが 0 にリセットされます。

3 線式の読出しまたは書込み動作中、トランザクション内のアドレス・ビットとデータ・ビットはパリティ・ビットを生成します。これらのパリティ・ビットは受信側でチェックされ、どちらのダイでもこれらのビットが一致しない場合は、DIGITAL_DIAG_RESULTS レジスタの ERR_3WI ビットがセットされます。読出しおよび比較プロセスが有効な状態でパリティ・エラーが発生すると、DIGITAL_DIAG_RESULTS レジスタの 3WI_RC_ERR ビットもセットされます。

電圧出力

電圧出力アンプと $\pm V_{SENSE}$ の機能

電圧出力アンプは、ユニポーラ出力電圧とバイポーラ出力電圧の両方を生成できます。このアンプは、外付け補償コンデンサを含めて 2 μ F の容量と並列で AGND に接続された、1k Ω の負荷を駆動することもできます。 $\pm 10V$ のコモンモード電圧 (V_{CM}) で負荷 R_{LOAD} を駆動する電圧出力を図 79 に示します。デバイスに組み込まれた 2M Ω の抵抗はアンプ・ループを閉じた状態に保ち、ケーブルと $+V_{SENSE}$ の接続が失われる可能性のあるアプリケーションで、アンプ・ループが失われることによって V_{IOUT} に大きな破壊的電圧がかかるのを防ぎます。負荷のリモート検出が不要な場合は、 $+V_{SENSE}$ を直接 V_{IOUT} に接続し、1k Ω の直列抵抗を介して $-V_{SENSE}$ を AGND に接続します。

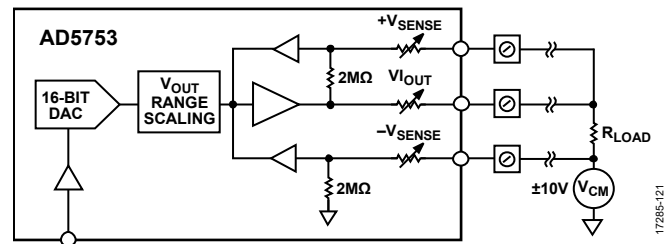


図 79. 電圧出力

大きい容量性負荷の駆動

電圧出力アンプは、220pF の無極性補償コンデンサを追加することによって、2 μ F までの容量性負荷を駆動することができます。このコンデンサは、AD5753 がより大きな容量性負荷を駆動し、オーバーシュートを小さくすることを可能にしますが、デバイスのセトリング時間が長くなり、その結果システムの帯域幅に悪影響を与えます。補償コンデンサなしで駆動できる容量性負荷は最大 10nF です。

電圧出力短絡保護

通常動作時、電圧出力は最大 12mA のシンクとソースを行い、仕様規定された動作を維持します。短絡電流は通常 16mA です。短絡が検出されると、FAULT ピンがロー・レベルになり、ANALOG_DIAG_RESULTS レジスタの VOUT_SC_ERR ビットがセットされます。

故障保護

AD5753 の V_{IOUT} ピン、 $+V_{SENSE}$ ピン、および $-V_{SENSE}$ ピンには、ライン・プロテクタが組み込まれています。ライン・プロテクタは、ライン・プロテクタ内部の電圧を $VDPC$ +および $VDPC-$ レールにクランピングすることによって動作するので、外部の電圧異常から内部回路を保護します。これらの制限値を外れる電圧が V_{IOUT} ピン上で検出された場合は、ANALOG_DIAG_RESULTS レジスタのエラー・フラグ ($V_{IOUT_OV_ERR}$) がセットされます。

電流出力

電流設定外付け抵抗

図 74 に示すように、 R_{SET} は内部検出抵抗で、電流変換回路の電圧の一部を形成します。温度に対する出力電流の安定性は、 R_{SET} 値の安定性に依存します。出力電流の温度特性を改善するには、AD5753 の内部抵抗を使用せず、 R_A ピンと R_B ピンの間に低ドリフトの外付け抵抗 (13.7k Ω) を接続します。

表 1 に、内蔵の R_{SET} 抵抗使用時と 13.7k Ω の外付け R_{SET} 抵抗使用時の AD5753 の性能仕様を示します。外付け R_{SET} 抵抗の仕様は、理想抵抗と仮定した場合のもので、実際の性能は、使用する抵抗の絶対値と温度係数によって異なります。したがって、抵抗仕様は出力のゲイン誤差と総合未調整誤差 (TUE) に直接影響します。

特定の外付け R_{SET} 抵抗を使った出力の最も厳しいケースにおける絶対 TUE を求めるときは、 R_{SET} 抵抗のパーセント絶対誤差 (誤差の絶対値) を、表 1 に示す外付け R_{SET} 抵抗使用時の AD5753 の TUE (% FSR で表示) に加算します。このオプションをシステムに使用する場合、温度係数と外部リファレンスの仕様を考慮する必要があります。

外付けの R_{SET} 抵抗と外部リファレンスの絶対誤差と TC 誤差を、AD5753 の TUE 仕様に加算することによって求めた誤差が、実際に生じる可能性は低いものです。これは、個々の部品の TC 値が同じドリフト極性を示すことは考えにくく、相殺される要素があるためです。このため、TC 値は二乗和平方根法で加えます。TUE 仕様は、ゼロスケールとフルスケールでの 2 点キャリブレーションを行うことによって更に改善されます。つまり、電圧リファレンスと R_{SET} 抵抗の絶対誤差が減少します。

電流出力オープン・サーキット検出

電流出力モードにおいて、オープン・サーキットや電源電圧不足のために、使用可能なヘッドルームがコンプライアンス範囲未満に低下した場合は、ANALOG_DIAG_RESULTS レジスタの IOUT_OC_ERR フラグがアサートされて、FAULT ピンがローになります。

HART 接続

AD5753 には C_{HART} ピンがあり、ここに HART 信号を結合することができます。GP_CONFIG1 レジスタの HART_EN ビットと V_{IOUT} 出力の両方がイネーブルされている場合は、HART 信号が電流出力に現れます。

HART 信号を減衰させて AD5753 に接続するための推奨回路を図 80 に示します。 V_{IOUT} ピンを 1mA $p-p$ とするには、 C_{HART} ピンに約 125mV $p-p$ の信号が必要です。 V_{IOUT} ピンの HART 信号は、 C_{HART} ピンの信号入力を基準に反転されます。

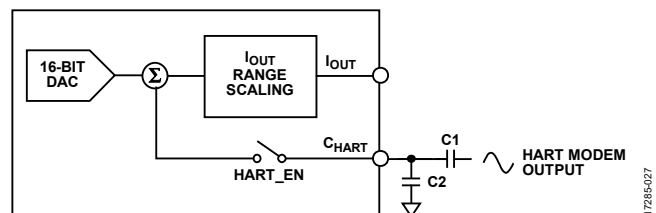


図 80. HART 信号の結合

コンデンサ C_1 と C_2 は受信 HART モデム信号を減衰させるのに使用しますが、これに加えて C_1 と C_2 の最小容量は、1.2kHz と 2.2kHz の周波数がこれらのコンデンサを通じてモデム出力信号の帯域幅を通過できるような値とする必要があります。HART 信号が 500mV $p-p$ とすると、推奨値は、 $C_1 = 47\text{nF}$ 、 $C_2 = 150\text{nF}$ です。HART のアナログ変化レートの条件を満たすには、出力スルー・レートをデジタル的に制御する必要があります。

HART 機能が必要ない場合は、HART_EN ビットをディスエーブルして C_{HART} ピンを未接続のままにします。しかし、コンデンサを使って DAC 出力信号の速度を下げる必要がある場合は、HART_EN ビットをイネーブルして、必要な C_{SLEW} コンデンサを C_{HART} ピンに接続しなければなりません。

スルー・レートのデジタル制御

AD5753 のデジタル・スルー・レート制御機能は、出力値の変化レートを制御できます。この機能は電流モードと電圧モードの両方で使用できます。スルー・レート制御機能を無効にすると、出力値は、出力駆動回路と接続された負荷で制限されるレートで変化します。スルー・レートを下げるには、スルー・レート制御機能を有効にします。この機能を有効にすると、出力は、DAC_CONFIG レジスタを介してアクセスできる 2 つのパラメータによって定義されるレートで、1 つの出力コードから次のコードへデジタル的に移行します。これら 2 つのパラメータは SR_CLOCK と SR_STEP です。SR_CLOCK と SR_STEP は、デジタル・スルーの更新レートを定義します。例えば、選択した更新レートが 8kHz の場合、出力は 125 μs ごとに更新されます。SR_STEP は SR_CLOCK と組み合わせて使い、更新ごとの出力値の変化の大きさを指定します。同時に、両パラメータにより出力値の変化レートが指定されます。

次式は、スルー・レートをステップ・サイズ、スルー・レート周波数、LSB サイズの関数として表しています。

$$\text{Slew Time} = \frac{\text{Output Change}}{\text{Step Size} \times \text{Slew Rate Frequency} \times \text{LSB Size}}$$

ここで、

Slew Time の単位は秒です。

Step Size は出力の変化です。

Output Change は、電流出力モードではアンペア数、電圧出力モードではボルト数で表されます。

Slew Rate Frequency は SR_CLOCK です。

LSB Size は SR_STEP です。

スルー・レート制御機能を有効にすると、設定されたスルー・レートですべての出力が変化します。例えば、WDT がタイムアウトして自動クリアが実行される場合、出力は設定されたスルー・レートでクリア値まで増加していきます。しかし、GP_CONFIG1 レジスタの CLEAR_NOW_EN ビットをセットするとこのデフォルト動作がオーバーライドされ、出力は設定されたスルー・レートで増加していくのではなく、直ちにクリア・コードに更新されます。

与えられた値に対するスルー・レート周波数は、すべての出力範囲で同じです。ただし、ステップ・サイズは与えられたステップ・サイズ値に対応する出力範囲に応じて変わります。これは、LSBサイズが各出力範囲で異なるためです。

アドレス・ピン

AD5753 のアドレス・ピン (AD0 と AD1) はアドレス・ビットと共に SPI フレーム内で使われ (表 12 参照)、システム・コントローラによって、どの AD5753 デバイスのアドレスを指定するかを決定します。2 本のアドレス・ピンを使用すれば、1 つのボード上で最大 4 個のデバイスのアドレスを独立して指定することができます。

SPI インターフェースと診断機能

AD5753 は 4 線式のシリアル・インターフェースで制御され、8 ビットの巡回冗長性チェック (CRC-8) がデフォルトで有効になっています。入力シフト・レジスタは 32 ビット幅で、データは、シリアル・クロック入力 SCLK の制御の下に MSB ファーストでデバイスにロードされます。データは SCLK の立下がりエッジで入力されます。CRC を無効にすると、シリアル・インターフェースは 24 ビットに減少します。この場合でも 32 ビット・フレームを使用できますが、最後の 8 ビットは無視されます。

表 12. レジスタへの書込み (CRC 有効)

MSB		LSB		
D31	[D30:D29]	[D28:D24]	[D23:D8]	[D7:D0]
Slip Bit	AD5753 address	Register address	Data	CRC

表 12 に示すように、すべての SPI フレームには 2 個のアドレス・ビットが含まれています。特定のデバイスがバス上の SPI フレームを受け入れるには、これらのビットが AD0 ピンと AD1 ピンに一致していなければなりません。

SPI 巡回冗長性チェック

ノイズの多い環境でデータが正しく受信されたことを確認するために、AD5753 は CRC-8 に基づく CRC 機能を備えています。AD5753 を制御するデバイス (マイクロコントローラまたは FPGA) は、次の多項式を使って 8 ビットのフレーム・チェック・シーケンスを生成します。

$$C(x) = x^8 + x^2 + x^1 + 1$$

この 8 ビットのフレーム・チェック・シーケンスがデータワードの末尾に追加され、32 ビットが AD5753 へ送信された後に SYNC がハイ・レベルになります。

SPI_CRC_EN ビットがハイに設定されている場合 (デフォルト状態) は、幅がちょうど 32 ビットのフレーム (24 ビットのデータと 8 ビットの CRC) を使用する必要があります。CRC チェックにパスすると、選択されたレジスタにデータが書き込まれます。CRC チェックに合格しない場合、データが無視されて FAULT ピンがローになり、FAULT ピンのステータス・ビットと、ステータス・レジスタ内のデジタル診断ステータス・ビット (DIG_DIAG_STATUS) がアサートされます。その後 DIGITAL_DIAG_RESULTS レジスタをリードバックすれば、SPI_CRC_ERR ビットもセットされていることがわかります。このレジスタはビットごとに書込みを行うことでクリアするレジスタで、ビットごとに 1 を書き込むことでレジスタがクリアされます (スティッキー診断結果ビットのセクションを参照)。

したがって、SPI_CRC_ERR ビットは、DIGITAL_DIAG_RESULTS レジスタのビット D0 に 1 を書き込むことによってクリアされます。他にアクティブな故障がないとすると、1 を書き込むと SPI_CRC_ERR ビットがクリアされ、FAULT ピンがハイに戻ります。FAULT_PIN_CONFIG レジスタを設定する場合、SPI CRC エラーが FAULT ピンに影響するかどうかはユーザが判断します。詳細については、FAULT ピン設定レジスタのセクションを参照してください。SPI CRC 機能は、データ・パケットの送信と受信の両方に使われます。

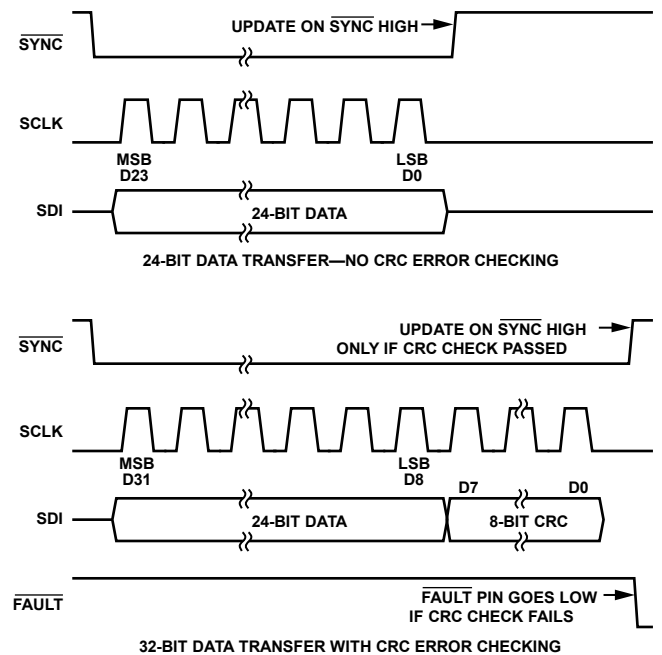


図 81. CRC タイミング (LDAC = 0 と仮定)

SPI インターフェース・スリップ・ビット

スリップ・ビットを追加すると、インターフェースの堅牢性が向上します。フレームが有効であると見なすには、SPI フレームの MSB が MSB-1 を反転した値に等しくなければなりません。誤ったスリップ・ビットが検出された場合、そのデータは無視され、DIGITAL_DIAG_RESULTS レジスタの SLIPBIT_ERROR ビットがアサートされます。

SPI インターフェースの SCLK カウント機能

SPI 診断機能には、SCLK カウント機能も組み込まれています。これは、ちょうど 32 個 (SPI CRC が無効な場合は 24 個) の SCLK 立下がりエッジを持つ SPI フレームのみが、有効な書込みとしてインターフェースに受け入れられることを意味します。32 個以外の SPI フレームは無視されて、DIGITAL_DIAG_RESULTS レジスタに SCLK_COUNT_ERR フラグがアサートされます。

リードバック・モード

AD5753 には以下に示す 4 つのリードバック・モードがあります。

- 2 段リードバック・モード
- 自動ステータス・リードバック・モード
- 共有 SYNC 自動ステータス・リードバック・モード
- エコー・モード

2 段リードバックでは、専用レジスタ TWO_STAGE_READBACK_SELECT に書き込みを行って、リードバックするレジスタの位置を選択します。この書き込みの後には無操作 (NOP) コマンドが続き、その間は選択したレジスタの内容を SDO ピンに使用することができます。

表 13. 読み出し操作時の SDO の内容

MSB			LSB	
[D31:D30]	D29	[D28:24]	[D23:D8]	[D7:D0]
0b10	FAULT pin status	Register address	Data	CRC

ビット [D31:D30] = 0b10 はリードバック時の同期用に使われます。

自動ステータス・リードバック・モードを選択した場合は、毎回の SPI トランザクションの間、SDO ラインでステータス・レジスタの内容を出力することができます。この機能は、ステータス・レジスタを継続的にモニタして、故障発生時に迅速に対応することを可能にします。この機能は、AD5753 のパワーアップ時には無効になっています。この機能を有効にすると、通常の 2 段リードバック機能は使用できなくなり、SDO で使用できるのはステータス・レジスタのみになります。他のレジスタをリードバックするには、2 段リードバック・シーケンスを行う前に、まず自動リードバック機能を無効にしてください。自動ステータス・リードバックは、そのレジスタのリードバック後に再び有効にできます。

AD5753 の共有 SYNC 自動ステータス・リードバックは自動ステータス・リードバックの特別なバージョンで、複数のデバイスが同じ SYNC ラインを共有している場合に、SDO バスの競合を避けるために使われます。

エコー・モードも自動ステータス・リードバックと同様に動作しますが、2 回目のリードバックが、すべてその前に行われた AD5753 へのコマンド書き込みのエコー (繰り返し) で構成される点が異なります (図 82 参照)。リードバック・モードの詳細については、レジスタからの読み出しのセクションを参照してください。



図 82. エコー・モードにおける SDO の内容

WDT

WDT 機能は、システム・コントローラと AD5753 間の通信が失われず、SPI データバス・ラインが期待どおりに機能するようにします。

WDT をイネーブルすると、ユーザが設定したタイムアウト時間内に AD5753 が特定の SPI フレームを受信しなかった場合は、システムにアラートが送られます。特定の SPI フレームを受信した場合、ウォッチドッグは、タイムアウト・アラートを制御しているタイマーをリセットします。WDT をリセットするために使われる SPI フレームは、以下の 2 つの選択肢のどちらかに設定できます。

- キー・レジスタへの固有のキー・コードの書き込み (デフォルト)。
- 任意のレジスタへの有効な SPI 書き込み。

ウォッチドッグ・タイムアウト・イベントが発生した場合に備えて、ユーザが AD5753 に設定できる動作は 2 つあります。1 つは CLEAR_CODE に保存したユーザ定義クリア・コードを使って DAC 出力をロードすることで、もう 1 つはソフトウェア・リセットを行うことです。これら 2 つの動作は、それぞれ WDT_CONFIG レジスタのビット 10 とビット 9 を使ってイネーブルすることができます。ウォッチドッグ・タイムアウト・イ

ベント時は、ビット 10 またはビット 9 がイネーブルされているかどうかに関わらず、ステータス・レジスタ内にある専用の WDT_STATUS ビットと DIGITAL_DIAG_RESULTS レジスタの WDT_ERR ビットが、WDT タイムアウトをユーザにアラートします。WDT タイムアウト発生後は、DIGITAL_DIAG_RESULTS レジスタ内のアクティブ WDT 故障フラグがクリアされるまで、DAC_INPUT レジスタへのすべての書き込みとハードウェアまたはソフトウェア LDAC イベントが無視されます。

アクティブ WDT 故障フラグがクリアされた後は、続いて WDT リセット・コマンドを実行することによって WDT が再開されます。

パワーアップ時、WDT はデフォルトでディスエーブルになります。デフォルトのタイムアウト設定は 1 秒で、WDT をリセットするデフォルトの方法は 1 つの特定キーを書き込むことです。タイムアウト時のデフォルト動作は、対応する WDT_ERR フラグビットと FAULT ピンをセットすることです。WDT 動作の設定をサポートする具体的なレジスタ・ビットの詳細については、表 42 を参照してください。

オフセットとゲインのデジタル調整

AD5753 には USER_GAIN レジスタと USER_OFFSET レジスタがあり、これらを使ってシグナル・チェーン全体のゲイン誤差とオフセット誤差を調整することができます。16 ビットの USER_GAIN レジスタを使うと、DAC チャンネルのゲインを 1LSB ステップで調整することができます。表 14 に示すように、USER_GAIN レジスタのコーディングはストレート・バイナリです。USER_GAIN レジスタのデフォルト・コードは 0xFFFF で、この場合、設定された出力にゲイン係数は適用されません。理論的には、全出力範囲にわたってゲインを調整することができます。実用上は、精度を保つために推奨されるゲイン調整は、最大で設定範囲の約 50% です。

表 14. ゲイン・レジスタの調整

Gain Adjustment Factor	D15	[D14:D1]	D0
1	1	1	1
65,535/65,536	1	1	0
...
2/65,536	0	0	1
1/65,536	0	0	0

16 ビットの USER_OFFSET レジスタを使うと、DAC チャンネルのオフセットを -32,768LSB ~ +32,768LSB の範囲で 1LSB ステップごとに調整できます。表 15 に示すように、USER_OFFSET レジスタのコーディングはストレート・バイナリです。USER_OFFSET レジスタのデフォルト・コードは 0x8000 で、この場合、出力のオフセット設定はゼロになります。

表 15. オフセット・レジスタの調整

Gain Adjustment	D15	[D13:D2]	D0
+32,768 LSBs	1	1	1
+32,767 LSBs	1	1	0
...
No Adjustment (Default)	1	0	0
...
-32,767 LSBs	0	0	1
-32,768 LSBs	0	0	0

内部 DAC レジスタに書き込まれる 10 進値 (DAC コード) は、次式で計算されます。

$$DAC\ code = D \times \frac{(M + 1)}{2^{16}} + C - 2^{15}$$

ここで、

D は DAC_INPUT レジスタにロードされるコード。

M は USER_GAIN レジスタ内のコード (デフォルト・コード = $2^{16} - 1$)。

C は USER_OFFSET レジスタ内のコード (デフォルト・コード = 2^{15})。

DAC_INPUT レジスタのデータはデジタル乗算器と加算器で処理され、更に乗算器はユーザ・ゲイン・レジスタの内容によって制御され、加算器はユーザ・オフセット・レジスタの内容によって制御されます。DAC データはキャリブレーション後に DAC へロードされます。DAC データのロードは LDAC ピンの状態に応じて行われます。

DAC 出力は、USER_GAIN レジスタまたは USER_OFFSET レジスタへの書き込みごとに自動的に更新されるわけではありません。

その代わりに、DAC_INPUT レジスタへの次の書き込みでは、これらのゲイン値とオフセット値を使って新しいキャリブレーションが行われ、出力チャンネルが自動的に更新されます。読出し専用の DAC_OUTPUT レジスタは、ユーザ・ゲインおよびユーザ・オフセットによるキャリブレーションの場合を除き、現在 DAC 出力に使用可能な値を表します。この場合、DAC_OUTPUT レジスタにはユーザによる DAC データ入力が格納され、キャリブレーションは、キャリブレーション結果ではなくこの入力に基づいて行われます。

USER_GAIN レジスタと USER_OFFSET レジスタの分解能は共に 16 ビットです。ゲイン/オフセットの正しいキャリブレーションは、ゲインのキャリブレーション後にオフセットをキャリブレーションすることによって行います。

DAC 出力の更新とデータ完全性の診断

DAC 入力ローディング回路の簡略図を図 83 に示します。使用する場合は、DAC_INPUT レジスタへの書き込み前に、USER_GAIN レジスタと USER_OFFSET レジスタを更新する必要があります。

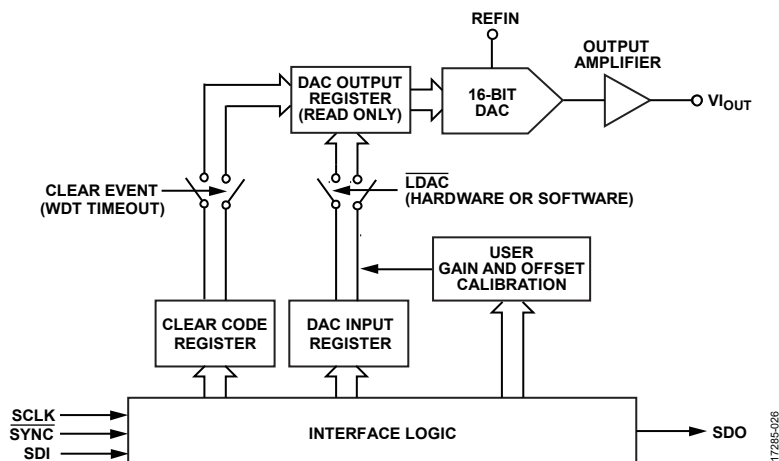


図 83. 入力ローディング回路のシリアル・インターフェース簡略図

DAC_OUTPUT レジスタと最終的な DAC 出力は、以下のいずれかの場合に更新されます。

- ハードウェア $\overline{\text{LDAC}}$ ピンをローに接続した状態で DAC_INPUT レジスタに書き込みが行われた場合、DAC_OUTPUT レジスタは SYNC の立上がりエッジで更新され、表 2 に示すタイミング仕様が適用されます。
- ハードウェア $\overline{\text{LDAC}}$ ピンをハイに接続した状態で DAC_INPUT レジスタへの書き込みを行うと、DAC_OUTPUT レジスタは、ソフトウェア $\overline{\text{LDAC}}$ 命令が出されるか、ハードウェア $\overline{\text{LDAC}}$ ピンにロー・パルスが入力されるまで更新されません。
- CLEAR_ON_WDT_FAIL ビットがセットされた状態で WDT タイムアウトが発生した場合、CLEAR_CODE レジスタの内容は DAC_OUTPUT レジスタにロードされます。
- スルー・レート制御機能が有効にされた場合、DAC_OUTPUT レジスタには、レジスタが 1 つの値から次の値へ増加するのに合わせて、DAC の動的な値が格納されます。

WDT 故障がアクティブの間は、DAC_INPUT レジスタへのすべての書き込みとハードウェアまたはソフトウェア $\overline{\text{LDAC}}$ イベントが無視されます。CLEAR_ON_WDT_FAIL ビットが出力をクリア・コードにセットするように設定されている場合、WDT 故障フラグのクリア後に、DAC_OUTPUT レジスタの更新前に DAC_INPUT レジスタへ書き込みを行う必要があります。DAC_INPUT レジスタへの書き込みが必要になるのは、ソフトウェアまたはハードウェア $\overline{\text{LDAC}}$ を行った場合のみ DAC にクリア・コードが再ロードされるからです。ここで説明するとおり、DAC_CONFIG レジスタによって DAC の範囲を設定した後は、DAC_INPUT レジスタの内容が現在値から変化していない場合でも、DAC_INPUT レジスタへの書き込みを行う必要があります。

GP_CONFIG2 レジスタにはグローバル・ソフトウェア $\overline{\text{LDAC}}$ モードを有効にするビットが格納され、それによって SW_LDAC コマンドのテスト対象デバイス (DUT) アドレス・ビットが無視されるので、複数の AD5753 デバイスを単一の SW_LDAC コマンドで同時更新できます。この機能は、複数の AD5753 デバイスを含むシステム内で、ハードウェア $\overline{\text{LDAC}}$ ピンを使用しない場合に有用です。

DAC のデータ完全性診断

過渡的变化から内部デジタル回路を保護するために、デジタル・ブロックは、デジタル DAC 値とその反転コピー値の両方を保存します。DAC をストローブして DAC コードを更新する前に、これら 2 つの値が互いに対応していることを確認するためのチェックが行われます。この照合機能は、DIGITAL_DIAG_CONFIG レジスタの INVERSE_DAC_CHECK_EN ビットにより、デフォルトで有効になっています。

図 84 に示すように、デジタル・ブロックの外側で DAC コードはラッチに保存されます。これらのラッチは、デジタル・ブロックに影響を与えるものと同じ過渡現象に対し、脆弱である可能性があります。これらの過渡現象から DAC ラッチを保護するには、DIGITAL_DIAG_CONFIG レジスタ内の DAC_LATCH_MON_EN ビットを介して、DAC ラッチ・モニタ機能を有効にします。このラッチ・モニタ機能は DAC を駆動する実際のデジタル・コードをモニタして、そのコードをデジタル・ブロック内で生成されるデジタル・コードと比較します。これら 2 つのコード間に何らかの違いがあると、DIGITAL_DIAG_RESULTS レジスタに DAC_LATCH_MON_ERR フラグがセットされます。

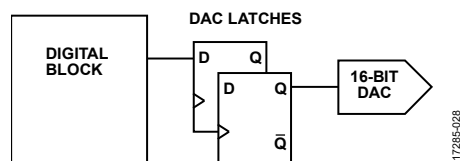


図 84. DAC データの完全性

GPIO ピン

AD5753 には 3 つの GPIO ピン、GPIO_0、GPIO_1、GPIO_2 があります。これら 3 つのピンはそれぞれ、GP_CONFIG レジスタを介してデジタル出力、デジタル入力、または DGND への 100kΩ 抵抗 (デフォルト) として設定できます。デジタル入力または出力として設定するときは、GPIO_DATA レジスタを使い、該当ピン経由で読み出したり書き込みを行います。

キー・コードの使用

キー・コードは、キー・レジスタ経由で以下の機能に使用します (詳細についてはキー・レジスタのセクションを参照)。

- キャリブレーション・メモリのリフレッシュの開始。
- ソフトウェア・リセットの開始。
- シングル ADC 変換の開始。
- WDT リセット・キー。

キャリブレーション・メモリのリフレッシュやデバイス・リセットなどの動作を開始するための特定のキーを使用すると、これらのタスクのいずれかを誤って開始してしまう可能性が減るので、システムの堅牢性が大きく向上します。

ソフトウェア・リセット

ソフトウェア・リセット時は、キー・レジスタに 0x15FA と 0xAF51 を連続して書き込む必要があります。デバイスのリセットは、ハードウェア RESET ピンまたはソフトウェア・リセット・キーを使用して開始するか、WDT タイムアウト後に自動的に開始することができます (自動開始できるように設定されている場合)。デバイスがリセットされると、DIGITAL_DIAG_RESULTS レジスタの RESET_OCCURRED ビットがセットされます。この RESET_OCCURRED ビットは、パワーアップ時にデフォルトで 1 になります。どちらの診断結果レジスタも、1 を書き込んで機能をクリアします。言い方を変えると、機能をクリアするためにはこのビットに 1 を書き込む必要があります (ステイキ診断結果ビットのセクションを参照)。

キャリブレーション・メモリの CRC

キャリブレーション・メモリのシャドウ・レジスタの内容に関する自動 CRC は、キャリブレーション・メモリのリフレッシュ・サイクルごとに計算されます (リフレッシュ・サイクルは、キー・レジスタにキー・コードを書き込むことによって開始されるか、DAC_CONFIG レジスタの範囲ビット [3:0] が変更されることで自動的に開始される)。この CRC の結果が、工場保存されたリファレンス CRC 値と比較されます。CRC 値が一致すれば、キャリブレーション・メモリ全体の読み出しは有効と見なされます。値が一致しない場合は、DIGITAL_DIAG_RESULTS レジスタの CAL_MEM_CRC_ERR ビットが 1 に設定されます。このキャリブレーション・メモリ CRC 機能はデフォルトで有効になっており、DIGITAL_DIAG_CONFIG レジスタの CAL_MEM_CRC_EN ビットで無効にすることができます。

このキャリブレーション・メモリのリフレッシュ・サイクルがアクティブになっている間は 2 段階リードバック・コマンドを使用できますが、`TWO_STAGE_READBACK_SELECT` レジスタまたは `NOP` レジスタ以外のレジスタへ書き込みを行うと、`DIGITAL_DIAG_RESULTS` レジスタの `INVALID_SPI_ACCESS_ERR` ビットがセットされます。出力イネーブルを行う設定シーケンスのセクションに示したように、キャリブレーション・メモリのリフレッシュ・サイクル開始後は、500 μ s の待機時間を置くことを推奨します。

内部発振器の診断

内部周波数モニタは、内部 MCLK を使い、1kHz (MCLK/10,000) のレートで 16 ビット・カウンタを加算します。カウンタ値は `FREQ_MONITOR` レジスタに読み込むことができます。このレジスタを周期的にポーリングし、内部発振器の診断ツール (発振器動作のモニタ) として使用したり、発振器周波数の測定に使用したりすることができます。このカウンタ機能は、`DIGITAL_DIAG_CONFIG` レジスタの `FREQ_MON_EN` ビットによりデフォルトで有効になっています。

MCLK が停止した場合、AD5753 はすべての SPI フレームについて、`0x07DEAD` という特別なコードを SDO ラインに送信します。この発振器デッド・コード機能はデフォルトで有効になっており、`GP_CONFIG1` レジスタの `OSC_STOP_DETECT_EN` ビットで無効にすることができます。この機能は、表 3 に示す最大リードバック・タイミング仕様によって制限されます。

スティッキー診断結果ビット

AD5753 は、デジタルとアナログ 2 つの診断結果レジスタを備えています (診断エラー・ビットについては、それぞれ表 47 と表 48 を参照)。これらのレジスタ内にある診断結果ビットは、スティッキー・ビットです (R/W-I-C)。つまり、エラー・ビットをクリアするには 1 を書き込む必要があります。ただし、故障状態が続いている場合は、対象ビットに 1 を書き込んでもエラー・ビットがクリアされて 0 になることはありません。ビットにロジック 1 を書き込むと、そのビットは最新の値に更新されます。つまり、故障状態が続いている場合はロジック 1、故障状態が解消されている場合はロジック 0 です。

`DIGITAL_DIAG_RESULTS` レジスタ内でのこの R/W-I-C アクセスには、`CAL_MEM_UNREFRESHED` と `SLEW_BUSY` という 2 つの例外があります。これらのフラグは、キャリブレーション・メモリのリフレッシュ時、または出力スルーの完了時に自動的にクリアされます。

ステータス・レジスタには `DIG_DIAG_STATUS` ビットと `ANA_DIAG_STATUS` ビットが含まれており、これらは共に、それぞれの診断結果レジスタに含まれる診断結果ビットを論理 OR した結果です。すべてのアナログ診断フラグ・ビットは `ANA_DIAG_STATUS` ビットの論理 OR に含まれており、`SLEW_BUSY` ビットを除くすべてのデジタル診断フラグ・ビットは `DIG_DIAG_STATUS` の論理 OR に含まれています。ステータス・レジスタ内の OR により求められたビットは読み出し専用で、スティッキー・ビット (R/W-I-C) ではありません。

バックグラウンドでの電源および温度モニタリング

ダイの過熱と過電圧は、故障の一般的な原因となり得ることが知られています。これらの状態はコンパレータを使用して継続的に監視可能で、ADC にポーリングを行う必要はありません。

どちらのダイにも、精度 $\pm 5^{\circ}\text{C}$ の温度センサーが組み込まれています。ダイ温度はコンパレータによってモニタされ、背景温度コンパレータは常時イネーブルされています。142 $^{\circ}\text{C}$ 、127 $^{\circ}\text{C}$ 、112 $^{\circ}\text{C}$ 、および 97 $^{\circ}\text{C}$ に対応するプログラマブル・トリップ・ポイント、`GP_CONFIG1` レジスタで設定できます。いずれかのダイの温度が設定制限値を超えると、`ANALOG_DIAG_RESULTS` レジスタ内の対応ビットがセットされて、`FAULT` ピンがローにアサートされます。

AD5753 の低電圧電源は、低消費電力のスタティック・コンパレータを介してモニタされます。このモニタリング機能はデフォルトでは無効になっており、`GP_CONFIG2` レジスタの `COMPARATOR_CONFIG` ビットで有効にします。REFIN パッファをパワーアップして REFIN コンパレータがこのノードを使用できるようにするには、`DAC_CONFIG` レジスタの `INT_EN` ビットをセットする必要があります。モニタされるノードは、REFIN、REFOUT、 V_{LDO} 、および `INT_AVCC` です。`ANALOG_DIAG_RESULTS` レジスタには、モニタする各ノードに対応するステータス・ビットがあります。モニタされているいずれかのノードの電源が上限または下限閾値を超えると (閾値は表 16 を参照)、対応するステータス・ビットがセットされます。例えば REFOUT 故障が発生すると、`REFOUT_ERR` ステータス・ビットがセットされます。REFOUT は、`INT_AVCC`、 V_{LDO} 、および温度コンパレータの比較電圧として使われるので、この場合はこれらのノードのステータス・ビットもセットされる可能性があります。ANALOG_DIAG_RESULTS レジスタの他のすべてのステータス・ビットと同様、これらのビットもスティッキー・ビットで、エラー状態が解消された場合にこれらのビットをクリアするには、1 を書き込む必要があります。エラー状態が続いている場合、クリアのために 1 を書き込んでもフラグはハイのままです。

表 16. コンパレータ電源のアクティブ化閾値

Supply	Lower Threshold (V)	Nominal Value/Range (V)	Upper Threshold (V)
INT_AVCC	3.8	4 to 5	5.2
V_{LDO}	2.8	3 to 3.6	3.8
REFIN	2.24	2.5	2.83
REFOUT	2.24	2.5	2.83

出力故障

AD5753 には `FAULT` ピンがあります。このピンはアクティブ・ローのオープンドレイン出力で、複数の AD5753 デバイスを 1 本のプルアップ抵抗で接続してグローバル故障検出を行うことができます。このピンは、故障状態が検出されていない場合は高インピーダンスで、例えば電流モードでのオープン・サーキット、電圧モードでの短絡、CRC エラー、または過熱エラーなどの一定の故障状態が検出されると、ローにアサートされます。表 17 は `FAULT` ピンを自動的にアクティブにする故障状態を示したもので、`FAULT_PIN_CONFIG` レジスタ (表 45 参照) を介して使用できるマスク可能な故障ビットも示されています。すべてのレジスタには、対応する `FAULT` ピン・ステータス・ビットである `FAULT_PIN_STATUS` が含まれており、これは `FAULT` ピンの現在の状態を反転した状態をミラーします。例えば `FAULT` ピンがアクティブな場合は、`FAULT_PIN_STATUS` ビットは 1 です。

表 17. FAULT ピンのトリガ・ソース¹

Fault Type	Mapped to FAULT Pin	Mask Ability
Digital Diagnostic Faults		
Oscillator Stop Detect	Yes	Yes
Calibration Memory Not Refreshed	No	N/A
Reset Detected	No	N/A
3-Wire Interface Error	Yes	No
WDT Error	Yes	Yes
3-Wire Read and Compare Parity Error	Yes	No
DAC Latch Monitor Error	Yes	Yes
Inverse DAC Check Error	Yes	Yes
Calibration Memory CRC Error	Yes	No
Invalid SPI Access	Yes	Yes
SCLK Count Error	Yes	No ²
Slip Bit Error	Yes	Yes
SPI CRC Error	Yes	Yes
Analog Diagnostic Faults		
V _{OUT} Overvoltage Error	Yes	Yes
DC-to-DC Short-Circuit Error	Yes	Yes
DC-to-DC Power Error	Yes	No
Current Output Open Circuit Error	Yes	Yes
Voltage Output Short-Circuit Error	Yes	Yes
DC-to-DC Die Temperature Error	Yes	Yes
Main Die Temperature Error	Yes	Yes
REFFOUT Comparator Error	Yes	No
REFIN Comparator Error	Yes	No
INT_AVCC Comparator Error	Yes	No
V _{LDO} Comparator Error	Yes	No

¹ N/A は適用なしを意味します。

² FAULT_PIN_CONFIG レジスタで SCLK カウント・エラーをマスクすることはできませんが、SPI_DIAG_QUIET_EN ビット (GP_CONFIG1 レジスタのビット D3) をイネーブルすることによって FAULT ピンから除外できます。

ステータス・レジスタの DIG_DIAG_STATUS、ANA_DIAG_STATUS、および WDT_STATUS ビットは、FAULT ピンおよび FAULT_PIN_STATUS ビットと共に使われ、どの故障状態が FAULT ピンまたは FAULT_PIN_STATUS ビットをアクティブにしているかを知らせます。

ADC のモニタリング

AD5753 には、電源、グラウンド、内部ダイ温度、リファレンス、外部信号などのユーザ選択可能入力に関する診断情報を提供するために、12 ビット ADC が組み込まれています。これらすべての選択可能入力のリストを表 18 に示します。ADC リファレンスは REFOUT から得られ、必要に応じて DAC リファレンス (REFIN) に依存しない手段を提供します。ADC_CONFIG レジスタは ADC の動作モード (ユーザが開始する個々の変換またはシーケンス・モード) を設定し、ADC_IP_SELECT ビット (表 44 参照) を介してマルチプレクサを使用した ADC 入力チャンネルを選択します。

ADC 伝達関数の式

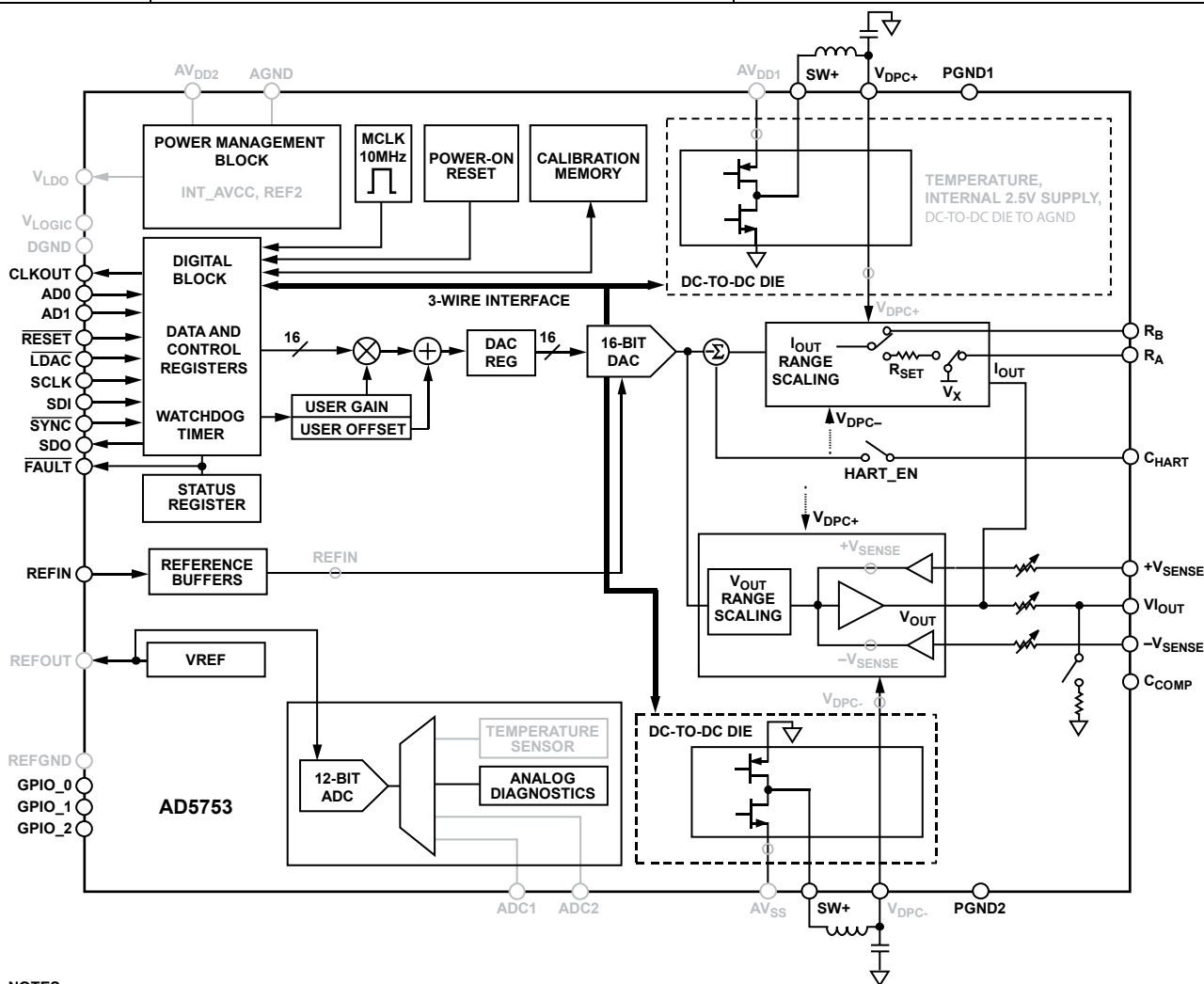
ADC の入力範囲は 0V~2.5V で、様々なノードをデジタル化するために使用できます。ADC への一連の入力信号には範囲がユニポーラのものもあればバイポーラのものもあり、その値も高電圧から低電圧まで様々です。したがって、電圧値をデジタル化できるようにするには、0V~2.5V の ADC 入力範囲から外れる電圧範囲を、この範囲に分圧する必要があります。

ADC の伝達関数の式は、選択した ADC 入力ノードによって異なります。すべての伝達関数式の概要については、表 18 を参照してください。

表 18. ADC 入力ノードの概要

ADC_IP_SELECT	V _{IN} Node Description	ADC Transfer Function
00000	Main die temperature	$T (^{\circ}\text{C}) = (-0.09369 \times D) + 307$ where $D = \text{ADC_CODE}$ (the ADC result)
00001	DC-to-dc die temperature	$T (^{\circ}\text{C}) = (-0.11944 \times D) + 436$
00010	Reserved	Reserved
00011	REFIN	$\text{REFIN (V)} = (D/2^{12}) \times 2.75$
00100	Internal 1.23 V reference voltage (REF2)	$\text{REF2 (V)} = (D/2^{12}) \times 2.5$
00101	Reserved	Reserved
00110	Reserved	Reserved
01100	ADC2 pin input (± 15 V input range)	$\text{ADC2 (V)} = (30 \times D)/2^{12} - 15$
01101	Voltage on the +V _{SENSE} buffer output	$+V_{\text{SENSE}} (\text{V}) = ((50 \times D)/2^{12}) - 25$
01110	Voltage on the -V _{SENSE} buffer output	$-V_{\text{SENSE}} (\text{V}) = ((50 \times D)/2^{12}) - 25$
01111	ADC1 pin input (0 – 1.25 V input range)	$\text{ADC1 (V)} = D/2^{12} \times 1.25$
10000	ADC1 pin input (0 – 0.5 V input range)	$\text{ADC1 (V)} = D/2^{12} \times 2.5 \times 1/5 = D/2^{12} \times 0.5$
10001	ADC1 pin input (0 – 2.5 V input range)	$\text{ADC1 (V)} = D/2^{12} \times 2.5$
10010	ADC1 pin input (± 0.5 V input range)	$\text{ADC1 (V)} = D/2^{12} - 0.5$

ADC_IP_SELECT	V _{IN} Node Description	ADC Transfer Function
10011	Reserved	Reserved
10100	INT_AVCC	$INT_AVCC (V) = D/2^{12} \times 10$
10101	V _{LDO}	$V_{LDO} (V) = D/2^{12} \times 10$
10110	V _{LOGIC}	$V_{LOGIC} (V) = D/2^{12} \times 10$
11000	REFGND	$REFGND (V) = D/2^{12} \times 2.5$
11001	AGND	$AGND (V) = D/2^{12} \times 2.5$
11010	DGND	$DGND (V) = D/2^{12} \times 2.5$
11011	V _{DPC+}	$V_{DPC+} (V) = D/2^{12} \times 37.5$
11100	AV _{DD2}	$AV_{DD2} (V) = D/2^{12} \times 37.5$
11101	V _{DPC-}	$V_{DPC-} (V) = (15 \times D/2^{12} - 14) \times 2.5$
11110	DC-to-dc die node; configured in the DCDC_CONFIG2 register 00: AGND on dc-to-dc die 01: Internal 2.5 V supply on dc-to-dc die 10: AV _{DD1} 11: AV _{SS}	$AGND (dc-to-dc) (V) = (D/2^{12}) \times 2.5$ $Internal\ 2.5\ V\ (dc-to-dc) (V) = (D/2^{12}) \times 5$ $AV_{DD1} (V) = D/2^{12} \times 37.5$ $AV_{SS} (V) = (15 \times D/2^{12} - 14) \times 2.5$ $REFOUT (V) = (D/2^{12}) \times 2.5$
11111	REFOUT	



NOTES
1. GRAY ITEMS REPRESENT DIAGNOSTIC ADC INPUT NODES.

図 85. 診断 ADC 入力ノード

17285-041

ADC の設定

ADC は、ADC_CONFIG レジスタを使い、SEQUENCE_COMMAND ビット (ビット [10:8])、SEQUENCE_DATA ビット (ビット [7:5])、および ADC_IP_SELECT ビット (ビット [4:0]) を介して設定します。ADC_CONFIG レジスタの内容を表 19 に示します。

表 19. ADC 設定レジスタ

[D10:D8]	[D7:D5]	[D4:D0]
Command	Data	ADC input select

ADC は、1 つの対象ノードをモニタするためにセットアップするか、最大 8 個のノードをシーケンシングするように設定することができます。シーケンシャル変換は、デバイスが有効な SPI フレームの受信を完了するごとに自動的に開始したり (自動シーケンス・モード)、特別なキー・コードをキー・レジスタに書き込むことで、管理を強化して行ったりすることができます (キー・シーケンス・モード)。変換が完了すると ADC の結果がステータス・レジスタ内に置かれて、シーケンス・モードの場合は次のシーケンサ・アドレスへ進みます。自動ステータス・リードバック・モードをどちらかのシーケンス・モードと共に使用する場合は、SPI フレームがデバイスに書き込まれるごとに、最後に完了した ADC 変換データを SDO で使用することができます。

シーケンサ・コマンドの最大チャンネル深度は 8 チャンネルです。シーケンサ内の各チャンネルは、ADC_IP_SELECT ビットを介し、そのシーケンサ・チャンネルに必要な ADC の入力で設定する必要があります。設定チャンネル数はチャンネル深度に等しくなければなりません。アクティブなシーケンサ・チャンネルの位置が正しく設定されていない場合、そのシーケンサには直前にロードされたチャンネル値が保存され、イネーブルされたその他すべてのシーケンサ・チャンネルは 0b00000 がデフォルトになります。DC/DC ダイオードの 1 つを ADC シーケンサの一部とする必要がある場合は、1 つの ADC 変換と別の ADC 変換の間に 3 線式インターフェースに関わる遅延が生じるのを避けるため、ADC シーケンサを設定する前に、DCDC_CONFIG2 レジスタの DCDC_ADC_CONTROL_DIAG ビットを使って、この設定を行います。シーケンスの中で DC/DC ダイオードの複数ノードが必要な場合は、自動シーケンシング・モードではなくキー・シーケンシング・モードを使用する必要があります。これは、ADC 変換と ADC 変換の間に DCDC_ADC_CONTROL_DIAG ビットを更新して、シーケンサが次の DC/DC ダイオードノードを設定しなければならないからです。

ADC の動作モードは、キー・シーケンシング、自動シーケンシング、シングル即時変換、およびシングル・キー変換の 4 つです。これらのシーケンシング・モードは相互に排他的な関係にあるので、キー・シーケンシング・モードを有効にすると、自動シーケンシング・モードは無効になります。逆の場合も同様です。

キー・シーケンシング (コマンド 010)

ADC_CONFIG レジスタのコマンド・ビットに 010 を書き込むと、キー・シーケンシング・モードが有効になります。キー・シーケンシングは、キー・レジスタにキー・コード 0x1ADC を書き込むことによって開始され、チャンネル 0 から始まって、すべての 0x1ADC コマンドごとにチャンネル N-1 まで続きます。ここで、N はチャンネル深度です。自動シーケンス・モード時のように、スイッチングは有効な SPI フレームごとではなく、特定のキー・コード・コマンドに対してのみ行われるので、このモードではシーケンシング時にユーザがチャンネルのスイッチングを制御できます。シーケンスが完了すると、無効化されるまで再びチャンネル 0 から開始されます。コマンド 0b010 を送出する前に、コマンド 000 とコマンド 001 を使用して必要な

すべてのチャンネルを設定し、キー・シーケンシング・モードを有効にする必要があります (図 86 参照)。シーケンシングが無効化され、その後再度有効化された場合は、シーケンスの最初のチャンネルで変換を再開するためにシーケンサがリセットされます。

自動シーケンシング (コマンド 011)

シーケンシングは次の有効な SPI フレームから開始され、チャンネル 0 から始まってチャンネル N-1 まで続きます。ここで、N はすべての有効な SPI フレームのチャンネル深度です。シーケンスが完了すると、無効化されるまで再びチャンネル 0 から開始されます。キー・シーケンシング・モードの場合同様、コマンド 011 を送出する前に、コマンド 000 とコマンド 001 を使用して必要なすべてのチャンネルを設定し、自動シーケンシング・モードを有効にする必要があります (図 86 参照)。シーケンシングが無効化され、その後再度有効化された場合は、シーケンスの最初のチャンネルで変換を再開するためにシーケンサがリセットされます。再度有効化する際、必要なノードのリストに変更がある場合を除き、チャンネルを再設定する必要はありません。最新の ADC 結果を使用できるようにするために、自動シーケンシングは自動ステータス・リードバック・モードと共に使用してください。

シングル即時変換 (コマンド 100)

シングル即時変換モードは、ADC_CONFIG レジスタの ADC_IP_SELECT ビットによって現在選択されているノード上で、シングル変換を開始します。このコマンドを選択すると、アクティブな自動シーケンスがすべて停止します。したがって、シーケンサが必要な場合は再度有効にする必要があります。ただし、そのシーケンスの深度とチャンネルの設定は保存されているので、設定をやり直す必要はありません。

シングル・キー変換 (コマンド 101)

シングル・キー変換モードは、変換する個々の ADC 入力ノードのセットアップに使われ、キー・レジスタに 0x1ADC のキー・コードを書き込むことによって開始されます。

シーケンシング・モードのセットアップ

関係する ADC シーケンサ・コマンドのリストを表 20 に示します。これらのコマンドは ADC_CONFIG レジスタで使用できます。ADC_CONFIG レジスタのビットについては、表 44 を参照してください。デフォルト深度 (000) は 1 診断チャンネルに相当し、最大バイナリ深度値の 111 は 8 チャンネルに相当します。

表 20. コマンド・ビット

値	説明
000	シーケンサ深度 (0~7) を設定します。
001	選択した ADC 入力力でシーケンサのチャンネル N をロードします。
010	キー・シーケンサをイネーブルまたはディスエーブルします。
011	自動シーケンサをイネーブルまたはディスエーブルします。
100	現在選択されている ADC 入力上でシングル変換を実行します。
101	シングル・キー変換をセットアップします。つまり、キー・レジスタへの書き込みで 0x1ADC キーが書き込まれたときに使用する ADC マルチプレクサ入力を選択します (この変換はキー・シーケンシング・モード外で行われます)。

シーケンサをセットアップするには、以下の手順に従ってください。

1. 深度を選択します。
2. シーケンサにチャンネルをロードします。Nチャンネルの場合はN回ロードしてください。
3. シーケンサをイネーブルします。シーケンサをイネーブルすると最初の変換が開始されます。

3つのADCノードをモニタするシーケンサの設定例を図86に示します。

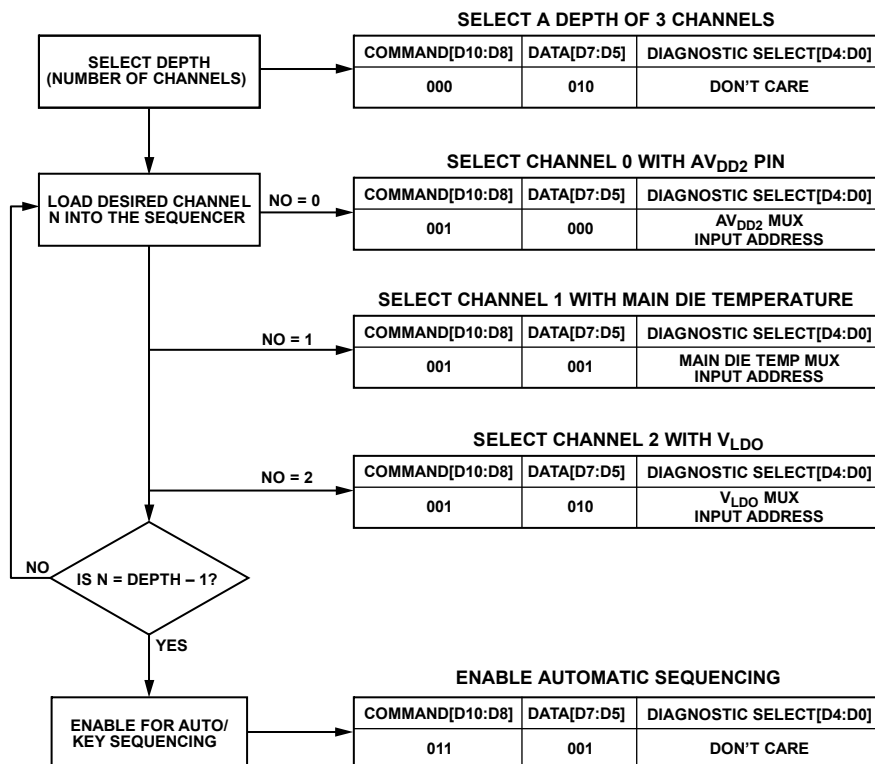


図 86. 3つのADC入力ノードに対する自動シーケンス・モードのセットアップ例

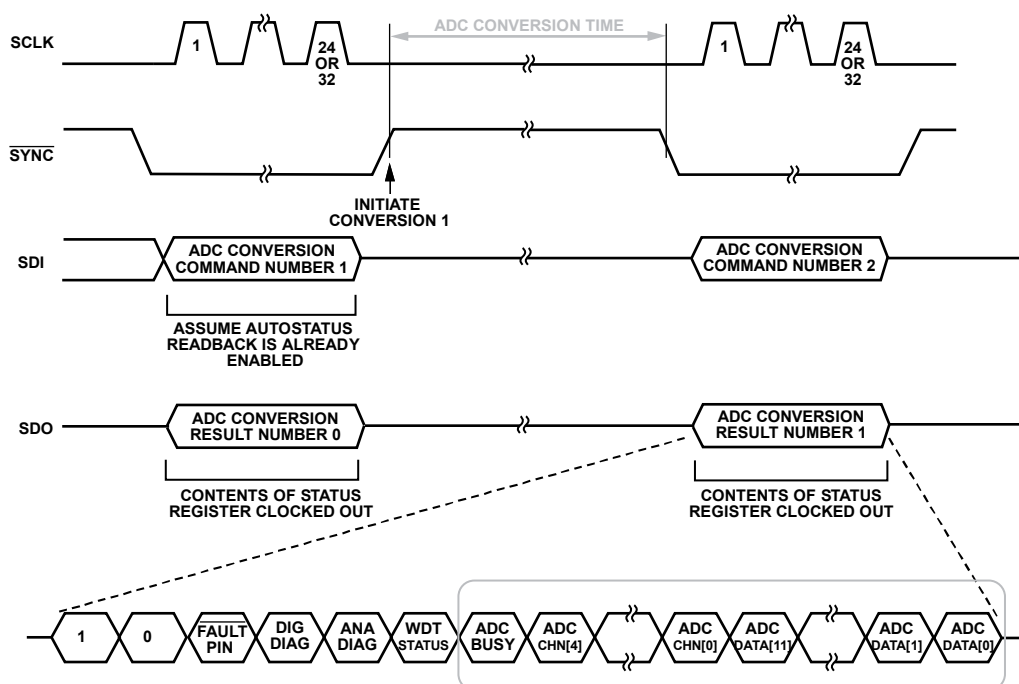
17285-031

ADC 変換のタイミング

自動ステータス・リードバック・モードを有効にした場合の例を、図 87 に示します。ステータス・レジスタには、最後に完了した ADC 変換の結果と、それに対応するマルチプレクサ・アドレス ADC_IP_SELECT が常に含まれています。

この例は、使用している ADC 変換モード（キー・シーケンシング、自動シーケンシング、シングル即時変換、シングル・キー変換）に関わらず適用できます。図に示す最初の ADC 変換コマンドの間は、SDO ラインでステータス・レジスタの内容を使用できます。このデータの ADC 部分には、1 つ前に変換された

ADC ノードの変換結果（ADC 変換結果 0）と、それに対応するチャンネル・アドレスが含まれています。ADC がコマンド 1（Command 1）の処理でビジー状態の間に別の SPI フレームが受信されなかった場合、SDO ラインに現れる次のデータには、対応する変換結果（ADC Conversion Result 1）が含まれます。しかし、ADC がビジー状態の間に SPI フレームが受信された場合、SDO で使用できるステータス・レジスタの内容にはやはり 1 つ前の変換結果が含まれ、ADC_BUSY フラグがハイになります。ADC_BUSY ビットがアクティブになっている間に受信された新しい ADC 変換命令は、すべて無視されます。シーケンス・モードを使用する場合は、変換完了後にシーケンサ・アドレスが更新されます。



- NOTES
1. STATUS REGISTER CONTENTS CONTAINING ADC CONVERSION RESULT, CORRESPONDING ADDRESS, AND ADC BUSY INDICATOR.
 2. GRAY ITEMS HIGHLIGHT THE ADC BITS OF THE DATA FRAME SHOWN.

図 87. ADC 変換のタイミング例

17285-034

レジスタ・マップ

AD5753 の制御と設定は、レジスタの詳細のセクションに示す 29 個のオンチップ・レジスタを介して行われます。使用可能な 4 つのアクセス許可を以下に示します。

- R/W：読出しまたは書込み
- R：読出し専用
- R/W-1-C：読出し、または 1 を書き込んでクリア
- R0：ゼロを読出し
- R0/W：ゼロを読出し、または書込み

予備レジスタの読出しと書込みは、無効な SPI アクセスとしてフラグされます。予備ビット・フィールドのあるレジスタにアクセスするときは、これらのビット・フィールドのデフォルト値を書き込む必要があります。これらの値は、表 27～表 52 のリセット列に示されています。

表 21. レジスタへの書込み

MSB								LSB
D23	D22	D21	D20	D19	D18	D17	D16	[D15:D0]
AD1	AD1	AD0	REG_ADR4	REG_ADR3	REG_ADR2	REG_ADR1	REG_ADR0	Data

表 22. 入力レジスタ・デコード

ビット	説明
AD1	スリップ・ビット。このビットはビット D22 を反転した値、つまり AD1 に等しくなければなりません。外部ピン AD1 及び AD0 と共に使用し、システム・コントローラでどの AD5753 デバイスをアドレス指定するかを決定します。AD1 と AD0 のアドレス 0b00、0b01、0b10、および 0b11 に対応する最大 4 個のデバイスのアドレスを個別に指定できます。
AD1, AD0	
REG_ADR4, REG_ADR3, REG_ADR2, REG_ADR1, REG_ADR0	どのレジスタに書込みを行うかを選択します。使用可能なレジスタの概要については、表 26 を参照してください。

レジスタへの書込み

レジスタへの書込みには表 21 のフォーマットを使用します。デフォルトでは SPI CRC が有効になっています。入力レジスタの幅は 32 ビットで、最後の 8 ビットは CRC コードに対応していません。正確に 32 ビット幅のフレームのみが有効なフレームとして受け入れられます。CRC が無効な場合、入力レジスタは 24 ビット幅です。32 ビット・フレームも受け入れられますが、最後の 8 ビットは無視されます。ビット D23 からビット D16 までのビット名と機能を表 22 に示します。ビット D15 からビット D0 は、アドレス指定されたレジスタによって異なります。

レジスタからの読出し

AD5753 では 4 つのリードバック・モードを選択可能で、TWO_STAGE_READBACK_SELECT レジスタで設定できます (表 46 参照)。これらのオプションは次のとおりです。

- 2 段リードバック
- 自動ステータス・リードバック
- 共有 SYNC 自動ステータス・リードバック
- エコー・モード

2 段リードバック・モード

2 段リードバック・モードは、リードバックするレジスタの位置を選択するための TWO_STAGE_READBACK_SELECT レジスタへの書込みと、その後の NOP コマンド入力で構成されます。NOP コマンドを実行するには、NOP レジスタのビット [D15:D0] のすべてにゼロを書き込みます (表 27 を参照)。NOP コマンドの間、選択したレジスタの内容は表 23 に示すデータ・フレーム・フォーマットで SDO に出力されます。2 番目のフレームで新しい 2 段リードバック・コマンドを書き込み、対応する新しいデータをその後のフレームで SDO ピンに出力することも可能です (図 88 参照)。ビット [D31:D30] (SPI CRC が有効でない場合はビット [D23:D22]) = 0b10 が、リードバック時の同期の一部として使われます。TWO_STAGE_READBACK_SELECT レジスタへの最初の書込み命令の内容を表 24 に示します。

表 23. 読出し操作時の SDO の内容

MSB			LSB
[D23:D22]	D21	[D20:16]	[D15:D0]
0b10	FAULT pin status	Register address	Data

表 24. 2 段リードバック・モードを使用してのレジスタ読出し

MSB											LSB			
D23	D22	D21	D20	D19	D18	D17	D16	[D15:D5]	D4	D3	D2	D1	D0	
AD1	AD1	AD0	0x13				Reserved		READBACK_SELECT[4:0]					

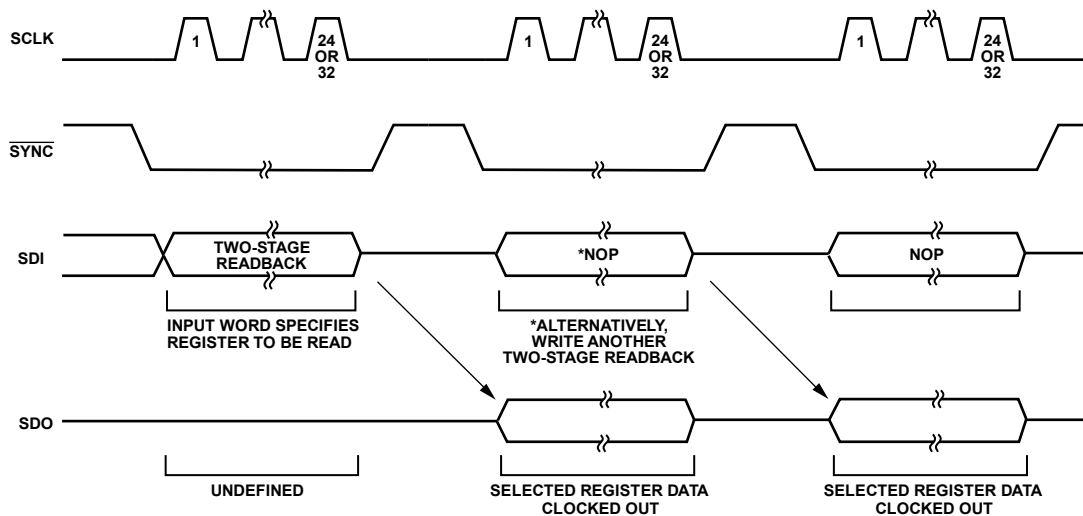


図 88. 2 段リードバックの例

自動ステータス・リードバック・モード

自動ステータス・リードバック・モードを選択した場合は、毎回の SPI トランザクションの間、SDO ラインでステータス・レジスタの内容を出力することができます。ステータス・レジスタをリードバックする場合、SDO の内容は表 23 に示すデータ・フレーム・フォーマットと異なります。ステータス・レジスタの内容を表 25 に示します。

自動ステータス・リードバック・モードは、ADC シーケンサと共に使用して、最大 8 個の異なる ADC 入力を連続的にモニタできます。ADC シーケンサの詳細については、ADC のモニタリングのセクションを参照してください。自動リードバック・モードは、TWO_STAGE_READBACK_SELECT レジスタの READBACK_MODE ビットで設定できます (2 段リードバック選択レジスタのセクションを参照)。自動ステータス・リードバック用のデータ・フレームの例を図 89 に示します。

表 25. ステータス・レジスタの読み出し動作に関する SDO の内容

MSB								LSB	
D23	D22	D21	D20	D19	D18	D17	[D16:D12]	[D11:D0]	
1	0	FAULT_PIN_STATUS	DIG_DIAG_STATUS	ANA_DIAG_STATUS	WDT_STATUS	ADC_BUSY	ADC_CH[4:0]	ADC_DATA[11:0]	

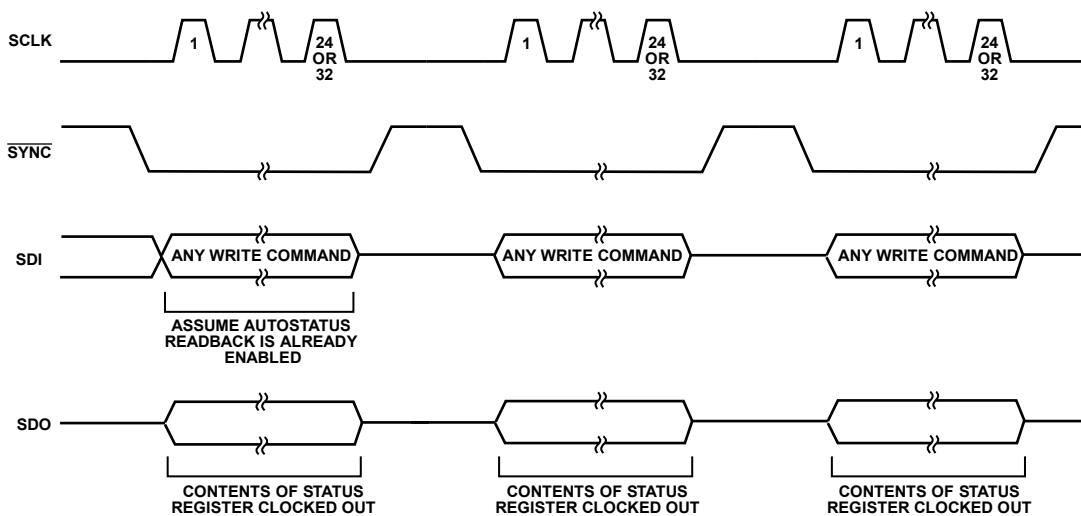


図 89. 自動ステータス・リードバックの例

17285-038

共有 SYNC 自動ステータス・リードバック・モード

共有 SYNC 自動ステータス・リードバックは自動ステータス・リードバックの特別なバージョンで、複数の AD5753 デバイスが同じ SYNC ラインを共有している場合に、SDO バスの競合を避けるために使われます。この場合、それぞれの AD5753 の識別はハードウェア・アドレス・ピンを使って行います。デバイスへの有効な書き込み後はその都度内部フラグがセットされ、その後の SYNC の立下がりエッジでそのフラグがクリアされます。共有 SYNC 自動ステータス・リードバック・モードでは、内部フラグがセットされていない限り（つまり 1 つ前の SPI 書き込みが有効な場合）、SYNC がローになってもデバイスはステータス・レジスタの内容を SDO に出力しませんが、この点を除けば通常の自動ステータス・リードバック・モードと同様に動作し

ます。図 90 に示す例を参照してください。共有 SYNC 自動ステータス・リードバック・モードは、2 段リードバック選択レジスタの READBACK_MODE ビットで設定します（2 段リードバック選択レジスタのセクションを参照）。

エコー・モード

エコー・モードも自動ステータス・リードバックと同様に動作しますが、2 回目のリードバックが、すべてその前に行われた AD5753 へのコマンド書き込みのエコーで構成される点が異なります。エコー・モードは、1 つ前の SPI フレームでどの SPI 命令が受信されたかをチェックするために使用できます。エコー・モードは、2 段リードバック選択レジスタの READBACK_MODE ビットで設定できます（2 段リードバック選択レジスタのセクションを参照）。

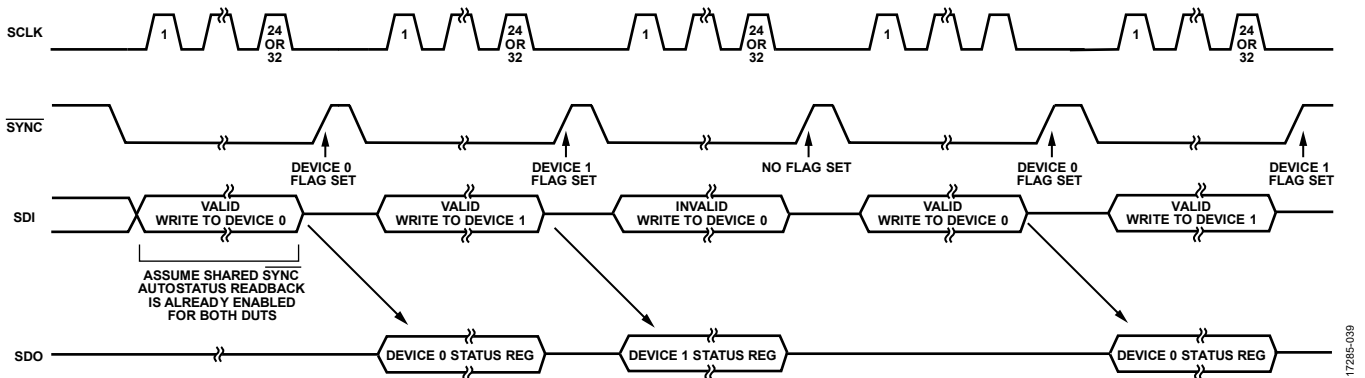


図 90. 共有 SYNC 自動ステータス・リードバックの例



図 91. SDO の内容-エコー・モード

出力イネーブルを行う設定シーケンス

パワーオンまたはリセット状態から AD5753 への書き込みと設定を行うには、次の手順に従ってください。

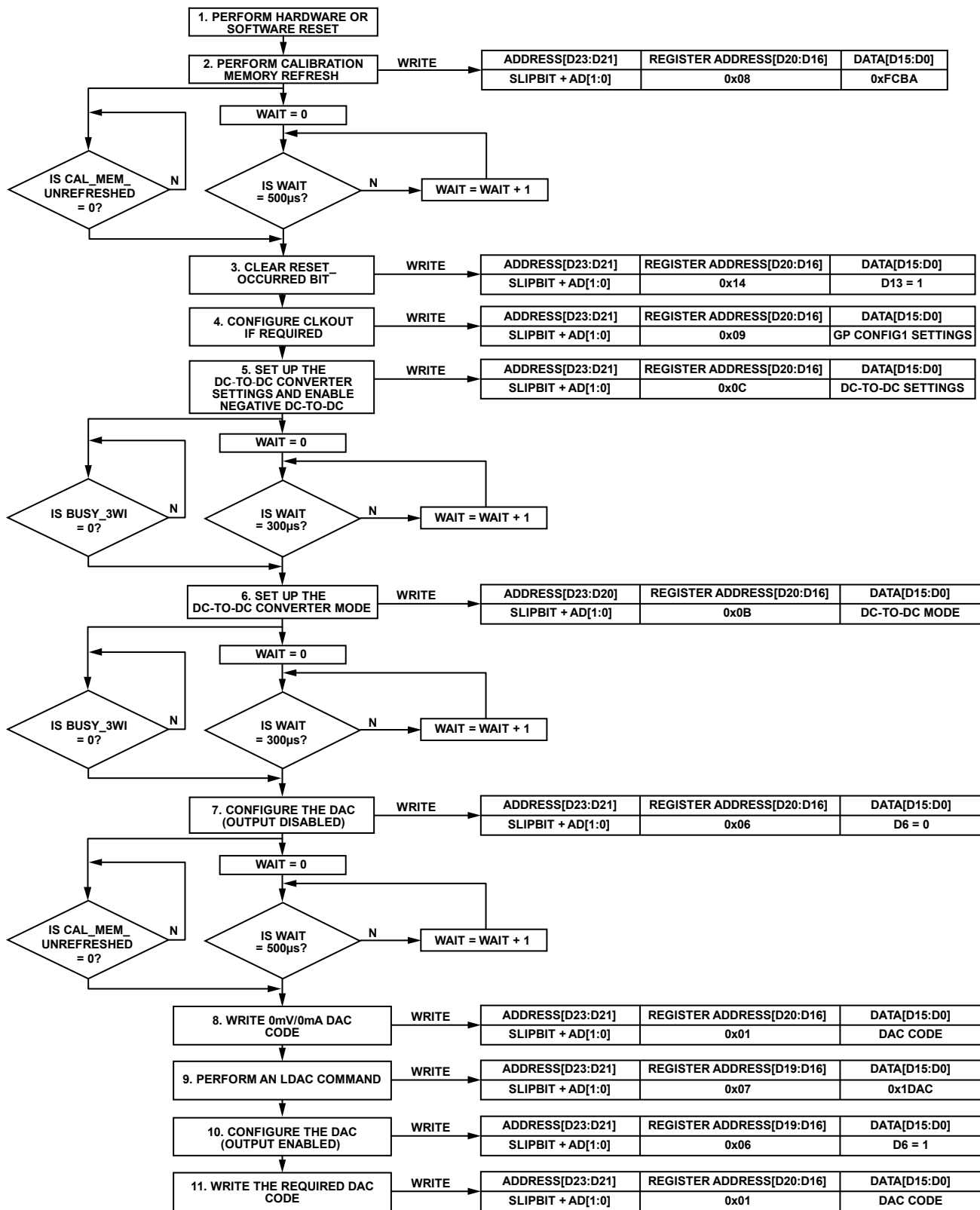
1. ハードウェア・リセットまたはソフトウェア・リセットを行い、100 μ s 待ちます。
2. キー・レジスタに 0xFCBA を書き込んで、キャリブレーション・メモリのリフレッシュを行います。内部キャリブレーションを完了させるために、ステップ 3 へ進む前に少なくとも 500 μ s 待ちます。リフレッシュ・サイクルを完了させるために 500 μ s 待つ代わりに、DIGITAL_DIAG_RESULTS レジスタの CAL_MEM_UNREFRESHED ビットが 0 になるまでポーリングを行うこともできます。
3. DIGITAL_DIAG_RESULTS レジスタのビット D13 に 1 を書き込んで、RESET_OCCURRED フラグをクリアします。
4. CLKOUT 信号が必要な場合は、GP_CONFIG1 レジスタを介して CLKOUT を設定し、有効にします。DC/DC コンバータをイネーブルする前にこの機能を設定することが重要です。
5. DC/DC 電流制限を設定して負の DC/DC コンバータをイネーブルするには（負の DPC を使用する場合）、DCDC_CONFIG2 レジスタへ書き込みを行います。3 線式インターフェースの通信を完了できるように 300 μ s 待ちます。3 線式インターフェースの通信を完了させるには、300 μ s 待つ代わりに、DCDC_CONFIG2 レジスタの BUSY_3WI ビットが 0 になるまでポーリングを行うこともできます。
6. DC/DC コンバータ・モードをセットアップすることによって DC/DC コンバータをイネーブルするには、DCDC_CONFIG1 レジスタに書き込みを行います。3 線式インターフェースの通信を完了できるように 300 μ s 待ちます。3 線式インターフェースの通信を完了させるには、300 μ s 待つ代わりに、DCDC_CONFIG2 レジスタの BUSY_3WI ビットが 0 になるまでポーリングを行うこともできます。
7. DAC_CONFIG レジスタに書き込みを行って INT_EN ビットをセットし、これによりチャンネル出力をイネーブルせずに DAC と内蔵アンプをパワーアップして、出力範囲、内蔵/外付け R_{SET}、およびスルー・レートを設定します。この時点では OUT_EN ビットをディスエーブルに維持してください。内部キャリブレーションを完了させるために、ステップ 8 へ進む前に少なくとも 500 μ s 待ちます。リフレッシュ・サイクルを完了させるには、500 μ s 待つ代わりに、DIGITAL_DIAG_RESULTS レジスタの CAL_MEM_UNREFRESHED ビットが 0 になるまでポーリングを行うこともできます。
8. DAC_INPUT レジスタにゼロスケール DAC コードを書き込みます。ステップ 7 でバイポーラ・レンジを選択した場合は、0mA/0V 出力を表す DAC コードを DAC_INPUT レジスタに書き込む必要があります。DAC_INPUT レジスタの内容が変わっていない場合でも、このステップを完了させることが重要です。
9. LDAC 機能を使用する場合は、ソフトウェアまたはハードウェア LDAC コマンドを実行します。
10. DAC_CONFIG レジスタにステップ 7 と同じワードを書き込みますが、ここでは OUT_EN ビットをイネーブルします。ステップ 6 からステップ 9 までには、少なくとも 1.25ms の時間をかけてください。これは、DC/DC コンバータをイネーブルしてから VI_{OUT} 出力をイネーブルするまでの時間です。
11. DAC_INPUT レジスタに必要な DAC コードを書き込みます。プログラミング・シーケンスの変更例を図 92 に示します。

範囲の変更と再設定

出力をイネーブルした後、以下の手順に従って出力範囲を変更します。

1. DAC_INPUT レジスタに書き込みを行います。出力を 0mA または 0V に設定します。
2. DAC_CONFIG レジスタに書き込みを行います。出力をディスエーブルして (OUT_EN = 0)、新しい出力範囲を設定します。INT_EN ビットはセットしたままにしてください。内部キャリブレーションを完了させるために、ステップ 3 へ進む前に少なくとも 500 μ s 待ちます。
3. DAC_INPUT レジスタにコード 0x0000 (バイポーラ・レンジの場合はコード 0x8000) を書き込みます。DAC_INPUT レジスタの内容が変わっていない場合でも、このステップを完了させることが重要です。
4. ステップ 2 の DAC_CONFIG レジスタ・ワードを再ロードし、OUT_EN ビットを 1 に設定して出力をイネーブルします。
5. DAC_INPUT レジスタに必要な DAC コードを書き込みます

EXAMPLE CONFIGURATION TO ENABLE THE OUTPUT CORRECTLY



NOTES

1. AD[1:0] ARE THE ADDRESS BITS AD1 AND AD0.

図 92. 出力を正しくイネーブルする設定の例 (わかりやすくするために、CRCは無効)

レジスタの詳細

表 26. レジスタの一覧

アドレス	名前	説明	リセット	アクセス
0x00	NOP	NOP レジスタ。	0x000000	R0/W
0x01	DAC_INPUT	DAC 入力レジスタ。	0x010000	R/W
0x02	DAC_OUTPUT	DAC 出力レジスタ。	0x020000	R
0x03	CLEAR_CODE	クリア・コード・レジスタ。	0x030000	R/W
0x04	USER_GAIN	ユーザ・ゲイン・レジスタ。	0x04FFFF	R/W
0x05	USER_OFFSET	ユーザ・オフセット・レジスタ。	0x058000	R/W
0x06	DAC_CONFIG	DAC 設定レジスタ。	0x060C00	R/W
0x07	SW_LDAC	ソフトウェア LDAC レジスタ。	0x070000	R0/W
0x08	Key	キー・レジスタ。	0x080000	R0/W
0x09	GP_CONFIG1	汎用設定 1 レジスタ。	0x090204	R/W
0x0A	GP_CONFIG2	汎用設定 2 レジスタ。	0x0A0200	R/W
0x0B	DCDC_CONFIG1	DC/DC 設定 1 レジスタ。	0x0B0000	R/W
0x0C	DCDC_CONFIG2	DC/DC 設定 2 レジスタ。	0x0C0100	R/W
0x0D	GPIO_CONFIG	GPIO 設定レジスタ	0x0D0000	R/W
0x0E	GPIO_DATA	GPIO データ・レジスタ	0x0E0000	R/W
0x0F	WDT_CONFIG	WDT 設定レジスタ。	0x0F0009	R/W
0x10	DIGITAL_DIAG_CONFIG	デジタル診断設定レジスタ。	0x10005D	R/W
0x11	ADC_CONFIG	ADC 設定レジスタ。	0x110000	R/W
0x12	FAULT_PIN_CONFIG	FAULTピン設定レジスタ。	0x120000	R/W
0x13	TWO_STAGE_READBACK_SELECT	2段リードバック選択レジスタ。	0x130000	R/W
0x14	DIGITAL_DIAG_RESULTS	デジタル診断結果レジスタ。	0x14A000	R/W-1-C
0x15	ANALOG_DIAG_RESULTS	アナログ診断結果レジスタ。	0x150000	R/W-1-C
0x16	Status	ステータス・レジスタ。	0x100000	R
0x17	CHIP_ID	チップ ID レジスタ。	0x170101	R
0x18	FREQ_MONITOR	周波数モニタ・レジスタ。	0x180000	R
0x19	Reserved	予備。	0x190000	R
0x1A	Reserved	予備。	0x1A0000	R
0x1B	Reserved	予備。	0x1B0000	R
0x1C	DEVICE_ID_3	ジェネリック ID レジスタ。	0x1C0000	R

NOP レジスタ

アドレス：0x00、リセット：0x000000、レジスタ名：NOP

無操作 (NOP) コマンドを実行するには、このアドレスのビット [D15:D0] に 0x0000 を書き込みます。このレジスタのビット [D15:D0] (表 21 参照) は常に 0x0000 としてリードバックされます。

表 27. NOP のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	NOP command	NOP コマンドを実行するには 0x0000 を書き込みます。	0x0	R0/W

DAC 入力レジスタ

アドレス：0x01、リセット：0x010000、レジスタ名：DAC_INPUT

ビット [D15:D0] は、DAC に書き込む 16 ビット・データで構成されます。LDAC ピンをロー（アクティブ）に接続した場合は、LDAC 機能に関わりなく、DAC_INPUT レジスタの内容が DAC_OUTPUT レジスタに直接書き込まれます。LDAC ピンをハイに接続した場合は、LDAC ピンをローにするソフトウェア LDAC コマンドを書き込むと、DAC_INPUT レジスタの内容が DAC_OUTPUT レジスタに書き込まれます。

表 28. DAC_INPUT のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	DAC_INPUT_DATA	DAC 入力データ。	0x0	R/W

DAC 出力レジスタ

アドレス：0x02、リセット：0x020000、レジスタ名：DAC_OUTPUT

DAC_OUTPUT は読出し専用レジスタで、最新の補正済み 16 ビット DAC 出力値が格納されます。WDT 故障のためにクリア・イベントが発生した場合、このレジスタには、DAC が別のコードに更新されるまでクリア・コードが格納されます。

表 29. DAC_OUTPUT のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	DAC_OUTPUT_DATA	DAC 出力データ。例えば、最後に補正された 16 ビット DAC 出力値。	0x0	R

クリア・コード・レジスタ

アドレス：0x03、リセット：0x030000、レジスタ名：CLEAR_CODE

CLEAR_CODE レジスタに書き込みを行う場合のビット [D15:D0] はクリア・コードで構成され、クリア・イベント（例えば WDT 故障）発生時はこのクリア・コードで DAC がクリアされます。クリア・イベント後、DAC_INPUT レジスタには DAC に書き込む 16 ビット・データを再度書き込む必要があります。これは、書き込むデータがクリア・イベント前に書き込まれていたデータと同じものであっても同様です。ハードウェアまたはソフトウェアに対して LDAC 書き込みを行っても、DAC_OUTPUT レジスタは、最初に DAC_INPUT レジスタに書き込みが行われるまで新しいコードに更新されません。

表 30. CLEAR_CODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	CLEAR_CODE	クリア・コード。例えば WDT 故障などのクリア・イベントが発生すると、DAC はこのコードにクリアされます。	0x0	R/W

ユーザ・ゲイン・レジスタ

アドレス：0x04、リセット：0x04FFFF、レジスタ名：USER_GAIN

16 ビットの USER_GAIN レジスタを使うと、DAC チャンネルのゲインを 1LSB ステップで調整することができます。USER_GAIN レジスタのコーディングはストレート・バイナリです。デフォルト・コードは 0xFFFF です。理論的には、全出力範囲にわたってゲインを調整することができます。ただし、精度を保つために推奨されるゲイン調整は、最大でも設定範囲の約 50% です。

表 31. USER_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	USER_GAIN	ユーザ・ゲイン訂正コード。	0xFFFF	R/W

ユーザ・オフセット・レジスタ

アドレス：0x05、リセット：0x058000、レジスタ名：USER_OFFSET

16 ビットの USER_OFFSET レジスタを使うと、DAC チャンネルのオフセットを-32,768LSB~+32,768LSB の範囲で 1LSB ステップごとに調整できます。USER_OFFSET レジスタのコーディングはストレート・バイナリです。デフォルト・コードは 0x8000 で、この場合、出力のオフセット設定はゼロになります。

表 32. USER_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	USER_OFFSET	ユーザ・オフセット訂正コード。	0x8000	R/W

DAC 設定レジスタ

アドレス：0x06、リセット：0x060C00、レジスタ名：DAC_CONFIG

DAC_CONFIG レジスタは、DAC の設定（範囲、内蔵/外付け R_{SET}、および出力イネーブル）、出力段回路のイネーブル、スルー・レート制御機能の設定を行います。

表 33. DAC_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:13]	SR_STEP	スルー・レート・ステップ。スルー・レート・ステップはスルー・レート・クロックと組み合わせて使い、更新ごとの出力値の変化の大きさを指定します。同時に、両パラメータにより出力値の変化レートが指定されます。 000：4LSB（デフォルト）。 001：12LSB。 010：64LSB。 011：120LSB。 100：256LSB。 101：500LSB。 110：1820LSB。 111：2048LSB。	0x0	R/W
[12:9]	SR_CLOCK	スルー・レート・クロック。スルー・レート・クロックは、デジタル・スルーが更新されるレートを定義します。 0000：240kHz。 0001：200kHz。 0010：150kHz。 0011：128kHz。 0100：64kHz。 0101：32kHz。 0110：16kHz（デフォルト）。 0111：8kHz。 1000：4kHz。 1001：2kHz。 1010：1kHz。 1011：512Hz。 1100：256Hz。 1101：128Hz。 1110：64Hz。 1111：16Hz。	0x6	R/W
8	SR_EN	スルー・レート制御を有効にします。 0：無効（デフォルト）。 1：有効。	0x0	R/W
7	RSET_EXT_EN	外付けの電流設定抵抗をイネーブルします。 0：内蔵 R _{SET} 抵抗をイネーブル（デフォルト）。 1：外付け R _{SET} 抵抗をイネーブル。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
6	OUT_EN	V _{OUT} をイネーブルします。 0 : V _{OUT} 出力をディスエーブル (デフォルト)。 1 : V _{OUT} 出力をイネーブル。	0x0	R/W
5	INT_EN	内蔵バッファをイネーブルします。 0 : 無効 (デフォルト)。 1 : 有効。このビットをセットすると DAC と内蔵アンプがパワーアップされますが、出力はイネーブルされません。このビットをセットしてから出力をイネーブルするまでに、200 μ s を超える遅延を設けることを推奨します。この遅延は、出力イネーブル・グリッチを減少させます。	0x0	R/W
4	OV RNG_EN	20%の電圧オーバーレンジをイネーブルします。 0 : 無効 (デフォルト)。 1 : 有効。	0x0	R/W
[3:0]	Range	出力範囲を選択します。範囲ビットの内容を変更すると、内部キャリブレーション・メモリのリフレッシュが開始されます。その結果、その後の SPI 書込みは DIGITAL_DIAG_RESULTS レジスタの CAL_MEM_UNREFRESHED ビットが 0 に戻るまで行えなくなります。無効な範囲コードへの書込みは無視されます。 0000 : 0V~5V の電圧範囲 (デフォルト)。 0001 : 0V~10V の電圧範囲。 0010 : $\pm 5V$ の電圧範囲。 0011 : $\pm 10V$ の電圧範囲。 1000 : 0mA~20mA の電流範囲。 1001 : 0mA~24mA の電流範囲。 1010 : 4mA~20mA の電流範囲。 1011 : $\pm 20mA$ の電流範囲。 1100 : $\pm 24mA$ の電流範囲。 1101 : -1mA~+22mA の電流範囲。	0x0	R/W

ソフトウェア LDAC レジスタ

アドレス : 0x07、リセット : 0x070000、レジスタ名 : SW_LDAC

SW_LDAC レジスタに 0x1DAC を書き込むと、その SPI フレーム内の DUT_ADDRESS ビット (デバイス・アドレス・ビット AD1 と AD0) が一致するデバイスに対して、ソフトウェア LDAC の更新が行われます。GP_CONFIG2 レジスタの GLOBAL_SW_LDAC ビットがセットされている場合は、DUT_ADDRESS ビットが無視されて、同じ SPI バスを共有するすべてのデバイスが SW_LDAC コマンドを介して更新されます。このレジスタのビット [15:0] は、常に 0x0000 としてリードバックされます。

表 34. SW_LDAC のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	LDAC_COMMAND	ソフトウェア LDAC。このレジスタに 0x1DAC を書き込むと、ソフトウェア LDAC 命令が実行されます。	0x0	R0/W

キー・レジスタ

アドレス : 0x08、リセット : 0x080000、レジスタ名 : Key

キー・レジスタは、キャリブレーション・メモリのリフレッシュやソフトウェア・リセットなどのタスクを実行する特定のキー・コードを受け入れます。このレジスタのビット [15:0] は、常に 0x0000 としてリードバックされます。リストされていないキー・コードはすべて予備です。

表 35. Key のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	KEY_CODE	キー・コード。 0x15FA : ソフトウェア・リセットを開始する 2 つのキーのうちの最初のキー。 0xAF51 : ソフトウェア・リセットを開始する 2 つのキーのうちの 2 番目のキー。 0x1ADC : 選択された ADC チャンネルでシングル ADC 変換を開始するキー。 0x0D06 : WDT をリセットするキー。 0xFCBA : シャドウ・レジスタに対してキャリブレーション・メモリのリフレッシュを開始するキー。このキーは最初に実行する場合のみ有効で、その後に同じシステム・リセット・サイクルの中で書込みが行われても効果はありません。	0x0	R0/W

汎用設定 1 レジスタ

アドレス：0x09、リセット：0x090204、レジスタ名：GP_CONFIG1

GP_CONFIG レジスタは、温度コンパレータ閾値や CLKOUT などの機能の設定や、その他様々な機能の有効化を行います。

表 36. GP_CONFIG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:14]	RESERVED	予備（このビットのデフォルト値は変更しないでください）。	0x0	R
[13:12]	SET_TEMP_THRESHOLD	温度コンパレータ閾値を設定します。 00：142°C（デフォルト）。 01：127°C。 10：112°C。 11：97°C。	0x0	R/W
[11:10]	CLKOUT_CONFIG	CLKOUT ピンを設定します。 00：無効。CLKOUT ピンにクロックは出力されません（デフォルト）。 01：有効。CLKOUT_FREQ ビット（ビット [9:7]）に従って CLKOUT ピンにクロックが出力されます。 10：予備。このオプションは選択しないでください。 11：予備。このオプションは選択しないでください。	0x0	R/W
[9:7]	CLKOUT_FREQ	CLKOUT の周波数を設定します。 000：416kHz 001：435kHz 010：454kHz 011：476kHz 100：500kHz（デフォルト）。 101：526kHz 110：555kHz 111：588kHz	0x4	R/W
6	HART_EN	CHART ピンへのバスをイネーブルします。 0：DAC の出力が出力段を直接駆動します（デフォルト）。 1：HART モデムの接続またはスルー・コンデンサの接続ができるように、CHART バスが DAC 出力に結合されます。	0x0	R/W
5	NEG_OFFSET_EN	ユニポーラ V _{OUT} モードで負のオフセットを有効にします。このビットをセットすると、現在有効になっているユニポーラ出力範囲がオフセットされます。このビットが適用される電圧範囲は、0V～6V と 0V～12V のみです。0V～6V 範囲は-300mV～+5.7V になり、0V～12V 範囲は-400mV～+11.6V になります。 0：無効（デフォルト）。 1：有効。	0x0	R/W
4	CLEAR_NOW_EN	出力スルー機能が有効な場合でも、直ちにクリアが行われるようにします。 0：無効（デフォルト）。 1：有効。	0x0	R/W
3	SPI_DIAG_QUIET_EN	SPI 診断クワイエット・モードを有効にします。このビットをイネーブルすると、ステータス・レジスタ内に DIG_DIAG_STATUS ビットを生成する SPI_CRC_ERR、SLIPBIT_ERR、および SCLK_COUNT_ERR が論理 OR 計算から除外されます。このビットがセットされると、これらは FAULT ピンにも影響しなくなります。 0：無効（デフォルト）。 1：有効。	0x0	R/W
2	OSC_STOP_DETECT_EN	MCLK が停止した場合に、SDO の自動 0x07DEAD コードを有効にします。 0：無効。 1：有効（デフォルト）。	0x1	R/W
1	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
0	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W

汎用設定 2 レジスタ

アドレス：0x0A、リセット：0x0A0200、レジスタ名：GP_CONFIG2

GP_CONFIG2 レジスタは、電圧コンパレータやグローバル・ソフトウェア LDAC などの機能を設定して有効にします。

表 37. GP_CONFIG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
15	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R0
[14:13]	COMPARATOR_CONFIG	テストのために電圧コンパレータ入力をイネーブルまたはディスエーブルします。温度コンパレータは、常時イネーブルされています。バックグラウンドでの電源および温度モニタリングのセクションを参照してください。 00：電圧コンパレータをディスエーブル（デフォルト）。 01：予備。 10：予備。 11：電圧コンパレータをイネーブル。REFIN バッファをパワーアップして、REFIN コンパレータがその REFIN バッファを使用できるようにするには、DAC_CONFIG レジスタの INT_EN ビットをセットする必要があります。	0x0	R/W
12	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
11	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
10	GLOBAL_SW_LDAC	有効にすると、ソフトウェア LDAC コマンド実行時に DUT アドレス・ビットが無視され、1つの SW_LDAC コマンドで複数のデバイスを同時に更新できるようになります。 0：無効（デフォルト）。 1：有効。	0x0	R/W
9	FAULT_TIMEOUT	短い故障検出タイムアウトを有効にします。このビットは、VI _{OUT} 故障が検出されたことをアナログ・ブロックが示してから、これに応じて ANALOG_DIAG_RESULTS レジスタ内の該当ビットが変化するまでの遅延を設定します。この機能は、様々な出力負荷値に対応できる柔軟性を提供します。 0：故障検出タイムアウト = 25ms。 1：故障検出タイムアウト = 6.5ms（デフォルト）。	0x1	R/W
[8:5]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x0	R/W
4	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
3	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
2	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
1	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
0	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W

DC/DC 設定 1 レジスタ

アドレス：0x0B、リセット：0x0B0000、レジスタ名：DCDC_CONFIG1

DCDC_CONFIG1 レジスタは、DC/DC コントローラ・モードを設定します。

表 38. DCDC_CONFIG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:8]	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R0
7	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
[6:5]	DCDC_MODE	これら 2 つのビットは DC/DC コンバータを設定します。 00：DC/DC コンバータをパワーオフ（デフォルト）。 01：DPC 電流モード。正と負の DPC レールは電流出力バッファのヘッドルームとフットルームに追従します。 10：DPC 電圧モード。正の DPC レールは $-V_{SENSE}$ を基準に 15V に調整されません。有効にした場合、負の DPC レールも $-V_{SENSE}$ を基準に-15V に調整されます。 11：PPC 電流モード。 V_{DPC+} と V_{DPC-} （有効にした場合）は、 $-V_{SENSE}$ を基準に 5V~25.677V のユーザ設定レベルに調整されます（電圧値は DCDC_VPROG ビット、つまりビット [4:0] で設定）。 V_{DPC-} を無効にした場合は、PPC 電流モードを有効にする前に ENABLE_PPC_BUFFERS ビット（ADC_CONFIG レジスタのビット 11）を設定する必要があります。	0x0	R/W
[4:0]	DCDC_VPROG	PPC モードで設定された DC/DC 電圧。 V_{DPC+} と V_{DPC-} は、 $-V_{SENSE}$ を基準に、0.667V ステップで $\pm 5V$ (0b00000) から $\pm 25.677V$ (0b11111) までのユーザ設定レベルに調整されます。	0x0	R/W

DC/DC 設定 2 レジスタ

アドレス：0x0C、リセット：0x0C0100、レジスタ名：DCDC_CONFIG2

DCDC_CONFIG2 レジスタは、DC/DC コンバータの電流制限や DC/DC ダイ・ノードなど、マルチプレクサを介して ADC に接続される様々な DC/DC ダイ機能を設定します。

表 39. DCDC_CONFIG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:13]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x0	R0
12	BUSY_3WI	3 線式インターフェースのビジー・インジケータ。 0：3 線式インターフェースが非アクティブ。 1：3 線式インターフェースがビジー状態。	0x0	R
11	INTR_SAT_3WI	3 線式インターフェースの飽和フラグ。割込み信号が 6 回連続して受信されて割込み検出回路が自動的にディスエーブルされると、このフラグが 1 に設定されます。いずれかの DC/DC 設定レジスタへの書き込みがあると、このビットは 0 にクリアされます。	0x0	R
10	DCDC_READ_COMP_DIS	3 線式インターフェースの読出しと比較サイクルを無効にします。この読出しおよび比較サイクルは、メイン・ダイ上の DC/DC 設定レジスタのコピーの内容が、以下の状態における DC/DC ダイの内容と一致していることを確認します。 0：自動読出しおよび比較サイクルを有効化（デフォルト）。 1：セット時、このビットは 3 線式インターフェース書き込み後の自動読出しおよび比較サイクルを無効にします。	0x0	R/W
[9:8]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x1	R/W
7	VIOUT_OV_ERR_DEGLITCH	V_{IOUT} 過電圧エラー・フラグのデグリッチ時間を調整します。 0：デグリッチ時間を 1.02ms に設定（デフォルト）。 1：デグリッチ時間を 128 μ s に設定。	0x0	R/W
6	VIOUT_PULLDOWN_EN	V_{IOUT} とグラウンド間の 30k Ω 抵抗を有効にします。 0：無効（デフォルト）。 1：有効。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
[5:4]	DCDC_ADC_CONTROL_DIAG	どの DC/DC ダイ・ノードをマルチプレクサ経由でメイン・ダイの ADC に接続するかを選択します。 00 : DC/DC ダイの AGND。 01 : DC/DC ダイ上の内部 2.5V 電源。 10 : AV _{DD1} 。 11 : 予備。このオプションは選択しないでください。	0x0	R/W
[3:1]	DCDC_ILIMIT	これらの 3 ビットは、DC/DC コンバータの電流制限を設定します。 000 : 150mA (デフォルト)。 001 : 200mA。 010 : 250mA。 011 : 300mA。 100 : 350mA。 101 : 400mA。 110 : 400mA。 111 : 400mA。	0x0	R/W
0	DCDC_NEG_EN	負の DC/DC 回路を有効にします。 0 : 無効 (デフォルト)。 1 : 有効。	0x0	R/W

GPIO 設定レジスタ

アドレス : 0x0D、リセット : 0x0D0000、レジスタ名 : GPIO_CONFIG

GPIO_CONFIG レジスタは、入力、出力、または DGND への 100kΩ 抵抗として GPIO ピンを設定します。

表 40. GPIO_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:6]	Reserved	予備。	0x0	R0
[5:4]	GPIO_2_CFG	GPIO_2 の設定ビット。 00 : DGND への 100kΩ 抵抗 (デフォルト)。 01 : GPO モード。GPIO_2 ピンが GPO_2_WRITE ビットの値になります。 10 : GPI モード。GPO_2_READ が GPIO_2 ピンの値になります。 11 : 予備。	0x0	R/W
[3:2]	GPIO_1_CFG	GPIO_1 の設定ビット。 00 : DGND への 100kΩ 抵抗 (デフォルト)。 01 : GPO モード。GPIO_1 ピンが GPO_1_WRITE ビットの値になります。 10 : GPI モード。GPO_1_READ が GPI_1 ピンの値になります。 11 : 予備。	0x0	R/W
[1:0]	GPIO_0_CFG	GPIO_0 の設定ビット。 00 : DGND への 100kΩ 抵抗 (デフォルト)。 01 : GPO モード。GPIO_0 ピンが GPO_0_WRITE ビットの値になります。 10 : GPI モード。GPO_0_WRITE が GPIO_0 ピンの値になります。 11 : 予備。	0x0	R/W

GPIO データ・レジスタ

アドレス：0x0E、リセット：0x0E0000、レジスタ名：GPIO_DATA

GPIO_DATA レジスタは、GPIO_0、GPIO_1、および GPIO_2 ピンの読出しと書込みに使用します。

表 41. GPIO_DATA のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:6]	Reserved	予備。	0x0	R0
5	GPI_2_READ	ユーザ読出し可能ビット。このビットは、GPO および GPI モードにおける GPIO_2 ピンの論理値を反映します。	0x0	R
4	GPO_2_WRITE	ユーザ書込み可能ビット。このビットは、GPO モードにおける GPIO_2 ピンの論理値を反映します。	0x0	R/W
3	GPI_1_READ	ユーザ読出し可能ビット。このビットは、GPO および GPI モードにおける GPIO_1 ピンの論理値を反映します。	0x0	R
2	GPO_1_WRITE	ユーザ書込み可能ビット。このビットは、GPO モードにおける GPIO_1 ピンの論理値を反映します。	0x0	R/W
1	GPI_0_READ	ユーザ読出し可能ビット。このビットは、GPO および GPI モードにおける GPIO_0 ピンの論理値を反映します。	0x0	R
0	GPO_0_WRITE	ユーザ書込み可能ビット。このビットは、GPO モードにおける GPIO_0 ピンの論理値を反映します。	0x0	R/W

WDT 設定レジスタ

アドレス：0x0F、リセット：0x0F0009、レジスタ名：WDT_CONFIG

WDT_CONFIG レジスタは WDT のタイムアウト値を設定します。このレジスタは、WDT セットアップの受け入れ可能なリセットと、WDT 故障への対応（例えば出力をクリアする、またはデバイスをリセットする）も設定します。

表 42. WDT_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:11]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x0	R
10	CLEAR_ON_WDT_FAIL	WDT 故障時のクリアを有効にします。WDT がタイムアウトした場合はクリア・イベントが発生して出力がロードされ、CLEAR_CODE レジスタにクリア・コードが保存されます。 0：無効（デフォルト）。 1：有効。	0x0	R/W
9	RESET_ON_WDT_FAIL	WDT タイムアウト時の自動ソフトウェア・リセットを有効にします。 0：無効（デフォルト）。 1：有効。	0x0	R/W
8	KICK_ON_VALID_WRITE	WDT をリセットする有効な SPI コマンドを有効にします。WDT を再開できるようにするには、アクティブな WDT エラー・フラグをクリアする必要があります。 0：無効（デフォルト）。 1：有効。	0x0	R/W
7	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
6	WDT_EN	アクティブな WDT 故障フラグがない場合は、WDT をイネーブルしてから WDT を開始します。 0：無効（デフォルト）。 1：有効。	0x0	R/W
[5:4]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x0	R/W
[3:0]	WDT_TIMEOUT	WDT のタイムアウト値を設定します。WDT_TIMEOUT を 0b1010 より大きいバイナリ値に設定すると、デフォルト設定の 1 秒になります。 0000：1ms。 0001：5ms。 0010：10ms。 0011：25ms。 0100：50ms。 0101：100ms。 0110：250ms。	0x9	R/W

ビット	ビット名	説明	リセット	アクセス
		0111 : 500ms。 1000 : 750ms。 1001 : 1 秒 (デフォルト)。 1010 : 2 秒。		

デジタル診断設定レジスタ

アドレス : 0x10、リセット : 0x10005D、レジスタ名 : DIGITAL_DIAG_CONFIG

DIGITAL_DIAG_CONFIG レジスタは、様々なデジタル診断機能を設定します。

表 43. DIGITAL_DIAG_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:9]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x0	R0
[8:7]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x0	R/W
6	DAC_LATCH_MON_EN	DAC ラッチの診断モニタを有効にします。この機能は DAC を駆動する実際のデジタル・コードをモニタして、このコードをデジタル・ブロック内で生成されるデジタル・コードと比較します。これら 2 つのコード間に何らかの違いがあると、DIGITAL_DIAG_RESULTS レジスタに DAC_LATCH_MON_ERR フラグがセットされます。 0 : 無効。 1 : 有効 (デフォルト)。	0x1	R/W
5	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
4	INVERSE_DAC_CHECK_EN	DAC コードと反転 DAC コードのエラーに関するチェックを有効にします。 0 : 無効。 1 : 有効 (デフォルト)。	0x1	R/W
3	CAL_MEM_CRC_EN	キャリブレーション・メモリ・リフレッシュ時のキャリブレーション・メモリの CRC を有効にします。 0 : 無効。 1 : 有効 (デフォルト)。	0x1	R/W
2	FREQ_MON_EN	MCLK の内部周波数モニタを有効にします。 0 : 無効。 1 : 有効 (デフォルト)。	0x1	R/W
1	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
0	SPI_CRC_EN	SPI CRC 機能を有効にします。 0 : 無効。 1 : 有効 (デフォルト)。	0x1	R/W

ADC 設定レジスタ

アドレス : 0x11、リセット : 0x110000、レジスタ名 : ADC_CONFIG

ADC_CONFIG レジスタは、ADC を 4 つの動作モードのいずれかに設定します。モードは、キー・シーケンシング、自動シーケンシング、現在選択されている ADC_IP_SELECT ノードのシングル即時変換、およびシングル・キー変換です。

表 44. ADC_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。デフォルト値を変更しないでください。	0x0	R
[15:12]	Reserved	予備。これらのビットのデフォルト値は変更しないでください。	0x0	R/W
11	ENABLE_PPC_BUFFERS	PPC モードの検出バッファを有効にします。	0x0	R/W
[10:8]	SEQUENCE_COMMAND	ADC シーケンス・コマンド・ビット。 000 : シーケンサの深度を設定します。SEQUENCE_DATA ビットの内容はシーケンサの深度に対応しています (000 = 1 チャンネル、001 = 2 チャンネル、…、111 = 8 チャンネル)。 001 : 選択した ADC 入力チャンネル番号 ADC_IP_SELECT [4:0] で、SEQUENCE_DATA [7:5] ビットを設定します。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
		<p>010 : SEQUENCE_DATA [7:5] ビットの内容に応じてキー・シーケンサ・モードを有効または無効にします。SEQUENCE_DATA [7:5] = 001 : キー・シーケンサを有効化。SEQUENCE_DATA [2:0] ≠ 001 : キー・シーケンサを無効化。</p> <p>011 : SEQUENCE_DATA [2:0] ビットの内容に応じて自動シーケンサ・モードを有効/無効にします。SEQUENCE_DATA [2:0] = 001 : 自動シーケンサを有効化。SEQUENCE_DATA [2:0] ≠ 001 : 自動シーケンサを無効化。</p> <p>100 : ADC_IP_SELECT (ビット [4:0]) 入力のシングル変換を開始します。これは自動シーケンシングを無効にします。SEQUENCE_DATA ビット (ビット [7:5]) は、このコマンドには適用されません。</p> <p>101 : 0x1ADC キー・コードを使い、その後の個々の ADC 変換用に ADC をセットアップします (キー・シーケンサを使用しない場合)。SEQUENCE_DATA ビット (ビット [7:5]) は、このコマンドには適用されません。</p> <p>110 : 予備。このオプションは選択しないでください。</p> <p>111 : 予備。このオプションは選択しないでください。</p>		
[7:5]	SEQUENCE_DATA	このフィールドの機能は、SEQUENCE_COMMAND ビットが送出するコマンドによって異なります。	0x0	R/W
[4:0]	ADC_IP_SELECT	<p>どのノードをマルチプレクサ経由で ADC に接続するかを選択します。リストされていない 5 ビット・コードはすべて予備で、ADC 結果の 0 を返します。</p> <p>00000 : メイン・ダイ温度。</p> <p>00001 : DC/DC ダイ温度。</p> <p>00010 : 予備。このオプションは選択しないでください。</p> <p>00011 : REFIN。REFIN バッファをパワーアップして ADC がこのノードを使用できるようにするには、DAC_CONFIG レジスタの INT_EN ビットをセットする必要があります。</p> <p>00100 : REF2.内部 1.23V リファレンス電圧。</p> <p>00101 : 予備。このオプションは選択しないでください。</p> <p>00110 : 予備。このオプションは選択しないでください。</p> <p>01100 : ADC2 ピン入力 (±15V 入力範囲)。</p> <p>01101 : +V_{SENSE} バッファ出力の電圧。</p> <p>01110 : -V_{SENSE} バッファ出力の電圧。</p> <p>01111 : ADC1 ピン入力 (0V~1.25V 入力範囲)。</p> <p>10000 : ADC1 ピン入力 (0V~0.5V 入力範囲)。</p> <p>10001 : ADC1 ピン入力 (0V~2.5V 入力範囲)。</p> <p>10010 : ADC1 ピン入力 (±0.5V 入力範囲)。</p> <p>10011 : 予備。このオプションは選択しないでください。</p> <p>10100 : INT_AVCC。</p> <p>10101 : V_{LDO}。</p> <p>10110 : V_{LOGIC}。</p> <p>11000 : REFGND。</p> <p>11001 : AGND。</p> <p>11010 : DGND。</p> <p>11011 : V_{DPC+}。</p> <p>11100 : AV_{DD2}。</p> <p>11101 : V_{DPC-}。</p> <p>11110 : DC/DC ダイ・ノード。DCDC_CONFIG2 レジスタで設定。</p> <p>11111 : REFOUT。</p>	0x0	R/W

FAULTピン設定レジスタ

アドレス：0x12、リセット：0x120000、レジスタ名：FAULT_PIN_CONFIG

FAULTレジスタは、必要に応じてFAULTピンから特定の故障ビットをマスクします。

表 45. FAULT_PIN_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
15	INVALID_SPI_ACCESS_ERR	このビットをセットした場合は、INVALID_SPI_ACCESS_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
14	VIOUT_OV_ERR	このビットをセットした場合は、VIOUT_OV_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
13	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
12	INVERSE_DAC_CHECK_ERR	このビットをセットした場合は、INVERSE_DAC_CHECK_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
11	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
10	OSCILLATOR_STOP_DETECT	このビットをセットした場合は、クロック停止エラーをFAULTピンにマップしないでください。	0x0	R/W
9	DAC_LATCH_MON_ERR	このビットをセットした場合は、DAC_LATCH_MON_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
8	WDT_ERR	このビットをセットした場合は、WDT_ERR 故障フラグをFAULTピンにマップしないでください。	0x0	R/W
7	SLIPBIT_ERR	このビットをセットした場合は、SLIPBIT_ERR エラー・フラグをFAULTピンにマップしないでください。	0x0	R/W
6	SPI_CRC_ERR	このビットをセットした場合は、SPI_CRC_ERR エラー・フラグをピンにマップしないでください。	0x0	R/W
5	Reserved	予備。このビットのデフォルト値は変更しないでください。	0x0	R/W
4	DCDC_P_SC_ERR	このビットをセットした場合は、正レール DC/DC 短絡回路エラー・フラグをFAULTピンにマップしないでください。	0x0	R/W
3	IOUT_OC_ERR	このビットをセットした場合は、電流出力オープンサーキット・エラー・フラグをFAULTピンにマップしないでください。	0x0	R/W
2	VOUT_SC_ERR	このビットをセットした場合は、電圧出力短絡エラー・フラグをFAULTピンにマップしないでください。	0x0	R/W
1	DCDC-DIE_TEMP_ERR	このビットをセットした場合は、DC/DC ダイ温度エラー・フラグをFAULTピンにマップしないでください。	0x0	R/W
0	MAIN_DIE_TEMP_ERR	このビットをセットした場合は、メイン・ダイ温度エラー・フラグをFAULTピンにマップしないでください。	0x0	R/W

2 段リードバック選択レジスタ

アドレス：0x13、リセット：0x130000、レジスタ名：TWO_STAGE_READBACK_SELECT

TWO_STAGE_READBACK_SELECT レジスタは、2 段リードバック動作に必要なレジスタのアドレスを選択します。リードバック用に選択したレジスタのアドレスは、ビット [D4:D0] に保存されます。

表 46. TWO_STAGE_READBACK_SELECT のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:7]	Reserved	予備。	0x0	R
[6:5]	READBACK_MODE	これらのビットは、SPI リードバック・モードを制御します。 0：2 段 SPI リードバック・モード (デフォルト)。 01：自動ステータス・リードバック・モード。ステータス・レジスタの内容が、SPI フレームごとに SDO にシフト・アウトされます。 10：共有 SYNC 自動ステータス・リードバック・モード。このモードでは、複数のデバイスで同じ SYNC ラインを共有することができます (ハードウェア・アドレス・ピンを使用して区別)。デバイスへの有効な書込みが終了するたびにフラグがセットされますが、このモードは、内部フラグがセットされていない限り (1 つ前の SPI 書込みが有効となっていない限り)、SYNC がローになってもデバイスはステータス・レジスタの内容を SDO に出力しません。この点を除き、通常の自動ステータス・リードバック・モードと同様に動作します。 11：ステータス・レジスタの内容と前の SPI フレームの命令を SDO で交互に使用できます。	0x0	R/W
[4:0]	READBACK_SELECT	2 段リードバックのリードバック・アドレスを選択します。 0x00：NOP レジスタ (デフォルト)。 0x01：DAC_INPUT レジスタ。 0x02：DAC_OUTPUT レジスタ。 0x03：CLEAR_CODE レジスタ。 0x04：USER_GAIN レジスタ。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
		0x05 : USER_OFFSET レジスタ。 0x06 : DAC_CONFIG レジスタ。 0x07 : SW_LDAC レジスタ。 0x08 : キー・レジスタ。 0x09 : GP_CONFIG1 レジスタ。 0x0A : GP_CONFIG2 レジスタ。 0x0B : DCDC_CONFIG1 レジスタ。 0x0C : DCDC_CONFIG2 レジスタ。 0x0D : GPIO_CONFIG レジスタ。 0x0E : GPIO_DATA レジスタ。 0x0F : WDT_CONFIG レジスタ。 0x10 : DIGITAL_DIAG_CONFIG レジスタ。 0x11 : ADC_CONFIG レジスタ。 0x12 : FAULT_PIN_CONFIG レジスタ。 0x13 : TWO_STAGE_READBACK_SELECT レジスタ。 0x14 : DIGITAL_DIAG_RESULTS レジスタ。 0x15 : ANALOG_DIAG_RESULTS レジスタ。 0x16 : ステータス・レジスタ。 0x17 : CHIP_ID レジスタ。 0x18 : FREQ_MONITOR レジスタ。 0x19 : 予備。このオプションは選択しないでください。 0x1A : 予備。このオプションは選択しないでください。 0x1B : 予備。このオプションは選択しないでください。 0x1C : DEVICE_ID_3 レジスタ。		

デジタル診断結果レジスタ

アドレス : 0x14、リセット : 0x14A000、レジスタ名 : DIGITAL_DIAG_RESULTS

DIGITAL_DIAG_RESULTS レジスタには、オンチップ・デジタル診断機能用のエラー・フラグが格納されます。これらの機能のほとんどは、デジタル診断設定レジスタを使って設定できます。このレジスタには、リセットが行われたことを示すフラグや、キャリブレーション・メモリがリフレッシュされていないこと、あるいは無効な SPI アクセスをしようとしたことを示すフラグも格納されます。CAL_MEM_UNREFRESHED フラグと SLEW_BUSY フラグを除き、これらのフラグを最新の値に更新する場合は、常に 1 を書き込む必要があります。CAL_MEM_UNREFRESHED フラグはキャリブレーション・メモリのリフレッシュが完了すると自動的にクリアされ、SLEW_BUSY フラグは出力スルーが完了すると自動的にクリアされます。DIGITAL_DIAG_CONFIG レジスタの対応するイネーブル・ビットがイネーブルされていない場合、各フラグ・ビットはゼロと見なされます。

表 47. DIGITAL_DIAG_RESULTS のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
15	CAL_MEM_UNREFRESHED	キャリブレーション・メモリ未リフレッシュ・フラグ。DAC_CONFIG レジスタ内の範囲ビットに変更を加えてもキャリブレーション・メモリのリフレッシュは開始され、その場合もこのビットがアサートされます。このレジスタ内の R/W-1-C ビットと異なり、このビットは、キャリブレーション・メモリのリフレッシュが完了すると自動的にクリアされます。 0 : キャリブレーション・メモリはリフレッシュ済み。 1 : キャリブレーション・メモリは未リフレッシュ（パワーアップ時のデフォルト）。DAC_CONFIG レジスタの範囲ビットが変更された場合は、このビットがアサートされます。	0x1	R
14	SLEW_BUSY	DAC が能動的にスルーイングしているときは、このフラグが 1 に設定されます。このレジスタ内の R/W-1-C ビットと異なり、このビットは、スルーイングが完了すると自動的にクリアされます。	0x0	R
13	RESET_OCCURRED	このビットは、リセットが行われたことをフラグします（したがって、パワーアップ時のデフォルトはロジック 1 です）。	0x1	R/W-1-C
12	ERR_3WI	このビットは、3 線式インターフェース通信のエラーをフラグします。	0x0	R/W-1-C
11	WDT_ERR	このビットは WDT 故障をフラグします。	0x0	R/W-1-C
10	Reserved	予備。	0x0	R/W-1-C
9	3WI_RC_ERR	このビットは、3 線式の読み出しおよび比較プロセスがイネーブルされた状態でパリティ・エラーが発生すると、エラーをフラグします。	0x0	R/W-1-C
8	DAC_LATCH_MON_ERR	このビットは、DAC ラッチの出力が入力に一致していない場合にエラーをフラグします。	0x0	R/W-1-C

ビット	ビット名	説明	リセット	アクセス
7	Reserved	予備。	0x0	R/W-1-C
6	INVERSE_DAC_CHECK_ERR	このビットは、デジタル・コアによって駆動される DAC コードと反転コピーの間で故障が検出された場合に、エラーをフラグします。	0x0	R/W-1-C
5	CAL_MEM_CRC_ERR	このビットは、キャリブレーション・メモリをリフレッシュする際の CRC 計算に関する CRC エラーをフラグします。	0x0	R/W-1-C
4	INVALID_SPI_ACCESS_ERR	このビットは、無効なアドレスや予備アドレスとの間の読出しや書き込みなど、無効な SPI アクセスが試みられた場合にエラーをフラグします。このビットは、パワーアップ直後のキャリブレーション・メモリのリフレッシュ前に SPI 書き込みをしようとした場合や、キャリブレーション・メモリのリフレッシュ進行中に SPI 書き込みをしようとした場合も、エラーをフラグします。キャリブレーション・メモリのリフレッシュ中に 2 段階バックを行うことは可能です。このフラグがセットされることはありません。読出し専用レジスタに書き込みをしようとした場合も、このビットがアサートされます。	0x0	R/W-1-C
3	Reserved	予備。	0x0	R/W-1-C
2	SCLK_COUNT_ERR	このビットは、SCLK 立下がりエッジ・カウント・エラーをフラグします。SPI CRC が有効になっている場合は 32 クロックが必要で、SPI CRC が有効になっていない場合は 24 クロックまたは 32 クロックが必要です。	0x0	R/W-1-C
1	SLIPBIT_ERR	このビットは SPI フレーム・スリップ・ビット・エラーをフラグします。つまり、SPI ワードの MSB が MSB-1 を反転した値に等しくない場合です。	0x0	R/W-1-C
0	SPI_CRC_ERR	このビットは SPI CRC エラーをフラグします。	0x0	R/W-1-C

アナログ診断結果レジスタ

アドレス : 0x15、リセット : 0x150000、レジスタ名 : ANALOG_DIAG_RESULTS

ANALOG_DIAG_RESULTS レジスタには、コンパレータがバックグラウンドでモニタする 4 つの電圧ノード (VLDO、INT_AVCC、REFIN、REFOUT) に対応するエラー・フラグと、やはりコンパレータがモニタするメイン・ダイ温度に関するフラグが格納されます。電圧出力短絡、電流出力オープン・サーキット、DC/DC に関するエラー・フラグも、このレジスタに格納されます。DIGITAL_DIAG_RESULTS レジスタ同様、このレジスタに格納されるすべてのフラグは、その内容を更新またはクリアするために 1 を書き込む必要があります。対応する診断機能がイネーブルされていない場合、それぞれのエラー・フラグはゼロと見なされます。

表 48. ANALOG_DIAG_RESULTS のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULT ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:14]	Reserved	予備。	0x0	R0
13	VIOUT_OV_ERR	VIOUT ピンの電圧が V_{DPC+} レールまたは AVSS レールを外れた場合は、このビットがフラグされます。	0x0	R/W-1-C
12	Reserved	予備。	0x0	R/W-1-C
11	DCDC_P_SC_ERR	このビットは、正レール DC/DC 回路の DC/DC 短絡エラーをフラグします。	0x0	R/W-1-C
10	Reserved	予備。	0x0	R/W-1-C
9	DCDC_P_PWR_ERR	このビットは、DC/DC 調整故障をフラグします。つまり、AVDD1 電圧が不十分なために DC/DC 回路が目標の V_{DPC+} 電圧に達しない場合です。	0x0	R/W-1-C
8	Reserved	予備。	0x0	R/W-1-C
7	IOUT_OC_ERR	このビットは、電流出力オープン・サーキット・エラーをフラグします。このエラー・ビットは、電流出力オープン・サーキットの場合と、内部電流出力駆動回路が設定出力電流を提供できるだけの十分なヘッドルームを使用できない場合にセットされます。	0x0	R/W-1-C
6	VOUT_SC_ERR	このビットは、電圧出力短絡エラーをフラグします。	0x0	R/W-1-C
5	DCDC_DIE_TEMP_ERR	このビットは、DC/DC ダイの過熱エラーをフラグします。	0x0	R/W-1-C
4	MAIN_DIE_TEMP_ERR	このビットは、メイン・ダイの過熱エラーをフラグします。	0x0	R/W-1-C
3	REFOUT_ERR	このビットは、REFOUT ノードがコンパレータの閾値レベルを超えたこと、あるいは短絡電流制限に達したことをフラグします。	0x0	R/W-1-C
2	REFIN_ERR	このビットは、REFIN ノードがコンパレータの閾値レベルを超えたことをフラグします。	0x0	R/W-1-C
1	INT_AVCC_ERR	このビットは、INT_AVCC ノードがコンパレータの閾値レベルを超えたことをフラグします。	0x0	R/W-1-C
0	VLDO_ERR	このビットは、VLDO ノードがコンパレータの閾値レベルを超えたこと、あるいは短絡電流制限に達したことをフラグします。	0x0	R/W-1-C

ステータス・レジスタ

アドレス：0x16、リセット：0x100000、レジスタ名：Status

ステータス・レジスタには、ADC データおよびステータス・ビットの他、WDT、OR されたアナログおよびデジタル診断、ならびに FAULTピンのステータス・ビットが格納されます。

表 49. Status のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
20	DIG_DIAG_STATUS	このビットは、DIGITAL_DIAG_RESULTS レジスタのビット [15:0] (SLEW_BUSY ビットを除く) の内容を論理 OR した結果を表します。したがって、これらのビットのいずれかがハイの場合は DIG_DIAG_STATUS ビットもハイになります。パワーアップ時には RESET_OCCURRED フラグがアクティブなので、このビットはハイになります。論理 OR 機能が DIGITAL_DIAG_RESULTS レジスタのビット [D15:D3] (SLEW_BUSY ビットを除く) のみを対象とするように、クワイエット・モードを使用することもできます (GP_CONFIG1 レジスタの SPI_DIAG_QUIET_EN)。SPI CRC、SPI スリップ・ビット、または SCLK カウント・エラーが発生した場合、DIG_DIAG_STATUS はハイにセットされません。	0x1	R
19	ANA_DIAG_STATUS	このビットは、ANALOG_DIAG_RESULTS レジスタのビット [13:0] の内容を論理 OR した結果を表します。したがって、このレジスタのいずれかのビットがハイの場合は ANA_DIAG_STATUS ビットもハイになります。	0x0	R
18	WDT_STATUS	WDT ステータス・ビット。	0x0	R
17	ADC_BUSY	ADC ビジー・ステータス・ビット。	0x0	R
[16:12]	ADC_CH	ステータス・レジスタの ADC_DATA によって表される ADC チャンネルのアドレス。	0x0	R
[11:0]	ADC_DATA	ADC_CH ビット (ビット [16 : 12]) によってアドレス指定された反転信号を表す 12 ビットの ADC データ。	0x0	R

チップ ID レジスタ

アドレス：0x17、リセット：0x170101、レジスタ名：CHIP_ID

CHIP_ID レジスタには、メイン・ダイと DC/DC ダイのシリコン・リビジョン ID が格納されます。

表 50. CHIP_ID ビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:11]	Reserved	予備。	0x0	R0
[10:8]	DCDC_DIE_CHIP_ID	これらのビットには、DC/DC ダイのシリコン・リビジョン番号が反映されます。	0x2	R
[7:0]	MAIN_DIE_CHIP_ID	これらのビットには、メイン・ダイのシリコン・リビジョン番号が反映されます。	0x2	R

周波数モニタ・レジスタ

アドレス：0x18、リセット：0x180000、レジスタ名：FREQ_MONITOR

内部周波数モニタは、MCLK を使って 1kHz (MCLK/10,000) の周波数でパルスを生成します。このパルスは、16 ビット・カウンタを加算するために使用します。カウンタの値は、FREQ_MONITOR レジスタから読み出すことができます。ユーザはこのレジスタを周期的にポーリングし、内部発振器の診断ツール (発振器動作のモニタ) として使用したり、周波数を測定するために使用したりすることができます。この機能は、DIGITAL_DIAG_CONFIG レジスタの FREQ_MON_EN ビットによりデフォルトで有効になっています。

表 51. FREQ_MONITOR のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、FAULTピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:0]	FREQ_MONITOR	内部クロック・カウンタの値。	0x0	R

ジェネリック ID レジスタ

アドレス : 0x1C、リセット : 0x1C0000、レジスタ名 : DEVICE_ID_3

表 52. DEVICE_ID_3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	FAULT_PIN_STATUS ビットには、 $\overline{\text{FAULT}}$ ピンの現在のステータスを反転したものが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス。	0x0	R
[15:8]	Reserved	予備。	0x0	R
[7:3]	Reserved	予備。	0x0	R
[2:0]	Generic ID	ジェネリック ID。 000 : 予備。 001 : 予備。 010 : AD5753。 011 : 予備。 100 : 予備。 101 : 予備。 110 : 予備。 111 : 予備。	0x0	R

アプリケーション情報

モジュール例の消費電力計算

図 93 に示すモジュール例と消費電力計算方法 ($R_{LOAD} = 1k\Omega$) のセクションに示す方法を使用して、モジュールの消費電力（負荷で消費される電力を除く）を計算することができます。最大 I_{OUT} 値を $20mA$ 、 R_{LOAD} 値を $1k\Omega$ として計算すると、モジュールの合計消費電力は約 $226mW$ となります。外部デジタル・アイソレーションに伴う電力は使用部品の選択によって異なるので、計算には含まれていません。

$1k\Omega$ 負荷の部分を短絡させた場合の消費電力計算は、消費電力計算方法 ($R_{LOAD} = 0\Omega$) のセクションに示すとおりで、短絡状態でのモジュールの合計消費電力は約 $206mW$ となります。

消費電力計算方法 ($R_{LOAD} = 1k\Omega$)

表 53. 自己消費電流時の電力計算

Voltage (V)	Current (mA)	Power (mW)
$AV_{DD1} = 24$	$AI_{DD1} = 0.05$	1.2
$AV_{DD2} = 5$	$AI_{DD2} = 2.9$	14.5
$AV_{SS} = -15$	$AI_{SS} = 0.23$	3.45
$V_{LOGIC} = 3.3$	$I_{LOGIC} = 0.01$	0.033

表 53 の電圧および電流値を使用すると、自己消費電流時の合計消費電力は $19.18mW$ になります。

次に、以下の計算を行います。

$$(V_{DPC+}) \times (20mA + I_{DPC+}) = 22.5V \times 20.5mA = 461.25mW$$

DC/DC コンバータの効率を 90% と仮定します。したがって、 $V_{DPC+ power} = 512.5mW$ です。これから、絶縁型 DC/DC 電源モジュールの AD5753 側合計入力電力は $512.5mW + 19.18mW = 531.68mW$ となります。この値から負荷による消費電力 $400mW$ を引くと、AD5753 のみに相当する電力 $131.68mW$ が得られます。DC/DC 電源モジュールの絶縁効率を 85% とすると、合計入力電力は $625.5mW$ となります (図 93 参照)。

$$\text{モジュールの合計消費電力} = \text{入力電力} - \text{負荷の消費電力}$$

したがって、式は次のようになります。

$$625.5mW - 400mW = 225.5mW$$

消費電力計算方法 ($R_{LOAD} = 0\Omega$)

表 53 の電圧および電流値を使用すると、自己消費電流時の合計消費電力は $19.18mW$ になります。

次に、下の式を使います。

$$(V_{DPC+}) \times (20mA + I_{DPC+}) = 4.95V \times 20.5mA = 101.5mW$$

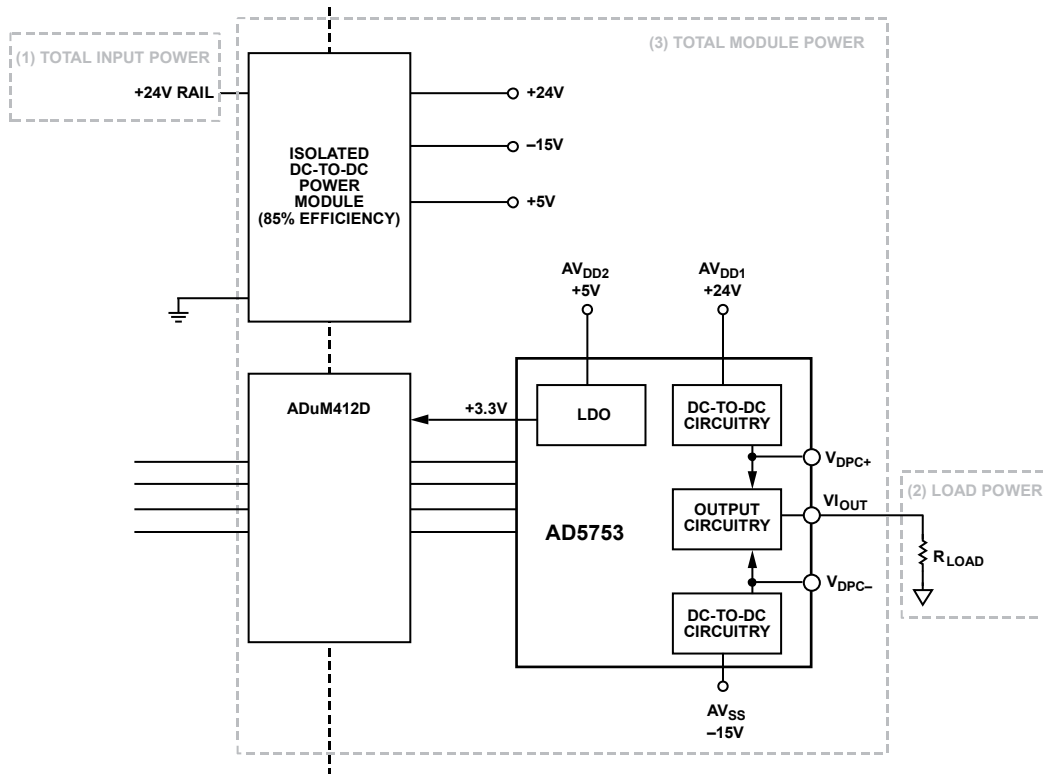
DC/DC コンバータの効率を 65% と仮定します。したがって、 $V_{DPC+ power} = 156.2mW$ です。これから、絶縁型 DC/DC 電源モジュールの AD5753 側合計入力電力は $156.2mW + 19.18mW = 175.38mW$ となります。この値から負荷による消費電力 $0mW$ を引くと、AD5753 のみに相当する電力 $175.38mW$ が得られます。

DC/DC 電源モジュールの絶縁効率を 85% とすると、合計入力電力は $206.33mW$ となります (図 93 参照)。

$$\text{モジュールの合計消費電力} = \text{入力電力} - \text{負荷の消費電力}$$

したがって、式は次のようになります。

$$206.33mW - 0mW = 206.33mW$$

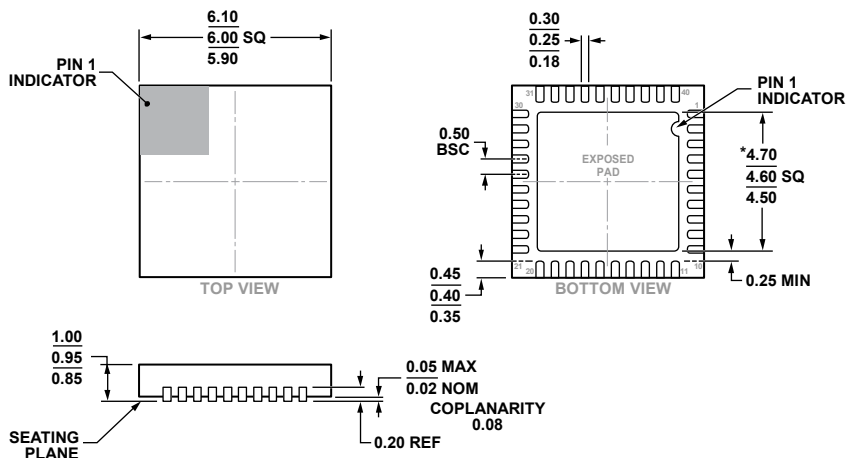


NOTES
 1. GRAY ITEMS HIGHLIGHT THE THREE DIFFERENT AREAS USED IN CALCULATIONS.

172985-020

図 93. AD5753 を含むモジュールの例

外形寸法



*COMPLIANT TO JEDEC STANDARDS MO-220-VJJD-5 WITH THE EXCEPTION OF THE EXPOSED PAD DIMENSION.

図 94.40 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP]
 6mm × 6mm ボディ、0.95mm パッケージ高
 (CP-40-15)
 寸法：mm

11-22-2013-B

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD5753BCPZ-REEL	-40°C to +115°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-15
AD5753BCPZ-RL7	-40°C to +115°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-15
EVAL-AD5753SDZ		Evaluation Board	

¹ Z = RoHS 準拠製品