

特長

- +5~±15V動作
- ユニポーラ/バイポーラ動作
- ±1LSBの最大INL誤差、±1LSBの最大DNL誤差
- 全温度範囲で単調性保証
- ダブルバッファ入力
- LDACを使用したデータの同時更新
- CLRにより非同期でゼロスケール/ミッドスケールにクリア
- 動作温度範囲：-40~+125℃
- iCMOSプロセス技術

アプリケーション

- 産業オートメーション
- クローズド・ループ・サーボ制御、プロセス制御
- 自動車用試験および測定
- プログラマブル・ロジック・コントローラ

概要

AD5726は、アナログ・デバイセズのiCMOS[®]製造プロセス¹で製造された、12ビット、シリアル入力の電圧出力クワッドD/Aコンバータ（DAC）で、単調性と最大±1LSBの積分非直線性（INL）を保証します。

出力電圧振幅は、2つのリファレンス電圧入力 V_{REFP} と V_{REFN} によって決定されます。このDACは、 V_{REFN} 入力を0Vに、 V_{REFP} を正電圧に、それぞれ設定すると正極性のユニポーラ範囲を出力します。同じように V_{REFP} を0Vに、 V_{REFN} を負電圧に、それぞれ設定すると、負極性のユニポーラ範囲を出力します。

バイポーラ出力範囲を設定するときは、 V_{REFP} と V_{REFN} の両方を0V以外の電圧に接続します。このような出力電圧範囲の設定方式は、温度係数の異なる内部抵抗と外部抵抗に依存しないので、ほかのバイポーラ・オフセット方式よりも優れています。

AD5726は、最大30MHzのクロック・レートで動作するシリアル・インターフェースを持っており、DSPおよびマイクロコントローラ・インターフェースの標準と互換性があります。ダブルバッファ機能があるので、すべてのDACを同時に更新できます。非同期CLR機能を使うと、DACレジスタをユーザ選択によりゼロスケール出力またはミッドスケール出力にすることができます。

AD5726は、16ピンSSOPパッケージまたは16ピンSOICパッケージを採用しています。このデバイスは、+5Vの単電源、±15Vの両電源、+2.5~±10Vのリファレンス電圧と、多様な電源およびリファレンス電圧による動作が可能です。消費電力は±15V電源時に240mW未満、+5V電源時にはわずか30mWです。製品の動作は、-40~+125℃の温度範囲で仕様規定されています。

表1. 関連デバイス

Part No.	Description
AD5725	Quad, 12-bit, parallel input, unipolar/bipolar, voltage output DAC.
AD5724R/AD5734R/AD5754R	Complete, quad, 12-/14-/16-bit, serial input, unipolar/bipolar voltage output DAC with internal reference.
AD5722R/AD5732R/AD5752R	Complete, dual, 12-/14-/16-bit, serial input, unipolar/bipolar voltage output DAC with internal reference.

機能ブロック図

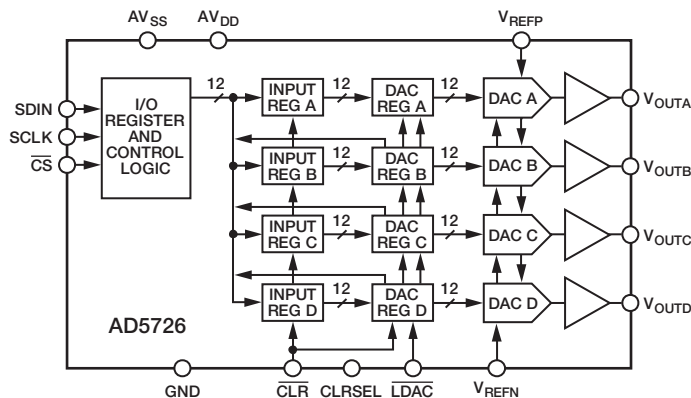


図1

¹ 高い電圧レベルの高性能ICを必要とする工業/計測用機器のOEMメーカーを対象に開発されたiCMOSは、±15V電源で動作する30Vの高電圧出力を持つアナログICの開発を可能にすると同時に、消費電力とパッケージ・サイズを大幅に削減し、ACおよびDC性能を向上させる技術プラットフォームです。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2007-2008 Analog Devices, Inc. All rights reserved.

REV. A

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868

目次

特長	1	動作原理	13
アプリケーション	1	DACのアーキテクチャ	13
概要	1	出力アンプ	13
機能ブロック図	1	リファレンス電圧入力	13
改訂履歴	2	シリアル・インターフェース	14
仕様	3	アプリケーション	15
AC性能特性	5	パワーアップ・シーケンス	15
タイミング特性	6	リファレンス電圧構成	15
絶対最大定格	7	電源のバイパスとグラウンド	16
熱抵抗	7	直流絶縁インターフェース	16
ESDに関する注意	7	マイクロプロセッサとのインターフェース	17
ピン配置とピン機能の説明	8	外形寸法	18
代表的な性能特性	9	オーダー・ガイド	18
用語の説明	12		

改訂履歴

1/08—Rev. 0 to Rev. A

Changes to Figure 6, Figure 7	9
Changes to Figure 12, Figure 13	10
Changes to Figure 19, Figure 20	11
Inserted New Figure 22, Renumbered Figures Sequentially	11
Added Major Code Transition Glitch Impulse Section	12
Changes to Figure 23	13
Change to Input Shift Register Section	14
Change to Single +5 V Supply Operation Section	16

4/07—Revision 0: Initial Version

仕様

$AV_{DD} = +5V \pm 5\%$ 、 $AV_{SS} = 0V / -5V \pm 5\%$ 、 $V_{REFP} = +2.5V$ 、 $V_{REFN} = 0V / -2.5V$ 、 $R_{LOAD} = 2k\Omega$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。¹

表2

Parameter	Value	Unit	Test Conditions/Comments
ACCURACY			
Resolution	12	Bits	
Relative Accuracy (INL)	± 1	LSB max	Y grade, $AV_{SS} = -5V$, outputs unloaded
	± 1	LSB max	Y grade, $AV_{SS} = 0V^2$
Differential Nonlinearity (DNL)	± 1	LSB max	Guaranteed monotonic
Linearity Matching	± 1	LSB typ	
Zero-Scale Error	± 6	LSB max	$AV_{SS} = -5V$
Full-Scale Error	± 6	LSB max	$AV_{SS} = -5V$
Zero-Scale Error	± 12	LSB max	$AV_{SS} = 0V^2$
Full-Scale Error	± 12	LSB max	$AV_{SS} = 0V^2$
Zero-Scale TC ³	± 10	ppm FSR/ $^{\circ}C$ typ	$AV_{SS} = -5V$
Full-Scale TC ³	± 10	ppm FSR/ $^{\circ}C$ typ	$AV_{SS} = -5V$
REFERENCE INPUT			
V_{REFP}			
Reference Input Range ⁴	$V_{REFN} + 2.5$	V min	
	$AV_{DD} - 2.5$	V max	
Input Current	± 0.75	mA max	Typically 0.25 mA
V_{REFN}			
Reference Input Range ⁴	AV_{SS}	V min	
	0 V	V min	$AV_{SS} = 0V$
	$V_{REFP} - 2.5$	V max	
Input Current	-1.0	mA max	Typically -0.6 mA, $AV_{SS} = -5V$
Large Signal Bandwidth ³	160	kHz typ	-3 dB, $V_{REFP} = 0V$ to 10 V p-p
OUTPUT CHARACTERISTICS³			
Output Current	± 1.25	mA max	$AV_{SS} = -5V$
DIGITAL INPUTS			
V_{IH} , Input High Voltage	2.4	V min	
V_{IL} , Input Low Voltage	0.8	V max	
Input Current ³	10	μA max	
Input Capacitance ³	5	pF typ	
POWER SUPPLY CHARACTERISTICS			
Power Supply Sensitivity ³	0.002	%/% max	Typically 0.0004
AI_{DD}	1.5	mA/channel max	Outputs unloaded, typically 0.75 mA, $V_{IL} = DGND$, $V_{IH} = 5V$
AI_{SS}	1.5	mA/channel max	Outputs unloaded, typically 0.75 mA, $V_{IL} = DGND$, $V_{IH} = 5V$
Power Dissipation	30	mW max	Outputs unloaded, typically 15 mW, $AV_{SS} = 0V$

¹ すべての電源は $\pm 5\%$ の変動幅を許容し、この範囲での動作が保証されます。デバイスは $AV_{DD} = 4.75V$ でテストを行っています。

² 単電源動作 ($V_{REFN} = 0V$ 、 $AV_{SS} = 0V$) の場合は、内部オフセット誤差を考慮して、INLとDNLはコード0x005から測定しています。

³ 仕様については出荷テストを行っていませんが、デザインおよび特性評価により保証しています。

⁴ 動作はこのリファレンス電圧範囲で保証されますが、直線性はテストも保証も行いません。

AD5726

$AV_{DD} = +15V \pm 5\%$ 、 $AV_{SS} = -15V \pm 5\%$ 、 $V_{REFP} = +10V$ 、 $V_{REFN} = -10V$ 、 $R_{LOAD} = 2k\Omega$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定¹。

表3

Parameter	Value	Unit	Test Conditions/Comments
ACCURACY			
Resolution	12	Bits	
Relative Accuracy (INL)	± 0.5	LSB max	Y grade
Differential Nonlinearity (DNL)	± 1	LSB max	Guaranteed monotonic
Linearity Matching	± 1	LSB max	
Zero-Scale Error	± 3	LSB max	
Full-Scale Error	± 3	LSB max	
Zero-Scale TC ²	± 4	ppm FSR/ $^{\circ}C$ typ	
Full-Scale TC ²	± 4	ppm FSR/ $^{\circ}C$ typ	
REFERENCE INPUT			
V_{REFP}			
Reference Input Range ³	$V_{REFN} + 2.5$ $AV_{DD} - 2.5$	V min V max	
Input Current	± 2	mA max	Code 0x000, Code 0x555, typically 1 mA
V_{REFN}			
Reference Input Range ³	$-10 V$ $V_{REFP} - 2.5$	V min V max	
Input Current ²	-3.5	mA min	Code 0x000, Code 0x555, typically -2 mA
Large Signal Bandwidth ²	450	kHz typ	-3 dB, $V_{REFP} = 0 V$ to $2.5 V$ p-p
OUTPUT CHARACTERISTICS²			
Output Current	± 5	mA max	
DIGITAL INPUTS			
V_{IH} , Input High Voltage	2.4	V min	
V_{IL} , Input Low Voltage	0.8	V max	
Input Current ²	10	μA max	
Input Capacitance ²	5	pF typ	
POWER SUPPLY CHARACTERISTICS			
Power Supply Sensitivity ²	0.002	%/% max	Typically 0.0004
AI_{DD}	2	mA/channel max	Outputs unloaded, typically 1.25 mA, $V_{IL} = DGND$, $V_{IH} = 5 V$
AI_{SS}	2	mA/channel max	Outputs unloaded, typically 1.25 mA, $V_{IL} = DGND$, $V_{IH} = 5 V$
Power Dissipation	240	mW max	

¹ すべての電源では $\pm 5\%$ の変動を許容し、この範囲での動作が保証されます。

² 仕様については出荷テストを行っていませんが、デザインおよび特性評価により保証しています。

³ 動作はこのリファレンス電圧範囲で保証されますが、直線性はテストも保証も行いません。

AC性能特性

$AV_{DD} = +5V \pm 5\% / +15V \pm 5\%$ 、 $AV_{SS} = -5V \pm 5\% / 0V / -15V \pm 5\%$ 、 $GND = 0V$ 、 $V_{REFP} = +2.5V / +10V$ 、 $V_{REFN} = -2.5V / 0V / -10V$ 、 $R_{LOAD} = 2k\Omega$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。¹

表4

Parameter	A Grade	B Grade	Unit	Test Conditions/Comments
DYNAMIC PERFORMANCE				
Output Voltage Settling Time (t_s)	13	13	μs typ	To 0.01%, ± 10 V voltage swing
	9	9	μs typ	To 0.01%, ± 2.5 V voltage swing, $AV_{DD} = 5$ V
Slew Rate	2.3	2.3	V/ μs typ	10% to 90%, ± 10 V voltage swing
	2	2	V/ μs typ	10% to 90%, ± 2.5 V voltage swing
Analog Crosstalk	100	100	dB typ	
Digital Feedthrough	0.25	0.25	nV-sec typ	
Large Signal Bandwidth	90	90	kHz typ	3 dB, $V_{REFP} = 5$ V +10 V p-p, $V_{REFN} = -10$ V
Major Code Transition Glitch Impulse	30	30	nV-sec typ	Code transition = 0x7FF to 0x800 and vice versa

¹ 仕様については出荷テストを行っていませんが、デザインおよび特性評価により保証しています。

AD5726

タイミング特性

$AV_{DD} = +15V / +5V$, $AV_{SS} = -15V / -5V / 0V$, $GND = 0V$, $V_{REFP} = +10V / +2.5V$, $V_{REFN} = -10V / -2.5V / 0V$, $R_{LOAD} = 2k\Omega$, $C_L = 200pF$ 。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。^{1, 2}

表5

Parameter	Limit at T_{MIN}, T_{MAX}	Unit	Description
t_{DS}	5	ns	Data setup time
t_{DH}	5	ns	Data hold time
t_{CH}	13	ns	Clock pulse width high
t_{CL}	13	ns	Clock pulse width low
t_{CSS}	13	ns	Select time
t_{CSH}	13	ns	Deselect delay
t_{LD1}	20	ns	Load disable time
t_{LD2}	20	ns	Load delay
t_{LDW}	20	ns	Load pulse width
t_{CLR}	20	ns	Clear pulse width

¹ 仕様については出荷テストを行っていませんが、デザインおよび特性評価により保証しています。

² すべての入力制御信号は、 $t_r = t_f = 5ns$ (5Vの10~90%) で規定し、1.6Vの電圧レベルからの時間とします。

タイミング図

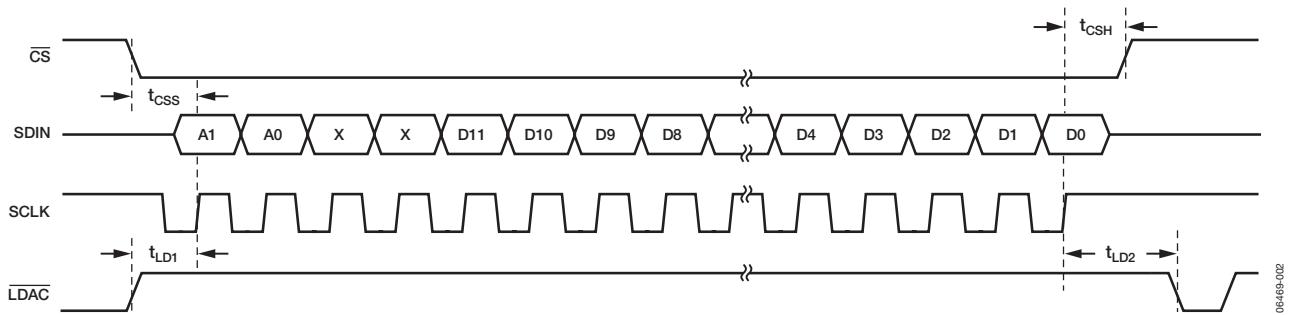


図2. データ・ロード・シーケンス

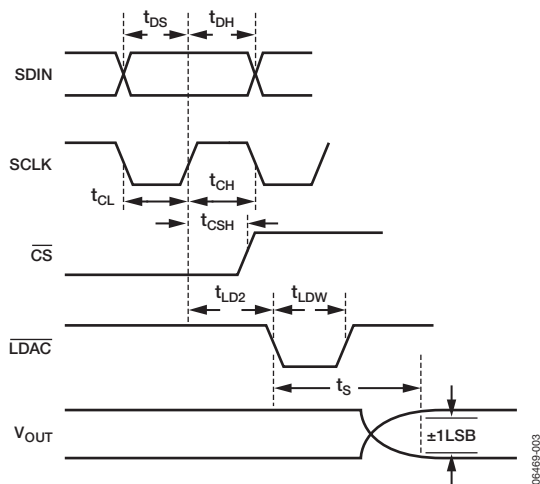


図3. データ・ロード・タイミング

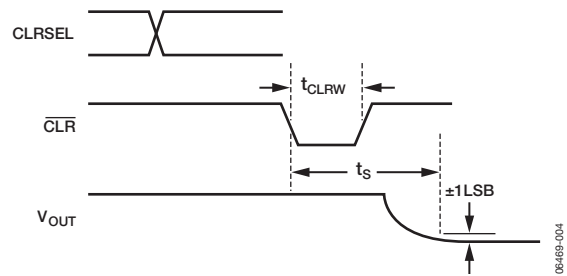


図4. クリア・タイミング

絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。100mAまでの過渡電流では、SCRラッチアップは発生しません。

表6

Parameter	Rating
AV_{SS} to GND	+0.3 V to -17 V
AV_{DD} to GND	-0.3 V to +17 V
AV_{SS} to AV_{DD}	-0.3 V to +34 V
AV_{SS} to V_{REFN}	-0.3 V to $+AV_{SS} - 2$ V
Current into Any Pin	± 15 mA
Digital Input Voltage to GND	-0.3 V to +7 V
Digital Output Voltage to GND	-0.3 V to +7 V
Operating Temperature Range	
Industrial	-40°C to $+125^{\circ}\text{C}$
Storage Temperature Range	-65°C to $+150^{\circ}\text{C}$
Junction Temperature (T_J max)	145°C
Lead Temperature	JEDEC industry standard
Soldering	J-STD-020

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は最悪の条件、すなわち回路ボードに表面実装パッケージをハンダ付けした状態で規定しています。

表7. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
16-Lead SSOP	151	28	$^{\circ}\text{C}/\text{W}$
16-Lead SOIC	124.9	42.9	$^{\circ}\text{C}/\text{W}$

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検出されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

AD5726

ピン配置とピン機能の説明

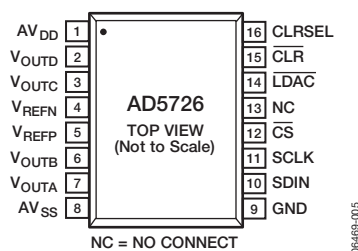


図5. ピン配置

表8. ピン機能の説明

ピン番号	記号	説明
1	AV _{DD}	正のアナログ電源ピン。電圧範囲は5～15Vです。
2	V _{OUTD}	DAC Dのバッファ付きアナログ出力
3	V _{OUTC}	DAC Cのバッファ付きアナログ出力
4	V _{REFN}	DACの負リファレンス電圧入力。このピンの入力電圧でゼロスケール出力を定義します。許容範囲はAV _{SS} ～V _{REFP} -2.5Vです。
5	V _{REFP}	DACの正リファレンス電圧入力。このピンの入力電圧でフルスケール出力電圧を定義します。許容範囲はAV _{DD} ～V _{REFN} +2.5Vです。
6	V _{OUTB}	DAC Bのバッファ付きアナログ出力電圧
7	V _{OUTA}	DAC Aのバッファ付きアナログ出力電圧
8	AV _{SS}	負のアナログ電源ピン。電圧範囲は0～15Vです。
9	GND	グラウンド・リファレンス電圧ピン
10	SDIN	シリアル・データ入力。データは、SCLKの立上がりエッジで有効になる必要があります。 \overline{CS} がハイレベルの場合、この入力は無視されます。
11	SCLK	シリアル・クロック入力。データは、SCLKの立上がりエッジで入力レジスタに入力されます。
12	\overline{CS}	アクティブ・ローのチップ・セレクト・ピン。このピンがアクティブのときにデータを入力できます。このピンはSCLK入力と論理和をとり、ハイレベルのときにシリアル・データ入力をディスエーブルします。
13	NC	内部接続なし
14	\overline{LDAC}	アクティブ・ローの非同期ロードDAC入力。シリアル入力レジスタに格納されているデータは、 \overline{CS} とは無関係に、 \overline{LDAC} の立下がりエッジでDACデータ・レジスタに転送されます。入力データは、 \overline{LDAC} がローレベルのときに安定を維持する必要があります。
15	\overline{CLR}	アクティブ・ローの入力。入力レジスタおよびDACレジスタをCLRSELの状態に応じてゼロスケール (0x000) またはフルスケール (0x800) に設定します。シリアル入力レジスタ内のデータは、この制御による影響は受けません。
16	CLRSEL	\overline{CLR} の動作を選択します。ハイレベルの場合、クリア・コマンドで内部DACレジスタをミッドスケール (0x800) に設定します。ローレベルの場合は、ゼロスケール (0x000) に設定します。

代表的な性能特性

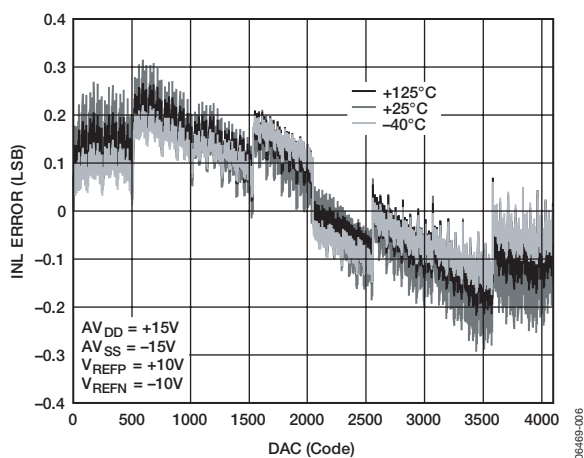


図6. DACコード対INL誤差
($V_{SUPPLY} = \pm 15V$ 、 $V_{REFP}/V_{REFN} = \pm 10V$)

06469-006

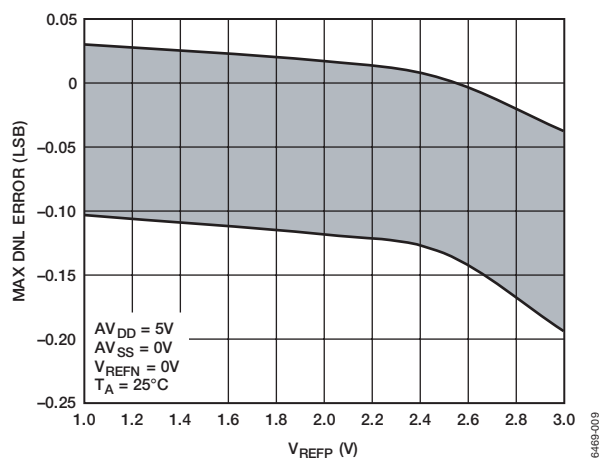


図9. V_{REFP} 対DNL誤差
($V_{SUPPLY} = +5V$ 、 $V_{REFN} = 0V$)

06469-009

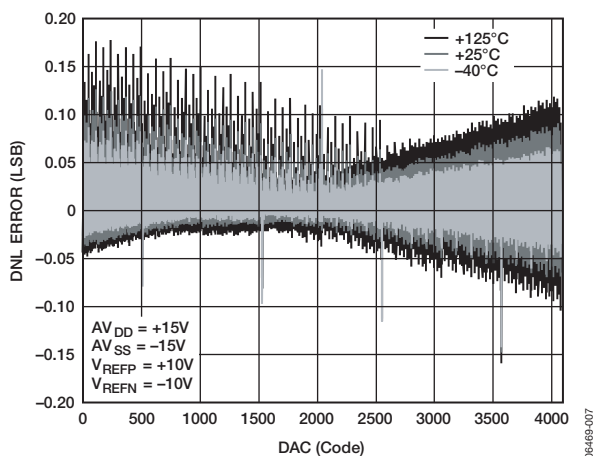


図7. DACコード対DNL誤差
($V_{SUPPLY} = \pm 15V$ 、 $V_{REFP}/V_{REFN} = \pm 10V$)

06469-007

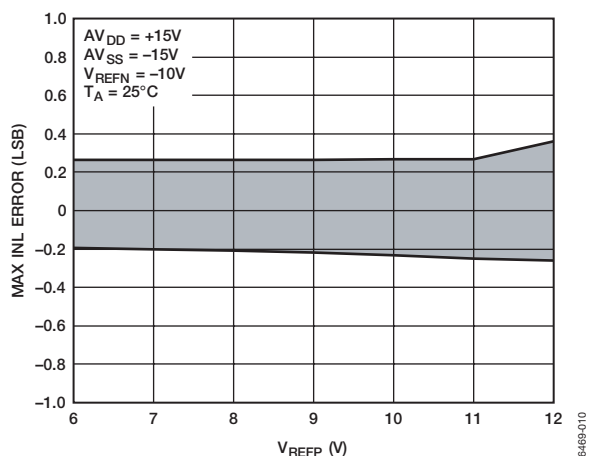


図10. V_{REFP} 対INL誤差
($V_{SUPPLY} = \pm 15V$ 、 $V_{REFN} = -10V$)

06469-010

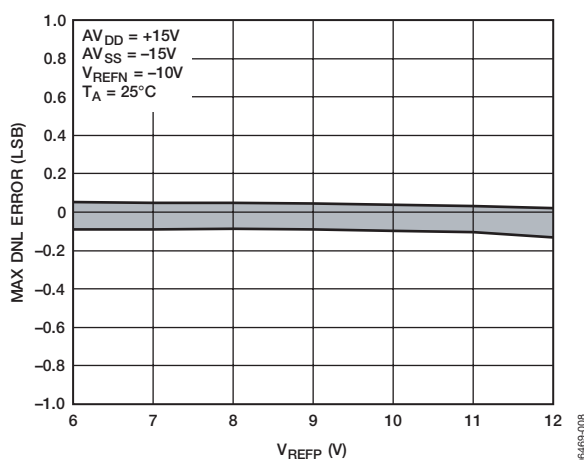


図8. V_{REFP} 対DNL誤差
($V_{SUPPLY} = \pm 15V$ 、 $V_{REFN} = -10V$)

06469-008

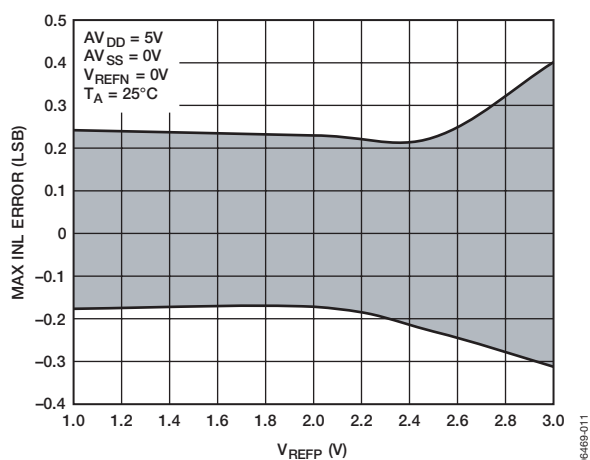


図11. V_{REFP} 対INL誤差
($V_{SUPPLY} = +5V$ 、 $V_{REFN} = 0V$)

06469-011

AD5726

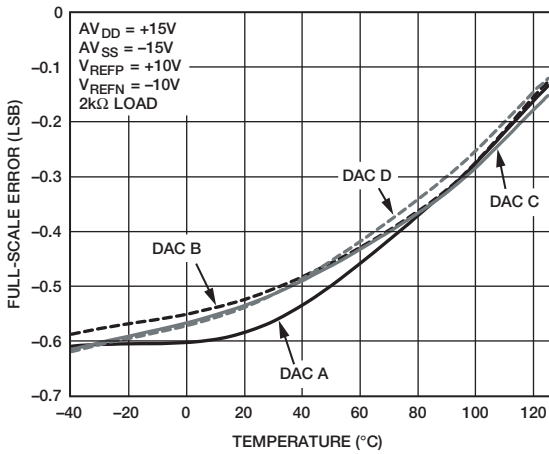


図12. フルスケール誤差の温度特性

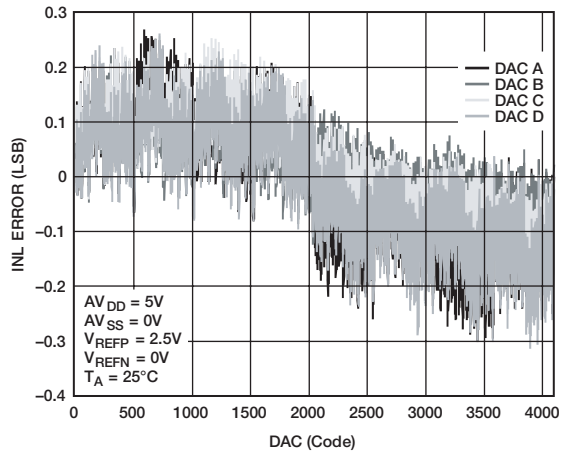


図15. チャンネル間のマッチング
($V_{SUPPLY} = +5V$, $V_{REFP} = 2.5V$, $V_{REFN} = 0V$)

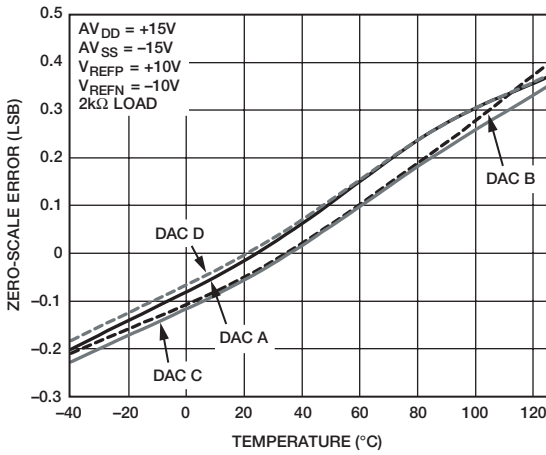


図13. ゼロスケール誤差の温度特性

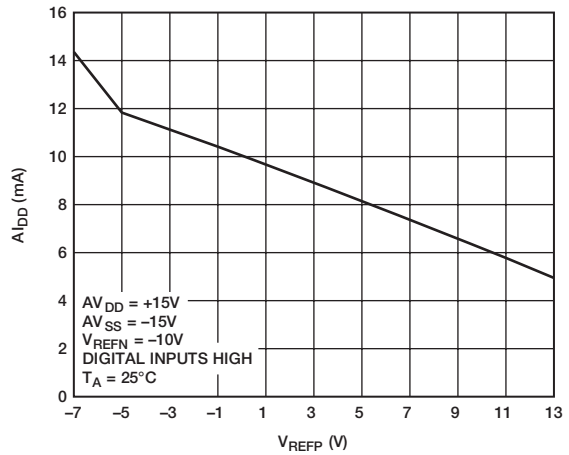


図16. V_{REFP} 対 I_{DD} (すべてのDACはフルスケール・コードをロード)

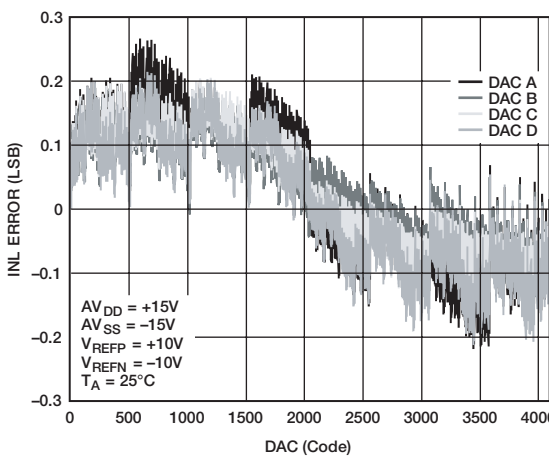


図14. チャンネル間のマッチング
($V_{SUPPLY} = \pm 15V$, $V_{REFP}/V_{REFN} = \pm 10V$)

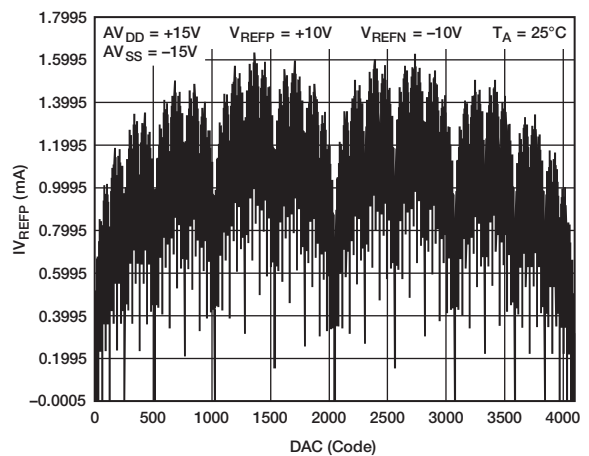


図17. DACコード 対 I_{VREFP}

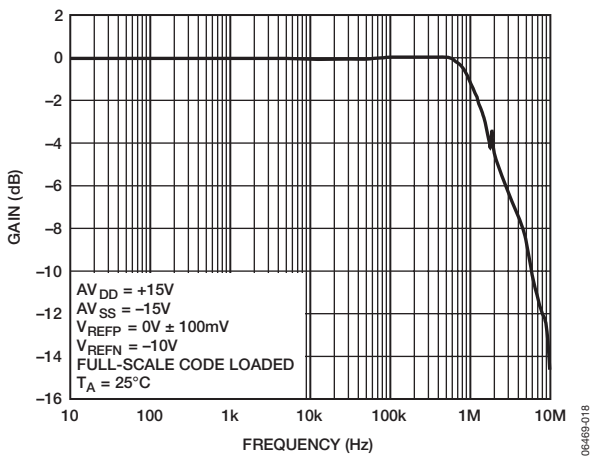


図18. 小信号応答
($V_{SUPPLY} = \pm 15V$, $V_{REFN} = -10V$)

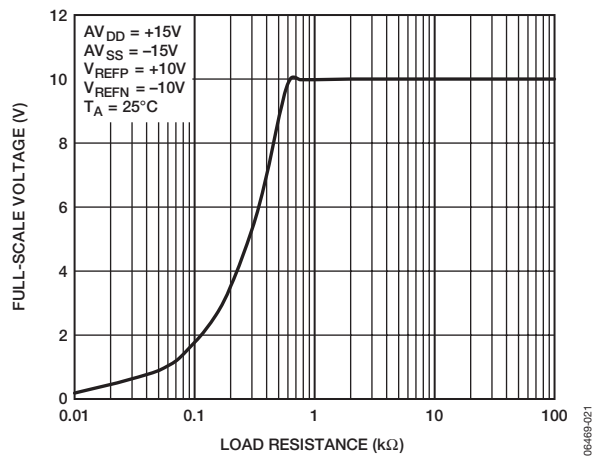


図21. 負荷抵抗 対 出力振幅
($V_{SUPPLY} = \pm 15V$, $V_{REFP}/V_{REFN} = \pm 10V$)

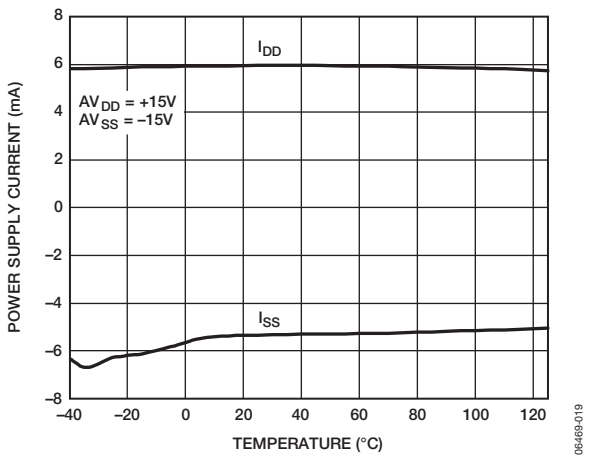


図19. 電源電流の温度特性
($V_{SUPPLY} = \pm 15V$, $V_{REFP}/V_{REFN} = \pm 10V$)

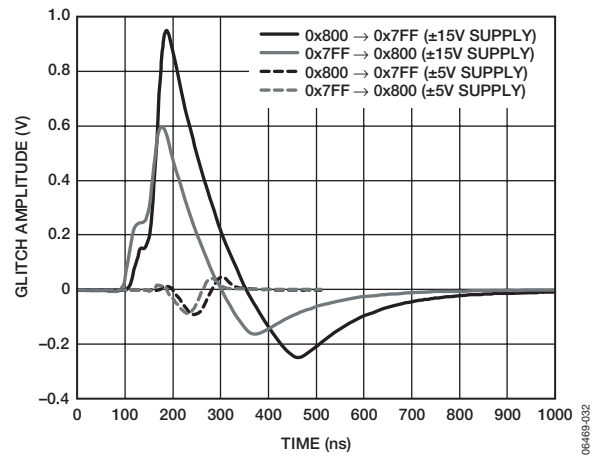


図22. 大きなコード変化でのグリッチ

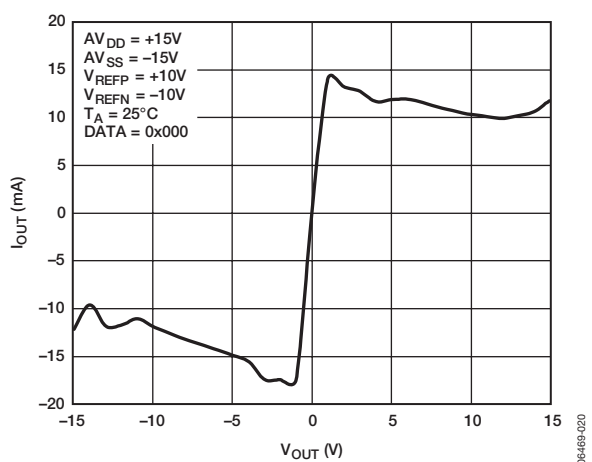


図20. 出力電圧 対 出力電流
($V_{SUPPLY} = \pm 15V$, $V_{REFP}/V_{REFN} = \pm 10V$)

用語の説明

相対精度または積分非直線性 (INL)

DACの場合、相対精度または積分非直線性 (INL) とは、DAC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差 (単位はLSB) を表します。代表的なコードとINLの関係を図6に示します。

微分非直線性 (DNL)

隣接する2つのコード間における1LSB変化の測定値と理論値の差です。微分非直線性の仕様が ± 1 LSB以内の場合は、単調性が保証されています。このDACはデザインにより単調性を保証しています。代表的なコードとDNLの関係を図7に示します。

単調性

デジタル入力の増加に対して出力が増加するか一定のままの場合、DACに単調性があるといえます。AD5726は、全動作温度範囲にわたって単調性があります。

フルスケール誤差

フルスケール・コードをDACレジスタにロードしたときの出力誤差を表します。出力は理論上 $V_{REFP} - 1$ LSBになるはずですが、フルスケール誤差はLSB単位で表します。フルスケール誤差の温度特性を図12に示します。

ゼロスケール誤差

DACレジスタに0x0000 (ストレート・バイナリ・コード) がロードされたときの、DAC出力電圧の誤差を表します。出力電圧の論理値は V_{REFN} です。図13にゼロスケール誤差の温度特性を示します。

ゼロスケール誤差、TC

温度の変化によるゼロスケール誤差の変動を示します。このゼロスケール誤差TCはppm FSR/ $^{\circ}$ C単位で表します。

出力電圧セトリング時間

フルスケール入力に変化するとき出力が規定のレベルにセトリングするまでの所要時間を表します。

スルーレート

デバイスのスルーレートとは、出力電圧の変化率の限界を示したものです。電圧出力D/Aコンバータの出力スルーイング速度は、通常、出力で使用するアンプのスルーレートによって制限されます。スルーレートは出力信号の10~90%で測定し、単位はV/ μ sです。

デジタル・ノイズ混入

DAC出力の更新が行われていないときに、DACのデジタル入力からDACのアナログ出力に出力されるインパルスを表します。nV-secの単位で規定され、データ・バス上でのフルスケールのコード変化時に測定します。

電源感度

電源電圧が変化した場合のDAC出力への影響を示します。

アナログ・クロストーク

これは、1つのDACの出力変動に対応してもう1つのDACに生じる出力レベルのDC変化です。測定では、1つのDACでフルスケール出力を変化させて、もう1つのDACをモニタします。dBの単位で表します。

大きなコード変化によるグリッチ・インパルス

DACレジスタ内の入力コードの状態が変化しても、出力電圧が一定のとき、大きなコード変化によるグリッチ・インパルスがアナログ出力に混入します。これは、nV-secを単位とするグリッチ領域として規定され、大きなコード変化(0x7FFから0x800へ、および0x800から0x7FFへ)でデジタル入力コードを1LSBだけ変化させて測定します(図22参照)。

動作原理

AD5726は、クワッド、12ビット、シリアル入力のユニポラ／バイポーラ電圧出力DACです。+5～+15Vの単電源または±5～±15Vの両電源で動作します。4本の出力にはバッファが付いており、2kΩの負荷を駆動できます。データは、3線式のシリアル・インターフェースを介して16ビット・ワード・フォーマットでAD5726に書き込まれます。

DACのアーキテクチャ

4個のDACはそれぞれ高インピーダンス（50kΩ）の電圧スイッチングR-2Rラダー構造となっています。各2R抵抗は、抵抗と V_{REFP}/V_{REFN} を接続する1対のスイッチから駆動されます。

出力アンプ

AD5726は±15V電源での動作時に最大5mAの電流をソース／シンクできるバッファ付きアナログ電圧出力を持っているので、ほとんどのアプリケーションでは、定格動作条件で仕様精度を実現するためにバッファ・アンプを外付けする必要はありません。出力アンプには短絡回路が付いています。出力電流と負荷容量の点から、出力負荷がデバイスの機能仕様を満たしているか確認する必要があります。AD5726は最大2nF (typ) の容量負荷に対して安定しています。ただし、容量負荷によってセトリング時間が長くなるため、速度を重視する場合は、容量負荷を最小限に抑える必要があります。

出力段には、出力電圧を負電源電圧にまでプルダウンできるPチャンネルMOSFETがあります。これは、通常 V_{REFN} と負電源の電位が同じになる単電源システムの場合に特に重要です。無負荷時には、これらのアプリケーションのゼロスケール出力電圧は500μV未満 (typ) となり、 $V_{REFP}=2.5V$ のときは1LSBを下回ります。ただし、電流シンク時は、出力段のインピーダンスが有限となるためこの電圧は増大します。出力段のプルダウン抵抗の実効値は320Ω (typ) です。100kΩの抵抗を5Vに接続すると、ゼロスケール出力電圧は16mVとなります。こうして出力負荷をグラウンドに接続すると最適な単電源動作を実現できるので、出力段で電流をシンクする必要はありません。

ほかのアンプと同様、AD5726の出力バッファでも $5nV/\sqrt{Hz}$ (typ) の電圧ノイズが発生します。このノイズを減少させるときは、各出力に単純なRCローパス・フィルタを追加するだけで十分です。

リファレンス電圧入力

AD5726の2本のリファレンス電圧入力によって回路デザインの柔軟性が大幅に向上します。ただし、データシートに示した精度を維持するときは、 V_{REFP} と V_{REFN} の最小入力レベル仕様に従う必要があります。これらの入力電圧の値は電源電圧の広い範囲で設定できますが、その間隔は2.5V以下とする必要があります (図23を参照)。AD588の±5Vのリファレンス電圧により広い出力電圧範囲が得られます (図25を参照)。アプリケーションの多くはDACを使って対称的なバイポーラ波形を合成しますが、このときに高精度の低ドリフト・バイポーラ・リファレンス電圧が必要となります。AD588は両方の電圧を供給するので、外付けの部品は一切不要です。また、デバイスは全温度範囲で12ビット精度にあらかじめ調整されているので、ユーザによるキャリブレーションは不要です。

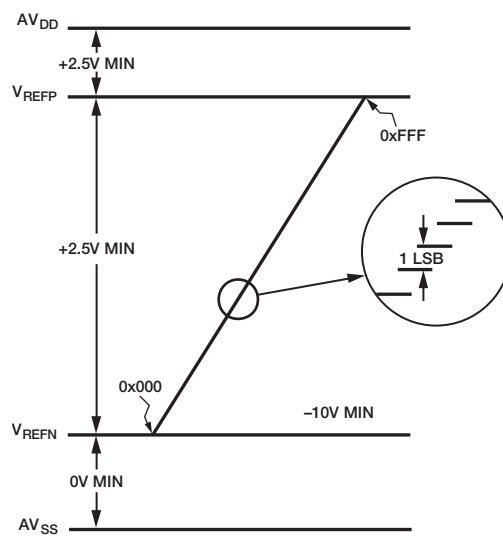


図23. 出力電圧範囲の設定

リファレンス電圧入力を駆動する際の重要なポイントは、 V_{REFP} が電流のシンクとソースの両方を行い、両方の入力電流がコードに依存するという点です。多くのリファレンス電圧製品は電流のシンク能力が制限されているため、システム全体の精度を維持するときはアンプを使ってバッファして V_{REFP} を駆動する必要があります。ただし、 V_{REFN} については、その条件は不要です。

5V単電源の場合、 V_{REFP} は2.5V以下に制限されるため、デバイスの直線性を保証するときは正の電源より2.5V以上小さくする必要があります。これらのアプリケーションにとって、AD780は低ドリフト、2.5Vの優れたリファレンス電圧です。この製品は、図27に示すように5V単電源システムでAD5726と組み合わせて使用できます。

±10Vリファレンス電圧を使用する場合は、0.2μFコンデンサでリファレンス電圧入力をバイパスすることを推奨します。これによってリファレンス電圧の帯域幅が制限されます。

V_{REFP} 入力の条件

AD5726はDACスイッチ・ドライバ回路を使っています。この回路は、電源、リファレンス電圧、デジタル・コードなどのさまざまな入力を補償します。この機能により、すべてのDACラダー・スイッチは常に等しくバイアスされ、いかなる条件下でも優れた直線性を得ることができます。この仕様にも示したように、AD5726の V_{REFP} 入力はリファレンス電圧源からの電流のソース能力とシンク能力の両方を必要とします。多くの正リファレンス電圧は電流源としてのみ使用するもので、シンク能力はほとんどありません。こういったアプリケーションに対しては、AD584、AD586、AD587、AD588、AD780、またはREF43などのリファレンス電圧製品の使用を検討してください。

AD5726

シリアル・インターフェース

AD5726は最大30MHzのクロック・レートで動作する3線式シリアル・インターフェースで制御され、SPI、QSPI™、MICROWIRE™、DSPの各標準との互換性があります。

入力シフト・レジスタ

これは、16ビット幅の入力シフト・レジスタです。データは、シリアル・クロック入力SCLKの制御のもとで、16ビット・ワードとしてMSBファーストでデバイスにロードされます。この入力レジスタは、2個のアドレス・ビット、2個のドント・ケア・ビット、12個のデータビットで構成されています（表11を参照）。図2は、この動作のタイミング図を示します。

\overline{CS} がローレベルのとき、SDIN入力に与えられたデータは、SCLKの立上がりエッジで内部レジスタにMSBファーストでシフト入力されます。シリアル・データ・ワードの16ビットがすべて入力されると、ロード制御用のLDACピンがストロブされ、ワードは内部データ・バスにラッチされます。2個のアドレス・ビットがデコードされ、そのアドレス情報をもとに12ビット・データ・ワードが該当するDACデータ・レジスタに送信されます。

\overline{CS} およびSCLKの動作

\overline{CS} ピンとSCLKピンは同じORゲートに接続されるため、ロード・サイクル中は偽のデータビットがクロック入力されないよう注意が必要です。図2のタイミング図に示すように、最終データビットがクロック入力されるSCLKの立上がりエッジ後の最後のハイレベル期間に、SCLKをハイレベルで終わらせるか、または \overline{CS} をハイレベルにする必要があります。そうしないと、SCLKがローレベルのときに \overline{CS} が立ち上がってさらにもう1つの立上がりエッジが発生されます。このときに \overline{CS} がクロックとして機能し、偽のデータビットが入力シフト・レジスタに書き込まれます。データ・ロード・シーケンスを開始する際も、同じことを考慮する必要があります。

コーディング

AD5726はバイナリ・コーディングを使用します。出力電圧は次式を使って計算できます。

$$V_{OUT} = V_{REFN} + \frac{(V_{REFP} - V_{REFN}) \times D}{4096}$$

ここで、 D は10進数のデジタル・コードです。

表11. 入力レジスタ・フォーマット

DB0	DB1	DB2	DB3	DB4	DB5	DB6	DB7	DB8	DB9	DB10	DB11	DB12	DB13	DB14	DB15
A1	A0	X	X	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

ロードDAC (\overline{LDAC})

\overline{LDAC} ピンをアサートすると、非同期、アクティブ・ローレベルのデジタル入力ピンとして、入力レジスタ内のデータを内部データ・バスに転送し、アドレス指定されているDAC出力を更新します。 \overline{LDAC} ピンがローレベルの間、新しいデータをAD5726に設定する必要はありません。

CLRおよびCLRSEL

制御信号の \overline{CLR} で非同期クリア機能を実行できます。 \overline{CLR} をアサートすると、4個すべてのDACレジスタへの書き込みが行われ、CLRSELの状態に応じてDAC出力がゼロスケール (0x000) またはミッドスケール (0x800) になります（表9を参照）。 \overline{CLR} 機能は非同期であり、 \overline{CS} の制御を受けません。 \overline{CLR} がハイレベルに戻ると、DAC出力はLDACがストロブされるまでクリア値の状態を維持し、クリア前に入力レジスタに保持されていたデータ、またはシリアル・インターフェースを介してロードされた新しいデータを個々のDACレジスタに再びロードします。

表9. \overline{CLR} /CLRSELの真理値表

\overline{CLR}	CLRSEL	DAC Registers
0	0	Zero-Scale (0x000)
0	1	Midscale (0x800)
1	0	No Change
1	1	No Change

表10. DACアドレス・ワード・デコード表

A1	A0	DAC Addressed
0	0	DAC A
0	1	DAC B
1	0	DAC C
1	1	DAC D

アプリケーション

パワーアップ・シーケンス

ラッチアップ状態を防止するために、リファレンス電圧より前にAV_{DD}、AV_{SS}、GNDをパワーアップすることを推奨します。パワーアップ・シーケンスは、GND、AV_{SS}、AV_{DD}、V_{REFP}、V_{REFN}、デジタル入力の順で行うのが理想的です。長期にわたって上記以外のパワーアップ・シーケンスを行うと、リファレンス電流が大きくなって、デバイスが損傷を受けます。ただし、そのようなシーケンスが数ミリ秒ほどの短いものであれば、AV_{DD}/AV_{SS}のパワーアップで、デバイスは通常の動作を再開するため損傷を受けることはありません。

リファレンス電圧構成

出力電圧範囲はユニポーラまたはバイポーラとして構成でき、この範囲内でさまざまなオプションを選択できます。ユニポーラ構成の場合は、正（図24を参照）または負の電圧出力となります。バイポーラ構成の場合は、対称（図25を参照）または非対称となります。

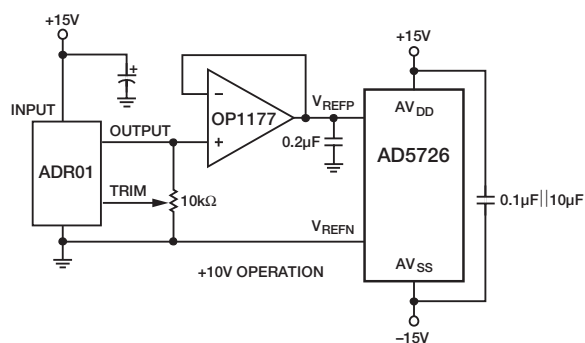


図24. ユニポーラ+10V動作

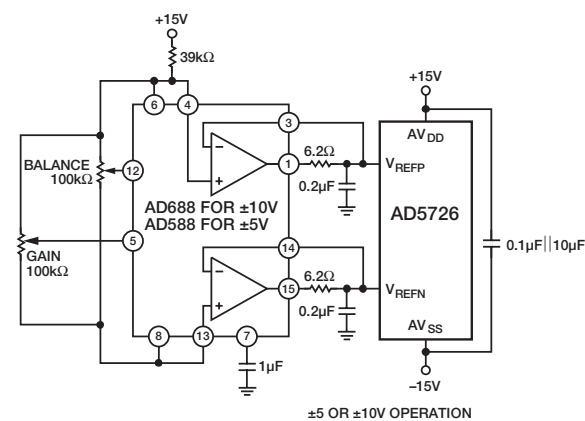


図25. 対称的なバイポーラ動作

図25（対称なバイポーラ動作）は、±10V動作用に構成されたAD5726を示します。リファレンス電圧動作の詳細については、AD688のデータシートを参照してください。

AD688は超高精度のリファレンス電圧なので、多くのアプリケーションでは調整不要です。ただし、調整が必要となる場合は、最初にAD5726のフルスケールを調整します。まず、デジタル・フルスケール・コード（0xFFF）をロードします。次に、ゲイン調節ポテンシオメータを変更して、9.9976VのDAC出力電圧を得ます。この後、バランス調節を修正してミッドスケール出力電圧を0.000Vに設定します。

図25のリファレンス電圧入力に接続された0.2μFバイパス・コンデンサは、±10Vリファレンス電圧使用時に使います。±5Vに対して1つまたは複数のリファレンス電圧を使用するアプリケーションでは、0.2μFのバイパスが不要になる場合があります。リファレンス電圧アンプの出力に6.2Ω抵抗を直列に接続すると、アンプが容量負荷で発振するのを防ぐことができます。これはこの回路を安定させるのに十分な大きさです。抵抗の電圧降下がV_{BE}を超えない限り、さらに大きな抵抗値が使用可能です。最小V_{BE}が0.6V、最大電流が2.75mAとした場合は、1個のAD5726のロードに対して抵抗値は200Ω未満とします。

2個のリファレンス電圧を使用することは推奨していません。リファレンス電圧を2個使用すると、時間や温度に対してさまざまなドリフトが生じます。一方、1個のリファレンス電圧を使用した場合は、ほとんどのドリフトが一般的な特性を示します。

ユニポーラの正側フルスケール動作は、一般にリファレンス電圧と適正な出力電圧で設定できます。この方法は、リファレンス電圧を使ってそれを必要な値に分割する方法よりも優れています。10Vのフルスケール出力の場合、回路は図26のように構成できます。この構成では、フルスケール値を最初に設定します。この場合、10kΩ抵抗を調整してフルスケール出力を9.9976Vとします。

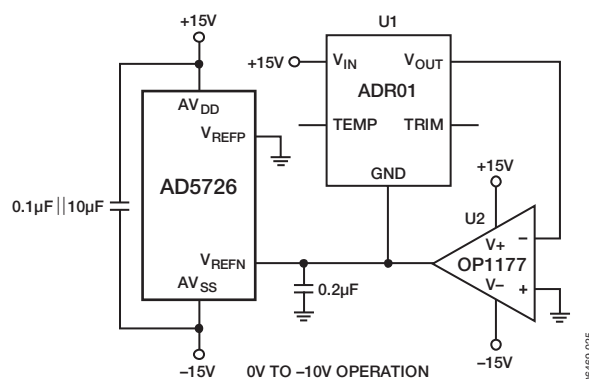


図26. ユニポーラの-10V動作

図26に、-10~0V動作に設定されたAD5726を示します。ADR01とOP1177は、リファレンス電圧用のV_{REFP}に直接接続される-10V出力を発生するように設定されています。

AD5726

±5V単電源動作

5Vの単電源動作では、最適な直線性を得るために、リファレンス電圧を1.0~2.5Vの範囲内の値に設定します。図27では、AD780を使って2.5Vのリファレンス電圧を供給しています。5V電源（許容誤差±5%）に対し、DACとリファレンス電圧のヘッドルームはともに十分な余裕があります。

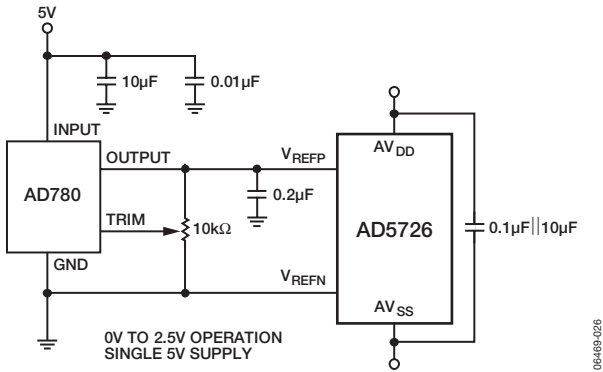


図27. 5V単電源動作

電源のバイパスとグラウンド

精度が重視される回路では、定格性能を確保する上で、電源およびグラウンド・リターン・レイアウトに注意してください。AD5726には、ロジック・リファレンス電圧レベルとしてデジタル部に内部的に接続されるグラウンド・ピンが1本あります。このピンについては、デジタル・グラウンドに接続することが考えられます。しかし、大きなシステムでは、ほかのデジタル回路のスイッチング電流によってデジタル・グラウンドで多くのノイズが発生する場合があります。グラウンド・ピンで発生したノイズはすべて、アナログ出力に結合されます。したがって、雑音に敏感なアナログ回路で誤差の原因となるノイズを避けるには、グラウンド・ピンをシステムのアナログ・グラウンドに接続する必要があります。

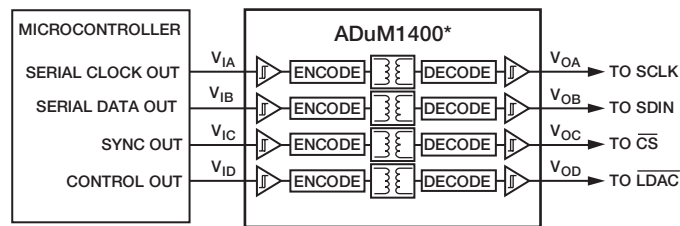
グラウンド・パス（回路基板のパターン）はできる限り太くして、寄生インダクタンスや抵抗降下の影響を小さくします。可能であれば、グラウンド・プレーンの使用を推奨します。オンボードのデジタル回路は数百ミリボルト（typ）のノイズ耐性があり、システムのアナログ・グラウンドとデジタル・グラウンド間に通常発生する同相ノイズを適正に除去できます。アナログ・グラウンドとデジタル・グラウンドは、共通リファレンス電圧を供給するシステム内の1点で互いに接続する必要があります。接続点として望ましいのは電源部です。

周辺のアナログ・サポート回路のアナログ性能を維持するためには、優れたグラウンディングも必要不可欠となります。帯域幅や出力電流を調節できる4個のアナログ出力と2個のリファレンス電圧入力があると、グラウンド・ループのできる可能性があります。前述したように、グラウンド・プレーンは、ノイズやグラウンド・オフセットによる誤差を最小限に抑えるために最も役立つソリューションです。

AD5726では、10µFと0.1µFのコンデンサをできるだけパッケージの近くで並列接続して、電源に対して十分なバイパスを形成する必要があります。0.1µFのコンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供する一般的なセラミック型の、等価直列抵抗（ESR）と等価直列インダクタンス（ESI）が小さいものを使用し、内部ロジックのスイッチングによる過渡電流を処理します。

直流絶縁インターフェース

多くのプロセス制御アプリケーションでは、コントローラと制御対象のユニット間に絶縁インターフェースを設けて、望ましくない同相電圧から制御回路を保護／絶縁する必要があります。iCouplerは2.5kVを超える絶縁が可能です。シリアル・ローディング構造によってインターフェース・ラインの数が最小になるため、AD5726は絶縁インターフェースにとって理想的です。図28に、ADuM1400を使ってAD5726に接続する4チャンネル絶縁インターフェースを示します。



*ADDITIONAL PINS OMITTED FOR CLARITY.

図28. 絶縁インターフェース

マイクロプロセッサとのインターフェース

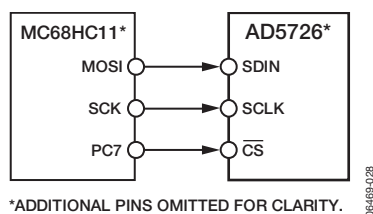
AD5726とマイクロプロセッサとのインターフェースは、マイクロコントローラやDSPプロセッサと互換性のある標準プロトコルを使うシリアル・バスを介して行います。通信チャンネルは、クロック信号、データ信号、同期信号で構成されている3線式（最少）インターフェースです。AD5726には、SCLKの立下がりエッジでデータが有効になる16ビット・データ・ワードが必要です。

すべてのインターフェースで、全データがクロック入力される場合にDAC出力の更新が自動的に行われ、そうでない場合はLDACの制御によって行われます。

MC68HC11とのインターフェース

図29に、AD5726とMC68HC11マイクロコントローラとのシリアル・インターフェースの例を示します。MC68HC11のシリアル・ペリフェラル・インターフェース（SPI）は、マスター・モード（MSTR=1）、クロック極性ビット（CPOL=0）、クロック位相ビット（CPHA=1）に設定します。SPIを設定するときは、SPIコントロール・レジスタ（SPCR）への書き込みを行います。68HC11の『ユーザー・マニュアル』を参照してください。MC68HC11のSCKがAD5726のSCLKを駆動し、MOSI出力がAD5726のシリアル・データ・ライン（SDIN）を駆動します。CSは、ポート・ラインの1つ（この場合はPC7）から駆動します。

AD5726にデータが送信されているとき、CSライン（PC7）がローレベルになり、データがMSBファーストで送信されます。MOSI出力に現われるデータは、SCKの立下がりエッジで有効になります。送信サイクルで8個の立ち下がりクロック・エッジが発生するため、必要な16ビット・ワードをロードするときは、2番目の8ビット・ワードがDACの入力シフト・レジスタに転送されるまでPC7はハイレベルになりません。



*ADDITIONAL PINS OMITTED FOR CLARITY.

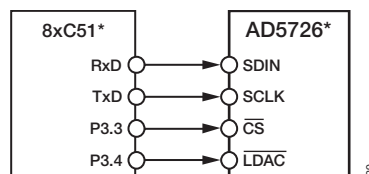
図29. AD5726とMC68HC11とのインターフェース

8xC51とのインターフェース

AD5726では、シリアル・データとクロックが同期している必要があります。このため、8xC51はモード0で動作するようにします。このモードでは、シリアル・データがRxDを介して転送され、シフト・クロックがTxDに出力されます。

P3.3とP3.4はシリアル・ポートのビットプログラマブルなピンであり、それぞれCSとLDACを駆動します。8xC51は、SUBFレジスタのLSBをデータ・ストリームの先頭ビットとして送信します。DACではMSBファーストが必要であるため、SBUFレジスタ内のデータを正しく並べかえておく必要があります。データがDACに送信される時、P3.3がローレベルになります。TxDの立ち上がりエッジでRxDのデータがマイクロコントローラからクロック出力され、立下がりエッジで有効になります。このため、DACとマイクロコントローラ・インターフェースとの間に接続のためのロジックは必要ありません。

8xC51は8ビット・バイト単位でデータを送信し、送信サイクル中で発生するのは8個の立下がりクロック・エッジのみです。DACでは16ビット・ワードが必要であるため、最初の8ビットが転送された後、CS（P3.3）をローレベルのままにしておく必要があります。2番目のバイトが転送された後、P3.3ラインがハイレベルになります。DACを更新するときは、8xC51のP3.4を介してLDACを使用します。

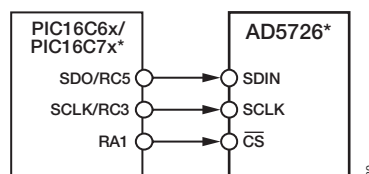


*ADDITIONAL PINS OMITTED FOR CLARITY.

図30. AD5726と8xC51とのインターフェース

PIC16C6x/PIC16C7xとのインターフェース

PIC16C6x/7x同期シリアル・ポート（SSP）は、クロック極性ビットを0に設定してSPIマスターとして設定されます。この設定には、同期シリアル・ポート・コントロール・レジスタ（SSPCON）への書き込みが必要です。PIC16/17の『マイクロコントローラ・ユーザー・マニュアル』を参照してください。この例では、I/OポートRA1を使用してCSにパルスを与え、AD5726のシリアル・ポートをイネーブルします。各シリアル転送動作中に、このマイクロコントローラが転送するのは8ビットのデータのみです。このため、2つの連続した書き込み動作が必要です。図31に接続図を示します。

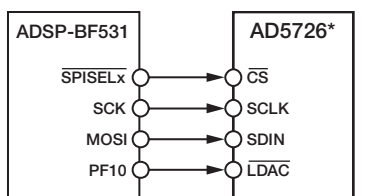


*ADDITIONAL PINS OMITTED FOR CLARITY.

図31. AD5726とPIC16C6x/PIC16C7xとのインターフェース

Blackfin® DSPとのインターフェース

図32に、アナログ・デバイス製のBlackfin DSPとAD5726とのインターフェースを示します。Blackfinプロセッサは、AD5726のSPIピンに直接接続できるSPIポートを内蔵しています。また、LDACピンなどのデジタル入力の状態を設定できるプログラマブルI/Oピンも持っています。



*ADDITIONAL PINS OMITTED FOR CLARITY.

図32. AD5726とBlackfin DSPとのインターフェース

AD5726

外形寸法

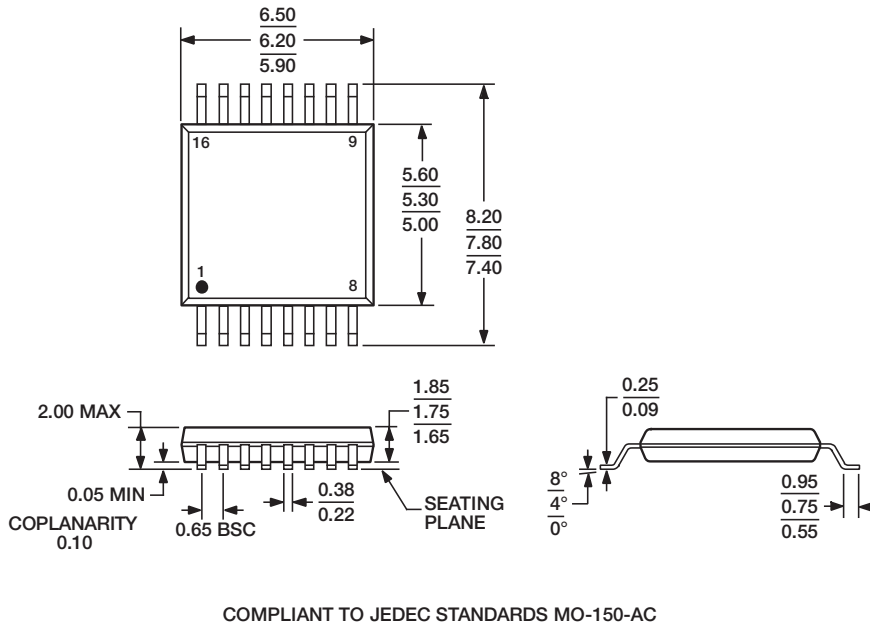


図33. 16ピン薄型シュリンク・スモール・アウトライン・パッケージ [SSOP] (RS-16)
寸法単位：mm

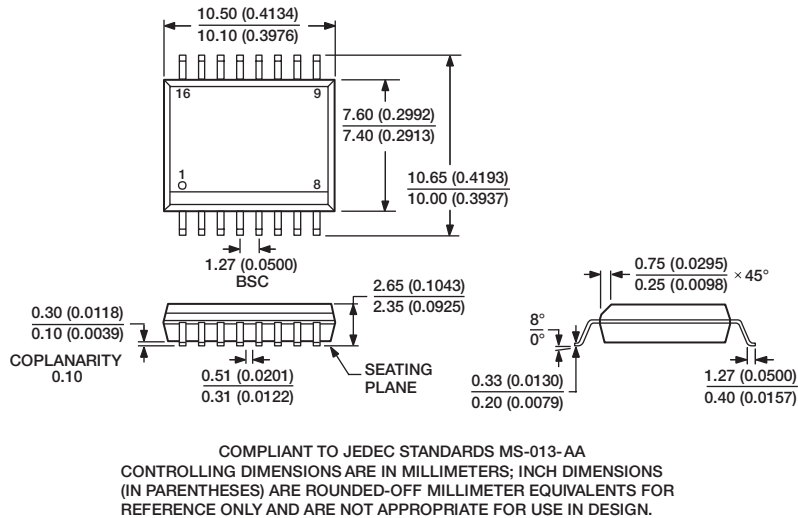


図34. 16ピン標準スモール・アウトライン・パッケージ [SOIC_W] ワイドボディ (RW-16)
寸法単位：mm (インチ)

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD5726YRSZ-500RL7 ¹	-40°C to +125°C	16-Lead SSOP	RS-16
AD5726YRSZ-REEL ¹	-40°C to +125°C	16-Lead SSOP	RS-16
AD5726YRWZ-REEL ¹	-40°C to +125°C	16-Lead SOIC_W	RW-16
AD5726YRWZ-REEL7 ¹	-40°C to +125°C	16-Lead SOIC_W	RW-16

¹ Z=RoHS準拠製品