



SPIインターフェース内蔵の 16/12ビットデュアルnanoDAC+

データシート

AD5689/AD5687

特長

高い相対精度(INL): 16ビットで最大 ± 2 LSB
小型パッケージ: 3 mm \times 3 mm の 16 ピン LFCSP
TUE: FSR の最大 $\pm 0.1\%$

オフセット誤差: 最大 ± 1.5 mV
ゲイン誤差: FSR の最大 $\pm 0.1\%$
高い駆動能力: 20 mA、電源レールから 0.5 V
ユーザー設定可能なゲイン: 1 または 2 (GAIN ピン)
ゼロスケールまたはミッドスケールへのリセット(RSTSEL ピン)
1.8 V_{LOGIC}に互換
リードバックまたはデジチェーン付きの 50 MHz SPI
低グリッチ: 0.5 nV-sec
強固な 4 kV HBM 定格と 1.5 kV FICDM ESD 定格
低消費電力: 3 V で 3.3 mW
2.7~5.5 V 電源で動作
温度範囲: -40°C~+105°C

アプリケーション

光トランシーバ
基地局用パワー・アンプ
プロセス制御(PLC I/O カード)
工業用オートメーション
データ・アキュイジション・システム

概要

nanoDAC+™ファミリーに属する AD5689/AD5687は、低消費電力 16/12 ビットのバッファ付き電圧出力デュアル DACです。これらのデバイスは、2.5 V (ゲイン= 1)または 5 V (ゲイン= 2)のフルスケール出力を選択するゲイン選択ピンを内蔵しています。AD5689/AD5687 は 2.7 V~5.5 V の単電源で動作し、デザインにより単調性が保証され、ゲイン誤差は 0.1% FSR 以下でオフセット誤差性能は 1.5 mV です。両デバイスは、3 mm \times 3 mm LFCSPパッケージまたは TSSOPパッケージを採用しています。

また、AD5689/AD5687はパワーオン・リセット回路と RSTSEL ピンも内蔵しています。このRSTSEL ピンを使うと、DAC 出力がゼロスケールまたはミッドスケールでパワーアップし、有効な書き込みが行われるまでその状態を維持させることができます。各デバイスは、チャンネルごとのパワーダウン機能を内蔵しています。この機能はパワーダウン・モードのデバイス消費電流を 3 V で 4 μ A へ削減します。

AD5689/AD5687 は、最大 50 MHz のクロック・レートで動作する多機能シリアル・ペリフェラル・インターフェースを採用しています。両デバイスは、1.8 V/3 V/5 V ロジック用に使用する V_{LOGIC} ピンを持っています。

機能ブロック図

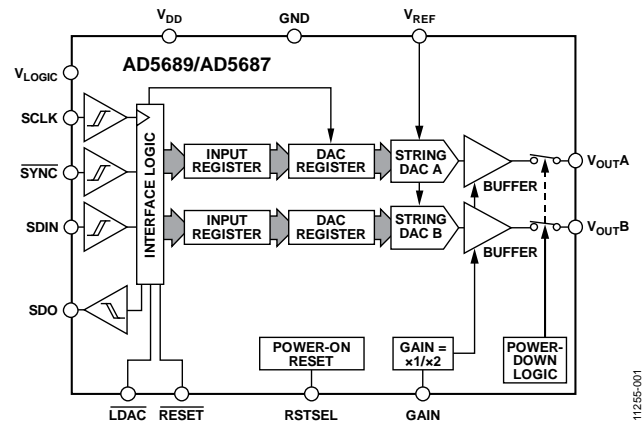


図 1.

表 1. 関連デバイス

Interface	Reference	16-Bit	12-Bit
SPI	Internal	AD5689R	AD5687R
	External	AD5689	AD5687
I ² C	Internal	N/A	AD5697R
	External	N/A	N/A

製品のハイライト

- 高い相対精度(INL)。
AD5689 (16ビット): 最大 ± 2 LSB
AD5687 (12ビット): 最大 ± 1 LSB
- 優れた DC 性能。
総合未調整誤差: FSR の最大 $\pm 0.1\%$
オフセット誤差: 最大 ± 1.5 mV
ゲイン誤差: FSR の最大 $\pm 0.1\%$
- 2種類のパッケージ・オプション。
3 mm \times 3 mm の 16 ピン LFCSP
16 ピン TSSOP

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2013 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	シリアル・インターフェース.....	18
アプリケーション.....	1	スタンダアロン動作.....	19
機能ブロック図.....	1	書込コマンドと更新コマンド.....	19
概要.....	1	デイジーチェーン動作.....	19
製品のハイライト.....	1	リードバック動作.....	20
改訂履歴.....	2	パワーダウン動作.....	20
仕様.....	3	DACのロード(ハードウェア $\overline{\text{LDAC}}$ ピン).....	21
AC特性.....	4	$\overline{\text{LDAC}}$ マスク・レジスタ.....	21
タイミング特性.....	5	ハードウェア・リセット(RESET).....	22
デイジーチェーンおよびリードバックのタイミング特性.....	6	リセット選択ピン(RSTSEL).....	22
絶対最大定格.....	8	アプリケーション情報.....	23
ESDの注意.....	8	マイクロプロセッサ・インターフェース.....	23
ピン配置およびピン機能説明.....	9	AD5689/AD5687とADSP-BF531とのインターフェース.....	23
代表的な性能特性.....	10	AD5689/AD5687とSPORTとのインターフェース.....	23
用語.....	15	レイアウトのガイドライン.....	23
動作原理.....	17	電流絶縁型インターフェース.....	23
D/Aコンバータ(DAC).....	17	外形寸法.....	24
伝達関数.....	17	オーダー・ガイド.....	24
DACアーキテクチャ.....	17		

改訂履歴

2/13—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$; $1.8\text{ V} \leq V_{\text{LOGIC}} \leq 5.5\text{ V}$;すべての仕様は $T_{\text{MIN}} \sim T_{\text{MAX}}$ で規定。 $R_L = 2\text{ k}\Omega$; $C_L = 200\text{ pF}$ 。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
STATIC PERFORMANCE¹					
AD5689					
Resolution	16			Bits	
Relative Accuracy		± 1	± 2	LSB	Gain = 2
		± 1	± 3		Gain = 1
Differential			± 1	LSB	Guaranteed monotonic by design
Nonlinearity AD5687					
Resolution	12			Bits	
Relative Accuracy		± 0.12	± 1	LSB	
Differential Nonlinearity			± 1	LSB	Guaranteed monotonic by design
Zero-Code Error		0.4	1.5	mV	All 0s loaded to DAC register
Offset Error		+0.1	± 1.5	mV	
Full-Scale Error		+0.01	± 0.1	% of FSR	All 1s loaded to DAC register
Gain Error		± 0.02	± 0.1	% of FSR	
Total Unadjusted Error		± 0.01	± 0.1	% of FSR	Gain = 2; TSSOP
			± 0.2	% of FSR	Gain = 1; TSSOP
Offset Error Drift ²		± 1		$\mu\text{V}/^\circ\text{C}$	
Gain Temperature Coefficient ²		± 1		ppm	Of FSR/ $^\circ\text{C}$
DC Power Supply Rejection Ratio ²		0.15		mV/V	DAC code = midscale, $V_{DD} = 5\text{ V} \pm 10\%$
DC Crosstalk ²				μV	Due to single-channel, full-scale output change
		± 2		$\mu\text{V}/\text{mA}$	Due to load current change
		± 3		μV	Due to powering down (per channel)
		± 2		μV	
OUTPUT CHARACTERISTICS²					
Output Voltage Range	0		V_{REF}	V	Gain = 1
	0		$2 \times V_{\text{REF}}$	V	Gain = 2; see Figure 23
Capacitive Load Stability		2		nF	$R_L = \infty$
		10		nF	$R_L = 1\text{ k}\Omega$
Resistive Load ³	1			k Ω	
Load Regulation		80		$\mu\text{V}/\text{mA}$	$5\text{ V} \pm 10\%$, DAC code = midscale; $-30\text{ mA} \leq I_{\text{OUT}} \leq 30\text{ mA}$
		80		$\mu\text{V}/\text{mA}$	$3\text{ V} \pm 10\%$, DAC code = midscale; $-20\text{ mA} \leq I_{\text{OUT}} \leq 20\text{ mA}$
Short-Circuit Current ⁴		40		mA	
Load Impedance at Rails ⁵		25		Ω	See Figure 23
Power-Up Time		2.5		μs	Coming out of power-down mode; $V_{DD} = 5\text{ V}$
REFERENCE INPUT					
Reference Current ⁶		90		μA	$V_{\text{REF}} = V_{DD} = V_{\text{LOGIC}} = 5.5\text{ V}$, gain = 1
		180		μA	$V_{\text{REF}} = V_{DD} = V_{\text{LOGIC}} = 5.5\text{ V}$, gain = 2
Reference Input Range	1		V_{DD}	V	Gain = 1
	1		$V_{DD}/2$	V	Gain = 2
Reference Input Impedance		16		k Ω	Gain = 1
		32		k Ω	Gain = 2
LOGIC INPUTS²					
Input Current			± 2	μA	Per pin
Input Low Voltage (V_{INL})			$0.3 \times V_{\text{LOGIC}}$	V	
Input High Voltage (V_{INH})	$0.7 \times V_{\text{LOGIC}}$			V	
Pin Capacitance		2		pF	
LOGIC OUTPUTS (SDO)²					
Output Low Voltage (V_{OL})			0.4	V	$I_{\text{SINK}} = 200\text{ }\mu\text{A}$
Output High Voltage (V_{OH})	$V_{\text{LOGIC}} - 0.4$			V	$I_{\text{SOURCE}} = 200\text{ }\mu\text{A}$
Floating State Output Capacitance		4		pF	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
POWER REQUIREMENTS					
V_{LOGIC}	1.8		5.5	V	
I_{LOGIC}			3	μA	
V_{DD}	2.7		5.5	V	Gain = 1
V_{DD}	$V_{\text{REF}} + 1.5$		5.5	V	Gain = 2
I_{DD}					$V_{\text{IH}} = V_{\text{DD}}, V_{\text{IL}} = \text{GND}, V_{\text{DD}} = 2.7 \text{ V to } 5.5 \text{ V}$
Normal Mode ⁷		0.59	0.7	mA	
All Power-Down Modes ⁸		1	4	μA	-40°C to +85°C
			6	μA	-40°C to +105°C

¹ 特に指定がない限り、DC仕様は出力無負荷でテスト。上側デッドバンド = 10 mV で、これは $V_{\text{REF}} = V_{\text{DD}}$ かつゲイン = 1 の場合、または $V_{\text{REF}}/2 = V_{\text{DD}}$ かつゲイン = 2 の場合にのみ存在します。直線性は、縮小コード範囲 256~65,280 (AD5689)、12~4080 (AD5687) を使って計算。

² デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

³ チャンネル A の出力電流は最大 30 mA です。同様に、チャンネル B は、ジャンクション温度 110°C までで最大 30 mA の出力電流を持つことができます。

⁴ $V_{\text{DD}} = 5 \text{ V}$ 。このデバイスは、一時的な過負荷状態でデバイスを保護することを目的とした電流制限機能を内蔵しています。電流制限時にジャンクション温度が上がることはできますが、規定の最大動作ジャンクション温度より上での動作はデバイスの信頼性を損なう可能性があります。

⁵ いずれかの電源レールから負荷電流を取り出すとき、その電源レールに対する出力電圧のヘッドルームは、出力デバイスのチャンネル抵抗 25 Ω (typ) により制限されます。例えば、1 mA のシンク電流の場合、最小出力電圧 = $25 \Omega \times 1 \text{ mA} = 25 \text{ mV}$ となります (図 23 参照)。

⁶ 前処理ハンダ・リフローでの初期精度は $\pm 750 \mu\text{V}$ です。出力電圧は前処理でのドリフトの影響を含みます。

⁷ インターフェースは非アクティブ状態。両 DAC はアクティブ状態。DAC 出力は無負荷。

⁸ 両 DAC はパワーダウン。

AC 特性

特に指定がない限り、 $V_{\text{DD}} = 2.7 \text{ V} \sim 5.5 \text{ V}$; $R_{\text{L}} = 2 \text{ k}\Omega$ (GND へ接続); $C_{\text{L}} = 200 \text{ pF}$ (GND へ接続); $1.8 \text{ V} \leq V_{\text{LOGIC}} \leq 5.5 \text{ V}$; すべての仕様は $T_{\text{MIN}} \sim T_{\text{MAX}}$ で規定温度範囲 = -40°C ~ +105°C、typ 値は 25°C。デザインとキャラクタライゼーションにより保証し、出荷テストは行いません。

表 3.

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
Output Voltage Settling Time					
AD5689		5	8	μs	1/4 to 3/4 scale settling to ± 2 LSB
AD5687		5	7	μs	1/4 to 3/4 scale settling to ± 2 LSB
Slew Rate		0.8		V/ μs	
Digital-to-Analog Glitch Impulse		0.5		nV-sec	1 LSB change around major carry
Digital Feedthrough		0.13		nV-sec	
Digital Crosstalk		0.1		nV-sec	
Analog Crosstalk		0.2		nV-sec	
DAC-to-DAC Crosstalk		0.3		nV-sec	
Total Harmonic Distortion (THD) ²		-80		dB	At ambient, BW = 20 kHz, $V_{\text{DD}} = 5 \text{ V}$, $f_{\text{OUT}} = 1 \text{ kHz}$
Output Noise Spectral Density (NSD)		300		nV/ $\sqrt{\text{Hz}}$	DAC code = midscale, 10 kHz, gain = 2
Output Noise		6		$\mu\text{V p-p}$	0.1 Hz to 10 Hz
Signal-to-Noise Ratio (SNR)		90		dB	At ambient, BW = 20 kHz, $V_{\text{DD}} = 5 \text{ V}$, $f_{\text{OUT}} = 1 \text{ kHz}$
Spurious Free Dynamic Range (SFDR)		83		dB	At ambient, BW = 20 kHz, $V_{\text{DD}} = 5 \text{ V}$, $f_{\text{OUT}} = 1 \text{ kHz}$
Signal-to-Noise-and-Distortion Ratio (SINAD)		80		dB	At ambient, BW = 20 kHz, $V_{\text{DD}} = 5 \text{ V}$, $f_{\text{OUT}} = 1 \text{ kHz}$

¹ 用語のセクションを参照してください。

² デジタル的に発生した 1 kHz の正弦波。

タイミング特性

すべての入力信号は $t_R = t_F = 1 \text{ ns/V}$ (V_{DD} の 10% から 90%) で規定し、電圧レベル $(V_{IL} + V_{IH})/2$ からの時間とします。図 2 参照。
特に指定がない限り、 $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$; $1.8 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$; $V_{REF} = 2.5 \text{ V}$ 。すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 4.

Parameter ¹	1.8 V ≤ V _{LOGIC} < 2.7 V		2.7 V ≤ V _{LOGIC} ≤ 5.5 V		Unit	Description
	Min	Max	Min	Max		
t ₁	33		20		ns	SCLK cycle time
t ₂	16		10		ns	SCLK high time
t ₃	16		10		ns	SCLK low time
t ₄	15		10		ns	SYNC to SCLK falling edge setup time
t ₅	5		5		ns	Data setup time
t ₆	5		5		ns	Data hold time
t ₇	15		10		ns	SCLK falling edge to SYNC rising edge
t ₈	20		20		ns	Minimum SYNC high time (update single channel or both channels)
t ₉	16		10		ns	SYNC falling edge to SCLK fall ignore
t ₁₀	25		15		ns	LDAC pulse width low
t ₁₁	30		20		ns	SCLK falling edge to LDAC rising edge
t ₁₂	20		20		ns	SCLK falling edge to LDAC falling edge
t ₁₃	30		30		ns	RESET minimum pulse width low
t ₁₄	30		30		ns	RESET pulse activation time
Power-Up Time	4.5		4.5		μs	Time that is required to exit power-down mode and enter normal mode of operation; 24 th clock edge to 90% of DAC midscale value with output unloaded

¹ $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq V_{LOGIC} \leq V_{DD}$ での最大 SCLK 周波数は 50 MHz。デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

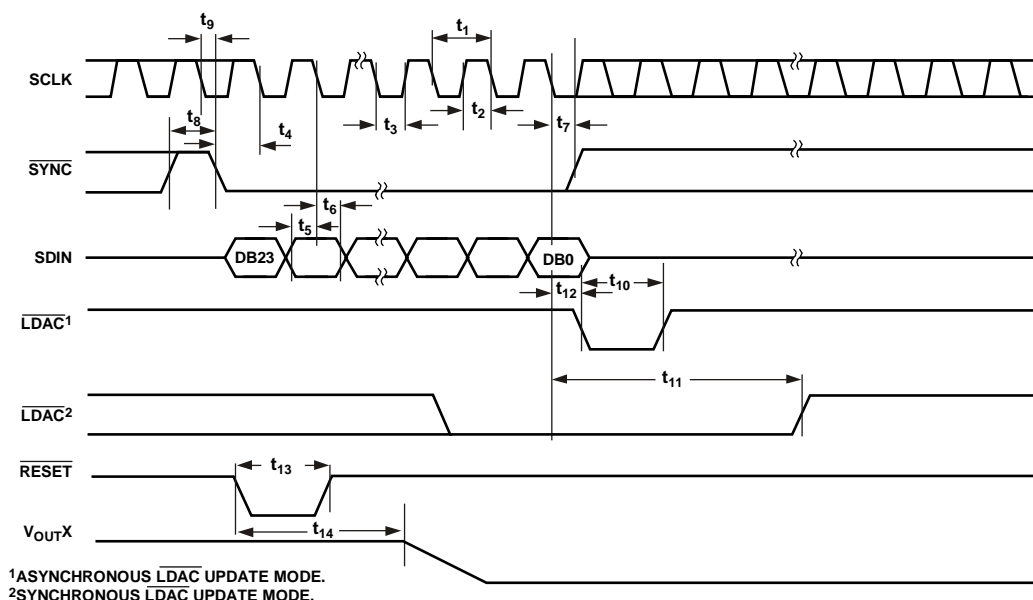


図 2. シリアル書き込み動作

デジチェーンおよびリードバックのタイミング特性

すべての入力信号は $t_R = t_F = 1 \text{ ns/V}$ (V_{DD} の 10% から 90%) で規定し、電圧レベル ($V_{IL} + V_{IH}$)/2 からの時間とします。図 4 と図 5 参照。特に指定がない限り、 $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$; $1.8 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$; $V_{REF} = 2.5 \text{ V}$ 。すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。 $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$ 。

表 5.

Parameter ¹	1.8 V ≤ V _{LOGIC} < 2.7 V		2.7 V ≤ V _{LOGIC} ≤ 5.5 V		Unit	Description
	Min	Max	Min	Max		
t ₁	66		40		ns	SCLK cycle time
t ₂	33		20		ns	SCLK high time
t ₃	33		20		ns	SCLK low time
t ₄	33		20		ns	SYNC to SCLK falling edge
t ₅	5		5		ns	Data setup time
t ₆	5		5		ns	Data hold time
t ₇	15		10		ns	SCLK falling edge to SYNC rising edge
t ₈	60		30		ns	Minimum SYNC high time
t ₉	60		30		ns	Minimum SYNC high time
t ₁₀		36		25	ns	SDO data valid from SCLK rising edge
t ₁₁	15		10		ns	SCLK falling edge to SYNC rising edge
t ₁₂	15		10		ns	SYNC rising edge to SCLK rising edge

¹ $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$, $1.8 \text{ V} \leq V_{LOGIC} \leq V_{DD}$ で、最大 SCLK 周波数は 25 MHz または 15 MHz。デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

回路およびタイミング図

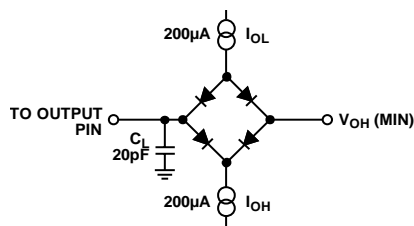


図 3. デジタル出力(SDO)タイミング仕様の負荷回路

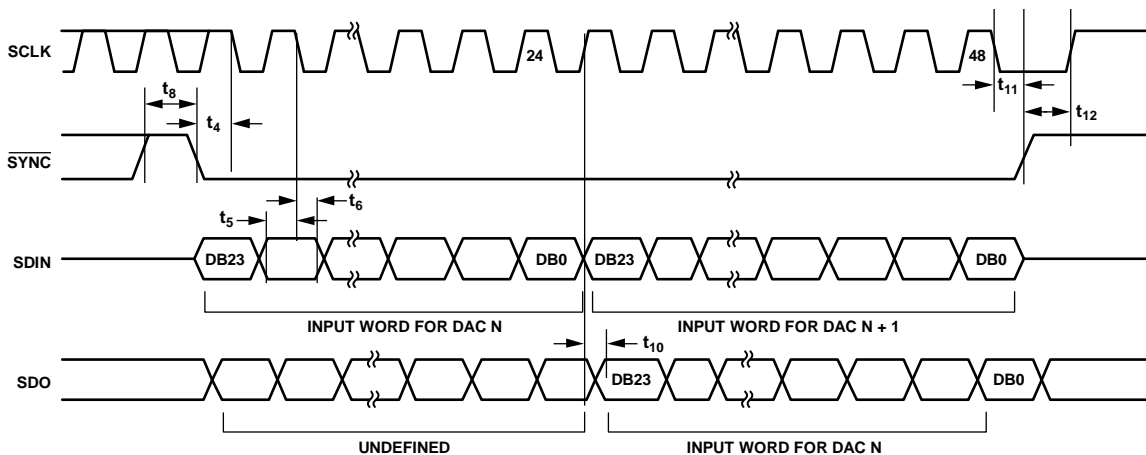
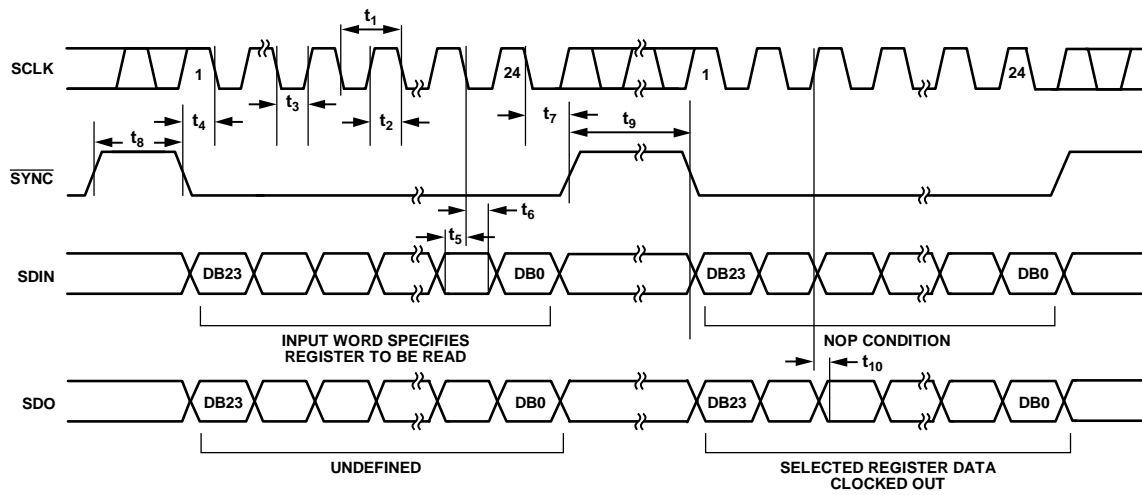


図 4. デジチェーンのタイミング図



11255-005

図 5. リードバック・タイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
V_{LOGIC} to GND	-0.3 V to +7 V
V_{OUT} to GND	-0.3 V to $V_{DD} + 0.3$ V
V_{REF} to GND	-0.3 V to $V_{DD} + 0.3$ V
Digital Input Voltage to GND	-0.3 V to $V_{LOGIC} + 0.3$ V
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	125°C
16-Lead TSSOP, θ_{JA} Thermal Impedance, 0 Airflow (4-Layer Board)	112.6°C/W
16-Lead LFCSP, θ_{JA} Thermal Impedance, 0 Airflow (4-Layer Board)	70°C/W
Reflow Soldering Peak Temperature, Pb Free (J-STD-020)	260°C
ESD ¹	4 kV
FICDM	1.5 kV

¹ 人体モデル (HBM)。

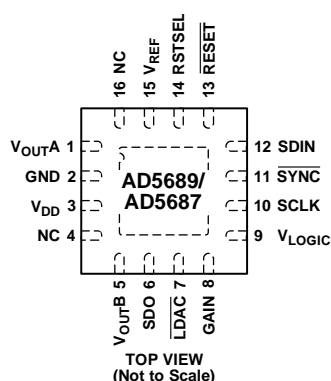
上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



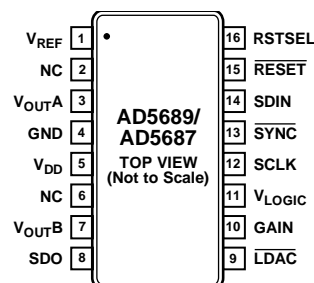
ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES
 1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.
 2. THE EXPOSED PAD MUST BE TIED TO GND.

図 6.16 ピン LFCSP のピン配置



NOTES
 1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.

図 7.16 ピン TSSOP のピン配置

表 7. ピン機能の説明

ピン番号		記号	説明
LFCSP	TSSOP		
1	3	V _{OUTA}	DAC A からのアナログ電圧出力。出力アンプはレール to レールの動作を行います。
2	4	GND	AD5689/AD5687 の全回路に対するグラウンド基準。
3	5	V _{DD}	電源入力。AD5689/AD5687 は 2.7 V ~ 5.5 V で動作できます。電源は 10 μF のコンデンサと 0.1 μF のコンデンサの並列接続により GND へデカップリングしてください。
4	2	NC	未接続。このピンは接続しないでください。
5	7	V _{OUTB}	DAC B のアナログ電圧出力。出力アンプはレール to レールの動作を行います。
6	8	SDO	シリアル・データ出力。SDO は複数の AD5689/AD5687 デバイスのデジタイゼーション接続に、またはリードバックに使用することができます。シリアル・データは SCLK の立上がりエッジで転送され、クロックの立下がりエッジで有効になります。
7	9	LDAC	LDAC は、非同期と同期の 2 つのモードで動作することができます。入力レジスタに新しいデータがある場合、このピンにロー・レベルのパルスを入力すると、一方または両方の DAC レジスタを更新することができます。両 DAC 出力を同時に更新することができます。あるいは、このピンをロー・レベルに固定することができます。
8	10	GAIN	ゲイン選択ピン。このピンを GND に接続すると、両 DAC 出力の振幅は 0 V ~ V _{REF} になります。このピンを V _{LOGIC} に接続すると、両 DAC 出力の振幅は 0 V ~ 2 × V _{REF} になります。
9	11	V _{LOGIC}	デジタル電源。電圧範囲は 1.8 V ~ 5.5 V。
10	12	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジでシフトレジスタに入力されます。データは最大 50 MHz のレートで転送できます。
11	13	SYNC	アクティブ・ローのコントロール入力。これは、入力データに対するフレーム同期信号です。SYNC がロー・レベルになると、データは次の 24 個のクロックの立下がりエッジで転送されます。
12	14	SDIN	シリアル・データ入力。このデバイスは、24 ビットの入力シフトレジスタを内蔵しています。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。
13	15	RESET	非同期リセット入力。RESET 入力は、立下がりエッジ検出です。RESET がロー・レベルのときは、すべての LDAC パルスが無視されます。RESET がロー・レベルになると、入力レジスタと DAC レジスタが RSTSEL ピンの状態に応じてゼロスケールまたはミッドスケールで更新されます。
14	16	RSTSEL	パワーオン・リセット選択ピン。このピンを GND に接続すると、両 DAC はゼロスケールでパワーアップします。このピンを V _{LOGIC} に接続すると、両 DAC はミッドスケールでパワーアップします。
15	1	V _{REF}	リファレンス電圧入力。
16	6	NC	未接続。このピンは接続しないでください。
17	N/A	EPAD	エクスポーズド・パッド。エクスポーズド・パッドは GND に接続する必要があります。

代表的な性能特性

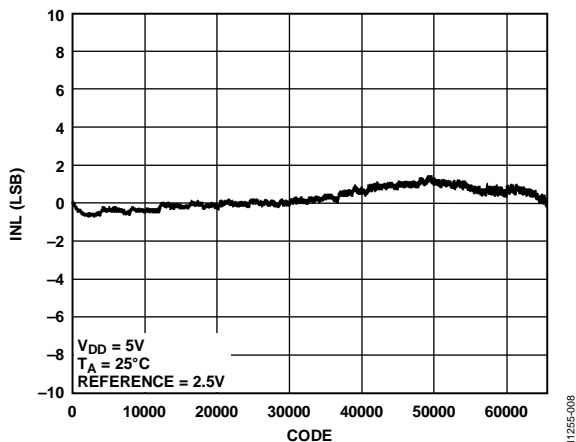


図 8.AD5689 のコード対積分非直線性(INL)

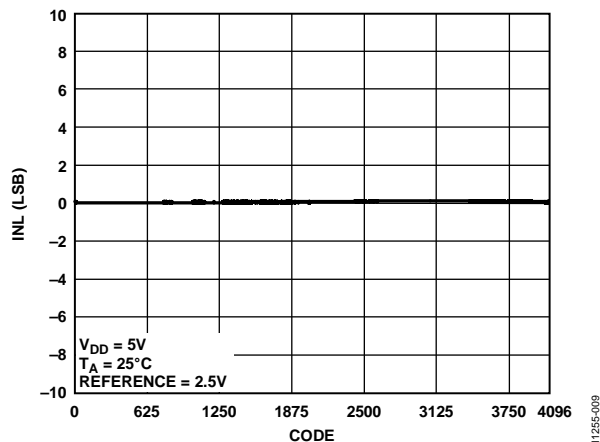


図 11.AD5687 のコード対 INL

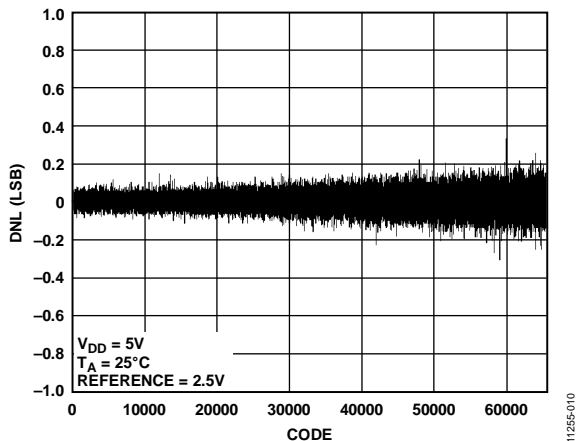


図 9.AD5689 のコード対微分非直線性 (DNL)

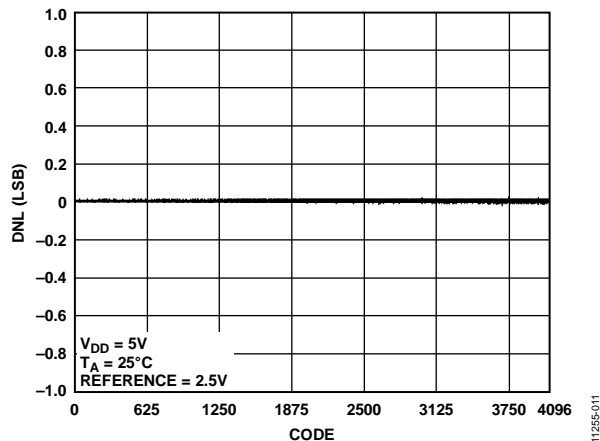


図 12.AD5687 のコード対 DNL

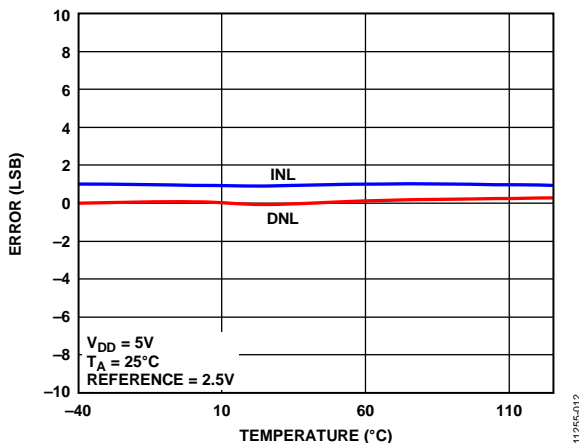


図 10.INL 誤差と DNL 誤差の温度特性

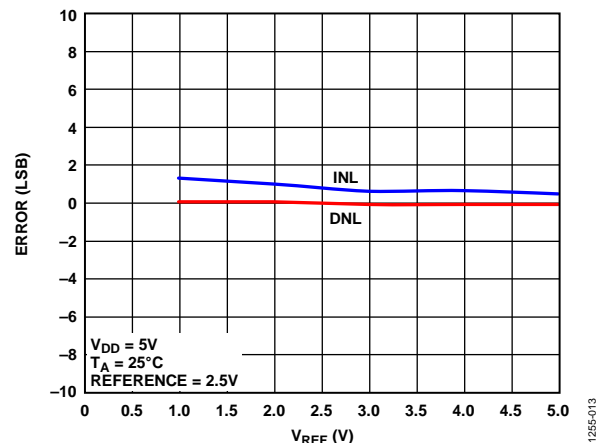


図 13.VREF 対 INL 誤差および DNL 誤差

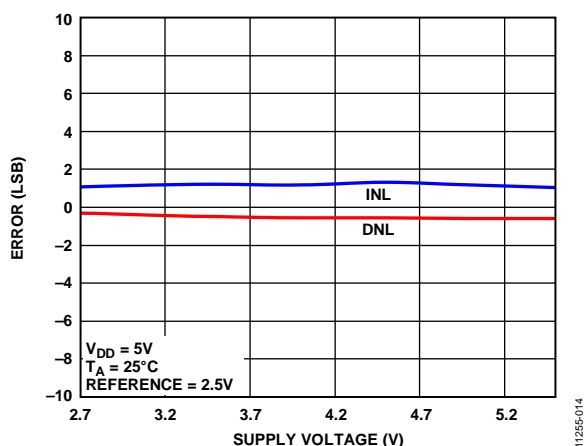


図 14.電源電圧対 INL 誤差および DNL 誤差

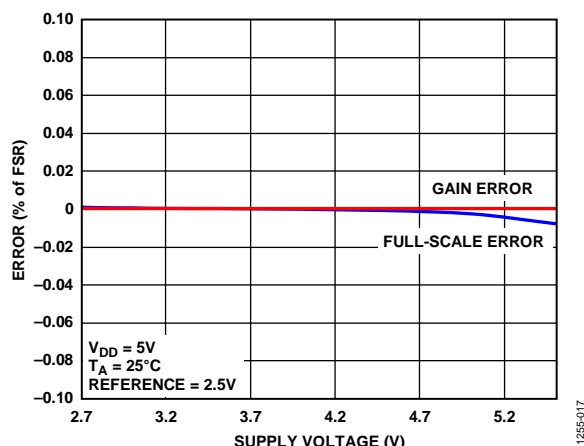


図 17.電源電圧対ゲイン誤差およびフルスケール誤差

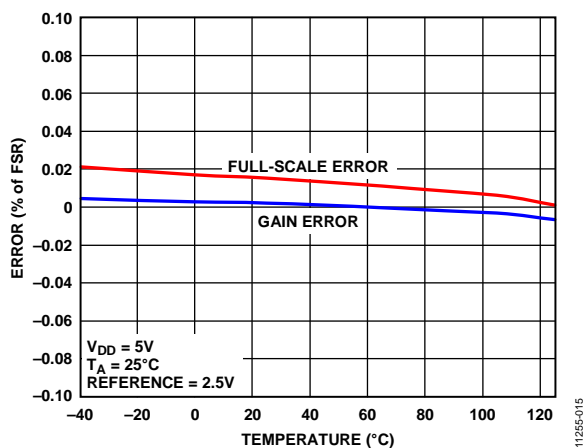


図 15.ゲイン誤差とフルスケール誤差の温度特性

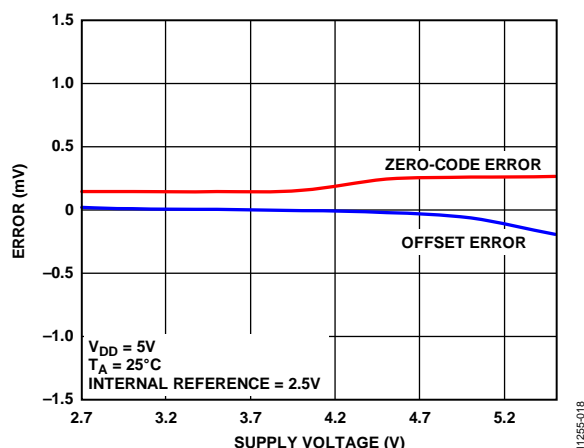


図 18.電源電圧対ゼロ・コード誤差およびオフセット誤差

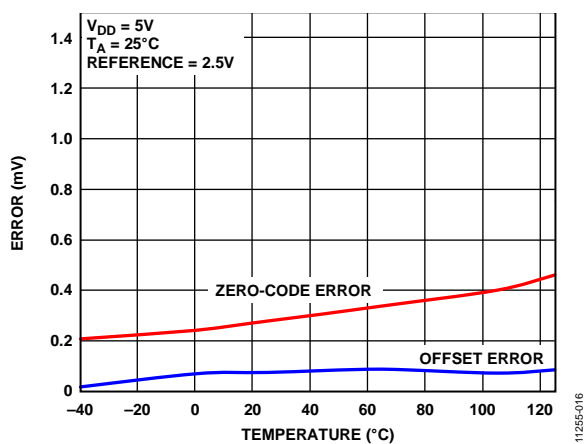


図 16.ゼロ・コード誤差とオフセット誤差の温度特性

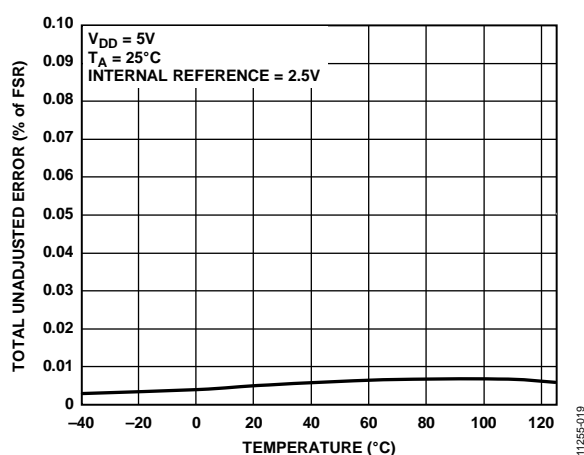


図 19.総合未調整誤差(TUE)の温度特性

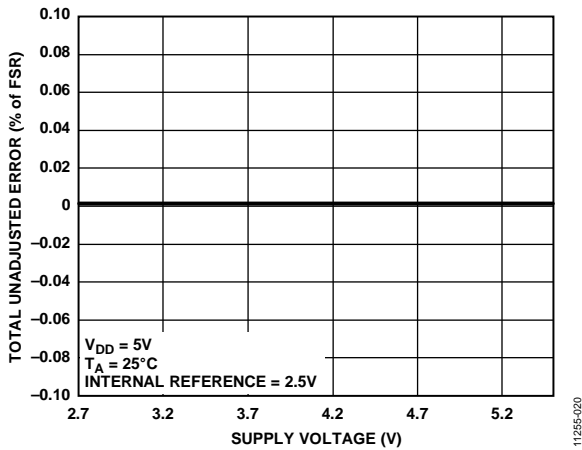


図 20.電源電圧対 TUE、ゲイン = 1

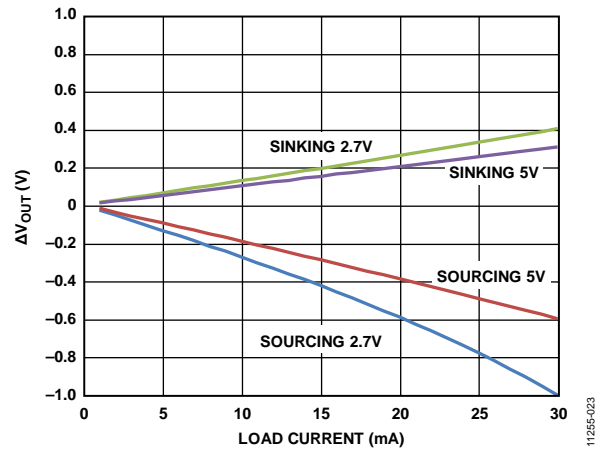


図 23.負荷電流対ヘッドルーム/フットルーム

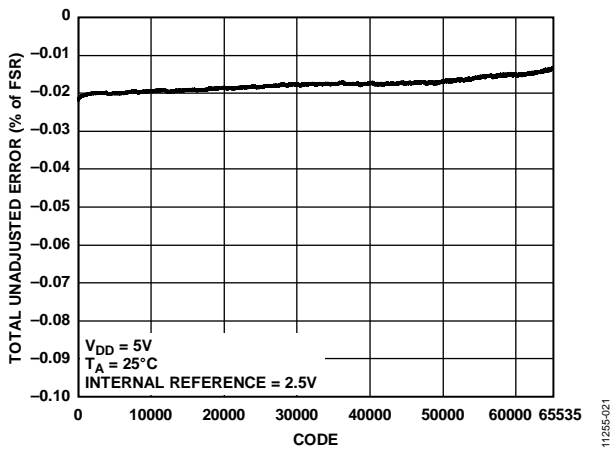


図 21.コード対 TUE

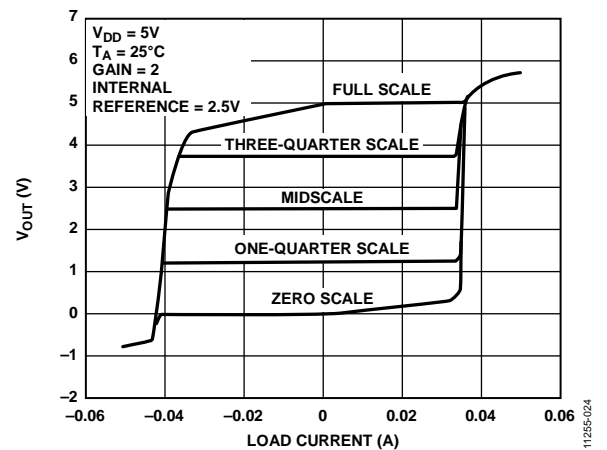


図 24.5 V でのソース能力とシンク能力

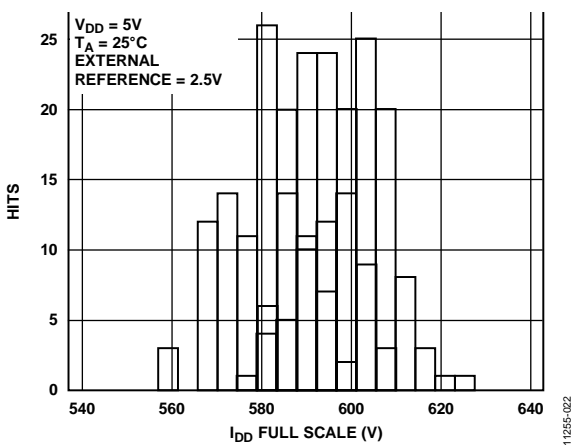


図 22. I_{DD} のヒストグラム

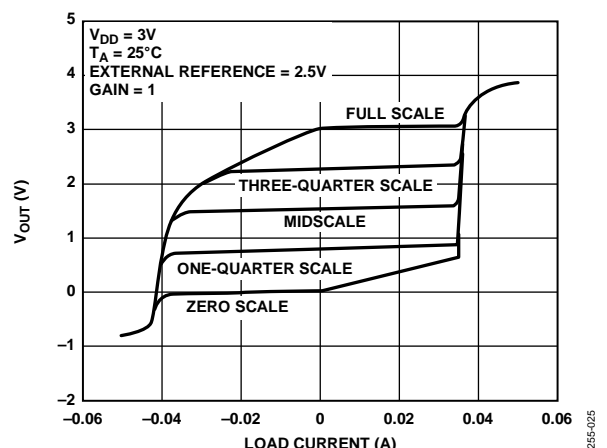


図 25.3 V でのソース能力とシンク能力

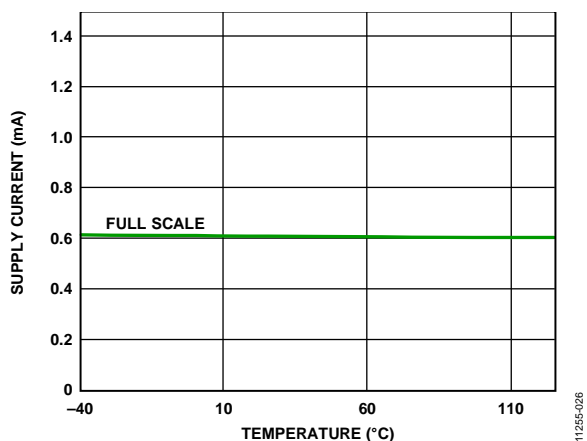


図 26.電源電流の温度特性

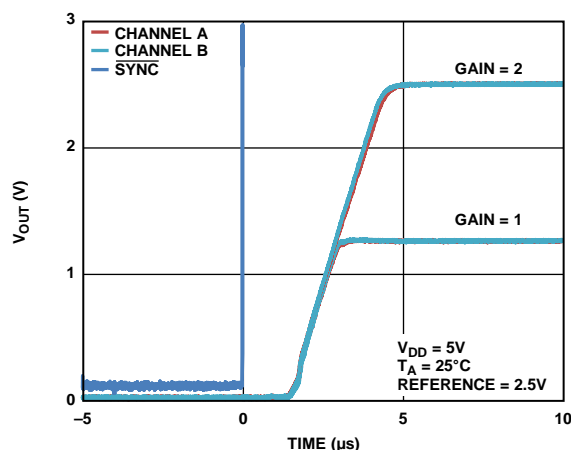


図 29.パワーダウン終了時のミドスケール出力

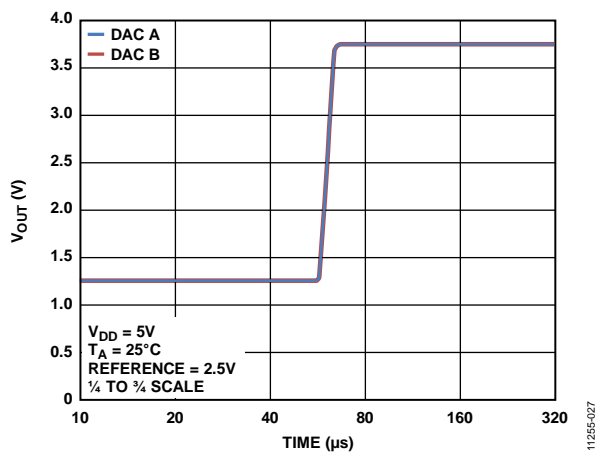


図 27.セトリング・タイム、5 V

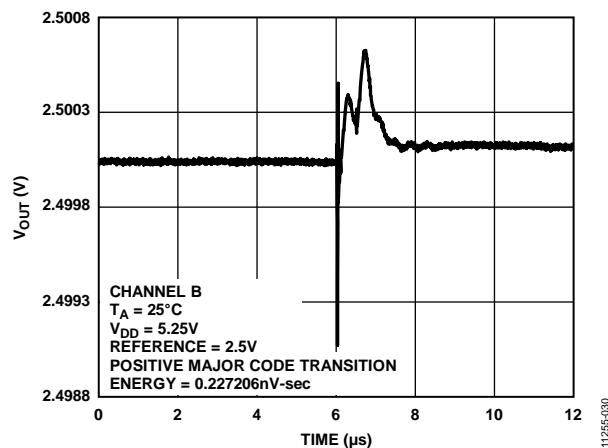


図 30.デジタルからアナログへのグリッチ・インパルス

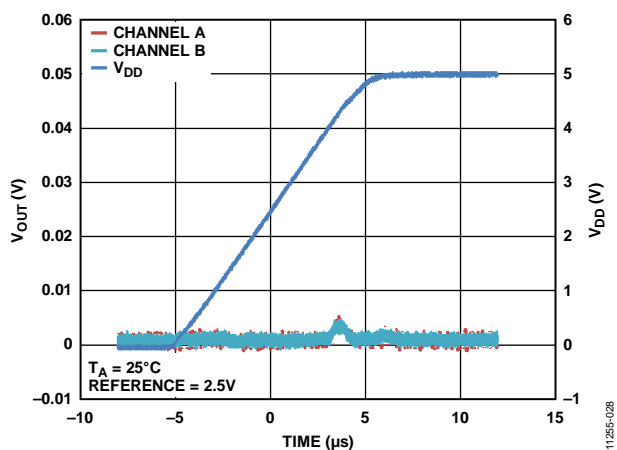


図 28.0 V へのパワーオン・リセット

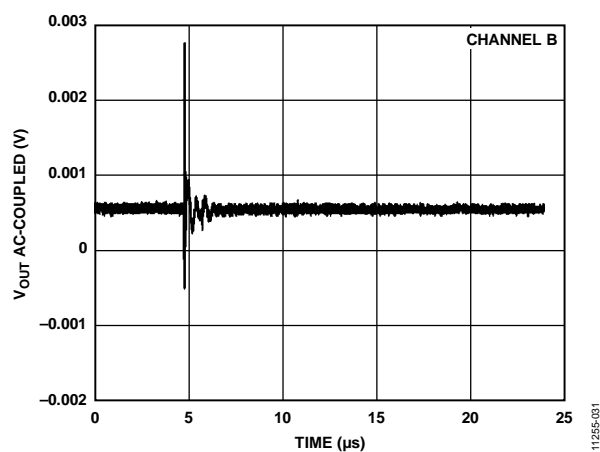


図 31.アナログ・クロストーク、チャンネル A

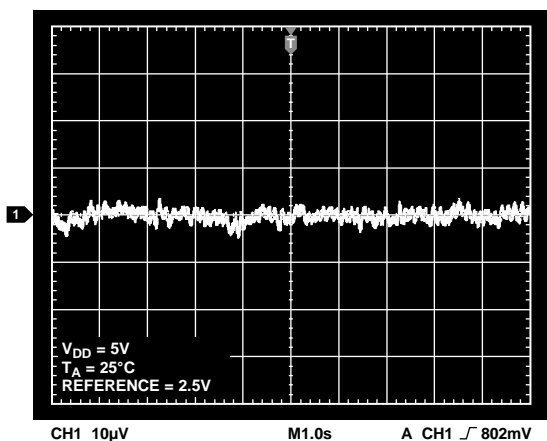


図 32. 0.1 Hz~10 Hz での出力ノイズ・プロット

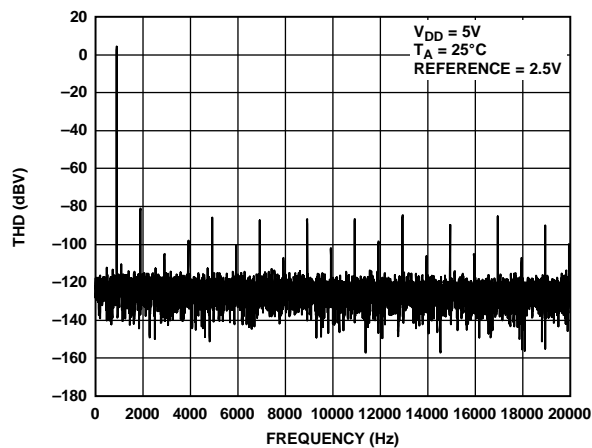


図 33. 全高調波歪み、1 kHz

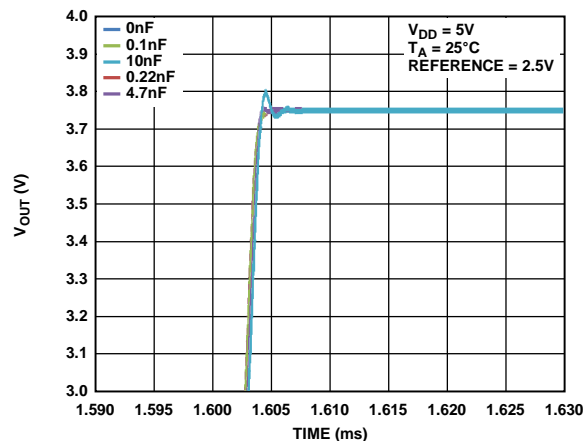


図 34. 容量負荷対セリング・タイム

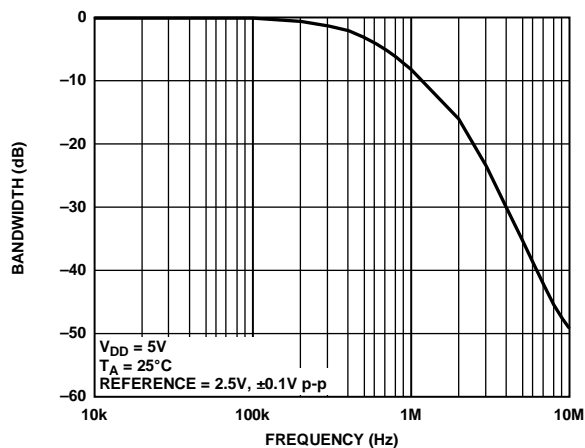


図 35. 乗算帯域幅、リファレンス電圧 = 2.5 V、±0.1 V p-p、10 kHz~10 MHz

用語

相対精度または積分非直線性(INL)

DAC の場合、相対精度すなわち積分非直線性は、DAC 伝達関数の上下両端を結ぶ直線からの最大乖離(LSB 数で表示)を表します。図 8 と図 11 にコード対 INL (typ) を示します。

微分非直線性(DNL)

微分非直線性(DNL)は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差をいいます。最大 ± 1 LSB の微分非直線性の規定により、単調性が保証されます。この DAC はデザインにより単調性を保証しています。図 9 と図 12 にコード対 DNL (typ) を示します。

ゼロ・コード誤差

ゼロ・コード誤差は、ゼロ・コード(0x0000)を DAC レジスタにロードしたときの出力誤差として測定されます。理論的には、出力が 0 V である必要があります。ゼロ・コード誤差はこのデバイスでは常に正です。これは、DAC と出力アンプのオフセット誤差の組み合わせによって DAC 出力が 0 V より低くなることのできないためです。ゼロ・コード誤差は mV で表します。ゼロ・コード誤差の温度特性を図 16 に示します。

フルスケール誤差

フルスケール誤差は、フルスケール・コード(0xFFFF)を DAC レジスタにロードしたときの出力誤差として測定されます。理論的には出力は $V_{DD} - 1$ LSB である必要があります。フルスケール誤差はフルスケール範囲のパーセント値(FSR の%)で表します。フルスケール誤差の温度特性を図 15 に示します。

ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。理論 DAC 伝達特性の傾斜からの変位を表し、FSR の%で表示されます。

オフセット誤差ドリフト

オフセット誤差ドリフトは、温度変化によるオフセット誤差の変化を表し、 $\mu\text{V}/^\circ\text{C}$ で表されます。

ゲイン温度係数

ゲイン温度係数は、温度変化に対するゲイン誤差の変化を表し、FSR/ $^\circ\text{C}$ の ppm で表されます。

オフセット誤差

オフセット誤差は、伝達関数の直線領域での V_{OUT} (実測値)と V_{OUT} (理論)の差を表し、mV で表示されます。オフセット誤差は、デバイスの DAC レジスタにコード 512 をロードして測定されています。この誤差は正または負になります。

DC 電源除去比(PSRR)

PSRR は、電源電圧変化の DAC 出力に対する影響を表します。PSRR は、DAC フルスケール出力での、 V_{OUT} 変化の V_{DD} 変化に対する比です。これは mV/V で測定されます。 V_{REF} を 2 V に維持して、 V_{DD} を $\pm 10\%$ 変化させます。

出力電圧セトリング・タイム

これは、1/4 フルスケール入力から 3/4 フルスケール入力への変化に対して、DAC 出力が所定のレベルまでに安定するために要する時間であり、 $\overline{\text{SYNC}}$ の立上がりエッジから測定されます。

デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常、nV-sec で表すグリッチの面積として規定され、主要キャリ変化時に(0x7FFF から 0x8000)、デジタル入力コードが 1 LSB だけ変化したときに測定されます(図 30 参照)。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表します。nV-sec で規定され、データ・バス上でのフルスケール・コード変化時、すなわち全ビット 0 から全ビット 1 への変化、またはその逆の変化のときに測定されます。

リファレンス・フィードスルー

DAC 出力に変化がない時の DAC 出力における信号振幅のリファレンス入力に対する比であり、dB で表されます。

ノイズ・スペクトル密度(NSD)

NSD は、内部で発生されたランダム・ノイズの大きさを表します。ランダム・ノイズは、スペクトル密度としてキャラクタライズされます。DAC にミッドスケールを入力し、出力のノイズを測定して、nV/ $\sqrt{\text{Hz}}$ で表します。

DC クロストーク

別の DAC 出力での変化に起因する 1 つの DAC の出力レベルでの DC 変化。1 つのミッドスケールに維持した DAC をモニタしながら、別の DAC 上でのフルスケール出力変化(またはソフト・パワーダウンとパワーアップ)を使って測定し、 μV で表されます。

負荷電流変化に起因する DC クロストークは、1 つの DAC の負荷電流変化がミッドスケールに設定された別の DAC へ与える影響を表し、 $\mu\text{V}/\text{mA}$ で表わされます。

デジタル・クロストーク

1 つの DAC の入力レジスタにおけるフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)から、ミッドスケール・レベルにある別の DAC の出力に混入したグリッチ・インパルスを表し、スタンドアロン・モードで測定し、nV-sec で表されます。

アナログ・クロストーク

DAC の出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルスを表し、入力レジスタの 1 つにフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆の変化)をロードして測定します。次に、ソフトウェア LDAC を実行して、デジタル・コードが変化しない DAC の出力をモニタします。グリッチの面積は nV-sec で表示します。

DAC 間クロストーク

デジタル・コードの変化とそれに続く DAC のアナログ出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルス。書込コマンドと更新コマンドを使って、DAC の 1 つにフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)をロードして、この間にミッドスケールにある別の DAC 出力をモニタすることにより測定します。グリッチのエネルギーは nV·sec で表示します。

乗算帯域幅

DAC 内のアンプは有限な帯域幅を持っています。乗算帯域幅はこれを表します。入力された基準正弦波(DAC にフルスケール・コードをロード)は、出力に現われます。乗算帯域幅は、出力振幅が入力より 3 dB 小さくなる周波数で表します。

全高調波歪み(THD)

THD は、理論正弦波と DAC を使ったために減衰したその正弦波との差を表します。DAC に対してリファレンスとして正弦波を使ったときに、DAC 出力に現われる高調波が THD になります。dB 値で表示します。

動作原理

D/A コンバータ (DAC)

AD5689/AD5687 は、16/12 ビット、シリアル入力、デュアル電圧出力 DAC です。これらのデバイスは 2.7 V~5.5 V の電源電圧で動作します。データは、3 線式シリアル・インターフェースを使用して 24 ビット・ワード・フォーマットで AD5689/AD5687 へ書込まれます。デバイスは、パワーオン・リセット回路を内蔵しており、この回路により、パワーアップ時に DAC 出力を既知出力状態に維持することができます。AD5689/AD5687 は、消費電流を 4 μA まで減少させるソフトウェア・パワーダウン・モードも持っています。

伝達関数

DAC への入力コーディングはストレート・バイナリを使っているため、外付けリファレンスを使う場合、理論出力電圧は次式で与えられます。

$$V_{OUT} = V_{REF} \times Gain \left[\frac{D}{2^N} \right]$$

ここで、*Gain* は、出力アンプのゲインで、デフォルトで 1 に設定されます。この値は、ゲイン選択ピンを使って ×1 または ×2 に設定することができます。GAIN ピンを GND に接続すると、両 DAC 出力の振幅は 0 V~*V_{REF}* になります。GAIN ピンを *V_{LOGIC}* に接続すると、両 DAC 出力の振幅は 0 V~2 × *V_{REF}* になります。*D* は DAC レジスタにロードされるバイナリ・コードの 10 進数表示です。12 ビット・デバイスの場合 0~4,095、16 ビット・デバイスの場合 0~65,535 になります。*N* は、DAC の分解能です。

DAC アーキテクチャ

DAC アーキテクチャは、ストリング DAC とそれに続く出力アンプから構成されています。図 36 に、DAC アーキテクチャのブロック図を示します。

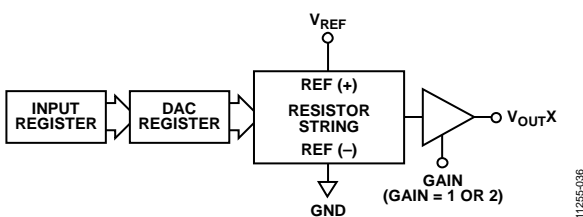


図 36. DAC 1 チャンネルあたりのアーキテクチャのブロック図

抵抗ストリング構造を図 37 に示します。各値が *R* の抵抗ストリングから構成されています。DAC レジスタにロードされるコードにより、ストリングのどのノードから電圧を分割して出力アンプへ供給するかが指定されます。スイッチの内の 1 つが閉じてストリングがアンプに接続されて、電圧が取り出されます。抵抗のストリングであるため、単調整が保証されます。

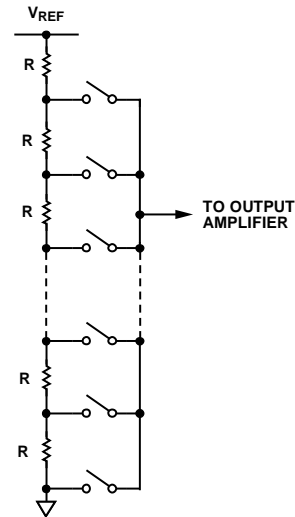


図 37. 抵抗ストリング構造

出力アンプ

出力バッファアンプは、出力でレール to レール電圧を発生することができます。0 V~*V_{DD}* の出力範囲になります。実際の範囲は、*V_{REF}* の値、GAIN ピン、オフセット誤差、ゲイン誤差に依存します。次のように、GAIN ピンで出力のゲインを選択します。

- GAIN ピンを GND に接続すると、両 DAC の出力ゲインは 1 で、出力範囲は 0 V~*V_{REF}* になります。
- GAIN ピンを *V_{LOGIC}* に接続すると、両 DAC の出力ゲインは 2 で、出力範囲は 0 V~2 × *V_{REF}* になります。

これらのアンプは、GND へ接続した 1 kΩ と 2 nF の並列接続負荷を駆動することができます。スルーレートは 0.8 V/μs であり、1/4 スケールから 3/4 スケールまでのセトリング・タイムは 5 μs です。

シリアル・インターフェース

AD5689/AD5687 は、SPI、QSPI™、MICROWIRE®の各インターフェース規格や大部分の DSP と互換性のある 3 線式シリアル・インターフェース(SYNC、SCLK、SDIN)を内蔵しています。図2に、代表的な書込みシーケンスのタイミング図を示します。

AD5689/AD5687 には SDO ピンがあります。このピンを使うと、複数のデバイスをデジタイズチェーン接続することができます(デジタイズチェーン動作のセクション参照)。あるいはリードバックに使うことができます。

入カシフトレジスタ

AD5689/AD5687 の入カシフトレジスタは 24 ビット幅で、データは MSB ファースト (DB23)でロードされます。先頭の 4 ビットはコマンド・ビット C3~C0 です(表 9 参照)。その後ろに、DAC B と DAC A から構成される 4 ビットの DAC アドレス・ビットと、0 に設定された 2 ビットの don't care ビットが続きます(表 8 参照)。入カシフトレジスタの最後は、データワードです。

このデータワードは、16 ビットまたは 12 ビットの入カコード、その後ろに、AD5689 では 0 個の don't care ビットが、AD5687 では 4 個の don't care ビットが、それぞれ続きます(それぞれ図 38 と図 39 を参照)。これらのデータビットは、SCLK の 24 個の立下がりエッジで入カシフトレジスタへ転送され、SYNC の立上がりエッジで更新されます。

コマンドは、選択したアドレス・ビットに応じて、個別 DAC チャンネル、または両 DAC チャンネルに対して実行することができます。

表 8.アドレス・コマンド

Address (n)				Selected DAC Channel
DAC B	0	0	DAC A	
0	0	0	1	DAC A
1	0	0	0	DAC B
1	0	0	1	DAC A and DAC B

表 9.コマンドの定義

Command				Description
C3	C2	C1	C0	
0	0	0	0	No operation
0	0	0	1	Write to Input Register n (dependent on LDAC)
0	0	1	0	Update DAC Register n with contents of Input Register n
0	0	1	1	Write to and update DAC Channel n
0	1	0	0	Power down/power up DAC
0	1	0	1	Hardware LDAC mask register
0	1	1	0	Software reset (power-on reset)
0	1	1	1	Reserved
1	0	0	0	Set up DCEN register (daisy-chain enable)
1	0	0	1	Set up readback register (readback enable)
1	0	1	0	Reserved
...	Reserved
1	1	1	1	Reserved

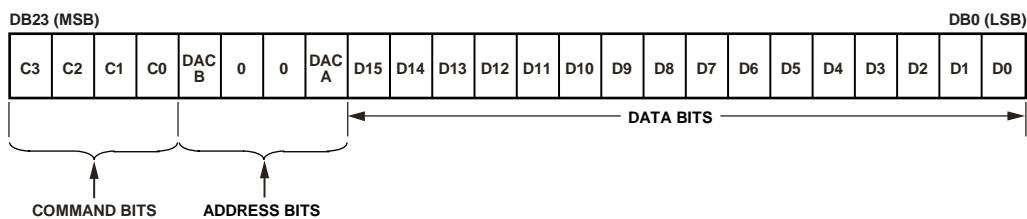


図 38.AD5689 の入カシフトレジスタ値

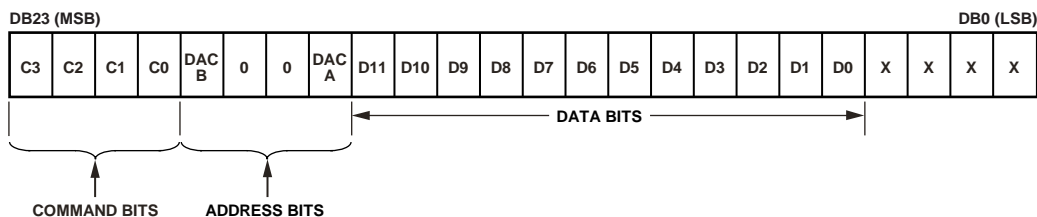


図 39.AD5687 の入カシフトレジスタ値

スタンドアロン動作

SYNCラインをロー・レベルにすると、書き込みシーケンスが開始されます。SDINラインからのデータは、SCLKの立下がりエッジで24ビット入力シフトレジスタに入力されます。24個のデータビットの最後を入力した後に、SYNCをハイ・レベルにします。その後で設定された機能、すなわちDACレジスタ値のLDACに依存した変更および/または動作モード変更が実行されます。24番目のクロックの前でSYNCがハイ・レベルになると、有効なフレームで無効なデータがDACにロードされたものと見なされます。SYNCの立下がりエッジで次の書き込みシーケンスを確実に開始できるようにするため、次の書き込みシーケンスの前にSYNCを最小20 ns間(シングル・チャンネル、図2の t_s 参照)ハイ・レベルにする必要があります。デバイスをさらに低消費電力動作させるため、書き込みシーケンスの間にSYNCを電源レールにアイドルさせる必要があります。SYNCラインはSCLKの24個の立下がりエッジ間ロー・レベルに維持され、DACはSYNCの立上がりエッジで更新されます。

データがアドレス指定されたDACの入力レジスタへ転送されたときに、SYNCラインがハイ・レベルの間にLDACをロー・レベルにすると、両DACレジスタと両出力を更新することができます。

書き込みコマンドと更新コマンド

入力レジスタ n への書き込み(LDACに依存)

コマンド 0001 を使うと、各DACの専用入力レジスタへ個別に書き込みを行うことができます。LDACがロー・レベルのとき、入力レジスタはトランスペアレントになります(LDACマスク・レジスタから制御されていない場合)。

入力レジスタ n の値による DAC レジスタ n の更新

コマンド 0010 は、選択した入力レジスタ値をDACレジスタ/出力へロードしてDAC出力を直接更新します。

DAC チャンネル n への書き込みと更新(LDAC非依存)

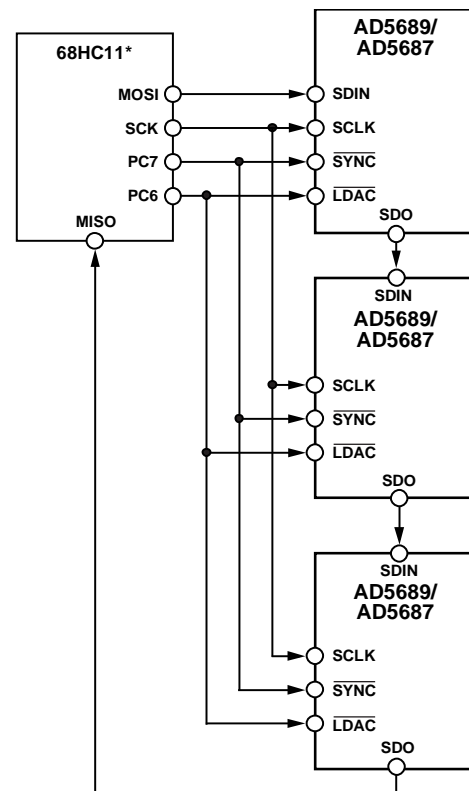
コマンド 0011 を使うと、DACレジスタへ書き込みを行なって、DAC出力を直接更新することができます。

デジチェーン動作

複数のDACを使うシステムでは、SDOピンを使って複数のデバイスをデジチェーン接続することができます。SDOは、ソフトウェアからデジチェーン・イネーブル(DCEN)コマンドを実行してイネーブルします。コマンド 1000 は、このDCEN機能として予約されています(表9参照)。デジチェーン・モードは、DCENレジスタのビット(DB0)をセットしてイネーブルします。デフォルト設定はスタンドアロン・モードで、DB0(LSB) = 0 になっています。表10に、ビットの状態とデバイスの動作モードとの対応を示します。

表 10. デジチェーン・イネーブル(DCEN)レジスタ

DB0 (LSB)	Description
0	Standalone mode (default)
1	DCEN mode



*ADDITIONAL PINS OMITTED FOR CLARITY.

11255-040

図 40. 複数の AD5689/AD5687 デバイスのデジチェーン接続

SYNCがロー・レベルのとき、SCLKピンは連続的に入力シフトレジスタに接続されます。24個を超えるクロック・パルスが入力されると、データは入力シフトレジスタからはみ出して、SDOピンに出力されます。データはSCLKの立上がりエッジで出力され、SCLKの立下がりエッジで有効になります。このラインをチェーン内の次のDACのSDIN入力に接続すると、デジチェーン・インターフェースが構成されます。システム内の各DACは、24個のクロック・パルスを必要とします。したがって、必要な合計クロック・サイクル数は $24 \times N$ になります。ここで、Nは更新される合計デバイス数です。24の整数倍でないクロックでSYNCがハイ・レベルになると、有効なフレームと無効なデータがDACにロードされたものと見なされます。すべてのデバイスに対するシリアル転送が完了したら、SYNCをハイ・レベルにします。この動作により、デジチェーン内にある各デバイス内の入力データがラッチされて、入力シフトレジスタにさらにデータが入力されるのを防止します。シリアル・クロックとしては、連続クロックまたはゲーテッド・クロックが可能です。正しいクロック・サイクル数間、SYNCをロー・レベルに維持することができます。ゲーテッド・クロック・モードでは、所定数のクロック・サイクルを含むバースト・クロックを使い、最終クロックの後にSYNCをハイ・レベルにしてデータをラッチする必要があります。

リードバック動作

リードバック・モードは、ソフトウェアからリードバック・コマンドを実行して開始します。コントロール・レジスタのディジーチェーン・モード・ディスエーブル・ビットを使って SDO 出力をディスエーブルすると、再度ディスエーブルされた後に、読出し動作の間自動的にイネーブルされます。コマンド 1001 はリードバック機能に予約されています。このコマンドは、アドレス・ビット DAC B または DAC A の選択に対応して、読出し対象レジスタを選択します。リードバックでは 1 個の DAC レジスタだけが選択可能であることに注意してください。残りの 3 ビットのアドレス・ビット (2 ビットの don't care ビットを含む) は、ロジック 0 に設定される必要があります。書き込みシーケンス内の残りのデータビットは無視されます。複数のアドレス・ビットを選択した場合、またはアドレス・ビットを選択しない場合、デフォルトで DAC チャンネル A がリードバックされます。次の SPI への書き込み時に SDO に出力されるデータに、前にアドレス指定したレジスタのデータが含まれています。

例えば、チャンネル A の DAC レジスタをリードバックするときには、次のシーケンスを使うことができます。

- 0x900000 を AD5689/AD5687 入力レジスタへ書き込みます。この動作により、デバイスが読出しモードに設定され、チャンネル A の DAC レジスタが選択されます。データビット DB15~DB0 は無視されることに注意してください。
- この書き込み動作の後に、NOP 条件 0x000000 を書き込む 2 回目の書き込みを行います。この書き込みで、レジスタからのデータが SDO ラインへ出力されます。DB23~DB20 には未定義データが格納され、最後の 16 ビットに DAC レジスタ値の DB19~DB4 が格納されます。

パワーダウン動作

AD5689/AD5687 には 3 種類のパワーダウン・モードがあります。コマンド 0100 はパワーダウン機能を制御します (表 9 参照)。これらのパワーダウン・モードは、入力シフトレジスタの 8 ビット (ビット DB7~ビット DB0) を設定することにより、ソフトウェアから設定することができます。各 DAC チャンネルに対応した 2 ビットがあります。表 11 に、2 ビットの状態とデバイスの動作モードとの対応を示します。

対応するビットをセットすることにより、DAC (DAC B または DAC A の一方または両方) を選択したモードにパワーダウンさせることができます。パワーダウン/パワーアップ動作時の入力シフトレジスタ値については表 12 を参照してください。

表 12. パワーダウン/パワーアップ動作の 24 ビット入力シフトレジスタ値¹

DB23 (MSB)	DB22	DB21	DB20	DB19 to DB16	DB15 to DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0 (LSB)
0	1	0	0	X	X	PDB1	PDB0	1	1	1	1	PDA1	PDA0
Command bits (C3 to C0)				Address bits; don't care		Power-down, select DAC B		Set to 1		Set to 1		Power-down, select DAC A	

¹ X = don't care.

表 11. 動作モード

Operating Mode	PDx1	PDx0
Normal Operation Mode	0	0
Power-Down Modes		
1 kΩ to GND	0	1
100 kΩ to GND	1	0
Three-State	1	1

入力シフトレジスタの PDx1 と PDx0 の両ビット (x は選択したチャンネル) を 0 に設定すると、デバイスは 5 V で 4 mA の消費電流でノーマル動作します。ただし、AD5689/AD5687 の 3 種類のパワーダウン・モードでは、電源電流が 5 V で 4 μA に減少します。電源電流が減少するだけでなく、出力ステージも内部的にアンプ出力から切り離されて既知の値を持つ抵抗回路に接続されます。この切り替えは、デバイスの出力インピーダンスが既知であると同時にデバイスがパワーダウン・モードになるという利点を持っています。3 種類のパワーダウン・オプションは次の通りです。

- 出力が内部で 1 kΩ の抵抗を介して GND に接続されます。
- 出力が内部で 100 kΩ の抵抗を介して GND に接続されます。
- 出力がオープンになります (スリー・ステート)。

出力ステージを図 41 に示します。

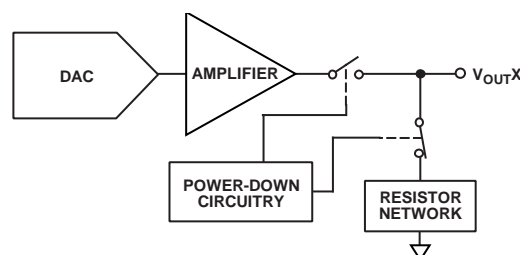


図 41. パワーダウン時の出力ステージ

パワーダウン・モードのときは、バイアス・ジェネレータ、出力アンプ、抵抗ストリング、およびその他の関係するリニア回路はシャットダウンされます。ただし、DAC レジスタ値はパワーダウン・モードで影響を受けないため、デバイスのパワーダウン・モード中でも DAC レジスタを更新することができます。パワーダウンから抜け出すために要する時間は、V_{DD} = 5 V で 4.5 μs (typ) です。

DAC のロード(ハードウェアLDACピン)

AD5689/AD5687の DAC は、入力レジスタと DAC レジスタの 2 つのレジスタ・バンクで構成されているダブルバッファ化されたインターフェースを内蔵しています。入力レジスタの任意の組み合わせへ書込みを行うことができます。DAC レジスタの更新は、LDACピンから制御されます。

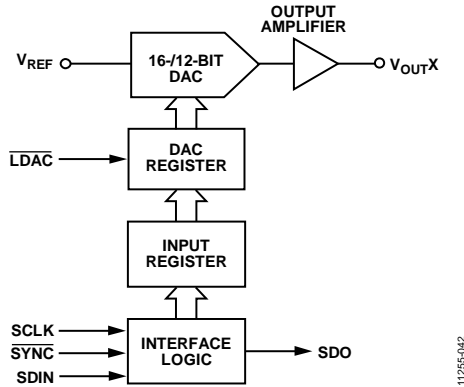


図 42.1 個の DAC についての入力ロード回路の簡略化した図

DAC の瞬時更新(LDACをロー・レベルに維持)

コマンド 0001 を使ってデータを入力レジスタへ入力する間 LDACをロー・レベルに維持します。アドレス指定された入力レジスタと DAC レジスタが SYNCの立上がりエッジで更新されて、出力が変化を開始します(表 14 と表 15 参照)。

表 14. LDAC 動作に対する 24 ビット入力シフトレジスタ値¹

DB23 (MSB)	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15 to DB4	DB3	DB2	DB1	DB0 (LSB)
0	0	0	1	X	X	X	X	X	DAC B	0	0	DAC A
Command bits (C3 to C0)				Address bits, don't care				Don't care	Setting the LDAC bit to 1 overrides the LDAC pin			

¹ X = don't care.

表 15. 書込コマンドと LDACピンの真理値表¹

Command	Description	Hardware LDAC Pin State	Input Register Contents	DAC Register Contents
0001	Write to Input Register n (dependent on LDAC)	V _{LOGIC}	Data update	No change (no update)
		GND ²	Data update	Data update
0010	Update DAC Register n with contents of Input Register n	V _{LOGIC}	No change	Updated with input register contents
		GND	No change	Updated with input register contents
0011	Write to and update DAC Channel n	V _{LOGIC}	Data update	Data update
		GND	Data update	Data update

¹ ハードウェアLDACピンのハイ・レベルからロー・レベルへの変化により、常に DAC レジスタ値が、LDACマスク・レジスタでマスクされていないチャンネルの入力レジスタ値で更新されます。

² LDACをロー・レベルに固定すると、LDACマスク・ビットは無視されます。

DAC の遅延更新(LDACへ立下がりパルスを入力)

コマンド 0001 を使ってデータを入力レジスタへ入力するとき LDACをハイ・レベルに維持します。SYNCをハイ・レベルにした後に LDACをロー・レベルにすることにより、両 DAC出力が非同期で更新されます。更新は、LDACの立下がりエッジで行われるようになります。

LDAC マスク・レジスタ

コマンド 0101 は、アドレス・ビットを無視させるソフトウェア LDAC マスク機能用に予約されています。コマンド 0101 を使って DAC へ書込みを行うと、4 ビットの LDACマスク・レジスタ (DB3~DB0)がロードされます。各チャンネルのデフォルト値は 0、すなわち LDACピンはノーマル動作になります。選択したビットを 1 に設定すると、ハードウェア LDACピンの状態に無関係に、この DAC チャンネルは LDACピンでの変化を無視します。この柔軟性は、LDACピンに対応させてチャンネルを選択するアプリケーションで役立ちます。

この LDACマスク・レジスタを使うと、ハードウェア LDACピンを柔軟に制御することができます(表 13 参照)。ある DAC チャンネルに対して LDACビット(DB3、DB0)を 0 に設定することは、このチャンネルの更新がハードウェア LDACピンから制御されることを意味します。

表 13. LDAC 上書きの定義

Load LDAC Register		LDAC Operation
LDAC Bits (DB3, DB0)	LDAC Pin	
0	1 or 0	Determined by the LDAC pin.
1	X ¹	DAC channels update and override the LDAC pin. DAC channels see the LDAC pin as set to 1.

¹ X = don't care

ハードウェア・リセット($\overline{\text{RESET}}$)

$\overline{\text{RESET}}$ はアクティブ・ローのリセットで、出力をゼロスケールまたはミッドスケールへクリアできるようにします。クリア・コード値は、パワーオン・リセット・セレクト・ピン(RSTSEL)を使って選択することができます。動作を完了するためには、 $\overline{\text{RESET}}$ を最小時間ロー・レベルに維持する必要があります(図 2 参照)。 $\overline{\text{RESET}}$ 信号がハイ・レベルに戻っても、新しい値が設定されるまで出力はクリア値を維持します。 $\overline{\text{RESET}}$ ピンがロー・レベルの間、出力は新しい値で更新できません。これらのデバイスには、DAC をパワーオン・リセット・コードにリセットする、ソフトウェアからのリセット機能もあります。コマンド 0110 は、このソフトウェア・リセット機能に割り当てられています(表 9 参照)。パワーオン・リセット時の LDAC または $\overline{\text{RESET}}$ の動作はすべて無視されます。

リセット選択ピン(RSTSEL)

AD5689/AD5687 は、パワーアップ時に出力電圧を制御するパワーオン・リセット回路を内蔵しています。RSTSEL ピンをロー・レベル(GND)に接続すると、出力はゼロスケールでパワーアップします。これは DAC のリニア領域外であることに注意してください。RSTSEL ピンをハイ・レベル(V_{LOGIC})に接続すると、 V_{OUTX} はミッドスケールでパワーアップします。出力はこのレベルでパワーアップを維持し、有効な書込みシーケンスが実行されるまでこの状態が維持されます。

アプリケーション情報

マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5689/AD5687 とのインターフェースは、マイクロコントローラと DSP プロセッサに対して互換性を持つ標準プロトコルを使うシリアル・バスを使って行います。この通信チャンネルには、クロック信号、データ信号、同期信号から構成される 3 線式または 4 線式のインターフェースが必要です。各デバイスでは、24 ビットのデータ・ワードを使用し、SYNC の立上がりエッジでデータが有効である必要があります。

AD5689/AD5687 と ADSP-BF531 とのインターフェース

AD5689/AD5687 の SPI インターフェースは、業界標準の DSP とマイクロコントローラに容易に接続できるようにデザインされています。図 43 に、AD5689/AD5687 とアナログ・デバイゼスの Blackfin® DSP との接続を示します。Blackfin は、AD5689/AD5687 の SPI ピンへ直接接続できる SPI ポートを内蔵しています。

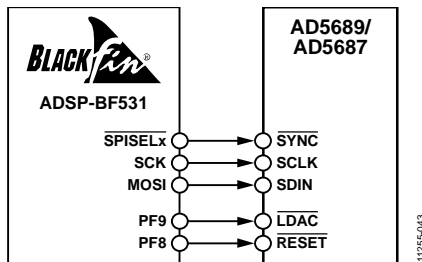


図 43. ADSP-BF531 と AD5689/AD5687 とのインターフェース

AD5689/AD5687 と SPORT とのインターフェース

アナログ・デバイゼスの ADSP-BF527 は、1 個の SPORT シリアル・ポートを内蔵しています。図 44 に、1 個の SPORT インターフェースを使って、AD5689/AD5687 を制御する方法を示します。

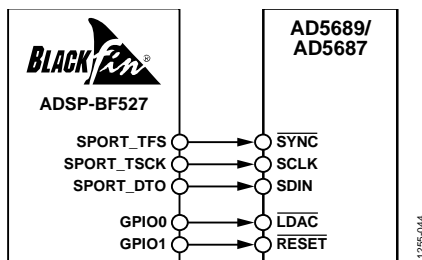


図 44. SPORT と AD5689/AD5687 とのインターフェース

レイアウトのガイドライン

高精度が重要となる回路では、電源とグラウンド・リターンレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5689/AD5687 を実装する PCB は、AD5689/AD5687 をアナログ・プレーン上に配置するようにデザインする必要があります。

AD5689/AD5687 に対しては、10 μF と 0.1 μF の並列接続により十分な電源バイパスをパッケージのできるだけ近くに、理想的

にはデバイスに直接に、接続する必要があります。10 μF コンデンサはタンタルのビーズ型を使います。0.1 μF のコンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESI)が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。1 枚のボード上に多くのデバイスを実装するシステムでは、ヒート・シンク能力を設けて電力の消費を容易にすることが有効であることがあります。

AD5689 または AD5687 には、デバイスの底にエクスポート・パッドが設けてあります。このパッドをデバイスの GND へ接続してください。最適性能を得るためには、マザーボードのデザインに特別な注意を払って、パッケージを実装してください。熱的性能、電気的性能、ボード・レベルの性能を強化するため、パッケージ底面のエクスポート・パッドは対応する PCB のサーマル・ランド・パッドにハンダ付けしてください。PCB ランド・パッド領域にサーマル・ピアを配置するようにデザインしてさらに熱放散を強化してください。

自然なヒート・シンク効果を提供するため、デバイス上の GND プレーンが大きくなることができます(図 45 参照)。

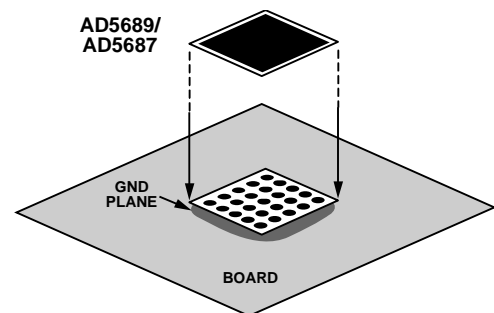
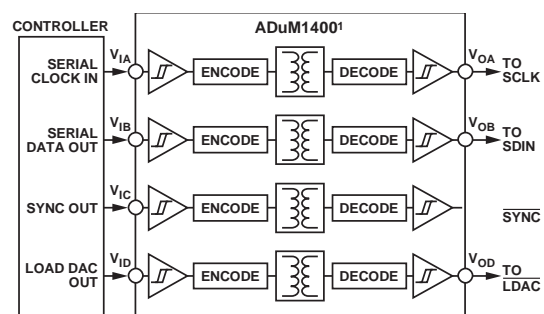


図 45. パッドとボードの接続

電流絶縁型インターフェース

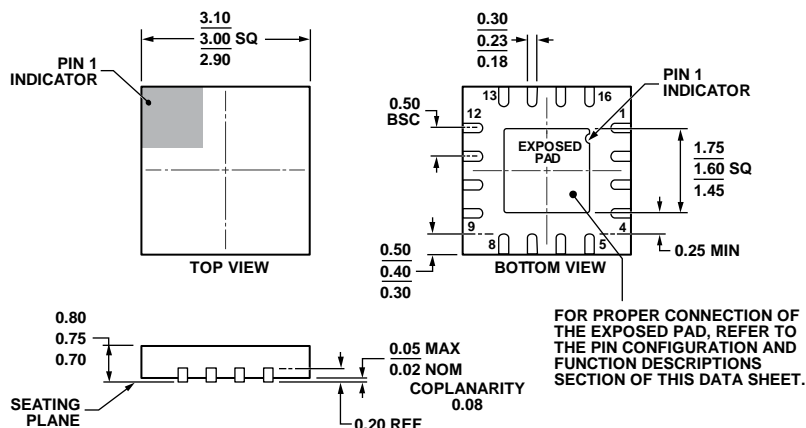
多くのプロセス制御アプリケーションでは、コントローラと被制御対象のユニットとの間にアイソレーション障壁を設けて、危険な同相モード電圧から制御回路を保護してアイソレーションすることが必要です。アナログ・デバイゼスの iCoupler® 製品ファミリーは、2.5 kV を超える電圧アイソレーションを提供します。AD5689/AD5687 はシリアル・ローディング方式を採用しているため、インターフェース・ライン数が最小になっているので、絶縁インターフェース向けに最適です。図 46 に、ADuM1400 を使用して構成した、AD5689/AD5687 への 4 チャンネル絶縁型インターフェースを示します。詳細については、www.analog.com/icouplers をご覧ください。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

図 46. 絶縁型インターフェース

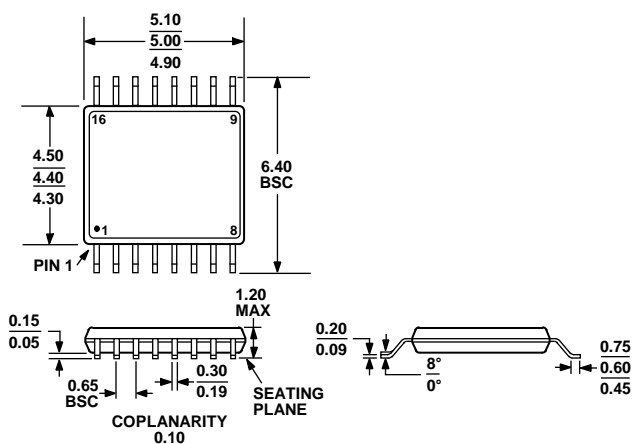
外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WEED-6.

08-16-2010-E

図 47.16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
3 mm x 3 mm ボディ、極薄クワッド
(CP-16-22)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-153-AB

図 48.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-16)
寸法: mm

オーダー・ガイド

Model ¹	Resolution	Temperature Range	Accuracy	Package Description	PackageOption	Branding
AD5689BCPZ-RL7	16 Bits	-40°C to +105°C	±2 LSB INL	16-Lead LFCSP_WQ	CP-16-22	DKW
AD5689BRUZ	16 Bits	-40°C to +105°C	±2 LSB INL	16-Lead TSSOP	RU-16	
AD5689BRUZ-RL7	16 Bits	-40°C to +105°C	±2 LSB INL	16-Lead TSSOP	RU-16	
AD5687BCPZ-RL7	12 Bits	-40°C to +105°C	±1 LSB INL	16-Lead LFCSP_WQ	CP-16-22	DL0
AD5687BRUZ	12 Bits	-40°C to +105°C	±1 LSB INL	16-Lead TSSOP	RU-16	
AD5687BRUZ-RL7	12 Bits	-40°C to +105°C	±1 LSB INL	16-Lead TSSOP	RU-16	

¹ Z = RoHS 準拠製品。

