



2 ppm/°C リファレンス、I²C インターフェース内蔵、12/16 ビット、オクタル nanoDAC+

AD5671R/AD5675R

データシート

特長

高性能

- 高い相対精度 (INL) : 16 ビットで ±3 LSB (最大値)
- 総合未調整誤差 (TUE) : FSR の ±0.14 % (最大値)
- オフセット誤差: ±1.5 mV (最大値)
- ゲイン誤差: FSR の ±0.06 % (最大値)
- 低ドリフト 2.5 V リファレンス: 2 ppm/°C (代表値)

広い動作範囲

- 温度範囲: -40 °C ~ +125 °C
- 電源電圧: 2.7 V ~ 5.5 V

実装が容易

- 1 または 2 のゲインを選択可能 (GAIN ピン/ビット)
- 1.8 V ロジックと互換

400 kHz、I²C 互換シリアル・インターフェース

- 堅牢な 2 kV HBM および 1.5 kV FICDM の ESD 定格
- RoHS 準拠の 20 ピン TSSOP および LFCSP パッケージ

アプリケーション

- 光トランシーバ
- 基地局用パワー・アンプ
- プロセス制御 (PLC I/O カード)
- 工業用オートメーション
- データ・アキュイジション・システム

概要

AD5671R/AD5675R は、低消費電力、オクタル、12/16 ビットのバッファ付き電圧出力 DAC です。これらのデバイスは、2.5 V、2 ppm/°C の内部リファレンス (デフォルトでイネーブル) を備えており、ゲイン・セレクト・ピンによって、2.5 V (ゲイン=1) または 5 V (ゲイン=2) のフルスケール出力が選べます。デバイスは 2.7 V ~ 5.5 V の単電源で動作し、設計によって単調増加性が保証されています。AD5671R/AD5675R は、20 ピンの TSSOP または LFCSP パッケージを採用しています。また、搭載されたパワーオン・リセット回路と RSTSEL ピンにより、DAC 出力を確実にゼロ・スケールまたはミッドスケールでパワーアップし、有効な書き込みが行われるまでその状態にしておくことができます。AD5671R/AD5675R にはパワーダウン・モードがあり、パワーダウン・モードの間、消費電流を 1 μA (代表値) に低減します。

表 1. オクタル nanoDAC+® デバイス

Interface	Reference	16-Bit	12-Bit
SPI	Internal	AD5676R	AD5672R
	External	AD5676	Not applicable
I ² C	Internal	AD5675R	AD5671R

製品のハイライト

- 高い相対精度 (INL)
AD5671R (12 ビット) : ±1 LSB (最大値)
AD5675R (16 ビット) : ±3 LSB (最大値)
- 低ドリフトの 2.5 V 内部リファレンス

機能ブロック図

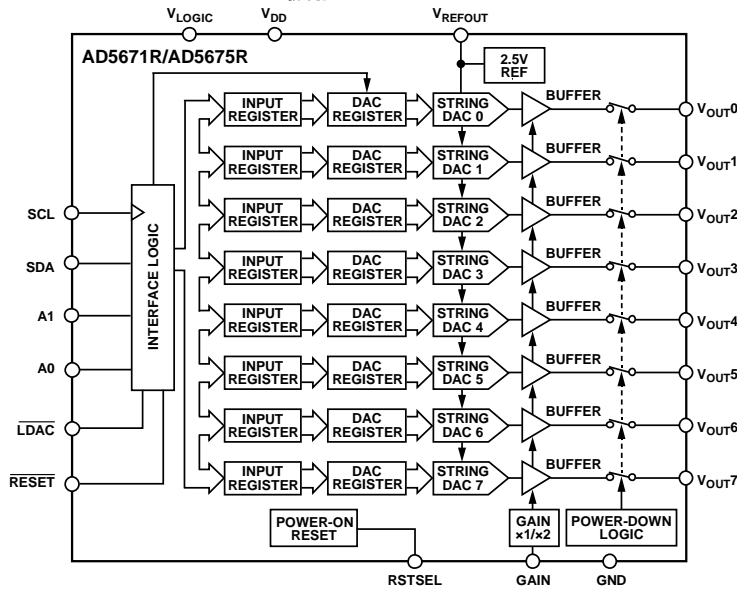


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	I ² C スレーブ・アドレス.....	24
アプリケーション.....	1	シリアル動作.....	24
概要.....	1	書込み動作.....	24
製品のハイライト.....	1	読出し動作.....	25
機能ブロック図.....	1	複数 DAC のリードバック・シーケンス.....	25
改訂履歴.....	2	パワーダウン動作.....	26
仕様.....	3	DAC のロード (ハードウェア $\overline{\text{LDAC}}$ ピン)	26
AD5671R の仕様.....	3	$\overline{\text{LDAC}}$ マスク・レジスタ.....	27
AD5675R の仕様.....	5	ハードウェア・リセット ($\overline{\text{RESET}}$)	28
AC 特性.....	7	リセット選択ピン (RSTSEL)	28
タイミング特性.....	8	内部リファレンスとアンプのゲインの選択	28
絶対最大定格.....	9	ハンダ加熱リフロー.....	28
熱抵抗.....	9	長時間温度ドリフト.....	28
ESD に関する注意.....	9	熱ヒステリシス.....	29
ピン配置およびピン機能の説明.....	10	アプリケーション情報.....	30
代表的な性能特性.....	11	電源の推奨事項.....	30
用語の定義.....	20	マイクロプロセッサ・インターフェース.....	30
動作原理.....	22	AD5671R/AD5675R と ADSP-BF531 とのインターフェース.....	30
D/A コンバータ (DAC)	22	レイアウトのガイドライン.....	30
伝達関数.....	22	デジタル・アイソレータを用いた絶縁インターフェース.....	30
DAC アーキテクチャ.....	22	外形寸法.....	31
シリアル・インターフェース.....	23	オーダー・ガイド.....	31
書込みコマンドと更新コマンド.....	24	Changes to Table 17.....	29
改訂履歴		Changes to Galvanically Isolated Interface Section and	
10/15—Rev. A to Rev. B		Figure 70.....	30
Added 20-Lead LFCSP.....	Universal	Updated Outline Dimensions.....	31
Changes to Features Section and Figure 1.....	1	Changes to Ordering Guide.....	31
Changes to Reference Temperature Coefficient Parameter,		2/15—Rev. 0 to Rev. A	
Table 2 and I _{LOGIC} Parameter, Table 2.....	3	Added AD5671R Specifications Section.....	3
Changes to Reference Temperature Coefficient Parameter,		Changes to Table 2.....	3
Table 3 and I _{LOGIC} parameter, Table 3.....	5	Added AD5675R Specifications Section and Table 3; Renumbered	
Changes to Table 6.....	9	Sequentially.....	5
Added Thermal Resistance Section and Table 7; Renumbered		Changes to Table 5.....	8
Sequentially.....	9	Added Figure 3; Renumbered Sequentially.....	8
Added Figure 5; Renumbered Sequentially.....	10	Change to Terminology Section.....	20
Changes to Table 8.....	10	Change to Transfer Function Section.....	22
Changes to Terminology Section.....	20	Changes to Hardware Reset ($\overline{\text{RESET}}$) Section.....	28
Change to Table 9.....	23	Changes to Ordering Guide.....	31
Change to Read Operation Section.....	25	10/14—Revision 0: Initial Version	
Changes to $\overline{\text{LDAC}}$ Mask Register Section and Table 14.....	27		
Changed Internal Reference Setup Section to Internal Reference and			
Amplifier Gain Selection Section.....	28		
Changes to Internal Reference and Amplifier Gain Selection (LFCSP			
Only) Section and Table 16.....	28		

仕様

AD5671R の仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $1.8\text{ V} \leq V_{\text{LOGIC}} \leq 5.5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ 、 $C_L = 200\text{ pF}$ 、全ての仕様は $T_A = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ で規定。
表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
STATIC PERFORMANCE¹					
Resolution	12			Bits	
Relative Accuracy (INL)		± 0.12	± 1	LSB	Gain = 1
		± 0.12	± 1	LSB	Gain = 2
Differential Nonlinearity (DNL)		± 0.01	± 0.1	LSB	Gain = 1
		± 0.01	± 0.1	LSB	Gain = 2
Zero-Code Error		0.8	1.6	mV	Gain = 1 or gain = 2
Offset Error		-0.75	± 2	mV	Gain = 1
		-0.1	± 1.5	mV	Gain = 2
Full-Scale Error		-0.018	± 0.14	% of FSR	Gain = 1
		-0.013	± 0.07	% of FSR	Gain = 2
Gain Error		+0.04	± 0.12	% of FSR	Gain = 1
		-0.02	± 0.06	% of FSR	Gain = 2
TUE		± 0.03	± 0.18	% of FSR	Gain = 1
		± 0.006	± 0.14	% of FSR	Gain = 2
Offset Error Drift ²		± 1		$\mu\text{V}/^\circ\text{C}$	
DC Power Supply Rejection Ratio (PSRR) ²		0.25		mV/V	DAC code = midscale, $V_{DD} = 5\text{ V} \pm 10\%$
DC Crosstalk ²		± 2		μV	Due to single channel, full-scale output change
		± 3		$\mu\text{V}/\text{mA}$	Due to load current change
		± 2		μV	Due to powering down (per channel)
OUTPUT CHARACTERISTICS²					
Output Voltage Range	0		2.5	V	Gain = 1
	0		5	V	Gain = 2
Output Current Drive			15	mA	
Capacitive Load Stability		2		nF	$R_L = \infty$
		10		nF	$R_L = 1\text{ k}\Omega$
Resistive Load ³	1			k Ω	
Load Regulation		183		$\mu\text{V}/\text{mA}$	$V_{DD} = 5\text{ V} \pm 10\%$, DAC code = midscale, $-30\text{ mA} \leq I_{\text{OUT}} \leq +30\text{ mA}$
		177		$\mu\text{V}/\text{mA}$	$V_{DD} = 3\text{ V} \pm 10\%$, DAC code = midscale, $-20\text{ mA} \leq I_{\text{OUT}} \leq +20\text{ mA}$
Short-Circuit Current ⁴		40		mA	
Load Impedance at Rails ⁵		25		Ω	
Power-Up Time		2.5		μs	Coming out of power-down mode, $V_{DD} = 5\text{ V}$
REFERENCE OUTPUT					
Output Voltage ⁶	2.4975		2.5025	V	
Reference Temperature Coefficient ^{7, 8}		2	5	ppm/ $^\circ\text{C}$	See the Terminology section
		5	10	ppm/ $^\circ\text{C}$	
Output Impedance ²		0.04		Ω	
Output Voltage Noise ²		13		$\mu\text{V p-p}$	0.1 Hz to 10 Hz
Output Voltage Noise Density ²		240		nV/ $\sqrt{\text{Hz}}$	At ambient, $f = 10\text{ kHz}$, $C_L = 10\text{ nF}$, gain = 1 or 2
Load Regulation Sourcing ²		29		$\mu\text{V}/\text{mA}$	At ambient
Load Regulation Sinking ²		74		$\mu\text{V}/\text{mA}$	At ambient
Output Current Load Capability ²		± 20		mA	$V_{DD} \geq 3\text{ V}$
Line Regulation ²		43		$\mu\text{V}/\text{V}$	At ambient
Long-Term Stability/Drift ²		12		ppm	After 1000 hours at 125°C
Thermal Hysteresis ²		125		ppm	First cycle
		25		ppm	Additional cycles

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LOGIC INPUTS²					
Input Current			±1	μA	Per pin
Input Voltage					
Low, V_{INL}			$0.3 \times V_{LOGIC}$	V	
High, V_{INH}	$0.7 \times V_{LOGIC}$			V	
Pin Capacitance		3		pF	
LOGIC OUTPUTS (SDA)²					
Output Voltage					
Low, V_{OL}			0.4	V	$I_{SINK} = 200 \mu A$
High, V_{OH}	$V_{LOGIC} - 0.4$			V	$I_{SOURCE} = 200 \mu A$
Floating State Output Capacitance		4		pF	
POWER REQUIREMENTS					
V_{LOGIC}	1.8		5.5	V	
I_{LOGIC}			3	μA	Power-on, $-40^{\circ}C + 105^{\circ}C$
			3	μA	Power-on, $-40^{\circ}C + 125^{\circ}C$
			3	μA	Power-down, $-40^{\circ}C + 105^{\circ}C$
			3	μA	Power-down, $-40^{\circ}C + 125^{\circ}C$
V_{DD}	2.7		5.5	V	Gain = 1
	$V_{REF} + 1.5$		5.5	V	Gain = 2
I_{DD}					$V_{IH} = V_{DD}$, $V_{IL} = GND$, $V_{DD} = 2.7 V$ to $5.5 V$
Normal Mode ⁹		1.1	1.26	mA	Internal reference off, $-40^{\circ}C$ to $+85^{\circ}C$
		1.8	2.0	mA	Internal reference on, $-40^{\circ}C$ to $+85^{\circ}C$
		1.1	1.3	mA	Internal reference off
		1.8	2.1	mA	Internal reference on
All Power-Down Modes ¹⁰		1	1.7	μA	Tristate to $1 k\Omega$, $-40^{\circ}C$ to $+85^{\circ}C$
		1	1.7	μA	Power down to $1 k\Omega$, $-40^{\circ}C$ to $+85^{\circ}C$
		1	2.5	μA	Tristate, $-40^{\circ}C$ to $+105^{\circ}C$
		1	2.5	μA	Power down to $1 k\Omega$, $-40^{\circ}C$ to $+105^{\circ}C$
		1	5.5	μA	Tristate to $1 k\Omega$, $-40^{\circ}C$ to $+125^{\circ}C$
		1	5.5	μA	Power down to $1 k\Omega$, $-40^{\circ}C$ to $+125^{\circ}C$

¹ 特に指定がない限り、DC仕様は出力無負荷でテスト。上側デッドバンド = 10 mV で、これは $V_{REF} = V_{DD}$ かつゲイン = 1 の場合、または $V_{REF}/2 = V_{DD}$ かつゲイン = 2 の場合にのみ存在します。直線性は、12 ~ 4080 の縮小コード範囲を使って計算。

² 設計と特性評価により保証されていますが、出荷テストは行いません。

³ $125^{\circ}C$ のジャンクション温度まで、チャンネル 0、チャンネル 1、チャンネル 2、チャンネル 3 は合計で 40 mA のソース/シンクが可能。同様に、チャンネル 4、チャンネル 5、チャンネル 6、チャンネル 7 は合計で 40 mA のソース/シンクが可能。

⁴ $V_{DD} = 5 V$ 。これらのデバイスは、一時的過負荷状態でデバイスを保護する電流制限機能を搭載しています。電流制限時にはジャンクション温度を超える可能性があります。規定された最大動作ジャンクション温度を超えて動作すると、デバイスの信頼性を損なうおそれがあります。

⁵ どちらかの電源レールに負荷電流が流れているとき、そのレールを基準にした出力電圧のヘッドルームは出力デバイスの 25Ω (代表値) のチャンネル抵抗によって制限されます。例えば、1 mA のシンク電流の場合、最小出力電圧 = $25 \Omega \times 1 mA = 25 mV$ となります。

⁶ ハンダ・リフロー前の初期精度は $\pm 750 \mu V$ で、出力電圧には前処理でのドリフトの影響が含まれます。内部リファレンスとアンプのゲインの選択のセクションを参照してください。

⁷ リファレンスは 2 点の温度で微調整とテストが行われ、 $-40^{\circ}C$ ~ $+125^{\circ}C$ で特性評価されます。

⁸ リファレンスの温度係数はボックス法に従って計算されます。詳細については、用語の定義のセクションを参照してください。

⁹ インターフェースは非アクティブ状態。全ての DAC はアクティブ状態。DAC 出力は無負荷。

¹⁰ 全ての DAC がパワーダウン。

AD5675R の仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ 、 $C_L = 200\text{ pF}$ 、全ての仕様は $T_A = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ で規定。

表 3.

Parameter	A Grade			B Grade			Unit	Test Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
STATIC PERFORMANCE ¹								
Resolution	16			16			Bits	
Relative Accuracy (INL)		± 1.8	± 8		± 1.8	± 3	LSB	Gain = 1
		± 1.7	± 8		± 1.7	± 3	LSB	Gain = 2
Differential Nonlinearity (DNL)		± 0.7	± 1		± 0.7	± 1	LSB	Gain = 1
		± 0.5	± 1		± 0.5	± 1	LSB	Gain = 2
Zero-Code Error		0.8	4		0.8	1.6	mV	Gain = 1 or gain = 2
Offset Error		-0.75	± 6		-0.75	± 2	mV	Gain = 1
		-0.1	± 4		-0.1	± 1.5	mV	Gain = 2
Full-Scale Error		-0.018	± 0.28		-0.018	± 0.14	% of FSR	Gain = 1
		-0.013	± 0.14		-0.013	± 0.07	% of FSR	Gain = 2
Gain Error		+0.04	± 0.24		+0.04	± 0.12	% of FSR	Gain = 1
		-0.02	± 0.12		-0.02	± 0.06	% of FSR	Gain = 2
TUE		± 0.03	± 0.3		± 0.03	± 0.18	% of FSR	Gain = 1
		± 0.006	± 0.25		± 0.006	± 0.14	% of FSR	Gain = 2
Offset Error Drift ²		± 1			± 1		$\mu\text{V}/^\circ\text{C}$	
DC PSRR ²		0.25			0.25		mV/V	DAC code = midscale, $V_{DD} = 5\text{ V} \pm 10\%$
DC Crosstalk ²		± 2			± 2		μV	Due to single channel, full-scale output change
		± 3			± 3		$\mu\text{V}/\text{mA}$	Due to load current change
		± 2			± 2		μV	Due to powering down (per channel)
OUTPUT CHARACTERISTICS ²								
Output Voltage Range	0		2.5	0		2.5	V	Gain = 1
	0		5	0		5	V	Gain = 2
Output Current Drive			15			15	mA	
Capacitive Load Stability		2			2		nF	$R_L = \infty$
		10			10		nF	$R_L = 1\text{ k}\Omega$
Resistive Load ³	1			1			k Ω	
Load Regulation		183			183		$\mu\text{V}/\text{mA}$	$V_{DD} = 5\text{ V} \pm 10\%$, DAC code = midscale, $-30\text{ mA} \leq I_{OUT} \leq +30\text{ mA}$
		177			177		$\mu\text{V}/\text{mA}$	$V_{DD} = 3\text{ V} \pm 10\%$, DAC code = midscale, $-20\text{ mA} \leq I_{OUT} \leq +20\text{ mA}$
Short-Circuit Current ⁴		40			40		mA	
Load Impedance at Rails ⁵		25			25		Ω	
Power-Up Time		2.5			2.5		μs	Coming out of power-down mode, $V_{DD} = 5\text{ V}$
REFERENCE OUTPUT								
Output Voltage ⁶	2.4975		2.5025	2.4975		2.5025	V	
Reference Temperature Coefficient ^{7, 8}								See the Terminology section
20-Lead TSSOP		5	20		2	5	ppm/ $^\circ\text{C}$	
20-Lead LFCSP		5	20		2	10	ppm/ $^\circ\text{C}$	
Output Impedance ²		0.04			0.04		Ω	
Output Voltage Noise ²		13			13		$\mu\text{V p-p}$	0.1 Hz to 10 Hz
Output Voltage Noise Density ²		240			240		nV/ $\sqrt{\text{Hz}}$	At ambient, $f = 10\text{ kHz}$, $C_L = 10\text{ nF}$, gain = 1 or 2
Load Regulation Sourcing ²		29			29		$\mu\text{V}/\text{mA}$	At ambient
Load Regulation Sinking ²		74			74		$\mu\text{V}/\text{mA}$	At ambient
Output Current Load Capability ²		± 20			± 20		mA	$V_{DD} \geq 3\text{ V}$
Line Regulation ²		43			43		$\mu\text{V}/\text{V}$	At ambient

Parameter	A Grade			B Grade			Unit	Test Conditions/Comments
	Min	Typ	Max	Min	Typ	Max		
Long-Term Stability/Drift ²		12			12		ppm	After 1000 hours at 125°C
Thermal Hysteresis ²		125			125		ppm	First cycle
		25			25		ppm	Additional cycles
LOGIC INPUTS ²								
Input Current			±1			±1	μA	Per pin
Input Voltage								
Low, V _{INL}			0.3 × V _{LOGIC}			0.3 × V _{LOGIC}	V	
High, V _{INH}	0.7 × V _{LOGIC}			0.7 × V _{LOGIC}			V	
Pin Capacitance		3			3		pF	
LOGIC OUTPUTS (SDA) ²								
Output Voltage								
Low, V _{OL}			0.4			0.4	V	I _{SINK} = 200 μA
High, V _{OH}	V _{LOGIC} - 0.4			V _{LOGIC} - 0.4			V	I _{SOURCE} = 200 μA
Floating State Output Capacitance		4			4		pF	
POWER REQUIREMENTS								
V _{LOGIC}	1.8		5.5	1.8		5.5	V	
I _{LOGIC}			3			3	μA	Power-on, -40°C + 105°C
			3			3	μA	Power-on, -40°C + 125°C
			3			3	μA	Power-down, -40°C + 105°C
			3			3	μA	Power-down, -40°C + 125°C
V _{DD}	2.7		5.5	2.7		5.5	V	Gain = 1
	V _{REF} + 1.5		5.5	V _{REF} + 1.5		5.5	V	Gain = 2
I _{DD}								V _{IH} = V _{DD} , V _{IL} = GND, V _{DD} = 2.7 V to 5.5 V
Normal Mode ⁹		1.1	1.26		1.1	1.26	mA	Internal reference off, -40°C to +85°C
		1.8	2.0		1.8	2.0	mA	Internal reference on, -40°C to +85°C
		1.1	1.3		1.1	1.3	mA	Internal reference off
		1.8	2.1		1.8	2.1	mA	Internal reference on
All Power-Down Modes ¹⁰		1	1.7		1	1.7	μA	Tristate to 1 kΩ, -40°C to +85°C
		1	1.7		1	1.7	μA	Power down to 1 kΩ, -40°C to +85°C
		1	2.5		1	2.5	μA	Tristate, -40°C to +105°C
		1	2.5		1	2.5	μA	Power down to 1 kΩ, -40°C to +105°C
		1	5.5		1	5.5	μA	Tristate to 1 kΩ, -40°C to +125°C
		1	5.5		1	5.5	μA	Power down to 1 kΩ, -40°C to +125°C

¹ 特に指定がない限り、DC仕様は出力無負荷でテスト。上側デッドバンド = 10 mV で、これは V_{REF} = V_{DD} かつゲイン = 1 の場合、または V_{REF}/2 = V_{DD} かつゲイン = 2 の場合にのみ存在します。直線性は、256 ~ 65,280 の縮小コード範囲を使って計算。

² 設計と特性評価により保証されていますが、出荷テストは行いません。

³ 125°C のジャンクション温度まで、チャンネル 0、チャンネル 1、チャンネル 2、チャンネル 3 は、合計で 40 mA のソース/シンクが可能。同様に、チャンネル 4、チャンネル 5、チャンネル 6、チャンネル 7 は、合計で 40 mA のソース/シンクが可能。

⁴ V_{DD} = 5 V。これらのデバイスは、一時的過負荷状態でデバイスを保護する電流制限機能を搭載しています。電流制限時にはジャンクション温度を超える可能性があります。規定された最大動作ジャンクション温度を超えて動作すると、デバイスの信頼性を損なうおそれがあります。

⁵ どちらかの電源レールに負荷電流が流れているとき、そのレールを基準にした出力電圧のヘッドルームは出力デバイスの 25 Ω (代表値) のチャンネル抵抗によって制限されます。例えば、1 mA のシンク電流の場合、最小出力電圧 = 25 Ω × 1 mA = 25 mV となります。

⁶ ハンダ・リフロー前の初期精度は ±750 μV で、出力電圧には前処理でのドリフトの影響が含まれます。内部リファレンスとアンプのゲインの選択のセクションを参照してください。

⁷ リファレンスは 2 点の温度で微調整とテストが行われ、-40°C ~ +125°C で特性評価されます。

⁸ リファレンスの温度係数はボックス法に従って計算されます。詳細については、用語の定義のセクションを参照してください。

⁹ インターフェースは非アクティブ状態。全ての DAC はアクティブ状態。DAC 出力は無負荷。

¹⁰ 全ての DAC がパワーダウン。

AC 特性

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ (GND に接続)、 $C_L = 200\text{ pF}$ (GND に接続)、 $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ 、全ての仕様は $T_A = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ で規定。設計と特性評価により保証しますが、出荷テストは行いません。

表 4.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments ¹
OUTPUT VOLTAGE SETTling TIME ²					
AD5671R		5	8	μs	$\frac{1}{4}$ to $\frac{3}{4}$ scale settling to $\pm 2\text{ LSB}$
AD5675R		5	8	μs	$\frac{1}{4}$ to $\frac{3}{4}$ scale settling to $\pm 2\text{ LSB}$
SLEW RATE		0.8		$\text{V}/\mu\text{s}$	
DIGITAL-TO-ANALOG GLITCH IMPULSE ²		1.4		$\text{nV}\cdot\text{sec}$	1 LSB change around major carry (internal reference, gain = 1)
DIGITAL FEEDTHROUGH ²		0.13		$\text{nV}\cdot\text{sec}$	
CROSSTALK ²					
Digital		0.1		$\text{nV}\cdot\text{sec}$	
Analog		-0.25		$\text{nV}\cdot\text{sec}$	
DAC-to-DAC		-1.3		$\text{nV}\cdot\text{sec}$	Internal reference, gain = 2
		-2.0		$\text{nV}\cdot\text{sec}$	Internal reference, gain = 2
TOTAL HARMONIC DISTORTION (THD) ³		-80		dB	At T_A , bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
OUTPUT NOISE SPECTRAL DENSITY ²		300		$\text{nV}/\sqrt{\text{Hz}}$	DAC code = midscale, 10 kHz; gain = 2
OUTPUT NOISE ²		6		$\mu\text{V p-p}$	0.1 Hz to 10 Hz, gain = 1
SIGNAL-TO-NOISE RATIO (SNR)		90		dB	At $T_A = 25\text{ }^\circ\text{C}$, bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
SPURIOUS-FREE DYNAMIC RANGE (SFDR)		83		dB	At $T_A = 25\text{ }^\circ\text{C}$, bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
SIGNAL-TO-NOISE-AND-DISTORTION RATIO (SINAD)		80		dB	At $T_A = 25\text{ }^\circ\text{C}$, bandwidth = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$

¹ 動作温度範囲は $-40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ です ($T_A = 25\text{ }^\circ\text{C}$ の値)。

² 用語の定義のセクションを参照してください。特に指定がない限り、内部リファレンスとゲイン = 1 を使って測定。

³ デジタル的に発生させた 1 kHz のサイン波。

タイミング特性

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ 、全ての仕様は $T_A = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ で規定。

表 5.

Parameter ^{1,2}	Min	Max	Unit	Description
t_1	0.92		μs	SCL cycle time
t_2	0.11		μs	t_{HIGH} , SCL high time
t_3	0.44		μs	t_{LOW} , SCL low time
t_4	0.04		μs	$t_{HD,STA}$, start/repeated start hold time
t_5	40		ns	$t_{SU,DAT}$, data setup time
t_6^3	-0.04		μs	$t_{HD,DAT}$, data hold time
t_7	-0.045		μs	$t_{SU,STA}$, repeated start setup time
t_8	0.195		μs	$t_{SU,STO}$, stop condition setup time
t_9	0.12		μs	t_{BUF} , bus free time between a stop condition and a start condition
t_{10}^4	0		ns	t_R , rise time of SCL and SDA when receiving
$t_{11}^{4,5}$	$20 + 0.1C_B$		ns	t_F , fall time of SCL and SDA when transmitting/receiving
t_{12}	20		ns	LDAC pulse width
t_{13}	0.4		ns	SCL rising edge to LDAC rising edge
t_{14}	4.8		ns	RESET minimum pulse width low, $1.8\text{ V} \leq V_{LOGIC} \leq 2.7\text{ V}$
	6.2		ns	RESET minimum pulse width low, $2.7\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$
t_{15}	132		ns	RESET activation time, $1.8\text{ V} \leq V_{LOGIC} \leq 2.7\text{ V}$
	80		ns	RESET activation time, $2.7\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$
t_{SP}^6	0		ns	Pulse width of suppressed spike
C_B^5		400	pF	Capacitive load for each bus line

¹ 図 2 を参照。

² 設計と特性評価により保証しますが、出荷テストは行いません。

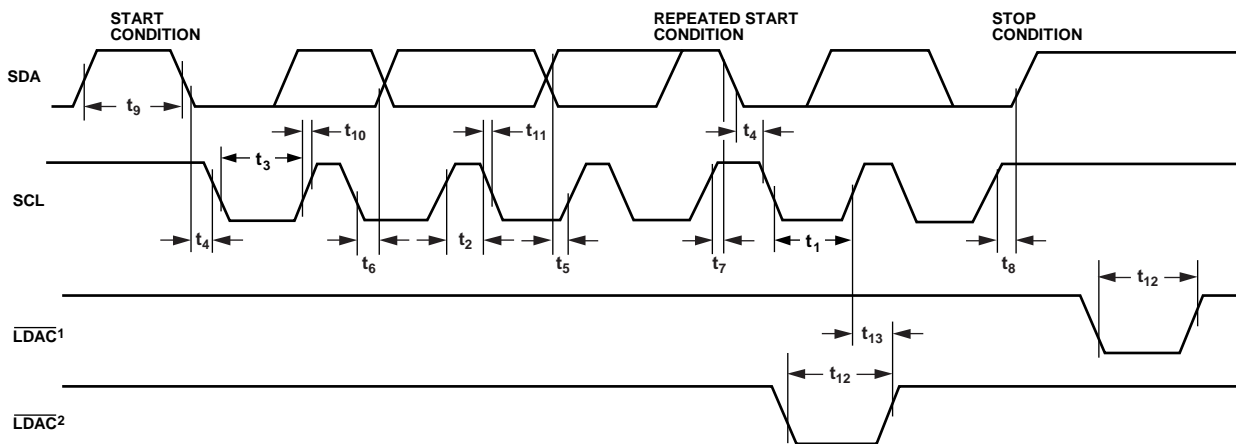
³ SCL の立下がりエッジの不定領域を避けるため、マスター・デバイスは、SDA 信号に対して少なくとも 300 ns (SCL 信号の最小 V_{IH} を基準) のホールド・タイムを確保する必要があります。

⁴ t_R と t_F は $0.3 \times V_{DD}$ から $0.7 \times V_{DD}$ の間で測定。

⁵ C_B は、1 本のバス・ラインの合計容量 (pF) です。

⁶ SCL と SDA の入力フィルタリングにより、ノイズ・スパイクを 50 ns 以下に抑圧。

タイミング図



NOTES
¹ASYNCHRONOUS LDAC UPDATE MODE.
²SYNCHRONOUS LDAC UPDATE MODE.

図 2.2 線式シリアル・インターフェースのタイミング図



図 3. RESET タイミング図

絶対最大定格

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
V_{LOGIC} to GND	-0.3 V to +7 V
V_{OUTX} to GND	-0.3 V to $V_{DD} + 0.3$ V
V_{REFOUT} to GND	-0.3 V to $V_{DD} + 0.3$ V
Digital Input Voltage to GND	-0.3 V to $V_{LOGIC} + 0.3$ V
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	125°C
Reflow Soldering Peak Temperature, Pb Free (J-STD-020)	260°C
ESD	
Human Body Model (HBM)	2 kV
Field Induced Charged Device Model (FICDM)	1.5 kV

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

ボードの熱設計には十分に注意する必要があります。熱抵抗は、使用する PCB、レイアウト、環境条件に大きく影響されます。

表 7. 熱抵抗

Package Type	θ_{JA}	θ_{JB}	θ_{JC}	Ψ_{JT}	Ψ_{JB}	Unit
20-Lead TSSOP (RU-20) ¹	98.65	44.39	17.58	1.77	43.9	°C/W
20-Lead LFCSP (CP-20-8) ²	82	16.67	32.5	0.43	22	°C/W

¹熱抵抗のシミュレーション値は、JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 参照

²熱抵抗のシミュレーション値は、3つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 参照

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

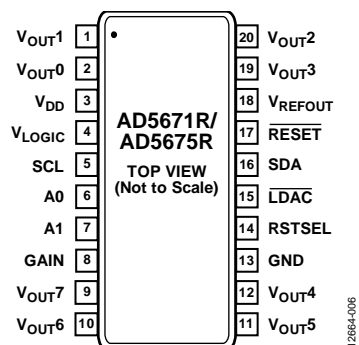
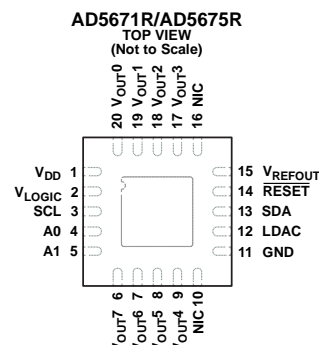


図 4. TSSOP のピン配置



NOTES
 1. NIC = NO INTERNAL CONNECTION.
 2. EXPOSED PAD. THE EXPOSED PAD MUST BE TIED TO GND.

図 5. LFCSP のピン配置

表 8. ピン機能の説明

Pin No.		Mnemonic	Description
TSSOP	LFCSP		
1	19	V _{OUT1}	DAC 1 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
2	20	V _{OUT0}	DAC 0 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
N/A ¹	0	EPAD	露出パッド。露出パッドは GND に接続する必要があります。
3	1	V _{DD}	電源入力。これらのデバイスは 2.7 V ~ 5.5 V で動作します。V _{DD} 電源は、10 μF のコンデンサと 0.1 μF のコンデンサを並列に GND に接続してデカップリングします。
4	2	V _{LOGIC}	デジタル電源。このピンの電圧は 1.8 V ~ 5.5 V の範囲です。
5	3	SCL	シリアル・クロック・ライン。このピンは、SDA ラインと組み合わせて、24 ビット入力シフトレジスタに対してデータをクロック入力またはクロック出力します。
6	4	A0	アドレス入力。7 ビット・スレーブ・アドレスの 1 番目の LSB を設定します。
7	5	A1	アドレス入力。7 ビット・スレーブ・アドレスの 2 番目の LSB を設定します。
8		GAIN	スパン設定ピン。このピンを GND に接続すると、8 個全ての DAC 出力のスパンが 0 V ~ V _{REF} になります。このピンを V _{LOGIC} に接続すると、8 個全ての DAC 出力のスパンが 0 V ~ 2 × V _{REF} になります。
9	6	V _{OUT7}	DAC 7 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
10	7	V _{OUT6}	DAC 6 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
11	8	V _{OUT5}	DAC 5 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
12	9	V _{OUT4}	DAC 4 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
N/A ¹	10, 16	NIC	内部接続なし。
13	11	GND	デバイスの全ての回路のグラウンド基準ポイント。
14		RSTSEL	パワーオン・リセット・ピン。このピンを GND に接続すると、8 個全ての DAC がゼロ・スケールでパワーアップします。このピンを V _{LOGIC} に接続すると、8 個全ての DAC がミッドスケールでパワーアップします。
15	12	LDAC	DAC のロード。LDAC は、非同期と同期の 2 つのモードで動作します。入力レジスタに新しいデータがある場合、このピンにロー・レベルのパルスを入力すると、任意のまたは全ての DAC レジスタが更新され、これにより、全ての DAC 出力が同時に更新されます。このピンはロー・レベルに固定することもできます。
16	13	SDA	シリアル・データ入力。このピンは、SCL ラインと組み合わせて、24 ビット入力シフトレジスタに対してデータをクロック入力またはクロック出力します。SDA は双方向のオープンドレイン・データ・ラインなので、外付け抵抗で電源にプルアップする必要があります。
17	14	RESET	非同期リセット入力。RESET 入力は、立下がりエッジに反応します。RESET がロー・レベルの場合、全ての LDAC パルスは無視されます。RESET がアクティブになると、入力レジスタと DAC レジスタが RSTSEL ピンの状態に応じてゼロ・スケールまたはミッドスケールに更新されます。
18	15	V _{REFOUT}	リファレンス出力電圧。内部リファレンスを使用する場合、これはリファレンス出力ピンになります。このピンは、デフォルトでリファレンス出力になります。
19	17	V _{OUT3}	DAC 3 からのアナログ出力電圧。出力アンプはレール to レールで動作します。
20	18	V _{OUT2}	DAC 2 からのアナログ出力電圧。出力アンプはレール to レールで動作します。

エラー! ブックマークが定義されていません。 N/A は適用なしを表します。

代表的な性能特性

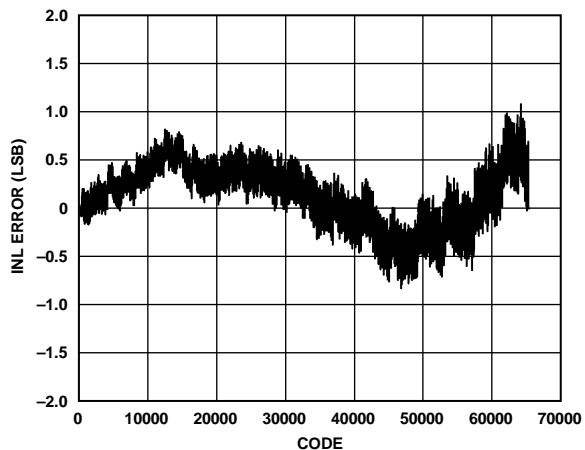


図 6. AD5675R のコード対 INL 誤差

12864-007

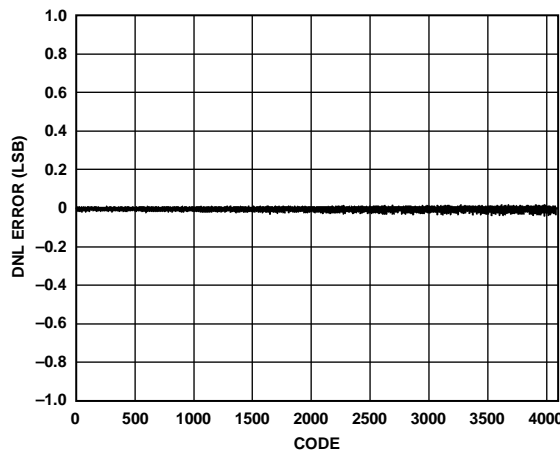


図 9. AD5671R のコード対 DNL 誤差

12864-010

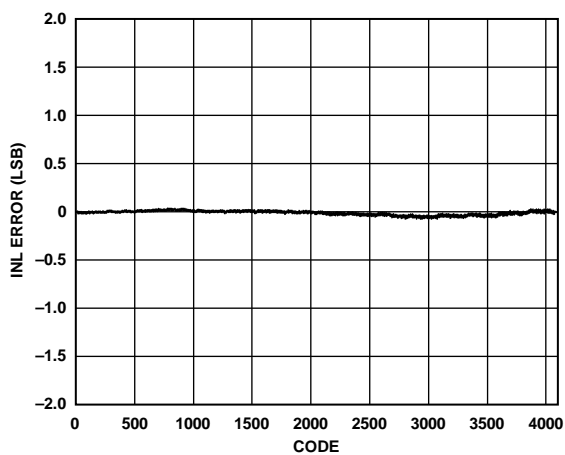


図 7. AD5671R のコード対 INL 誤差

12864-008

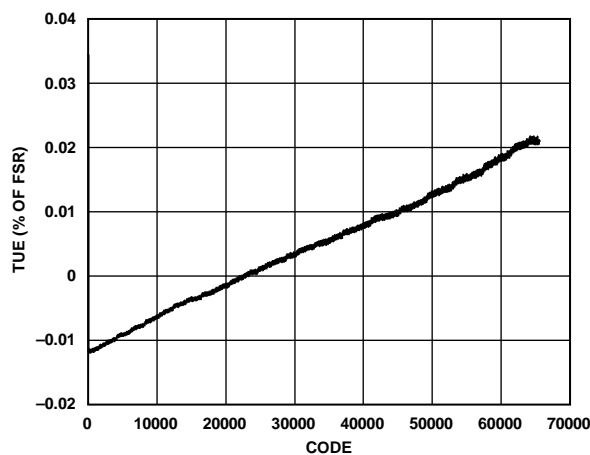


図 10. AD5675R のコード対 TUE

12864-011

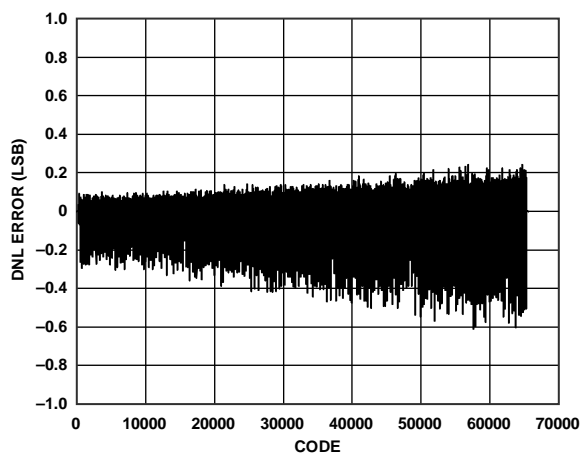


図 8. AD5675R のコード対 DNL 誤差

12864-009

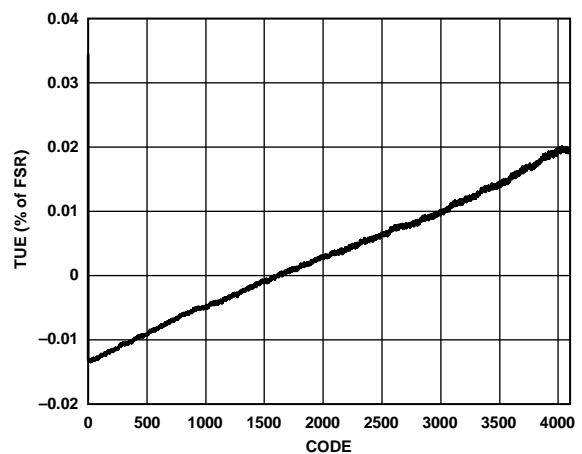


図 11. AD5671R のコード対 TUE

12864-012

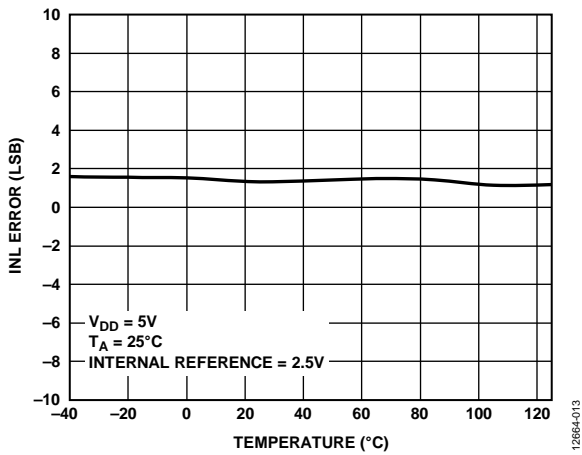


図 12. AD5675R の INL 誤差の温度特性

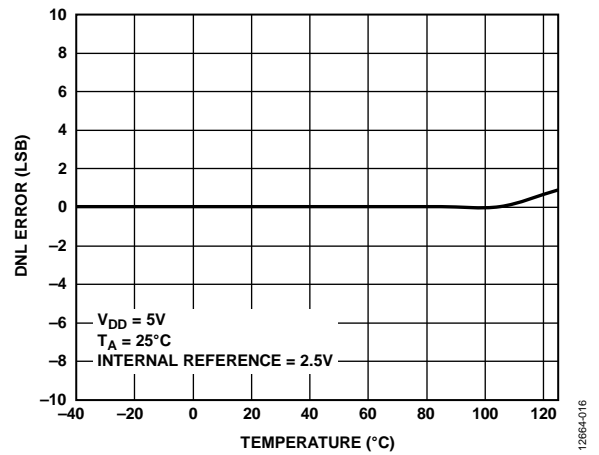


図 15. AD5671R の DNL 誤差の温度特性

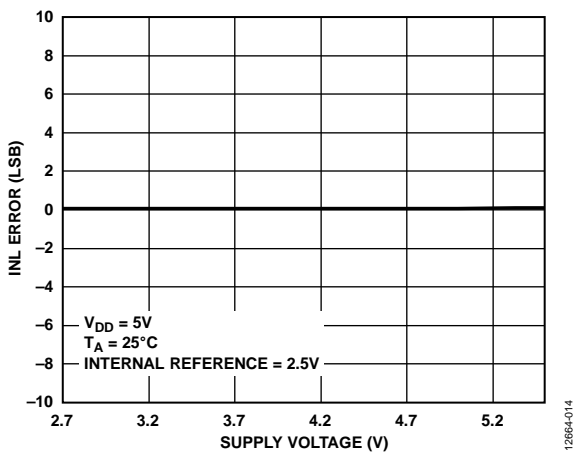


図 13. AD5671R の電源電圧対 INL 誤差

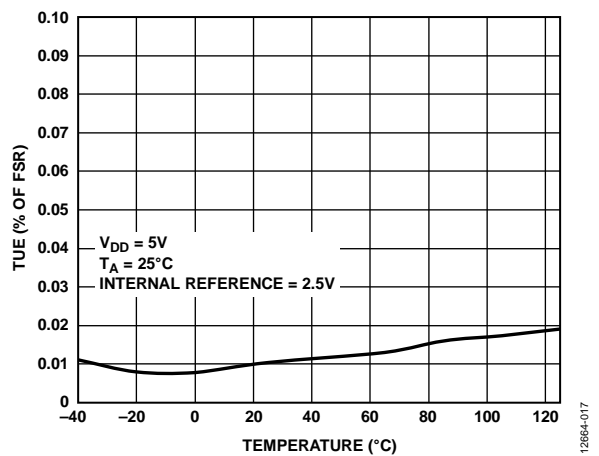


図 16. AD5675R の TUE の温度特性

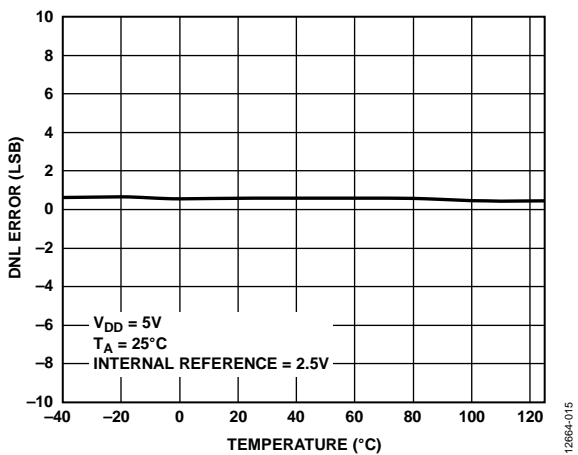


図 14. AD5675R の DNL 誤差の温度特性

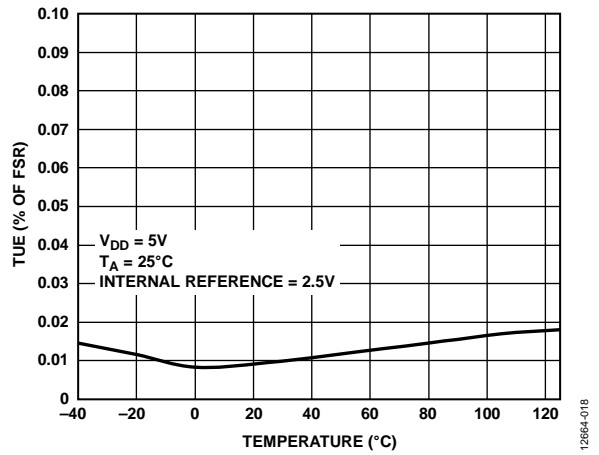


図 17. AD5671R の TUE の温度特性

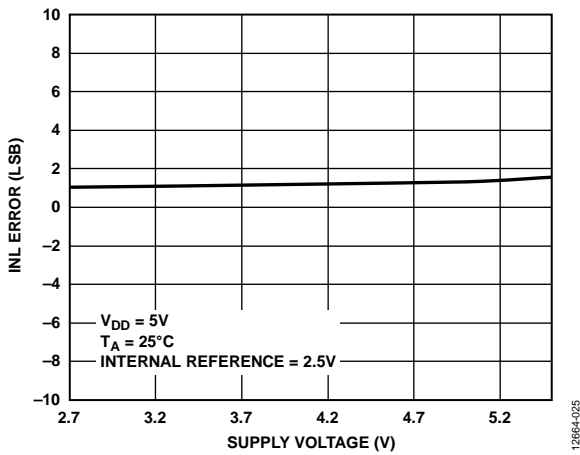


図 18. AD5675R の電源電圧対 INL 誤差

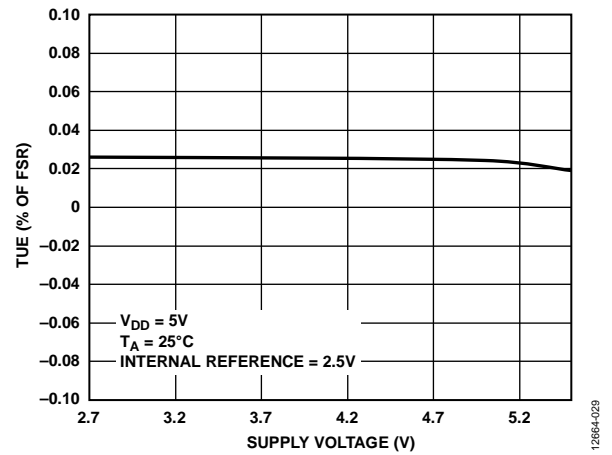


図 21. AD5675R の電源電圧対 TUE

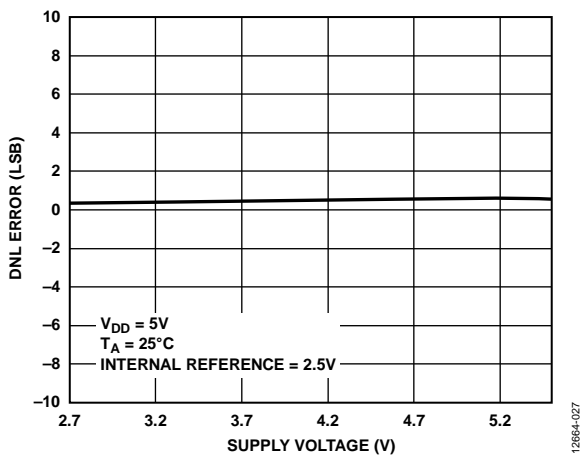


図 19. AD5675R の電源電圧対 DNL 誤差

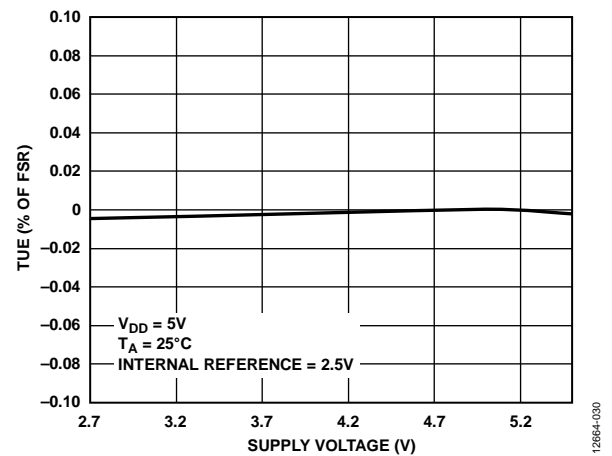


図 22. AD5671R の電源電圧対 TUE

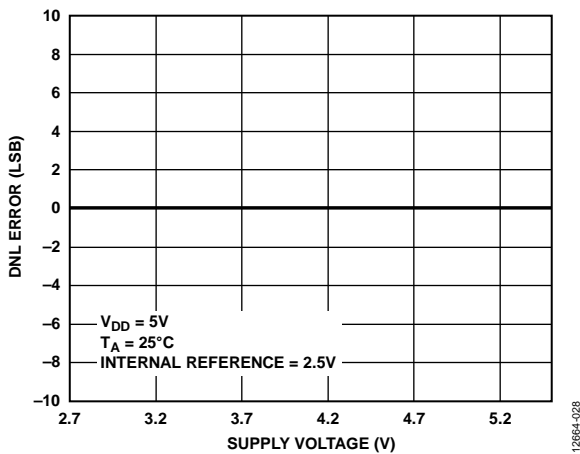


図 20. AD5671R の電源電圧対 DNL 誤差

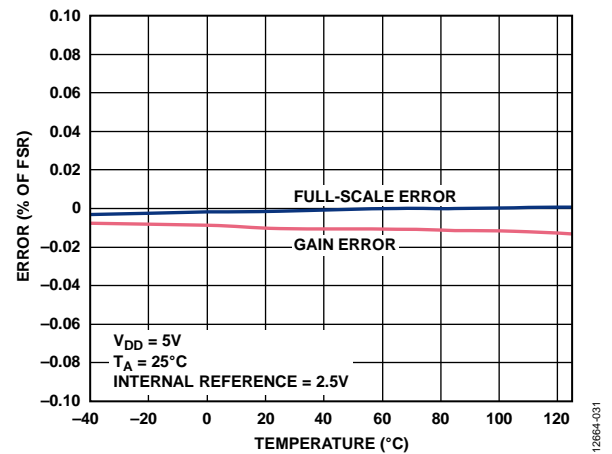


図 23. AD5675R のゲイン誤差とフルスケール誤差の温度特性

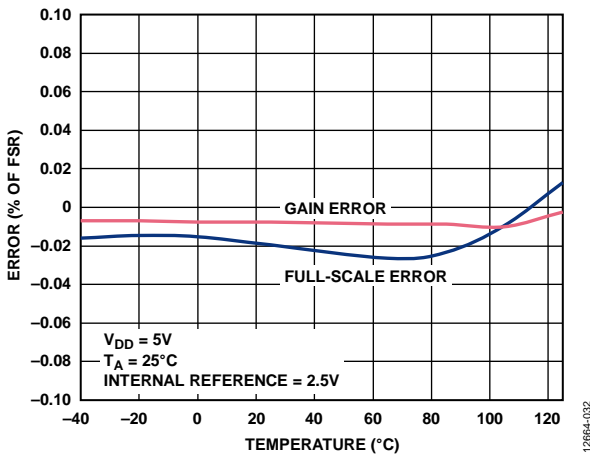


図 24. AD5671R のゲイン誤差とフルスケール誤差の温度特性

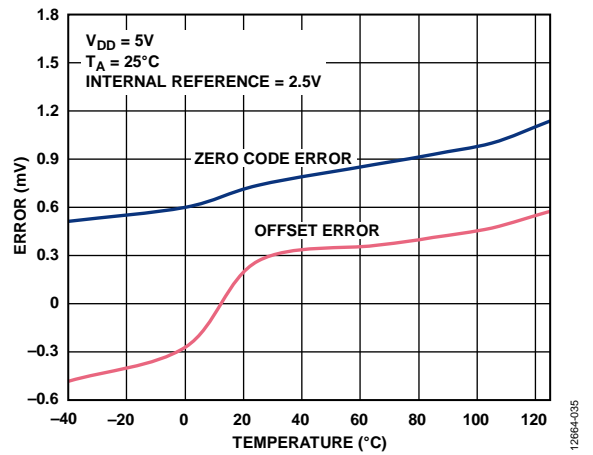


図 27. AD5675R のゼロコード誤差とオフセット誤差の温度特性

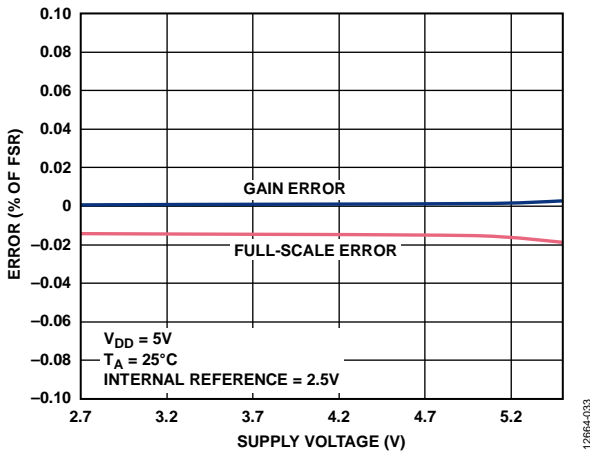


図 25. AD5675R の電源電圧対ゲイン誤差およびフルスケール誤差

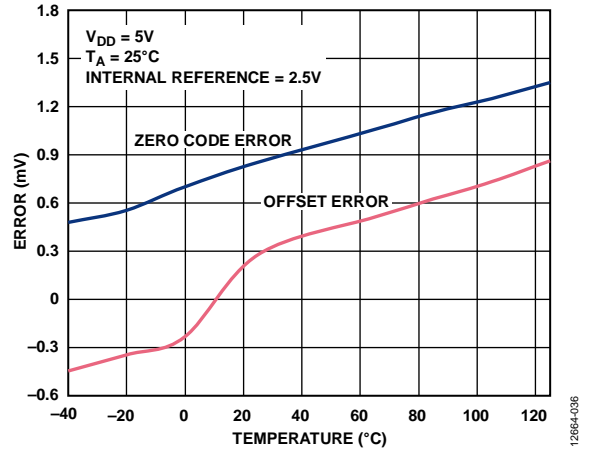


図 28. AD5671R のゼロコード誤差とオフセット誤差の温度特性

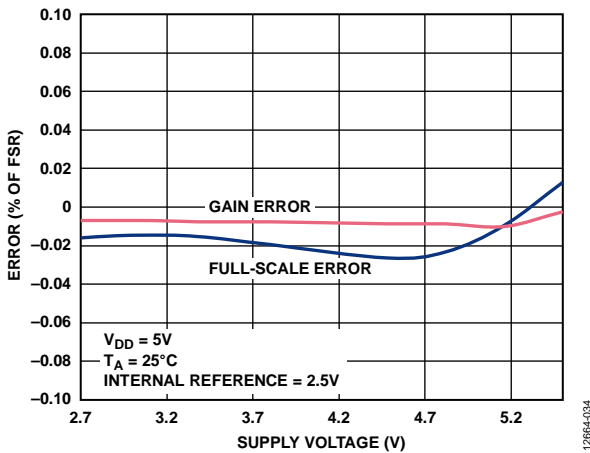


図 26. AD5671R の電源電圧対ゲイン誤差およびフルスケール誤差

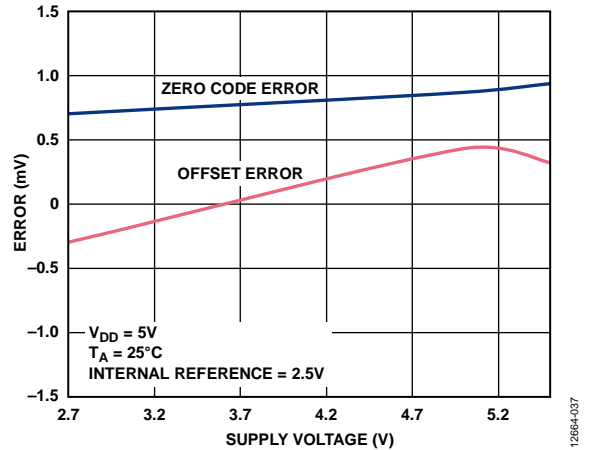


図 29. AD5675R の電源電圧対ゼロコード誤差およびオフセット誤差

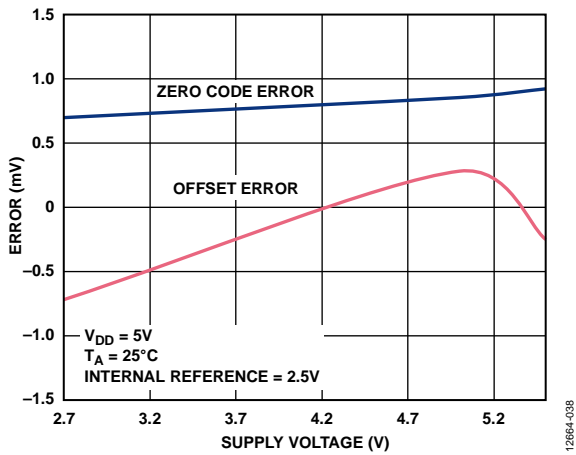


図 30. AD5671R の電源電圧対ゼロコード誤差およびオフセット誤差

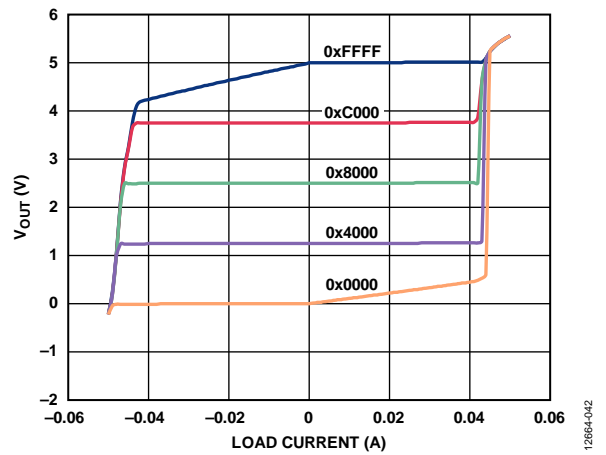


図 33. 5 V でのソース能力とシンク能力

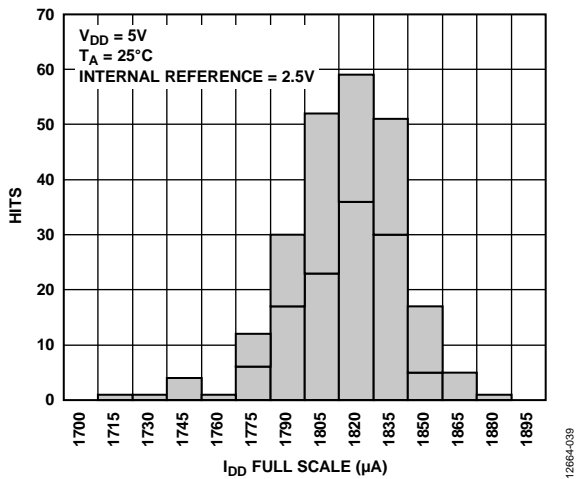


図 31. 内部リファレンス使用時の電源電流 (I_{DD})

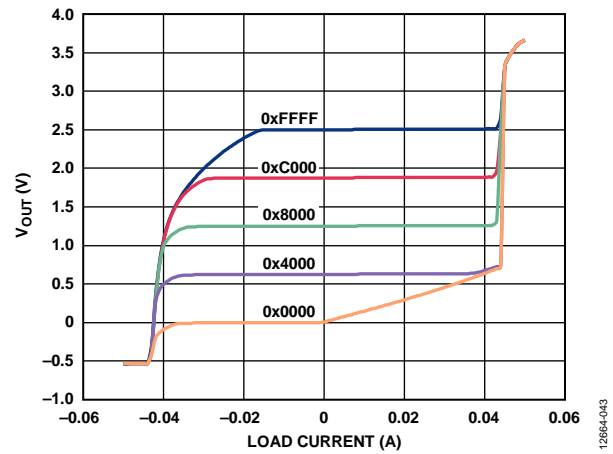


図 34. 3 V でのソース能力とシンク能力

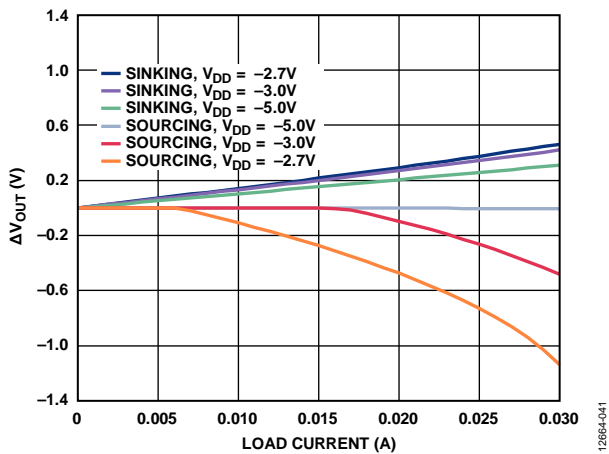


図 32. 負荷電流対ヘッドルーム/フットルーム

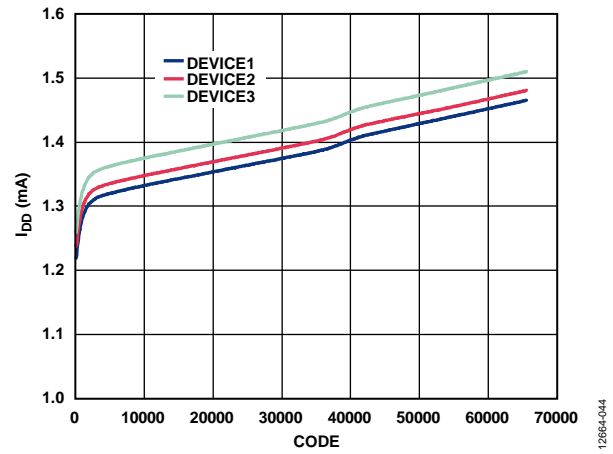


図 35. コード対電源電流 (I_{DD})

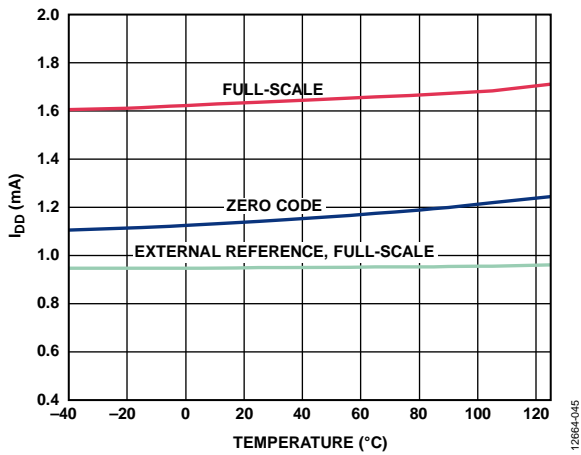


図 36. 電源電流 (I_{DD}) の温度特性

12864-045

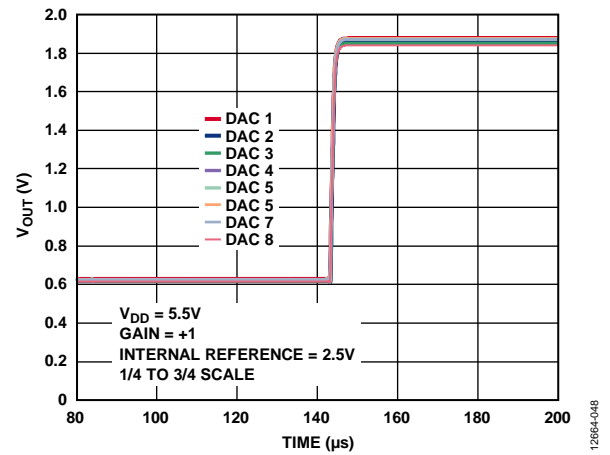


図 39. フルスケール・セリング・タイム

12864-046

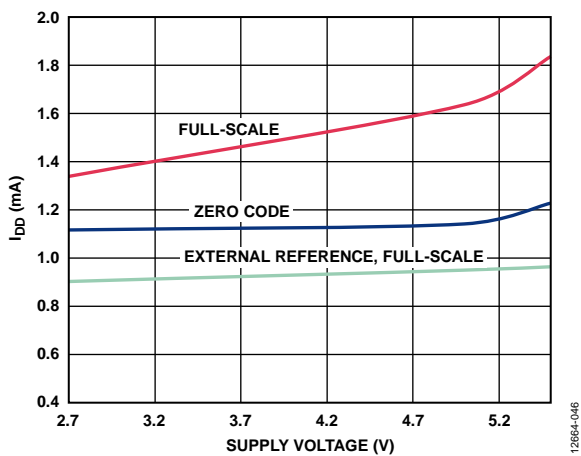


図 37. 電源電圧対電源電流 (I_{DD})

12864-046

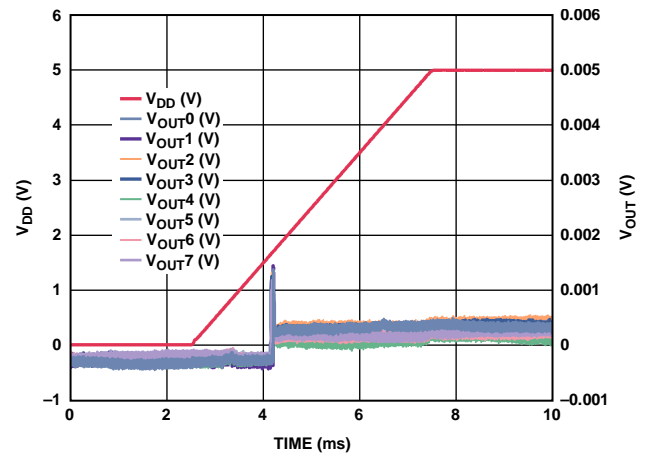


図 40. 0 V とミッドスケールへのパワーオン・リセット

12864-047

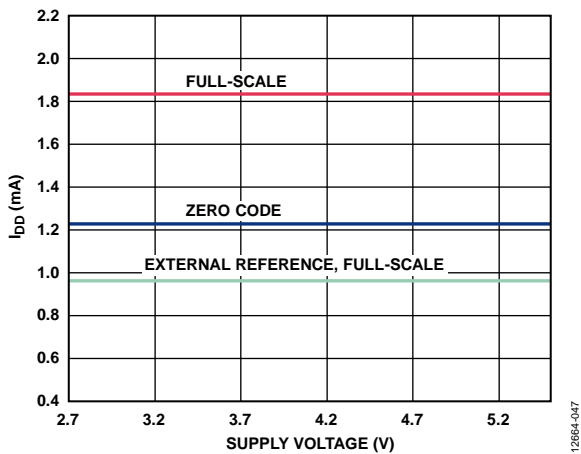


図 38. ロジック入力電圧対電源電流 (I_{DD})

12864-047

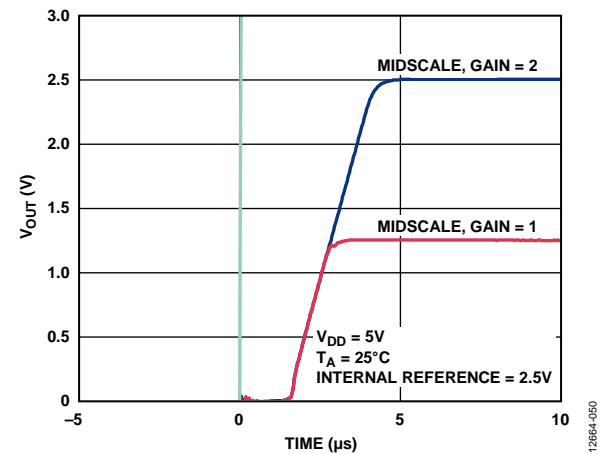


図 41. パワーダウン終了時のミッドスケール出力

12864-050

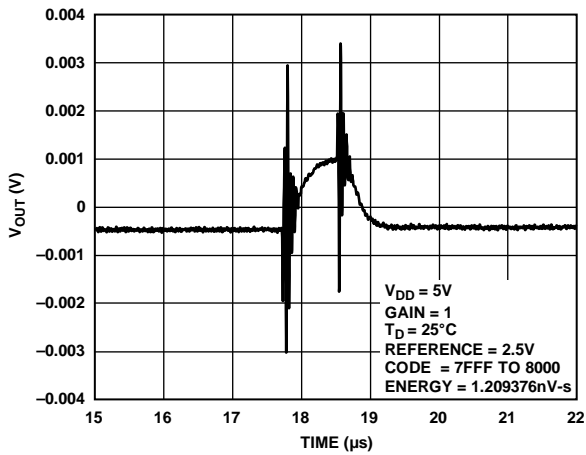


図 42. デジタル/アナログ・グリッチ・インパルス

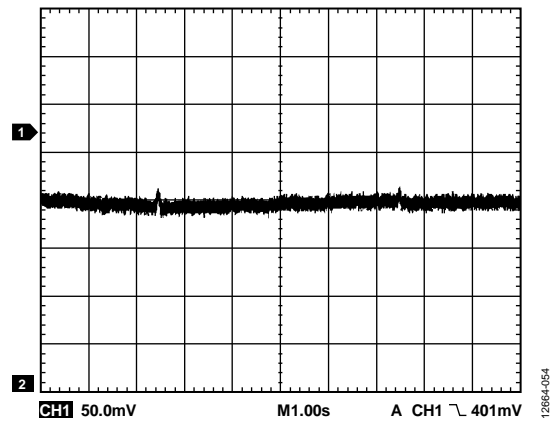


図 45. 0.1 Hz ~ 10 Hz での出力ノイズ・プロット

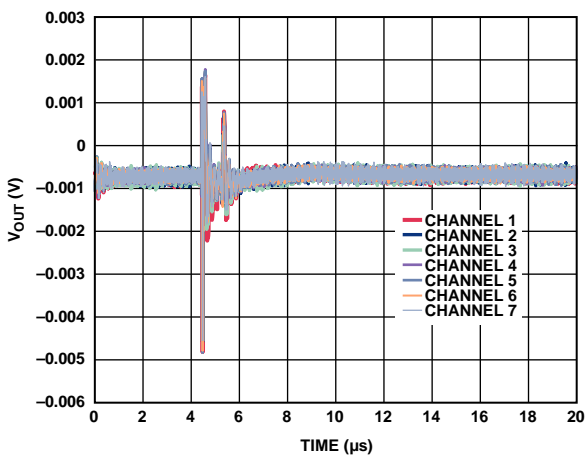


図 43. アナログ・クロストーク

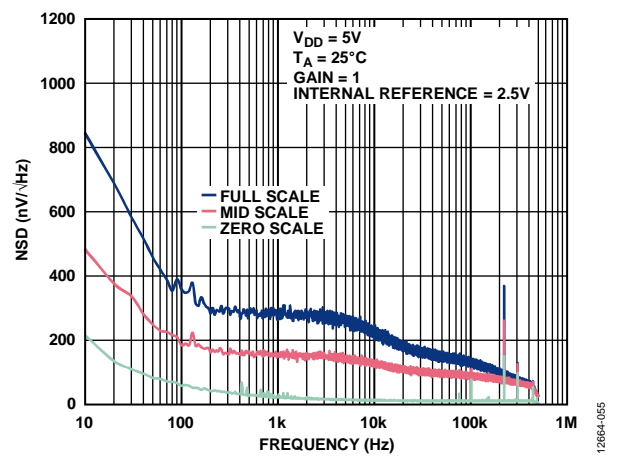


図 46. ノイズ・スペクトル密度 (NSD)

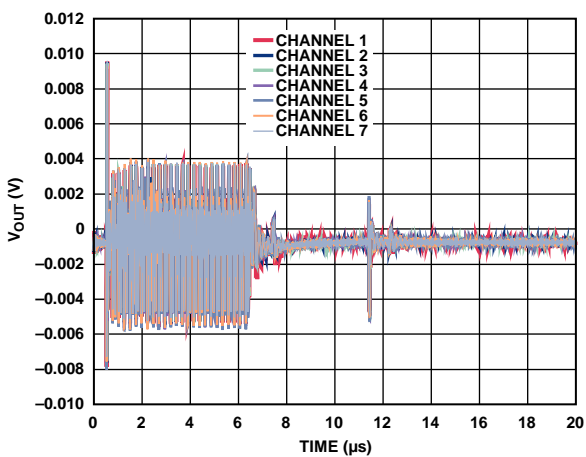


図 44. DAC 間クロストーク

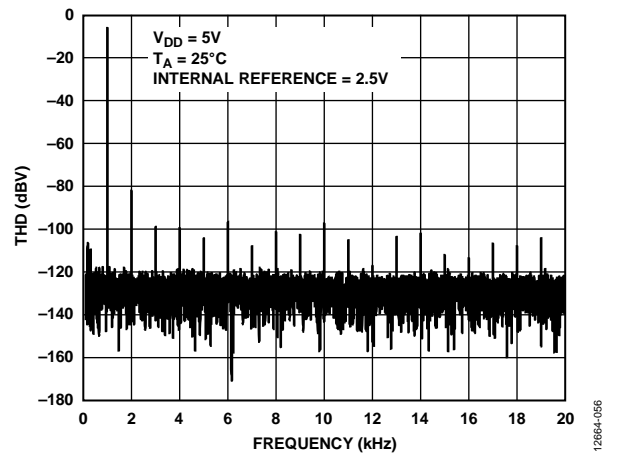


図 47. 1 kHz での全高調波歪み (THD)

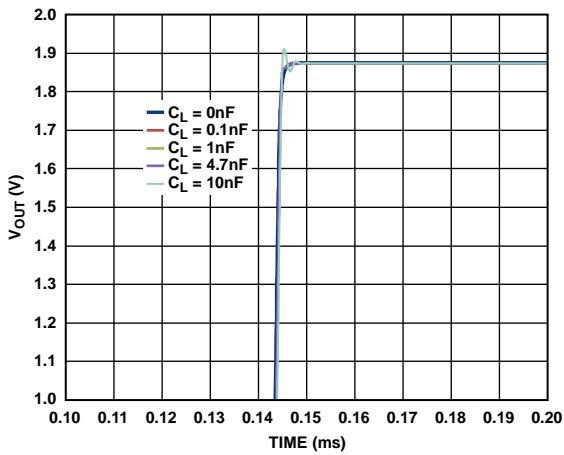


図 48. 容量性負荷対セリング・タイム

12864-057

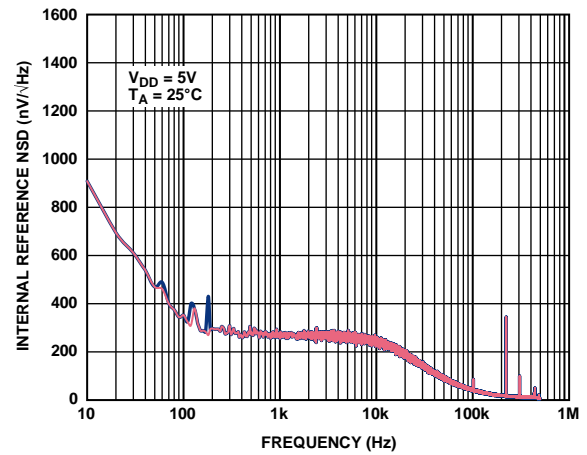


図 51. 内部リファレンスの NSD の周波数特性

12864-051

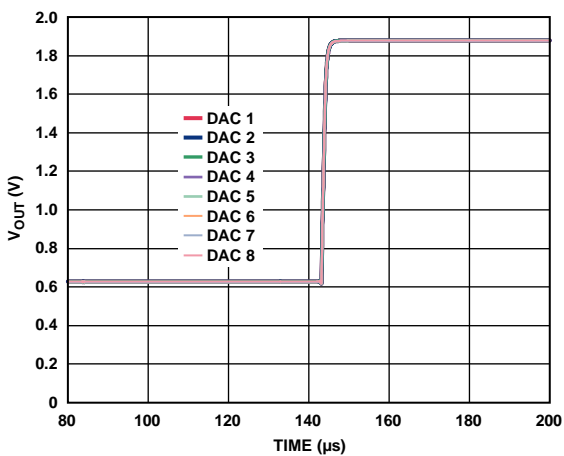


図 49. セリング・タイム、5.5 V

12864-058

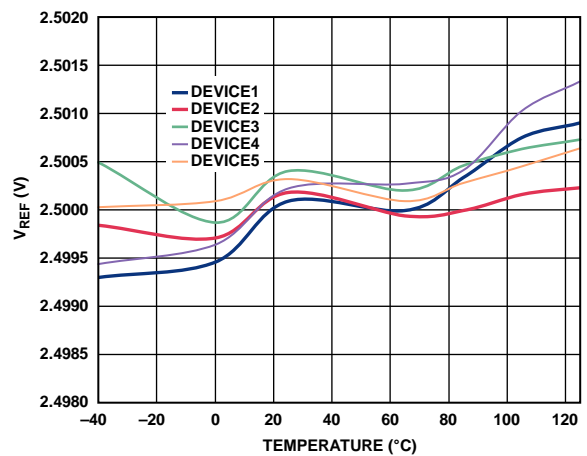


図 52. 内部リファレンス電圧 (VREF) の温度特性 (A グレード)

12864-052

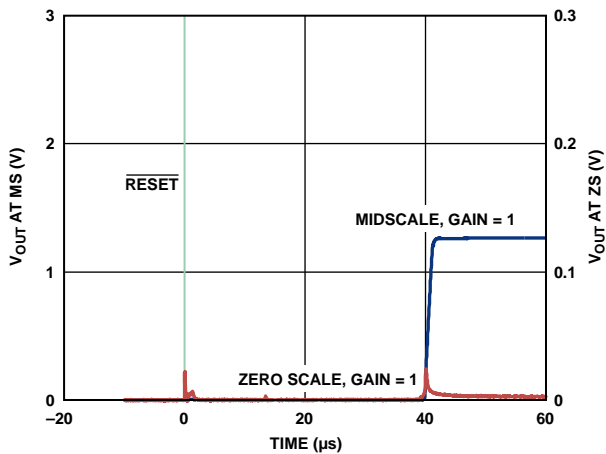


図 50. ハードウェア・リセット

12864-059

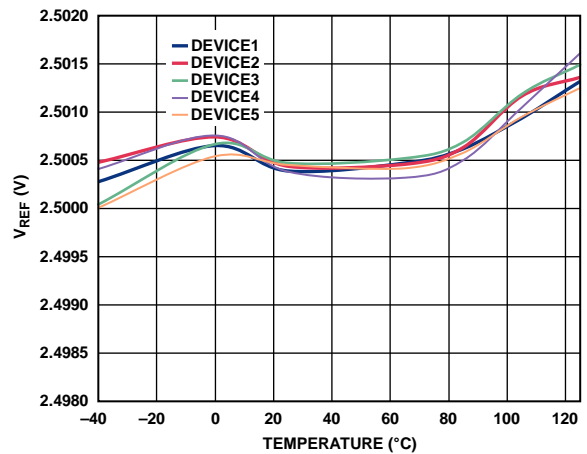


図 53. 内部リファレンス電圧 (VREF) の温度特性 (B グレード)

12864-053

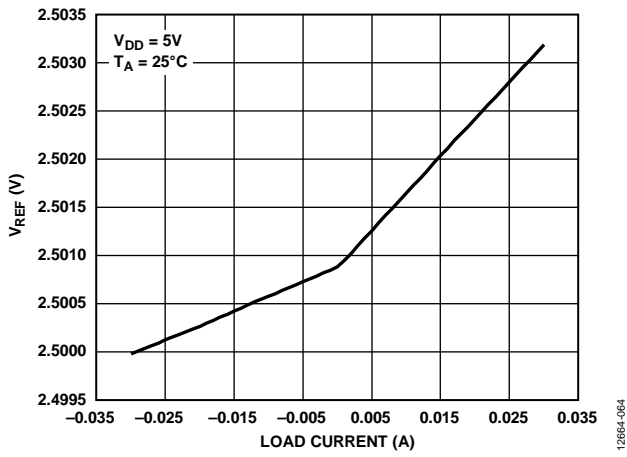


図 54. 負荷電流および電源電圧 (V_{DD}) 対内部リファレンス電圧 (V_{REF})

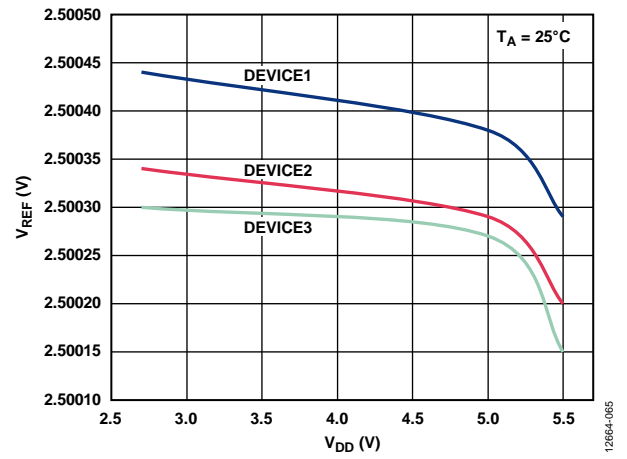


図 55. 電源電圧 (V_{DD}) 対内部リファレンス電圧 (V_{REF})

用語の定義

相対精度または積分非直線性 (INL)

DAC の場合、相対精度すなわち積分非直線性は、DAC の伝達関数の上下両端を結ぶ直線からの最大偏差 (LSB 単位) を表します。

微分非直線性 (DNL)

微分非直線性 (DNL) は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差を表します。微分非直線性の仕様が最大 ± 1 LSB の場合は、単調増加性が保証されています。これらの DAC は、設計により単調増加性が保証されています。

ゼロコード誤差

ゼロコード誤差は、ゼロのコード (0x0000) を DAC レジスタにロードしたときの出力誤差の測定値です。出力は理論上 0 V となります。DAC と出力アンプのオフセット誤差の組み合わせによって DAC 出力が 0 V より低くなることはないため、ゼロコード誤差は常に正の値になります。ゼロコード誤差は mV で表されます。

フルスケール誤差

フルスケール誤差は、フルスケール・コード (0xFFFF) を DAC レジスタにロードしたときの出力誤差の測定値です。出力の理論値は $V_{REF} - 1$ LSB (ゲイン = 1) または $2 \times V_{REF}$ (ゲイン = 2) です。フルスケール誤差はフルスケール範囲のパーセント値 (% FSR) で表されます。

ゲイン誤差

ゲイン誤差は DAC のスパン誤差の尺度のひとつです。DAC の伝達特性の傾きの理論値からの偏差で、FSR の % で表されます。

オフセット誤差ドリフト

オフセット誤差ドリフトは、温度変化に伴うオフセット誤差の変化の測定値で、 $\mu\text{V}/^\circ\text{C}$ で表されます。

オフセット誤差

オフセット誤差は、伝達関数のリニア領域での V_{OUT} の実測値と理想値の差で、mV で表します。オフセット誤差は、コード 256 を DAC レジスタにロードして測定します。これは負または正の値となります。

DC 電源電圧変動除去比 (PSRR)

DC 電源電圧変動除去比は、電源電圧変化の DAC 出力に対する影響を表します。PSRR は、DAC のフルスケール出力での、 V_{DD} の変化に対する V_{OUT} の変化の比で、mV/V で表されます。 V_{REF} を 2 V に保持し、 V_{DD} を $\pm 10\%$ 変化させます。

出力電圧セトリング・タイム

出力電圧セトリング・タイムは、フルスケールの 1/4 から 3/4 への入力の変化に対して、DAC 出力が規定のレベルまで安定するのに要する時間を表します。

デジタル/アナログ・グリッチ・インパルス

デジタル/アナログ・グリッチ・インパルスは、DAC レジスタの入力コードが変化したときに、アナログ出力に出現するインパルスです。通常、nV-sec で表すグリッチの面積として規定され、キャリが大きく変化するところで (0x7FFF から 0x8000)、デジタル入力コードが 1 LSB だけ変化するときに測定されます。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表しますが、DAC 出力の更新が行われていないときに測定されます。nV-sec で規定され、データ・バス上のフルスケールのコード変化 (全ビット 0 から全ビット 1、またはその逆) を使って測定されます。

ノイズ・スペクトル密度

ノイズ・スペクトル密度は内部で発生するランダム・ノイズを表します。ランダム・ノイズはスペクトル密度 (nV/ $\sqrt{\text{Hz}}$) として特性評価されます。DAC にミッドスケールをロードして、その出力に発生するノイズを測定し、nV/ $\sqrt{\text{Hz}}$ で表します。

DC クロストーク

DC クロストークは、一方の DAC の出力の変化に反応して生じた他方の DAC の出力レベルの DC 変化です。ミッドスケールに保持した一方の DAC をモニタしながら、他方の DAC 上でのフルスケール出力変化 (または、ソフト・パワーダウンおよびパワーアップ) を使って測定し、 μV で表します。

負荷電流の変化に起因する DC クロストークは、一方の DAC の負荷電流の変化がミッドスケールに保持された他方の DAC へ与える影響を表し、 $\mu\text{V}/\text{mA}$ で表されます。

デジタル・クロストーク

デジタル・クロストークは、一方の DAC の入力レジスタのフルスケール・コード変化 (全ビット 0 から全ビット 1 への変化、およびその逆) によって、ミッドスケール・レベルにある他方の DAC の出力に伝わったグリッチ・インパルスです。スタンダアロン・モードで測定し、nV-sec で表します。

アナログ・クロストーク

アナログ・クロストークは、一方の DAC の出力の変化によって他方の DAC の出力に伝わったグリッチ・インパルスです。最初に、入力レジスタの 1 つにフルスケール・コード変化 (全ビット 0 から全ビット 1 への変化、およびその逆) をロードして測定します。次に、ソフトウェア LDAC を実行して、デジタル・コードが変化しなかった DAC の出力をモニタします。グリッチの面積は nV-sec で表されます。

DAC 間クロストーク

DAC 間クロストークは、一方の DAC のデジタル・コードの変化とそれに続くアナログ出力変化によって他方の DAC の出力に伝わったグリッチ・インパルスです。書込みコマンドと更新コマンドを使って、影響を与えるチャンネルにフルスケール・コード変化 (全ビット 0 から全ビット 1 への変化、およびその逆) をロードし、ミッドスケールにある影響を受けるチャンネルの出力をモニタして測定します。グリッチのエネルギは nV-sec で表されます。

乗算帯域幅

乗算帯域幅は、DAC 内部のアンプの有限な帯域幅を表します。フルスケール・コードを DAC にロードした状態でリファレンスにサイン波を与えると出力に現れます。乗算帯域幅は、出力振幅が入力を 3dB 下回るときの周波数です。

全高調波歪み (THD)

THD は、理想的なサイン波と、DAC を使って減衰したサイン波との差です。DAC のリファレンスにサイン波を使用して、DAC 出力に含まれる高調波を測定した値が THD であり、dB で表されます。

電圧リファレンス温度係数 (TC)

電圧リファレンス TC は、温度変化によるリファレンス出力電圧の変化の程度を表し、ボックス法を使って計算します。この方法では、TC は、次のように、所定の温度範囲でのリファレンス出力の最大変化として定義され、ppm/°C で表されます。

$$TC = \left[\frac{V_{REF(MAX)} - V_{REF(MIN)}}{V_{REF(NOM)} \times TempRange} \right] \times 10^6$$

ここで、

$V_{REF(MAX)}$ は全温度範囲で測定した最大リファレンス出力、

$V_{REF(MIN)}$ は全温度範囲で測定した最小リファレンス出力、

$V_{REF(NOM)}$ は公称リファレンス出力電圧 2.5 V、

$TempRange$ は規定の温度範囲 -40 °C ~ +125 °C です。

動作原理

D/A コンバータ (DAC)

AD5671R/AD5675R は、12/16 ビット、シリアル入力、電圧出力のオクタル DAC で、リファレンスを内蔵しています。これらのデバイスは 2.7 V ~ 5.5 V の電源電圧で動作します。データは、2 線式シリアル・インターフェースを介して 24 ビットのワード・フォーマットで AD5671R/AD5675R に書き込まれます。

AD5671R/AD5675R は、DAC 出力を既知の出力状態にパワーアップさせるパワーオン・リセット回路を内蔵しています。これらのデバイスにはソフトウェア・パワーダウン・モードも内蔵されており、標準的な消費電流を 1 μ A まで低減します。

伝達関数

内部リファレンスはデフォルトでオンになります。

ゲインは出力アンプのゲインで、デフォルトで 1 に設定されます。これは、ゲイン選択ピン (GAIN) を使って 1 または 2 に設定できます。このピンを GND に接続すると、8 個全ての DAC 出力のスパンが 0 V ~ V_{REF} になります。このピンを V_{LOGIC} に接続すると、8 個全ての DAC 出力のスパンが 0 V ~ $2 \times V_{REF}$ になります。

DAC アーキテクチャ

AD5671R/AD5675R はセグメント化ストリング DAC アーキテクチャを採用しており、出力バッファを内蔵しています。内部ブロック図を図 56 に示します。

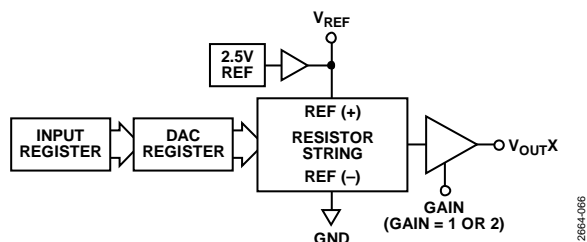


図 56. 1 チャンネルの DAC アーキテクチャのブロック図

抵抗ストリング構造を図 57 に示します。DAC レジスタにロードされるコードにより、電圧を取り出して出力アンプに供給するストリングのノードが決まります。スイッチの 1 つが閉じてストリングがアンプに接続されることにより、電圧が取り出されます。ストリング内の各抵抗は同じ値 R を持つため、ストリング DAC の単調増加性が保証されます。

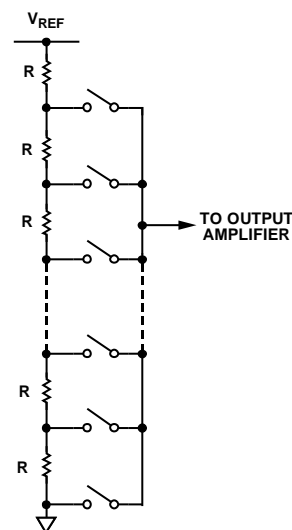


図 57. 抵抗ストリング構造

内部リファレンス

AD5671R/AD5675R の内部リファレンスは、パワーアップ時にイネーブルされますが、コントロール・レジスタへの書き込みによってディスエーブルすることができます。詳細については、内部リファレンスとアンプのゲインの選択のセクションを参照してください。

AD5671R/AD5675R は、2.5 V、2 ppm/ $^{\circ}$ C のリファレンスを備えており、GAIN ピンの状態に応じて 2.5 V または 5 V のフルスケール出力を与えます。デバイスの内部リファレンスは V_{REFOUT} ピンに出力されます。このバッファ付きリファレンスは最大 15 mA の外部負荷を駆動できます。

出力アンプ

出力バッファアンプは、その出力にレール to レールの電圧を発生し、0 V ~ V_{DD} の範囲の出力を与えます。実際の範囲は、 V_{REF} の値、GAIN ピン、オフセット誤差、ゲイン誤差に依存します。GAIN ピンで出力のゲインを選択します。GAIN ピンを GND に接続すると、8 つ全ての出力のゲインが 1 になり、出力範囲は 0 V ~ V_{REF} になります。GAIN ピンを V_{LOGIC} に接続すると、8 つ全ての出力のゲインが 2 になり、出力範囲は 0 V ~ $2 \times V_{REF}$ になります。

これらのアンプは、10 nF と並列に GND に接続した 1 k Ω 負荷を駆動することができます。1/4 スケールから 3/4 スケールまでのセトリング・タイムが 5 μ s (代表値) のときのスルー・レートは 0.8 V/ μ s です。

シリアル・インターフェース

AD5671R/AD5675R は、I²C 互換の 2 線式シリアル・インターフェースを採用しています。これらのデバイスは、マスター・デバイスで制御されるスレーブ・デバイスとして I²C バスに接続することができます。AD5671R/AD5675R は、標準 (100 kHz) と高速 (400 kHz) のデータ転送モードに対応しています。10 ビット・アドレス指定や一般的な呼び出しアドレス指定には対応していません。

入カシフトレジスタ

AD5671R/AD5675R の入カシフトレジスタは 24 ビット幅です。データは MSB ファースト (DB23) でロードされ、最初の 4 ビットはコマンド・ビット C3 ~ C0 (表 9 参照)、次の 4 ビットは DAC アドレス・ビット A3 ~ A0 (表 10 参照)、最後のビット列はデータワードです。

データワードは、AD5675R では 16 ビットの入カコード、AD5671R では 12 ビットの入カコードとそれに続く 4 個のドンクエア・ビットで構成されます (図 58 と図 59 を参照)。これらのデータ・ビットは、SCL の 24 個の立下がりエッジで入カレジスタに転送されます。

コマンドは、選択したアドレス・ビットに応じて、個別の DAC チャンネル、組み合わせた DAC チャンネル、または全ての DAC に対して実行されます。

表 9. コマンドの定義

Command				Description
C3	C2	C1	C0	
0	0	0	0	No operation
0	0	0	1	Write to Input Register n (dependent on LDAC)
0	0	1	0	Update DAC Register n with contents of Input Register n
0	0	1	1	Write to and update DAC Channel n
0	1	0	0	Power down/power up DAC
0	1	0	1	Hardware LDAC mask register
0	1	1	0	Software reset (power-on reset)
0	1	1	1	Internal reference and gain setup register
1	0	0	0	Reserved
1	0	0	1	Reserved
1	0	1	0	Update all channels of input register simultaneously with the input data
1	0	1	1	Update all channels of DAC register and input register simultaneously with the input data
1	1	0	0	Reserved
...
1	1	1	1	Reserved

表 10. アドレス・コマンド

Channel Address[3:0]				Selected Channel ¹
A3	A2	A1	A0	
0	0	0	0	DAC 0
0	0	0	1	DAC 1
0	0	1	0	DAC 2
0	0	1	1	DAC 3
0	1	0	0	DAC 4
0	1	0	1	DAC 5
0	1	1	0	DAC 6
0	1	1	1	DAC 7

¹ アドレス・ビットを使って DAC チャンネルの任意の組み合わせを選択することができます。

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
COMMAND				DAC ADDRESS				DAC DATA								DAC DATA							
COMMAND BYTE				DATA HIGH BYTE				DATA LOW BYTE															

図 58. AD5675R の入カシフトレジスタ値

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
C3	C2	C1	C0	A3	A2	A1	A0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X
COMMAND				DAC ADDRESS				DAC DATA								DAC DATA							
COMMAND BYTE				DATA HIGH BYTE				DATA LOW BYTE															

図 59. AD5671R の入カシフトレジスタ値

書き込みコマンドと更新コマンド

入力レジスタ n への書き込み (LDAC に依存する)

コマンド 0001 により、各 DAC 専用の入力レジスタに個別に書き込みを行うことができます。LDAC がロー・レベルの場合、LDAC マスク・レジスタで制御されていなければ、入力レジスタはトランスペアレントになります。

入力レジスタ n の値による DAC レジスタ n の更新

コマンド 0010 は、選択した入力レジスタの値を DAC レジスタと出力にロードして DAC 出力を直接更新します。

DAC チャンネル n への書き込みと更新 (LDAC に依存しない)

コマンド 0011 により、DAC レジスタに書き込みを行って DAC 出力を直接更新することができます。

I²C スレーブ・アドレス

AD5671R/AD5675R は 7 ビットの I²C スレーブ・アドレスを持っています。上位 5 ビットは 00011 で、下位 2 ビット (A1 および A0) は A1 と A0 のアドレス・ピンの状態によって設定されます。A1 と A0 をハードワイヤー接続で変更できるので、1 つのバスに最多 4 個の AD5671R/AD5675R を接続することができます (表 11 参照)。

表 11. デバイス・アドレスの選択

A1 Pin Connection	A0 Pin Connection	A1	A0
GND	GND	0	0
GND	V _{LOGIC}	0	1
V _{LOGIC}	GND	1	0
V _{LOGIC}	V _{LOGIC}	1	1

シリアル動作

2 線式 I²C シリアル・バス・プロトコルは以下のように動作します。

1. マスターは、SCL がハイ・レベルの間に SDA ラインをハイ・レベルからロー・レベルへ遷移させて開始条件を設定し、データ転送を開始します。次のバイトはアドレス・バイトで、7 ビットのスレーブ・アドレスで構成されます。
2. 送信されたアドレスに対応するスレーブ・デバイスは、9 番目のクロック・パルスで SDA をロー・レベルに下げて応答します (これはアックノレッジ・ビット (ACK) と呼ばれます)。この段階では、選択されたデバイスが、その入力シフトレジスタに対して読み書きが行われるデータを待つ間、バス上の他の全てのデバイスはアイドル状態を維持します。
3. データは、9 個のクロック・パルスにより、8 ビットのデータとそれに続くアックノレッジ・ビットの順にシリアル・バスを介して伝送されます。SDA ラインは SCL がロー・レベルの間に変化し、SCL がハイ・レベルの間は安定に保たれている必要があります。
4. 全データ・ビットの読みまたは書き込みが終了すると、停止条件が設定されます。書き込みモードでは、マスターが 10 番目のクロック・パルスの間に SDA ラインをハイ・レベルにして、停止条件を設定します。読みモードでは、マスターは 9 番目のクロック・パルスでノー・アックノレッジ (NACK) を発行します (SDA ラインをハイ・レベルに維持)。次いで、マスターは 10 番目のクロック・パルスの前に SDA ラインをロー・レベルにし、10 番目のクロック・パルスの間に再度ハイ・レベルにして、停止条件を設定します。

書き込み動作

AD5671R/AD5675R へ書き込む場合、まずスタート・コマンドを送信し、続いてアドレス・バイト (R/W = 0) を送信します。その後 DAC は SDA をロー・レベルにして、データ受信の準備ができたことをアックノレッジします。AD5671R/AD5675R は、DAC 用の 2 バイトのデータと各種 DAC 機能を制御する 1 バイトのコマンドを必要とします。したがって、DAC には、コマンド・バイトに続き、上位データ・バイトと下位データ・バイトの 3 バイトのデータを書き込む必要があります (図 60 参照)。これら全てのデータ・バイトは AD5671R/AD5675R からアックノレッジされます。この後に停止条件が続きます。

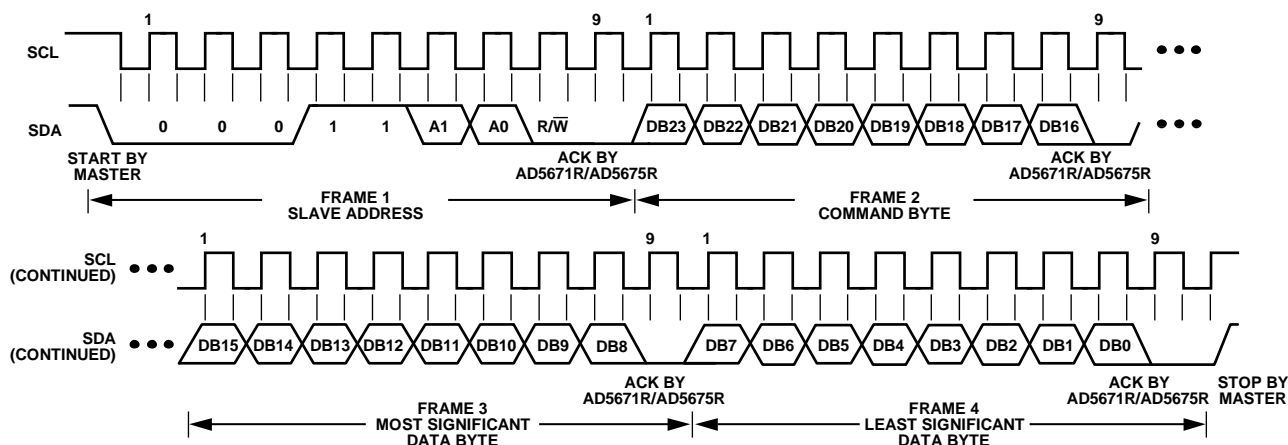


図 60. I²C の書き込み動作

読出し動作

AD5671R/AD5675R からデータを読み出す場合、まずスタート・コマンドを送信し、続いてアドレス・バイト ($R/\overline{W}=0$) を送信します。その後に DAC は SDA をロー・レベルにして、データ受信の準備ができたことをアックレジットします。アドレス・バイトには、後続の読出しコマンドと読出し対象のポイント・アドレスの両方を指定するコマンド・バイトを続ける必要があります。DAC はこのコマンド・バイトもアックレジットします。ここで、1 個または複数の DAC の入力レジスタ値をリードバックするチャンネルを設定し、コマンド・バイトを使ってリードバック・コマンドをアクティブに設定します。

その後、マスターは反復開始条件を設定し、アドレスが $R/\overline{W}=1$ で再送されます。このバイトを DAC がアックレジットして、データを送信する準備ができたことを知らせます。次に、2 バイトのデータが DAC から読み出されます (図 61 参照)。マスターからの NACK 条件に停止条件が続いて、読出しシーケンスが完了します。複数の DAC を選択した場合、デフォルトで DAC 0 がリードバックされます。

複数 DAC のリードバック・シーケンス

複数の AD5671R/AD5675R DAC からデータを読み出す場合には、まずアドレス・バイト ($R/\overline{W}=0$) を送信します。その後に DAC は SDA をロー・レベルにして、データ受信の準備ができたことをアックレジットします。このアドレス・バイトにはコマンド・バイトを続ける必要があります。DAC はこれに対してもアックレジットします。コマンド・バイトを使ってリードバックする最初のチャンネルを選択します。

このシーケンスに続き、マスターは反復開始条件を設定し、アドレスが $R/\overline{W}=1$ で再送されます。このバイトは DAC がアックレジットし、データを送信する準備ができたことを知らせます。次いで、最初の 2 バイトのデータが、コマンド・バイトで選択された DAC 入力レジスタ n から MSB ファーストで読み出されます (図 61 参照)。次の 2 バイトのリードバック・データは、DAC 入力レジスタ $n+1$ のデータで、次の 2 バイトのデータは DAC 入力レジスタ $n+2$ の値です。DAC 入力レジスタからのデータ読出しは、NACK に停止条件が続くまで、このオートインクリメント方式で行われます。DAC 入力レジスタ 7 の値が読み出されると、次に読み出される 2 バイトのデータは DAC 入力レジスタ 0 の値になります。

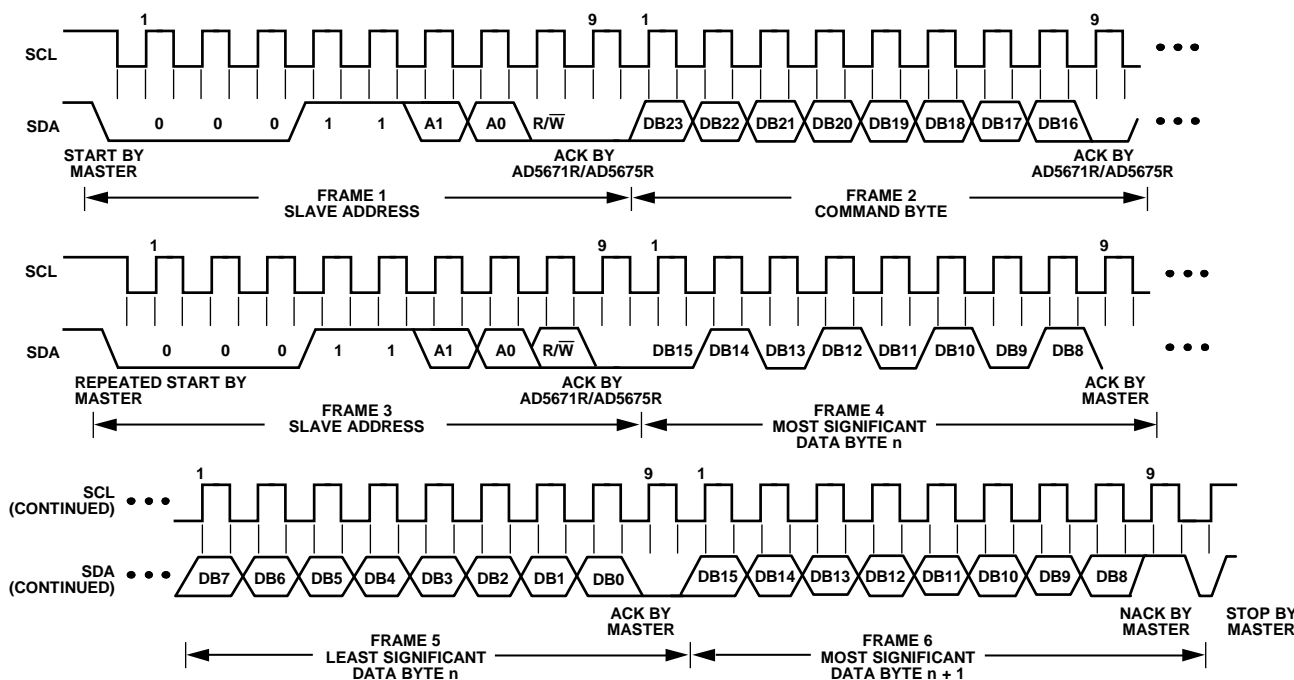


図 61. I²C の読出し動作

12864-304

パワーダウン動作

AD5671R/AD5675R には 2 種類のパワーダウン・モードがあります。コマンド 0100 がパワーダウン機能に指定されています (表 9 参照)。これらのパワーダウン・モードは、入力シフトレジスタの 16 ビット (ビット DB15 ~ ビット DB0) を設定することにより、ソフトウェアで設定することができます。2 ビットが各 DAC チャンネルに対応しています。2 ビットの状態と対応するデバイスの動作モードを表 12 に示します。

対応するビットを設定することにより、いずれかまたは全ての DAC (DAC 0 ~ DAC 7) が選択したモードにパワーダウンします。パワーダウン/パワーアップ動作時の入力シフトレジスタの値については、表 13 を参照してください。

表 12. 動作モード

Operating Mode	PD1	PD0
Normal Operation	0	0
Power-Down Modes		
1 kΩ to GND	0	1
Tristate	1	1

入力シフトレジスタの PD1 と PD0 の両方のビットを 0 に設定すると、デバイスは 5 V/1 mA (代表値) の消費電力で通常の動作をします。ただし、この 2 種類のパワーダウン・モードでは、電源電流が 1 μA (代表値) に減少します。この電源電流の減少に加えて、出力段が内部でアンプ出力から既知の値の抵抗ネットワークに切り替わります。これには、デバイスがパワーダウン・モードのときのデバイスの出力インピーダンスが既知であるという利点があります。また、2 種類のパワーダウン・オプションがあります。出力を内部で 1 kΩ 抵抗を介して GND に接続するか、オープン・サーキット (スリーステート) のままにします。出力段を図 62 に示します。

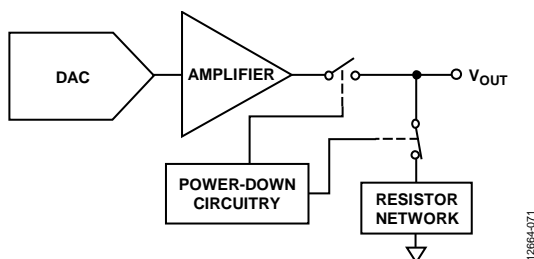


図 62. パワーダウン時の出力段

パワーダウン・モードになると、バイアス・ジェネレータ、出力アンプ、抵抗ストリングなど関係するリニア回路はシャットダウンされます。ただし、パワーダウン・モードで DAC レジスタの値は影響を受けません。デバイスがパワーダウン・モード時に DAC レジスタを更新することができます。パワーダウンから抜け出すのに要する時間は、 $V_{DD} = 5\text{ V}$ で $2.5\ \mu\text{s}$ (代表値) です。

DAC のロード (ハードウェア $\overline{\text{LDAC}}$ ピン)

AD5671R/AD5675R DAC は、入力レジスタと DAC レジスタの 2 つのレジスタ・バンクで構成されたダブル・バッファ付きインターフェースを備えています。入力レジスタの任意の組み合わせに書き込むことができます。DAC レジスタの更新は $\overline{\text{LDAC}}$ ピンによって制御します。

DAC の瞬時更新 ($\overline{\text{LDAC}}$ をロー・レベルに維持)

DAC を瞬時に更新するには、 $\overline{\text{LDAC}}$ をロー・レベルに維持したまま、コマンド 0001 を使ってデータを入力レジスタにクロック入力します。アドレス指定された入力レジスタと DAC レジスタの両方が 24 番目のクロックで更新され、出力が瞬時に変化します。

DAC の遅延更新 ($\overline{\text{LDAC}}$ へロー・レベルのパルスを入力)

DAC を遅延更新するには、 $\overline{\text{LDAC}}$ をハイ・レベルに維持したまま、コマンド 0001 を使ってデータを入力レジスタにクロック入力します。24 番目のクロックの後に $\overline{\text{LDAC}}$ をロー・レベルにすることにより、全ての DAC 出力が非同期で更新されます。更新は $\overline{\text{LDAC}}$ の立下がりエッジで行われます。

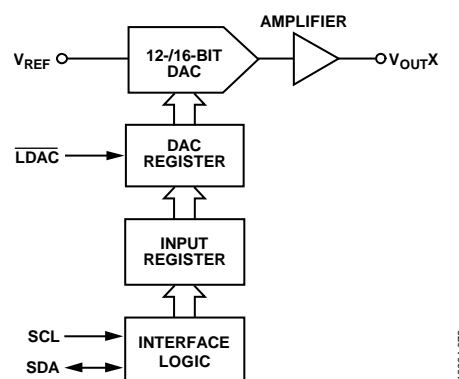


図 63. 1 個の DAC の入力ロード回路の簡略図

表 13. パワーダウン/パワーアップ動作の 24 ビット入力シフトレジスタ値

[DB23:DB20]	DB19	[DB18:DB16]	DAC 7	DAC 6	DAC 5	DAC 4	DAC 3	DAC 2	DAC 1	DAC 0
			[DB15: B14]	[DB13: B12]	[DB11: B10]	[DB9:DB8]	[DB7:DB6]	[DB5:DB4]	[DB3:DB2]	[DB1:DB0]
0100	0	XXX ¹	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]	[PD1:PD0]

¹ X はドントケア。

LDAC マスク・レジスタ

コマンド 0101 はこのソフトウェア LDAC 機能用です。アドレス・ビットは無視されます。コマンド 0101 を使って DAC に書き込みを行うと、8 ビットの LDAC レジスタ (DB7 ~ DB0) がロードされます。各チャンネルのデフォルト値は 0、すなわち LDAC ピンが通常動作をします。これらのビットを 1 に設定すると、ハードウェア LDAC ピンの状態に関係なく、この DAC チャンネルは LDAC ピンの遷移を無視します。この柔軟な機能は、LDAC ピンにどのチャンネルが応答するかを選択するアプリケーションに有用です。

この LDAC レジスタにより、ハードウェア LDAC ピンを柔軟に制御することができます (表 15 参照)。ある DAC チャンネルの LDAC ビット (DB0 ~ DB7) を 0 に設定することは、そのチャンネルの更新がハードウェア LDAC ピンで制御されることを意味します。

表 14. LDAC 上書きの定義

Load LDAC Register		LDAC Operation
LDAC Bits (DB7 to DB0)	LDAC Pin	
00000000	1 or 0	LDAC ピンで指定されます。
11111111	X ¹	DAC チャンネルは更新され、LDAC ピンをオーバーライドします。DAC チャンネルは LDAC を 1 とみなします。

¹X はドントケア。

表 15. 書き込みコマンドと LDAC ピンの真理値表¹

Command	Description	Hardware LDAC Pin State	Input Register Contents	DAC Register Contents
0001	Write to Input Register n (dependent on LDAC)	V _{LOGIC} GND ²	Data update Data update	No change (no update) Data update
0010	Update DAC Register n with contents of Input Register n	V _{LOGIC} GND	No change No change	Updated with input register contents Updated with input register contents
0011	Write to and update DAC Channel n	V _{LOGIC} GND	Data update Data update	Data update Data update

¹ ハードウェア LDAC ピンのハイ・レベルからロー・レベルへの遷移により、常に LDAC マスク・レジスタでマスク (ブロック) されていないチャンネルの DAC レジスタの値が入力レジスタの値で更新されます。

² LDAC をロー・レベルに固定すると、LDAC マスク・ビットは無視されます。

ハードウェア・リセット (RESET)

RESET ピンはアクティブ・ローのリセットで、出力をゼロ・スケールまたはミッドスケールにクリアすることができます。クリア・コード値は、RSTSEL ピンを使って選択することができます。動作を完了するには、RESET を最小時間 (表 5 参照) ロー・レベルに維持します。RESET 信号がハイ・レベルに戻っても、新しい値が設定されるまで出力はクリア値を維持します。RESET ピンがロー・レベルの間、出力を新しい値で更新することはできません。DAC をパワーオン・リセット・コードにリセットする、ソフトウェアで実行可能なリセット機能もあります。コマンド 0110 が、このソフトウェア・リセット機能に指定されています。パワーオン・リセットの間 LDAC と RESET の全てのイベントは無視されます。

リセット選択ピン (RSTSEL)

AD5671R/AD5675R はパワーアップ時に出力電圧を制御するパワーオン・リセット回路を内蔵しています。RSTSEL ピンをロー・レベルに接続することにより、出力はゼロ・スケールでパワーアップします。このパワーアップは DAC のリニア領域の外側であることに注意してください。RSTSEL ピンをハイ・レベルに接続することにより、V_{OUT} はミッドスケールでパワーアップします。出力は、DAC に有効な書込みシーケンスが実行されるまで、このパワーアップされたレベルに維持されます。

内部リファレンスとアンプのゲインの選択

内部リファレンスはデフォルトでパワーアップ時にオンになります。電源電流を低減するには、内部リファレンスおよびゲイン設定レジスタのソフトウェアで設定可能なビット DB0 をセットして、このリファレンスをオフします。

内部リファレンスおよびゲイン設定レジスタのビット DB2 の状態により、LFCSP パッケージの出力アンプのゲイン設定が決まります (表 16 と表 17 を参照)。TSSOP パッケージではビット DB2 は無視されます。コマンド 0111 は内部リファレンスとアンプ・ゲインの設定用です。

表 16. 内部リファレンスおよびゲイン設定レジスタ

Bit	Description
DB2	Amplifier gain setting DB2 = 0; amplifier gain = 1 (default) DB2 = 1; amplifier gain = 2
DB1	Reserved; set to 0
DB0	Internal reference DB0 = 0; reference is on (default) DB1 = 1; reference is off

ハンダ加熱リフロー

全ての IC リファレンス電圧回路と同様に、ハンダ処理によってリファレンス値がシフトすることがあります。アナログ・デバイスでは、デバイスをボードにハンダ付けする影響を再現する、プリコンディションと呼ばれる信頼性テストを実施しています。前述の出力電圧の仕様には、この信頼性テストの影響が含まれています。

この信頼性テスト (プリコンディション) で測定したハンダ加熱リフローの影響を図 64 に示します。

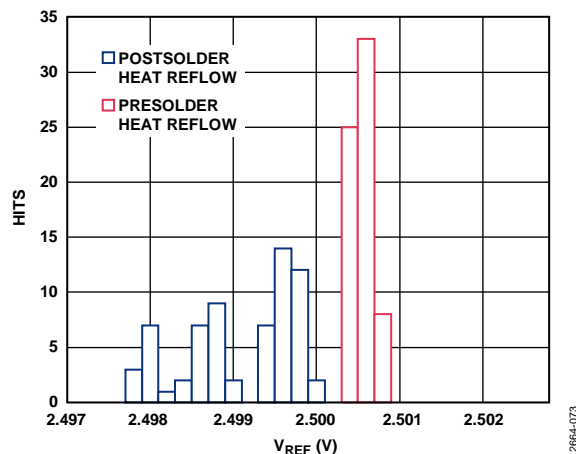


図 64. ハンダ加熱リフローでのリファレンス電圧のシフト

長時間温度ドリフト

150 °C で 1000 時間の寿命テスト後の V_{REF} 値の変化を図 65 に示します。

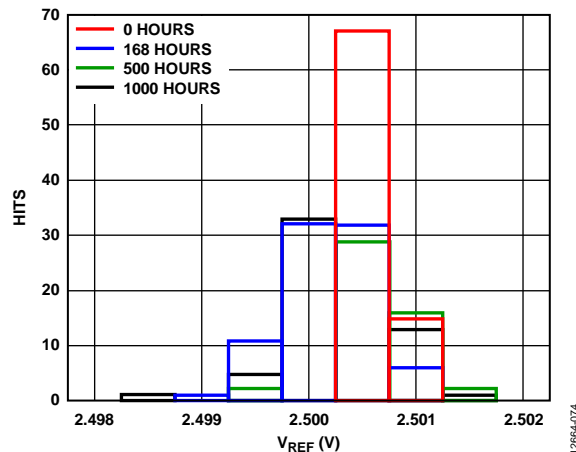


図 65. 1000 時間でのリファレンスのドリフト

熱ヒステリシス

熱ヒステリシスは、周囲温度から低温、高温と変化させ、さらに周囲温度に戻すことによってリファレンス電圧に生じる電圧差です。

熱ヒステリシスのデータを図 66 に示します。これは、周囲温度から -40 °C まで、次に +125 °C まで変化させ、さらに周囲温度に戻して測定したデータです。ここでは、2 つの周囲温度の測定値の間で V_{REF} の差分を測定した結果を図 66 に青で示しています。同じ温度変化と測定を直ちに繰り返した結果を図 66 に赤で示しています。

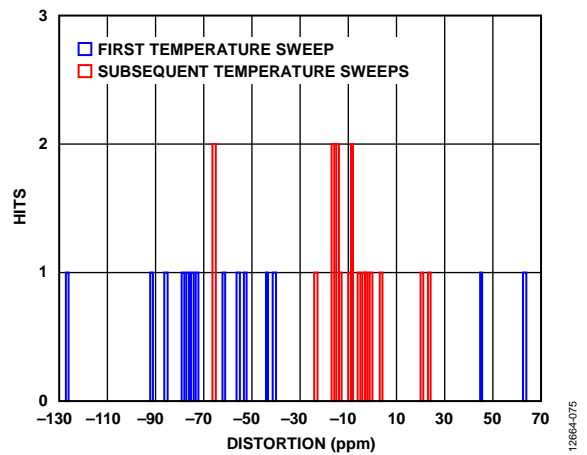


図 66. 熱ヒステリシス

表 17. 内部リファレンスとアンプ・ゲイン設定コマンドに対する 24 ビット入力シフトレジスタの値¹

DB23 (MSB)	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB1 to DB3	DB2	DB1	DB0 (LSB)
0	1	1	1	X	X	X	X	X	1/0	0	1/0
Command bits (C3 to C0)				Address bits (A3 to A0)				Don't care	Amplifier gain	Reserved	Reference setup register

¹ X はドントケア。

アプリケーション情報

電源の推奨事項

AD5671R/AD5675R は通常、 $V_{DD} = 3.3\text{ V}$ と $V_{LOGIC} = 1.8\text{ V}$ の電源で動作します。

V_{DD} ピンの電源として **ADP7118** を、 V_{LOGIC} ピンの電源として **ADP160** を使用することができます。このセットアップを図 67 に示します。ADP7118 と ADP160 は、それぞれ最大 20 V と 5.5 V の入力電圧で動作することができます。

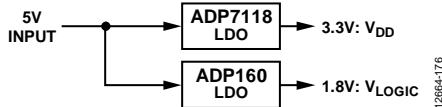


図 67. AD5671R/AD5675R のための低ノイズの電源ソリューション

マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5671R/AD5675R とのインターフェースは、DSP プロセッサとマイクロコントローラに対して互換性を持つ標準プロトコルを使用するシリアル・バスを介して行います。この通信チャンネルは、クロック信号とデータ信号で構成される 2 線式インターフェースを必要とします。

AD5671R/AD5675R と ADSP-BF531 とのインターフェース

AD5671R/AD5675R の I²C インターフェースは、業界標準の DSP やマイクロコントローラに容易に接続できるように設計されています。アナログ・デバイセズの Blackfin[®] プロセッサに接続された AD5671R/AD5675R を図 68 に示します。Blackfin プロセッサは、AD5671R/AD5675R の I²C ピンに直接接続できる I²C ポートを備えています。

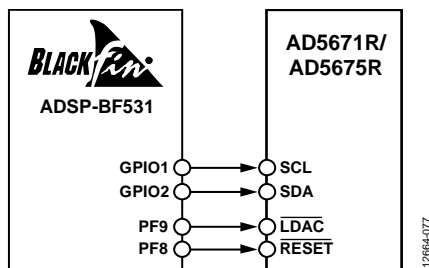


図 68. AD5671R/AD5675R と ADSP-BF531 とのインターフェース

レイアウトのガイドライン

精度が重要な回路では、電源とグラウンド・リターン・レイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5671R/AD5675R を実装する PCB は、これらのデバイスがアナログ・プレーン上に置かれるように設計します。

AD5671R/AD5675R には、10 μF と 0.1 μF を並列接続した十分な電源バイパスが各電源に必要で、パッケージのできるだけ近くに、理想的にはデバイスに隣接させて配置する必要があります。10 μF のコンデンサには、タンタルのビード型を使用します。0.1 μF のコンデンサには、高周波でグラウンドに対する低

インピーダンス・パスを提供するセラミック型のような等価直列抵抗 (ESR) が小さく、かつ等価直列インダクタンス (ESL) が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

1 枚のボードに多数のデバイスが搭載されるシステムでは、電力消費を容易にするのに、なんらかの放熱機能を備えることが多くの場合に有効です。

デバイス上の GND プレーンを大きくすることにより、自然な放熱効果を得ることができます (図 69 参照)。

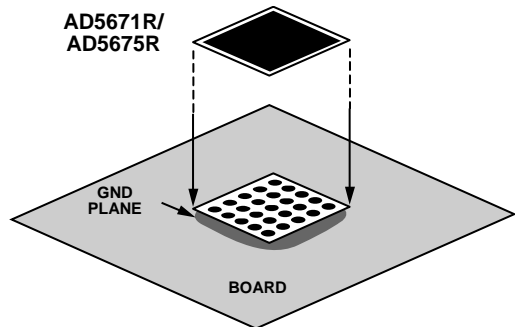
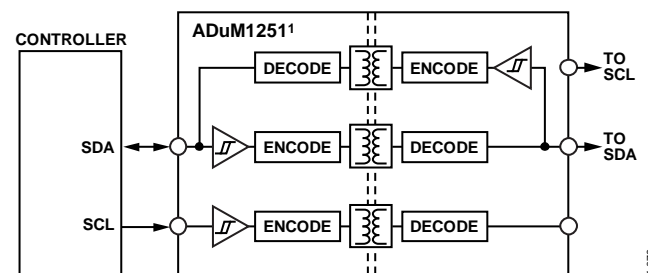


図 69. パッドとボードの接続

デジタル・アイソレータを用いた絶縁インターフェース

多くのプロセス制御アプリケーションでは、制御する装置と制御される装置の間に絶縁バリアを設けて、発生するおそれのある危険なコモンモード電圧から制御回路を保護し絶縁する必要があります。アナログ・デバイセズの iCoupler[®] 製品は、2.5 kV を超える電圧アイソレーションを提供します。

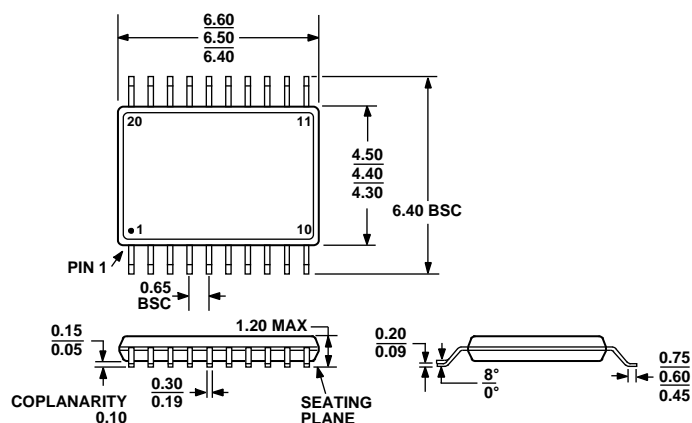
AD5671R/AD5675R はシリアル・ロード構造を採用しているため、インターフェース・ライン数が最少で済むので、絶縁型インターフェースに最適です。ADuM1251 を使用した、AD5671R/AD5675R への 2 チャンネル絶縁型インターフェースを図 70 に示します。-詳細については、www.analog.com/icoupler をご覧ください。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

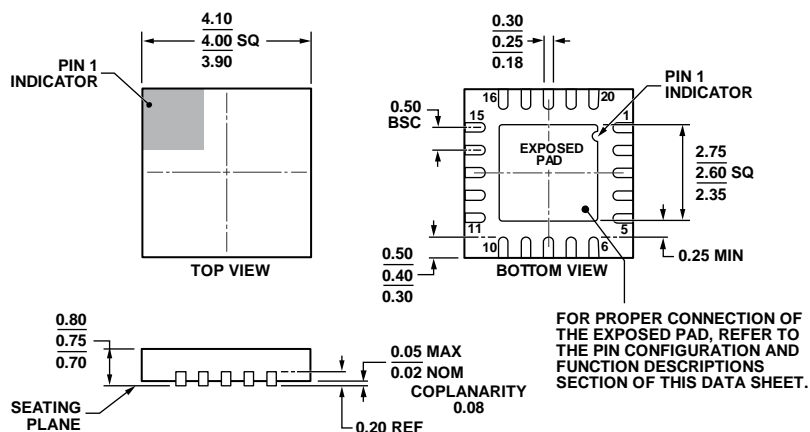
図 70. 絶縁型インターフェース

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-153-AC

図 71. 24 ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP] (RU-20)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD.

図 72. 20 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_WQ] 4 mm x 4 mm ボディ、極薄、クワッド (CP-20-8)
寸法: mm

オーダー・ガイド

Model ¹	Resolution	Temperature Range	Accuracy	Reference Temperature Coefficient (ppm/°C)	Package Description	Package Option
AD5671RBRUZ	12 Bits	-40°C to +125°C	±1 LSB INL	2 (typical)	20-Lead TSSOP	RU-20
AD5671RBRUZ-REEL7	12 Bits	-40°C to +125°C	±1 LSB INL	2 (typical)	20-Lead TSSOP	RU-20
AD5671RBCPZ-REEL7	12 Bits	-40°C to +125°C	±1 LSB INL	2 (typical)	20-Lead LFCSP_WQ	CP-20-8
AD5671RBCPZ-RL	12 Bits	-40°C to +125°C	±1 LSB INL	2 (typical)	20-Lead LFCSP_WQ	CP-20-8
AD5675RARUZ	16 Bits	-40°C to +125°C	±8 LSB INL	5 (typical)	20-Lead TSSOP	RU-20
AD5675RARUZ-REEL7	16 Bits	-40°C to +125°C	±8 LSB INL	5 (typical)	20-Lead TSSOP	RU-20
AD5675RBRUZ	16 Bits	-40°C to +125°C	±3 LSB INL	2 (typical)	20-Lead TSSOP	RU-20
AD5675RBRUZ-REEL7	16 Bits	-40°C to +125°C	±3 LSB INL	2 (typical)	20-Lead TSSOP	RU-20
AD5675RACPZ-REEL7	16 Bits	-40°C to +125°C	±8 LSB INL	5 (typical)	20-Lead LFCSP_WQ	CP-20-8
AD5675RACPZ-RL	16 Bits	-40°C to +125°C	±8 LSB INL	5 (typical)	20-Lead LFCSP_WQ	CP-20-8
AD5675RBCPZ-REEL7	16 Bits	-40°C to +125°C	±3 LSB INL	5 (typical)	20-Lead LFCSP_WQ	CP-20-8
EVAL-AD5675RSDZ					AD5675R Evaluation Board	

¹ Z = RoHS 準拠製品。

メモ

I²C は、Philips Semiconductors 社（現在の NXP Semiconductors 社）が独自に開発した通信プロトコルです。