

特長

- 6ピンSC70パッケージ採用
- 超低消費電流動作: 100 μ A@5V (max)
- パワーダウン時の消費電流: 0.2 μ A@3V (typ)
- 14ビットDACを1個内蔵
- Aバージョン: ± 16 LSB INL
- 電源電圧: 2.7~5.5V
- 設計により単調増加性を保証
- 電圧低下検出機能付きのパワーオン・リセット (0V出力)
- 3つのパワーダウン機能
- シュミット・トリガ内蔵の低消費電力シリアル・インターフェース
- レールtoレール動作の出力バッファ・アンプを内蔵
- SYNC 割込み機能

アプリケーション

- 電圧レベル設定
- バッテリー駆動の携帯用計測器
- ゲインとオフセットのデジタル調整
- プログラマブルな電圧源と電流源
- プログラマブルな減衰器

概要

nanoDACファミリーのAD5641は14ビット・バッファ付きの電圧出力シングルD/Aコンバータ(DAC)であり、2.7~5.5V単電源で動作します。消費電流は5Vで75 μ A (typ)、超小型のSC70パッケージを採用しています。内蔵の高精度出力アンプにより、レールtoレールの出力振幅を実現します。AD5641の汎用3線式シリアル・インターフェースは、最大30MHzのクロック・レートで動作し、SPI、QSPI™、MICROWIRE™、DSPの各インターフェース規格と互換性があります。AD5641のリファレンス電圧は電源入力を利用しているため、広範な出力ダイナミック・レンジが得られます。パワーオン・リセット回路を内蔵しているため、パワーアップ時にDACの出力が0Vにリセットされ、デバイスに有効な書込みが行われるまで0Vを維持します。

AD5641は消費電流を3V時に0.2 μ A (typ)まで低減するパワーダウン機能を内蔵しているため、パワーダウン・モード時に出力ピンが出力アンプから切り離され、既知の内蔵抵抗にソフトウェアで接続することができます。シリアル・インターフェースを介してパワーダウン・モードに移行します。通常動作時の消費電力が小さいため、バッテリー駆動の携帯用機器に最適です。小型パッケージで低消費電力のこのnanoDACデバイスは、スペースに制約があり、消費電力の影響を受けやすいアプリケーションでバイアス電圧または制御電圧を生成するレベル設定条件に適しています。

REV.B

機能ブロック図

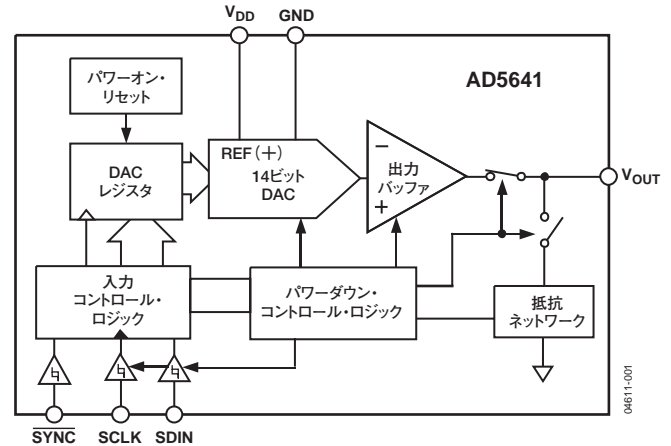


図1

表1. 関連デバイス

製品番号	説明
AD5601/AD5611/AD5621	2.7~5.5V、100 μ A未満、8/10/12ビット nanoDAC、SPIインターフェース、SC70パッケージ

製品のハイライト

- 省スペースの6ピンSC70パッケージ
- 低消費電力、単電源動作。2.7~5.5Vの単電源で動作し、最大消費電流が100 μ Aであるため、バッテリー駆動のアプリケーションに最適。
- 内蔵の出力バッファ・アンプにより、0.5V/ μ sの標準スルーレートでレールtoレールのDAC出力振幅が可能。
- リファレンスは電源を利用。
- クロック速度が最大30MHzの高速シリアル・インターフェースを内蔵。超低消費電力用に設計。インターフェースは書込みサイクル中のみパワーアップ。
- パワーダウン機能。パワーダウン時のDACの標準消費電流は3Vで0.2 μ A。
- 電圧低下検出機能付きのパワーオン・リセット

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。日本語データシートは、REVISIONが古い場合があります。最新の内容については、英語版をご参照ください。©2005 Analog Devices, Inc. All rights reserved.

AD5641

目次

仕様	3	入力シフト・レジスタ	13
タイミング特性	4	$\overline{\text{SYNC}}$ 割込み	13
絶対最大定格	5	パワーオン・リセット	14
ESDに関する注意	5	パワーダウン・モード	14
ピン配置および機能の説明	6	マイクロプロセッサとのインターフェース	15
用語の説明	7	アプリケーション	17
代表的な性能特性	8	リファレンスをAD5641の電源として選択する方法	17
動作原理	13	AD5641を使用したバイポーラ動作	17
DAC部	13	フォトカプラを用いた絶縁インターフェース	18
抵抗ストリング	13	電源のバイパスとグラウンディング	18
出力アンプ	13	外形寸法	19
シリアル・インターフェース	13	オーダー・ガイド	19

改訂履歴

7/05—Rev. A to Rev. B

Change to Galvanically Isolated Interface Section	18
Changes to Figure 44	18

3/05—Rev. 0 to Rev. A

Changes to Timing Characteristics	4
Changes to Absolute Maximum Ratings	5
Changes to Full-Scale Error Section	7
Changes to Figures 28 and 30	12
Change to Resistor String Section	13
Changes to Power-Down Mode Section	14

1/05—Revision 0: Initial Version

仕様

$V_{DD}=2.7\sim 5.5V$ 、 $R_L=2k\Omega$ (GNDに接続)、 $C_L=200pF$ (GNDに接続)。特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。

表2

パラメータ	Aグレード ¹			単位	テスト条件/コメント
	Min	Typ	Max		
静的性能					
分解能	14			ビット	
相対精度 (INL) ²			±16	LSB	Aグレード
微分非直線性 (DNL) ²			±1	LSB	設計により単調増加性を保証
ゼロコード誤差		0.5	10	mV	DACレジスタに全ビット「0」をロード
オフセット誤差		±0.063	±10	mV	
フルスケール誤差		±0.5		mV	DACレジスタに全ビット「1」をロード
ゲイン誤差		±0.0004	±0.037	FSRの%	
ゼロコード誤差の温度ドリフト		5.0		$\mu V/^\circ C$	
ゲイン温度係数		2.0		FSRのppm/ $^\circ C$	
出力特性 ³					
出力電圧範囲	0		V_{DD}	V	
出力電圧セトリング時間		6	10	μs	コード1/4スケール～3/4スケール (±1LSB以内)
スルーレート		0.5		V/ μs	
容量負荷安定性		470		pF	$R_L=\infty$
		1000		pF	$R_L=2k\Omega$
出力ノイズ・スペクトル密度		120		nV/\sqrt{Hz}	DACコード=ミッドスケール、1kHz
ノイズ		2		μV	DACコード=ミッドスケール、 帯域幅0.1～10Hz
デジタルからアナログへのグリッチ・インパルス		5		nV-s	メジャー・キャリー周辺の1LSB変化
デジタル・フィードスルー		0.2		nV-s	
DC出力インピーダンス		0.5		Ω	
短絡電流		15		mA	$V_{DD}=3V/5V$
ロジック入力					
入力電流 ⁴			±2	μA	
入力ローレベル電圧 (V_{INL})			0.8	V	$V_{DD}=4.5\sim 5.5V$
			0.6	V	$V_{DD}=2.7\sim 3.6V$
入力ハイレベル電圧 (V_{INH})	1.8			V	$V_{DD}=4.5\sim 5.5V$
	1.4			V	$V_{DD}=2.7\sim 3.6V$
ピン容量		3		pF	
電源条件					
V_{DD}	2.7		5.5	V	すべてのデジタル入力=0Vまたは V_{DD} DAC動作時(負荷電流を除く)
I_{DD} (ノーマル・モード)					
$V_{DD}=4.5\sim 5.5V$		75	100	μA	$V_{IH}=V_{DD}$ および $V_{IL}=GND$
$V_{DD}=2.7\sim 3.6V$		60	90	μA	$V_{IH}=V_{DD}$ および $V_{IL}=GND$
I_{DD} (すべてのパワーダウン・モード)					
$V_{DD}=4.5\sim 5.5V$		0.5		μA	$V_{IH}=V_{DD}$ および $V_{IL}=GND$
$V_{DD}=2.7\sim 3.6V$		0.2		μA	$V_{IH}=V_{DD}$ および $V_{IL}=GND$
電力効率					
I_{OUT}/I_{DD}		96		%	$I_{LOAD}=2mA$ 、 $V_{DD}=\pm 5V$ 、 フルスケール負荷

¹ Aグレードの温度範囲: -40～+125 $^\circ C$ 、+25 $^\circ C$ で測定。

² 直線性はコード範囲を縮小して計算(コード256～16128)。

³ 設計および特性評価により保証していますが、出荷テストは実施していません。

⁴ すべてのピンに流入する合計電流。

AD5641

タイミング特性

$V_{DD}=2.7\sim 5.5V$ 。特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。図2参照。

表3

パラメータ	限界値 ¹	単位	テスト・レベル 条件/コメント
t_1^2	33	ns min	SCLKサイクル時間
t_2	5	ns min	SCLKのハイレベル時間
t_3	5	ns min	SCLKのローレベル時間
t_4	10	ns min	\overline{SYNC} からSCLKの立下がりエッジまでのセットアップ時間
t_5	5	ns min	データのセットアップ時間
t_6	4.5	ns min	データのホールド時間
t_7	0	ns min	SCLKの立下がりエッジから \overline{SYNC} の立上がりエッジまでの時間
t_8	20	ns min	\overline{SYNC} の最小ハイレベル時間
t_9	13	ns min	\overline{SYNC} の立上がりエッジから次のSCLKの立下がりエッジまで

¹ すべての入力信号は $t_r=t_f=1ns/V$ (V_{DD} の10%から90%)で規定し、 $(V_{IL}+V_{IH})/2$ の電圧レベルからの時間とします。

² SCLKの最大周波数は30MHz。

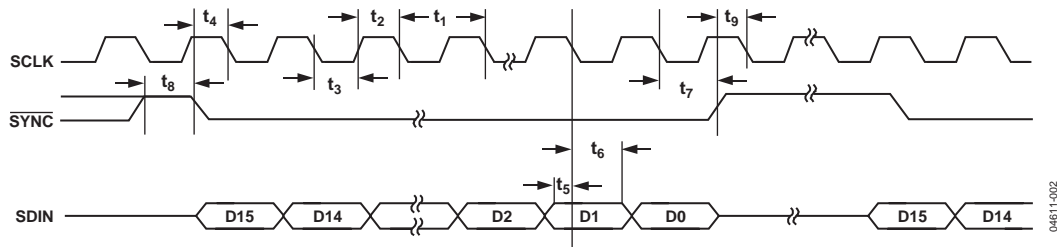


図2. タイミング図

04611-002

絶対最大定格

特に指定のない限り、 $T_A=25^\circ\text{C}$ 。

表4

パラメータ	定格
GNDに対する V_{DD}	$-0.3 \sim +7.0\text{V}$
GNDに対するデジタル入力電圧	$-0.3 \sim V_{DD} + 0.3\text{V}$
GNDに対する V_{OUT}	$-0.3 \sim V_{DD} + 0.3\text{V}$
動作温度範囲	
工業用 (Aグレード)	$-40 \sim +125^\circ\text{C}$
保存温度範囲	$-65 \sim +160^\circ\text{C}$
最大ジャンクション温度	150°C
SC70パッケージ	
θ_{JA} 熱抵抗	$433.34^\circ\text{C}/\text{W}$
θ_{JC} 熱抵抗	$149.47^\circ\text{C}/\text{W}$
ピン温度、ハンダ処理	
ベーキング時間 (60秒)	215°C
赤外線 (15秒)	220°C
ESD	2.0kV

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には $4,000\text{V}$ もの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD5641

ピン配置および機能の説明



図3. 6ピンSC70のピン配置

表5. ピン機能の説明

ピン番号	記号	機能
1	$\overline{\text{SYNC}}$	レベル・トリガの制御入力(アクティブ・ロー)。これは、入力データに対するフレーム同期信号です。 $\overline{\text{SYNC}}$ がローレベルになると、入力シフト・レジスタがイネーブルになり、データは後続のクロックの立下がりエッジで入力されます。 $\overline{\text{SYNC}}$ ラインはSCLKの少なくとも16個の立下がりエッジの間ローレベルに保持され、DACは16番目の立下がりエッジで更新されます。ただし、16番目の立下がりエッジの前に $\overline{\text{SYNC}}$ をハイレベルにすると、これは書き込みシーケンスへの割込みとして機能し、シフト・レジスタがリセットされて書き込みシーケンスは無効とみなされます。
2	SCLK	シリアル・クロック入力。シリアル・クロック入力の立下がりエッジで、データが入力シフト・レジスタに入力されます。データは最大30MHzのレートで転送できます。
3	SDIN	シリアル・データ入力。このデバイスには、16ビットのシフト・レジスタが内蔵されています。データは、シリアル・クロック入力の立下がりエッジでシフト・レジスタに入力されます。
4	V _{DD}	電源入力。AD5641は2.7~5.5Vの電源で動作し、V _{DD} はGNDにデカップリングします。
5	GND	AD5641上の全回路に対するグラウンド基準ポイント。
6	V _{OUT}	DACからのアナログ出力電圧。出力アンプはレールtoレール動作を行います。

用語の説明

相対精度または積分非直線性 (INL)

DACの場合、相対精度または積分非直線性とは、DAC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差(単位はLSB)を表します。代表的なコードとINLの関係については図4を参照。

微分非直線性 (DNL)

微分非直線性とは、隣接する2つのコードの間における測定された変化と理論的な1LSB変化との差を表します。微分非直線性の仕様が±1LSB以内の場合、単調増加性が保証されています。このDACは設計により単調増加性を保証しています。代表的なコードとDNLの関係については図12を参照。

ゼロコード誤差

ゼロコード誤差とは、ゼロコード(0x0000)をDACレジスタにロードしたときの出力誤差を表します。理論的には出力は0Vになるはずですが、AD5641ではDAC出力が0Vよりも低くなることはないため、ゼロコード誤差は常に正の値となります。この誤差は、DACのオフセット誤差と出力アンプのオフセット誤差が原因で発生します。ゼロコード誤差はmVの単位で表します。ゼロコード誤差の温度特性については図10を参照。

フルスケール誤差

フルスケール誤差とは、フルスケール・コード(0xFFFF)をDACレジスタにロードしたときの出力誤差を表します。理論的には出力は $V_{DD} - 1\text{LSB}$ になるはずですが、フルスケール誤差はmVで表します。フルスケール誤差の温度特性については図10を参照。

ゲイン誤差

ゲイン誤差とは、DACのスパン誤差を表します。DAC伝達特性の理論値からの実際の傾き偏差を示すもので、フルスケール・レンジの%値で表します。

総合未調整誤差 (TUE)

総合未調整誤差とは、さまざまな誤差を考慮した出力誤差を表します。代表的なコードとTUEの関係については図7を参照。

ゼロコード誤差ドリフト

ゼロコード誤差ドリフトとは、温度変化にともなうゼロコード誤差の変化を表し、 $\mu\text{V}/^\circ\text{C}$ の単位で表します。

ゲイン誤差ドリフト

ゲイン誤差ドリフトとは、温度変化にともなうゲイン誤差の変化を表し、(フルスケール・レンジのppm)/ $^\circ\text{C}$ の単位で表します。

デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスとは、DACレジスタの入力コードが変化したときに、入力からアナログ出力に注入されるインパルスを表します。通常、グリッチの面積として規定され、nV-sで表します。メジャー・キャリアの遷移(0x2000から0x1FFF)時に、デジタル入力コードが1LSB変化したときの測定値です。図26参照。

デジタル・フィードスルー

デジタル・フィードスルーとは、DAC出力の更新が行われていないときに、DACのデジタル入力からDACのアナログ出力に注入されるインパルスを表します。nV-sの単位で規定され、データ・バス上でのフルスケール変化時、すなわち全ビット「0」から全ビット「1」に変化したとき、または全ビット「1」から全ビット「0」にコードが遷移するときに測定します。

AD5641

代表的な性能特性

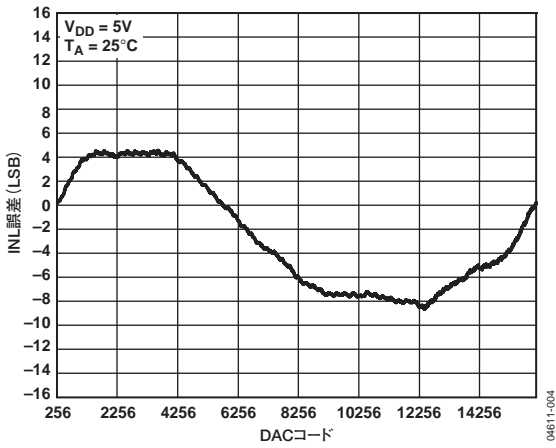


図4. 代表的なINL

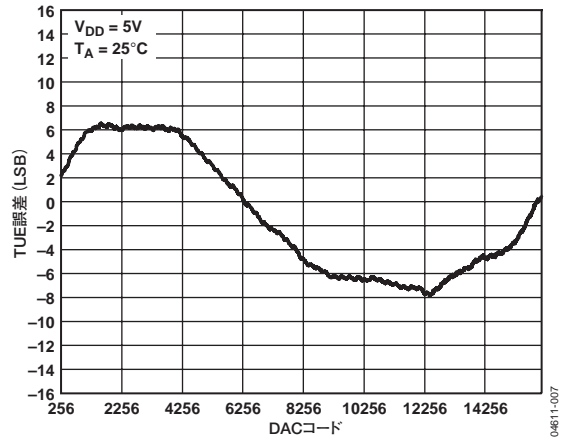


図7. 代表的な総合未調整誤差 (TUE)

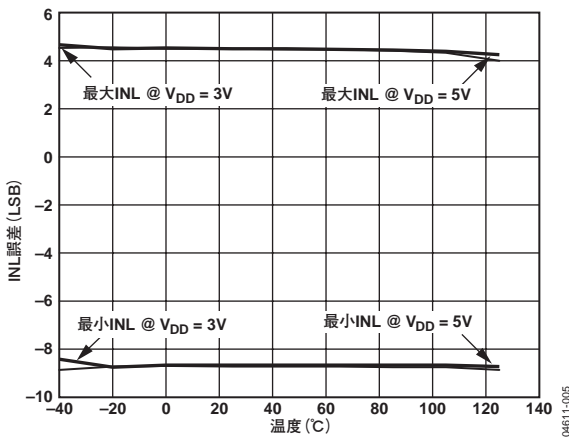


図5. INL誤差の温度特性(3V/5V電源)

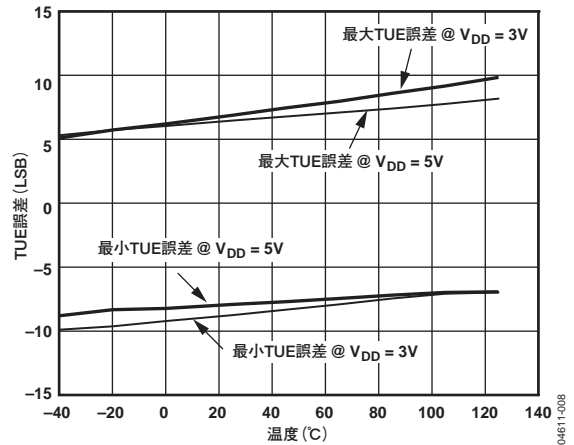


図8. 総合未調整誤差 (TUE)の温度特性(3V/5V電源)

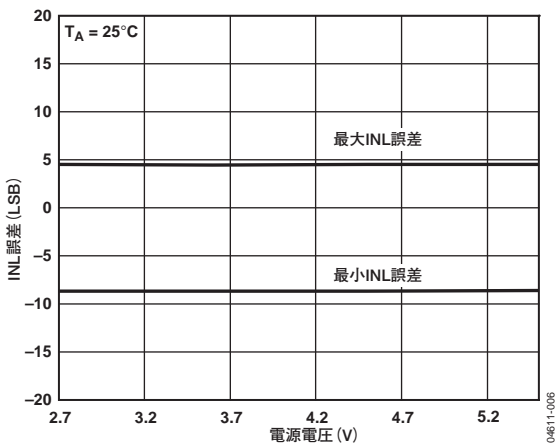


図6. 電源電圧対INL誤差(25時)

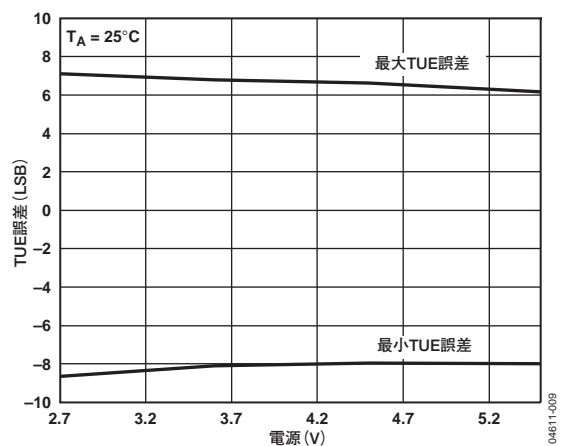


図9. 電源電圧対総合未調整誤差(TUE)(25時)

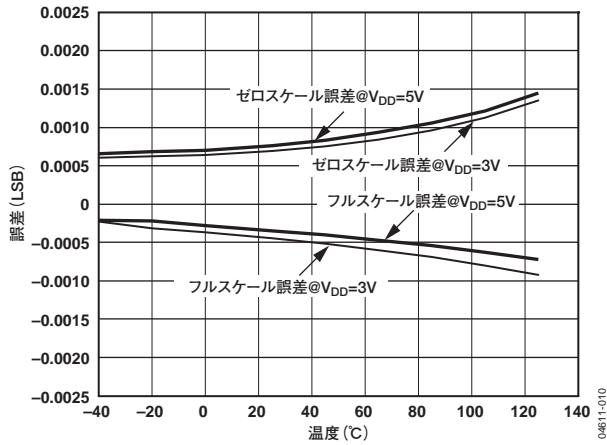


図10. ゼロコード/フルスケール誤差の温度特性(3V/5V)

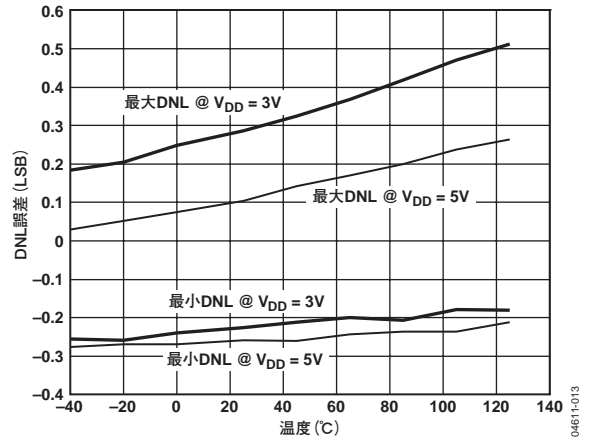


図13. DNL誤差の温度特性(3V/5V)

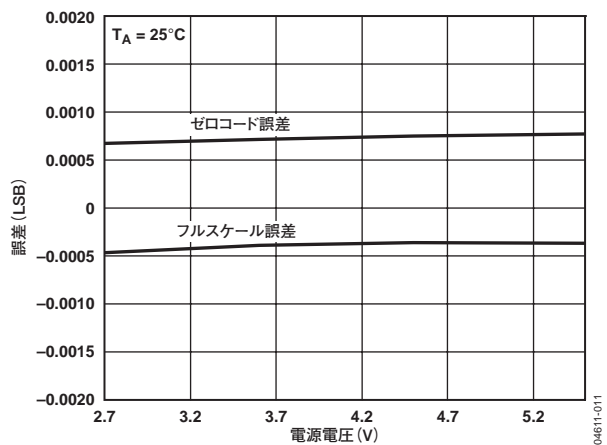


図11. 電源電圧 対 ゼロコード/フルスケール誤差(25 時)

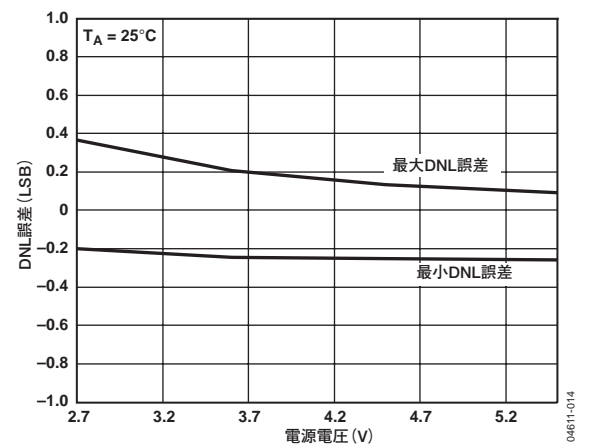


図14. 電源電圧 対 DNL誤差(25 時)

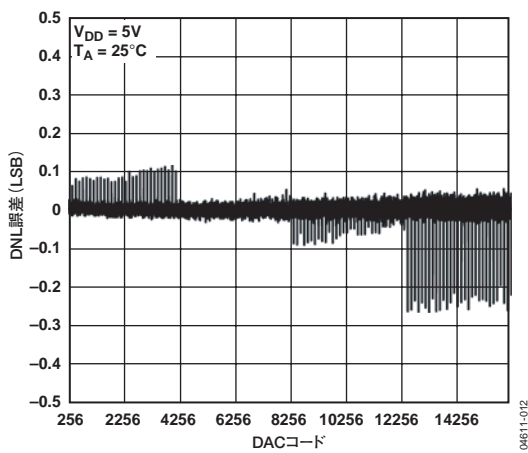


図12. 代表的なDNL

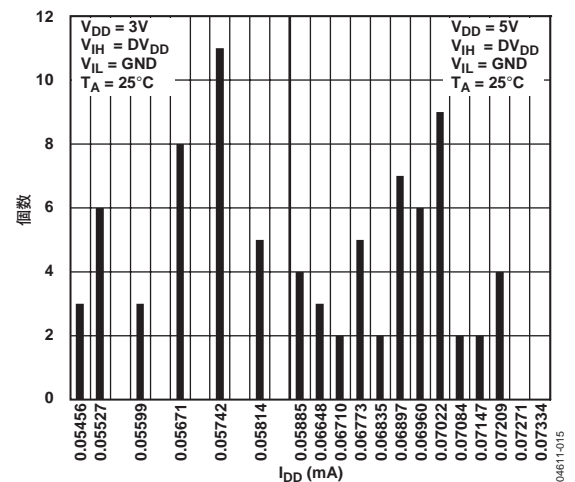


図15. I_{DD} ヒストグラム(3V/5V)

AD5641

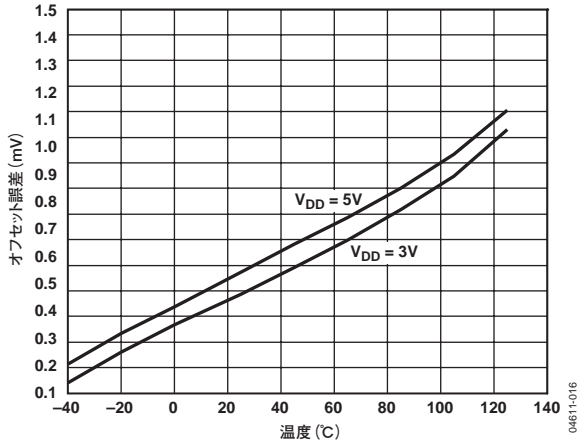


図16. オフセット誤差の温度特性(3V/5V)

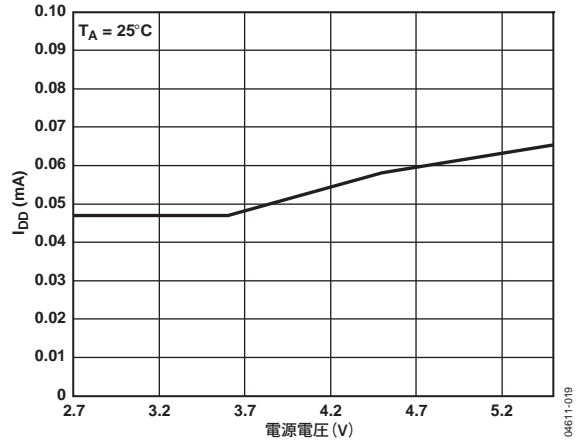


図19. 電源電圧 対 電源電流(25 時)

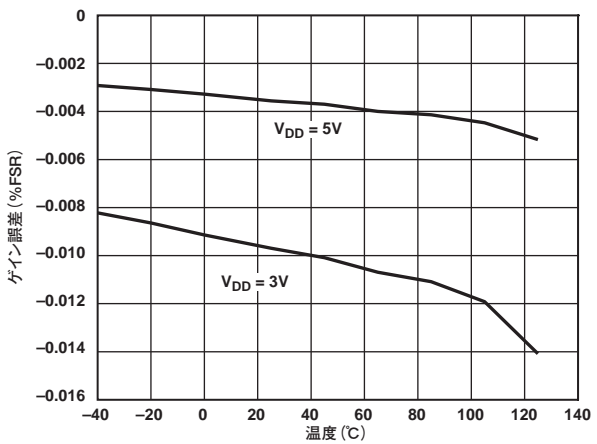


図17. ゲイン誤差の温度特性(3V/5V)

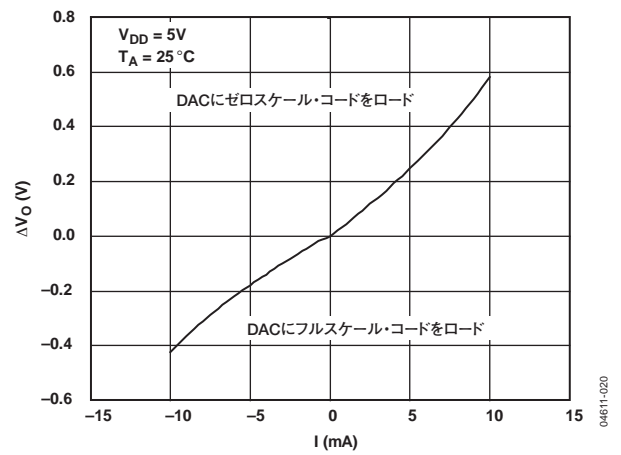


図20. シンク能力とソース能力

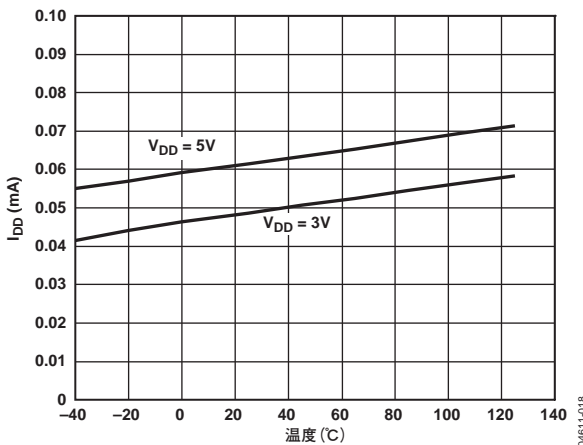


図18. 電源電流の温度特性(3V/5V)

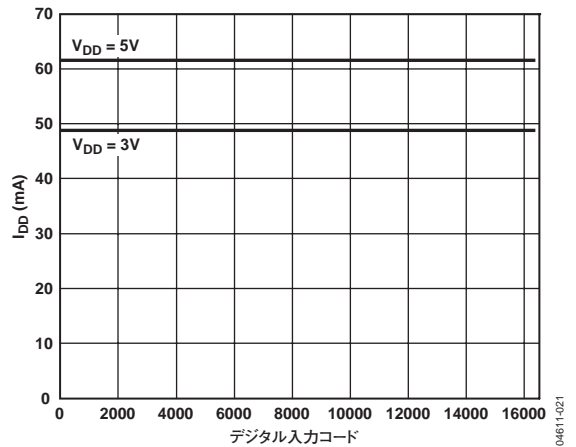
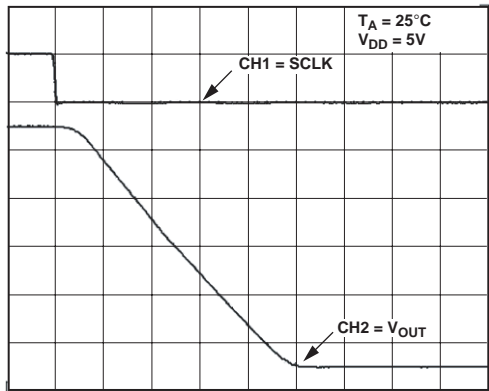
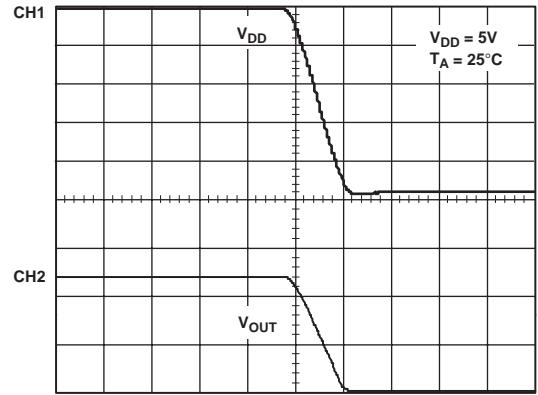


図21. デジタル入力コード 対 電源電流



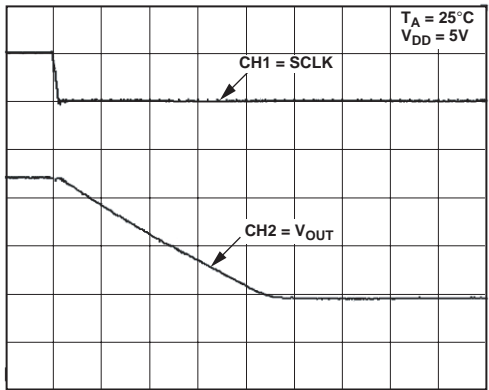
CH1 = 5V/DIV CH2 = 1V/DIV 時間軸=2µs/DIV

図22. フルスケール・セリング時間



CH1 1V, CH2 5V, 時間軸=50µs/DIV

図25. V_{DD} 対 V_{OUT}



CH1 = 5V/DIV CH2 = 1V/DIV 時間軸=2µs/DIV

図23. ハーフスケール・セリング時間

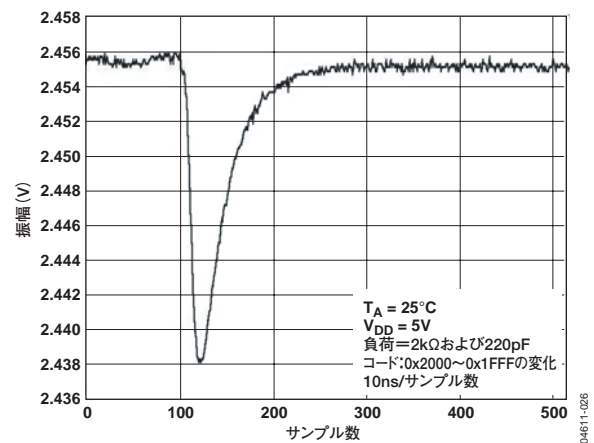
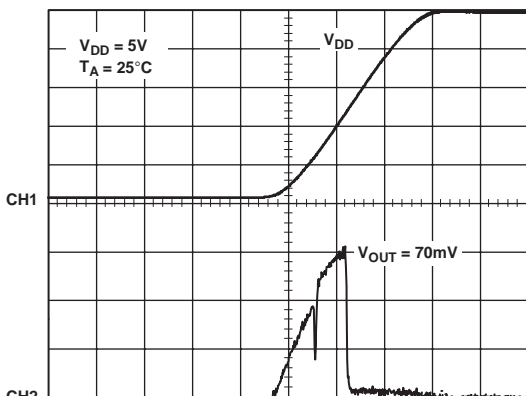


図26. デジタルからアナログへのグリッチ・エネルギー



CH1 1V, CH2 20mV, 時間軸=20µs/DIV

図24. パワーオン・リセット時の0V出力

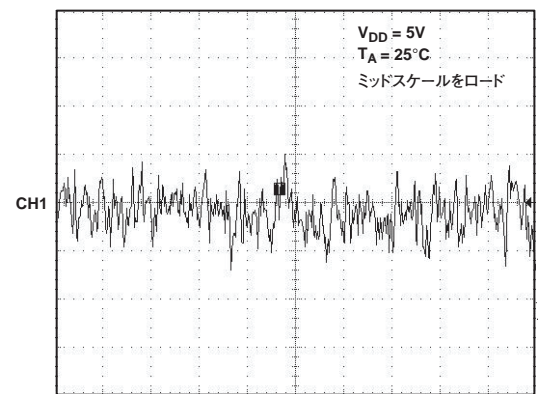


図27. $1/f$ ノイズ(帯域幅0.1 ~ 10Hz)

AD5641

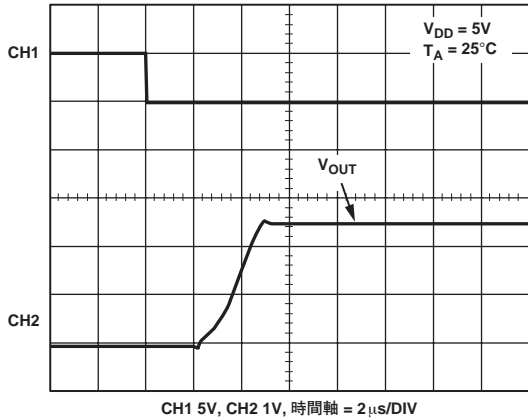


図28. パワーダウン・モードの終了

04783-028

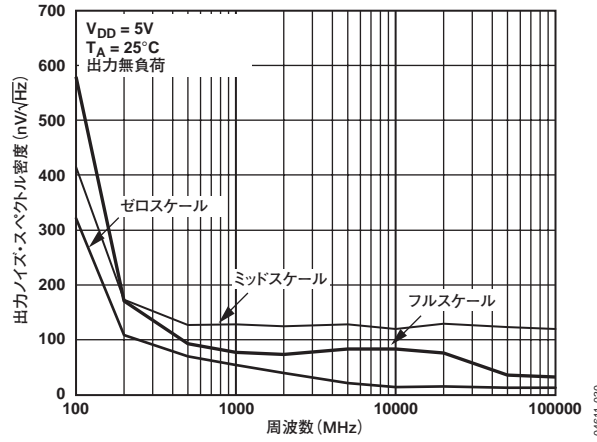


図30. ノイズ・スペクトル密度

04611-030

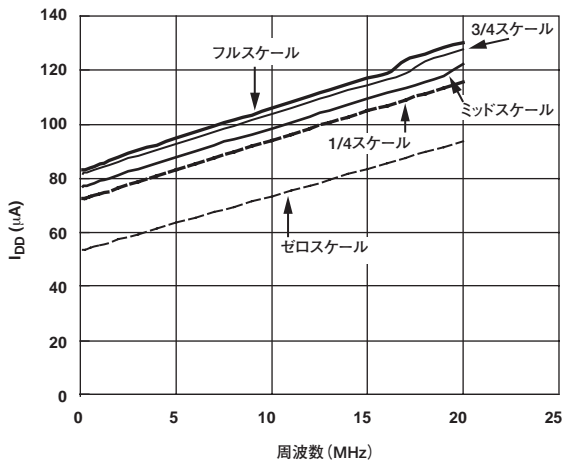


図29. I_{DD} 対 SCLK 対コード

04611-029

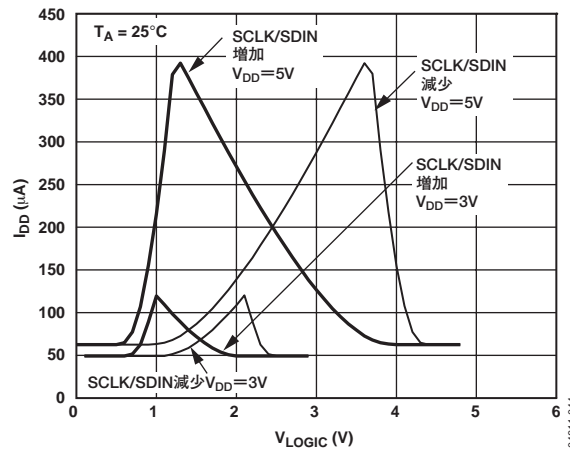


図31. ロジック電圧 対 SCLK/SDIN

04611-044

動作原理

DAC部

AD5641 DACは、CMOSプロセスを用いて製造されています。このアーキテクチャは、ストリングDACとその後段の出力バッファ・アンプから構成されています。図32に、DACアーキテクチャのブロック図を示します。

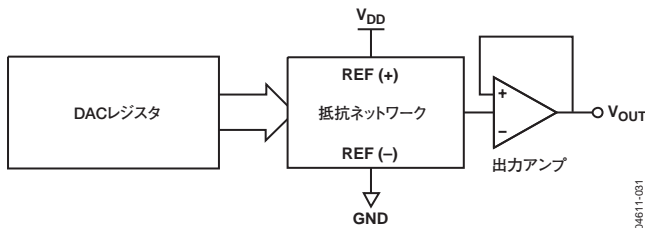


図32. DACアーキテクチャ

DACへの入力コーディングはストレート・バイナリを使っているため、理論的な出力電圧は次式で得られます。

$$V_{OUT} = V_{DD} \times \left(\frac{D}{16384} \right)$$

ここで、 D はDACレジスタにロードされるバイナリ・コードの10進値で、0～16,384の値です。

抵抗ストリング

図33に、抵抗ストリングの構造を示します。各値が R のシンプルな抵抗のストリングになっています。DACレジスタにロードされるコードにより、このストリング上のどのノードから電圧が出力アンプに供給されるかが決定されます。ストリングとアンプを接続しているスイッチの1つが閉じることで、電圧が出力アンプに供給されます。抵抗のストリングであるため、単調増加性が保証されます。

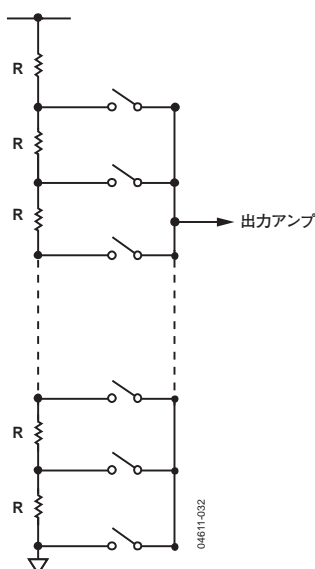


図33. 抵抗ストリングの構造

出力アンプ

出力バッファ・アンプは、出力でレールtoレールの電圧を発生することができます。0V～ V_{DD} の範囲の電圧を出力します。GNDに接続された $2k\Omega$ と、これに並列接続された $1000pF$ の負荷を駆動できます。図20に、出力アンプのソース能力とシンク能力を示します。出力負荷をつけた状態でスルーレートは $0.5V/\mu s$ であり、ハーフスケールでのセトリング時間は $8\mu s$ です。

シリアル・インターフェース

AD5641は、SPI、QSPI、MICROWIREの各インターフェース規格、および大半のDSPと互換性をもつ3線式シリアル・インターフェース(SYNC、SCLK、SDIN)を備えています。図2に、代表的な書込みシーケンスのタイミング図を示します。

\overline{SYNC} ラインをローレベルにすることによって、書込みシーケンスが開始されます。SDINラインのデータは、SCLKの立下がりエッジで16ビットのシフト・レジスタに入力されます。シリアル・クロック周波数は最大30MHzまで対応しているため、AD5641は高速DSPと互換性があります。クロックの16番目の立下がりエッジで最後のデータビットが入力され、プログラミングされた機能が実行されます(DACレジスタ値の変更や動作モードの変更)。この時点で、 \overline{SYNC} ラインをローレベルに保持するか、ハイレベルにすることができます。いずれの場合でも、 \overline{SYNC} の立下がりエッジで次の書込みシーケンスを開始できるようにするため、次の書込みシーケンスの前に最小33nsの間 \overline{SYNC} をハイレベルに保持する必要があります。

\overline{SYNC} バッファを流れる電流は $V_{INL}=0.8V$ の場合より $V_{INH}=1.8V$ の場合の方が大きくなるため、さらにデバイスの消費電力を削減するには各書込みシーケンスの間も \overline{SYNC} をアイドル・ローレベルに維持してください。ただし、次の書込みシーケンスの開始前に1度ハイレベルに戻す必要があります。

入力シフト・レジスタ

入力シフト・レジスタは16ビット幅です(図34参照)。最初の2ビットはコントロール・ビットで、デバイスの動作モードを決定します(ノーマル・モードまたは3種類のパワーダウン・モード)。各モードの詳細については、「パワーダウン・モード」の項を参照してください。次の14ビットはデータビットであり、SCLKの16番目の立下がりエッジでDACレジスタに転送されます。

SYNC割込み

通常の手書きシーケンスでは、 \overline{SYNC} ラインはSCLKの少なくとも16個の立下がりエッジの間ローレベルに保持され、DACは16番目の立下がりエッジで更新されます。ただし、16番目の立下がりエッジの前に \overline{SYNC} をハイレベルにすると、これは書込みシーケンスへの割込みとして機能します。シフト・レジスタがリセットされて書込みシーケンスは無効とみなされ、DACレジスタ値の更新も動作モードの変更も行われません(図35参照)。

AD5641

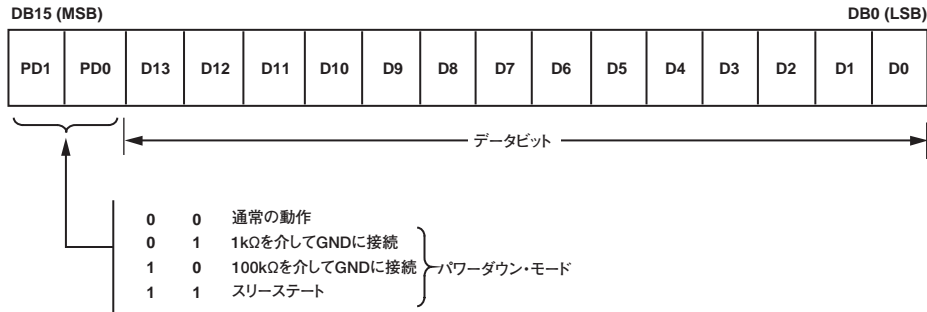


図34. 入力レジスタ値

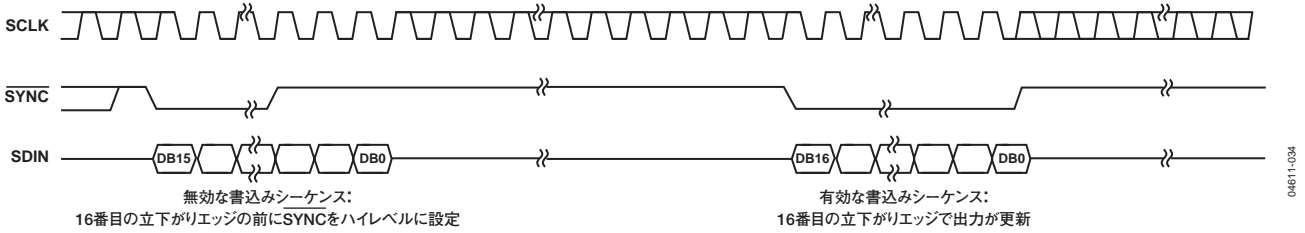


図35. SYNCの割込み機能

パワーオン・リセット

AD5641には、パワーアップ時に出力電圧を制御するパワーオン・リセット回路が内蔵されています。DACレジスタに0が設定され、出力電圧は0Vになります。DACに有効な書込みシーケンスが実行されるまでこの状態が保持されます。この機能は、デバイスのパワーアップ時にDACの出力状態を把握しておく必要のあるアプリケーションで特に有用です。

パワーダウン・モード

AD5641には4つの動作モードがあります。動作モードは、コントロール・レジスタの2ビット(DB15とDB14)を設定することによりソフトウェアから設定可能です。表6に、この2ビットの設定と対応するデバイスの動作モードを示します。

表6. AD5641の動作モード

DB15	DB14	動作モード
0	0	通常の動作
0	1	パワーダウン・モード: 1kΩを介してGNDに接続
1	0	100kΩを介してGNDに接続
1	1	スリーステート

両ビットを「0」に設定すると、デバイスは5V時最大100μAの消費電流で通常の動作を実行します。しかし、3つのパワーダウン・モード時には、電源電流が3Vで0.2μA (typ)まで低下します。

電源電流が低下するだけでなく、出力段も内部的にアンプ出力から切り離されて既知の値をもつ抵抗ネットワークに接続されます。これは、デバイスの出力インピーダンスが既知であると同時にデバイスがパワーダウン・モードになるという利点があります。出力が内部で1kΩの抵抗または100kΩの抵抗を経由してGNDに接続されるか、または出力がオープン(スリーステート)になるかの3種類のオプションがあります。図36に出力段を示します。

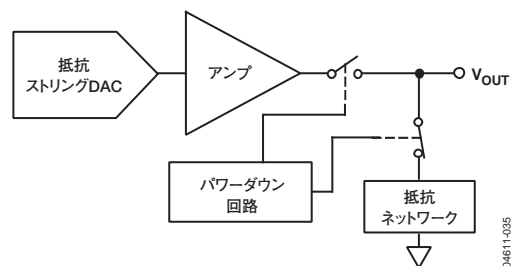


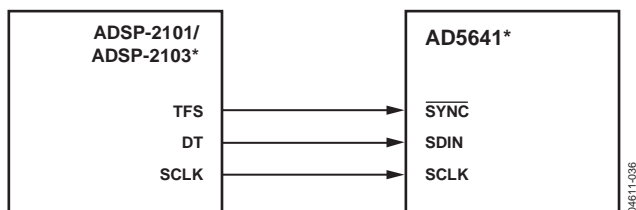
図36. パワーダウン時の出力段

パワーダウン・モードを起動すると、バイアス発生器、出力アンプ、抵抗ストリング、その他の関係するリニア回路がすべてシャットダウンされます。ただし、パワーダウン・モード時であってもDACレジスタの値は影響を受けることはありません。パワーダウン・モードを終了してパワーアップするまでの時間は、 $V_{DD}=5V$ のときに13μs (typ)、 $V_{DD}=3V$ のときに16μs (typ)です(図28を参照)。

マイクロプロセッサとのインターフェース

AD5641とADSP-2101/ADSP-2103とのインターフェース

図37に、AD5641とADSP-2101/ADSP-2103とのシリアル・インターフェースを示します。ADSP-2101/ADSP-2103は、SPORTオルタネート・フレームミング送信モードで動作するようにセットアップする必要があります。ADSP-2101/ADSP-2103のSPORTは、SPORTコントロール・レジスタで設定し、内部クロック動作、アクティブ・ローレベル・フレーミング、16ビット・ワード長に設定する必要があります。送信は、SPORTをイネーブルにした後、Txレジスタにワードを書きこむことにより開始されます。

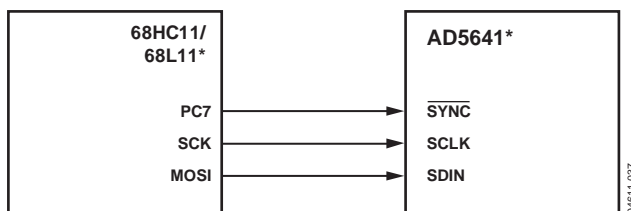


*わかりやすくするため他のピンは省略しています。

図37. AD5641とADSP-2101/ADSP-2103とのインターフェース

AD5641と68HC11/68L11とのインターフェース

図38に、AD5641と68HC11/68L11マイクロコントローラとのシリアル・インターフェースを示します。68HC11/68L11のSCKがAD5641のSCLKを駆動し、MOSI出力がDACのシリアル・データ・ラインを駆動します。SYNC信号は、ポート・ライン(PC7)から生成されます。このインターフェースの正常動作のためには、68HC11/68L11でCPOLビット=「0」かつCPHAビット=「1」となるように設定する必要があります。データがDACに転送されているときは、SYNCラインがローレベルになります(PC7)。68HC11/68L11が上記のように設定された場合には、MOSIに出力されるデータはSCKの立下がりエッジで有効になります。シリアル・データは68HC11/68L11から8ビットのバイトで転送され、送信サイクル内には立下がりクロック・エッジが8個しかありません。データはMSBファーストで転送されます。データをAD5641にロードするときは、最初の8ビットが転送された後もPC7をローレベルのままにして、DACに対して2番目のシリアル書き込み動作を実行します。この手順の終わりに、PC7をハイレベルにします。

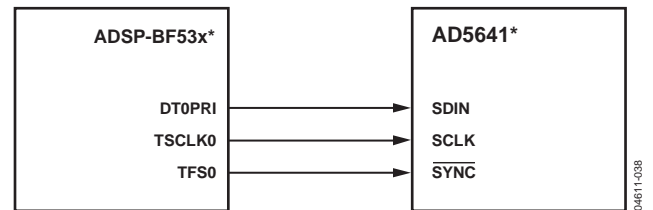


*わかりやすくするため他のピンは省略しています。

図38. AD5641と68HC11/68L11とのインターフェース

AD5641とBlackfin® ADSP-BF53Xとのインターフェース

図39に、AD5641とBlackfin ADSP-BF53xマイクロプロセッサとのシリアル・インターフェースを示します。ADSP-BF53xファミリーのプロセッサには、シリアル通信とマルチプロセッサ通信用に2つのデュアル・チャンネル同期シリアル・ポート(SPORT1とSPORT0)が内蔵されています。SPORT0を用いたAD5641との接続では、次のようにインターフェースがセットアップされます。DTOPRIがAD5641のSDINピンを駆動し、TSCLK0がAD5641のSCLKを駆動します。SYNCはTFS0から駆動されます。



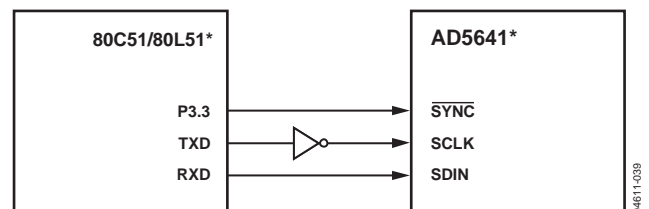
*わかりやすくするため他のピンは省略しています。

図39. AD5641とBlackfin ADSP-BF53xとのインターフェース

AD5641と80C51/80L51とのインターフェース

図40に、AD5641と80C51/80L51マイクロコントローラとのシリアル・インターフェースを示します。このインターフェースのセットアップでは、80C51/80L51のTxDがAD5641のSCLKを駆動し、RxDがシリアル・データ・ラインを駆動します。SYNC信号はこの場合も、ポートのビット・プログラマブルなピンから生成されます。このケースでは、ポート・ラインP3.3を使用します。データがAD5641に転送される時、P3.3はローレベルになります。

データは80C51/80L51から8ビットのバイトで転送されるため、送信サイクル内には立下がりクロック・エッジが8個しかありません。データをDACにロードするときは、最初の8ビットが転送された後もP3.3をローレベルのままにして、2番目の書き込みサイクルを実行すると、データの2番目のバイトの転送が開始されます。このサイクルの完了後にP3.3をハイレベルにします。80C51/80L51はシリアル・データをLSBファーストで出力しますが、AD5641はMSBファーストでデータを受け取る必要があります。80C51/80L51の送信ルーチンは、これを考慮に入れてください。



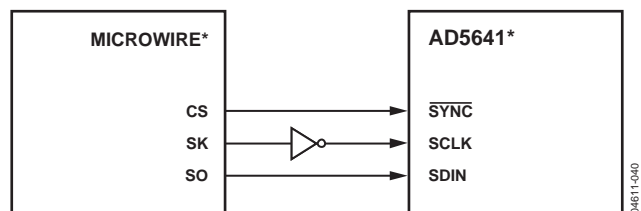
*わかりやすくするため他のピンは省略しています。

図40. AD5641と80C51/80L51とのインターフェース

AD5641

AD5641とMICROWIREとのインターフェース

図41に、AD5641とMICROWIRE互換デバイスとのインターフェースを示します。シリアル・データはシリアル・クロック(SK)の立下がりエッジで出力され、SKの立上がりエッジでAD5641に入力されます。



*わかりやすくするため他のピンは省略しています。

図41. AD5641とMICROWIREとのインターフェース

アプリケーション

リファレンスをAD5641の電源として選択した場合

AD5641は超小型のSC70パッケージを採用し、100 μ A未満の電源電流で動作します。このため、リファレンスの選択はアプリケーションで要求される条件により異なります。省スペース・アプリケーションでは、9ppm/ $^{\circ}$ Cの優れたドリフト性能を持つSC70パッケージのADR02が使用できます（R-8パッケージは3ppm/ $^{\circ}$ C）。0.1~10Hzの範囲で3.4 μ Vp-pの非常に優れたノイズ性能も持っています。

AD5641は、要求する電源電流は極めて小さいため低消費電力アプリケーションに最適です。この場合、電圧リファレンスADR395の使用を推奨します。100 μ A未満の静止電流で済むため、必要に応じて1つのシステム内で複数のDACを駆動できます。またノイズ性能も、0.1~10Hzの範囲で8 μ Vp-pと非常に優れています。

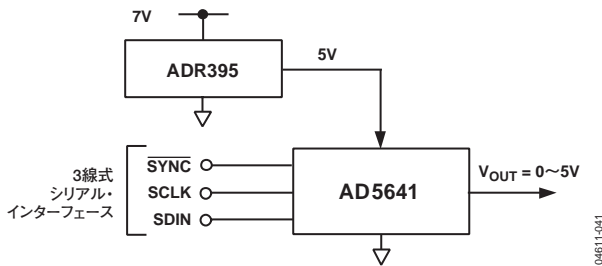


図42. ADR395をAD5641の電源として使用した場合

表7に、AD5641の電源として推奨する高精度リファレンスを挙げます。

表7. AD5641に使用する高精度リファレンス

製品番号	初期精度 (mV max)	温度ドリフト (ppm/ $^{\circ}$ C max)	0.1~10Hz のノイズ (μ Vp-p typ)
ADR435	\pm 2	3 (R-8)	8
ADR425	\pm 2	3 (R-8)	3.4
ADR02	\pm 3	3 (R-8)	10
ADR02	\pm 3	3 (SC70)	10
ADR395	\pm 5	9 (TSOT-23)	8

AD5641を使用したバイポーラ動作

AD5641は単電源動作用に設計されていますが、図43に示す回路を使用すると、バイポーラ出力範囲も可能です。この回路では出力電圧範囲が \pm 5Vとなります。出力アンプとしてAD820またはOP295を使用すると、アンプ出力でのレールtoレール動作が可能です。

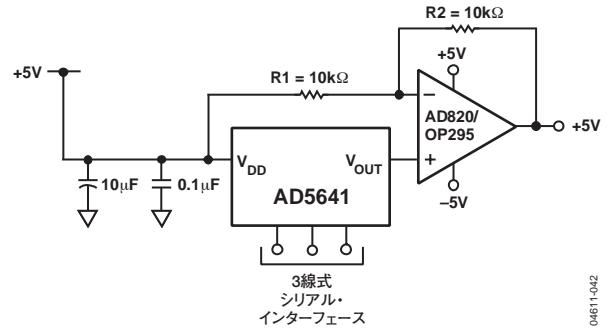


図43. AD5641によるバイポーラ動作

任意の入力コードに対する出力電圧は次のように算出できます。

$$V_O = \left[V_{DD} \times \left(\frac{D}{16384} \right) \times \left(\frac{R1+R2}{R1} \right) - V_{DD} \times \left(\frac{R2}{R1} \right) \right]$$

ここで、 D は入力コードに等価な10進値（0~16384）を表します。 $V_{DD}=5V$ 、 $R1=R2=10k\Omega$ のとき、

$$V_O = \left(\frac{10 \times D}{16384} \right) - 5V$$

出力電圧範囲は \pm 5Vとなり、0x0000は-5Vの出力に、0x3FFFは+5Vの出力に、それぞれ対応します。

AD5641

デジタル・アイソレータ(*iCoupler*)を用いた絶縁インターフェース

工業環境のプロセス制御アプリケーションでは、絶縁インターフェースを必要とすることが多々あります。それは、DACが動作している環境下で望ましくない同相電圧から制御回路を保護したり、絶縁したりする必要があるからです。*iCoupler*®は2.5kVを超える絶縁が可能です。AD5641は3線式のシリアル・ロジック・インターフェースを使用しているため、3チャンネルのデジタル・アイソレータ「ADuM1300」で必要な絶縁を行うことができます(図44参照)。デバイスの電源も絶縁が必要ですが、これはトランスを使用して行われます。トランスのDAC側では、5VのレギュレータがAD5641に必要な5V電源を供給します。

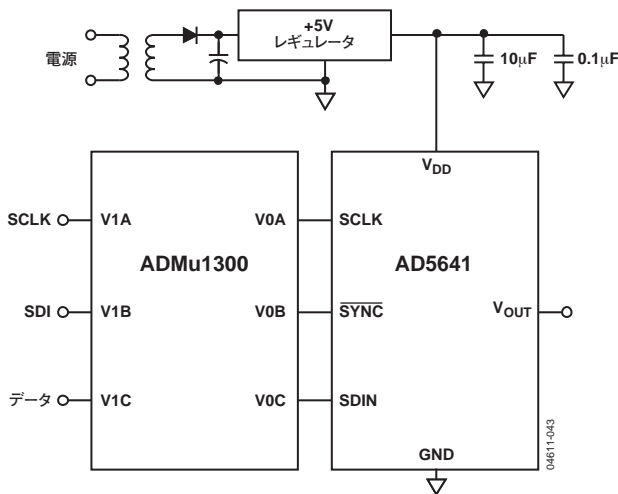


図44. *iCoupler*を用いた絶縁インターフェース

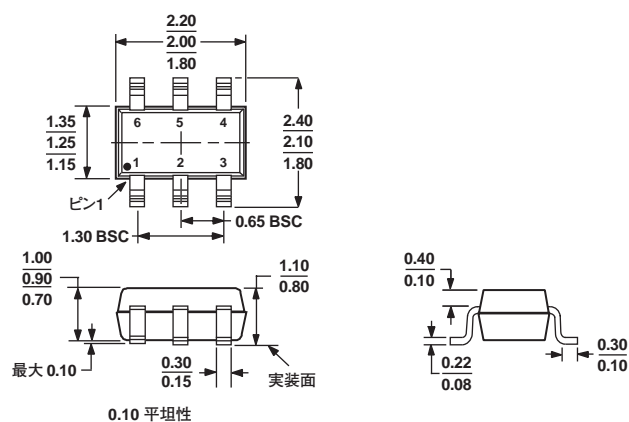
電源のバイパスとグラウンディング

精度が重視される回路では、ボード上の電源とグラウンド・リターンレイアウトに注意する必要があります。AD5641を実装するプリント回路ボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれまとめて配置するように設計してください。複数のデバイスがAGNDとDGND間の接続を必要とするシステムでAD5641を使用する場合は、必ず1カ所のみでこの接続を行ってください。グラウンド・ポイントはAD5641のできるかぎり近くに配置してください。

AD5641の電源は、10µFと0.1µFのコンデンサを使用してバイパスします。コンデンサはデバイスのできるだけ近くに配置し、0.1µFのコンデンサは理想的にはデバイスの真上に配置してください。10µFコンデンサはタンタルのビード型を使います。0.1µFコンデンサは、セラミック型の等価直列抵抗(ESR)が小さく、かつ等価直列インダクタンス(ESL)が小さいものを使うことが重要です。この0.1µFのコンデンサは、内部ロジックのスイッチングによる過渡電流に起因して発生する高周波に対して、グラウンドへの低インピーダンス・パスを提供します。

電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を低減させるようにします。クロックとその他の高速スイッチング・デジタル信号は、デジタル・グラウンドを用いてボード上の他の部分からシールドします。デジタル信号とアナログ信号は、できるだけ交差しないようにしてください。ボードの反対側のパターンは、互いに直角になるように配置し、ボードを通過するフィードスルーの影響を削減します。最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンをハンダ面に配置するマイクロストリップ技術ですが、2層ボードでは必ずしも使用できるとは限りません。

外形寸法



JEDEC規格MO-203-ABに準拠

図45. 6ピン薄型シュリンク・スモール・アウトライン・トランジスタ・パッケージ[SC70]
(KS-6)
寸法単位:mm

オーダー・ガイド

モデル	温度範囲	説明	パッケージ説明	パッケージ・オプション	マーキング
AD5641AKSZ-REEL7 ¹	-40~+125℃	INL: ±16 LSB	6ピン薄型シュリンク・スモール・アウトライン・トランジスタ・パッケージ (SC70)	KS-6	D3Q
AD5641AKSZ-500RL7 ¹	-40~+125℃	INL: ±16 LSB	6ピン薄型シュリンク・スモール・アウトライン・トランジスタ・パッケージ (SC70)	KS-6	D3Q

¹ Zは鉛フリー製品