

AD5602/AD5612/AD5622

特長

- シングル8/10/12ビットDAC、2LSB INL
- 6ピンSC70パッケージ
- マイクロパワー動作：100 μ A (max) @5V
- パワーダウン時の消費電流：<150nA@3V
- 電源電圧：2.7~5.5V
- 設計により単調増加性を保証
- 電圧低下の検出により0Vにパワーオン・リセット
- 3種のパワーダウン機能
- I²C®互換のシリアル・インターフェースで標準（100kHz）ファースト（400kHz）ハイスピード（3.4MHz）の各モードに対応
- 出力バッファ・アンプ内蔵でレールtoレール動作が可能

アプリケーション

- プロセス制御
- データ・アキュイジション・システム
- バッテリー駆動の携帯型計測器
- ゲインとオフセットのデジタル調整
- プログラマブル電圧源および電流源
- プログラマブル減衰器

概要

nanoDACファミリーのAD5602/AD5612/AD5622は、8/10/12ビット、バッファ付きの電圧出力シングルD/Aコンバータ（DAC）です。2.7~5.5Vの単電源で動作し、5Vでの消費電流は100 μ A未満です。AD5602/AD5612/AD5622は、小型のSC70パッケージを採用しています。各DACには高精度出力アンプが内蔵されており、レールtoレールの出力振幅が可能となっています。

AD5602/AD5612/AD5622は、標準（100kHz）、ファースト（400kHz）ハイスピード（3.4MHz）の各モードで動作する2線式I²C互換のシリアル・インターフェースを使用しています。

AD5602/AD5612/AD5622のリファレンスは、電源入力を利用しているため、最も広範な出力ダイナミック・レンジが得られます。パワーオン・リセット回路を内蔵しているため、パワーアップ時にDACの出力が0Vにリセットされ、デバイスに有効な書き込みが行われるまで0Vを維持します。また、パワーダウン機能を内蔵しているため、デバイスの消費電流を3V動作時に100nA未満に低減でき、パワーダウン・モードでの出力負荷をソフトウェアで選択できます。デバイスは、シリアル・インターフェースを介してパワーダウン・モードに移行します。AD5602/AD5612/AD5622は、通常動作時の消費電力が小さいため、バッテリー駆動の携帯用機器に最適です。5V動作時の消費電力は0.4mW（typ値）です。

機能ブロック図

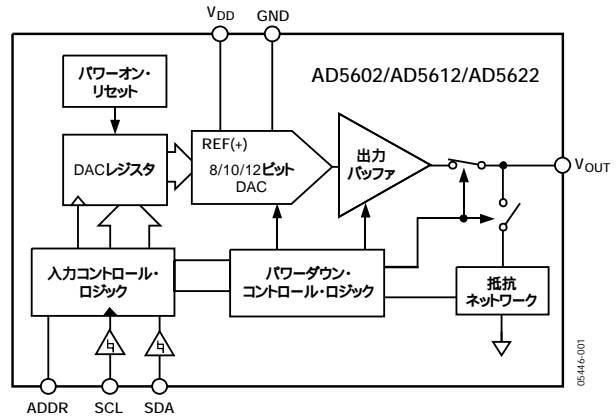


図1

表1. 関連デバイス

部品番号	説明
AD5601/AD5611/AD5621	2.7~5.5V、100 μ A未満、8/10/12ビットnanoDAC D/A、SPI®インターフェース、小型SC70パッケージ

製品のハイライト

- 6ピンSC70を採用
- 最大100 μ Aの消費電流、単電源動作。デバイスは、2.7~5.5Vの単電源で動作し、消費電力は3V動作時に0.2mW、5V動作時に0.4mW（いずれもtyp値）であるため、バッテリー駆動のアプリケーションに最適です。
- 出力バッファ・アンプの内蔵により、0.5V/ μ sの標準スループレートでレールtoレールのDAC出力振幅が可能
- リファレンスは電源を利用
- 標準、ファースト、ハイスピード・モードのI²Cインターフェース
- 超低消費電力として設計
- パワーダウン機能。パワーダウン時のDACの標準消費電流は、3V動作時に150nA未満
- パワーオン・リセットと電圧低下検出

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2005 Analog Devices, Inc. All rights reserved.

REV. A

AD5602/AD5612/AD5622

目次

仕様	3	入力レジスタ	16
I ² Cのタイミング仕様	4	パワーオン・リセット	17
絶対最大定格	6	パワーダウン・モード	17
ESDに関する注意	6	書込み動作	18
ピン配置と機能の説明	7	読出し動作	19
代表的な性能特性	8	ハイスピード・モード	20
用語の説明	14	アプリケーション	21
動作原理	15	リファレンスを電源として選択した場合	21
DAC部	15	バイポーラ動作	21
抵抗ストリング	15	電源のバイパスとグラウンディング	21
出力アンプ	15	外形寸法	22
シリアル・インターフェース	16	オーダー・ガイド	22

改訂履歴

2005年8月	リビジョン0からリビジョンAに オーダー・ガイドの変更	22
2005年6月	リビジョン0：初版	

仕様

$V_{DD} = 2.7 \sim 5.5V$, $R_L = 2k\Omega$ (GNDに接続), $C_L = 200pF$ (GNDに接続) 特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表2

パラメータ	A、B、W、Yバージョン ¹			単位	テスト条件 / 備考
	Min	Typ	Max		
静的性能					
分解能				ビット	DAC出力無負荷時の条件を適用
AD5602	8				
AD5612	10				
AD5622	12				
相対精度 ² (INL)					
AD5602			± 0.5	LSB	B、Yバージョン
AD5612			± 0.5	LSB	B、Yバージョン
AD5622			± 4	LSB	Aバージョン
AD5622			± 2	LSB	B、Yバージョン
AD5622			± 6	LSB	A、Wバージョン
微分非直線性 ² (DNL)			± 1	LSB	設計により単調増加性を保証
ゼロコード誤差		0.5	10	mV	DACレジスタに全ビット「0」をロード
オフセット誤差		± 0.063	± 10	mV	
フルスケール誤差		0.5		mV	DACレジスタに全ビット「1」をロード
ゲイン誤差		± 0.0004	± 0.037	FSRの%	
ゼロコード誤差の温度ドリフト		5		$\mu V/$	
ゲイン温度係数		2		FSRのppm/	
出力特性 ³					
出力電圧範囲	0		V_{DD}	V	
出力電圧セトリング時間		6	10	μs	コード1/4スケールから3/4スケール
スルーレート		0.5		V/ μs	
容量性負荷安定性		470		pF	$R_L = \infty$
		1000		pF	$R_L = 2k\Omega$
出力ノイズ・スペクトル密度		120		nV/Hz	DACコード = ミッドスケール、10kHz
ノイズ		2			DACコード = ミッドスケール、 0.1 ~ 10Hz帯域幅
デジタルからアナログへの グリッチ・インパルス		5		nV-s	メジャー・キャリヤ周辺の1LSB変化
デジタル・フィードスルー		0.2		nV-s	
DC出力インピーダンス		0.5		Ω	
短絡電流		15		mA	$V_{DD} = 3V/5V$
ロジック入力 (SDA、SCL)					
入力電流 (I_{IN})			± 1	μA	
ローレベル入力電圧 (V_{INL})			$0.3 \times V_{DD}$	V	
ハイレベル入力電圧 (V_{INH})	$0.7 \times V_{DD}$			V	
ピン容量 (C_{IN})		2		pF	
入力ヒステリシス (V_{HYST})	$0.1 \times V_{DD}$			V	
ロジック出力 (オープン・ドレイン)					
ローレベル出力電圧 (V_{OL})			0.4	V	$I_{SINK} = 3mA$
			0.6	V	$I_{SINK} = 6mA$
フロート状態リーク電流			± 1	μA	
フロート状態出力容量		2		pF	
電源条件					
V_{DD}	2.7		5.5	V	
I_{DD} (ノーマル・モード)					DAC動作時 (負荷電流を除く)
$V_{DD} = 4.5 \sim 5.5V$		75	100	μA	$V_{IH} = V_{DD}$ と $V_{IL} = GND$
$V_{DD} = 2.7 \sim 3.6V$		60	90	μA	$V_{IH} = V_{DD}$ と $V_{IL} = GND$

AD5602/AD5612/AD5622

パラメータ	A、B、W、Yバージョン ¹			単位	テスト条件 / 備考
	Min	Typ	Max		
I _{DD} (すべてのパワーダウン・モード) V _{DD} = 4.5 ~ 5.5V V _{DD} = 2.7 ~ 3.6V		0.3	1	μA	V _{IH} = V _{DD} とV _{IL} = GND
		0.15	1	μA	V _{IH} = V _{DD} とV _{IL} = GND
電力効率 I _{OUT} /I _{DD}		96		%	I _{LOAD} = 2mA、V _{DD} = 5V

¹ A、Bバージョンの温度範囲、-40 ~ +125、25 で測定。

² 直線性はコード範囲を縮小して計算(コード64 ~ 4032)。

³ これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証しています。

I²Cのタイミング仕様

V_{DD} = 2.7 ~ 5.5V。特に指定のない限り、すべての仕様はT_{MIN} ~ T_{MAX}、f_{SCL} = 3.4MHzで規定¹。

表3

パラメータ	条件 ²	T _{MIN} 、T _{MAX} 時の限界値		単位	説明
		Min	Max		
f _{SCL} ³	標準モード		100	KHz	シリアル・クロック周波数
	ファースト・モード		400	KHz	
	ハイスピード・モード、C _B = 100pF		3.4	MHz	
	ハイスピード・モード、C _B = 400pF		1.7	MHz	
t ₁	標準モード	4		μs	t _{HIGH} 、SCLハイレベル時間
	ファースト・モード	0.6		μs	
	ハイスピード・モード、C _B = 100pF	60		ns	
	ハイスピード・モード、C _B = 400pF	120		ns	
t ₂	標準モード	4.7		μs	t _{LOW} 、SCLローレベル時間
	ファースト・モード	1.3		μs	
	ハイスピード・モード、C _B = 100pF	160		ns	
	ハイスピード・モード、C _B = 400pF	320		ns	
t ₃	標準モード	250		ns	t _{SU:DAT} 、データのセットアップ時間
	ファースト・モード	100		ns	
	ハイスピード・モード	10		ns	
t ₄	標準モード	0	3.45	μs	t _{HD:DAT} 、データのホールド時間
	ファースト・モード	0	0.9	μs	
	ハイスピード・モード、C _B = 100pF	0	70	ns	
	ハイスピード・モード、C _B = 400pF	0	150	ns	
t ₅	標準モード	4.7		μs	t _{SU:STA} 、反復スタート状態のセットアップ時間
	ファースト・モード	0.6		μs	
	ハイスピード・モード	160		ns	
t ₆	標準モード	4		μs	t _{HD:STA} 、ホールド時間(反復)スタート状態
	ファースト・モード	0.6		μs	
	ハイスピード・モード	160		ns	
t ₇	標準モード	4.7		μs	t _{BUF} 、ストップ状態とスタート状態の間のバス・フリー時間
	ファースト・モード	1.3		μs	
t ₈	標準モード	4		μs	t _{SU:STO} 、ストップ状態のセットアップ時間
	ファースト・モード	0.6		μs	
	ハイスピード・モード	160		ns	
t ₉	標準モード		1000	ns	t _{RDA} 、SDA信号の立上がり時間
	ファースト・モード		300	ns	
	ハイスピード・モード、C _B = 100pF	10	80	ns	
	ハイスピード・モード、C _B = 400pF	20	160	ns	

AD5602/AD5612/AD5622

パラメータ	条件 ²	T _{MIN} 、T _{MAX} 時の限界値		単位	説明
		Min	Max		
t ₁₀	標準モード		300	ns	t _{FDA} 、 SDA信号の立下がり時間
	ファースト・モード		300	ns	
	ハイスピード・モード、C _B = 100pF	10	80	ns	
	ハイスピード・モード、C _B = 400pF	20	160	ns	
t ₁₁	標準モード		1000	ns	t _{RCL} 、 SCL信号の立上がり時間
	ファースト・モード		300	ns	
	ハイスピード・モード、C _B = 100pF	10	40	ns	
	ハイスピード・モード、C _B = 400pF	20	80	ns	
t _{11A}	標準モード		1000	ns	t _{RCL1} 、 反復スタート状態およびアクノ レッジ・ビット後のSCL信号の立上がり時間
	ファースト・モード		300	ns	
	ハイスピード・モード、C _B = 100pF	10	80	ns	
	ハイスピード・モード、C _B = 400pF	20	160	ns	
t ₁₂	標準モード		300	ns	t _{FCL} 、 SCL信号の立下がり時間
	ファースト・モード		300	ns	
	ハイスピード・モード、C _B = 100pF	10	40	ns	
	ハイスピード・モード、C _B = 400pF	20	80	ns	
t _{SP} ⁴	ファースト・モード	0	50	ns	抑制されたスパイクのパルス幅
	ハイスピード・モード	0	10	ns	

¹ 図2を参照。ハイスピード・モードのタイミング仕様は、AD5602/AD5612/AD5622-1にのみ適用されます。標準モードとファースト・モードのタイミング仕様は、AD5602/AD5612/AD5622-1とAD5602/AD5612/AD5622-2の両方に適用されます。

² C_Bは、バス・ラインの容量を表します。

³ SDAとSCLのタイミングは、入力フィルタをイネーブルにして測定します。入力フィルタをオフにすると、転送速度は改善しますがデバイスのEMC動作に悪影響を与えます。

⁴ SCL入力とSDA入力をフィルタリングすることにより、ファースト・モードでは50ns未満、ハイスピード・モードでは10ns未満のノイズ・スパイクを抑制します。

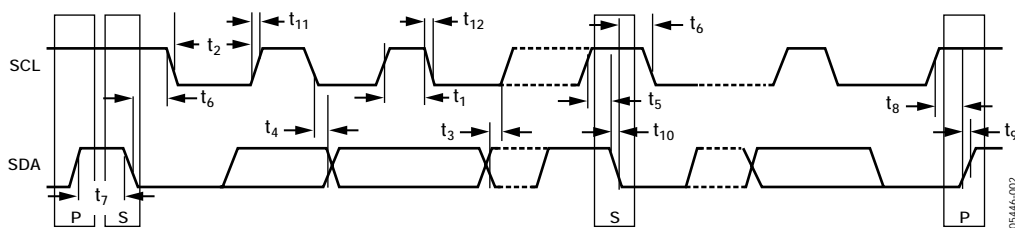


図2. 2線式シリアル・インターフェースのタイミング図

AD5602/AD5612/AD5622

絶対最大定格

特に指定のない限り、 $T_A = 25$ 。

表4

パラメータ	定格値
GNDに対する V_{DD}	- 0.3 ~ + 7.0V
GNDに対するデジタル入力電圧	- 0.3V ~ $V_{DD} + 0.3V$
GNDに対する V_{OUT}	- 0.3V ~ $V_{DD} + 0.3V$
動作温度範囲	
拡張自動車用 (W、Yバージョン)	- 40 ~ + 125
拡張工業用 (A、Bバージョン)	- 40 ~ + 85
保存温度範囲	- 65 ~ + 160
最大ジャンクション温度	150
SC70パッケージ	
θ_{JA} 熱抵抗	332 /W
θ_{JC} 熱抵抗	120 /W
ピン温度、ハンダ処理	
ベーキング時間 (60秒)	215
赤外線 (15秒)	200
ESD	2.0kV

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置と機能の説明

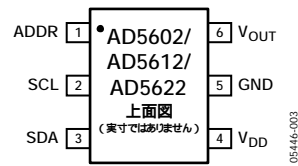


図3. ピン配置

表5. ピン機能の説明

ピン番号	記号	説明
1	ADDR	スリープ・アドレス入力。7ビット・スレープ・アドレスの最下位2ビット（ビットA1、ビットA0）をセットします。表6を参照。
2	SCL	シリアル・クロック・ライン。SDAラインと組み合わせて、16ビット入力レジスタとの間でデータをクロック入出力するために使用します。
3	SDA	シリアル・データ・ライン。SCLラインと組み合わせて、16ビット入力レジスタとの間でデータをクロック入出力するために使用します。これは双方向のオープンドレイン・データ・ラインであり、外付けプルアップ抵抗を用いて電源に接続してください。
4	V _{DD}	電源入力。これらのデバイスは2.7~5.5Vで動作し、V _{DD} はGNDにデカップリングします。
5	GND	グラウンド。デバイス上の全回路に対するグラウンド基準ポイント。
6	V _{OUT}	DACからのアナログ出力電圧。出力アンプはレールtoレールで動作します。

AD5602/AD5612/AD5622

代表的な性能特性

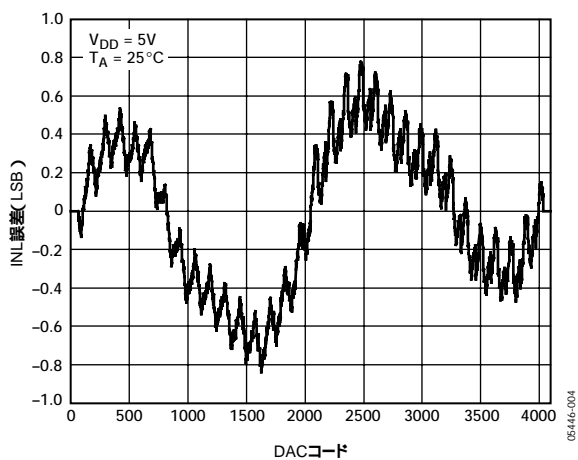


図4. 代表的なINL誤差 (AD5622)

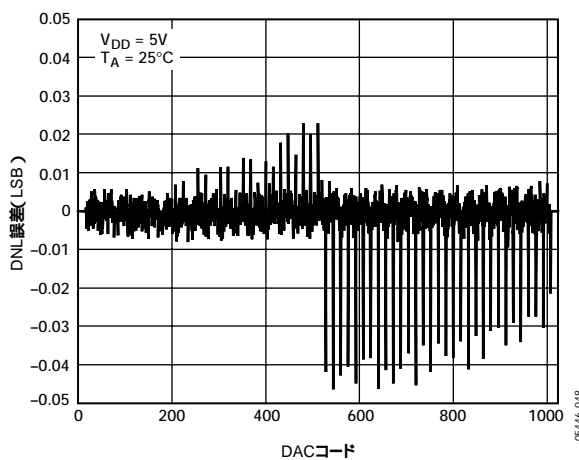


図7. 代表的なDNL誤差 (AD5612)

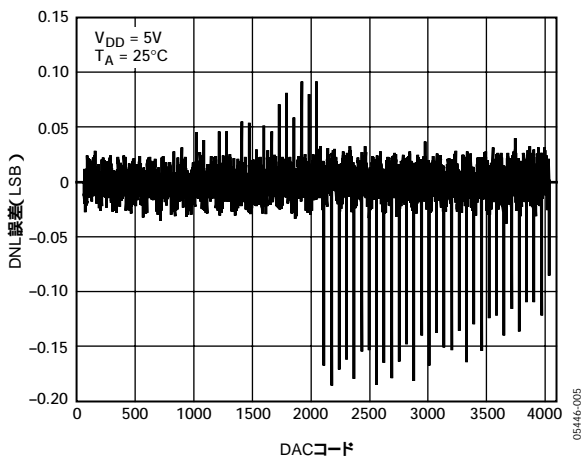


図5. 代表的なDNL誤差 (AD5622)

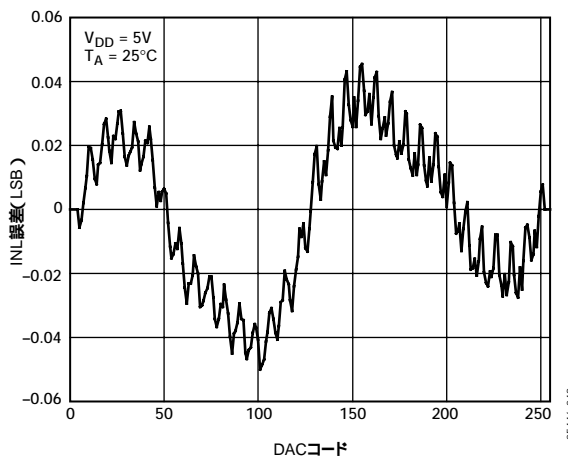


図8. 代表的なINL誤差 (AD5602)

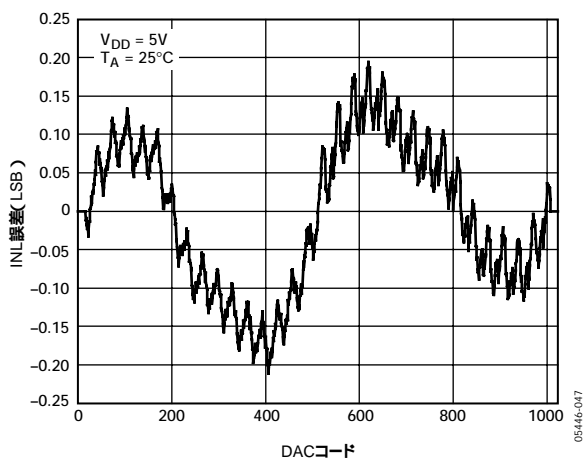


図6. 代表的なINL誤差 (AD5612)

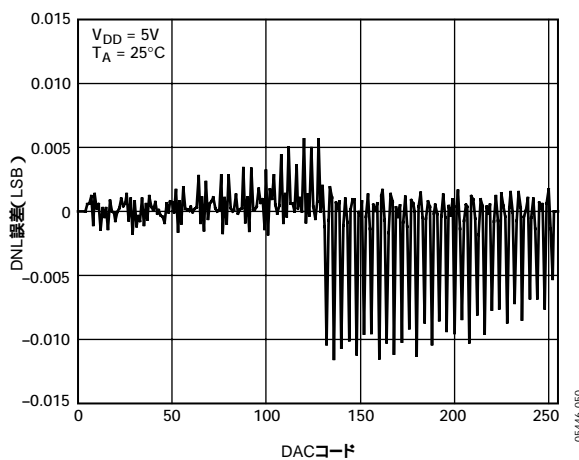


図9. 代表的なDNL誤差 (AD5602)

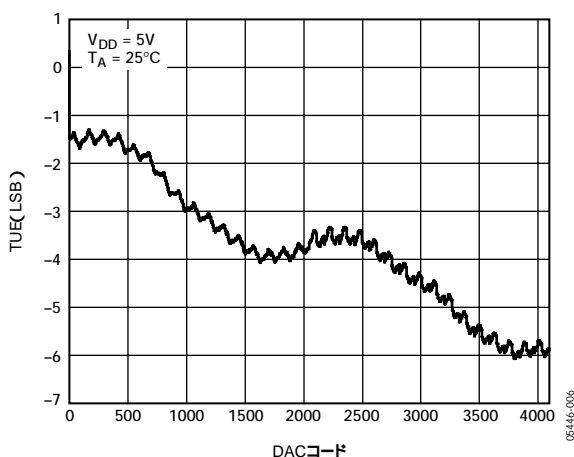


図10. 代表的なTUE (総合未調整誤差) (AD5622)

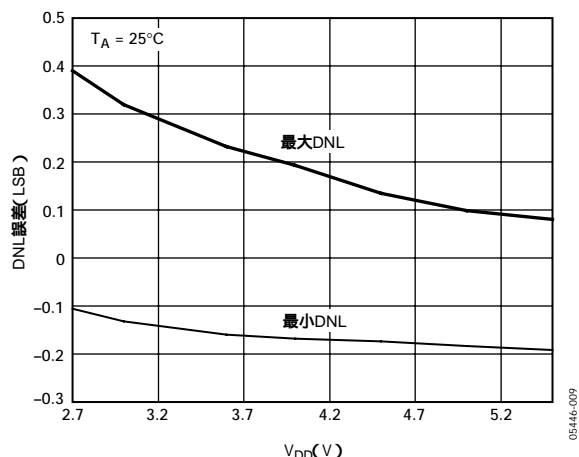


図13. 電源電圧対DNL誤差 (AD5622)

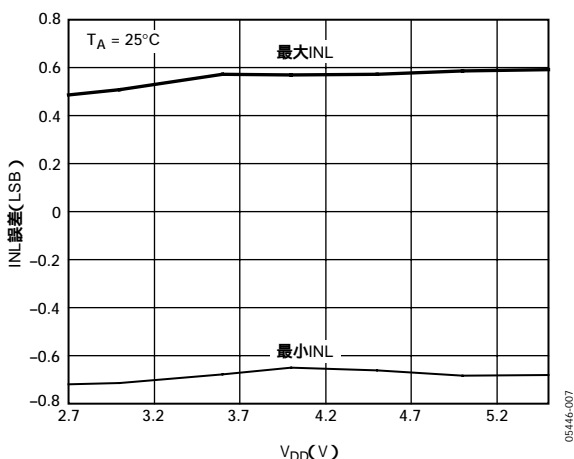


図11. 電源電圧対INL誤差 (AD5622)

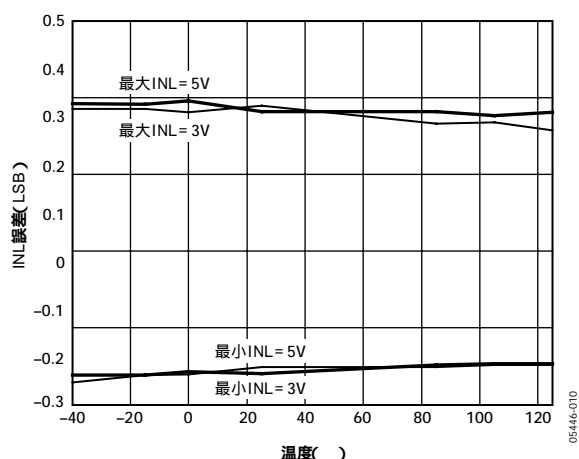


図14. INL誤差の温度特性 (3/5V電源、AD5622)

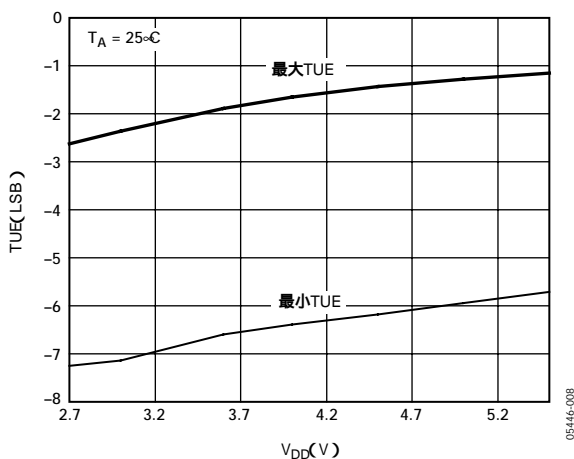


図12. 電源電圧対TUE (AD5622)

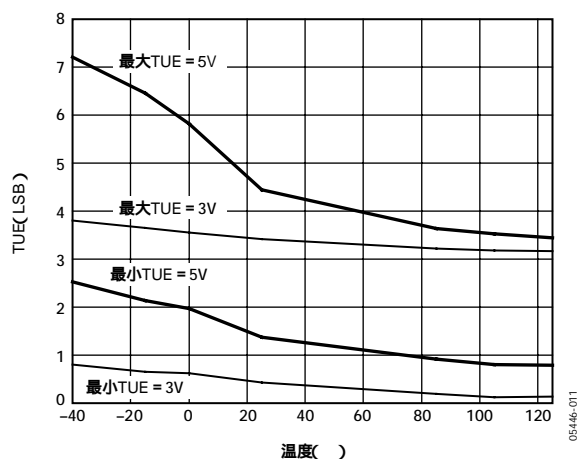


図15. TUEの温度特性 (3/5V電源、AD5622)

AD5602/AD5612/AD5622

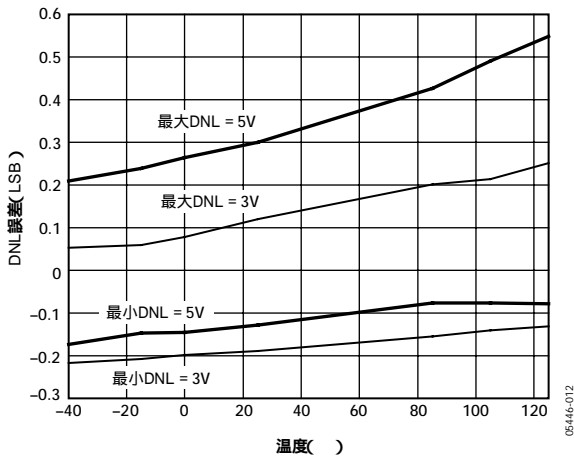


図16. DNL誤差の温度特性 (3V/5V電源、AD5622)

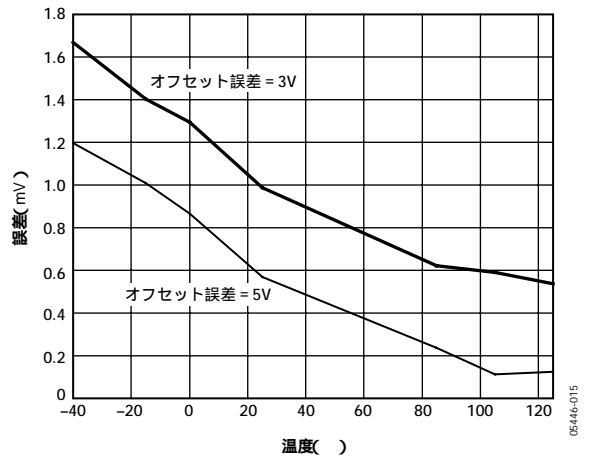


図19. オフセット誤差の温度特性 (3V/5V電源)

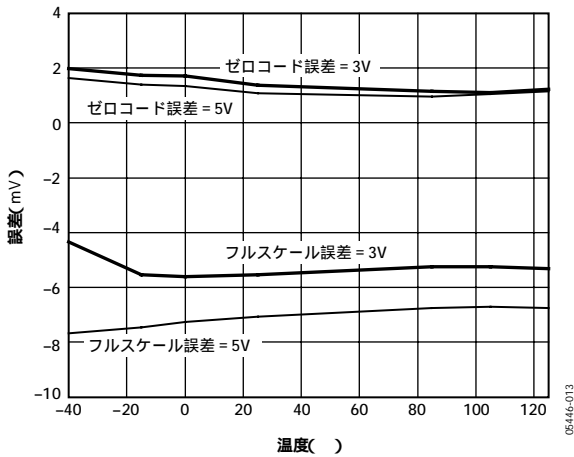


図17. ゼロコード/フルスケール誤差の温度特性 (3V/5V電源)

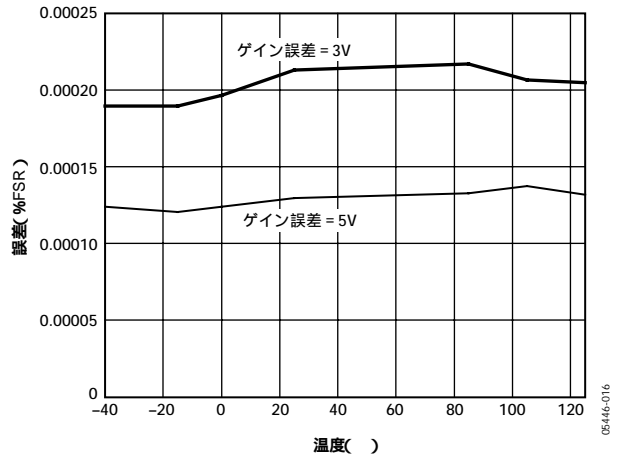


図20. ゲイン誤差の温度特性 (3V/5V電源)

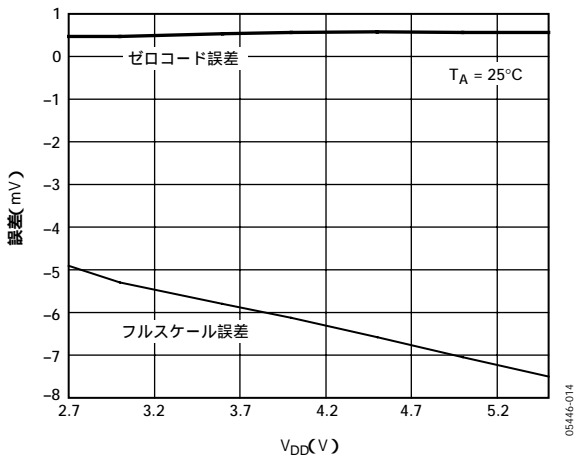


図18. 電源電圧対ゼロコード/フルスケール誤差

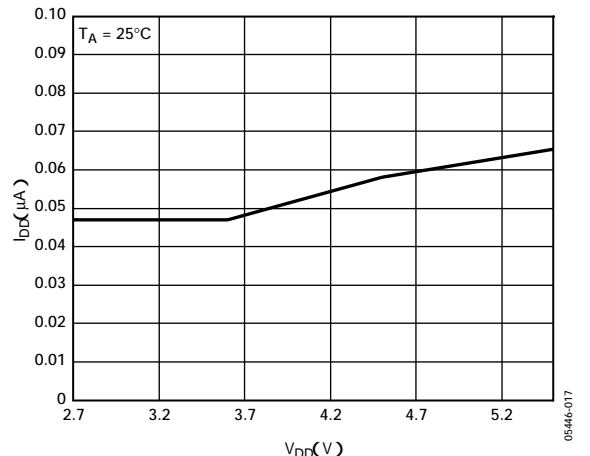


図21. 電源電圧対電源電流

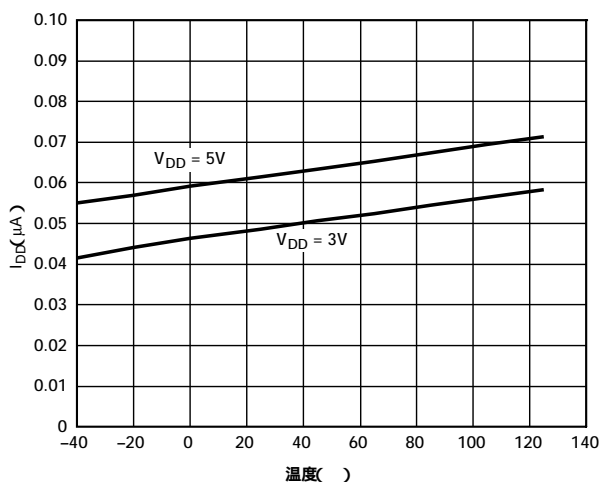


図22. 電源電流の温度特性 (3V/5V電源)

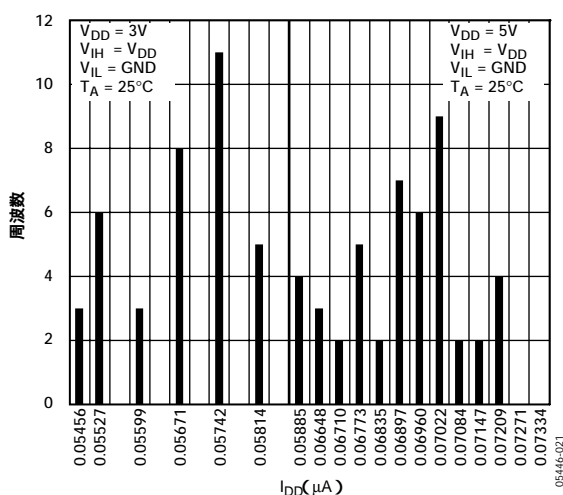


図25. I_{DD} ヒストグラム (3V/5V電源)

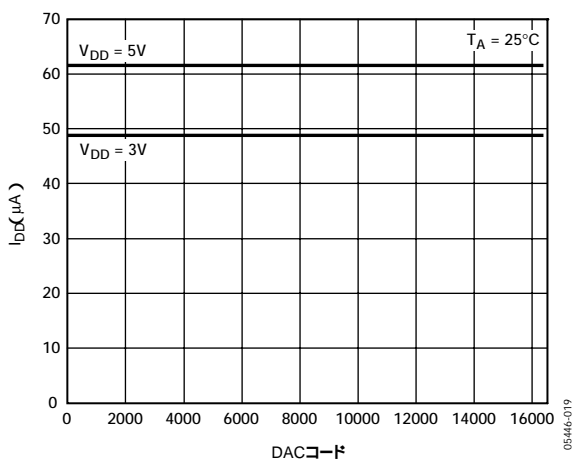


図23. デジタル入力コード 対 電源電流

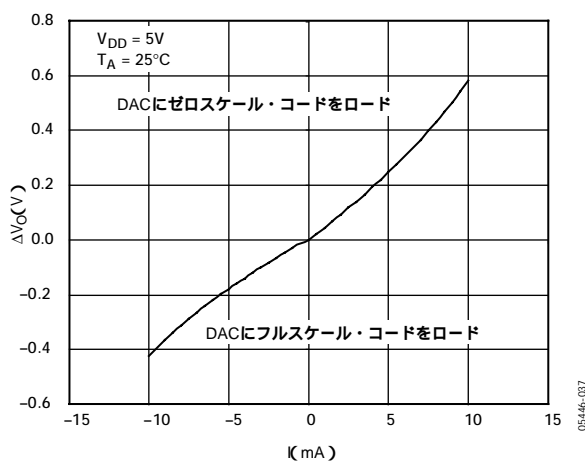


図26. シンク能力とソース能力

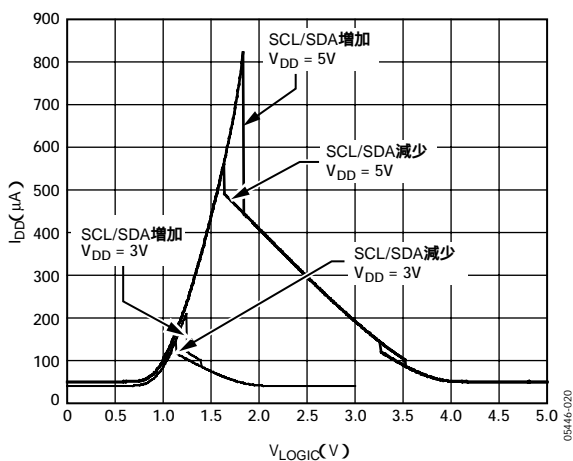


図24. SCL/SDAロジック電圧 対 電源電流

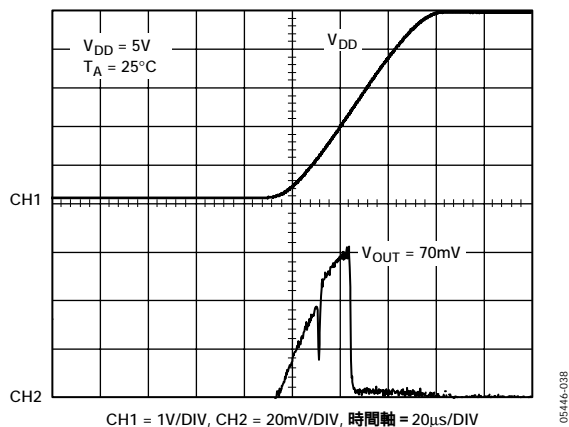
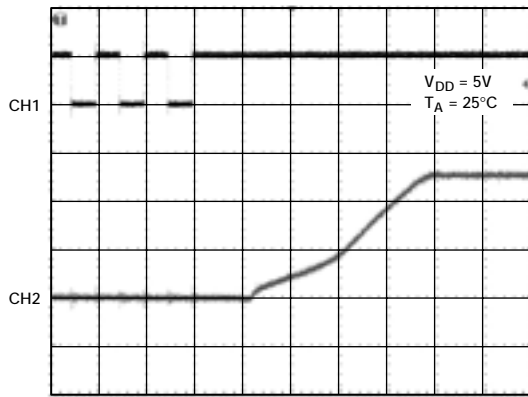


図27. パワーオン・リセット時の0V出力

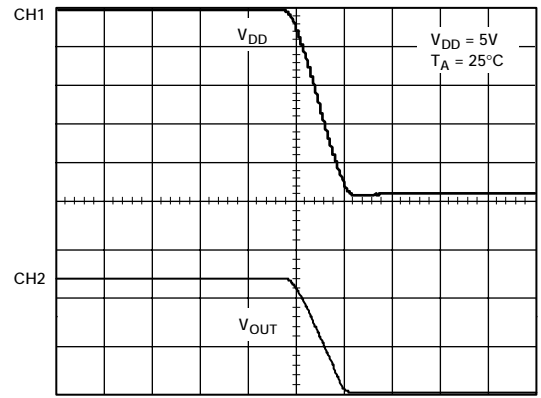
AD5602/AD5612/AD5622



CH1 = 5V/DIV, CH2 = 1V/DIV, 時間軸 = 2µs/DIV

図28. パワーダウン・モードの終了

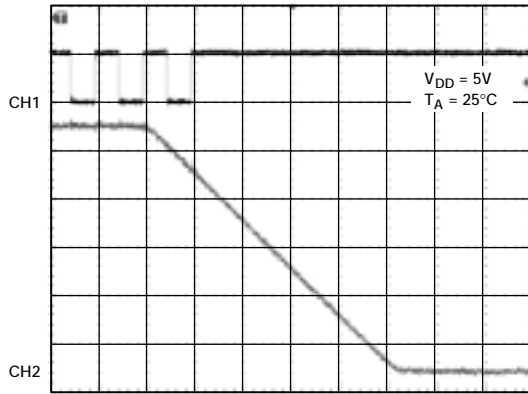
05446-039



CH1 = 1V/DIV, CH2 = 3V/DIV, 時間軸 = 50µs/DIV

図31. V_{DD} 対 V_{OUT}

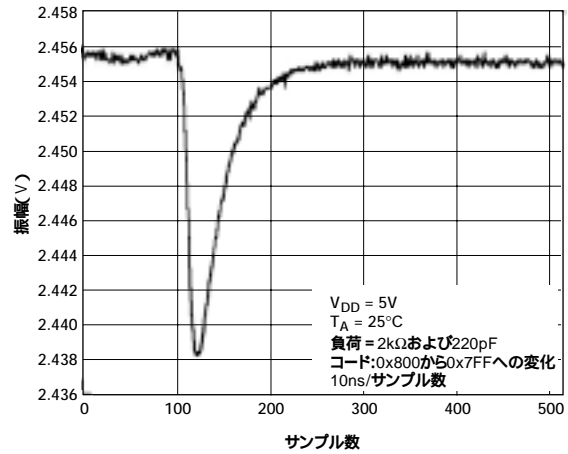
05446-042



CH1 = 5V/DIV, CH2 = 1V/DIV, 時間軸 = 2µs/DIV

図29. フルスケールのセトリング時間

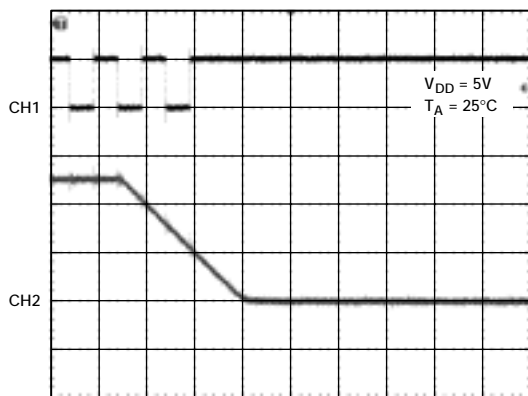
05446-040



サンプル数

図32. デジタルからアナログへのグリッチ・インパルス

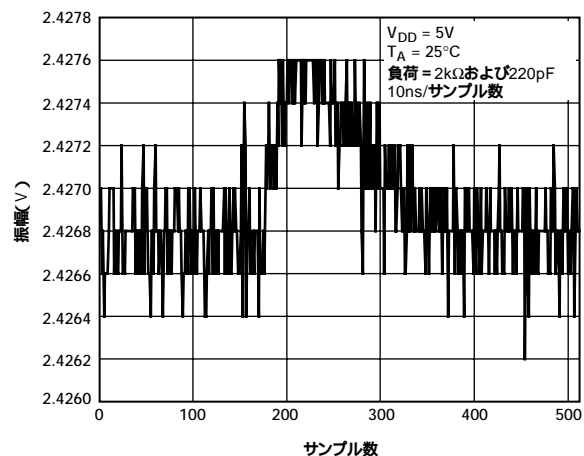
05446-043



CH1 = 5V/DIV, CH2 = 1V/DIV, 時間軸 = 2µs/DIV

図30. ハーフスケールのセトリング時間

05446-041



サンプル数

図33. デジタル・フィードスルー

05446-044

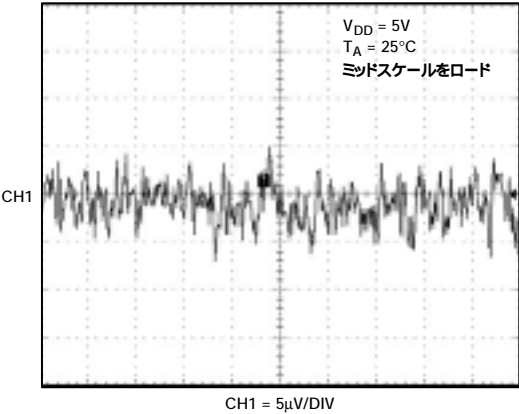


図34. 1/fノイズ、0.1~10Hzの帯域幅

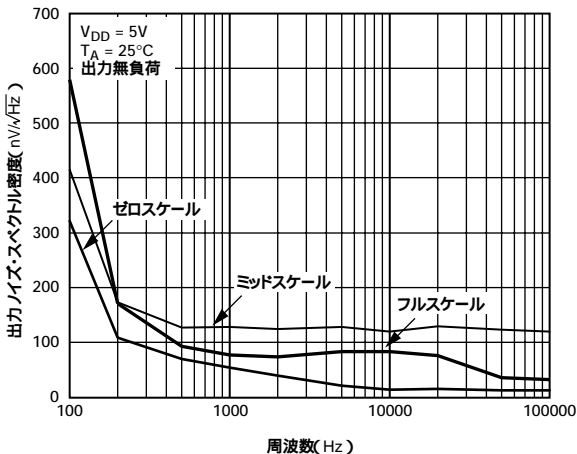


図35. ノイズ・スペクトル密度

AD5602/AD5612/AD5622

用語の説明

相対精度または積分非直線性 (INL)

DACの場合、相対精度または積分非直線性 (INL) とは、DAC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差 (単位はLSB) を表します。代表的なコードとINLの関係を図4に示します。

微分非直線性 (DNL)

隣接する2つのコード間における1LSB変化の測定値と理論値の差です。微分非直線性の仕様が ± 1 LSB以内の場合は、単調増加性が保証されています。このDACは設計により単調増加性を保証しています。代表的なコードとDNLの関係を図5に示します。

ゼロコード誤差

DACのオフセット誤差と出力アンプのオフセット誤差が原因で発生する誤差で、ゼロコード (0x0000) をDACレジスタにロードしたときの出力誤差を表します。出力は理論上0Vになるはずですが、AD5602/AD5612/AD5622ではDAC出力が0Vよりも低くなることはないため、ゼロコード誤差は常に正の値となります。ゼロコード誤差はmVの単位で表します。ゼロコード誤差の温度特性を図17に示します。

フルスケール誤差

フルスケール・コード (0xFFFF) をDACレジスタにロードしたときの出力誤差を表します。出力は理論上 $V_{DD} - 1$ LSBになるはずですが、フルスケール誤差の温度特性を図17に示します。

ゲイン誤差

DACのスパン誤差を表します。これはDAC伝達特性の理論値からの実際の傾き偏差を示すもので、フルスケール・レンジの%値で表します。

総合未調整誤差 (TUE)

さまざまな誤差を考慮した出力誤差を表します。TUEとコードの代表的な関係を図10に示します。

ゼロコード誤差ドリフト

温度変化にともなうゼロコード誤差の変化を表し、 $\mu V/$ の単位で表します。

ゲイン誤差ドリフト

温度変化にともなうゲイン誤差の変化を表し、(フルスケール・レンジのppm)/ の単位で表します。

デジタルからアナログへのグリッチ・インパルス

DACレジスタの入力コードが変化したときに、入力からアナログ出力に注入されるインパルスを表します。通常、グリッチの面積として規定され、nV-sで表します。メジャー・キャリアの遷移 (0x7FFFから0x8000) 時に、デジタル入力コードが1LSB変化したときの測定値です。図32を参照。

デジタル・フィードスルー

DAC出力の更新が行われていないときに、DACのデジタル入力からDACのアナログ出力に注入されるインパルスを表します。nV-sの単位で規定され、データ・バス上でのフルスケールのコード変化時、すなわち全ビット「0」から全ビット「1」に変化したとき、または全ビット「1」から全ビット「0」にコードが遷移するときに測定します。図33を参照。

動作原理

DAC部

AD5602/AD5612/AD5622 DACは、CMOSプロセスを用いて製造されています。このアーキテクチャは、ストリングDACとその後段の出力バッファ・アンプから構成されています。DACアーキテクチャのブロック図を図36に示します。

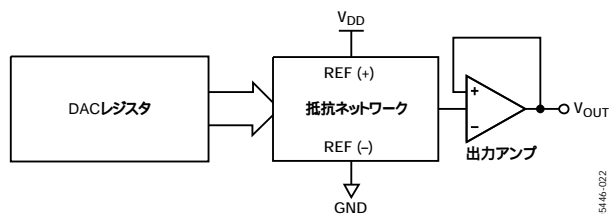


図36. DACアーキテクチャ

DACの入力コーディングはストレート・バイナリであるため、理論的な出力電圧は以下の式から求められます。

$$V_{OUT} = V_{DD} \times \left(\frac{D}{2^n}\right)$$

ここで、 D は、DACレジスタにロードされるバイナリ・コードの10進値で、0～255 (AD5602)、0～1023 (AD5612)、0～4095 (AD5622) の範囲にあります。

n はDACのビット分解能です。

抵抗ストリング

抵抗ストリングの構造を図37に示します。各値がRのシンプルな抵抗のストリングになっています。DACレジスタにロードされるコードにより、このストリング上のどのノードから出力アンプに電圧を供給するかが決まります。ストリングとアンプを接続しているスイッチの1つを閉じることで、電圧が出力アンプに供給されます。これは抵抗のストリングであるため、単調増加性が保証されます。

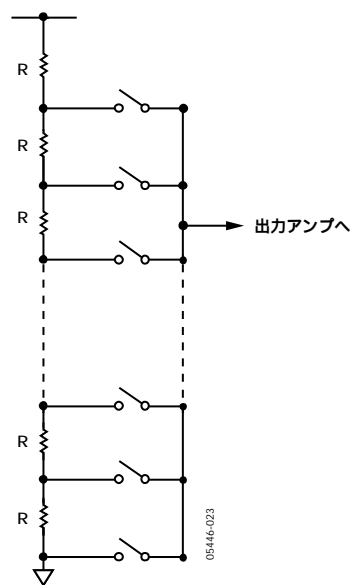


図37. 抵抗ストリングの構造

出力アンプ

出力バッファ・アンプは、出力でレールtoレール電圧を生成し、 $0V \sim V_{DD}$ の範囲の電圧を出力できます。出力バッファ・アンプは、GNDに接続された $2k\Omega$ と、これに並列接続された $1000pF$ の負荷を駆動できます。この出力アンプのソース能力とシンク能力を図26に示します。出力無負荷、ハーフスケールのセットリング時間 $5\mu s$ で、スルーレートは $0.5V/\mu s$ になります。

AD5602/AD5612/AD5622

シリアル・インターフェース

AD5602/AD5612/AD5622には、I²C互換の2線式シリアル・インターフェースを備えています。I²Cについては、Philips Semiconductorsから提供されている『I²Cバス仕様書』(バージョン2.1、2000年1月)を参照してください。AD5602/AD5612/AD5622は、マスター・デバイスの制御のもとで、スレーブ・デバイスとしてI²Cバスに接続できます。代表的な書込みシーケンスのタイミング図については、図2を参照してください。

AD5602/AD5612/AD5622は、標準(100kHz)、ファースト(400kHz)、ハイスピード(3.4MHz)のデータ転送モードに対応します。10ビット・アドレス指定とジェネラル・コール・アドレスには対応していません。

AD5602/AD5612/AD5622には、それぞれ7ビットのスレーブ・アドレスがあります。5つのMSBは00011であり、2つのLSBはADDRピンの状態によって決定されます。ADDRのハードワイヤード変更が可能のため、表6に示すように、1つのバス上でこれらのデバイスを3つまで使用できます。

2線式シリアル・バス・プロトコルは、次のように動作します。

1. マスターは、スタート状態を確立することによってデータ転送を開始します。これは、SCLがハイレベルである間に、SDAライン上でハイレベルからローレベルへの遷移が発生したときです。次のバイトはアドレス・バイトで、7ビットのスレーブ・アドレスから構成されています。送信されたアドレスに対応するスレーブ・アドレスは、9番目のクロック・パルス(アクノレッジ・ビットと呼ばれます)の間にSDAラインをローレベルにプルすることによって応答します。この段階では、選択されたデバイスはシフト・レジスタとの間でデータが読み書きされるのを待ち、バス上の他のすべてのデバイスはアイドル状態を維持します。
2. データは、連続する9つのクロック・パルス(8つのデータビットとそれに続くアクノレッジ・ビット)によってシリアル・バス上を送信されます。SDAライン上の遷移はSCLのローレベル期間中に生じ、SCLのハイレベル期間中は安定している必要があります。

3. すべてのデータビットが読み出し/書込みされると、ストップ状態が確立されます。書込みモードでは、マスターが10番目のクロック・パルスの間にSDAラインをハイレベルにプルしてストップ状態を確立します。読み出しモードでは、マスターが9番目のクロック・パルスに対してノー・アクノレッジを発行します(つまり、SDAラインはハイレベルのままです)。その後マスターは、10番目のクロック・パルスの前にSDAラインをローレベルにし、10番目のクロック・パルスの間にハイレベルにしてストップ状態を確立します。

表6. デバイス・アドレスの選択

ADDR	A1	A0
GND	1	1
V _{DD}	0	0
NC(接続なし)	1	0

入力レジスタ

入力レジスタは16ビット幅です。図38、図39、図40は、デバイスごとの入力レジスタの内容を示します。データは、シリアル・クロック入力SCLの制御のもとで、16ビット・ワードとしてデバイスにロードされます。この動作のタイミング図を図2に示します。この16ビット・ワードは、4つのコントロール・ビットと、その後続く8、10、または12ビットのデータ(デバイス・タイプに依存)から構成されます。MSB(DB15)は最初にロードされます。最初の2ビットは予備ビットであり、ゼロに設定しておきます。次の2ビットはコントロール・ビットであり、デバイスの動作モード(ノーマル・モードまたは3つのパワーダウン・モードのいずれか)を制御します。詳細については「パワーダウン・モード」を参照してください。残りのビットは左詰めされたDACデータビットで、MSBから始まりLSBで終わります。

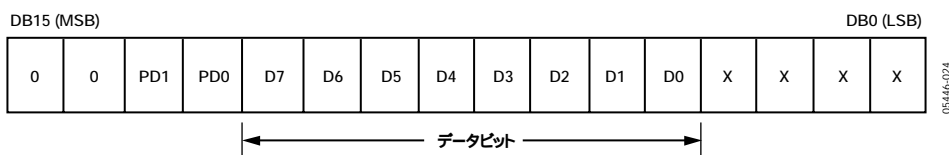


図38. AD5602 : 入力レジスタの内容

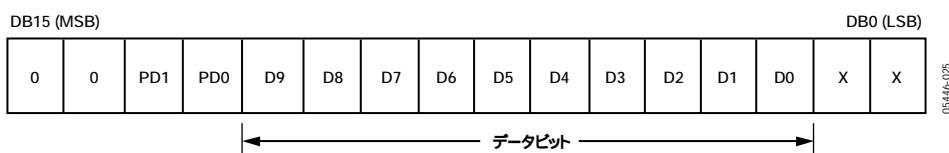


図39. AD5612 : 入力レジスタの内容

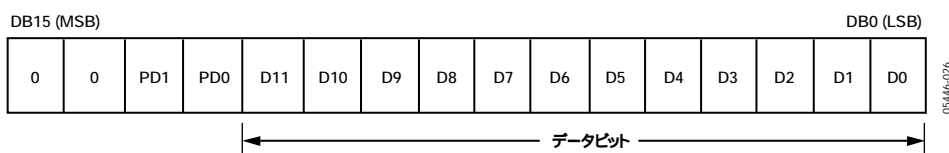


図40. AD5622 : 入力レジスタの内容

パワーオン・リセット

AD5602/AD5612/AD5622は、パワーアップ時の出力電圧を制御するパワーオン・リセット回路を内蔵しています。DACレジスタはゼロで満たされます。出力電圧は0Vで、DACに有効な書込みシーケンスが実行されるまでこの状態が保持されます。この機能は、デバイスのパワーアップ時にDACの出力状態を把握しておくことが重要なアプリケーションで特に便利です。

パワーダウン・モード

AD5602/AD5612/AD5622には、4つの動作モードがあります。動作モードは、コントロール・レジスタのビット (PD1とPD0) の設定によってソフトウェアで選択できます。表7は、ビットの設定と対応するデバイスの動作モードを示します。

表7. 動作モード

PD1	PD0	動作モード
0	0	通常の動作
0	1	パワーダウン(1k Ω 負荷を介してGNDに接続)
1	0	パワーダウン(100k Ω 負荷を介してGNDに接続)
1	1	パワーダウン(スリーステート出力)

両ビットを「0」に設定すると、デバイスは5V時に最大100 μ Aの消費電流で通常の動作を実行します。しかし、3つのパワーダウン・モードでは、電源電流が3V時に150nA未満まで低下します。電源電流が低下するだけでなく、出力段も内部的にアン

プの出力から切り離され、既知の値をもつ抵抗ネットワークに接続されます。これは、デバイスがパワーダウン・モードにある間、デバイスの出力インピーダンスが既知であるという利点があります。出力は、内部で1k Ω の抵抗または100k Ω の抵抗を経由してGNDに接続されるか、またはオープン(スリーステート)になるかの3種類のオプションがあります。出力段を図41に示します。

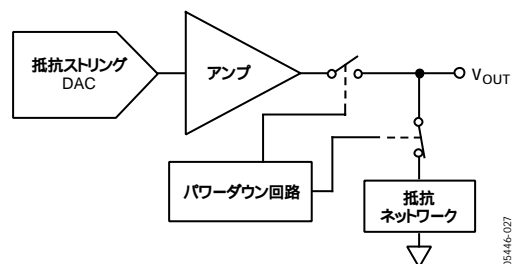


図41. パワーダウン時の出力段

パワーダウン・モードになると、バイアス発生器、出力アンプ、抵抗ストリング等の関連リニア回路がすべてシャットダウンされます。ただし、DACレジスタの内容はパワーダウンの間も保持されます。なお、パワーダウン・モードからの復帰時間は、 $V_{DD} = 5V$ で14 μ s、 $V_{DD} = 3V$ で17 μ s (typ値)です。図28を参照してください。

AD5602/AD5612/AD5622

書き込み動作

AD5602/AD5612/AD5622に書き込む際には、開始コマンドの後にアドレス・バイト (R/W = 0) を続けます。その後、DACはSDAをローレベルにプルしてデータ受信の準備完了をアクノレージします。

その後、2バイトのデータがDACに書き込まれます。図39に示すように、最上位バイトの後に最下位バイトが続きます。これら2つのデータバイトは、AD5602/AD5612/AD5622によってアクノレージされます。その後ストップ状態となります。3つのDACの書き込み動作を図42、図43、図44に示します。

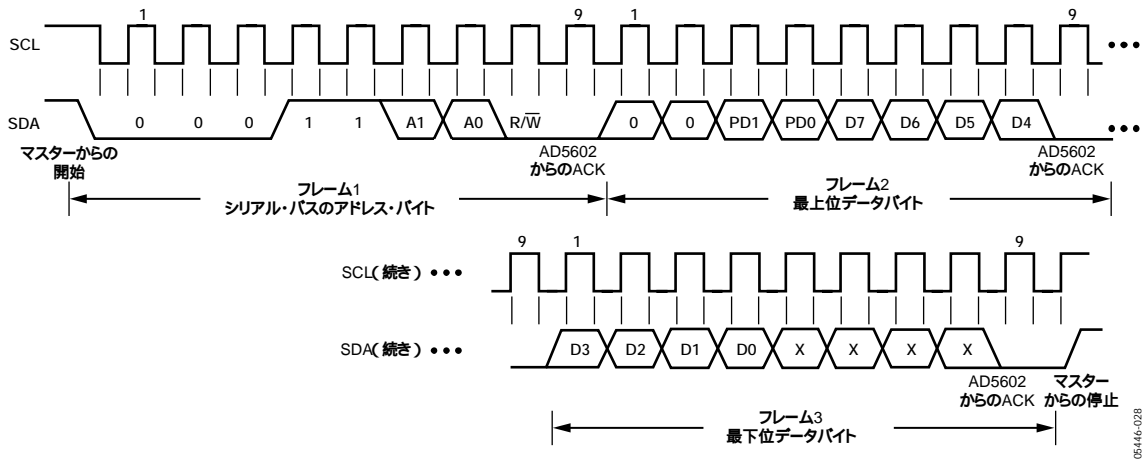


図42. AD5602の書き込みシーケンス

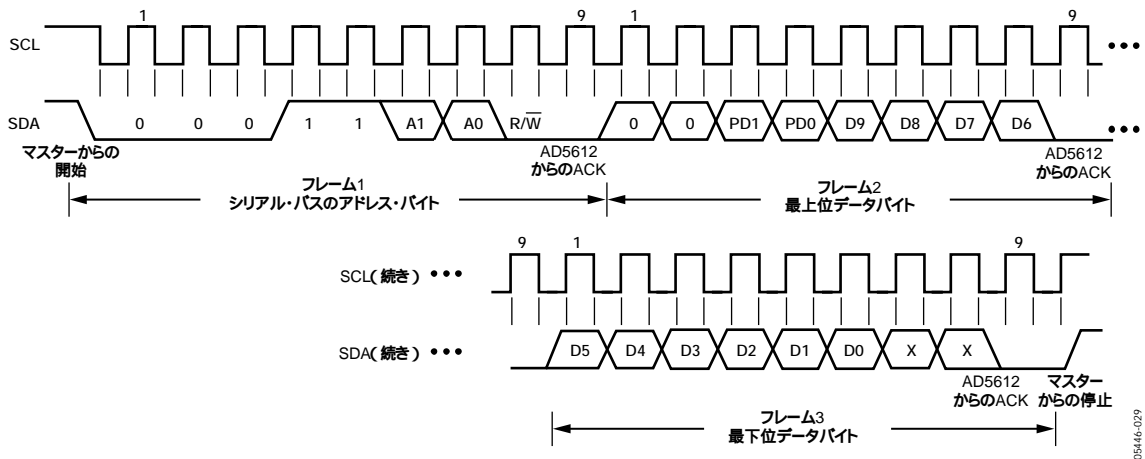


図43. AD5612の書き込みシーケンス

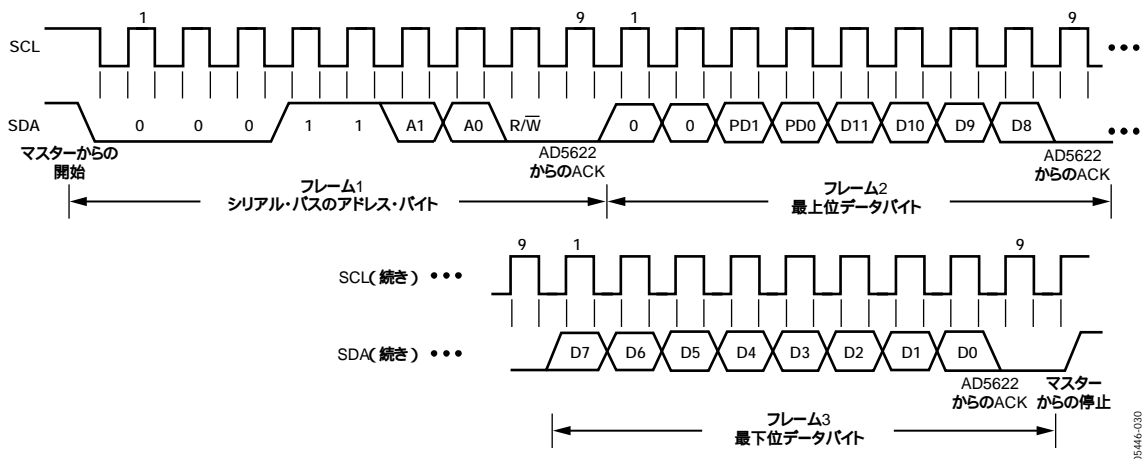


図44. AD5622の書き込みシーケンス

読出し動作

AD5602/AD5612/AD5622からデータを読み戻す際には、開始コマンドの後にアドレス・バイト (R/W = 1) を続けます。その後、DACはSDAをローレベルにプルしてデータ送信の準備

完了をアクノレッジします。図45、図46、図47に示すように、DACから2バイトのデータが読み出され、いずれもマスターによってアクノレッジされます。その後ストップ状態となります。

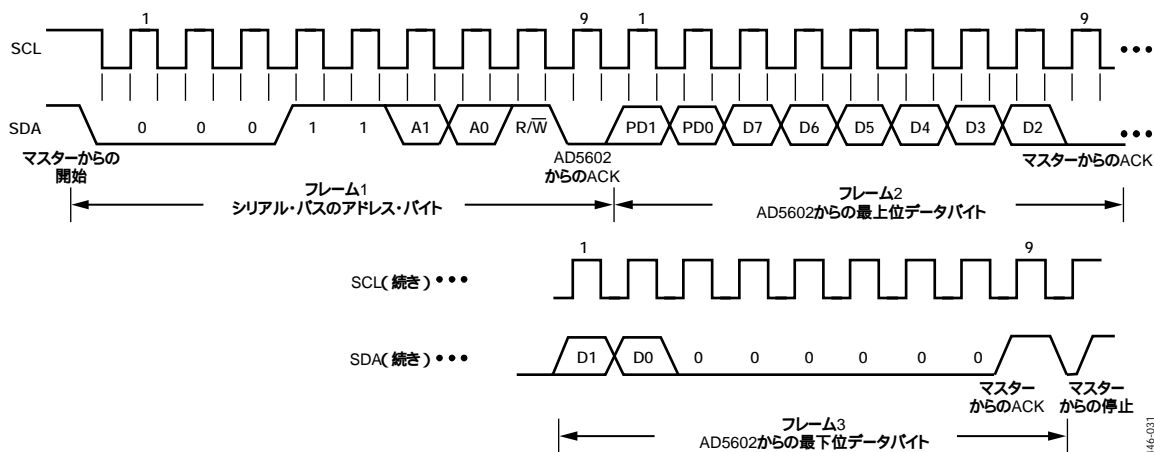


図45. AD5602の読出しシーケンス

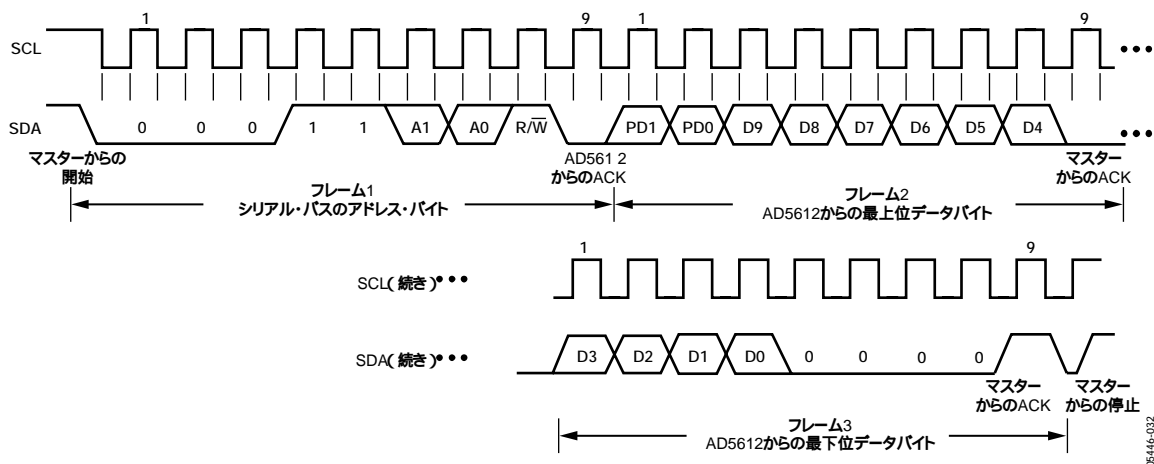


図46. AD5612の読出しシーケンス

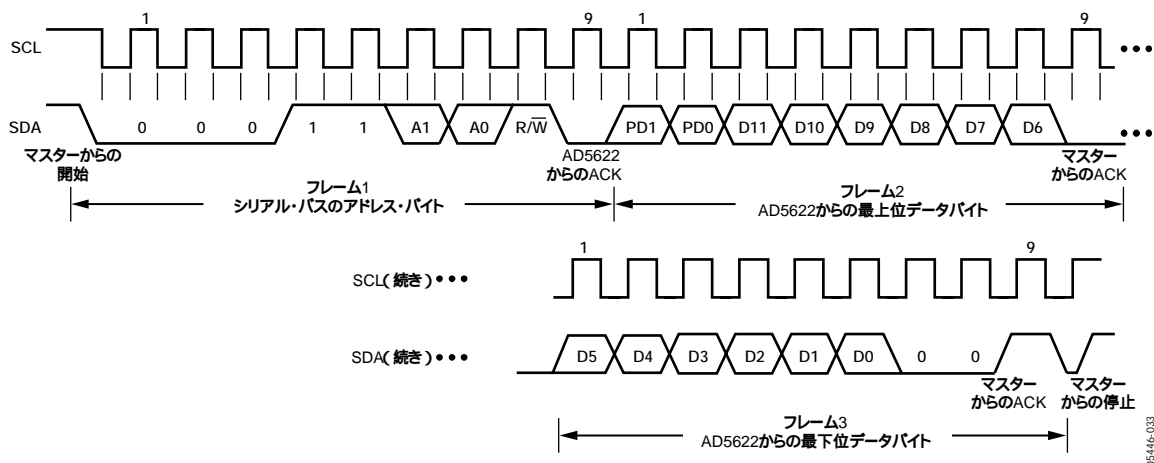


図47. AD5622の読出しシーケンス

AD5602/AD5612/AD5622

ハイスピード・モード

ハイスピード・モード通信が始まるのは、マスターが、マスター・コード00001XXXによりバスに接続されたすべてのデバイスをアドレス指定して、ハイスピード・モード転送の開始を指示した後です。バスに接続されたデバイスは、ハイスピード・マスター・コードをアクノレッジできないため、そのコードの後にはノー・アクノレッジ (NACK) が続きます。その後、

マスターは、反復スタートとそれに続くデバイス・アドレスを発行する必要があります。選択されたデバイスは、そのアドレスをアクノレッジします。すべてのデバイスは、マスターがストップ状態を発行するまで、ハイスピード・モードで動作し続けます。ストップ状態が発行されると、デバイスはすべて標準/ファースト・モードに戻ります。

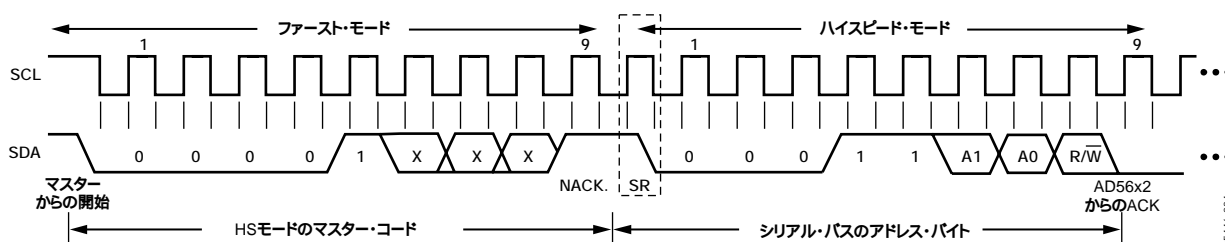


図48. AD5602/AD5612/AD5622をハイスピード・モードにする

05/146-034

アプリケーション

リファレンスを電源として選択した場合

AD5602/AD5612/AD5622は、小型のSC70パッケージを採用し、100 μ A未満の電源電流で動作します。このため、リファレンスの選択はアプリケーションで要求される条件により異なります。省スペース・アプリケーションには、3ppm/ の優れたドリフト性能を持つSC70パッケージのADR425を使用できます。ADR425はまたノイズ性能も非常に優れており、0.1~10Hzで3.4 μ Vp-pとなっています。

AD5602/AD5612/AD5622 DACが必要とする電源電流は非常に小さいため、低消費電力アプリケーションに最適です。低消費電力アプリケーションに使用する場合は、電圧リファレンスとしてADR293の使用を推奨します。静止電流が15 μ Aと小さく、必要に応じて1つのシステム内で複数のDACを駆動することもできます。

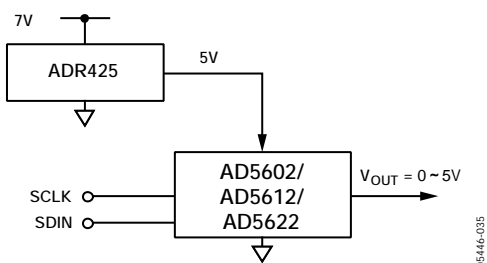


図49. 電源としてのADR425

AD5602/AD5612/AD5622の電源として推奨する高精度リファレンスの例を表8に示します。

表8. 推奨する高精度リファレンス

製品番号	初期精度 (mV max)	温度ドリフト (ppm/ max)	0.1~10Hz のノイズ (μ Vp-p typ)
ADR435	± 6	3	3.4
ADR425	± 6	3	3.4
ADR02	± 5	3	15
ADR395	± 6	25	5

バイポーラ動作

AD5602/AD5612/AD5622は単電源動作に設計されていますが、図50に示す回路を使用すれば、バイポーラ出力電圧範囲を設定することも可能です。この回路では出力電圧範囲が ± 5 Vとなります。出力アンプとしてAD820またはOP295を使用すると、アンプ出力でのレールtoレール動作が可能になります。

任意の入力コードに対する出力電圧は、次のように算出できます。

$$V_o = \left[V_{DD} \times \left(\frac{D}{2^n} \right) \times \left(\frac{R1 + R2}{R1} \right) \right] - V_{DD} \times \left(\frac{R2}{R1} \right)$$

ここで、 D は入力コードと等価な10進値を表し、 n はDACのビット分解能を表します。

$V_{DD} = 5$ V、 $R1 = R2 = 10$ k Ω のときに、出力電圧は次式で表すことができます。

$$V_o = \left(\frac{10 \times D}{2^n} \right) - 5$$

出力電圧範囲は ± 5 Vとなり、0x0000が-5V出力、0xFFFFが+5V出力に相当します。

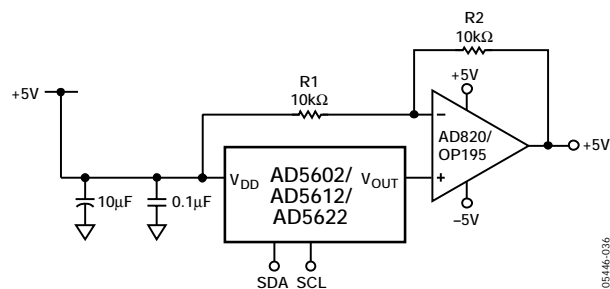


図50. AD5602/AD5612/AD5622を使用したバイポーラ動作

電源のバイパスとグラウンディング

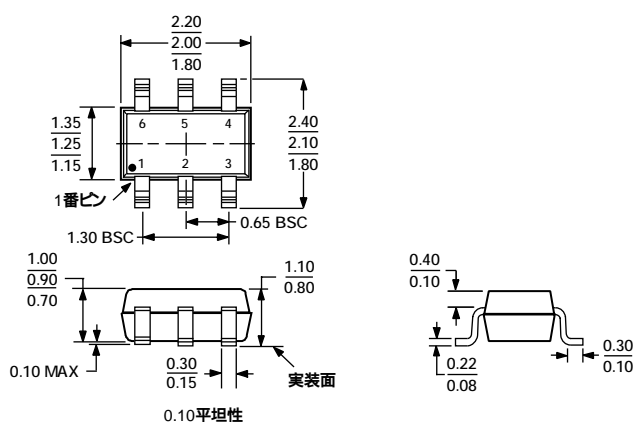
精度が重視される回路では、ボード上の電源とグラウンド・リターンのレイアウトに注意してください。AD5602/AD5612/AD5622を実装するプリント回路ボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれまとめて配置するように設計してください。複数のデバイスがAGNDとDGND間の接続を必要とするシステムでAD5602/AD5612/AD5622を使用する場合は、必ず1ヵ所のみでこの接続を行ってください。グラウンド・ポイントは、AD5602/AD5612/AD5622のできるかぎり近くに配置してください。

AD5602/AD5612/AD5622の電源は、10 μ Fと0.1 μ Fのコンデンサを使用してバイパスします。コンデンサはデバイスのできるだけ近くに配置し、0.1 μ Fのコンデンサは理想的にはデバイスの真上に配置してください。10 μ Fコンデンサはタンタルのビード型を使います。0.1 μ Fコンデンサは、セラミック型の等価直列抵抗 (ESR) が小さく、かつ等価直列インダクタンス (ESL) が小さいものを使うことが重要です。この0.1 μ Fのコンデンサは、内部ロジックのスイッチングによる過渡電流によって発生する高周波に対して、グラウンドへの低インピーダンス・パスを提供します。

電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を低減させるようにします。クロックとその他の高速スイッチング・デジタル信号は、デジタル・グラウンドを用いてボード上の他の部分からシールドします。デジタル信号とアナログ信号は、できるだけ交差しないようにしてください。ボードの反対側のパターンは、互いに直角になるように配置し、ボードを通過するフィードスルーの影響を削減します。最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンをハンダ面に配置するマイクロストリップ技術ですが、2層ボードでは必ずしも使用できるとは限りません。

AD5602/AD5612/AD5622

外形寸法



JEDEC規格MO-203-ABに準拠

図51. 6ピン・プラスチック表面実装パッケージ [SC70]
(KS-6)

寸法単位 : mm

オーダー・ガイド

モデル	INL (最大)	サポートするI ² C インターフェース・ モード	温度範囲	電源電圧 範囲	パッケージ・ オプション	パッケージ	マーキング
AD5602YKSZ-1500RL7 ¹	± 0.5LSB	標準、ファースト、 ハイスピード	- 40 ~ + 125	2.7 ~ 5.5V	KS-6	6ピンSC70	D5W
AD5602YKSZ-1REEL7 ¹	± 0.5LSB	標準、ファースト、 ハイスピード	- 40 ~ + 125	2.7 ~ 5.5V	KS-6	6ピンSC70	D5W
AD5602BKSZ-2500RL7 ¹	± 0.5LSB	標準、ファースト	- 40 ~ + 85	2.7 ~ 5.5V	KS-6	6ピンSC70	D5X
AD5602BKSZ-2REEL7 ¹	± 0.5LSB	標準、ファースト	- 40 ~ + 85	2.7 ~ 5.5V	KS-6	6ピンSC70	D5X
AD5602YKSZ-2500RL7 ¹	± 0.5LSB	標準、ファースト	- 40 ~ + 125	2.7 ~ 5.5V	KS-6	6ピンSC70	D5Y
AD5602YKSZ-2REEL7 ¹	± 0.5LSB	標準、ファースト	- 40 ~ + 125	2.7 ~ 5.5V	KS-6	6ピンSC70	D5Y
AD5612YKSZ-1500RL7 ¹	± 0.5LSB	標準、ファースト、 ハイスピード	- 40 ~ + 125	2.7 ~ 5.5V	KS-6	6ピンSC70	D5T
AD5612YKSZ-1REEL7 ¹	± 0.5LSB	標準、ファースト、 ハイスピード	- 40 ~ + 125	2.7 ~ 5.5V	KS-6	6ピンSC70	D5T
AD5612BKSZ-2500RL7 ¹	± 0.5LSB	標準、ファースト	- 40 ~ + 85	2.7 ~ 5.5V	KS-6	6ピンSC70	D5U
AD5612BKSZ-2REEL7 ¹	± 0.5LSB	標準、ファースト	- 40 ~ + 85	2.7 ~ 5.5V	KS-6	6ピンSC70	D5U
AD5612AKSZ-2500RL7 ¹	± 4LSB	標準、ファースト	- 40 ~ + 85	2.7 ~ 5.5V	KS-6	6ピンSC70	D60
AD5612AKSZ-2REEL7 ¹	± 4LSB	標準、ファースト	- 40 ~ + 85	2.7 ~ 5.5V	KS-6	6ピンSC70	D60
AD5612YKSZ-2500RL7 ¹	± 0.5LSB	標準、ファースト	- 40 ~ + 125	2.7 ~ 5.5V	KS-6	6ピンSC70	D55
AD5612YKSZ-2REEL7 ¹	± 0.5LSB	標準、ファースト	- 40 ~ + 125	2.7 ~ 5.5V	KS-6	6ピンSC70	D55
AD5622YKSZ-1500RL7 ¹	± 2LSB	標準、ファースト、 ハイスピード	- 40 ~ + 125	2.7 ~ 5.5V	KS-6	6ピンSC70	D5M
AD5622YKSZ-1REEL7 ¹	± 2LSB	標準、ファースト、 ハイスピード	- 40 ~ + 125	2.7 ~ 5.5V	KS-6	6ピンSC70	D5M
AD5622BKSZ-2500RL7 ¹	± 2LSB	標準、ファースト	- 40 ~ + 85	2.7 ~ 5.5V	KS-6	6ピンSC70	D5N
AD5622BKSZ-2REEL7 ¹	± 2LSB	標準、ファースト	- 40 ~ + 85	2.7 ~ 5.5V	KS-6	6ピンSC70	D5N
AD5622YKSZ-2500RL7 ¹	± 2LSB	標準、ファースト	- 40 ~ + 125	2.7 ~ 5.5V	KS-6	6ピンSC70	D5P
AD5622YKSZ-2REEL7 ¹	± 2LSB	標準、ファースト	- 40 ~ + 125	2.7 ~ 5.5V	KS-6	6ピンSC70	D5P

AD5602/AD5612/AD5622

モデル	INL (最大)	サポートするI ² C インターフェース・ モード	温度範囲	電源電圧 範囲	パッケージ・ オプション	パッケージ	マーキング
AD5622WKSZ-1500RL7 ¹	± 6LSB	標準、ファースト、 ハイスピード	- 40 ~ + 125	2.7 ~ 5.5V	KS-6	6ピンSC70	D5Q
AD5622WKSZ-1REEL7 ¹	± 6LSB	標準、ファースト、 ハイスピード	- 40 ~ + 125	2.7 ~ 5.5V	KS-6	6ピンSC70	D5Q
AD5622AKSZ-2500RL7 ¹	± 6LSB	標準、ファースト	- 40 ~ + 85	2.7 ~ 5.5V	KS-6	6ピンSC70	D5R
AD5622AKSZ-2REEL7 ¹	± 6LSB	標準、ファースト	- 40 ~ + 85	2.7 ~ 5.5V	KS-6	6ピンSC70	D5R

¹ Z = 鉛フリー製品

D05446-0-8/05(A)-J

アナログ・デバイゼス社またはその二次ライセンスを受けた関連会社からライセンスの対象となるI²Cコンポーネントを購入した場合、購入者にはこれらのコンポーネントをI²Cシステムで使用するフィリップス社のI²Cの特許権に基づくライセンスが許諾されます。ただし、フィリップス社が規定するI²C規格仕様に準拠したシステムが必要です。