



# リファレンスとSPIインターフェース内蔵の 8チャンネル、12ビット、可変設定ADC/DAC

データシート

AD5592R

## 特長

8チャンネルADC/DAC/GPIO コンフィギュラブル素子

次の素子の組み合わせが設定可能:

- 8 × 12ビットDACチャンネル
- 8 × 12ビットADCチャンネル
- 8 × 汎用デジタル入力/出力ピン

温度センサーを内蔵

SPIインターフェースを内蔵

次のパッケージで提供

- 16ボールの2mm × 2mm WLCSP
- 16ピンの3mm × 3mm LFCSP
- 16ピンのTSSOP

## アプリケーション

制御と監視装置

汎用のアナログおよびデジタル入力/出力

## 概要

AD5592R/AD5592R-1は8本のI/Oxピン(I/O0~I/O7)を持っています。これらのピンは、D/Aコンバータ(DAC)出力、A/Dコンバータ(ADC)入力、デジタル出力、またはデジタル入力として個別に設定することができます。I/Oxピンをアナログ出力に設定した場合、12ビットDACとして駆動することができます。DACの出力範囲は、0V~V<sub>REF</sub>または0V~2×V<sub>REF</sub>です。I/Ox

ピンをアナログ入力に設定した場合、アナログ・マルチプレクサを介して12ビットADCに接続されます。ADCの入力範囲は、0V~V<sub>REF</sub>または0V~2×V<sub>REF</sub>です。ADCの合計スループット・レートは400kSPSです。また、I/Oxピンをデジタル汎用入力/出力(GPIO)ピンに設定することもできます。シリアル・ペリフェラル・インターフェース(SPI)の書き込み動作または読み出し動作で、それぞれGPIO書き込みデータ・レジスタまたはGPIO読み出し設定レジスタをアクセスすることにより、GPIOピンの状態を設定またはリードバックすることができます。

AD5592R/AD5592R-1は2.5V、25ppm/°Cのリファレンス電圧(デフォルトではターンオフ)と温度インジケータ(チップ温度表示用)を内蔵しています。温度値は、ADC読み出しシーケンスの一部としてリードバックされます。

AD5592R/AD5592R-1は、16ボールの2mm × 2mm WLCSP、16ピンの3mm × 3mm LFCSP、または16ピンのTSSOPの各パッケージを採用しています。AD5592R/AD5592R-1は、-40°C~+105°Cの温度範囲で動作します。

表 1. 関連製品

Part No.	Description
AD5593R	AD5592R equivalent with V <sub>LOGIC</sub> and RESET pins and an I <sup>2</sup> C interface

## 機能ブロック図

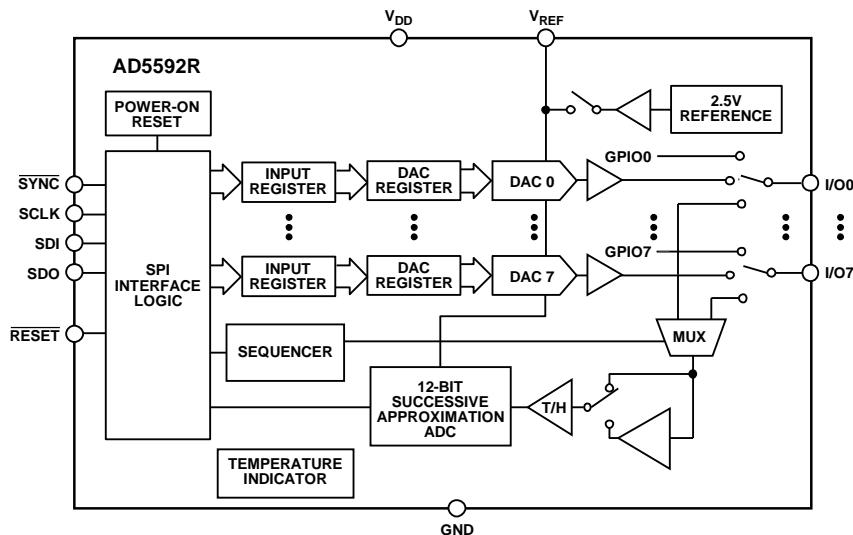


図 1. AD5592R 機能ブロック図

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許その他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. A

©2015 Analog Devices, Inc. All rights reserved.

## 目次

特長.....	1	シリアル・インターフェース.....	24
アプリケーション.....	1	パワーアップ時間.....	24
概要.....	1	書き込みモード.....	24
機能ブロック図.....	1	読み出しモード.....	24
改訂履歴.....	2	AD5592R/AD5592R-1 の設定.....	25
機能ブロック図 (AD5592R-1).....	3	汎用コントロール・レジスタ.....	26
仕様.....	4	DAC 書き込み動作.....	27
タイミング特性.....	7	DAC リードバック.....	28
絶対最大定格.....	9	ADC 動作.....	29
熱抵抗.....	9	GPIO 動作.....	33
ESD の注意.....	9	スリーステート・ピン.....	35
ピン配置およびピン機能説明.....	10	85 K $\Omega$ プルダウン抵抗ピン.....	35
代表的な性能特性.....	14	パワーダウン・モード.....	36
用語.....	19	リセット機能.....	37
ADC 用語.....	19	リードバックおよび LDAC モード・レジスタ.....	37
DAC 用語.....	20	アプリケーション情報.....	38
動作原理.....	22	マイクロプロセッサ・インターフェース.....	38
DAC セクション.....	22	AD5592R/AD5592R-1 と SPI とのインターフェース.....	38
ADC セクション.....	23	AD5592R/AD5592R-1 と SPORT のインターフェース.....	38
GPIO セクション.....	23	レイアウトのガイドライン.....	38
内蔵リファレンス.....	23	外形寸法.....	39
RESET 機能.....	23	オーダー・ガイド.....	40
温度インジケータ.....	23		

## 改訂履歴

## 10/14—Rev. 0 to Rev. A

Added 16-Lead TSSOP.....	Universal
Changes to Gain Error; Table 2.....	4
Changes to Table 6.....	10
Added Figure 6 and Table 8.....	12
Added Figure 8 and Table 10.....	14
Changes to Table 12.....	25
Added Figure 48; Outline Dimensions.....	40
Changes to Ordering Guide.....	41

## 8/14—Revision 0: Initial Version

機能ブロック図 (AD5592R-1)

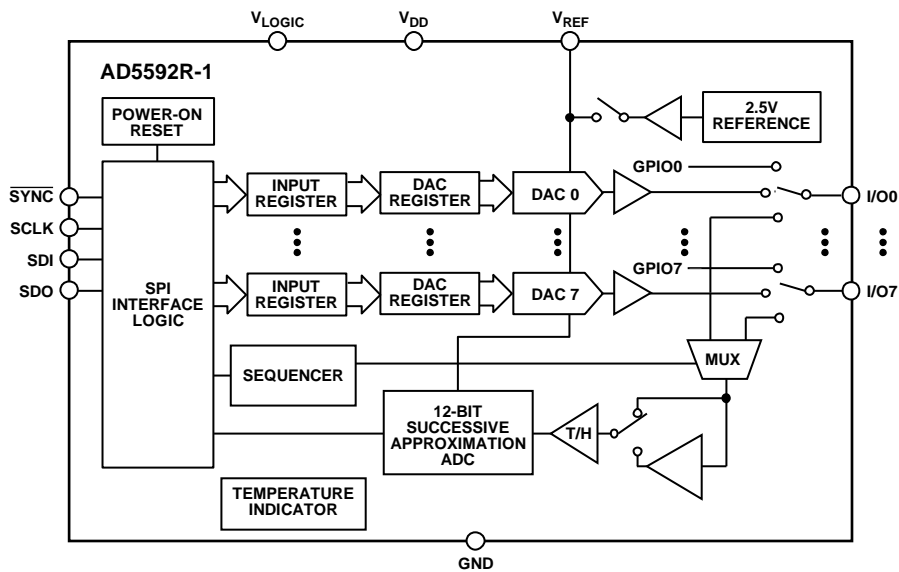


図 2.AD5592R-1 機能ブロック図

## 仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{REF} = 2.5\text{ V}$  (外付け)、 $R_L = 2\text{ k}\Omega$  (GNDへ接続)、 $C_L = 200\text{ pF}$  (GNDへ接続)、 $T_A = T_{MIN} \sim T_{MAX}$ 、温度範囲 =  $-40^\circ\text{C} \sim +105^\circ\text{C}$ 。

表 2.

Parameter	Min	Typ	Max	Unit <sup>1</sup>	Test Conditions/Comments
<b>ADC PERFORMANCE</b>					$f_{IN} = 10\text{ kHz sine wave}$
Resolution		12		Bits	
Input Range	0		$V_{REF}$	V	When using the internal ADC buffer, there is a dead band of 0 V to 5 mV
	0		$2 \times V_{REF}$	V	
Integral Nonlinearity (INL)	-2		+2	LSB	
Differential Nonlinearity (DNL)	-1		+1	LSB	
Offset Error			$\pm 5$	mV	
Gain Error			0.3	% FSR	
Throughput Rate <sup>2</sup>			400	kSPS	
Track Time ( $t_{TRACK}$ ) <sup>2</sup>	500			ns	
Conversion Time ( $t_{CONV}$ ) <sup>2</sup>			2	$\mu\text{s}$	
Signal-to-Noise Ratio (SNR)		69		dB	$V_{DD} = 2.7\text{ V}$ , input range = 0 V to $V_{REF}$
		67		dB	$V_{DD} = 5.5\text{ V}$ , input range = 0 V to $V_{REF}$
		61		dB	$V_{DD} = 5.5\text{ V}$ , input range = 0 V to $2 \times V_{REF}$
Signal-to-Noise-and-Distortion (SINAD) Ratio		69		dB	$V_{DD} = 2.7\text{ V}$ , input range = 0 V to $V_{REF}$
		67		dB	$V_{DD} = 3.3\text{ V}$ , input range = 0 V to $V_{REF}$
		60		dB	$V_{DD} = 5.5\text{ V}$ , input range = 0 V to $2 \times V_{REF}$
Total Harmonic Distortion (THD)		-91		dB	$V_{DD} = 2.7\text{ V}$ , input range = 0 V to $V_{REF}$
		-89		dB	$V_{DD} = 3.3\text{ V}$ , input range = 0 V to $V_{REF}$
		-72		dB	$V_{DD} = 5.5\text{ V}$ , input range = 0 V to $2 \times V_{REF}$
Peak Harmonic or Spurious Noise (SFDR)		91		dB	$V_{DD} = 2.7\text{ V}$ , input range = 0 V to $V_{REF}$
		91		dB	$V_{DD} = 3.3\text{ V}$ , input range = 0 V to $V_{REF}$
		72		dB	$V_{DD} = 5.5\text{ V}$ , input range = 0 V to $2 \times V_{REF}$
Aperture Delay <sup>2</sup>		15		ns	$V_{DD} = 3\text{ V}$
		12		ns	$V_{DD} = 5\text{ V}$
Aperture Jitter <sup>2</sup>		50		ps	
Channel-to-Channel Isolation		-95		dB	$f_{IN} = 5\text{ kHz}$
Input Capacitance		45		pF	
Full Power Bandwidth		8.2		MHz	At 3 dB
		1.6		MHz	At 0.1 dB
<b>DAC PERFORMANCE<sup>3</sup></b>					
Resolution		12		Bits	
Output Range	0		$V_{REF}$	V	
	0		$2 \times V_{REF}$	V	
Integral Nonlinearity (INL)	-1		+1	LSB	
Differential Nonlinearity (DNL)	-1		+1	LSB	
Offset Error	-3		+3	mV	
Offset Error Drift <sup>2</sup>		8		$\mu\text{V}/^\circ\text{C}$	
Gain Error			$\pm 0.2$	% FSR	Output range = 0 V to $V_{REF}$
			$\pm 0.1$	% FSR	Output range = 0 V to $2 \times V_{REF}$
Zero Code Error		0.65	2	mV	
Total Unadjusted Error		$\pm 0.03$	$\pm 0.25$	% FSR	Output range = 0 V to $V_{REF}$
		$\pm 0.015$	$\pm 0.1$	% FSR	Output range = 0 V to $2 \times V_{REF}$
Capacitive Load Stability <sup>2</sup>			2	nF	$R_{LOAD} = \infty$
			10	nF	$R_{LOAD} = 1\text{ k}\Omega$
Resistive Load	1			k $\Omega$	
Short-Circuit Current		25		mA	

Parameter	Min	Typ	Max	Unit <sup>1</sup>	Test Conditions/Comments
DC Crosstalk <sup>2</sup>	-4		+4	$\mu\text{V}$	Due to single channel, full-scale output change
DC Output Impedance		0.2		$\Omega$	
DC Power Supply Rejection Ratio (PSRR) <sup>2</sup>		0.15		mV/V	DAC code = midscale, $V_{\text{DD}} = 3\text{ V} \pm 10\%$ or $5\text{ V} \pm 10\%$
Load Impedance at Rails <sup>4</sup>		25		$\Omega$	
Load Regulation		200		$\mu\text{V}/\text{mA}$	$V_{\text{DD}} = 5\text{ V} \pm 10\%$ , DAC code = midscale, $-10\text{ mA} \leq I_{\text{OUT}} \leq +10\text{ mA}$
		200		$\mu\text{V}/\text{mA}$	$V_{\text{DD}} = 3\text{ V} \pm 10\%$ , DAC code = midscale, $-10\text{ mA} \leq I_{\text{OUT}} \leq +10\text{ mA}$
Power-Up Time		7		$\mu\text{s}$	Coming out of power-down mode, $V_{\text{DD}} = 5\text{ V}$
<b>AC SPECIFICATIONS</b>					
Slew Rate		1.25		$\text{V}/\mu\text{s}$	Measured from 10% to 90% of full scale
Settling Time		6		$\mu\text{s}$	$1/4$ scale to $3/4$ scale settling to 1 LSB
DAC Glitch Impulse		2		nV-sec	
DAC to DAC Crosstalk		1		nV-sec	
Digital Crosstalk		0.1		nV-sec	
Analog Crosstalk		1		nV-sec	
Digital Feedthrough		0.1		nV-sec	
Multiplying Bandwidth		240		kHz	DAC code = full scale, output range = 0 V to $V_{\text{REF}}$
Output Voltage Noise Spectral Density		200		$\text{nV}/\sqrt{\text{Hz}}$	DAC code = midscale, output range = 0 V to $2 \times V_{\text{REF}}$ , measured at 10 kHz
Signal-to-Noise Ratio (SNR)		81		dB	
Peak Harmonic or Spurious Noise (SFDR)		77		dB	
Signal-to-Noise-and-Distortion (SINAD) Ratio		74		dB	
Total Harmonic Distortion (THD)		-76		dB	
<b>REFERENCE INPUT</b>					
$V_{\text{REF}}$ Input Voltage	1		$V_{\text{DD}}$	V	
DC Leakage Current	-1		+1	$\mu\text{A}$	No I/Ox pins configured as DACs
Reference Input Impedance		12		k $\Omega$	DAC output range = 0 V to $2 \times V_{\text{REF}}$
		24		k $\Omega$	DAC output range = 0 V to $V_{\text{REF}}$
<b>REFERENCE OUTPUT</b>					
$V_{\text{REF}}$ Output Voltage	2.495	2.5	2.505	V	At ambient
$V_{\text{REF}}$ Temperature Coefficient		20		ppm/ $^{\circ}\text{C}$	
Capacitive Load Stability		5		$\mu\text{F}$	$R_{\text{L}} = 2\text{ k}\Omega$
Output Impedance <sup>2</sup>		0.15		$\Omega$	$V_{\text{DD}} = 2.7\text{ V}$
		0.7		$\Omega$	$V_{\text{DD}} = 5\text{ V}$
Output Voltage Noise		10		$\mu\text{V}$ p-p	0.1 Hz to 10 Hz
Output Voltage Noise Density		240		$\text{nV}/\sqrt{\text{Hz}}$	At ambient, $f = 10\text{ kHz}$ , $C_{\text{L}} = 10\text{ nF}$
Line Regulation		20		$\mu\text{V}/\text{V}$	At ambient, sweeping $V_{\text{DD}}$ from 2.7 V to 5.5 V
		10		$\mu\text{V}/\text{V}$	At ambient, sweeping $V_{\text{DD}}$ from 2.7 V to 3.3 V
Load Regulation					
Sourcing		210		$\mu\text{V}/\text{mA}$	At ambient, $-5\text{ mA} \leq \text{load current} \leq +5\text{ mA}$
Sinking		120		$\mu\text{V}/\text{mA}$	At ambient, $-5\text{ mA} \leq \text{load current} \leq +5\text{ mA}$
Output Current Load Capability		$\pm 5$		mA	$V_{\text{DD}} \geq 3\text{ V}$
<b>GPIO OUTPUT</b>					
$I_{\text{SOURCE}}$ , $I_{\text{SINK}}$		1.6		mA	
Output Voltage					
High ( $V_{\text{OH}}$ )	$V_{\text{DD}} - 0.2$			V	$I_{\text{SOURCE}} = 1\text{ mA}$
Low ( $V_{\text{OL}}$ )			0.4	V	$I_{\text{SOURCE}} = 1\text{ mA}$

Parameter	Min	Typ	Max	Unit <sup>1</sup>	Test Conditions/Comments
<b>GPIO INPUT</b>					
Input Voltage					
High ( $V_{IH}$ )	$0.7 \times V_{DD}$			V	
Low ( $V_{IL}$ )			$0.3 \times V_{DD}$	V	
Input Capacitance		20		pF	
Hysteresis		0.2		V	
Input Current		$\pm 1$		$\mu A$	
<b>LOGIC INPUTS</b>					
AD5592R Input Voltage					
High ( $V_{INH}$ )	$0.7 \times V_{DD}$			V	
Low ( $V_{INL}$ )			$0.3 \times V_{DD}$	V	
AD5592R-1 Input Voltage					
High ( $V_{INH}$ )	$0.7 \times V_{LOGIC}$			V	
Low ( $V_{INL}$ )			$0.3 \times V_{LOGIC}$	V	
Input Current ( $I_{IN}$ )	-1		+1	$\mu A$	Typically 10 nA, $\overline{RESET} = 1 \mu A$ typical
Input Capacitance ( $C_{IN}$ )			10	pF	
<b>LOGIC OUTPUT (SDO)</b>					
Output High Voltage ( $V_{OH}$ )					
AD5592R	$V_{DD} - 0.2$			V	$I_{SOURCE} = 200 \mu A$ , $V_{DD} = 2.7 V$ to $5.5 V$
AD5592R-1	$V_{LOGIC} - 0.2$			V	$I_{SOURCE} = 200 \mu A$ , $V_{DD} = 2.7 V$ to $5.5 V$
Output Low Voltage ( $V_{OL}$ )			0.4	V	$I_{SINK} = 200 \mu A$
Floating-State Output Capacitance		10		pF	
<b>TEMPERATURE SENSOR<sup>2</sup></b>					
Resolution		12		Bits	
Operating Range	-40		+105	$^{\circ}C$	
Accuracy		$\pm 3$		$^{\circ}C$	
Track Time			5	$\mu s$	ADC buffer enabled
			20	$\mu s$	ADC buffer disabled
<b>POWER REQUIREMENTS</b>					
$V_{DD}$	2.7		5.5	V	
$I_{DD}$			2.7	mA	Digital inputs = 0 V or $V_{DD}$ , I/O0 to I/O7 configured as DACs and ADCs, internal reference on, ADC buffer on, DAC code = 0xFFF, range is 0 V to $2 \times V_{REF}$ for DACs and ADCs
Power-Down Mode					
$V_{DD} = 5 V$ (Normal Mode)		1.6	3.5	$\mu A$	I/O0 to I/O7 are DACs, internal reference, gain = 2
		1		mA	I/O0 to I/O7 are DACs, external reference, gain = 2
		2.4		mA	I/O0 to I/O7 are DACs and sampled by the ADC, internal reference, gain = 2
		1.1		mA	I/O0 to I/O7 are DACs and sampled by the ADC, external reference, gain = 2
		1		mA	I/O0 to I/O7 are ADCs, internal reference, gain = 2
		0.75		mA	I/O0 to I/O7 are ADCs, external reference, gain = 2
		0.5		mA	I/O0 to I/O7 are general-purpose outputs
		0.5		mA	I/O0 to I/O7 are general-purpose inputs
		0.5		mA	I/O0 to I/O3 are general-purpose outputs, I/O4 to I/O7 are general-purpose inputs

Parameter	Min	Typ	Max	Unit <sup>1</sup>	Test Conditions/Comments
$V_{DD} = 3\text{ V}$ (Normal Mode)		1.1		mA	I/O0 to I/O7 are DACs, internal reference, gain = 1
		1		mA	I/O0 to I/O7 are DACs, external reference, gain = 1
		1.1		mA	I/O0 to I/O7 are DACs and sampled by the ADC, internal reference, gain = 1
		0.78		mA	I/O0 to I/O7 are DACs and sampled by the ADC, external reference, gain = 1
		0.75		mA	I/O0 to I/O7 are ADCs, internal reference, gain = 1
		0.5		mA	I/O0 to I/O7 are ADCs, external reference, gain = 1
		0.45		mA	I/O0 to I/O7 are general-purpose outputs
		0.45		mA	I/O0 to I/O7 are general-purpose inputs

<sup>1</sup> デシベル値で表すすべての仕様はフルスケール入力 FSR を基準とし、特に指定がない限り、フルスケールより 0.5 dB 低い入力信号を使ってテスト。

<sup>2</sup> デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

<sup>3</sup> 特に指定がない限り、DC 仕様は出力無負荷でテスト。直線性は 8~4095 のコード範囲を使って計算。 $V_{REF} = V_{DD}$  の場合、10 mV の上側デッドバンドはありません。

<sup>4</sup> いずれかの電源レールから負荷電流を取り出すとき、その電源レールに対する出力電圧のヘッドルームは、出力デバイスのチャンネル抵抗 25  $\Omega$  (typ) により制限されます。例えば、1 mA のシンク電流の場合、最小出力電圧 = 25  $\Omega$  × 1 mA = 25 mV となります (図 32 参照)。

## タイミング特性

設計とキャラクタライゼーションで保証しますが、出荷テストは行いません。すべての入力信号は  $t_r = t_f = 5\text{ ns}$  ( $V_{DD}$  の 10% から 90%) で規定し、電圧レベル  $(V_{IL} + V_{IH})/2$  からの時間とします。特に指定がない限り、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 3.AD5592R のタイミング特性

Parameter	$2.7\text{ V} \leq V_{DD} < 3\text{ V}$	$3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	Unit	Test Conditions/Comments
$t_1$	33	20	ns min	SCLK cycle time, write operation
	50	50	ns min	SCLK cycle time, read operation
$t_2$	16	10	ns min	SCLK high time
$t_3$	16	10	ns min	SCLK low time
$t_4$	15	10	ns min	$\overline{\text{SYNC}}$ to SCLK falling edge setup time
	2	2	$\mu\text{s}$ max	$\overline{\text{SYNC}}$ to SCLK falling edge setup time
$t_5$	7	7	ns min	Data setup time
$t_6$	5	5	ns min	Data hold time
$t_7$	15	10	ns min	SCLK falling edge to $\overline{\text{SYNC}}$ rising edge
$t_8$	30	30	ns min	Minimum $\overline{\text{SYNC}}$ high time for register write operations
	60	60	ns min	Minimum $\overline{\text{SYNC}}$ high time for register read operations
$t_9$	0	0	ns min	$\overline{\text{SYNC}}$ rising edge to next SCLK falling edge
$t_{10}$	25	25	ns max	SCLK rising edge to SDO valid

表 4.AD5592R-1 のタイミング特性

Parameter	1.8 V ≤ V <sub>LOGIC</sub> < 3 V	3 V ≤ V <sub>LOGIC</sub> ≤ 5.5 V	Unit	Test Conditions/Comments
t <sub>1</sub>	33	20	ns min	SCLK cycle time, write operation
	50	50	ns min	SCLK cycle time, read operation
t <sub>2</sub>	16	10	ns min	SCLK high time
t <sub>3</sub>	16	10	ns min	SCLK low time
t <sub>4</sub>	15	10	ns min	$\overline{\text{SYNC}}$ to SCLK falling edge setup time
	2	2	μs max	$\overline{\text{SYNC}}$ to SCLK falling edge setup time
t <sub>5</sub>	7	7	ns min	Data setup time
t <sub>6</sub>	5	5	ns min	Data hold time
t <sub>7</sub>	15	10	ns min	SCLK falling edge to $\overline{\text{SYNC}}$ rising edge
t <sub>8</sub>	30	30	ns min	Minimum $\overline{\text{SYNC}}$ high time for write operations
	60	60	ns min	Minimum $\overline{\text{SYNC}}$ high time for register read operations
t <sub>9</sub>	0	0	ns min	$\overline{\text{SYNC}}$ rising edge to next SCLK falling edge
t <sub>10</sub>	40	25	ns max	SCLK rising edge to SDO valid

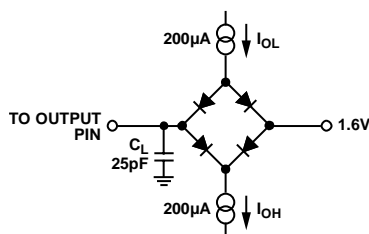


図 3.ロジック出力 (SDO) タイミング仕様の負荷回路

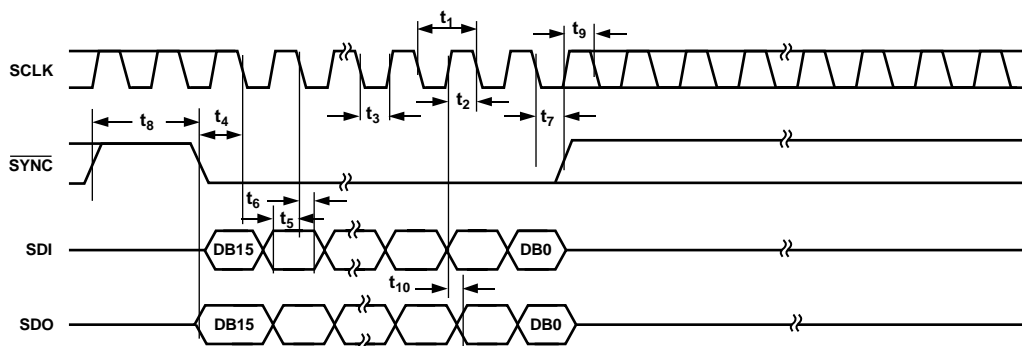


図 4.タイミング図



## 絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。最大 100 mA までの過渡電流では SCR ラッチ・アップは生じません。

表 5.

Parameter	Rating
$V_{DD}$ to GND	-0.3 V to +7 V
$V_{LOGIC}$ to GND	-0.3 V to +7 V
Analog Input Voltage to GND	-0.3 V to $V_{DD} + 0.3\text{ V}$
AD5592R	
Digital Input Voltage to GND	-0.3 V to $V_{DD} + 0.3\text{ V}$
Digital Output Voltage to GND	-0.3 V to $V_{DD} + 0.3\text{ V}$
AD5592R-1	
Digital Input Voltage to GND	-0.3 V to $V_{LOGIC} + 0.3\text{ V}$
Digital Output Voltage to GND	-0.3 V to $V_{LOGIC} + 0.3\text{ V}$
$V_{REF}$ to GND	-0.3 V to $V_{DD} + 0.3\text{ V}$
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature ( $T_J$ max)	150°C
Lead Temperature	JEDEC industry standard
Soldering	J-STD-020

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上での製品動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと製品の信頼性に影響を与えます。

## 熱抵抗

$\theta_{JA}$  はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 6.熱抵抗

Package Type	$\theta_{JA}$	Unit
16-Ball WLCSP	60	$^\circ\text{C/W}$
16-Lead LFCSP	137	$^\circ\text{C/W}$
16-Lead TSSOP	112	$^\circ\text{C/W}$

## ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

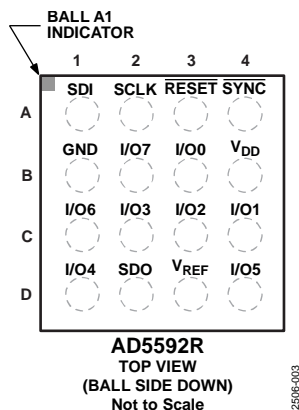


図 5.AD5592R 16 ボール WLCSP のピン配置

表 7.AD5592R 16 ボール WLCSP のピン機能説明

ピン番号	記号	説明
A1	SDI	シリアル・データ入力。ロジック入力。DAC とコントロール・レジスタに書込むデータはこのピンに入力され、SCLK の立下がりエッジでレジスタに書き込まれます。
A2	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジでシフトレジスタに書き込まれます。DAC への書き込みでは、データは最大 50 MHz のレートで転送することができます。AD 変換実行または AD5592R からのデータ読み出しでの SCLK の最大速度は 20 MHz です。
A3	RESET	非同期リセット・ピン。このピンは通常動作時にはハイ・レベルに固定します。このピンをロー・レベルにすると、AD5592R はデフォルト設定にリセットされます。
A4	SYNC	同期。アクティブ・ローの制御入力。SYNC は入出力データに対するフレーム同期信号です。SYNC がロー・レベルになると、データは次の 16 個のクロックの立下がりエッジで入出力されます。
B1	GND	AD5592R のすべての回路のグラウンド基準ポイント。
B2	I/O7	入力/出力 7。このピンは、DAC、ADC、または汎用のデジタル入力または出力に設定することができます。このピンの機能は、I/Ox ピン設定レジスタから指定されます (表 13 と表 14 参照)。また、I/O7 は ADC 変換中を表示する BUSY 信号として設定することもできます (表 28 と表 29 参照)。
B3、C4、C3、C2、D1、D4、C1	I/O0~I/O6	入力/出力 0~入力/出力 6。これらのピンは、DAC、ADC、または汎用のデジタル入力または出力として独立に設定することができます。各ピンの機能は、I/Ox ピン設定レジスタから指定されます (表 13 と表 14 参照)。
B4	V <sub>DD</sub>	電源入力。AD5592R は 2.7 V~5.5 V で動作します。このピンは 0.1 μF のコンデンサで GND へデカップリングしてください。
D2	SDO	シリアル・データ出力。ロジック出力。ADC の変換結果、レジスタ読み出し、温度センサー情報が、シリアル・データ・ストリームとしてこのピンから出力されます。ビットは、SCLK 入力の立上がりエッジで出力されます。MSB は、SYNC の立下がりエッジで SDO ピンに出力されます。SCLK はハイまたはローにアイドルできるため、次のビットは、SYNC がロー・レベルのときの SCLK 立下がりエッジに続く、SCLK の最初の立上がりエッジで出力されます (図 4 参照)。
D3	V <sub>REF</sub>	リファレンス電圧入力/出力。内蔵リファレンス電圧をイネーブルすると、2.5 V のリファレンス電圧がこのピンに出力されます。AD5592R の規定性能を実現するためには、V <sub>REF</sub> ピンと GND との間に 0.1 μF のコンデンサを接続することが推奨されます。内蔵リファレンス電圧をディスエーブル場合は、外付けリファレンス電圧をこのピンに入力する必要があります。外付けリファレンスの電圧範囲は 1 V~V <sub>DD</sub> です。

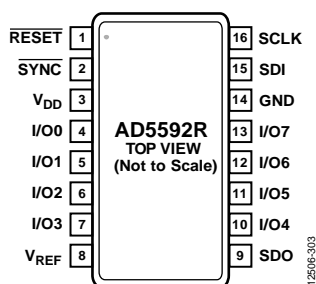


図 6.AD5592R 16 ピン TSSOP のピン配置

表 8.AD5592R 16 ピン TSSOP のピン機能説明

ピン番号	記号	説明
15	SDI	シリアル・データ入力。ロジック入力。DAC とコントロール・レジスタに書込むデータはこのピンに入力され、SCLK の立下がりエッジでレジスタに書き込まれます。
16	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジでシフトレジスタに入力されません。DAC への書き込みでは、データは最大 50 MHz のレートで転送することができます。変換実行または AD5592R からのデータ読み出しでの SCLK の最大速度は 20 MHz です。
1	RESET	非同期リセット・ピン。このピンは通常動作時にはハイ・レベルに固定します。このピンをロー・レベルにすると、AD5592R はデフォルト設定にリセットされます。
2	SYNC	同期ピン。アクティブ・ローの制御入力。SYNC は入出力データに対するフレーム同期信号です。SYNC がロー・レベルになると、データは次の 16 個のクロックの立下がりエッジで入出力されます。
14	GND	AD5592R のすべての回路のグラウンド基準ポイント。
13	I/O7	入力/出力 7。このピンは、DAC、ADC、または汎用のデジタル入力または出力に設定することができます。このピンの機能は、I/Ox ピン設定レジスタから指定されます (表 13 と表 14 参照)。また、I/O7 は ADC 変換中を表示する BUSY 信号として設定することもできます (表 28 と表 29 参照)。
4、5、6、7、10、11、12	I/O0~I/O6	入力/出力 0~入力/出力 6。これらのピンは、DAC、ADC、または汎用のデジタル入力または出力として独立に設定することができます。各ピンの機能は、I/Ox ピン設定レジスタから指定されます (表 13 と表 14 参照)。
3	V <sub>DD</sub>	電源入力。AD5592R は 2.7 V~5.5 V で動作します。このピンは 0.1 μF のコンデンサで GND ヘドカップリングする必要があります。
9	SDO	シリアル・データ出力。ロジック出力。ADC の変換結果、レジスタ読み出し、温度センサー情報が、シリアル・データ・ストリームとしてこのピンから出力されます。ビットは、SCLK 入力の立上がりエッジで出力されます。MSB は、SYNC の立下がりエッジで SDO ピンに出力されます。SCLK はハイまたはローにアイドルできるため、次のビットは、SYNC がロー・レベルのときの SCLK 立下がりエッジに続く、SCLK の最初の立上がりエッジで出力されます (図 4 参照)。
8	V <sub>REF</sub>	リファレンス電圧入力/出力。内蔵リファレンス電圧をイネーブルすると、2.5 V のリファレンス電圧がこのピンに出力されます。AD5592R の規定性能を実現するためには、V <sub>REF</sub> ピンと GND との間に 0.1 μF のコンデンサを接続することが推奨されます。内蔵リファレンス電圧をディスエーブル場合は、外付けリファレンス電圧をこのピンに入力する必要があります。外付けリファレンスの電圧範囲は 1 V~V <sub>DD</sub> です。

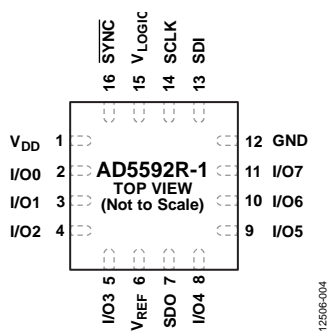


図 7.AD5592R-1 16 ピン LFCSP のピン配置

表 9.AD5592R-1 16 ピン LFCSP のピン機能説明

ピン番号	記号	説明
1	V <sub>DD</sub>	電源入力。AD5592R-1 は 2.7 V ~ 5.5 V で動作します。このピンは 0.1 μF のコンデンサで GND へデカップリングしてください。
2 to 5、8 to 10	I/O0 ~ I/O6	入力/出力 0 ~ 入力/出力 6。これらのピンは、DAC、ADC、または汎用のデジタル入力または出力として独立に設定することができます。各ピンの機能は、I/Ox ピン設定レジスタから指定されます (表 13 と表 14 参照)。
6	V <sub>REF</sub>	リファレンス電圧入力/出力。内蔵リファレンス電圧をイネーブルすると、2.5 V のリファレンス電圧がこのピンに出力されます。AD5592R-1 の規定性能を実現するためには、V <sub>REF</sub> ピンと GND との間に 0.1 μF のコンデンサを接続することが推奨されます。内蔵リファレンス電圧をディスエーブル場合は、外付けリファレンス電圧をこのピンに入力する必要があります。外付けリファレンスの電圧範囲は 1 V ~ V <sub>DD</sub> です。
7	SDO	シリアル・データ出力。ロジック出力。ADC の変換結果、レジスタ読み出し、温度センサー情報が、シリアル・データ・ストリームとしてこのピンから出力されます。ビットは、SCLK 入力の立上がりエッジで出力されます。MSB は、SYNC の立下がりエッジで SDO ピンに出力されます。SCLK はハイまたはローにアイドルできるため、次のビットは、SYNC がロー・レベルのときの SCLK 立下がりエッジに続く、SCLK の最初の立上がりエッジで出力されます (図 4 参照)。
11	I/O7	入力/出力 7。このピンは、DAC、ADC、または汎用のデジタル入力または出力に設定することができます。このピンの機能は、I/Ox ピン設定レジスタから指定されます (表 13 と表 14 参照)。また、I/O7 は ADC 変換中を表示する BUSY 信号として設定することもできます (表 28 と表 29 参照)。
12	GND	AD5592R-1 のすべての回路のグラウンド基準ポイント。
13	SDI	シリアル・データ入力。ロジック入力。DAC とコントロール・レジスタに書込むデータはこのピンに入力され、SCLK の立下がりエッジでレジスタに書き込まれます。
14	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジでシフトレジスタに書き込まれます。DAC への書き込みでは、データは最大 50 MHz のレートで転送することができます。変換実行または AD5592R-1 からのデータ読み出しでの SCLK の最大速度は 20 MHz です。
15	V <sub>LOGIC</sub>	インターフェース電源。このピンの電圧範囲は 1.8 V ~ 5.5 V。
16	SYNC	同期ピン。アクティブ・ローの制御入力。SYNC は入出力データに対するフレーム同期信号です。SYNC がロー・レベルになると、データは次の 16 個のクロックの立下がりエッジで入出力されます。

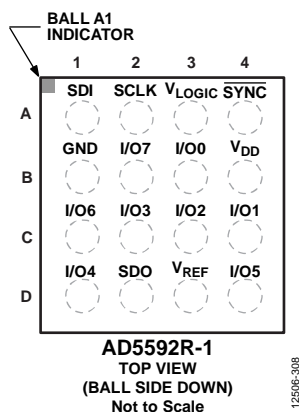


図 8.AD5592R-1 16 ボール WFCSP のピン配置

表 10.AD5592R-1 16 ピン WFCSP のピン機能説明

ピン番号	記号	説明
B4	V <sub>DD</sub>	電源入力。AD5592R-1 は 2.7 V ~ 5.5 V で動作します。このピンは 0.1 μF のコンデンサで GND へデカップリングしてください。
B3、C4、C3、C2、D1、D4、C1	I/O0 ~ I/O6	入力/出力 0 ~ 入力/出力 6。これらのピンは、DAC、ADC、または汎用のデジタル入力または出力として独立に設定することができます。各ピンの機能は、I/Ox ピン設定レジスタから指定されます (表 13 と表 14 参照)。
D3	V <sub>REF</sub>	リファレンス電圧入力/出力。内蔵リファレンス電圧をイネーブルすると、2.5 V のリファレンス電圧がこのピンに出力されます。AD5592R-1 の規定性能を実現するためには、V <sub>REF</sub> ピンと GND との間に 0.1 μF のコンデンサを接続することが推奨されます。内蔵リファレンス電圧をディスエーブル場合は、外付けリファレンス電圧をこのピンに入力する必要があります。外付けリファレンスの電圧範囲は 1 V ~ V <sub>DD</sub> です。
D2	SDO	シリアル・データ出力。ロジック出力。ADC の変換結果、レジスタ読み出し、温度センサー情報が、シリアル・データ・ストリームとしてこのピンから出力されます。ビットは、SCLK 入力の立上がりエッジで出力されます。MSB は、SYNC の立下がりエッジで SDO ピンに出力されます。SCLK はハイまたはローにアイドルできるため、次のビットは、SYNC がロー・レベルのときの SCLK 立下がりエッジに続く、SCLK の最初の立上がりエッジで出力されます (図 4 参照)。
B2	I/O7	入力/出力 7。このピンは、DAC、ADC、または汎用のデジタル入力または出力に設定することができます。このピンの機能は、I/Ox ピン設定レジスタから指定されます (表 13 と表 14 参照)。また、I/O7 は ADC 変換中を表示する BUSY 信号として設定することもできます (表 28 と表 29 参照)。
B1	GND	AD5592R-1 のすべての回路のグラウンド基準ポイント。
A1	SDI	シリアル・データ入力。ロジック入力。DAC とコントロール・レジスタに書込むデータはこのピンに入力され、SCLK の立下がりエッジでレジスタに書き込まれます。
A2	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジでシフトレジスタに書き込まれます。DAC への書き込みでは、データは最大 50 MHz のレートで転送することができます。変換実行または AD5592R-1 からのデータ読み出しでの SCLK の最大速度は 20 MHz です。
A3	V <sub>LOGIC</sub>	インターフェース電源。このピンの電圧範囲は 1.8 V ~ 5.5 V。
A4	SYNC	同期ピン。アクティブ・ローの制御入力。SYNC は入出力データに対するフレーム同期信号です。SYNC がロー・レベルになると、データは次の 16 個のクロックの立下がりエッジで転送されます。

代表的な性能特性

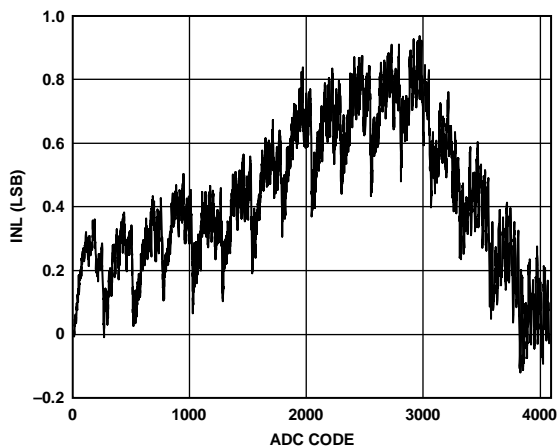


図 9.ADC INL、 $V_{DD} = 5.5\text{ V}$

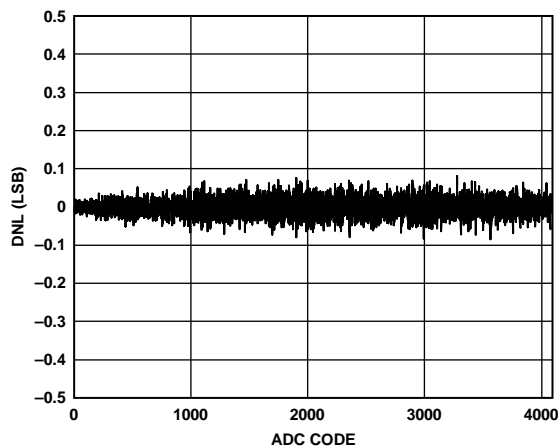


図 12.ADC DNL、 $V_{DD} = 2.7\text{ V}$

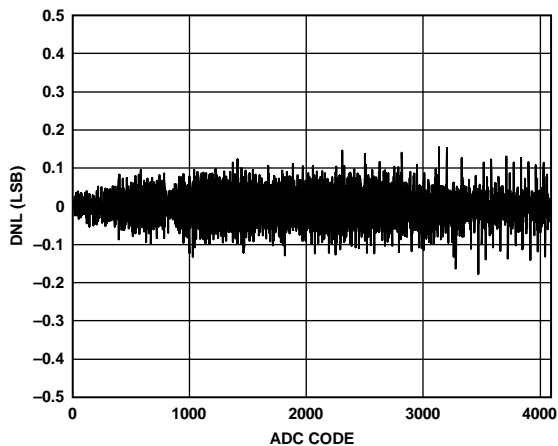


図 10.ADC DNL、 $V_{DD} = 5.5\text{ V}$

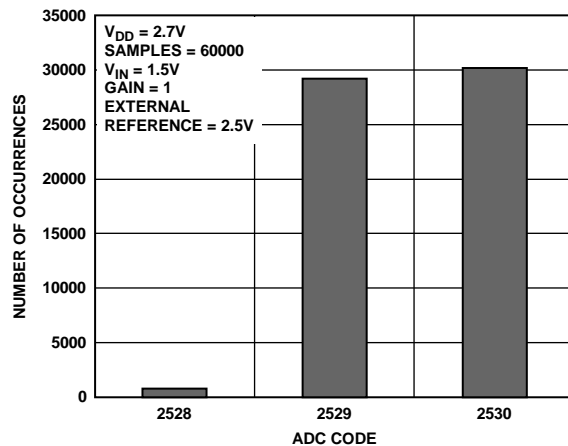


図 13.ADC コードのヒストグラム、 $V_{DD} = 2.7\text{ V}$

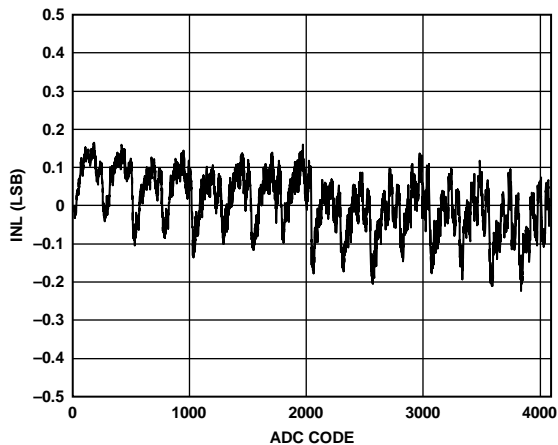


図 11.ADC INL、 $V_{DD} = 2.7\text{ V}$

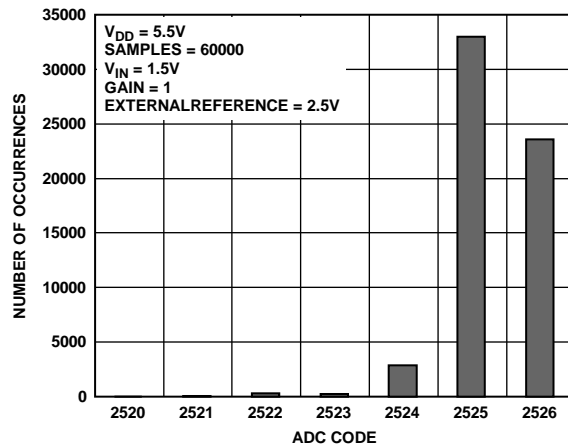


図 14.ADC コードのヒストグラム、 $V_{DD} = 5.5\text{ V}$

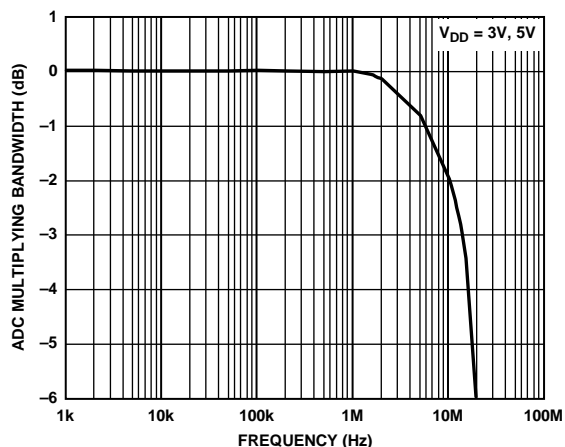


図 15.ADC 乗算帯域幅

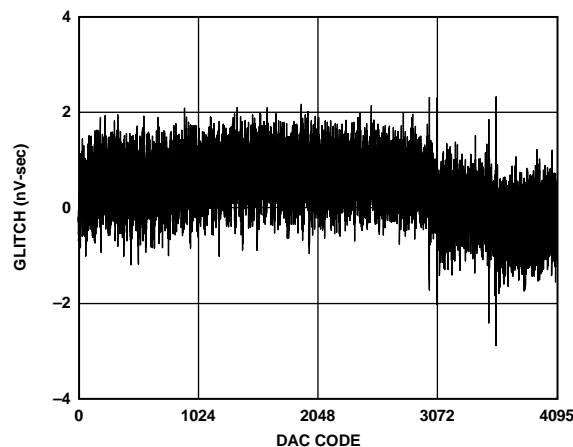


図 18.DAC 隣接コード・グリッチ

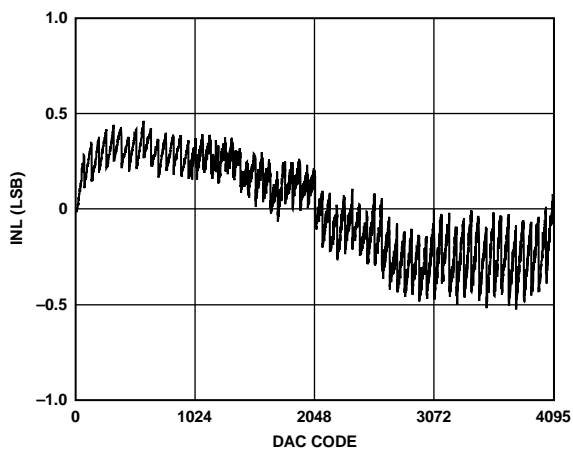


図 16.DAC INL

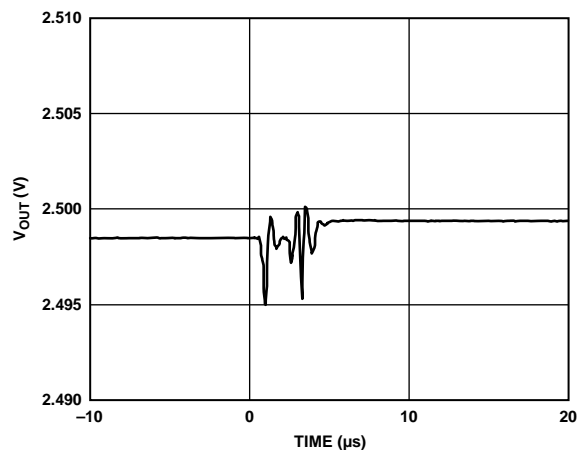


図 19.DAC グリッチ (立上がり)

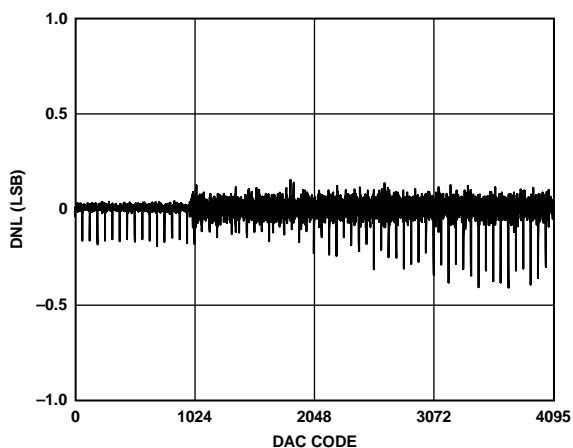


図 17.DAC DNL

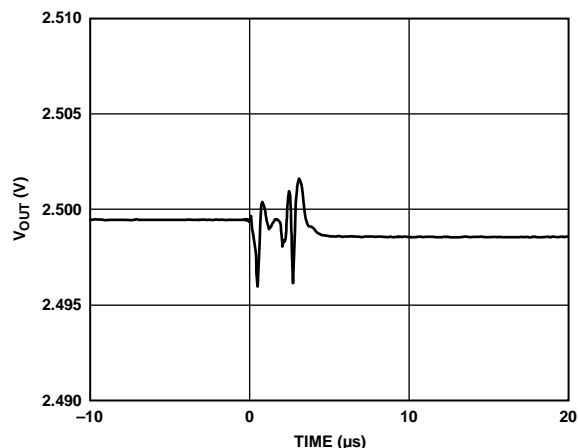


図 20.DAC グリッチ (立下がり)

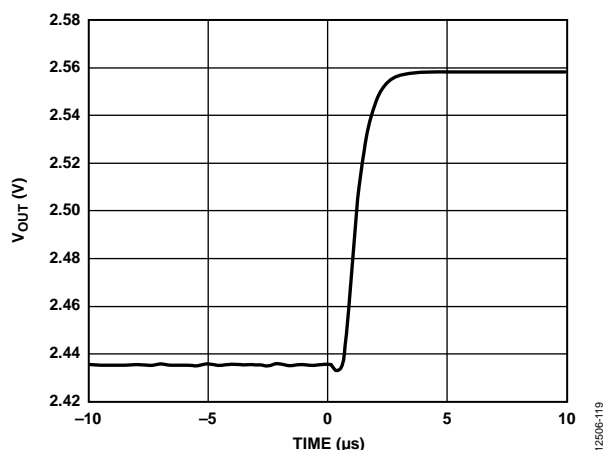


図 21.DAC セットリング・タイム  
(100 コード変化、立上がりエッジ)

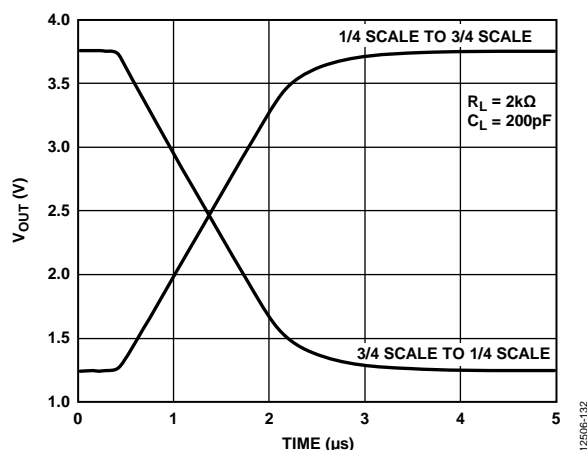


図 24.DAC セットリング・タイム  
出力範囲 = 0 V ~ 2 × V<sub>REF</sub>

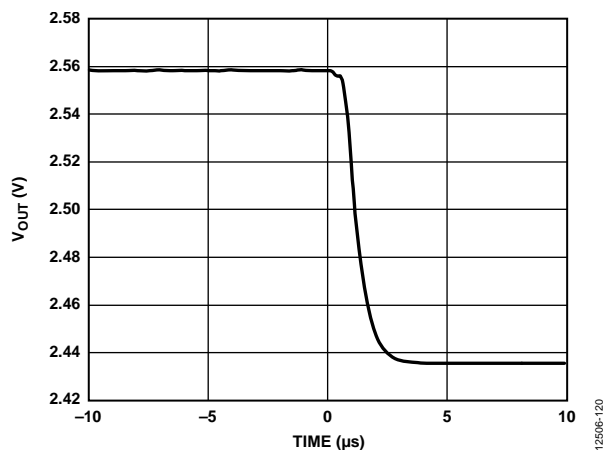


図 22.DAC セットリング・タイム  
(100 コード変化、立下がりエッジ)

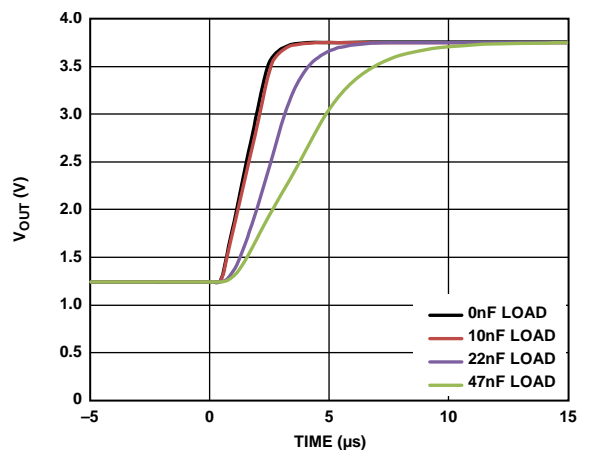


図 25.様々な容量負荷での DAC セットリング・タイム

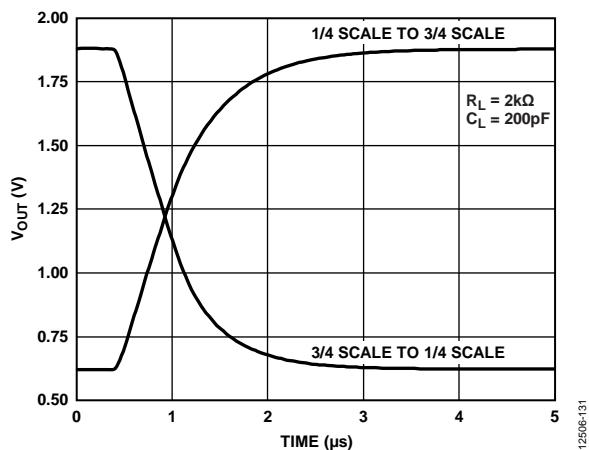


図 23.DAC セットリング・タイム  
出力範囲 = 0 V ~ V<sub>REF</sub>

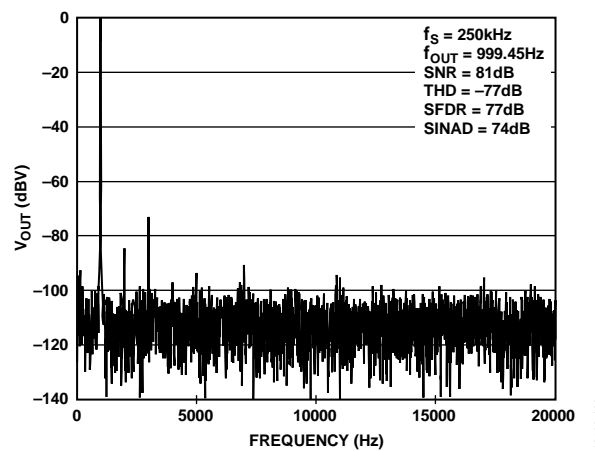


図 26.DAC 正弦波出力  
出力範囲 = 0 V ~ 2 × V<sub>REF</sub>、帯域幅 = 0 Hz ~ 20 kHz



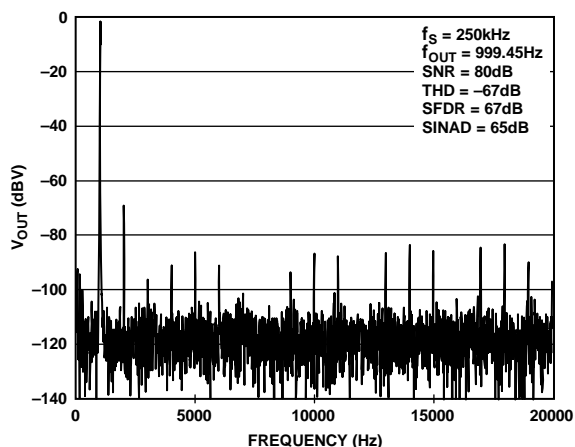


図 27. DAC 正弦波出力  
出力範囲 = 0 V ~  $V_{REF}$ 、帯域幅 = 0 Hz ~ 20 kHz

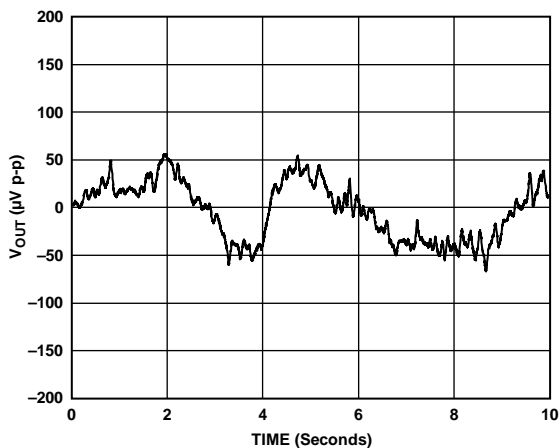


図 28. DAC 1/f ノイズ、外付けリファレンス電圧

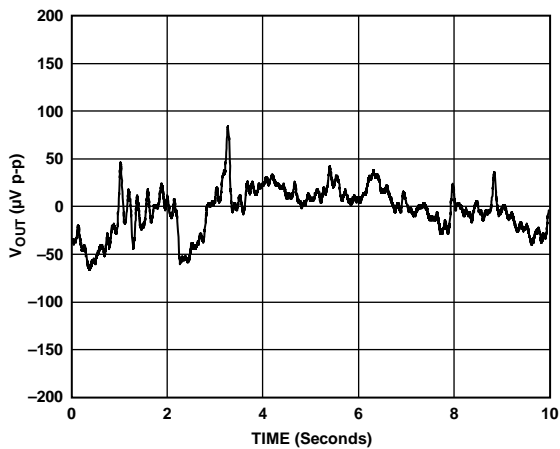


図 29. DAC 1/f ノイズ、内蔵リファレンス電圧

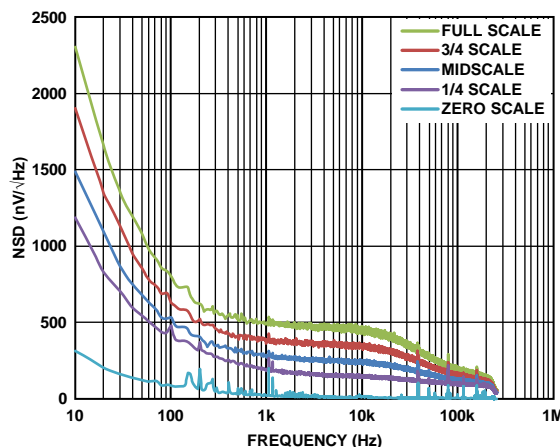


図 30. DAC 出力ノイズ・スペクトル密度 (NSD)

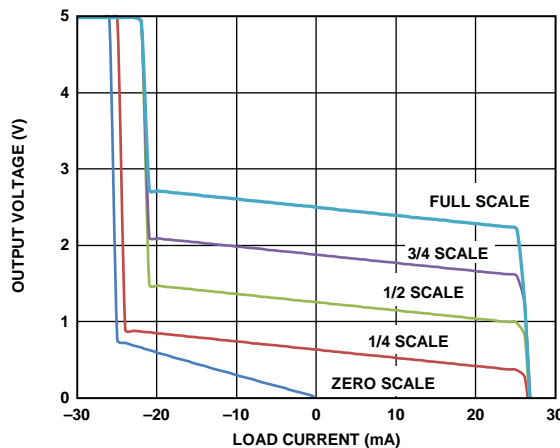


図 31. DAC 出力シンク/ソース能力  
出力範囲 = 0 V ~  $V_{REF}$

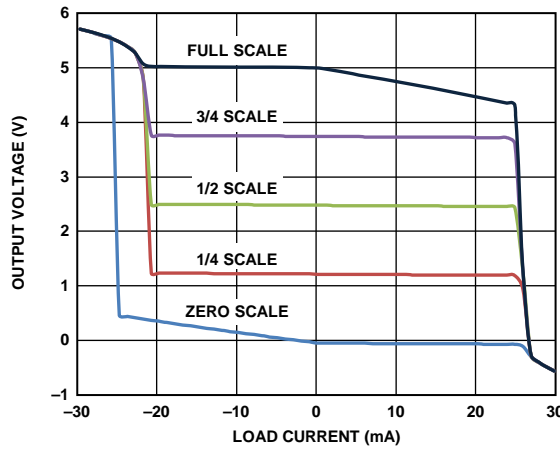


図 32. DAC 出力シンク/ソース能力  
出力範囲 = 0 V ~  $2 \times V_{REF}$

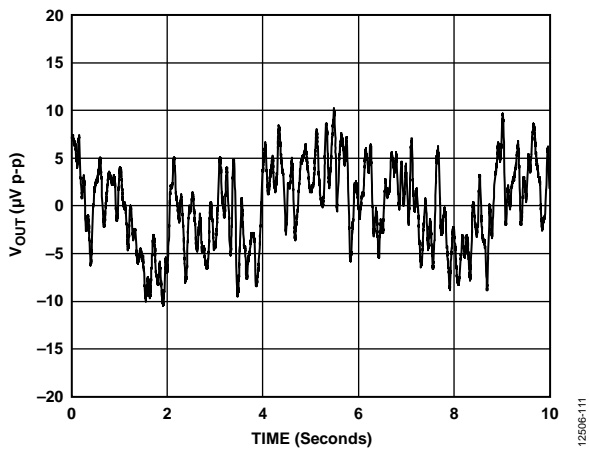


図 33.内蔵リファレンス電圧 1/f ノイズ

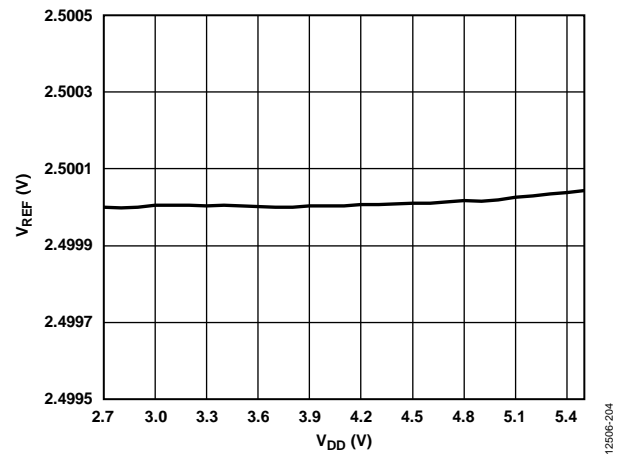


図 35.リファレンス・ライン・レギュレーション

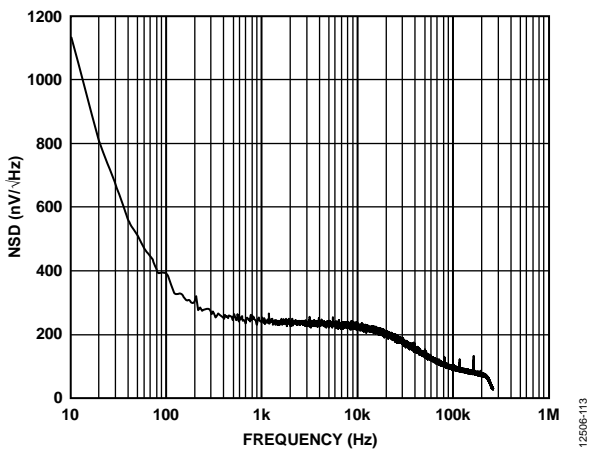


図 34.リファレンス電圧ノイズ・スペクトル密度 (NSD)

## 用語

### ADC の用語

#### 積分非直線性(INL)

ADC 伝達関数の両端を結ぶ直線からの最大許容偏差です。伝達関数の両端とは、ゼロスケール(最初のコード遷移より 1 LSB 下のポイント)とフルスケール(最後のコード遷移より 1 LSB 上のポイント)を指します。

#### 微分非直線性(DNL)

ADC の 2 つの隣接コード間における 1 LSB 変化の測定値と理論値の差です。

#### オフセット誤差

理論値(AGND + 1 LSB)と最初のコード変化((00...000)から(00...001))に位置との差です。

#### オフセット誤差マッチング

オフセット誤差マッチングは、任意の 2 つのチャンネル間のオフセット誤差の差です。

#### ゲイン誤差

オフセット誤差調整後の最後のコード変化((111...110)から(111...111))と理論値( $V_{REF} - 1$  LSB)との差です。

#### チャンネル間アイソレーション

チャンネル間アイソレーションは、チャンネル間でのクロストークのレベルの大きさを表します。フルスケールの 5 kHz 正弦波信号をすべての非選択 ADC 入力チャンネルに入力し、選択したチャンネルでこの信号の減衰を測定することにより規定します。この仕様は、AD5592R/AD5592R-1 の全 ADC チャンネルでのワーストケースです。

#### トラック・アンド・ホールド・アキュイジション・タイム

トラック・アンド・ホールド・アンプは、 $\overline{SYNC}$  の立下がりエッジでホールド・モードに入り、変換が完了すると、トラック・モードに戻ります。トラック・アンド・ホールド・アキュイジション時間は、加えられた入力信号(入力信号のステップ変化)の  $\pm 1$  LSB 以内に出力が収まるために、トラック・アンド・ホールド・アンプがトラック・モードに留まる必要のある最小時間です。

#### 信号対ノイズおよび歪み(SINAD)比

SINAD は、A/D コンバータ出力での信号対(ノイズ+歪み)比の測定値です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプリング周波数( $f_s/2$ )までのすべての非高調波の和で表します(DC を除く)。この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。正弦波を入力した場合の、理想的 N ビット・コンバータに対する SINAD の理論値は次式で表されます。

$$SINAD \text{ (dB)} = 6.02N + 1.76$$

したがって、12 ビット・コンバータの場合、SINAD は 74 dB になります。

#### 全高調波歪み(THD)

THD は高調波の rms 値総和と基本波の比です。AD5592R/AD5592R-1 の場合、次式で与えられます。

$$THD \text{ (dB)} = 20 \times \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

$V_1$  は基本波の rms 振幅。

$V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 、 $V_6$  は、2 次～6 次の高調波の rms 振幅。

#### ピーク高調波またはスプリアス・ノイズ (SFDR)

高調波またはスプリアス・ノイズは、ADC 出力スペクトル内の (DC を除いて  $f_s/2$  まで)基本波の次に大きい成分の rms 値対、基本波 rms 値の比として定義されます。通常、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋め込まれている ADC の場合は、ノイズ・ピークにより決定されます。

## DAC の用語

### 相対精度または積分非直線性(INL)

DAC の場合、相対精度すなわち積分非直線性は、DAC 伝達関数の上下両端を結ぶ直線からの最大偏差(LSB 数で表示)を表します。INL(typ)対コードのプロットを図 16 に示します。

### 微分非直線性(DNL)

微分非直線性(DNL)は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との誤差です。最大 $\pm 1$  LSB の微分非直線性の規定により、単調性が保証されます。この DAC はデザインにより単調性を保証しています。代表的な DNL 対コードについては図 17 を参照してください。

### ゼロ・コード誤差

ゼロ・コード誤差は、ゼロ・コード(0x000)を DAC レジスタにロードしたときの理論値と出力の誤差として測定されます。理論的には、出力は 0 V です。ゼロ・コード誤差は AD5592R/AD5592R-1 では常に正です。これは、DAC と出力アンプのオフセット誤差の組み合わせによって DAC 出力が 0 V より低くなることのできないためです。ゼロ・コード誤差は mV で表されます。

### ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。理論 DAC 伝達特性傾斜からの変位を表し、DAC 出力の %FSR で表示されます。

### オフセット誤差ドリフト

オフセット誤差ドリフトは、温度変化によるオフセット誤差の変化を表し、 $\mu\text{V}/^\circ\text{C}$  で表されます。

### ゲイン温度係数

ゲイン温度係数は、温度変化に対するゲイン誤差の変化を表し、FSR/ $^\circ\text{C}$  の ppm で表されます。

### オフセット誤差

オフセット誤差は、伝達関数の直線領域での  $V_{\text{OUT}}$  (実測値)と  $V_{\text{OUT}}$  (理論値)の差を表し、mV で表示されます。この誤差は正または負になります。

### DC 電源除去比(PSRR)

PSRR は、電源電圧変化の DAC 出力に対する影響を表します。PSRR は、DAC フルスケール出力での、 $V_{\text{OUT}}$  変化の  $V_{\text{DD}}$  変化に対する比です。これは mV/V で測定されます。 $V_{\text{REF}}$  を 2 V に維持して、 $V_{\text{DD}}$  を $\pm 10\%$ 変化させ測定します。

### 出力電圧セトリング・タイム

これは、1/4 フルスケール入力から 3/4 フルスケール入力への変化に対して、DAC 出力が所定のレベルまでに安定するために要する時間であり、 $\overline{\text{SYNC}}$  の立上がりエッジから測定されます。

### デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルス・ノイズを表します。通常、nV-sec で表すグリッチの面積として規定され、メジャーキャリア変化のコードでの、デジタル入力コードが 1 LSB だけ変化したとき(0x7FF から 0x800)に測定されます。

### デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルス・ノイズを表します。nV-sec で規定され、データ・バス上でのフルスケール・コード変化時、すなわち全ビット 0 から全ビット 1 への変化、またはその逆の変化のときに測定されます。

### リファレンス・フィードスルー

DAC 出力に変化がない時の DAC 出力における信号振幅のリファレンス入力に対する比であり、dB で表されます。

### ノイズ・スペクトル密度

ノイズ・スペクトル密度は、内部で発生するランダム・ノイズの大きさを表します。ランダム・ノイズは、スペクトル密度 (nV/ $\sqrt{\text{Hz}}$ )としてキャラクタライズされます。DAC にミッドスケールを入力し、出力のノイズを測定して nV/ $\sqrt{\text{Hz}}$  で表します。

### DC クロストーク

別の DAC の出力変化に起因する 1 つの DAC の出力レベルでの DC 変化。1 つのミッドスケールに維持した DAC 出力をモニタしながら、別の DAC 上でのフルスケール出力変化(またはソフト・パワーダウンとパワーアップ)を使って測定し、 $\mu\text{V}$  で表されます。

負荷電流変化に起因する DC クロストークは、1 つの DAC の負荷電流変化がミッドスケールに設定された別の DAC へ与える影響を表し、 $\mu\text{V}/\text{mA}$  で表わされます。

### デジタル・クロストーク

1 つの DAC の入力レジスタにおけるフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)から、ミッドスケール・レベルにある別の DAC の出力に混入したグリッチ・インパルスを表し、スタンドアロン・モードで測定し、nV-sec で表されます。

### アナログ・クロストーク

DAC の出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルスを表し、入力レジスタの 1 つにフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)をロードして、次にソフトウェア LDAC を実行し(表 43 と表 44 参照)、デジタル・コードに変化のない別の DAC 出力をモニタすることにより測定します。グリッチの面積は nV-sec で表示します。

### DAC 間クロストーク

デジタル・コードの変化とそれに続く DAC のアナログ出力変化に起因して、別の DAC 出力に混入するグリッチ・インパルス。書込コマンドと更新コマンドを使って、DAC の 1 つにフルスケール・コード変化(全ビット 0 から全ビット 1 への変化、およびその逆変化)をロードして、この間にミッドスケールにある別の DAC 出力をモニタすることにより測定します。グリッチのエネルギーは nV-sec で表示します。

### 乗算帯域幅

DAC 内のアンプは有限な帯域幅を持っています。マルチプライング帯域幅はこれを表します。リファレンス上の正弦波(DAC にフルスケール・コードをロード)が、出力に現われます。乗算帯域幅は、出力振幅が入力より 3 dB 小さくなる周波数で表します。

**リファレンス電圧温度係数 (TC)**

温度変化に対するリファレンス出力電圧の変化を意味し、リファレンス電圧 TC はボックス法を使って計算されます。この方法では、与えられた温度範囲でのリファレンス出力の最大変化として TC を定義し、次式のように ppm/°C で表わします。

$$TC = \left[ \frac{V_{REF(MAX)} - V_{REF(MIN)}}{V_{REF(NOM)} \times Temp\ Range} \right] \times 10^6$$

ここで、

$V_{REF(MAX)}$  は全温度範囲で測定した最大リファレンス出力。

$V_{REF(MIN)}$  は全温度範囲で測定した最小リファレンス出力。

$V_{REF(NOM)}$  は公称リファレンス出力電圧 2.5 V。

$Temp\ Range$  は規定の温度範囲(−40°C~+105°C)。

## 動作原理

AD5592R/AD5592R-1 は、8 チャンネルの選択可能なアナログおよびデジタル入力/出力ポートです。AD5592R/AD5592R-1 は 8 本の入出力ピンを持っています。これらのピンは、12 ビット DAC 出力チャンネル、12 ビット ADC 入力チャンネル、デジタル入力ピン、またはデジタル出力ピンとして独立に設定することができます。

各ピンの機能は、ADC、DAC、または GPIO の設定レジスタを設定することにより、指定されます。詳細については、AD5592R/AD5592R-1 の設定のセクションと表 14 を参照してください。

### DAC セクション

AD5592R/AD5592R-1 は 8 個の 12 ビット DAC を内蔵しています。セグメント化したストリング DAC アーキテクチャを採用し、出力バッファを内蔵しています。図 36 に内部ブロック図を示します。

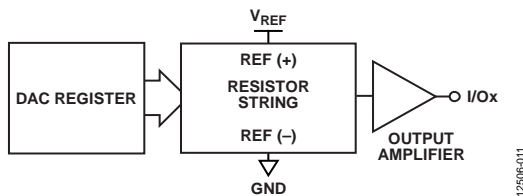


図 36. DAC アーキテクチャの内部ブロック図

各 DAC チャンネルは、 $0\text{ V} \sim V_{\text{REF}}$  または  $0\text{ V} \sim 2 \times V_{\text{REF}}$  の出力範囲を設定するゲイン・ビットを共有しています。ゲイン・ビットをすべてのチャンネルで共有しているため、チャンネルごとに異なる出力範囲を設定することはできません。DAC の入力コーディングはストレート・バイナリです。理論的な出力電圧は次式で与えられます。

$$V_{\text{OUT}} = G \times V_{\text{REF}} \times \left( \frac{D}{2^N} \right)$$

ここで、

$D$  は DAC レジスタにロードされるバイナリ・コードの 10 進数表示 (0~4095)。

出力範囲  $V \sim V_{\text{REF}}$  では  $G = 1$ 、出力範囲  $0\text{ V} \sim 2 \times V_{\text{REF}}$  では  $G = 2$ 。  
 $N = 12$ 。

### 抵抗ストリング

セグメント化抵抗ストリング DAC の簡略化した構造を図 37 に示します。DAC レジスタにロードされるコードにより、出力バッファに接続されたストリングのオンになるスイッチが決定されます。

ストリングの各抵抗は同じ値  $R$  を持つため、ストリング DAC では単調性が保証されます。

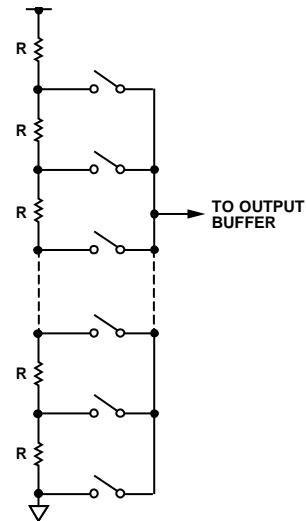


図 37. 簡略化した抵抗ストリング構造

### 出力バッファ

出力バッファ・アンプは、入出力レール to レール・バッファとしてデザインされています。バッファ出力は、2 nF の容量と 1 kΩ 抵抗の並列接続を駆動することができます。スルーレートは 1.25 V/μs であり、1/4 スケールから 3/4 スケールまでのセットリング・タイムは 6 μs です。デフォルトでは、DAC 出力はデータが入力レジスタに書込まれた直後に更新されます。必要に応じて、LDAC レジスタを使って他の追加チャンネルへの書き込みまで更新を待たせることができます。詳細については、リードバックおよび LDAC モード・レジスタのセクションを参照してください。

## ADC セクション

この単電源の 12 ビット ADC は、400 kSPS の変換スループット・レートを持っています。ADC の前には、選択した I/Ox ピンを ADC へ接続するマルチプレクサがあります。次の選択チャンネルへマルチプレクサを自動的に切り替えるシーケンサが内蔵されています。ADC シーケンス・レジスタへの書き込みにより、変換チャンネルが選択されます。ADC シーケンス・レジスタへの書き込みが完了すると、変換シーケンス内の最初のチャンネルがトラック・モードになります。各チャンネルには、入力信号に追従するため最小 500 ns が許容されています。ADC シーケンス・レジスタに対する書き込みが続く最初の SYNC 立下がりエッジで、シーケンス内の最初のチャンネルの変換が開始されます。その次の SYNC 立下がりエッジで、シーケンス内の 2 番目のチャンネルの変換が開始され、さらに最初の ADC 変換結果のシリアル・インターフェースへの出力も開始されます。

各変換には 2 μs を要し、次の変換を開始するには、前の変換が完了していなければなりません。変換が必要でない場合は、単に AD5592R/AD5592R-1 への書き込みのみ行ってください。また、I/O7 ピンは ADC 変換中を表示する BUSY 信号として設定することができます。変換中は、BUSY はロー・レベルになり、ADC 変換結果が読み出し可能になるとハイ・レベルになります。ADC には、入力範囲 0 V~V<sub>REF</sub> または 0 V~2 × V<sub>REF</sub> を設定する入力範囲選択ビット (汎用コントロール・レジスタのビット D5) があります。ただしすべての入力チャンネルは、同じ範囲を共用します。ADC の出力コーディングはストレート・バイナリです。各 I/Ox ピンを個別に DAC 出力 および ADC 入力として設定することができます。I/Ox ピンを同時に DAC および ADC として設定した場合、基本機能は DAC 出力機能になります。このピンを選択して ADC 変換シーケンスに含めると、ピンの DAC 出力電圧が AD 変換されて、シリアル・インターフェースから読み出し可能になるため、DAC 電圧をモニタすることができます。

## GPIO セクション

GPIO 読み出し設定レジスタに書き込みを行って、8 本の各 I/Ox ピンを汎用デジタル入力ピンとして設定することができます。あるいは、GPIO 書き込み設定レジスタに書き込みを行って、デジタル出力ピンに設定することができます。I/Ox ピンを出力に設定した場合、GPIO 書き込みデータ・レジスタに書き込みを行って、ピンをハイ・レベルまたはロー・レベルに設定することができます。汎用出力のロジック・レベルは、V<sub>DD</sub> と GND を基準とします。I/Ox ピンを入力に設定した場合、GPIO 読み出し設定レジスタのビット D10 を設定してステータスを決めることができます (表 35 参照)。次の SPI 動作で GPIO ピンの状態がシリアル・データ出力ピンに出力されます。I/Ox ピンを出力に設定した場合、そのピンを入力ピンにも設定して、実際の出力ピンのステータスを読み出すことができます。入力に設定された I/Ox ピンのステータスを読み出すと、入力ピンおよび出力ピンとして設定された I/Ox ピンのステータスも返されます。

## 内蔵リファレンス

AD5592R/AD5592R-1 は、2.5 V のリファレンス電圧を内蔵しています。デフォルトで、このリファレンスはパワーダウンされているため、パワーダウン・レジスタのビット D9 に 1 を書き込んでイネーブルします (表 41 参照)。内蔵リファレンスをパワーアップさせると、リファレンス電圧が V<sub>REF</sub> ピンに出力されるため、他の部品に対するリファレンス電源として使用することができます。内蔵リファレンスを使用する場合、内蔵リファレンスを 100 nF のコンデンサを使って GND へデカップリングすることが推奨されます。内蔵リファレンス電圧をシステム内の他の場所で使う前にバッファすることを強くお勧めします。リファレンスをパワーダウンさせた場合、V<sub>REF</sub> ピンに外付けリファレンスを接続する必要があります。AD5592R/AD5592R-1 に適する外付けリファレンス電源としては、AD780、AD1582、ADR431、REF193、ADR391 などがあります。

## RESET 機能

AD5592R/AD5592R-1 には、非同期の RESET ピンがあります。通常動作では、RESET はハイ・レベルに固定します。RESET の立下がりエッジで、すべてのレジスタがデフォルト値にリセットされ、I/Ox ピンにはデフォルト状態 (85 kΩ で GND へプルダウン) が再設定されます。リセット機能の実行完了には最大 250 μs 要します。この間に新しいデータを AD5592R/AD5592R-1 へ書き込まないでください。AD5592R/AD5592R-1 には RESET ピンと同じ機能を実行するソフトウェア・リセットがあります。リセット・レジスタへ 0x5AC を書き込むと、リセット機能が起動されます (表 42 参照)。

## 温度インジケータ

AD5592R/AD5592R-1 は温度インジケータを内蔵しています。このインジケータを読み出して、チップ温度の推定値を取得することができます。このため温度読み出しデータは、故障検出で使うことができます。チップ温度の突然の上昇は、出力の短絡などの故障状態を示します。ADC シーケンス・レジスタのビット D8 に 1 を設定すると、温度のリードバックが有効になります (表 26 参照)。温度の変換結果は ADC シーケンスに追加されます。温度変換結果の収容アドレスは 0b1000 です。この変換結果と DAC0 からのリードバックを混同しないように注意してください。温度変換では、ADC バッファのイネーブル時には 5 μs を、バッファのデイスエーブル時には 20 μs を、それぞれ要します。温度は、次式で計算します。

$$\text{Temperature}(\text{°C}) = 25 + \frac{\text{ADC Code} - 820}{2.654}$$

温度インジケータからの読み出しで ADC から返されるコードの範囲は約 645~1035 で、これは温度 -40°C~+105°C に対応します。温度インジケータの精度は 3°C (typ) です。

## シリアル・インターフェース

AD5592R/AD5592R-1 は、シリアル・インターフェース ( $\overline{\text{SYNC}}$ 、SCLK、SDI、SDO)を内蔵しています。これは、SPI 規格および大部分の DSP と互換です。入力シフトレジスタは 16 ビット幅です(表 11 参照)。MSB (D15)は、要求される書き込み機能のタイプを指定します。D15 が 0 のとき、データのコントロール・レジスタへの書き込みが選択されます。続く D14~D11 で複数あるコントロール・レジスタのアドレスが選択されます。D10 と D9 は予約済みビットで 0 としてください。D8~D0 は、選択されたコントロール・レジスタへ書き込むデータです。D15 が 1 のときは、データが DAC チャンネルへ書込まれます(その指定したチャンネルが DAC として設定されている場合)。D14~D12 は、選択される DAC のアドレスを指定します。D11~D0 は、選択された DAC へロードされる 12 ビット・データで、D11 が DAC データの MSB です。表 12 に、AD5592R/AD5592R-1 のコントロール・レジスタ・マップを示します。レジスタ・マップにより、各 I/Ox ピンの機能と動作を設定することができます。ADC を選択してサンプリング・シーケンスに含めることができます。DAC は、個別または同時に更新することができます(LDAC モード動作のセクション参照)。GPIO 設定値もレジスタ・マップを使って制御することができます。

## パワーアップ時間

AD5592R/AD5592R-1 に電源を印加すると、パワーオン・リセット・ブロックがデバイスの設定を開始し、各レジスタにデフォルト値をロードします。この設定プロセスには 250  $\mu\text{s}$  を要します。この間にレジスタに対する書き込みを行わないでください。

表 11.入力シフトレジスタのフォーマット

MSB											LSB				
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	Control register address				0	0	Control register data								
1	DAC address				12-bit DAC data										

表 12.コントロール・レジスタ・マップ

MSB (D15)	Address (D14 to D11)	Name	Description	Default Value
0	0000	NOP	無動作	0x000
0	0001	DAC readback	DAC リードバック動作を選択/イネーブルします。	0x000
0	0010	ADC sequence register	シーケンス変換する ADC を選択します。	0x000
0	0011	General-purpose control register	DAC および ADC コントロール・レジスタ	0x000
0	0100	ADC pin configuration	ADC 入力にするピンを選択します。	0x000
0	0101	DAC pin configuration	DAC 出力にするピンを選択します。	0x000
0	0110	Pull-down configuration	85 k $\Omega$ の抵抗で GND へプルダウンするピンを選択します。	0x0FF
0	0111	Readback and LDAC mode	ロード DAC (LDAC)機能の動作および/またはリードバックする設定レジスタを選択します。	0x000
0	1000	GPIO write configuration <sup>1</sup>	汎用デジタル出力にするピンを選択します。	0x000
0	1001	GPIO write data	汎用デジタル出力へデータを書き込みます。	0x000
0	1010	GPIO read configuration	汎用デジタル入力にするピンを選択します。	0x000
0	1011	Power-down/reference control	DAC をパワーダウンさせ、リファレンスをイネーブル/ディスエーブルします。	0x000
0	1100	GPIO open-drain configuration	汎用デジタル出力をオープン・ドレインまたはプッシュ/プルにするかを選択します。	0x000
0	1101	Three-state configuration	スリー・ステートにするピンを選択します。	0x000
0	1110	Reserved	予約済み (使用しないでください)	
0	1111	Software reset	AD5592R/AD5592R-1 をリセットします。	0x000
1	XXX <sup>2</sup>	DAC write	指定された DAC レジスタへ書き込みます。	0x000

<sup>1</sup> このレジスタは、I/O7 を  $\overline{\text{BUSY}}$  出力として設定するときにも使います。

<sup>2</sup> D14~D11 は、DAC レジスタ・アドレスです(表 11 参照)。

## 書き込みモード

図 4 に、AD5592R/AD5592R-1 の読み出しと書き込みのタイミングを示します。 $\overline{\text{SYNC}}$  ラインをロー・レベルにすると、書き込みシーケンスが開始されます。SDI のデータは、SCLK の立下がりエッジで 16 ビット・シフトレジスタに入力されます。16 番目の立下がりクロック・エッジの後で最後のデータ・ビットが入力されます。 $\overline{\text{SYNC}}$  をハイ・レベルに戻すと、指定した内容が実行されます (DAC 入力レジスタ値の変更またはコントロール・レジスタの変更)。次の書き込みの前に、 $\overline{\text{SYNC}}$  は少なくとも 20 ns の間はハイ・レベルにする必要があります。消費電力を小さくするためには、すべてのインターフェース・ピンは  $V_{\text{DD}}$  レールまたは  $V_{\text{Logic}}$  レールの近くの電圧で動作させて、デジタル入力バッファでの電力を小さくします。

## 読み出しモード

AD5592R/AD5592R-1 では、ADC とコントロール・レジスタよりシリアル・インターフェースを介してデータをリードバックすることができます。ADC 変換結果は、シーケンスの一部として、またはシングル ADC 変換として、自動的にシリアル・インターフェースへ出力されます。レジスタを読み出すときは、まずリードバックの指示および LDAC モード・レジスタに書き込みを行って、リードバックするレジスタを選択する必要があります。選択されたレジスタの値は、 $\overline{\text{SYNC}}$  の立下がりエッジの後の、次の 16 個の SCLK クロックで出力されます。タイミング条件  $t_{10}$  (25 ns) があるため、読み出し動作時の SPI インターフェースの最大速度は 20 MHz 以下であることに注意してください。

(書き込みは、最大 50MHz です)



AD5592R/AD5592R-1 の設定

一連の設定レジスタに書き込みを行って、AD5592R/AD5592R-1 の I/Ox ピンの動作を設定します。シリアル書き込みデータの MSB が 0 のとき、コントロール・レジスタがアクセスされます (表 11 参照)。AD5592R/AD5592R-1 のコントロール・レジスタ・マップを表 12 に示します。パワーアップ時は、I/Ox ピンと GND の間に 85 kΩ のプルダウン抵抗が接続された状態になっています。

AD5592R/AD5592R-1 の入力/出力チャンネルは、DAC 出力、ADC 入力、デジタル出力、デジタル入力、スリー・ステートとして動作するように設定するか、または 85 kΩ のプルダウン抵抗で GND へ接続することができます。デジタル出力として設定すると、I/Ox ピンにはプッシュ/プルまたはオープン・ドレインとして設定するオプションが加わります。入力/出力チャンネルの設定は、該当する設定レジスタに対する書き込みによって行います (表 13 と表 14 参照)。特定の機能を入力/出力チャンネルに割り当てるときは、該当するレジスタに書き込みを行い、対応するビットに 1 を設定します。例えば、DAC 設定レジスタのビット D0 を 1 にすると、I/O0 が DAC として設定されます (表 18 参照)。

複数の設定レジスタで入力/出力チャンネルに対するビットが設定された場合は、入力/出力チャンネルは最後の書き込み動作で指定された機能になります。この規則の例外は、I/Ox ピンを DAC および ADC の両方とした時、またはデジタル入力および表 13. I/Ox ピン設定レジスタ

MSB

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	Register address				Reserved			IO7	IO6	IO5	IO4	IO3	IO2	IO1	IO0

LSB

表 14. I/Ox ピン設定レジスタのビット説明

Bit(s)	Bit Name	Description
D15	MSB	このビットに 0 を設定してください。
D14 to D11	Register address	アドレス指定するピン設定レジスタを選択します。 0100: ADC ピン設定。 0101: DAC ピン設定。 0110: プルダウン設定。(パワーアップ時のデフォルト状態) 1000: GPIO 書き込み設定。 1010: GPIO 読み出し設定。 1100: GPIO オープン・ドレイン設定。 1101: スリー・ステート設定。
D10 to D8	Reserved	予約済み。これらのビットに 0 を設定してください。
D7 to D0	IO7 to IO0	選択した I/Ox ピンのレジスタ機能をイネーブルします。 0: 選択する機能なし。 1: 選択した I/Ox ピンにレジスタ機能を設定。

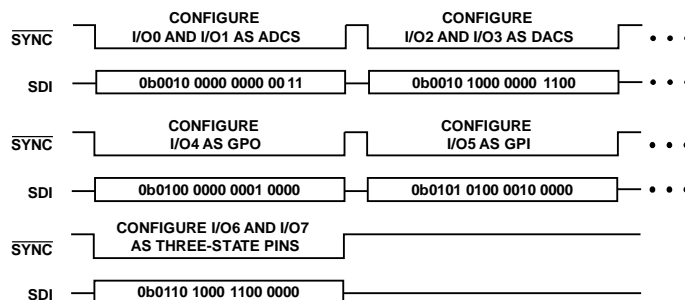


図 38. 代表的な設定例

びデジタル出力の両方として、それぞれ設定できることです。I/Ox ピンを DAC および ADC 両方として設定すると、基本機能は DAC 出力になり、ADC は同じピンの DAC から出力された電圧を測定することができます。この機能により出力電圧をモニタして、短絡または過負荷状態を検出することができます。

ピンを汎用のデジタル入力および出力両方に設定すると、基本機能はデジタル出力ピンになります。この設定を使うと、GPIO レジスタを読み出して出力ピンのステータスを知ることができます。図 38 に、代表的な設定例を示します。ここでは、I/O0 と I/O1 が ADC として、I/O2 と I/O3 が DAC として、I/O4 が汎用デジタル出力ピンとして、I/O5 が汎用デジタル入力ピンとして、I/O6 と I/O7 がスリー・ステートとして、それぞれ設定されています。

また、汎用コントロール・レジスタには、ロック設定ビットのような、DAC と ADC に関係したその他の機能が含まれています。ロック設定ビットを 1 にすると、ピン設定レジスタに対するすべての書き込みが無視されて、I/Ox ピン機能の変更が防止されます。

AD5592R/ AD5592R-1 がアイドル状態のとき、すなわち ADC 変換中でなく、レジスタのリードバックがないときに、I/Ox ピンは何時でも再設定することができます。ただしロック設定ビットは、0 である必要があります。

## 汎用コントロール・レジスタ

汎用コントロール・レジスタは、DAC、ADC、I/Ox の各ピン設定に関する機能をイネーブル/ディスエーブルします (表 15 と表 16 参照)。汎用コントロール・レジスタは、DAC と ADC のゲインを設定します。ビット D5 は ADC の入力レンジを、ビット D4 は DAC の出力レンジを、それぞれ設定します。

また、汎用コントロール・レジスタは、ADC バッファとプリチャージ機能もイネーブル/ディスエーブルします (詳細については、ADC セクションを参照してください)。このレジスタは、I/Ox ピン設定をロックして偶発的な変更を防止するときにも使用することができます。ビット D7 に 1 を設定すると、設定レジスタへの書き込みが無視されます。

また、汎用コントロール・レジスタは、ADC バッファとプリチャージ機能もイネーブル/ディスエーブルします (詳細については、ADC セクションを参照してください)。このレジスタは、I/Ox ピン設定をロックして偶発的な変更を防止するときにも使用することができます。ビット D7 に 1 を設定すると、設定レジスタへの書き込みが無視されます。

表 15. 汎用コントロール・レジスタ

MSB											LSB				
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	Register address				Reserved	ADC buffer precharge	ADC buffer enable	Lock	All DACs	ADC range	DAC range	Reserved			

表 16. 汎用コントロール・レジスタのビット説明

Bit(s)	Bit Name	Description
D15	MSB	このビットに 0 を設定してください。
D14 to D11	Register address	これらのビットに 0b0011 を設定してください。
D10	Reserved	予約済み。このビットに 0 を設定してください。
D9	ADC buffer precharge	ADC バッファのプリチャージ。 0: ADC のプリチャージに ADC バッファを使用しません (デフォルト)。 1: ADC のプリチャージに ADC バッファを使用します。
D8	ADC buffer enable	ADC バッファのイネーブル。 0: ADC バッファをディスエーブルします (デフォルト)。 1: ADC バッファをイネーブルします。
D7	Lock	ロックの設定。 0: I/Ox ピン設定レジスタ値を変更できます (デフォルト)。 1: I/Ox ピン設定レジスタ値を変更できません。
D6	All DACs	すべての DAC の書込。 0: 以後の DAC 書き込みで、DAC アドレス・ビットで書込む DAC を指定します (デフォルト)。 1: 以後の DAC 書き込みで、DAC アドレス・ビットが無視され、DAC として設定されたすべてのチャンネルが同じデータで更新されます。
D5	ADC range	ADC 入力範囲の選択。 0: ADC ゲイン = $0\text{ V} \sim V_{\text{REF}}$ (デフォルト)。 1: ADC ゲイン = $0\text{ V} \sim 2 \times V_{\text{REF}}$ 。
D4	DAC range	DAC 出力範囲の選択。 0: DAC 出力範囲 = $0\text{ V} \sim V_{\text{REF}}$ (デフォルト)。 1: DAC 出力範囲 = $0\text{ V} \sim 2 \times V_{\text{REF}}$ 。
D3 to D0	Reserved	予約済み。これらのビットに 0 を設定してください。

## DAC 書き込み動作

ピンを DAC として設定するときは、DAC ピン設定レジスタの該当するビットに 1 を設定します (表 17 と表 18 参照)。例えば、ビット 0 に 1 をセットすると、I/O0 が DAC 出力としてイネーブされます。シリアル書き込みの MSB (D15) が 1 のとき、ワード内のデータが DAC へ書込まれます。D14、D13、D12 は、データ書き込みを指定する DAC のアドレスを示し、D11～D0 は、DAC へ書込む 12 ビットのデータを格納します (表 19 と表 20 参照)。データは、選択された DAC の入力レジスタへ書込まれます。入力レジスタに書込まれたデータは、必要に応じて、自動的に DAC レジスタへコピーされます。方法は、LDAC モード・レジスタの設定値に基づき、データが DAC レジスタへ転送されます (表 43 と表 44)。

表 17. DAC ピン設定レジスタ

MSB											LSB															
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0											
0					Register address			Reserved			DAC7		DAC6		DAC5		DAC4		DAC3		DAC2		DAC1		DAC0	

表 18. DAC ピン設定レジスタのビット説明

Bit(s)	Bit Name	Description
D15	MSB	このビットに 0 を設定してください。
D14 to D11	Register address	これらのビットに 0b0101 を設定してください。
D10 to D8	Reserved	予約済み。これらのビットに 0 を設定してください。
D7 to D0	DAC7 to DAC0	I/Ox ピンを DAC 出力として選択します。 1: I/Ox を DAC 出力とします。 0: I/Ox 機能はピン設定レジスタから指定されます (デフォルト)。

表 19. DAC 書き込みレジスタ

MSB											LSB				
D15	D14	D13	D12	D11 (MSB)	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
1				DAC address			12-bit DAC data								

表 20. DAC データ・レジスタのビット説明

Bit(s)	Bit Name	Description
D15	MSB	このビットに 0 を設定してください。
D14 to D12	DAC address	ビット D14～ビット D12 で、D11～D0 のデータをロードする DAC レジスタを選択します。 000: DAC0 001: DAC1 010: DAC2 011: DAC3 100: DAC4 101: DAC5 110: DAC6 111: DAC7
D11 to D0	12-bit DAC data	12 ビットの DAC データ。

## DAC リードバック

各 DAC の入力レジスタ値は、SPI インターフェースを介してリードバックすることができます。DAC レジスタ値のリードバックは、LDAC レジスタ書き込みの前にデータが正しく受信されたことの確認のため、または DAC へ直前にロードされた値のチェックのために使用することができます。実行中の ADC 変換シーケンスがないときにのみ DAC からデータをリードバックすることができます。

DAC 入力レジスタをリードバックするときは、先ずリードバック

機能をイネーブルし、必要とされる DAC レジスタを選択します。これは、DAC リードバック・レジスタへ書き込みを行って実行されます (表 21 と表 22 参照)。D4 ビットと D3 ビットに 1 を設定して、リードバック機能をイネーブルします。D2~D0 ビットは、必要とされる DAC データを選択します。DAC データは、後続の SPI 動作で AD5592R/ AD5592R-1 から出力されません。図 39 に、I/O3 を設定して、DAC をミッドスケールに設定した例を示します。次に入力データがリードバックされます。D14~D12 はリードバックされる DAC レジスタのアドレスで、D15 は 1 です。

表 21.DAC リードバック・レジスタ

MSB											LSB						
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0		
0					Register address						Reserved			Enable DAC readback		DAC channel	

表 22.DAC リードバック・レジスタのビット説明

Bit(s)	Bit Name	Description
D15	MSB	このビットに 0 を設定してください。
D14 to D11	Register address	これらのビットに 0b0001 を設定してください。
D10 to D5	Reserved	予約済み。これらのビットに 0 を設定してください。
D4 and D3	Enable DAC readback	DAC 入力レジスタのリードバックのイネーブル。 11: リードバックをイネーブル。 00: リードバックをディスエーブル (デフォルト)。
D2 to D0	DAC channel	DAC チャンネルを選択。 000: DAC0 001: DAC1 ... 110: DAC6 111: DAC7

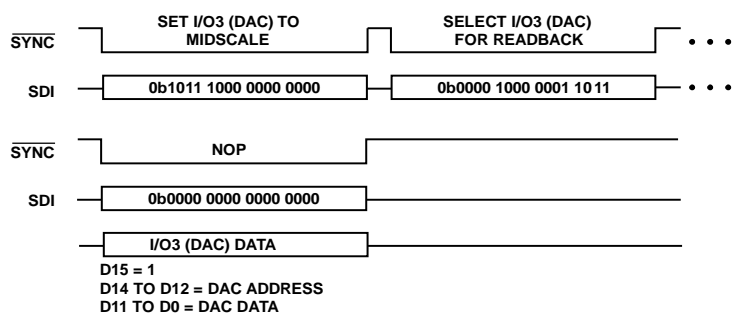


図 39.DAC リードバック動作

## ADC 動作

I/Ox ピンを ADC 入力とするときは、ADC ピン設定レジスタの該当するビットに 1 を設定します (表 23 と表 24 参照)。例えば、ビット 0 に 1 をセットすると、I/O0 が ADC 入力としてイネーブルされます。AD5592R/AD5592R-1 の ADC チャンネルは、従来型のマルチチャンネル ADC として動作します。この場合、変換データのシリアル転送サイクルで次の変換チャンネルを選択します。ADC シーケンス・レジスタに書き込みを行うと (表 25 と表 26 参照)、シーケンスに含める ADC チャンネルが順次選択され、REP ビットでシーケンスの繰り返しの有無が指定されます。SYNC 信号を使って、SDI ピン上のコンバータへの書き込みデータをフレーム化します。ADC シーケンス・レジスタに対する最初の書き込みサイクルで SDO ピンに現れるデータは無効です。シーケンス・レジスタに書き込みが行われると、ADC はシーケンス内の最初のチャンネルのトラック (アナログ信号への追従) を開始します。トラックには 500 ns を要します。この間には変換を開始させないでください。次の SYNC 立下がりエッジで、選択されたチャンネルの変換が開始されます。後続の次の SYNC 立下がりエッジにより ADC 変換結果の出力を開始し、次の変換も開始します。この ADC は 1 サイクルの遅延で動作するため、各変換に対応する変換結果は、変換が開始されたサイクルから 1 シリアル読み出しサイクル遅れて得られます。

ADC シーケンス・レジスタで複数のチャンネルを選択すると、ADC は選択されたすべてのチャンネルを連続する SYNC の立下がりエッジで昇順にシーケンシャルに変換します。コントロー

ル・レジスタ内のすべての選択されたチャンネルを変換すると、REP ビットがセットされている場合、ADC は最初のチャンネルに戻りシーケンスを繰り返します。REP ビットがクリアされている場合は、ADC 出力はスリー・ステートになります。図 40～図 43 に、代表的な ADC 動作モードを示します。I/O7 を BUSY 出力ピンとして設定して、変換が完了し結果が使用可能であることを表示することができます。変換中 BUSY はロー・レベルになり、変換結果が使用可能になると、ハイ・レベルになります。変換結果は、次のリード/ライト動作で SDO ピンから出力されます。AD 変換の場合、D15 は 0 を、D14～D12 は ADC アドレスを、D11～D0 は 12 ビット変換結果を、それぞれ格納します (表 27 参照)。

## ADC シーケンスの変更

動作中の変換シーケンスを停止させた後に、ADC シーケンスに含まれるチャンネルを変更することができます (図 44 参照)。ADC シーケンス・レジスタの REP、TEMP、ADC7～ADC0 の各ビットを 0 にクリアすると、ADC 変換シーケンスが停止します。また、シーケンスを停止させるコマンドを書込んだときも、ADC 変換が停止します。この変換は、新しいシーケンスを ADC シーケンス・レジスタに書込む前に終了する必要があります。現在のシーケンスを終了させる書き込みの開始と、新しいシーケンスを選択する書き込みの開始との間に最小 2 μs を確保してください。新しいシーケンスを選択した後、ADC トラック時間 500 ns を確保した後に次の変換を開始してください。

表 23.ADC ピン設定レジスタ

MSB											LSB				
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	Register address				Reserved			ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0

表 24.ADC ピン設定レジスタのビット説明

Bit(s)	Bit Name	Description
D15	MSB	このビットに 0 を設定してください。
D14 to D11	Register address	これらのビットに 0b0100 を設定してください。
D10 to D8	Reserved	予約済み。これらのビットに 0 を設定してください。
D7 to D0	ADC7 to ADC0	I/Ox ピンを ADC 入力として選択。 1: I/Ox を ADC 入力とします。 0: I/Ox 機能はピン設定レジスタから指定されます (デフォルト)。

表 25.ADC シーケンス・レジスタ

MSB													LSB				
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0		
0					Register address		Reserved	REP	TEMP	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0

表 26.ADC シーケンス・レジスタのビット説明

Bit(s)	Bit Name	Description
D15	MSB	このビットに 0 を設定してください。
D14 to D11	Register address	これらのビットに 0b0010 を設定してください。
D10	Reserved	予約済み。これらのビットに 0 を設定してください。
D9	REP	ADC シーケンスの繰り返し。 0: シーケンス繰り返しをディスエーブル (デフォルト)。 1: シーケンス繰り返しをイネーブル。
D8	TEMP	温度インジケータを ADC シーケンスに含めます。 0: 温度インジケータのリードバックをディスエーブル (デフォルト)。 1: 温度インジケータのリードバックをイネーブル。
D7 to D0	ADC7 to ADC0	ADC チャンネルを変換シーケンスに含めます。 0: 選択した ADC チャンネルを変換シーケンスに含めません。 1: 選択した ADC チャンネルを変換シーケンスに含めます。

表 27.ADC 変換結果

MSB													LSB			
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
0					ADC address <sup>1</sup>		12-bit ADC result									

<sup>1</sup> ADC アドレスは、000 = ADC0 ... 111 = ADC7 です。

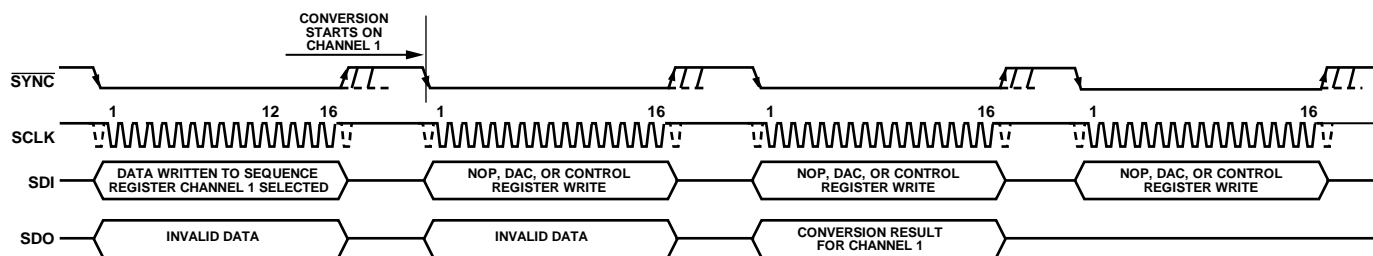


図 40.シングル・チャンネル ADC 変換シーケンス、繰り返しなし

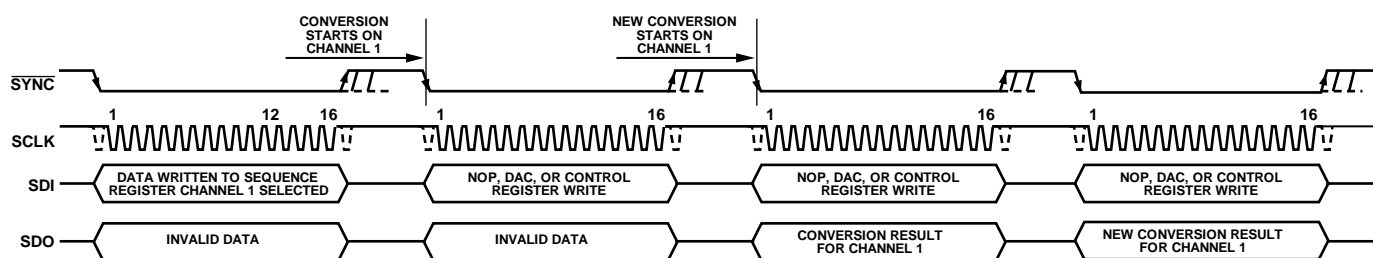
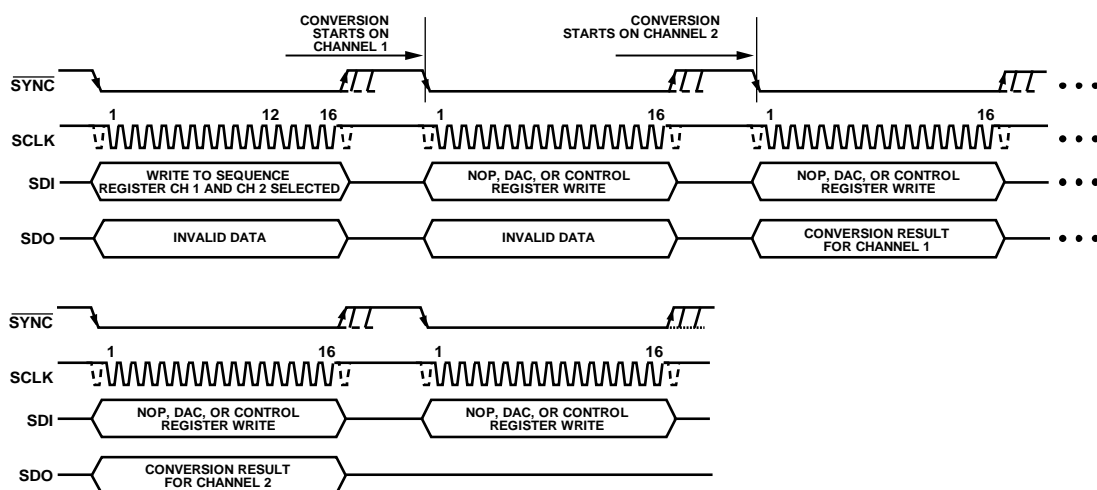
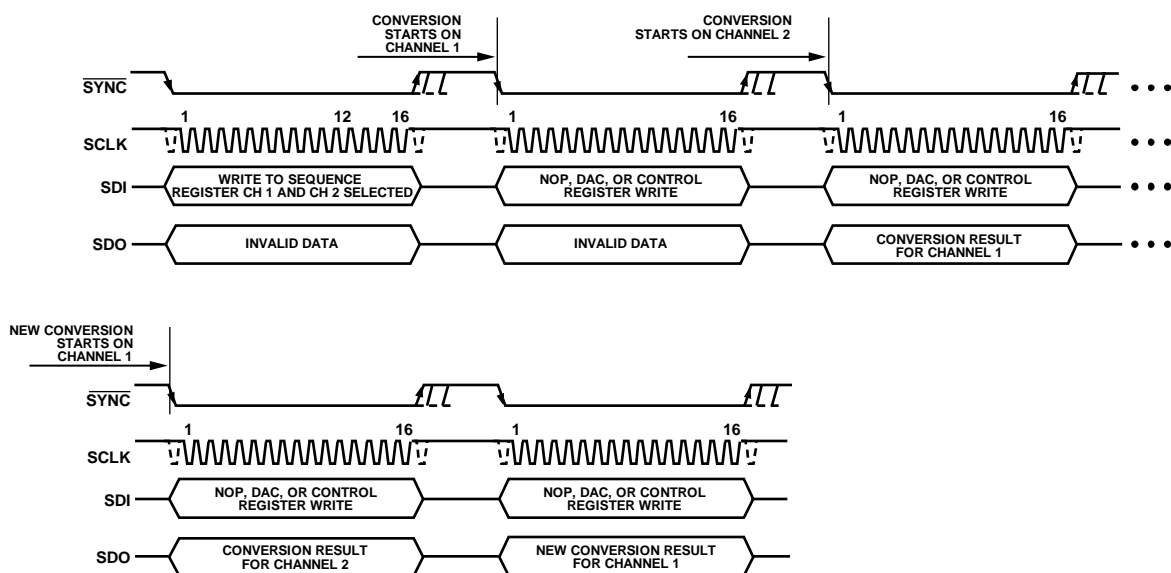


図 41.シングル・チャンネル、繰り返しあり、ADC 変換シーケンス



12506-209

図 42.マルチチャンネル ADC 変換シーケンス、繰り返しなし



12506-210

図 43.マルチチャンネル、繰り返しあり、ADC 変換シーケンス

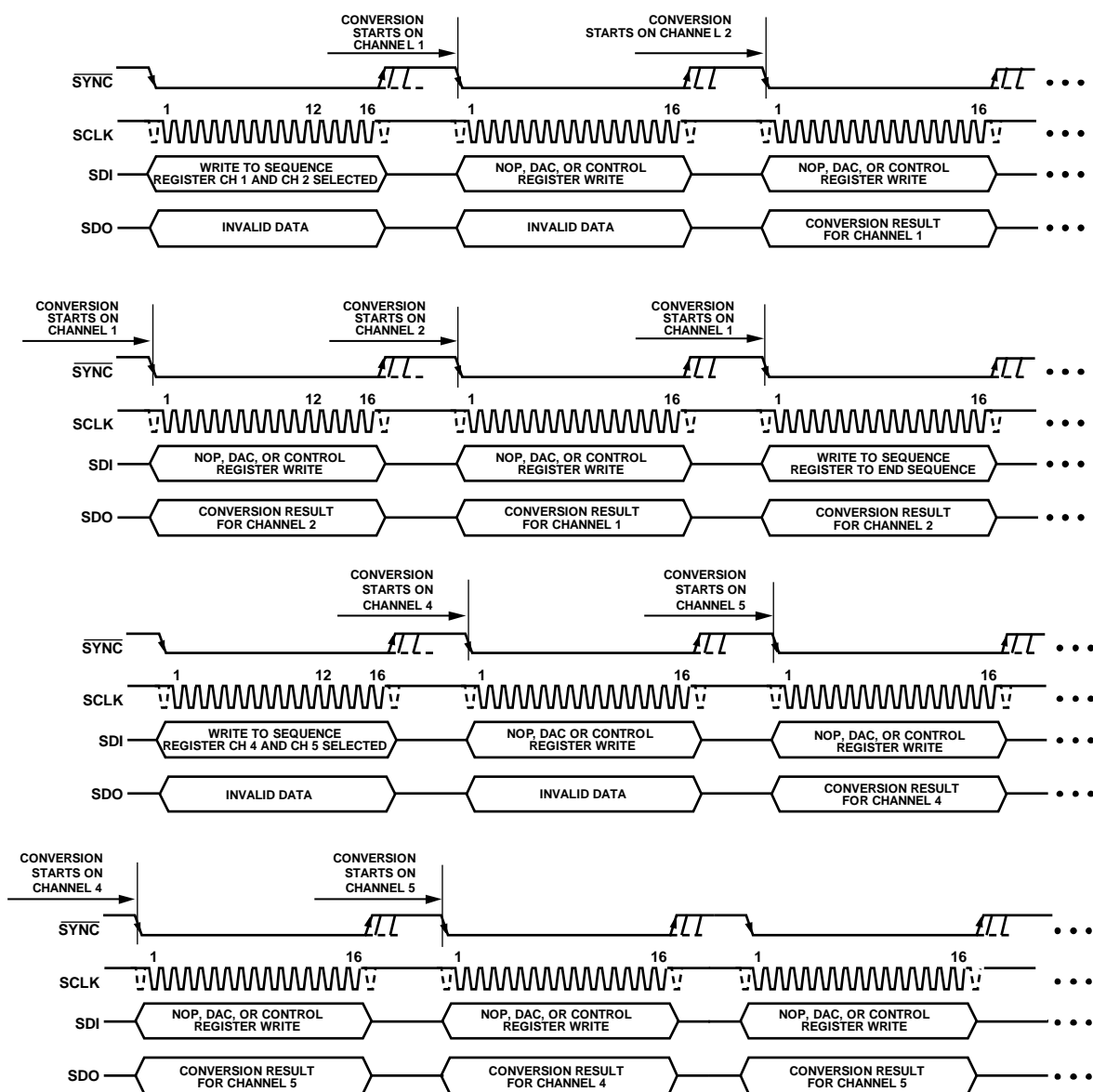


図 44. マルチチャンネルの変更、繰り返しあり、ADC 変換シーケンス

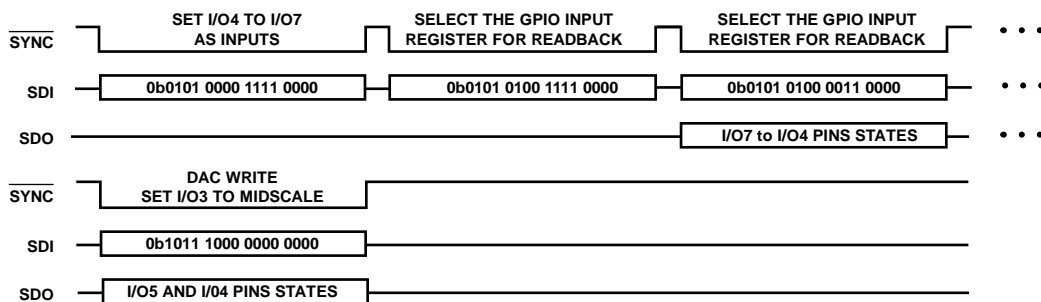


図 45. 汎用入力ピンの設定と読み出し



## GPIO 動作

AD5592R/AD5592R-1 の各 I/Ox ピンは、汎用のデジタル入力またはデジタル出力ピンとして動作することができます。ピン機能は、GPIO 読み出し設定レジスタおよび GPIO 書き込み設定レジスタの該当するビットへ書き込みを行って指定します。

### ピンをデジタル出力として設定

ピンを汎用デジタル出力として設定するときは、GPIO 書き込み設定レジスタの該当するビットに 1 を設定します (表 28 と表 29 参照)。例えば、ビット 0 に 1 をセットすると、I/O0 が汎用出力としてイネーブルされます。出力ピンの状態は、GPIO 書き込みデータ・レジスタのビットをセットまたはクリアして制御します (表 32 参照)。出力として設定されていないロケーションへ書き込むと、そのデータ・ビットは無視されます。

デジタル出力は、プッシュ/プル出力またはオープン・ドレイン出力として個別に設定することができます。プッシュ/プル設定の場合、GPIO 書き込みデータ・レジスタ内のデータの指示に基づき、出力は V<sub>DD</sub> または GND に駆動されます。ピンをオープン・ドレイン出力として設定するときは、GPIO オープン・ドレイン設定レジスタの該当するビットに 1 を設定します (表 30 と表 31 参照)。オープン・ドレイン設定の場合、GPIO 書き込みデータ・レジスタのデータ・ビットがそのピンをロー・レベル設定すると、出力は GND へ駆動されます。ピンがハイ・レベルに設定されると、出力は駆動されないため、外付け抵抗でハイ・レベルにプルアップする必要があります。オープン・ドレイン設定では、複数の出力ピンを相互接続することができます。相互接続したすべてのピンが通常ハイ・レベルである場合、オープン・ドレイン設定を使うと、1 本のピンをロー・レベル

にすることで、他のピン出力をプルダウンさせることができます。複数のピンを使ってアラームまたは割込みピンをトリガさせる場合、この方法は広く使われています。(ワイヤード OR 接続)

I/Ox ピンの状態を変更するときは、GPIO 書き込みデータ・レジスタへの書き込みが必要です。ビットに 1 を設定すると、選択された出力にロジック 1 が得られます。ビットに 0 を設定すると、選択された出力にロジック 0 が得られます。

### ピンを入力として設定

ピンを汎用デジタル入力として設定するときは、GPIO 読み出し設定レジスタの該当するビットに 1 を設定します (表 34 と表 35 参照)。例えば、ビット 0 に 1 をセットすると、I/O0 が汎用入力としてイネーブルされます。汎用デジタル入力の状態を読み出すときは、GPIO 読み出しおよび設定レジスタへ書き込みを行いビット D10 に 1 を設定し、さらに汎用デジタル入力ピンに対応する任意のビット D7~ビット D0 にも 1 を設定します。それに続く SPI 読み出し動作が、汎用デジタル入力として設定されたピンの状態を出力します。図 45 に、I/O4~I/O7 を汎用入力に設定した例を示します。I/O3 は DAC 出力とします。I/O7~I/O4 のステータスを読み出すときは、ビット D10 とビット D7~ビット D4 に 1 を設定します。I/O5 と I/O4 のステータスを読み出すときは、ビット D10、ビット D5、ビット D4 だけに 1 を設定します。I/O7 と I/O6 のステータスは読み出されず、ビット D7 とビット D6 は 0 として読み出しされます。図 45 には、汎用ピンのステータスの読み出し時に、他の動作を含めることができることを示す DAC への書き込みも示してあります。

表 28.GPIO 書き込み設定レジスタ

MSB														LSB	
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
Register address					Reserved		Enable BUSY	GPIO7	GPIO6	GPIO5	GPIO4	GPIO3	GPIO2	GPIO1	GPIO0

表 29.GPIO 書き込み設定レジスタのビット説明

Bit(s)	Bit Name	Description
D15	MSB	このビットに 0 を設定してください。
D14 to D11	Register address	これらのビットに 0b1000 を設定してください。
D10 to D9	Reserved	予約済み。このビットに 0 を設定してください。
D8	Enable BUSY	I/O7 ピンを BUSY としてイネーブルします。 0: ピン I/O7 を BUSY として設定しない。 1: ピン I/O7 を BUSY として設定します。D7 にも 1 を設定して、I/O7 ピンを出力としてイネーブルする必要があります。
D7 to D0	GPIO7 to GPIO0	I/Ox ピンを GPIO 出力として選択します。 1: I/Ox を汎用出力ピンとします。 0: I/Ox 機能はピン設定レジスタから指定されます (デフォルト)。

表 30.GPIO オープン・ドレイン設定レジスタ

MSB											LSB				
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	Register address				Reserved			Open Drain 7	Open Drain 6	Open Drain 5	Open Drain 4	Open Drain 3	Open Drain 2	Open Drain 1	Open Drain 0

表 31.GPIO オープン・ドレイン設定レジスタのビット説明

Bit(s)	Bit Name	Description
D15	MSB	このビットに 0 を設定してください。
D14 to D11	Register address	これらのビットに 0b1000 を設定してください。
D10 to D8	Reserved	予約済み。これらのビットに 0 を設定してください。
D7 to D0	Open Drain 7 to Open Drain 0	出力ピンをオープン・ドレインとして設定します。このピンは、デジタル出力ピンとしても設定する必要があります。表 29 を参照してください。 1: I/Ox をオープン・ドレイン出力ピンとします。 0: I/Ox をプッシュ/プル出力ピンとします (デフォルト)。

表 32.GPIO 書き込みデータ・レジスタ

MSB											LSB				
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	Register address				Reserved			GPIO7	GPIO6	GPIO5	GPIO4	GPIO3	GPIO2	GPIO1	GPIO0

表 33.GPIO 書き込みデータ・レジスタのビット説明

Bit(s)	Bit Name	Description
D15	MSB	このビットに 0 を設定してください。
D14 to D11	Register address	これらのビットに 0b1001 を設定してください。
D10 to D8	Reserved	予約済み。これらのビットに 0 を設定してください。
D7 to D0	GPIO7 to GPIO0	出力ピンの状態を設定します。 1: I/Ox をロジック 1 にします。 0: I/Ox をロジック 0 にします。

表 34.GPIO 読み出し設定レジスタ

MSB											LSB				
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	Register address				Enable readback	Reserved		GPIO7	GPIO6	GPIO5	GPIO4	GPIO3	GPIO2	GPIO1	GPIO0

表 35.GPIO 読み出し設定レジスタのビット説明

Bit(s)	Bit Name	Description
D15	MSB	このビットに 0 を設定してください。
D14 to D11	Register address	これらのビットに 0b1010 を設定してください。
D10	Enable readback	GPIO のリードバックをイネーブルします。 1: 次の SPI 動作で GPIO ピンの状態を出力します。 0: ビット D7~ビット D0 で、汎用入力として設定するピンを指定します。
D9 to D8	Reserved	予約済み。これらのビットに 0 を設定してください。
D7 to D0	GPIO7 to GPIO0	I/Ox ピンを GPIO 入力として設定します。 1: I/Ox を汎用入力ピンとします。 0: I/Ox 機能はピン設定レジスタから指定されます (デフォルト)。

## スリーステート・ピン

スリー・ステート設定レジスタに書き込みを行って、I/Ox ピンをスリー・ステート（ハイ・インピーダンス状態）に設定することができます(表 36 と表 37 参照)。

表 36.スリーステート設定レジスタ

MSB													LSB					
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0			
0				Register address				Reserved			TSO7	TSO6	TSO5	TSO4	TSO3	TSO2	TSO1	TSO

表 37.スリーステート設定レジスタのビット説明

Bit(s)	Bit Name	Description
D15	MSB	このビットに 0 を設定してください。
D14 to D11	Register address	これらのビットに 0b0110 を設定してください。
D10 to D8	Reserved	予約済み。これらのビットに 0 を設定してください。
D7 to D0	TSO7 to TSO0	I/Ox ピンをスリー・ステート出力に設定します。 1: I/Ox をスリー・ステート出力ピンとします。 0: I/Ox 機能はピン設定レジスタから指定されます (デフォルト)。

表 38.プルダウン設定レジスタ

MSB													LSB					
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0			
0				Register address				Reserved			Pull Down 7	Pull Down 6	Pull Down 5	Pull Down 4	Pull Down 3	Pull Down 2	Pull Down 1	Pull Down 0

表 39.プルダウン設定レジスタのビット説明

Bit(s)	Bit Name	Description
D15	MSB	このビットに 0 を設定してください。
D14 to D11	Register address	これらのビットに 0b1101 を設定してください。
D10 to D8	Reserved	予約済み。これらのビットに 0 を設定してください。
D7 to D0	Pull Down 7 to Pull Down 0	I/Ox ピンを弱いプルダウン出力に設定します。 1: I/Ox を 85 kΩ のプルダウン抵抗を介して GND へ接続します。 0: I/Ox 機能はピン設定レジスタから指定されます (デフォルト)。

## パワーダウン・モード

AD5592R/AD5592R-1 には、不要な機能がある場合に消費電力を削減するための消費電力設定レジスタがあります。このパワーダウン・レジスタを使うと、DAC として設定されたチャンネルを個別にパワーダウン状態にすることができます。パワーダウン状態では、DAC 出力がスリー・ステートになります。DAC チャンネルが通常モードに戻ると、DAC 出力は前の値に戻ります。デフォルトで、内蔵リファレンスとそのバッファはパワーダウンしているため、パワーダウン・レジスタの EN\_REF ビッ

トを設定してイネーブルします。そうすると、内蔵リファレンス電圧は  $V_{REF}$  ピンへ出力されます。

ADC には専用のパワーダウン機能がありませんが、ADC として選択された I/Ox ピンがない場合には、ADC は自動的にパワーダウンします。PD\_ALL ビットは、すべての DAC、リファレンスとそのバッファ、ADC を同時にパワーダウンさせます。表 40 と表 41 に、パワーダウン・レジスタを示します。

表 40. パワーダウン／リファレンス・コントロール・レジスタ

MSB													LSB		
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	Register address				PD_ALL	EN_REF	Reserved	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0

表 41. パワーダウン／リファレンス・コントロール・レジスタのビット説明

Bit(s)	Bit Name	Description
D15	MSB	このビットに 0 を設定してください。
D14 to D11	Register address	これらのビットに 0b1011 を設定してください。
D10	PD_ALL	DAC と内蔵リファレンス電圧をパワーダウンさせます。 0: リファレンス電圧と DAC のパワーダウン状態は、D9 および D7～D0 で指定されます (デフォルト)。 1: リファレンス電圧、DAC、ADC は、パワーダウンします。
D9	EN_REF	内蔵リファレンス電圧のイネーブル。 0: リファレンス電圧とバッファがパワーダウンします (デフォルト)。外付けリファレンスを使用する場合はこのビットをセットします。 1: リファレンス電圧とバッファがパワーアップします。リファレンス電圧は $V_{REF}$ ピンに出力されます。
D8	Reserved	予約済み。このビットに 0 を設定してください。
D7 to D0	PD7 to PD0	DAC のパワーダウン。 0: チャンネルは通常動作モードになります (デフォルト)。 1: チャンネルが DAC として設定された場合、そのチャンネルはパワーダウンします。

### リセット機能

リセット・レジスタに書き込みを行って、AD5592R/AD5592R-1 をデフォルト状態へリセットすることができます (表 42 参照)。この書き込みで、すべてのレジスタがデフォルト値にリセットされ、I/Ox ピンにはデフォルト状態(85 kΩ で GND へプルダウン)が再設定されます。リセット機能の完了には最大 250 μs 要します。この間に新しいデータを AD5592R/AD5592R-1 へ書き込まないでください。AD5592R には、同じ機能を実行する RESET ピンがあります。通常動作では、RESET はハイ・レベルに固定します。RESET の立下がりエッジで、リセット機能が起動されます。

表 42. ソフトウェア・リセット

MSB													LSB			
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
0	1	1	1	1	1	0	1	1	0	1	0	1	1	0	0	
Control register write					Write to reset register					Reset the AD5592R/AD5592R-1						

表 43. リードバックおよび LDAC モード・レジスタ

MSB													LSB			
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
0			Register address			Reserved			EN	REG_READBACK			LDAC mode			

表 44. リードバックおよび LDAC モード・レジスタのビット説明

Bit(s)	Bit Name	Description
D15	MSB	このビットに 0 を設定してください。
D14 to D11	Register address	これらのビットに 0b0111 を設定してください。
D10 to D7	Reserved	予約済み。これらのビットに 0 を設定してください。
D6	EN	リードバックのイネーブル。EN ビットに無関係に、LDAC モード・ビットは常に使用されることに注意してください。 1: ビット D5～ビット D2 で、リードバックするレジスタを選択します。読み出しが完了すると、ビット D6 は自動的にクリアされます。 0: リードバックは開始されません。
D5 to D2	REG_READBACK	ビット D6 が 1 の場合、ビット D5～ビット D2 でリードバックするレジスタを指定します。 0000: NOP。 0001: DAC リードバック。 0010: ADC シーケンス。 0011: 汎用設定。 0100: ADC ピン設定。 0101: DAC ピン設定。 0110: プルダウン設定。 0111: LDAC 設定。 1000: GPIO 書き込み設定。 1001: GPIO 書き込みデータ。 1010: GPIO 読み出し設定。 1011: パワーダウンおよびリファレンスの制御。 1100: オープン・ドレイン設定。 1101: スリー・ステート・ピン設定。 1110: 予約済み。 1111: ソフトウェア・リセット。
D1 to D0	LDAC mode	DAC 入力レジスタに書き込まれたデータの処理方法を指定します。 00: 入力レジスタに書き込まれたデータを直ちに DAC レジスタへコピーし、DAC 出力つを更新します(デフォルト)。 01: 入力レジスタへ書き込まれたデータを DAC レジスタへコピーしません。DAC 出力は更新されません。 10: 入力レジスタのデータが対応する DAC レジスタへコピーされます。データが転送されると、各 DAC 出力は同時に更新されます。 11: 予約済み。

## アプリケーション情報

### マイクロプロセッサ・インターフェース

マイクロプロセッサと AD5592R/AD5592R-1 とのインターフェースは、マイクロコントローラと DSP に対して互換性を持つ標準プロトコルを使うシリアル・バスを使って行います。この通信チャンネルは、クロック信号、データ入力信号、データ出力信号、同期信号から構成される 4 線式インターフェースです。このデバイスでは 16 ビット・ワードを使い、データは SCLK の立下がりエッジで有効になります。

### AD5592R/AD5592R-1 と SPI とのインターフェース

AD5592R/AD5592R-1 の SPI インターフェースは、業界標準の DSP とマイクロコントローラに容易に接続できるようにデザインされています。AD5592R/AD5592R-1 とアナログ・デバイセズの ADSP-BF531Blackfin® DSP との接続方法を示します。Blackfin は、AD5592R/AD5592R-1 の SPI ピンへ直接接続できる SPI ポートを内蔵しています。

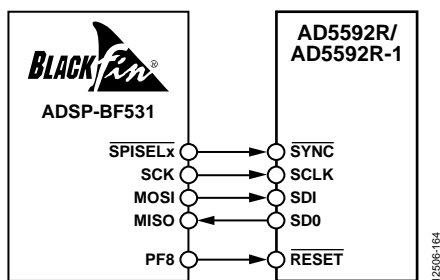


図 46. ADSP-BF531 の SPI インターフェース

### AD5592R/AD5592R-1 と SPORT のインターフェース

アナログ・デバイセズの ADSP-BF527 は、2 個の SPORT シリアル・ポートを内蔵しています。図 47 に、1 個の SPORT インターフェースを使って、AD5592R/AD5592R-1 を制御する方法を示します。ADSP-BF527 は使用できる SPI ポートも内蔵しています。この方法は、ADSP-BF531 を使用する場合と同じです。

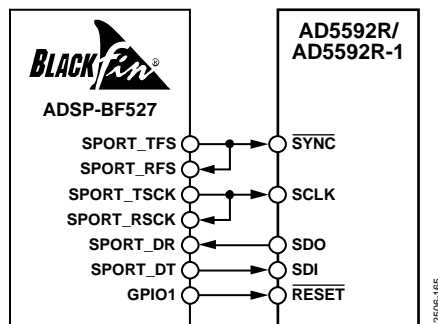


図 47. ADSP-BF527 の SPORT インターフェース

### レイアウトのガイドライン

高精度が重要となる回路では、電源とグラウンド・リターンレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5592R/AD5592R-1 を実装する PCB は、AD5592R/AD5592R-1 をアナログ・プレーン上に配置するようにデザインする必要があります。

AD5592R/AD5592R-1 に対しては、10 $\mu$ F と 0.1 $\mu$ F の並列接続による十分な電源バイパス・コンデンサをパッケージのできるだけ近くに、理想的にはデバイスに直接に、接続する必要があります。10  $\mu$ F のコンデンサはタンタルのビーズ型を使います。0.1  $\mu$ F のコンデンサは、実効直列抵抗(ESR)と実効直列インダクタンス(ESI)が小さい必要があります。例えばセラミック・コンデンサは、内部ロジックのスイッチングにより発生する過渡電流に起因する高周波に対してグラウンドへの低インピーダンス・パスを提供します。

外形寸法

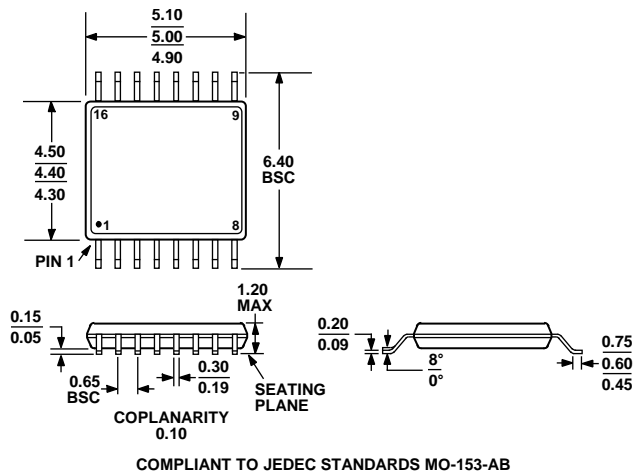


図 48.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP] (RU-16)  
寸法: mm

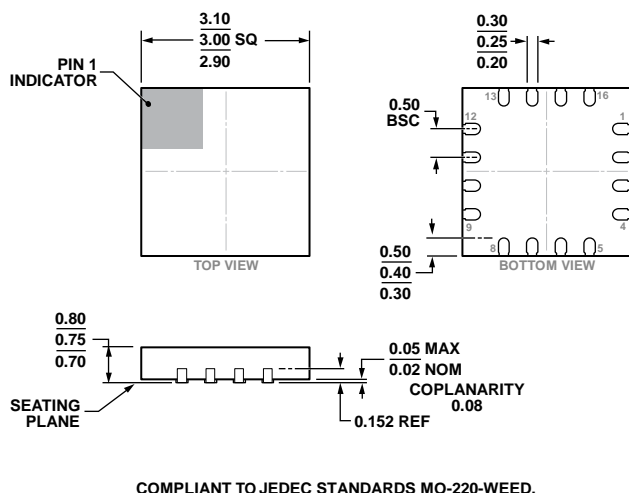
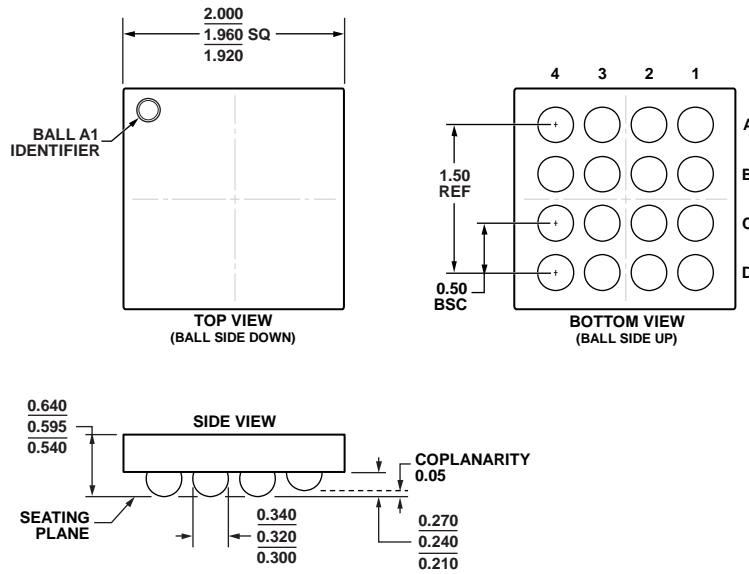


図 49.16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_WQ] 3 mm x 3 mm ボディ、極薄クワッド (CP-16-32)  
寸法: mm



10-17-2012-B

図 50.16 ボール・ウェハー・レベル・チップ・スケール・パッケージ[WLCSP]  
(CB-16-3)  
寸法: mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option	Branding
AD5592RBCBZ-1-RL7	-40°C to +105°C	16-Ball Wafer Level Chip Scale Package [WLCSP]	CB-16-3	
AD5592RBCPZ-1-RL7	-40°C to +105°C	16-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-16-32	DMD
AD5592RBRUZ	-40°C to +105°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16	
AD5592RBCBZ-RL7	-40°C to +105°C	16-Ball Wafer Level Chip Scale Package [WLCSP]	CB-16-3	
EVAL-AD5592R-1SDZ		Evaluation Board		

<sup>1</sup> Z = RoHS 準拠製品。