

AD5545/AD5555
特長

- 16ビット分解能 (AD5545)
- 14ビット分解能 (AD5555)
- ±1LSB DNL単調増加性
- ±2LSB INL (AD5545)
- 2mA±20%のフルスケール電流、 $V_{REF}=10V$
- 0.5 μ sのセトリング・タイム
- 2象限の乗算リファレンス入力、帯域幅：4MHz
- ゼロまたはミッドスケールのパワーアップ・プリセット
- ゼロまたはミッドスケールのダイナミック・リセット
- 3線式インターフェース
- 小型のTSSOP-16パッケージ

アプリケーション

- 自動テスト機器
- 計測機器
- デジタル制御式キャリブレーション
- 工業用制御PLC
- プログラマブル減衰器

概要

AD5545/AD5555は、電流出力、16/14ビットのD/Aコンバータで、±15Vまでのバイポーラ出力機能を備えており、5V単電源で動作します。

フルスケールの出力電流を実現するためには、外部リファレンスが必要です。外付けオペアンプと組み合わせてI/V変換を実行すると、内蔵の帰還抵抗 (R_{FB}) によって抵抗と温度のトラッキング機能が強化されます。

シリアル・データ・インターフェースでは、シリアル・データ入力 (SDI)、クロック (CLK)、チップ・セレクト (\overline{CS}) を使用する高速の3線式マイクロコントローラ互換入力が可能です。さらにLDAC機能を加えることで、同時更新動作が可能になります。内部リセット・ロジックにより、MSBピンの状態に応じて、ゼロまたはミッドスケールでのパワーオン・プリセットとダイナミック・リセットを行います。

AD5545/AD5555は、小型のTSSOP-16パッケージを採用しており、-40～+85℃で動作可能です。

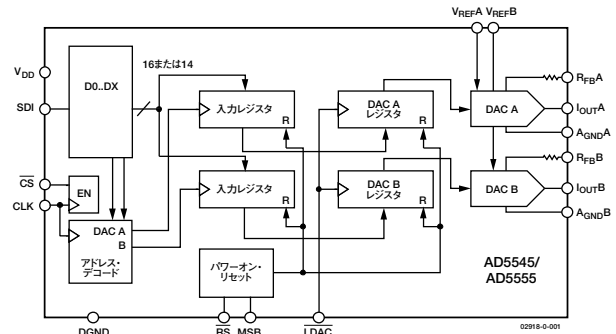
機能ブロック図


図1

AD5545/AD5555

目次

AD5545/AD5555 — 電気的特性.....	3	アプリケーション	13
絶対最大定格	5	安定性.....	13
ピン配置と機能の説明	6	正電圧出力.....	13
代表的な性能特性	9	バイポーラ出力.....	13
回路動作	11	プログラマブルな電流源.....	13
D/Aコンバータ部	11	プログラマブルな入力リファレンス・レンジ	
シリアル・データ・インターフェース.....	11	を持つDAC	14
パワーアップ・シーケンス.....	12	外形寸法	16
レイアウトと電源のバイパス.....	12	オーダー・ガイド.....	16
グラウンディング.....	12	ESDに関する注意.....	16

改訂履歴

リビジョン0：初版

AD5545/AD5555 — 電気的特性

表1. (特に指定のない限り、 $V_{DD}=5V\pm 10\%$ 、 I_{OUT} =仮想GND、 $GND=0V$ 、 $V_{REF}=10V$ 、 T_A =動作温度範囲全域)

パラメータ	記号	条件	5V±10%	単位
静的性能 ¹				
分解能	N	AD5545、 $1LSB = V_{REF}/2^{16} = 153\mu V$ ($V_{REF}=10V$ の時)	16	ビット
分解能	N	AD5555、 $1LSB = V_{REF}/2^{14} = 610\mu V$ ($V_{REF}=10V$ の時)	14	ビット
相対精度	INL	AD5545	±2	LSB (max)
相対精度	INL	AD5555	±1	LSB (max)
微分非直線性	DNL	単調増加性	±1	LSB (max)
出力漏れ電流	I_{OUT}	データ=0x0000、 $T_A=25^\circ C$	10	nA (max)
出力漏れ電流	I_{OUT}	データ=0x0000、 $T_A=T_A \text{ Max}$	20	nA (max)
フルスケール・ゲイン誤差	G_{FSE}	データ=フルスケール	±1/±4	mV (typ/max)
フルスケール温度係数 ²	TCV_{FS}		1	ppm/°C (typ)
リファレンス入力				
V_{REF} レンジ	V_{REF}		-12/+12	V (min) /V (max)
入力抵抗	R_{REF}		5	kΩ (typ) ³
入力容量 ²	C_{REF}		5	pF (typ)
アナログ出力				
出力電流	I_{OUT}	データ=フルスケール	2	mA (typ)
出力容量 ²	C_{OUT}	コードに依存	200	pF (typ)
ロジック入/出力				
ロジック入力ローレベル電圧	V_{IL}		0.8	V (max)
ロジック入力ハイレベル電圧	V_{IH}		2.4	V (min)
入力漏れ電流	I_{IL}		10	μA (max)
入力容量 ²	C_{IL}		10	pF (max)
インターフェース・タイミング ^{2, 4}				
クロック入力周波数	f_{CLK}		50	MHz
ハイレベルのクロック幅	t_{CH}		10	ns (min)
ローレベルのクロック幅	t_{CL}		10	ns (min)
\overline{CS} からクロックまでのセットアップ	t_{CSS}		0	ns (min)
クロックから \overline{CS} までのホールド	t_{CSH}		10	ns (min)
データ・セットアップ	t_{DS}		5	ns (min)
データ・ホールド	t_{DH}		10	ns (min)
\overline{LDAC} セットアップ	t_{LDS}		5	ns (min)
ホールド	t_{LDH}		10	ns (min)
\overline{LDAC} 幅	t_{LDAC}		10	ns (min)
電源特性				
電源電圧範囲	V_{DD} 範囲		4.5/5.5	V (min) /V (max)
正電源電流	I_{DD}	ロジック入力=0V	10	μA (max)
消費電力	P_{DISS}	ロジック入力=0V	0.055	mW (max)
電源変動感度	PSS	$\Delta V_{DD} = \pm 5\%$	0.006	%/% (max)

¹ すべての静的性能テスト (I_{OUT} を除く) は、外付けの高精度OP1177 I/Vコンバータ・アンプを使ったクロズド・ループ・システムで実施されています。AD5545の R_{FB} ピンはアンプ出力に接続されています。代表値 (typ) は25°Cでの測定値の平均です。

² これらのパラメータは設計によって保証されており、出荷テストは行っていません。

³ すべてのAC特性テストは、O42 I/Vコンバータ・アンプを使ったクロズド・ループ・システムで実施しています。

⁴ すべての入力制御信号は $t_r = t_f = 2.5ns$ (3Vの10~90%) で規定され、1.5Vの電圧レベルからタイミングをとります。

AD5545/AD5555

パラメータ	記号	条件	5V±10%	単位
AC特性				
出力電圧セトリング・タイム	t_s	フルスケールの±0.1%まで、データ=ゼロスケール→フルスケール→ゼロスケール	0.5	μs (typ)
リファレンス入力帯域幅	BW	$V_{REF}=5V$ p-p、データ=フルスケール	4	MHz (typ)
DACグリッチ・インパルス	Q	$V_{REF}=0V$ 、データ=ゼロスケール→ミッドスケール→ゼロスケール	7	nV-s (typ)
フィードスルー誤差	V_{OUT}/V_{REF}	データ=ゼロスケール、 $V_{REF}=100mV$ rms、 $f=1kHz$ 、同一チャンネル	-65	dB
デジタル・フィードスルー 全高調波歪み	Q THD	\overline{CS} =ロジック・ハイ、 $f_{CLK}=1MHz$ $V_{REF}=5V$ p-p、データ=フルスケール、 $f=1\sim 10kHz$	7 -85	nV-s (typ) dB (typ)
アナログ・クロストーク	C_{TA}	$V_{REFB}=0V$ 、 V_{OUTB} の測定は $V_{REFA}=5V$ p-pサイン波で実施、データ=フルスケール、 $f=1\sim 10kHz$	-95	dB (typ)
出力スポット・ノイズ電圧	e_N	$f=1kHz$ 、 $BW=1Hz$	12	nV/\sqrt{Hz}

絶対最大定格*

表2.

GNDに対する V_{DD}	-0.3V、+8V
GNDに対する V_{REF}	-18V、+18V
GNDに対するロジック入力.....	-0.3V、+8V
GNDに対する $V(I_{OUT})$	-0.3V、 $V_{DD}+0.3V$
電源ピン以外の全ピンの入力電流.....	$\pm 50mA$
パッケージ消費電力.....	$(T_{jmax} - T_A)/\theta_{JA}$
熱抵抗 θ_{JA}	
16ピンTSSOP	150°C/W
最大ジャンクション温度 (T_{jmax})	150°C
動作温度範囲.....	-40~+85°C
保存温度範囲.....	-65~+150°C
ピン温度	
RU-16 (ペーキング時間、60秒).....	215°C
RU-16 (赤外線、15秒).....	220°C

* 上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上でのデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

AD5545/AD5555

ピン配置と機能の説明

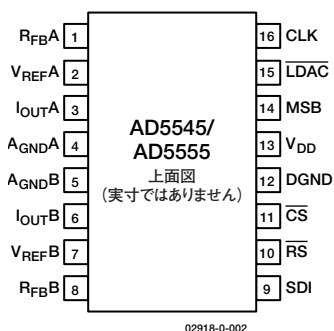


図2. 16ピンTSSOP

表3. ピン機能の説明 — 16ピンTSSOP

ピン番号	記号	機能
1	R _{FB} A	このピンを外付けアンプの出力に接続することで、DAC Aの電圧出力が得られます。
2	V _{REF} A	DAC Aのリファレンス入力端子。DAC Aのフルスケール出力電圧になります。このピンはV _{DD} ピンに接続することもできます。
3	I _{OUT} A	DAC Aの電流出力
4	A _{GND} A	DAC Aのアナログ・グラウンド
5	A _{GND} B	DAC Bのアナログ・グラウンド
6	I _{OUT} B	DAC Bの電流出力
7	V _{REF} B	DAC Bのリファレンス入力端子。DAC Bのフルスケール出力電圧になります。このピンはV _{DD} ピンに接続することもできます。
8	R _{FB} B	このピンを外付けアンプの出力に接続することで、DAC Bの電圧出力が得られます。
9	SDI	シリアル・データ入力。入力データをシフト・レジスタに直接ロードします。
10	\overline{RS}	RESETピン、アクティブ・ロー入力。入力レジスタとDACレジスタは、オール0またはミッドスケールに設定されます。MSB=0の場合、レジスタ・データ=0x0000です。MSB=1の場合、AD5545ではレジスタ・データ=0x8000、AD5555ではレジスタ・データ=0x2000になります。
11	\overline{CS}	チップ・セレクト、アクティブ・ロー入力。ハイレベルの場合、シフト・レジスタのロードをディスエーブルにします。 $\overline{CS}/\overline{LDAC}$ がハイレベルに戻ると、シリアル・レジスタのデータを入力レジスタに転送します。これは \overline{LDAC} 動作に影響を与えません。
12	DGND	デジタル・グラウンド・ピン
13	V _{DD}	正電源入力。動作仕様範囲は5V±10%または3V±10%です。
14	MSB	RESETパルス (\overline{RS}) 中またはシステムのパワーオン時に、MSBビットで出力を0またはミッドスケールに設定します。出力は、MSB=0の場合にゼロスケールになり、MSB=1の場合にミッドスケールになります。MSBピンは、グラウンドまたはV _{DD} に固定することもできます。
15	\overline{LDAC}	ロードDACレジスタ・ストローブ、レベル検出アクティブ・ロー。入力レジスタの全データをDACレジスタに転送します。非同期アクティブ・ロー入力。動作については表4と表5を参照。
16	CLK	クロック入力。立ち上がりエッジでデータをシフト・レジスタにクロック入力します。

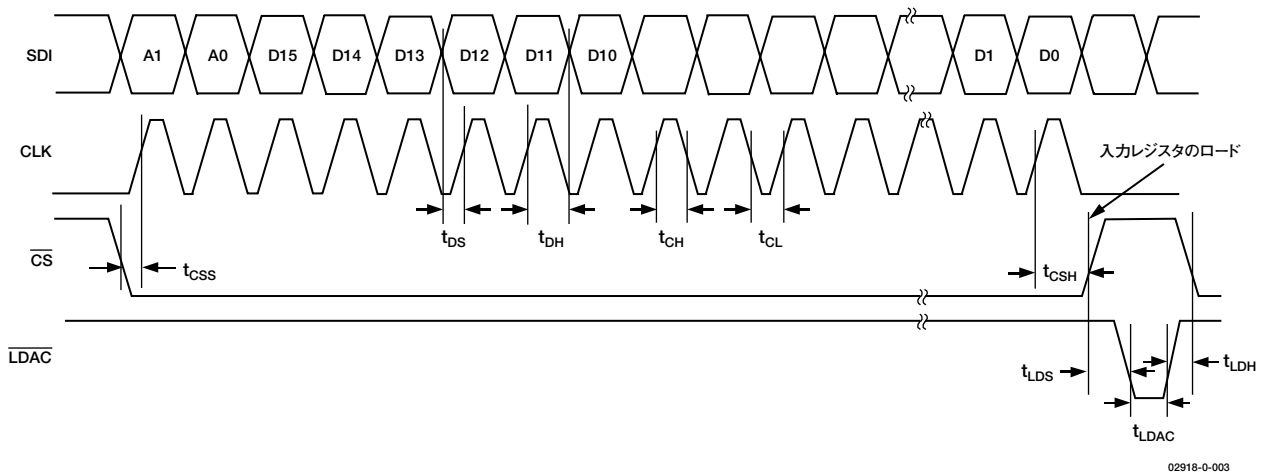


図3. 18ビット・データ・ワードのタイミング図 (AD5545)

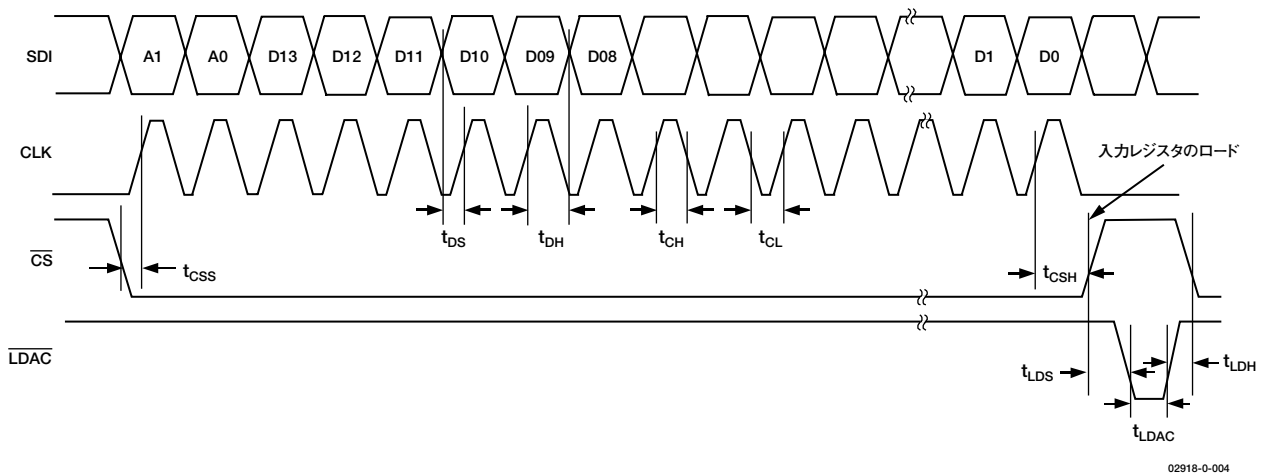


図4. 16ビット・データ・ワードのタイミング図 (AD5555)

表4. AD5545のコントロール・ロジック真理値表

\overline{CS}	CLK	\overline{LDAC}	\overline{RS}	MSB	シリアル・シフト・レジスタの機能	入力レジスタの機能	DACレジスタ
H	X	H	H	X	影響なし	ラッチ	ラッチ
L	L	H	H	X	影響なし	ラッチ	ラッチ
L	$\uparrow+$	H	H	X	シフト・レジスタのデータが1ビットずつシフトします。	ラッチ	ラッチ
L	H	H	H	X	影響なし	ラッチ	ラッチ
$\uparrow+$	L	H	H	X	影響なし	選択されたDACが現在のSR電流で更新されます。	ラッチ
H	X	L	H	X	影響なし	ラッチ	透過的
H	X	H	H	X	影響なし	ラッチ	ラッチ
H	X	$\uparrow+$	H	X	影響なし	ラッチ	ラッチ
H	X	H	L	0	影響なし	ラッチされたデータ = 0x0000	ラッチされたデータ = 0x0000
H	X	H	L	H	影響なし	ラッチされたデータ = 0x8000	ラッチされたデータ = 0x8000

注
 1. SR=シフト・レジスタ、 $\uparrow+$ =立ち上がりロジック遷移、X=ドント・ケア
 2. パワーオン時に、入力レジスタとDACレジスタにオール0がロードされます。

AD5545/AD5555

表5. AD5555のコントロール・ロジック真理値表

CS	CLK	LDAC	RS	MSB	シリアル・シフト・レジスタの機能	入力レジスタの機能	DACレジスタ
H	X	H	H	X	影響なし	ラッチ	ラッチ
L	L	H	H	X	影響なし	ラッチ	ラッチ
L	↑+	H	H	X	シフト・レジスタのデータが1ビットずつシフトします。	ラッチ	ラッチ
L	H	H	H	X	影響なし	ラッチ	ラッチ
↑+	L	H	H	X	影響なし	選択されたDACが現在のSR電流で更新されます。	ラッチ
H	X	L	H	X	影響なし	ラッチ	透過的
H	X	H	H	X	影響なし	ラッチ	ラッチ
H	X	↑+	H	X	影響なし	ラッチ	ラッチ
H	X	H	L	0	影響なし	ラッチされたデータ = 0x0000	ラッチされたデータ = 0x0000
H	X	H	L	H	影響なし	ラッチされたデータ = 0x2000	ラッチされたデータ = 0x2000

注

- SR=シフト・レジスタ、↑+=立ち上がりロジック遷移、X=ドント・ケア
- パワーオン時に、入力レジスタとDACレジスタにオール0がロードされます。

表6. AD5545のシリアル入力レジスタのデータ・フォーマット、データはMSBファースト・フォーマットでロード

	MSB																	LSB
ビット位置	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
データ・ワード	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

CSラインの立ち上がりエッジがロジック・ハイに戻るときは、シリアル・レジスタにクロック入力されたデータ（アドレス+データ）の最後の18ビットのみを調べます。この時点では、内部的に生成されたロード・ストロープによって、シリアル・レジスタのデータ内容（ビットD15～D0）を、デコードされたDAC入力レジスタ・アドレス（ビットA1とA0によって決定）に転送します。AD5545のシフト・レジスタにクロック入力された余分なビットは無視され、クロック入力された最後の18ビットのみを使用します。ダブルバッファ機能を必要としない場合は、LDACピンをロジック・ローに接続し、DACレジスタをディスエーブルにできます。

表7. AD5555のシリアル入力レジスタのデータ・フォーマット、データはMSBファースト・フォーマットでロード

	MSB																	LSB
ビット位置	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0		B0
データ・ワード	A1	A0	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0		D0

CSラインの立ち上がりエッジがロジック・ハイに戻るときは、シリアル・レジスタにクロック入力されたデータ（アドレス+データ）の最後の16ビットのみを調べます。この時点では、内部的に生成されたロード・ストロープによって、シリアル・レジスタのデータ内容（ビットD13～D0）を、デコードされたDAC入力レジスタ・アドレス（ビットA1とA0によって決定）に転送します。AD5555のシフト・レジスタにクロック入力された余分なビットは無視され、クロック入力された最後の16ビットのみを使用します。ダブルバッファ機能を必要としない場合は、LDACピンをロジック・ローに接続し、DACレジスタをディスエーブルにできます。

表8. アドレス・デコード

A1	A0	デコードされたDAC
0	0	なし
0	1	DAC A
1	0	DAC B
1	1	DAC AとDAC B

代表的な性能特性

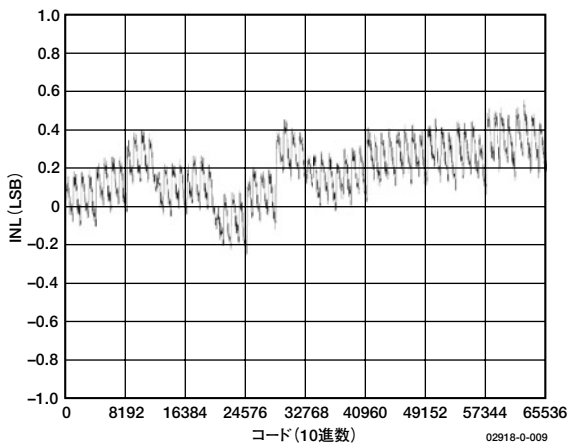


図5. AD5545の積分非直線性誤差

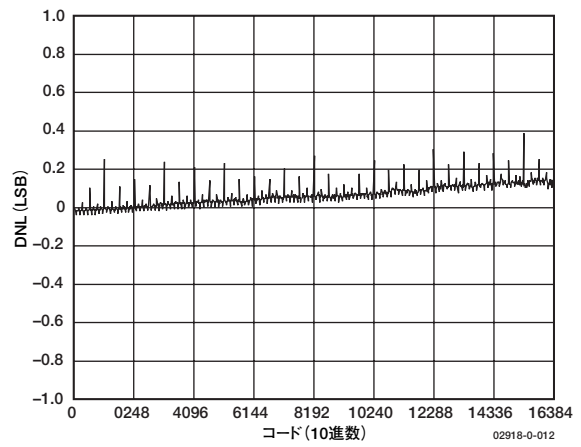


図8. AD5555の微分非直線性誤差

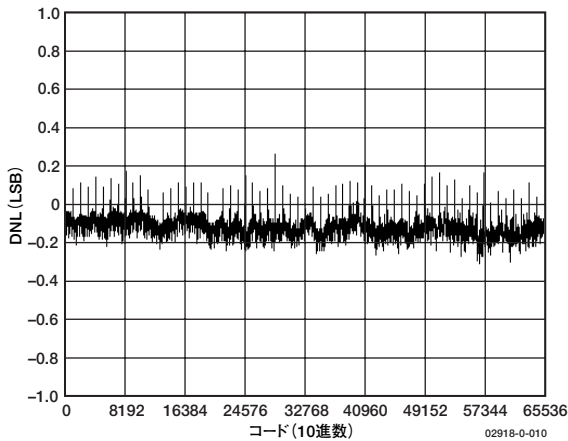


図6. AD5545の微分非直線性誤差

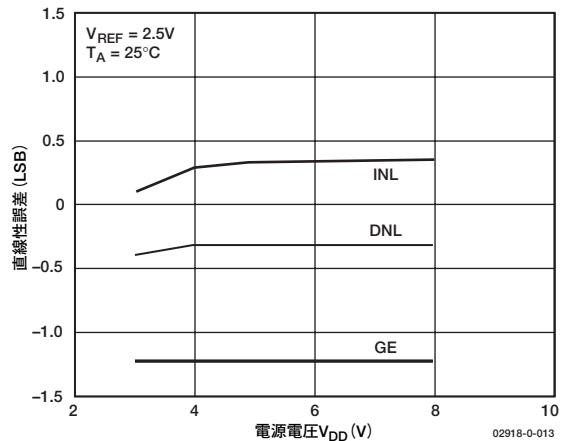
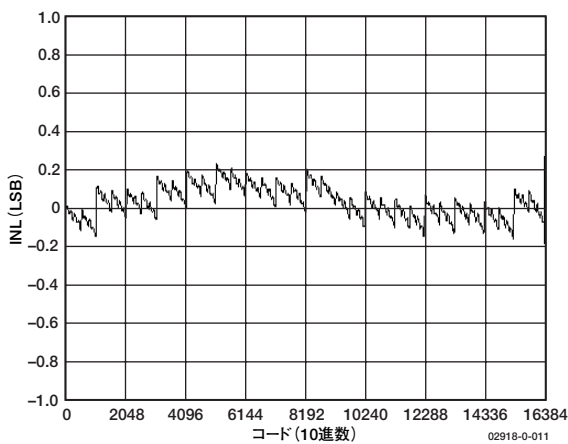
図9. V_{DD} 対 直線性誤差

図7. AD5555の積分非直線性誤差

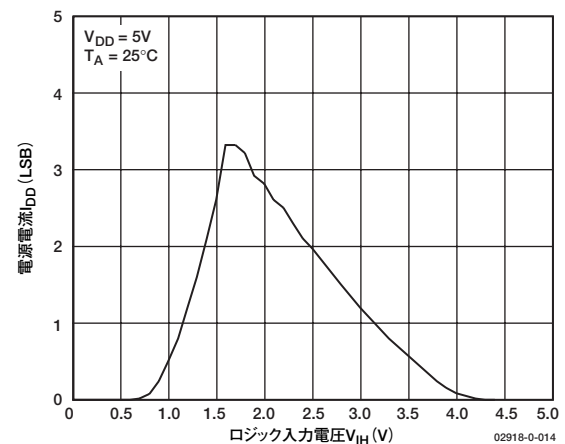


図10. ロジック入力電圧 対 電源電流

AD5545/AD5555

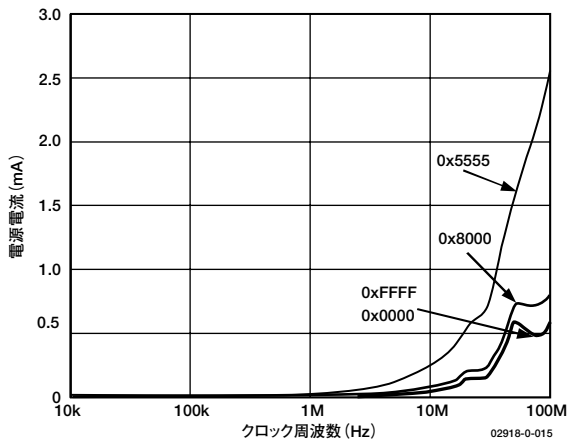


図11. クロック周波数 対 電源電流

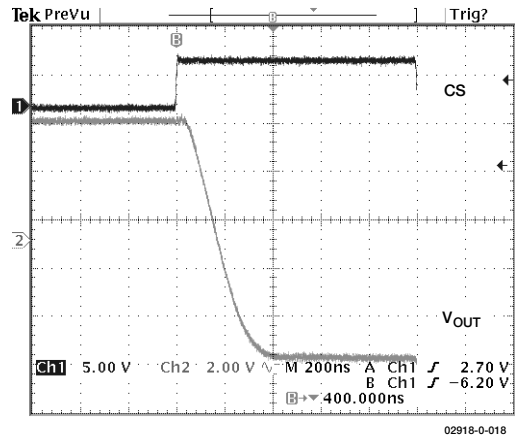


図14. セtring・タイム

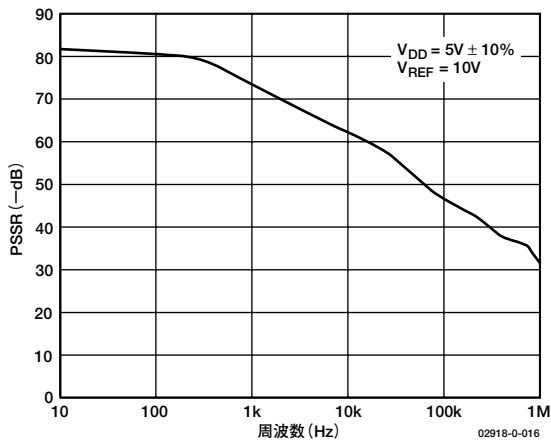


図12. 電源除去比の周波数特性

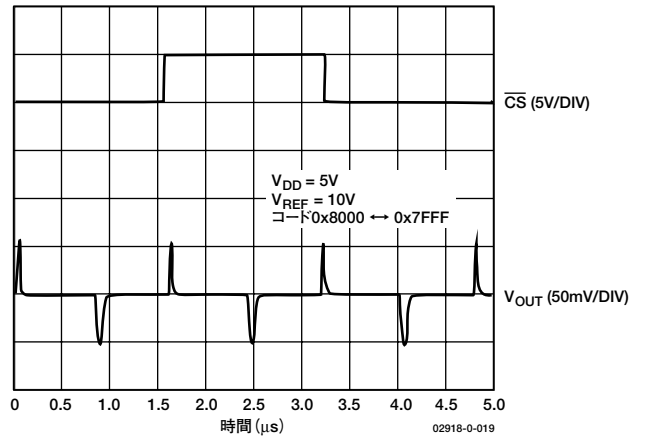


図15. ミッドスケール遷移とデジタル・フィードスルー

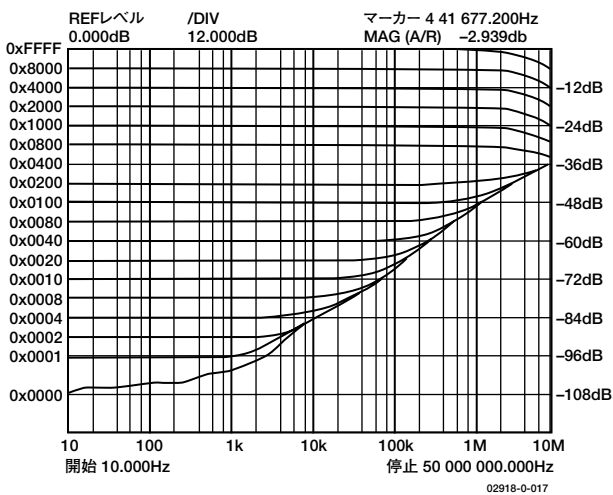


図13. リファレンス入力帯域幅

回路動作

AD5545/AD5555は、電流出力型16/14ビットD/Aコンバータ、シリアル入力レジスタ、DACレジスタを内蔵しています。いずれのデバイスも、最小限の3線式シリアル・データ・インターフェースのほか、デュアル・チャンネル同時更新用のLDACを必要とします。

D/Aコンバータ部

DACアーキテクチャは、カレント・ステアリング型のR-2Rラダー・デザインを採用しています。図16に、代表的な等価DACを示します。DACは、外付けI/Vコンバータ・アンプと組み合わせて使用するマッチング帰還抵抗を内蔵しています。R_{FB}ピンを外付けアンプの出力に接続します。外付けアンプの反転入力にはI_{OUT}端子を接続します。これらのDACは、正と負の両方のリファレンスで動作するように設計されています。V_{DD}電源ピンは、ロジックでDACスイッチのON/OFF状態を駆動するときのみ使用します。マッチング用スイッチを内蔵の5kΩ帰還抵抗と直列に使用する点に注意してください。R_{FB}値を測定する際には、連続性を維持するためにV_{DD}に電源を接続します。式1と式2に従って、対応するDACレジスタにロードされるV_{REF}入力電圧とデジタル・データ (D) によって、DAC出力電圧が決まります。

$$V_{OUT} = -V_{REF} \times D / 65,536 \quad (1)$$

$$V_{OUT} = -V_{REF} \times D / 16,384 \quad (2)$$

なお、出力フルスケールの極性は、DCリファレンスのV_{REF}極性の反対になります。

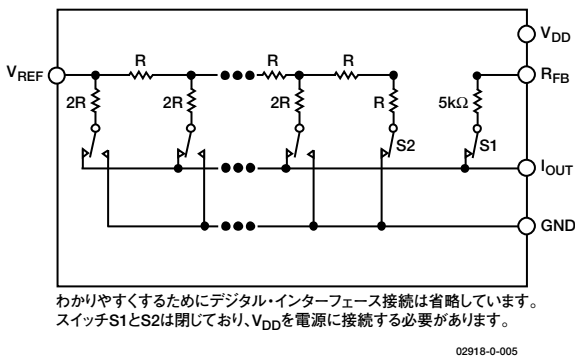


図16. R-2R DACの等価回路

これらのDACはACリファレンス信号も入力できるように設計されています。AD5545/AD5555には、-12~+12Vの範囲のリファレンスを入力できます。このリファレンス電圧入力の公称入力抵抗値は一定で、5kΩ±30%です。DAC出力 (I_{OUT}) はコードに依存し、出力抵抗値と容量値はさまざまです。外付けアンプの選択に際しては、アンプ反転入力ノードにおけるAD5545/AD5555によるインピーダンス変動を考慮する必要があります。DACのラダー抵抗と並列に接続されている帰還抵抗が、出力電圧ノイズで支配的なものになります。

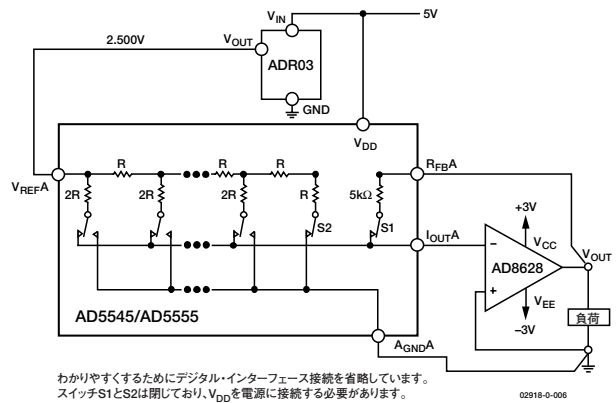


図17. 推奨されるシステム接続

シリアル・データ・インターフェース

AD5545/AD5555では、シングル・チャンネル更新動作のために最小限の3線式 (CS、SDI、CLK) シリアル・データ・インターフェースを使用します。一例として表4を使用すると (AD5545)、LDACをローレベルに、RSをハイレベルに接続してから、18ビットの期間中CSをローレベルにプルできます。これによって、新しいシリアル・データが、MSBビットを最初にロードする18ビットのデータ・ワード・フォーマットでシリアル入力レジスタにクロック入力されます。表5に、AD5555の真値表を示します。データはSDIピン上に置かれ、CLKの立ち上がりエッジでレジスタにクロック入力されます。AD5545では、CSピンがハイレベルにストロブされているとき、シリアル・レジスタにクロック入力された最後の18ビットだけを調べ、シリアル・レジスタのデータをDACレジスタに転送し、出力を更新します。使用するマイクロコントローラが、8ビット・バイトなど、AD5545とは異なる長さのシリアル・データを出力する場合は、3つの右寄せしたデータ・バイトをAD5545に書き込むことができます。AD5545は、6つのMSBを無視し、18のLSBを有効データとして認識します。シリアル・レジスタのロード後、CSの立ち上がりエッジでシリアル・レジスタのデータをDACレジスタに転送し、出力を更新します。このCSストロブ期間中には、CLKをトグルしないでください。

各チャンネルを別々にプログラムし、これらを同時に更新したい場合は、まずLDACとRSをハイレベルにプログラムしてから、18ビットの期間中CSをローレベルにプルして、DAC Aに適切なアドレス・ビットとデータ・ビットをプログラムする必要があります。続いて、CSをハイレベルにプルしてデータをDAC Aレジスタにラッチします。この時点では、出力は更新されません。DAC Bデータをロードするには、18ビットの期間中CSをローレベルにプルし、DAC Bに適切なアドレスとデータをプログラムしてから、CSをハイレベルにプルしてデータをDAC Bレジスタにラッチします。最後に、LDACをローレベルにプルしてから、ハイレベルにプルしてDAC AとDAC Bの両方の出力を同時に更新します。

AD5545/AD5555

表8に、DAC AとDAC Bにそれぞれ新しいデータを別々にロードできることを示します。さらに、ビットA1=A0=ハイレベルに設定すれば、共通の新しいデータを両方のDACに同時にロードできます。このコマンドにより、 I_{OUTA} と I_{OUTB} を接続して2つのDACを並列に組み合わせれば、大幅にノイズ性能が向上した1つのDACとして機能することが可能になります。

ESD保護回路

すべてのロジック入力ピンには逆バイアスされたESD保護ツェナーが挿入されており、図18に示すように、デジタル・グラウンド (DGND) と V_{DD} の間に接続されています。

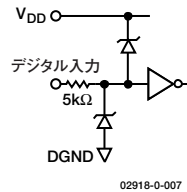


図18. 等価なESD保護回路

パワーアップ・シーケンス

リファレンスより前に、 V_{DD} とグラウンドをパワーアップすることを推奨します。理想的なパワーアップ・シーケンスは、 A_{GNDX} 、DGND、 V_{DD} 、 V_{REFX} 、デジタル入力の順番になります。上記以外のパワーアップ・シーケンスでは、リファレンス電流が高くなる場合がありますが、いったん V_{DD} に電力が供給されれば、デバイスは通常の動作を再開します。

PCボードのレイアウトと電源バイパス

最小リード長のコンパクトなレイアウト設計を採用することを推奨します。入力リード線は、最小の導体長になるように可能な限りまっすぐ配線してください。グラウンド・パスは、低抵抗、低インダクタンスにします。

同様に、最大限の安定性を実現するために、高品質のコンデンサで電源をバイパスすることを推奨します。デバイスへの電源リード線は、0.01~0.1 μ Fのディスクまたはチップのセラミック・コンデンサでバイパスしてください。さらに過渡障害を最小限に抑えて低周波数リップルを除去するために、 V_{DD} に1~10 μ Fの低ESRタンタル・コンデンサまたは電解コンデンサを使用してください (図19を参照)。電源除去比が周波数と共に低下するので、 V_{DD} にはスイッチング・レギュレータを使用しないでください。

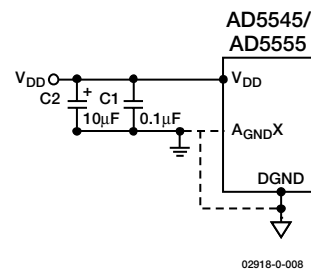


図19. 電源のバイパスとグラウンディング

グラウンディング

AD5545/AD5555のDGNDピンと A_{GNDX} ピンは、デジタルとアナログのグラウンド・リファレンスを表します。デジタル・グラウンド・バウンスを最小限に抑えるため、DGND端子をアナログ・グラウンド・プレーンに1点でリモート結合してください (図19を参照)。

アプリケーション

安定性

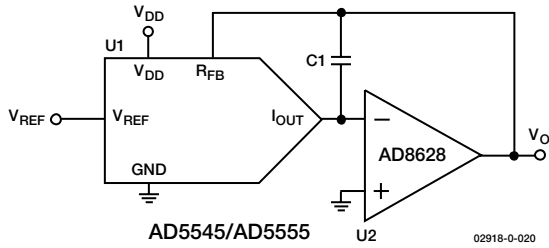


図20. ゲイン・ピーキング防止用の動作補償コンデンサ

I/V変換の構成では、DACのI_{OUT}とオペアンプの反転ノードをできるだけ短い配線で接続する必要があります。適切なPCボード・レイアウト技術を採用する必要があります。各コード変化はステップ関数に対応するため、オペアンプのGB積が制限されている場合、また反転ノードの寄生容量が大きい場合には、ゲイン・ピーキングが発生することがあります。

図20に示すように、安定性を維持するために、オプションの補償コンデンサC1を追加することができます。C1は経験的に決めることができますが、一般に、補償としては20pFで十分です。

正電圧出力

正電圧出力を得るには、抵抗の公称誤差のために、反転アンプによる出力反転よりも、DACの入力に負のリファレンスを接続するほうがよいでしょう。負のリファレンスを生成するには、オペアンプを使ってリファレンスをレベル・シフトし、リファレンス回路のV_{OUT}ピンとGNDピンがそれぞれ仮想グラウンドと-2.5Vになるようにすることができます(図21を参照)。

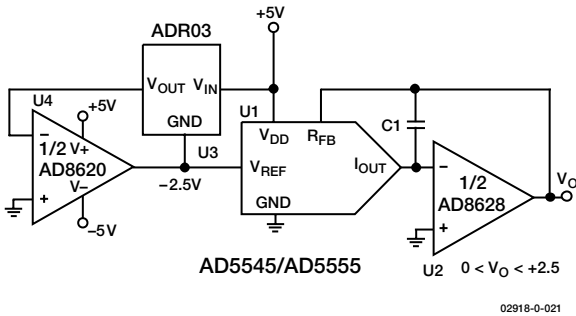


図21. 正電圧出力の構成

バイポーラ出力

AD5545/AD5555は2象限の乗算型D/Aコンバータであることから、これをユニポーラ出力動作用に設定するのは簡単です。フルスケール出力の極性は、リファレンス入力電圧と反対になります。

アプリケーションによっては、フル4象限の乗算機能、つまりバイポーラ出力振幅の生成が必要になることがあります。これは、加算アンプとして構成された外付けアンプU4を追加することで簡単に実現できます(図22を参照)。この回路では、2番目のアンプU4がゲイン2を提供して、出力振幅を5Vに増幅します。リファレンス電圧から2.5Vのオフセットで外付けアンプをバイアスすると、フル4象限の乗算回路が得られます。この回路の伝達式では、入力データ(D)がコード・ゼロ(V_{OUT}=-2.5V)→ミッドスケール(V_{OUT}=0V)→フルスケール(V_{OUT}=+2.5V)へと増大するため、負と正の両方の出力電圧が発生することがわかります。

$$V_{OUT} = (D/32,768 - 1) \times V_{REF} \quad (\text{AD5545}) \quad (3)$$

$$V_{OUT} = (D/16,384 - 1) \times V_{REF} \quad (\text{AD5555}) \quad (4)$$

AD5545では、外部抵抗公称誤差が注意を要する主要な誤差になります。

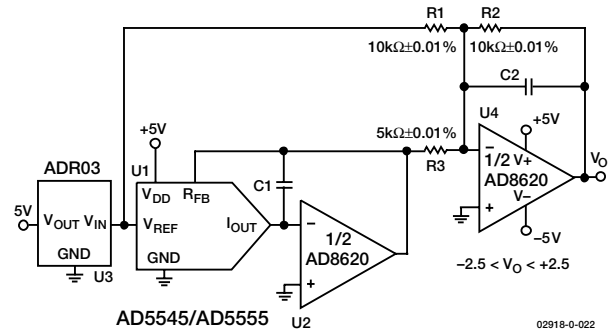


図22. 4象限の乗算型アプリケーション回路

プログラマブルな電流源

図23に、改良型Howland電流ポンプを使用する多用途のV/I変換回路を示します。この回路によって、高精度の電流変換機能のほか、双方向電流機能と高いコンプライアンス電圧も可能になります。この回路は、最大負荷が500Ωの4~20mAの電流トランスミッタで使用できます。図23に示すように、抵抗ネットワークがマッチしている場合、負荷電流は次式で得られます。

$$I_L = \frac{(R2 + R3)}{R1} \times V_{REF} \times D \quad (5)$$

理論的には、R3を小さくして、U3の出力電流駆動能力の範囲内で必要な電流を得ることができます。この回路では、AD8510で両方向に±20mAを供給することができ、コンプライアンス電圧は15Vに近くなります。コンプライアンス電圧は、主にU3の電源電圧によって制限されますが、補償コンデンサに注意する必要があります。C1がない場合、出力インピーダンスは次のようになります。

$$Z_o = \frac{R1'R3(R1 + R2)}{R1(R2' + R3') - R1'(R2 + R3)} \quad (6)$$

AD5545/AD5555

抵抗が完全にマッチしている場合、 Z_0 は無限大になります。これは望ましい状態であり、抵抗が理想的な電流源として動作します。反対に抵抗がマッチしていない場合には、 Z_0 は正または負になります。負の Z_0 は発振の原因になります。そのため、 $C1$ を接続して、発振を防止する必要があります。クリティカルなアプリケーションの場合、条件に合う $C1$ 値を経験的に探すことができますが、一般的には数pFの範囲内です。

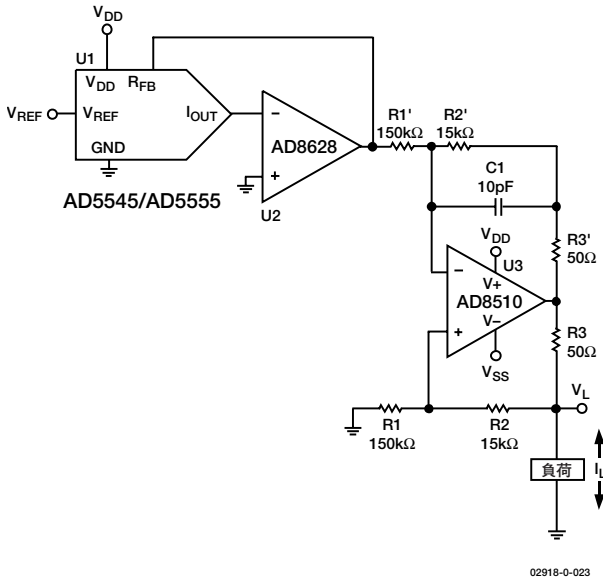


図23. 双方向電流制御および高いコンプライアンス電圧を備えたプログラマブルな電流源

プログラマブルな入力ファレンス・レンジを持つ DAC

高電圧リファレンスは高価なことが多いため、1つのDAC、デジタル・ポテンシオメータ、低電圧リファレンスを使用して、プログラマブルな入力ファレンス・レンジを持つシングル・チャンネルDACを構成することもできます。この方法により、プログラム可能なレンジを最適化できるほか、将来のシステム・アップグレードもソフトウェアの変更だけでできるようになります。図24にこの方法を示します。 V_{REFAB} は帰還ネットワーク内にあるため、次の式が成立します。

$$V_{REFAB} = V_{REF} \times \left(1 + \frac{R_{WB}}{R_{WA}}\right) - \left(-V_{REF-AB} \times \frac{D_A}{2^N} \times \frac{R_{WB}}{R_{WA}}\right) \quad (7)$$

ここで、

V_{REFAB} = V_{REFA} と V_{REFB} のリファレンス

V_{REF} = 外部リファレンス

D_A = DAC Aのデジタル・コード (10進)

N = DACのビット数

R_{WB} と R_{WA} は、デジタル・ポテンシオメータの128ステップでプログラマブルな抵抗であり、次の式で得られます。

$$R_{WB} \approx \frac{D_C}{128} R_{AB} \quad (8)$$

$$R_{WA} \approx \frac{128 - D_C}{128} R_{AB} \quad (9)$$

$$\frac{R_{WB}}{R_{WA}} \approx \frac{D_C}{128 - D_C} \quad (10)$$

ここで、 D_C は、10進で表したデジタル・ポテンシオメータのデジタル・コードです ($0 \leq D_C \leq 127$)。

式7~10をまとめると、次の式が得られます。

$$V_{REFAB} = V_{REF} \times \frac{\left(1 + \frac{D_C}{128 - D_C}\right)}{1 - \frac{D_A}{2^N} \times \frac{D_C}{128 - D_C}} \quad (11)$$

表9に、14ビットAD5555の V_{REFAB} の例をいくつか示します。

表9. AD5555の D_C 、 D_A に対する V_{REFAB}

D_C	D_A	V_{REFAB}
0	X	V_{REF}
32	0	$1.33V_{REF}$
32	8192	$1.6V_{REF}$
64	0	$2V_{REF}$
64	8192	$4V_{REF}$
96	0	$4V_{REF}$
96	8192	$-8V_{REF}$

したがって、DAC Bの出力は次のようになります。

$$V_{OB} = -V_{REFAB} \frac{D_B}{2^N} \quad (12)$$

ここで、 D_B は、10進で表したDAC Bのデジタル・コードです。

V_{REFAB} の精度は、入力と帰還抵抗のマッチングによる影響を受けます。したがって、固有の抵抗マッチングを考慮して、U4にデジタル・ポテンシオメータを使用します。AD7376は、30Vまたは±15Vの、128ステップのデジタル・ポテンシオメータです。15Vまたは±7.5Vで十分なアプリケーションの場合には、代わりに、256ステップのAD5260デジタル・ポテンシオメータを使用できます。

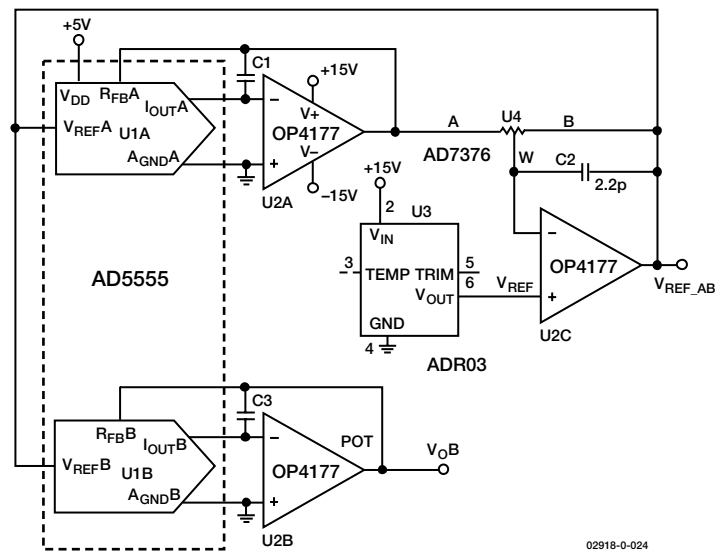


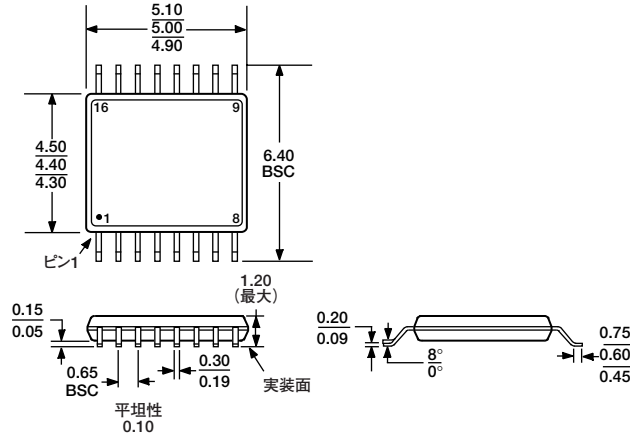
図24. プログラム可能な入力ファレンス・レンジを持つDAC

AD5545/AD5555

外形寸法

16ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP] (RU-16)

寸法単位：mm



JEDEC規格MO-153ABに準拠

オーダー・ガイド

AD5545/AD5555製品	INL LSB	DNL LSB	分解能 (ビット)	温度範囲	パッケージ	パッケージ外形	数量
AD5545BRU*	±2	±1	16	-40～+85℃	TSSOP-16	RU-16	96
AD5545BRU-REEL7	±2	±1	16	-40～+85℃	TSSOP-16	RU-16	1000
AD5555CRU	±1	±1	14	-40～+85℃	TSSOP-16	RU-16	96
AD5555CRU-REEL7	±1	±1	14	-40～+85℃	TSSOP-16	RU-16	1000

* AD5545/AD5555は3131個のトランジスタを内蔵。チップ・サイズは、71ミル×96ミル (6,816平方ミル) です。

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されます。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



C02918-0-7/03(0)

PRINTED IN JAPAN