

特長

高集積度：12×12mm²のLFBGAパッケージに32チャンネルDACを内蔵

電圧出力範囲の外部設定可

単調性を保証

リードバック機能を内蔵

DSP/マイクロコントローラ互換のシリアル・インターフェース出力インピーダンス

0.5 (AD5532-1、AD5532-2)

500 (AD5532-3)

1k (AD5532-5)

出力電圧範囲

10V (AD5532-1、AD5532-3、AD5532-5)

20V (AD5532-2)

0.018%精度の時間無制限サンプル/ホールド機能

温度範囲：-40～+85

アプリケーション

レベル設定

計装機器

自動テスト装置

工業用制御システム

データ・アクイジション

低価格I/O

概要

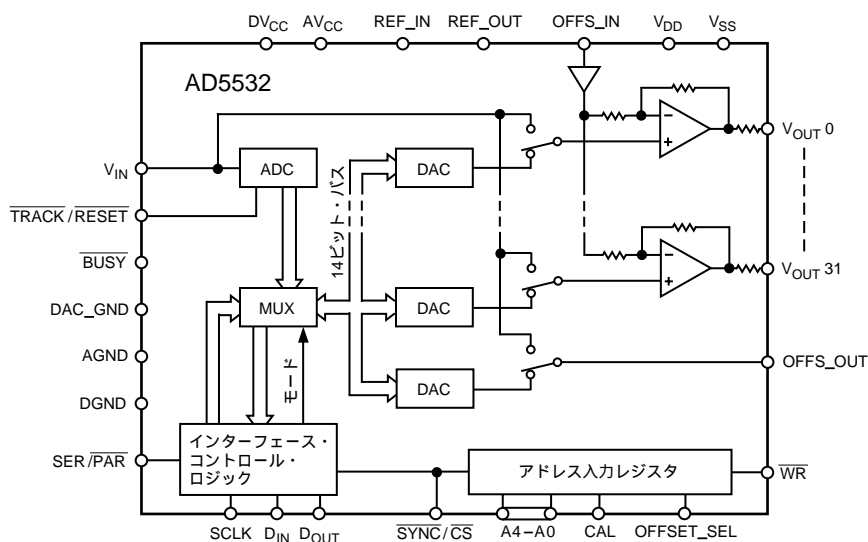
AD5532は、ホールド時間の制限が無いサンプル/ホールド・モードが追加された32チャンネルの電圧出力14ビットDACです。選択したDACレジスタに3線式シリアル・インターフェースを経由して書き込みを行うと、このDACのV_{OUT}が更新されてDACレジスタの新しい内容が反映されます。DACの選択は、アドレス・ビットA0～A4を使って行います。出力電圧範囲は、OFFS_INピンのオフセット電圧と出力アンプのゲインによって決定されます。この出力範囲は、出力アンプのヘッドルームのためにV_{SS}+2～V_{DD}-2Vに制限されます。

このデバイスは、AV_{CC}=5V±5%、DV_{CC}=2.7～5.25V、V_{SS}=-4.75～-16.5V、V_{DD}=8～16.5Vで動作し、REF_INとOFFS_INにそれぞれ安定した+3Vリファレンスとオフセット電圧が必要です。

製品のハイライト

1. ひとつのパッケージ内に32チャンネルの14ビットDACを内蔵し、単調性を保証。
2. 12mm×12mmの74ピンLFBGAパッケージを採用。
3. ドループ（サグ）のない/ホールド時間に制限のない、サンプル/ホールド・モード。

機能ブロック図



*米国特許No. 5,969,657により保護されています。その他の特許は申請中です。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD5532 - 仕様

($V_{DD} = 8 \sim 16.5V$ 、 $V_{SS} = -4.75 \sim -16.5V$; $AV_{CC} = 4.75 \sim 5.25V$; $DV_{CC} = 2.7 \sim 5.25V$; $AGND = DGND = DAC_GND = 0V$; $REF_IN = 3V$; 出力範囲 : $V_{SS} + 2V \sim V_{DD} - 2V$ 。出力はすべて無負荷。特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定)

パラメータ ¹	Aバージョン ²		単位	条件 / 備考
	AD5532-1/-3/-5	AD5532-2		
DACのDC性能				
分解能	14	14	ビット	
積分非直線性 (INL)	± 0.39	± 0.39	FSR maxの%	$\pm 0.15\%$ (typ)
微分非直線性 (DNL)	± 1	± 1	LSB max	± 0.5 LSB (typ) 単調
オフセット	90/170/250	180/350/500	mV min/typ/max	図6参照
ゲイン	3.52	7	typ	
フルスケール誤差	± 2	± 2	FSR maxの%	
リファレンス				
REF_IN				
公称入力電圧	3.0	3.0	V typ	
入力電圧範囲 ³	3.285/3.15	2.85/3.15	V min/max	
入力電流	1	1	μA max	< 1nA typ
REF_OUT				
出力電圧	3	3	V (typ)	
出力インピーダンス ³	280	280	k (typ)	
リファレンスの温度係数 ³	60	60	ppm/ typ	
アナログ出力 ($V_{OUT} 0 \sim 31$)				
出力温度係数 ^{3, 4}	20	20	ppm/ typ	
DC出力インピーダンス ³				
AD5532-1,-2	0.5	0.5	typ	
AD5532-3	500		typ	
AD5532-5	1		k typ	
出力範囲	$V_{SS} + 2/V_{DD} - 2$	$V_{SS} + 2/V_{DD} - 2$	V min/max	出力負荷100 μA
抵抗負荷 ^{3, 5}	5	5	k min	
容量負荷 ^{3, 5}				
AD5532-1,-2	500	500	pF max	
AD5532-3	15		nF max	
AD5532-5	40		nF max	
短絡電流 ³	10	10	mA typ	
DC電源変動除去比 ³	- 70	- 70	dB typ	$V_{DD} = +15V \pm 5\%$
	- 70	- 70	dB typ	$V_{SS} = -15V \pm 5\%$
DCクロストーク ³	250	1500	μV max	
アナログ出力 (OFFS_OUT)				
出力温度係数 ^{3, 4}	20	20	ppm/ typ	
DC出力インピーダンス ³	1.3	1.3	k typ	
出力範囲	50 ~ REF_IN - 12	50 ~ REF_IN - 12	mV typ	
出力電流	10	10	μA max	ソース電流
容量負荷	100	100	pF max	
デジタル入力³				
入力電流	± 10	± 10	μA max	$\pm 5 \mu A$ typ
入力ローレベル電圧				
	0.8	0.8	V max	$DV_{CC} = 5V \pm 5\%$
	0.4	0.4	V max	$DV_{CC} = 3V \pm 10\%$
入力ハイレベル電圧				
	2.4	2.4	V min	$DV_{CC} = 5V \pm 5\%$
	2.0	2.0	V min	$DV_{CC} = 3V \pm 10\%$
入力ヒステリシス (SCLKとCSのみ)	200	200	mV typ	
入力容量	10	10	pF max	
デジタル出力 (BUSY、D_OUT)³				
出力ローレベル電圧、 $DV_{CC} = 5V$	0.4	0.4	V max	シンク電流200 μA
出力ハイレベル電圧、 $DV_{CC} = 5V$	4.0	4.0	V min	ソース電流200 μA
出力ローレベル電圧、 $DV_{CC} = 3V$	0.4	0.4	V max	シンク電流200 μA
出力ハイレベル電圧、 $DV_{CC} = 3V$	2.4	2.4	V min	ソース電流200 μA
ハイインピーダンス時リーク電流	± 1	± 1	μA max	D_OUTの場合
ハイインピーダンス時出力容量	15	15	pF typ	D_OUTの場合

パラメータ ¹	Aバージョン ²		単位	条件 / 備考
	AD5532-1/-3/-5	AD5532-2		
電源条件				
電源電圧				
V_{DD}	8/16.5	8/16.5	V min/max	
V_{SS}	- 4.75/ - 16.5	- 4.75/ - 16.5	V min/max	
AV_{CC}	4.75/5.25	4.75/5.25	V min/max	
DV_{CC}	2.7/5.25	2.7/5.25	V min/max	
電源電流 ⁶				
I_{DD}	15	15	mA max	10mA typ 全チャンネルがフルスケール時
I_{SS}	15	15	mA max	10mA typ 全チャンネルがフルスケール時
AICC	33	33	mA max	26mA (typ)
DICC	1.5	1.5	mA max	1mA (typ)
消費電力 ⁶	280	280	mW typ	$V_{DD} = 10V$ 、 $V_{SS} = - 5V$
AC特性 ³				
出力電圧セトリング・タイム	22	30	μs max	500pF、5k 負荷 フルスケール変化
OFFS_INのセトリング・タイム	10	25	μs max	500pF、5k 負荷 ; 0 ~ 3Vのステップ
デジタルからアナログへのグリッチ・インパルス	1	1	nV-s typ	メジャーキャリアー切り替え時の1LSB変化
デジタル・クロストーク	5	5	nV-s typ	
アナログ・クロストーク	1	1	nV-s typ	
デジタル・フィードスルー	0.2	0.2	nV-s typ	
1kHzでの出力ノイズ・スペクトル密度	400	400	nV / (\sqrt{Hz}) typ	

注 5 T_J (max) を超えないことを保証する必要があります。最大定格のセクションを参照。

1 用語のセクション参照。

2 Aバージョン : - 40 ~ + 85 の工業用温度範囲 ; + 25 でのtyp値

3 設計とキャラクタライゼーションにより保証しますが、出荷テストは行いません。

4 AD780をAD5532のリファレンスとして使用。

6 出力は無負荷。

仕様は予告なく変更されることがあります。

SHAモード

パラメータ ¹	Aバージョン ²		単位	条件 / 備考
	AD5532-1/-3/-5	AD5532-2の場合		
アナログ・チャンネル				
V_{IN} と V_{OUT} 間の単調性 ³	± 0.018	± 0.018	% max	オフセットとゲインの調整後は $\pm 0.006\%$ (typ)
オフセット誤差	± 50	± 75	mV max	$\pm 10mV$ (typ) 図7参照。
ゲイン	3.46/3.52/3.6	6.96/7/7.02	min/typ/max	図7参照。
アナログ入力 (V_{IN})				
入力電圧範囲	0 ~ 3	0 ~ 3	V	公称入力範囲
入力の下限デッドバンド	70	70	mV max	50mV typ。 V_{IN} 基準。 図7参照
入力の上限デッドバンド	40	40	mV max	12mV typ。 V_{IN} 基準。 図7参照
入力電流	1	1	μA max	100 nA typ。
入力容量 ⁴	20	20	pF typ	V_{IN} をひとつのチャンネルに変換時。
アナログ入力 (OFFS_IN)				
入力電流	1	1	μA max	100 nA typ
AC特性				
出力セトリング・タイム ⁴	3	3	μs max	出力無負荷
アキュジション時間	16	16	μs max	
ACクロストーク ⁴	5	5	nV-s typ	

注

1 用語のセクション参照。

2 Aバージョン : - 40 ~ + 85 の工業用温度範囲 ; + 25 でのtyp値。

3 入力範囲 : 100mV ~ 2.96V。

4 設計とキャラクタライゼーションにより保証しますが、出荷テストは行いません。

仕様は予告なく変更されることがあります。

AD5532

タイミング特性

パラレル・インターフェース

パラメータ ^{1, 2}	T_{MIN} 、 T_{MAX} での規定値 (Aバージョン)	単位	条件 / 備考
t_1	0	ns min	\overline{CS} 立ち下がりエッジから \overline{WR} 立ち下がりエッジまでのセットアップ・タイム
t_2	0	ns min	\overline{WR} 立ち上がりエッジから \overline{CS} 立ち上がりエッジまでのホールド・タイム
t_3	50	ns min	\overline{CS} のローレベル・パルス幅
t_4	50	ns min	\overline{WR} のローレベル・パルス幅
t_5	20	ns min	A4~A0、CAL、OFFS_SEL有効より \overline{WR} 立ち下がりエッジまでのセットアップ・タイム
t_6	0	ns min	\overline{WR} 立ち上がりエッジよりA4~A0、CAL、OFFS_SEL無効までのホールド・タイム

注

- 1 インターフェース・タイミング図参照。
- 2 設計とキャラクタライゼーションにより保証しますが、出荷テストは行いません。
- 仕様は予告なく変更されることがあります。

シリアル・インターフェース

パラメータ ^{1, 2}	T_{MIN} 、 T_{MAX} での規定値 (Aバージョン)	単位	条件 / 備考
f_{CLKIN} ³	14	MHz max	SCLK周波数
t_1	28	ns min	SCLKのハイレベル・パルス幅
t_2	28	ns min	SCLKのローレベル・パルス幅
t_3	10	ns min	\overline{SYNC} の立ち下がりエッジからSCLKの立ち下がりエッジまでのセットアップ・タイム
t_4	50	ns min	\overline{SYNC} のローレベル時間
t_5	10	ns min	D_{IN} 有効よりSCLK立ち下がりまでのセットアップ・タイム
t_6	5	ns min	SCLK立ち下がりより D_{IN} 無効までのホールド・タイム
t_7	5	ns min	\overline{SYNC} の立ち下がりエッジからSCLKの立ち上がりエッジまでのセットアップ・タイム
t_8 ⁴	20	ns max	SCLKの立ち上がりエッジから D_{OUT} 有効までのディレイタイム
t_9 ⁴	60	ns max	SCLKの立ち下がりエッジから D_{OUT} 高インピーダンスまでのディレイタイム
t_{10}	400	ns min	SCLKの10番目の立ち下がりエッジからリードバック用の \overline{SYNC} 立ち下がりエッジまでの最小必要時間
t_{11}	400	ns min	SCLKの24番目の立ち下がりエッジから次のDACモード書き込み用の \overline{SYNC} 立ち下がりエッジまでの最小必要時間

注

- 1 シリアル・インターフェース・タイミング図を参照。
- 2 設計とキャラクタライゼーションにより保証しますが、出荷テストは行いません。
- 3 SHAモードでは、最大SCLK周波数 = 20MHz、最小パルス幅 = 20nsです。
- 4 これらの値は、図2の負荷回路で測定。
- 仕様は予告なく変更されることがあります。

パラレル・インターフェースのタイミング図

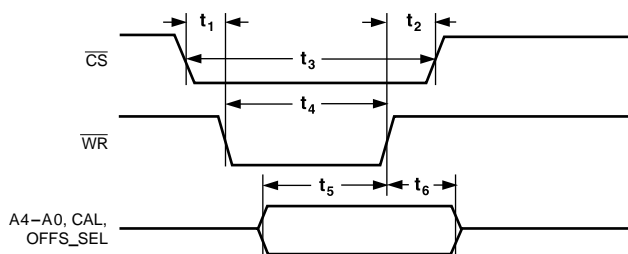


図1 パラレル書き込み時 (SHAモード時のみ)

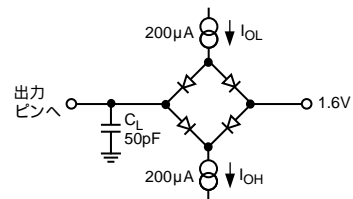


図2 D_{OUT} タイミング測定時の負荷回路

シリアル・インターフェースのタイミング図

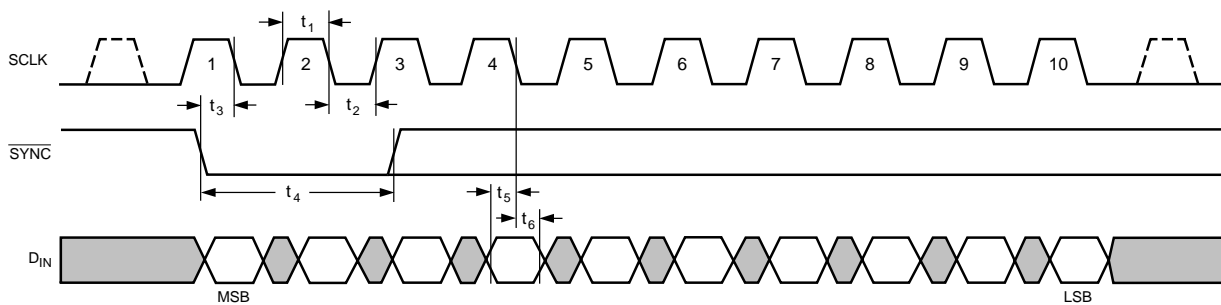


図3 10ビット書き込み (SHAモードおよび全てのリードバック・モード)

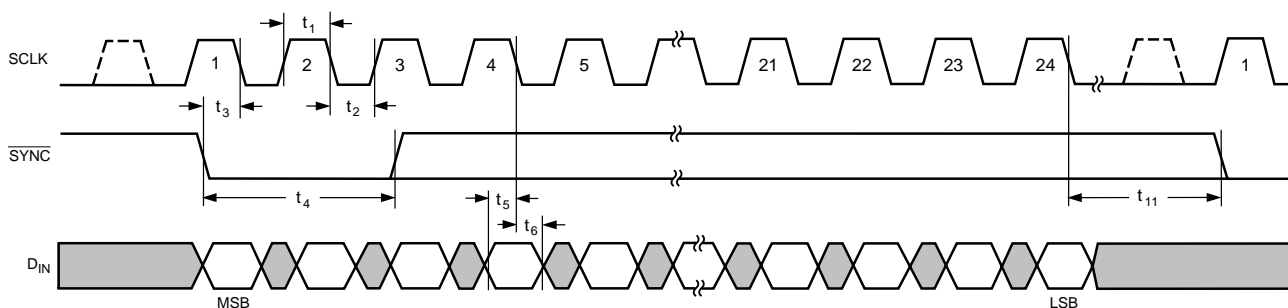


図4 24ビット書き込み (DACモード)

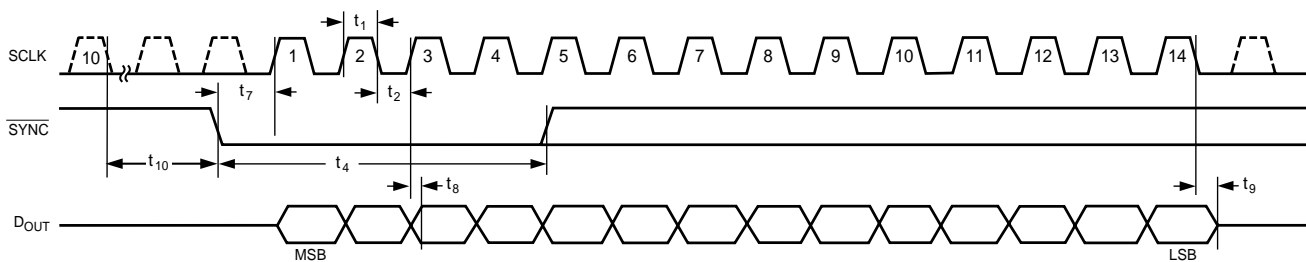


図5 14ビット読み出し (全てのリードバック・モード)

AD5532

絶対最大定格^{1, 2}

(指定のない限り、 $T_A=25$)

$V_{DD} \sim AGND$	- 0.3 ~ + 17V
$V_{SS} \sim AGND$	+ 0.3 ~ - 17V
$AV_{CC} \sim AGND$ 、 DAC_GND	- 0.3 ~ + 7V
$DV_{CC} \sim DGND$	- 0.3 ~ + 7V
デジタル入力 ~ $DGND$	- 0.3 ~ $DV_{CC} + 0.3V$
デジタル出力 ~ $DGND$	- 0.3 ~ $DV_{CC} + 0.3V$
$REF_IN \sim AGND$ 、 DAC_GND	- 0.3 ~ + 7V
$V_{IN} \sim AGND$ 、 DAC_GND	- 0.3 ~ + 7V
$AGND$ を基準とする $V_{OUT0} \sim 31$	$V_{SS} - 0.3 \sim V_{DD} + 0.3V$
V_{SS} を基準とする $V_{OUT0} \sim 31$	- 0.3 ~ + 24V
$OFFS_IN \sim AGND$	$V_{SS} - 0.3 \sim V_{DD} + 0.3V$
$OFFS_OUT \sim AGND$	$AGND - 0.3 \sim AV_{CC} + 0.3V$
$AGND \sim DGND$	- 0.3 ~ + 0.3V

動作温度範囲

工業用 (Aバージョン) - 40 ~ + 85

保管温度範囲 - 65 ~ + 150

接合温度 ($T_J \max$) 150

74ピンLFBGAパッケージ、 J_A ジャンクション・エア間熱抵抗 41 /W

ハンダ・リフロー条件

ピーク温度 220

ピーク温度の時間 10 ~ 40秒

注

1 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久破壊をもたらすことがあります。この定格は、デバイスの単なるストレスの度合いであり、基本的な動作あるいは動作の項に示す条件において、この定格は考慮されていません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えます。

2 最大100mAまでの過渡電流では、SCRラッチアップは発生しません。

オーダー・ガイド

製品モデル	機能	出力インピーダンス	出力電圧振幅	パッケージ	パッケージ・オプション
AD5532ABC-1	32 DAC、32チャンネルSHA	0.5 typ	10V	74ピンLFBGA	BC-74
AD5532ABC-2	32 DAC、32チャンネルSHA	0.5 typ	20V	74ピンLFBGA	BC-74
AD5532ABC-3	32 DAC、32チャンネルSHA	500 typ	10V	74ピンLFBGA	BC-74
AD5532ABC-5	32 DAC、32チャンネルSHA	1k typ	10V	74ピンLFBGA	BC-74
AD5533ABC-1*	32チャンネルSHAのみ	0.5 typ	10V	74ピンLFBGA	BC-74
EVAL-AD5532EB	評価ボード				

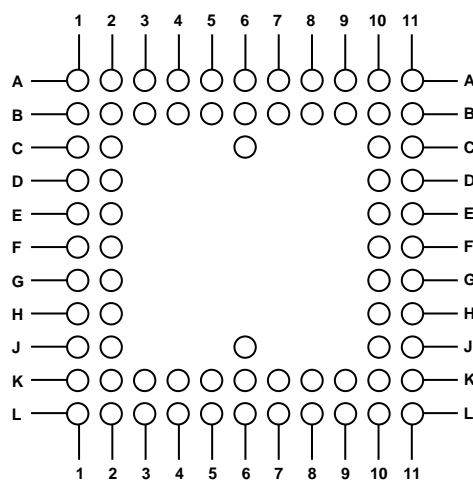
*詳細は別データシート。

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



ソルダ - ボール配置図



74ピンLFBGAのボール配置

LFBGAの ボール番号	ボール・ 信号名	LFBGAの ボール番号	ボール・ 信号名	LFBGAの ボール番号	ボール・ 信号名
A1	N/C	C10	AVCC1	J10	VO9
A2	A4	C11	REF_OUT	J11	VO11
A3	A2	D1	VO20	K 1	VO17
A4	A0	D2	DAC_GND2	K2	VO15
A5	CS/SYNC	D10	AVCC2	K3	VO27
A6	DVCC	D11	OFFS_OUT	K4	VSS3
A7	SCLK	E1	VO26	K5	VSS1
A8	OFFSET_SEL	E2	VO14	K6	VSS4
A9	BUSY	E10	AGND1	K7	VDD2
A10	TRACK/RESET	E11	OFFS_IN	K8	VO2
A11	N/C	F1	VO25	K9	VO10
B1	VO16	F2	VO21	K10	VO13
B2	N/C	F10	AGND2	K11	VO12
B3	A3	F11	VO6	L1	N/C
B4	A1	G1	VO24	L2	VO28
B5	WR	G2	VO8	L3	VO29
B6	DGND	G10	VO5	L4	VO30
B7	D IN	G11	VO3	L5	VDD3
B8	CAL	H1	VO23	L6	VDD1
B9	SER/PAR	H2	VIN	L7	VDD4
B10	DOUT	H10	VO4	L8	VO31
B11	REF_IN	H11	VO7	L9	VO0
C1	VO18	J1	VO22	L10	VO1
C2	DAC_GND1	J2	VO19	L11	N/C
C6	N/C	J6	VSS2		

AD5532

各信号の機能説明

信号名	機能
AGND (1~2)	アナログ・グラウンド。
AV _{CC} (1~2)	アナログ電源。電圧範囲：4.75~5.25V。
V _{DD} (1~4)	V _{DD} 電源。電圧範囲：8~16.5V。
V _{SS} (1~4)	V _{SS} 電源。電圧範囲：-4.75~-16.5V。
DGND	デジタル・グラウンド。
DV _{CC}	デジタル電源。電圧範囲：2.7~5.25V。
DAC_GND (1~2)	全DACに対するGND電源基準。
REF_IN	チャンネル0~31に対するリファレンス入力。
REF_OUT	リファレンス出力。
V _{OUT} (0~31)	32チャンネルのアナログ出力電圧。
V _{IN}	アナログ入力電圧。DACモードで動作の場合は、この信号をAGNDに接続します。
A4~A1 ¹ 、A0 ²	パラレル・インターフェース：32チャンネルに対する5本のアドレス信号入力。A4 = チャンネル・アドレスのMSB。A0 = LSB。
CAL ¹	パラレル・インターフェース：32チャンネルすべて同時にV _{IN} を入力するためのコントロール入力です。
$\overline{\text{CS}}/\text{SYNC}$	パラレル・インターフェースのアクティブ・ロー・チップ・セレクト信号入力およびシリアル・インターフェースのフレーム同期信号入力として兼用。
WR ¹	パラレル・インターフェース：WRITE信号入力。アクティブ・ロー。 $\overline{\text{CS}}$ ピンと組み合わせて使用して、パラレル・インターフェースを使用するデバイスをアドレス指定。
OFFSET_SEL ¹	パラレル・インターフェース：オフセット・セレクト信号入力。アクティブ・ハイ。オフセット・チャンネルを選択するとき使用。
SCLK ²	シリアル・インターフェースのシリアル・クロック入力。最大クロック速度14MHzで動作 (SHAモードでは20MHz)。
DIN ²	シリアル・インターフェースのデータ入力。データは、SCLKの立ち下がりエッジで有効である必要があります。
D _{OUT}	リードバック時のDACレジスタ出力。データはSCLKの立ち上がりエッジで出力され、SCLKの立ち下がりエッジで有効。
SER/PAR ¹	このピンを使って、シリアル・インターフェースまたはパラレル・インターフェースを選択。この信号入力をローレベルにすると、パラレル・インターフェースが選択されます。この信号をハイレベルにすると、シリアル・インターフェースが選択されます。
OFFS_IN	オフセット入力。V _{OUT} 0~31の出力にオフセットを与えるとき、電圧をこの入力に加ええます。オフセット・チャンネルDACでこの入力を駆動する場合は、OFFS_OUTをこの入力に接続することができます。
OFFS_OUT	オフセット出力。この出力は、アキュイジション機能により電圧がプログラム可能で、OFFS_INに接続してV _{OUT} 0~31の出力にオフセットを設定することができます。
BUSY	入力電圧のアキュイジション動作中を示す出力信号です。アキュイジション中にローレベルになり、アキュイジション動作が完了するとハイレベルになります。
$\overline{\text{TRACK}}/\overline{\text{RESET}}^2$	この入力をハイレベルの時、アドレス信号によりチャンネルが指定されると、このチャンネルに対するV _{IN} のアキュイジションがスタートします。この入力をローレベルにすると、ゲイン/オフセット・ステージへの入力が直接V _{IN} に接続されます。この時アドレス指定されたチャンネルでは、 $\overline{\text{TRACK}}$ の立ち上がりエッジでV _{IN} のアキュイジションが開始されます。詳細については、 $\overline{\text{TRACK}}$ 入力のセクションを参照してください。デバイス全体をパワーオン・リセット状態にリセットする方法としてもこの入力を使うことができます。これは、このピンに50~150nsの負パルスを入力することにより実現できます。詳細については、 $\overline{\text{RESET}}$ 機能を参照してください。

注

- これらのロジック入力にはプルダウン・デバイスが内蔵されています。そのため、フローティングのままにしておくことができ、デフォルトではロジック・ローレベル状態になります。
- これらのロジック入力にはプルアップ・デバイスが内蔵されています。そのため、フローティングのままにしておくことができ、デフォルトではロジック・ハイレベル状態になります。

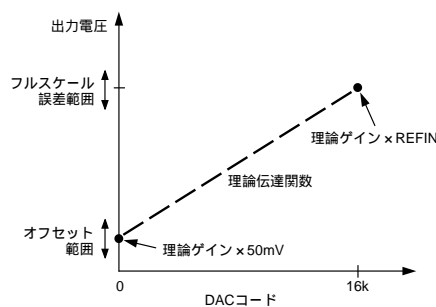


図6 DACの伝達関数 (OFFS_IN = 0)

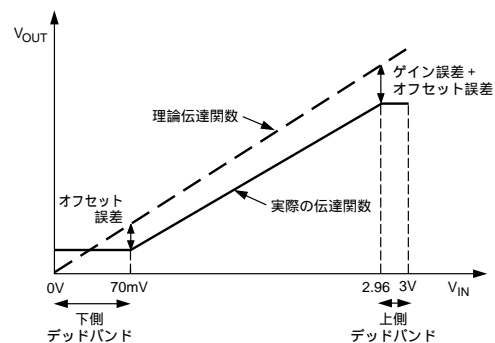


図7 SHAの伝達関数

用語集

DACモード

積分非直線性 (INL)

DAC伝達関数の両端を結ぶ直線からの最大偏差をいいます。フルスケール範囲のパーセント値で表示します。

微分非直線性 (DNL)

微分非直線性 (DNL) は、隣接する2つのコードの間における測定された変化と理論的な1 LSB変化との差をいいます。最大±1 LSBのDNLの仕様は、単調性を保証するものです。

オフセット

オフセットとは、全ビット・ゼロをDACに入力し、かつOFFS_IN=0とした場合の出力の測定値を意味します。DACはグラウンドから全体で約50mV上に持ち上げられているため、一般にこの出力は次式で表されます。

$$V_{OUT} = \text{ゲイン} \times 50\text{mV}$$

フルスケール誤差

これは、全ビット“1”をDACに入力した場合の出力誤差を意味します。フルスケール範囲のパーセント値で表示します。図6を参照してください。つぎのように計算されます。

$$\text{フルスケール誤差} = V_{OUT(\text{フルスケール})} - (\text{理論ゲイン} \times \text{REFIN})$$

ここで、

理論ゲイン=3.52 (AD5532-1/-3/-5の場合)

理論ゲイン=7 (AD5532-2の場合)

出力セトリング・タイム

最後のデータビットがDACに入力されてから出力が±0.39%以内に整定するまでに要する時間を意味します。

OFFS_INセトリング・タイム

OFFS_INの入力電圧で0Vから3Vへのステップ変化があってから出力が±0.39%以内に整定するまでに要する時間を意味します。

デジタルからアナログへのグリッチ・インパルス

これは、DACレジスタ内のコード状態が変化したときに、アナログ出力に混入されるグリッチのエリアを意味します。通常、nV-secで表すグリッチの面積として規定され、メジャーキャリア遷移時の1LSB変化 (011...00から100...00へまたは100...00から011...11へ) に測定されます。

デジタル・クロストーク

1つのDACにフルスケール・コード変化 (全ビット“1”から全ビット“0”への変化、およびその逆変化) が書き込まれるときに、ミッドスケール・レベルにある別のDACの出力に混入するグリッチ・インパルスを意味します。nV-secで表示します。

アナログ・クロストーク

1つのDACの出力 (V_{OUT}) でのフルスケール変化に起因して、別のDAC出力 (V_{OUT}) に混入するグリッチ・インパルスのエリアを意味します。グリッチのエリアはnV-secで表示します。

デジタル・フィードスルー

デバイスに書き込みが行われていない ($\overline{CS}/\overline{SYNC}$ =ハイレベル) ときに、デジタル・コントロール入力からアナログ出力に混入するインパルスを意味します。nV-secで規定され、デジタル入力信号組み合わせ

せのワーストケース変化、例えば全ビット“0”から全ビット“1”への変化、またはその逆の変化のときに測定されます。

出力ノイズ・スペクトル密度

これは、内部で発生したランダム・ノイズの大きさを表します。ランダム・ノイズは、スペクトル密度 (Hzの平方根当たり) の電圧) で表されず、全DACにミッドスケールを入力し、出力のノイズを測定します。nV/(Hz)として測定します。

出力温度係数

アナログ出力の温度変化を表します。ppm/ で表示します。

DC電源変動除去比

DC電源変動除去比 (PSRR) は、電源電圧 (V_{DD} と V_{SS}) の変動に対するアナログ出力の変動を表します。dB値で表示します。 V_{DD} と V_{SS} は±5%変化させます。

DCクロストーク

ある1つのDACを除く全DACでフルスケールのコード変化 (全ビット“0”から全ビット“1”への変化、およびその逆の変化) と出力変化があったときに、その1つのDACのミッドスケールにおける出力レベルのDC変化を意味します。μVで表されます。

SHAモード

V_{IN} から V_{OUT} までの非直線性

V_{IN} から V_{OUT} までの伝達関数の両端を結ぶ直線からの最大偏差をいいます。フルスケール範囲のパーセント値で表示します。

オフセット誤差

$V_{IN} = 70\text{mV}$ のときの出力誤差を意味します。理論的には、 $V_{IN} = 70\text{mV}$ に対して次式で表します。

$$V_{OUT} = (\text{ゲイン} \times 70) - ((\text{ゲイン} - 1) \times V_{OFFS_IN}) \text{mV}$$

オフセット誤差は、 V_{OUT} (実測値) と V_{OUT} (理論値) の差を表します。mVで表され、正または負の値になります。図7を参照してください。

ゲイン誤差

アナログ・チャンネルのスラフ誤差を表します。mVで表された伝達関数の傾きからの偏差を意味します。図7を参照してください。つぎのように計算されます。

$$\text{ゲイン誤差} = \text{実際のフルスケール出力} - \text{理論フルスケール出力} - \text{オフセット誤差}$$

ここで、

$$\text{理論フルスケール出力} = \text{ゲイン} \times 2.96 - ((\text{ゲイン} - 1) \times V_{OFFS_IN})$$

ACクロストーク

別のチャンネルの入力動作中に1つのチャンネル出力で発生するグリッチのエリアを意味します。nV-secで表示します。

出力セトリング・タイム

BUSYがハイレベルになってから出力が±0.018%以内に整定するまでに要する時間を意味します。

アクイジション時間

V_{IN} 入力の信号をサンプル/ホールドするために要する時間を意味します。BUSYがローレベルにある時間に対応します。

AD5532 - 代表的な性能特性

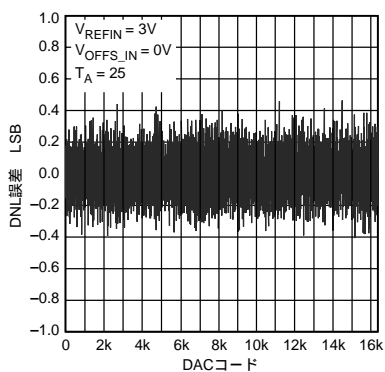


図8 代表的なDNLのプロット

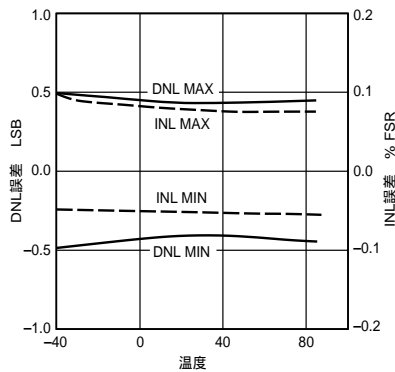


図9 INL誤差およびDNL誤差 対 温度

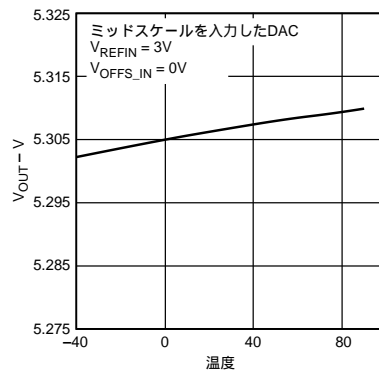


図10 V_{OUT} 対 温度

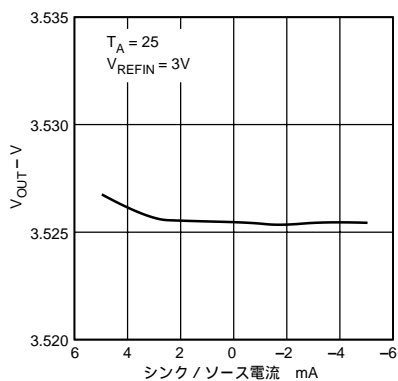


図11 V_{OUT} の電流ソースおよびシンク能力

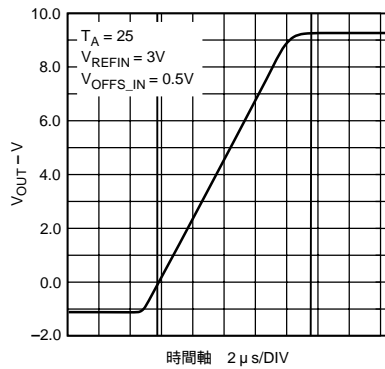


図12 フルスケール・セトリング・タイム

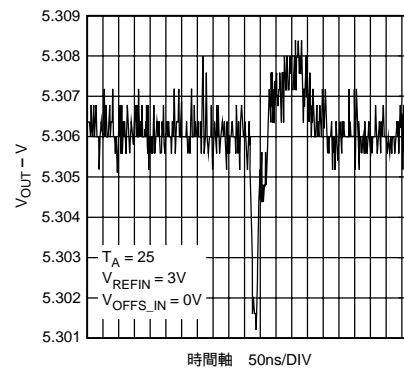


図13 大きなコード変化時のグリッチ・インパルス

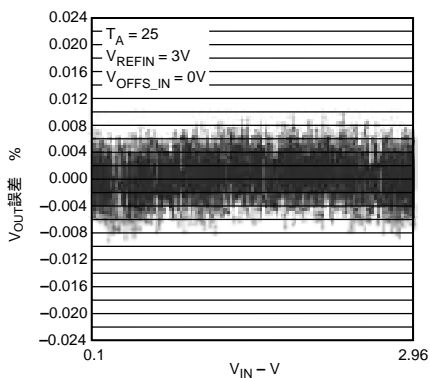


図14 オフセットとゲイン調整後の V_{IN} から V_{OUT} までの精度 (SHAモード)

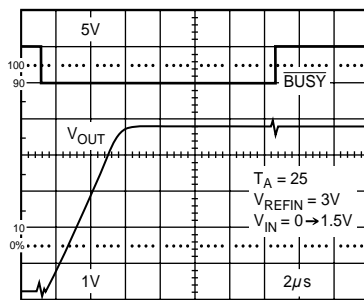


図15 アクイジション時間と出力セトリング・タイム (SHAモード)

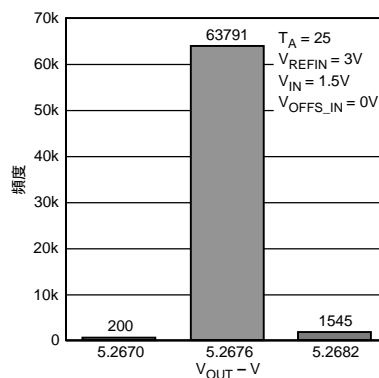


図16 SHAモードの再現性 (64,000回のアクイジション)

機能説明

AD5532は、32個のDACと1個のADC (SHAモードの場合) を1つのパッケージに組み込んだものと見ることができます。DACモードでは、14ビットのデジタル・ワードがシリアル・インターフェースを介して32個の内の1個のDACレジスタに入力されます。このデジタル・ワードが、アナログ出力電圧 ($V_{OUT0} \sim V_{OUT31}$) に変換されます (ゲインとオフセットを持ちます)。

DACの出力電圧を更新するときは、シリアル・ポートを介して対象となるDACをアドレス指定する必要があります。DACアドレスとコードが選択されたDACに入力されると、コードが変換されます。

パワーオン時には、オフセット・チャンネルを含む全DACにゼロが入力されます。内部DAC出力は50mV (typ) です (負側フルスケール)。内蔵オフセット・チャンネルでOFFS_INピンを駆動する場合は、パワーオン時に出力 $V_{OUT0} \sim V_{OUT31}$ も50mVになります。これは、 $OFFS_IN = 50\text{mV}$ 、 $V_{OUT} = (\text{ゲイン} \times V_{DAC}) - (\text{ゲイン} - 1) \times V_{OFFS_IN} = 50\text{mV}$ であるためです。

出力バッファ・ステージ ゲインおよびオフセット

出力バッファステージの機能は、0~3VのDAC出力範囲を広げることです。これは、DAC出力を3.52倍あるいは7倍だけ増幅し、さらにOFFS_IN信号の電圧に等しいオフセットを加えることにより、実現されます。

AD5532-1/AD5532-3/AD5532-5の場合は、

$$V_{OUT} = 3.52 \times V_{DAC} - 2.52 \times V_{OFFS_IN}$$

AD5532-2の場合は、

$$V_{OUT} = 7 \times V_{DAC} - 6 \times V_{OFFS_IN}$$

V_{DAC} はDAC出力です。

V_{OFFS_IN} はOFFS_IN信号入力電圧です。

ユーザーが入力するオフセット電圧と V_{OUT} 出力範囲との関係を次の表IIに示します。

表I 出力電圧範囲の例

V_{OFFS_IN} (V)	V_{DAC} (V)	V_{OUT} (AD5532-1/-3/-5)	V_{OUT} (AD5532-2)
0.5	0~3	-1.26 ~ +9.3	ヘッドルームによる制限
1	0~3	-2.52 ~ +8.04	-6 ~ +15

V_{OUT} は、出力アンプのヘッドルームによってのみ制限されます。

また V_{OUT} は最大定格の範囲内である必要があります。

オフセット電圧チャンネル

オフセット電圧は、外部からOFFS_INに入力するか、あるいはデバイス内蔵のオフセット電圧チャンネルを使って供給できます。オフセットは次の2通りの方法で設定することができます。SHAモードでは、オフセット電圧は V_{IN} で設定し、オフセット・チャンネルを使って決定します。DACモードでは、オフセット値に対応するコードをオフセットDACに直接入力します。このオフセット・チャンネルDACの出力は、直接OFFS_OUTに接続されています。OFFS_OUTをOFFS_INに接続することにより、このオフセット電圧を32個の出力アンプのオフセット電圧として使用することができます。 V_{OUT} が最大定格の範囲内になるようにオフセットを選択することが重要です。

リセット機能

AD5532のリセット機能を使って、デバイス上の全ノードをパワーオン時のリセット状態にリセットすることができます。このリセットは、50~150ns幅の負パルスデバイスのTRACK/RESETピンに入力することにより行われます。入力されたパルス幅が50nsより狭い場合は、グリッチと見なさ

れて、リセット動作は実行されません。入力されたパルス幅が150nsより広い場合には、このピンは選択されたチャンネルに対するTRACK機能になるため、 V_{IN} が出力バッファに接続され、TRACKの立ち上がりエッジが発生するまで、そのチャンネルのアクイジションは引き起こされません。

SHAモード

SHAモードでは、入力電圧 V_{IN} がサンプルされてデジタル・ワードに変換されます。アクイジション期間には出力バッファ (ゲインおよびオフセット・ステージ) への非反転入力力が V_{IN} に接続されて、DACが正しいコードを設定するまでの間のスプリアス出力の発生を防止します。この期間は最大16 μ sで終了します。この時点で、更新されたDAC出力が出力電圧に反映されます。DACの出力電圧は、出力バッファの非反転入力に接続されます。チャンネル出力電圧が実質的にDAC出力となるため、サグは発生しません。デバイスに電源が加えられている限り、チャンネルの再アドレス指定まで出力電圧は不変に維持されます。

アナログ入力 (SHAモード)

アナログ入力の等価回路を図17に示します。コンデンサC1は20pF (typ) であり、端子容量と32個のオフ・チャンネルに起因するものです。チャンネルが選択されると、さらに7.5pF (typ) が追加されます。このコンデンサC2はこのチャンネルが前にサンプリングした電圧に充電されているため、新しいレベルまで充電/放電する必要があります。 V_{IN} を正確に入力できるようにするため、外部ソースはこの追加容量をチャンネル選択の1~2 μ s以内に充電/放電させる能力を持つことが重要です。このため、低インピーダンス・ソースの使用が推奨されます。

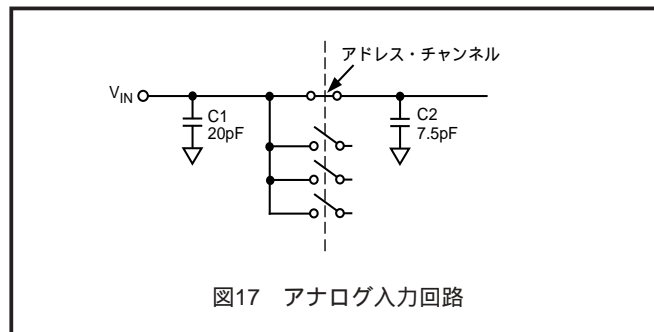


図17 アナログ入力回路

ソース・インピーダンスが大きいと、ADCの性能が大きく影響を受けます。このために、入力バッファ・アンプの使用が必要になります。

TRACK機能 (SHAモード)

SHA動作モードでは、TRACKがハイレベルの時に、チャンネルがアドレス指定されるとアクイジション動作が開始されます。しかし、チャンネルのアドレスが設定されている時にTRACKがローレベルであると、 V_{IN} は出力バッファに接続されたままとなり、TRACKに立ち上がりエッジが発生するまでアクイジション動作は起きません。この状態では、BUSYピンがローレベルになり、アクイジションが終了するまでローレベルが維持されます。アクイジションが終了した時点で、DAC出力が出力バッファ出力に反映され、この時点で出力電圧はDACによりコントロールされるので、 V_{IN} は、この出力に影響を与えることなく変更可能になります。

AD5532

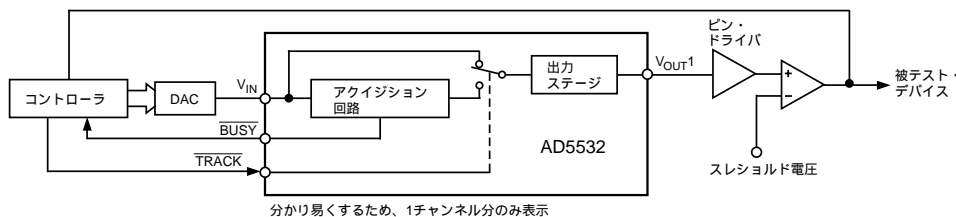


図18 TRACK入力を使用する代表的なATE回路

この機能は、 V_{OUT} が特定のレベルに到達するまで V_{IN} のランプ・アップを必要とするアプリケーションで役立ちます(図18)。 V_{IN} のランプ・アップ中は、常に V_{IN} のサンプル/ホールドを繰り返す必要はありません。TRACKはローレベルに維持して、 V_{OUT} が所定の電圧に到達したときにTRACKをハイレベルにします。このステージで、 V_{IN} のアクイジションが開始されます。

この図は、ピンドライバ出力に所定電圧を必要とする場合の例です。このドライバ出力電圧は、コンパレータの1つの入力に接続されます。マイクロコントローラ/マイクロプロセッサが V_{IN} の入力電圧をDACを使ってランプ・アップさせます。 V_{IN} を連続的に取り込み、変換しないように、 V_{IN} の電圧がランプ・アップしている間TRACKはローレベルに維持されます。ピンドライバ出力が所定電圧に到達すると、コンパレータ出力が変化します。DUTで所定電圧を得るために入力する必要があるコードを $\mu C/\mu P$ が決定します。ここでTRACK入力がハイレベルにされて、 V_{IN} のアクイジションが開始されます。このステージで、BUSYがローレベルになり、 V_{IN} が完了するまでローレベルを続けます。出力バッファが V_{IN} からDAC出力に切り替えられます。

動作モード

AD5532は4種類の動作モードで使用することができます。これらのモードは、シリアル・ワードの先頭2ビットのモード・ビットを使って設定します。

表II 動作モード

モード・ビット1	モード・ビット2	動作モード
0	0	SHAモード
0	1	DACモード
1	0	アクイジションおよびリードバック
1	1	リードバック

1. DACモード

この標準モードでは、選択されたDACレジスタがシリアルにロードされます。この場合、24ビットの書き込みが必要です(対象DACのアドレス指定10ビットおよびDACデータ14ビット)。MSBを先頭に書き込みます。DACモードでの連続書き込みの間に最小400ns空ける必要があります。

2. SHAモード

このモードでは、チャンネルをアドレス指定すると、そのチャンネルが V_{IN} の電圧を取り込み、3の値を出力にホールドします。このモードでは、対象チャンネルのアドレス指定($V_{OUT0} \sim V_{OUT31}$ 、オフセット・チャンネルまたは全チャンネル)のために10ビットの書き込みが必要です(図21)。MSBを先に書き込みます。

3. アクイジションおよびリードバック・モード

このモードを使うと、 V_{IN} を特定のチャンネルにサンプル/ホールドし、そのDACのデータをリードバックすることができます。対象チャンネルをアドレス指定し(10ビット書き込み、MSB先頭)、 V_{IN} を $16\mu s$ (max)以内に入力します。アクイジションの後、SYNCの次の立ち上がりエッジの後に、対象DACレジスタのデータが14ビット・シリアル・フォーマットで D_{OUT} ラインに出力されます。フル・アクイジション時間経過後にDACレジスタ・データの出力が可能になります。

4. リードバック・モード

これもリードバック・モードですが、アクイジションは実行されません。対象チャンネルをアドレス指定し(10ビット書き込み、MSB先頭)、SYNCの次の立ち上がりエッジで、対象DACレジスタのデータが14ビット・シリアル・フォーマットで D_{OUT} ラインに出力されます。10ビット書き込みの最後のSCLK立ち上がりエッジと14ビット・リードバックでのSYNCの立ち上がりエッジの間に、400ns(min)の空きが必要です。図19にワードのシリアル書き込みと読み出しを示します。この機能を使うと、任意のチャンネルのDACレジスタ・コードをリードバックすることができます。DACモードで、この機能は書き込みサイクルを検証するときに役立ちます。SHAモードで、リードバックはシステムをキャリブレーションした後に、 V_{OUT} 電圧に対応するDACコードを知りたいときに役立ちます。この電圧が再度必要な場合には、アクイジション・シーケンスを使わずにこのコードをDACレジスタに直接入力することができます。

インターフェース

シリアル・インターフェース

SER/PARピンをハイレベルにすると、シリアル・インターフェースがイネーブルにされ、パラレル・インターフェースがディスエーブルにされます。シリアル・インターフェースは次の4本の信号で制御されます。

SYNC、 D_{IN} 、SCLK

標準の3線式インターフェース信号です。SYNC端子はパラレル・インターフェースのCS機能と共用されています。

D_{OUT}

DACレジスタ値をリードバックするときのデータ出力。データはSCLKの立ち上がりエッジで出力され、SCLKの立ち上がりエッジで有効になります。

モード・ビット

次の4種類の動作モードがあります。

Calビット

DACモードでは、このビットはテスト・ビットになります。ハイレベルのとき、32個のDACに同時に全ビット“0”または全ビット“1”を入力するために使います。SHAモードでは、このビットがハイレベルのとき、32個の全チャンネルが同時に V_{IN} に対しアクイジション動作をします。SHAモードでは、アクイジション時間は $45\mu s$ (typ)になり、精度は低下します。通常動作では、このビットはローレベルに設定されます。

Offset_Selビット

このビットをハイレベルにすると、オフセット・チャンネルが選択されて、ビットA4~A0が無視されます。

テスト・ビット

デバイスの正常動作のためにはこのビットをローレベルに設定しておく必要があります。

A4~A0

32個のチャンネルのアドレス指定を行います(A4=アドレスのMSB、A0=LSB)。

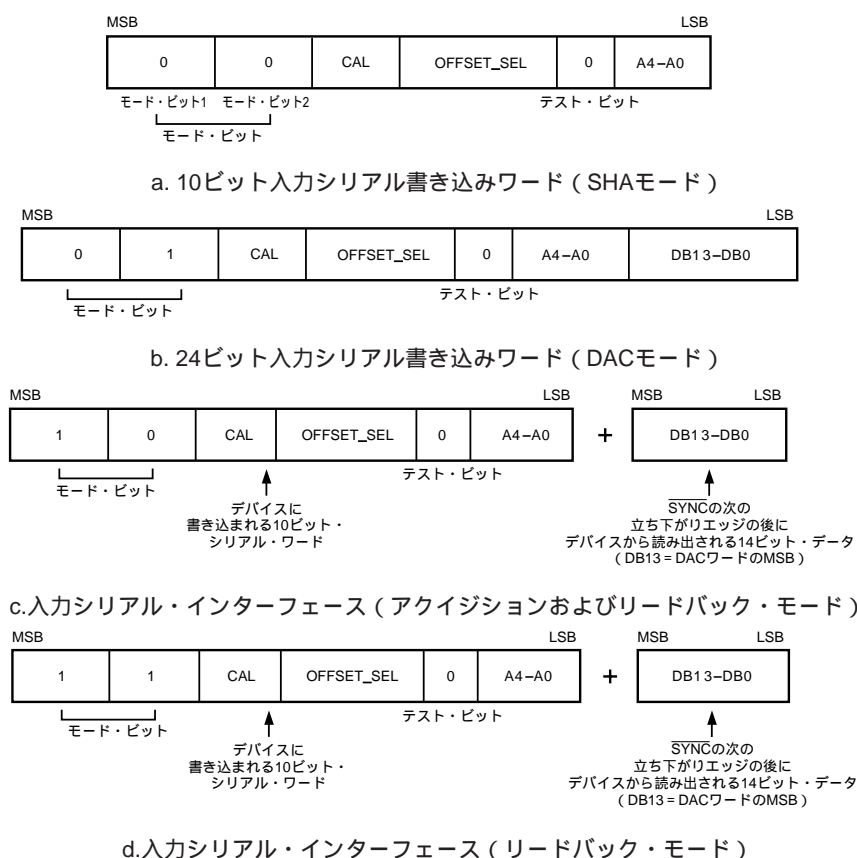


図19 シリアル・インターフェース・フォーマット

DB13 ~ DB0

14ビット・ワードをアドレス指定されたDACレジスタに書き込むときに使われます。DACモードでのみ、有効です。

シリアル・インターフェースは、外付け回路なしで多くのマイクロコントローラやDSP (例: PIC16C, PIC17C, QSPI, SPI, DSP56000, TMS320, ADSP-21xx) と容易にインターフェースできるように設計されています。8051とインターフェースするとき、SCLKを反転する必要があります。マイクロプロセッサ / マイクロコントローラ・インターフェースのセクションで、幾つかの一般的なDSPとマイクロコントローラとのインターフェース方法を説明します。

図3, 4, 5に、AD5532に対するシリアル読み出しと書き込みのタイミング図を示します。このシリアル・インターフェースは、連続および非連続シリアル・クロックで動作します。SYNCの最初の立ち下がりエッジでカウンタがリセットされます。このカウンタはシリアル・クロック数をカウントしてシリアル・シフトレジスタに対して正しいビットを入 / 出力するようにします。正常な数のビットがシフト入力またはシフト出力されるまで、これ以降のSYNCのその他のエッジは無視されます。選択されたモードに対して正しいビットがシフト入力またはシフト出力された後は、SCLKが無視されます。次のシリアル転送を実行するためには、SYNCの立ち下がりエッジによりカウンタをリセットする必要があります。

リードバックでは、SYNCの立ち下がりエッジ後の最初のSCLKの立ち上がりエッジまで、D_{OUT}は高インピーダンス状態にされて、その後データがD_{OUT}ラインに出力され、SCLKの後続の立ち上がりエッジでも出力が繰り返されます。14番目のSCLKの立ち下がりエッジで、D_{OUT}ピンは高インピーダンス状態に戻ります。D_{IN}ライン上のデータはSYNC信号の立ち下がりエッジ後の最初のSCLK立ち下がりエッジでラッチされ、後続のSCLK立ち下がりエッジで繰り返されます。リードバック時には、D_{IN}は無視されます。シリアル・インターフェースはSYNC信号の立ち下がりエッジを受け取るまで、データをシフト入 /

出力しません。

パラレル・インターフェース (SHAモードの場合)
パラレル・インターフェースをイネーブルにし、シリアル・インターフェースをディスエーブルにするときは、SER/PARビットをローレベルにする必要があります。パラレル・インターフェースは次の9本の信号端子で制御されます。

CS

アクティブ・ローのパッケージ・セレクト信号。この端子は、シリアル・インターフェースのSYNC機能と共用されています。

WR

アクティブ・ローのWRITE信号。アドレス端子上的値は、WRの立ち上がりエッジでラッチされます。

A4 ~ A0

5本のアドレス信号 (A4 = アドレスのMSB, A0 = LSB)。対象チャネル (32個の内の1つ) をアドレス指定するときに使います。

Offset_Sel

オフセット・セレクト信号。シリアル・インターフェースのOffset_Selビットと同じ機能です。ハイレベルのとき、オフセット・チャンネルがアドレス指定されます。この場合、A4 ~ A0上のアドレスは無視されます。

Cal

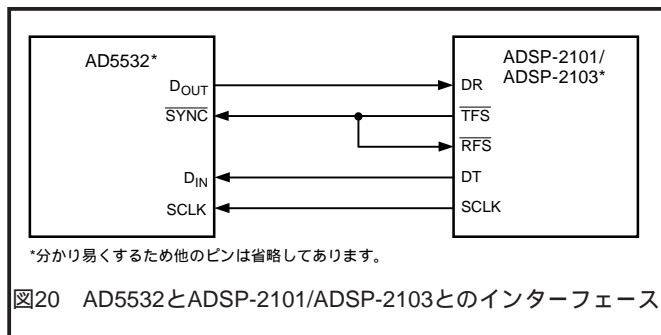
この信号入力がハイレベルのとき、32個の全チャンネルが同時にV_{IN}を取り込み動作をします。アキュイジション時間は45μs (typ) になり精度は低下します。

AD5532

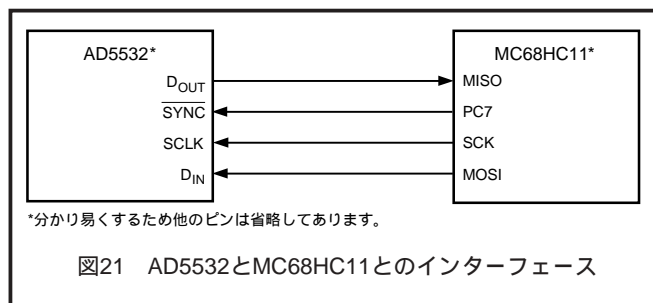
マイクロプロセッサ・インターフェース

AD5532とADSP-21xxとのインターフェース
 ADSP-21xxファミリーのDSPは、外付けロジックの追加なしに容易にAD5532にインターフェースできます。
 転送は、SPORTをイネーブルにした後に、TXレジスタにワードを書きこむことにより、起動されます。データは、DSPのシリアル・クロックの各立ち上がりエッジで出力され、SCLKの立ち下がりエッジでAD5532に入力されます。リードバックでは、16ビットのデータがSCLKの各立ち上がりエッジでAD5532から出力され、SCLKの立ち上がりエッジでDSPに入力されます。D_{IN}は無視されます。この構成を使用した場合、有効な14ビットのデータが16ビットRXレジスタに入力されます。SPORTコントロール・レジスタは次のように設定します。

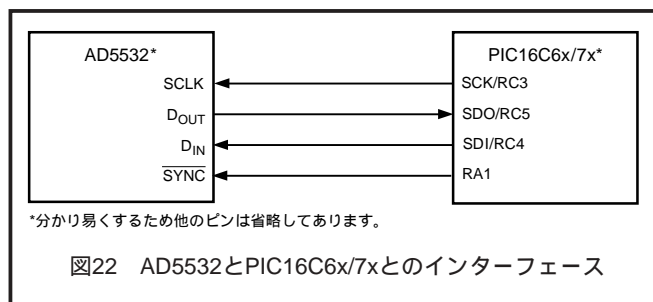
- TFSW = RFSW = 1、アルタネート・フレーミング
 - INVRFS = INVTFS = 1、アクティブ・ロー・フレーム信号
 - DTYPE = 00、右詰めデータ
 - ISCLK = 1、内部シリアル・クロック
 - TFSR = RFSR = 1、ワード毎のフレーム
 - IRFS = 0、外部フレーミング信号
 - ITFS = 1、内部フレーミング信号
 - SLEN = 1001、10ビット・データ・ワード (SHAモード書き込み)
 - SLEN = 0111、3×8ビット・データ・ワード (DACモード書き込み)
 - SLEN = 1111、16ビット・データ・ワード (リードバック・モード)
- 図20に接続図を示します。



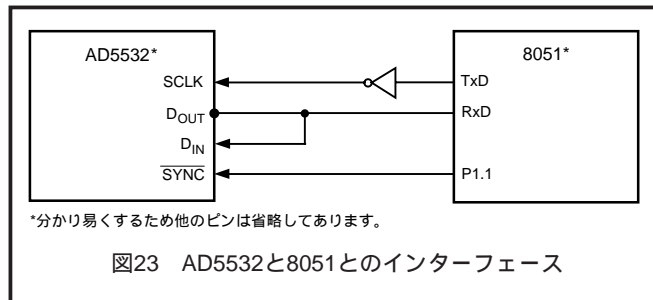
AD5532とMC68HC11とのインターフェース
 MC68HC11のシリアル・ペリフェラル・インターフェース (SPI) は、マスター・モード (MSTR) = 1、クロック極性ビット (CPOL) = 0、クロック位相ビット (CPHA) = 1に設定します。SPIの設定は、SPIコントロール・レジスタ (SPCR) への書き込みで行います。MC68HC11のユーザー・マニュアルを参照してください。68HC11のSCKがAD5532のSCLKを、MOSI出力がAD5532のシリアル・データ・ライン (D_{IN}) を、D_{OUT}がMISO入力、それぞれ駆動します。SYNC信号は、ポート・ライン (PC7) からつくられます。データをAD5532に転送するときは、SYNCラインをローにします (PC7)。MOSIに出力されるデータは、SCKの立ち上がりエッジで有効になります。シリアル・データは68HC11から8ビット・バイトで転送され、送信サイクル内の8個の立ち下がりクロック・エッジが使用されます。データはMSB先頭で転送されます。SHAモードで10ビットのデータを転送するときは、SPDRレジスタでデータを左詰めにすることが重要です。転送を開始するときは、PC7をローレベルにする必要があります。PC7をハイレベルにした後にローレベルに戻すと、さらにリード/ライト・サイクルを続けることができます。接続図を図21に示します。



AD5532とPIC16C6x/7xとのインターフェース
 PIC16C6x/7xの同期シリアル・ポート (SSP) をSPIマスターに設定します (クロック極性ビット = 0)。これは、同期シリアル・ポート・コントロール・レジスタ (SSPCON) に書き込みを実行することにより行われます。PIC16/17マイクロコントローラのユーザー・マニュアルを参照してください。この例では、I/OポートRA1を使って、SYNCパルスを発生し、AD5532のシリアル・ポートをイネーブルにしています。このマイクロコントローラは、各シリアル転送動作で8ビットのみのデータを転送します。したがって、モードに応じてリード/ライト動作を2回または3回続けて行う必要があります。図22に接続図を示します。



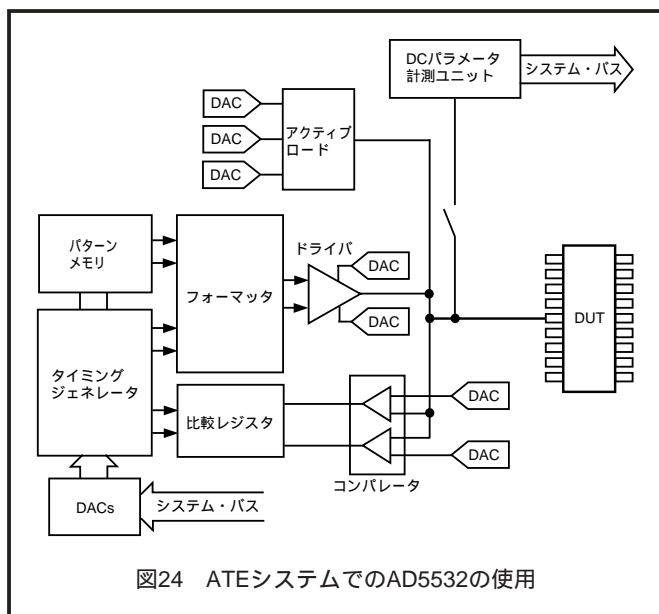
AD5532と8051とのインターフェース
 AD5532は、シリアル・データに同期したクロックを必要とします。したがって、8051シリアル・インターフェースをモード0で動作させる必要があります。このモードでは、シリアル・データはRxDから入/出力し、シフト・クロックはTxDに出力されます。図23に、8051とAD5532との接続方法を示します。AD5532はシフト・クロックの立ち上がりエッジでデータを出し、立ち下がりエッジでデータをラッチします。シフト・クロックは反転する必要があります。AD5532はMSB先頭のデータを必要とします。8051LSB先頭で出力するため、転送ルーチンで変換を行う必要があります。



アプリケーション回路

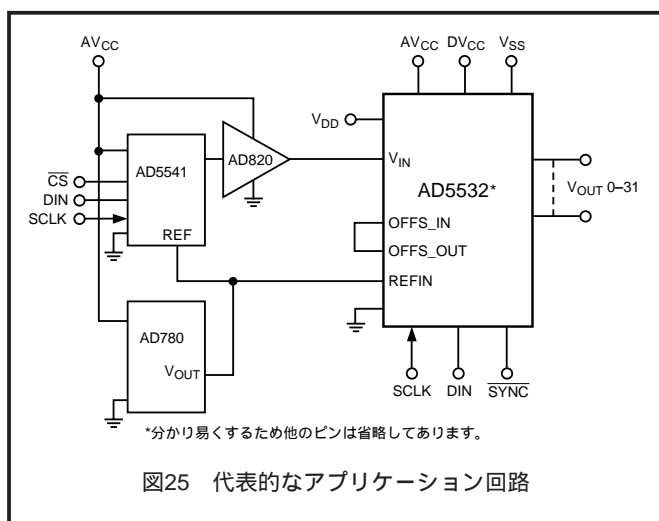
代表的なATEシステムでのAD5532の使用
AD5532は、自動テスト装置（ATE）に最適です。ピン・ドライバ、コンパレータ、アクティブ負荷、信号タイミングを制御するために、複数のDACが必要です。このアプリケーションでは、従来サンプル/ホールド・デバイスが使用されてきました。

AD5532には、リフレッシュが不要、ドループ（サグ）がない、ペDESTAL誤差が解消されている、グリッチ除去フィルタが不要など、幾つかの利点があります。狭い面積に全体として高集積度が得られます（図24）。



代表的なアプリケーションの回路（SHAモード）

下の回路に示すように、AD5532を使って32個のチャンネルで電圧レベルを設定することができます。AD780から3VのリファレンスをAD5532とAD5541の16ビットDACに入力します。シンプルな3線式インターフェースを使ってAD5541に書き込みを行います。DAC出力はAD820によりバッファされます。この回路のレイアウトでは、 V_{IN} とREFINのノイズを小さくすることが重要です。



電源のデカップリング

精度が重要な回路では、電源とグラウンド・リターンノイズのレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5532を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離して、ボードの一定領域にまとめて配置するように設計する必要があります。複数のデバイスがAGNDとDGNDの接続を必要とするシステム内でAD5532を使用する場合は、この接続は1カ所で行う必要があります。デバイスのできるだけ近くに星型のグラウンド・ポイントを構成する必要があります。複数のピン（ V_{SS} 、 V_{DD} 、 AV_{CC} ）を持つ電源の場合には、これらのピンを一緒に接続することが推奨されます。AD5532に対しては、 $10\mu F$ と $0.1\mu F$ の並列接続により十分な電源バイパスをパッケージのできるだけ近くの電源に、理想的にはデバイスに直接接続する必要があります。 $10\mu F$ コンデンサはタンタルのビーズ型を使います。 $0.1\mu F$ コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗（ESR）が小さく、かつ実効直列インダクタンス（ESI）が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

AD5532の電源ラインには、できるだけ太いパターンを使って低インピーダンス・パスを実現して、電源ライン上でのグリッチの影響を削減する必要があります。クロックなどの高速スイッチング信号はデジタル・グラウンドでシールドして、ボード上の他の部品へノイズを放出しないようにし、リファレンス入力の近くを通らないようにします。 D_{IN} ラインとSCLKラインの間にグラウンド・ラインを配線すると、これらの間のクロストークを小さくすることに役立ちます（多層ボードには別のグラウンド・プレーンがあるので必要ありませんが、これらのラインを離すことは役立ちます）。 V_{IN} とREFINのノイズを小さくすることは重要です。デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに直角となるように配置します。これにより、ボードを通過するフィードスルーの効果も削減することができます。マイクロストリップ技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号パターンはハンダ面に配置されます。

AD5532

外形寸法

サイズはインチと (mm) で示します。

74ピンLFBGA (BC-74)

