

## AD5530/AD5531

### 特長

- ピン・コンパチブルの12ビットおよび14ビットDAC
- シリアル入力、電圧出力
- ±10Vの最大出力電圧範囲
- データ・リードバック
- 3線式シリアル・インターフェース
- ユーザー定義電圧へのクリア機能
- パワーダウン機能
- デジィー・チェーン接続用のシリアル・データ出力
- 16ピンTSSOPパッケージ

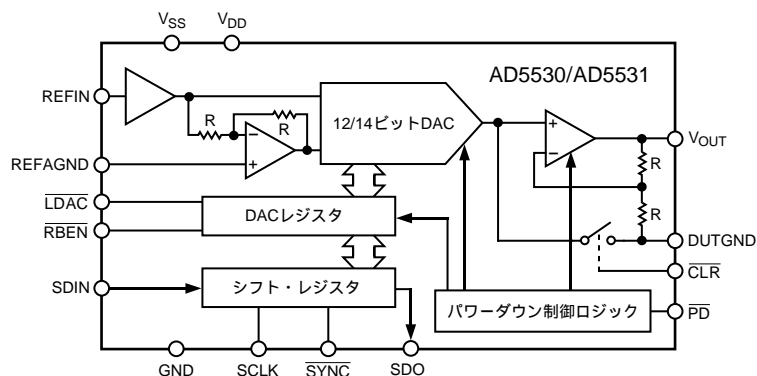
### アプリケーション

- 工業用オートメーション
- 自動試験装置
- プロセス制御
- 汎用の計装

### 概要

AD5530 (シングル、12ビット) AD5531 (シングル、14ビット) は、シリアル入力、電圧出力のDACです。両製品は、SPI™、QSPI™、MICROWIRE™、DSPインターフェース規格とコンパチブルな、使いやすい3線式インターフェースを採用しています。データは、16ビットのシリアル・ワード形式でこの各デバイスにロードされます。デジィー・チェーン接続目的のために、SDOピンからシリアル・データを出力することが可能です。データ・リードバック機能が用意されているので、ユーザーはSDOピンからDACレジスタの内容を読み出すことができます。DAC出力はDUTGNDに印加される電位を基準にゲイン2のアンプによってバッファされます。LDAC入力を使用して、DACの出力を非同期に更新することが可能です。パワーダウン (PD) ピンによって、DACを低消費電力状態に設定し、またCLRピンを使用して、出力をDUTGND (ユーザー定義電圧グラウンド) にクリアすることが可能です。AD5530とAD5531は、16ピンTSSOPパッケージで供給されます。

機能ブロック図



SPIおよびQSPIは、Motorola, Inc.の商標です。  
MICROWIREは、National Semiconductor Corporationの商標です。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

\*日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。

REV.0

アナログ・デバイス株式会社

本社 / 東京都港区海岸1-16-1 電話03(5402)8200 〒105-6891  
ニューピア竹芝サウスタワービル  
大阪営業所 / 大阪市淀川区宮原3-5-36 電話06(6350)6868(代) 〒532-0003  
新大阪第二森ビル

# AD5530/AD5531 仕様<sup>1</sup>

( $V_{DD} = +15V \pm 10\%$ 、 $V_{SS} = -15V \pm 10\%$ 、 $GND = 0V$ 、 $R_L = 5k$  および $C_L = 220pF$ をGND間に接続。特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ で全仕様を規定)

パラメータ	AD5530	AD5531	単位	テスト条件 / 備考
<b>精度</b>				
分解能	12	14	ビット	
相対精度	$\pm 1$	$\pm 2$	LSB max	
微分非直線性	$\pm 1$	$\pm 1$	LSB max	動作温度範囲で単調性を保証
ゼロスケール誤差	$\pm 2$	$\pm 8$	LSB max	代表値は $\pm 1$ LSB以下
フルスケール誤差	$\pm 2$	$\pm 8$	LSB max	代表値は $\pm 1$ LSB以下
ゲイン誤差	$\pm 1$	$\pm 4$	LSB typ	
ゲイン温度係数 <sup>2</sup>	0.5	0.5	ppm FSR/ typ	
	10	10	ppm FSR/ max	
<b>リファレンス入力<sup>2</sup></b>				
リファレンス入力範囲	0/5	0/5	V min/V max	最大出力範囲 $\pm 10V$
DC入力抵抗値	100	100	M typ	
入力電流	$\pm 1$	$\pm 1$	$\mu A$ max	各入力あたりの数値。代表値は $\pm 20nA$
<b>DUTGND入力<sup>2</sup></b>				
DC入力インピーダンス	60	60	k typ	
最大入力電流	$\pm 0.3$	$\pm 0.3$	mA typ	
入力範囲	- 4/ + 4	- 4/ + 4	V min/V max	最大出力範囲 $\pm 10V$
<b>出力特性<sup>2</sup></b>				
出力電圧振幅	$\pm 10$	$\pm 10$	V max	
短絡電流	15	15	mA max	
抵抗性負荷	5	5	k min	0Vに対して
容量性負荷	1200	1200	pF max	0Vに対して
DC出カインピーダンス	0.5	0.5	max	
<b>デジタルI/O</b>				
$V_{INH}$ 、入力ハイレベル電圧	2.4	2.4	V min	
$V_{INL}$ 、入力ローレベル電圧	0.8	0.8	V max	
$I_{INH}$ 、入力電流	$\pm 10$	$\pm 10$	$\mu A$ max	すべてのピンに対するトータル値
$C_{IN}$ 、入力容量 <sup>2</sup>	10	10	pF max	3pF typ
SDO $V_{OL}$ 出力ローレベル電圧	0.4	0.4	V max	$I_{SINK}=1mA$
<b>電源</b>				
$V_{DD}/V_{SS}$	+ 15/ - 15	+ 15/ - 15	V nom	規定性能を保証するためには $\pm 10\%$ 以内であること
<b>電源感度</b>				
フルスケール/ $V_{DD}$	110	110	dB typ	
フルスケール/ $V_{SS}$	100	100	dB typ	
$I_{DD}$	2	2	mA max	無負荷時出力
$I_{SS}$	2	2	mA max	無負荷時出力
パワーダウン時の $I_{DD}$	150	150	$\mu A$ max	代表値50 $\mu A$

## 注

1. Bバージョンの温度範囲：- 40 ~ +85
2. 設計によって保証していますが、製造テストは実施していません。  
仕様は予告なく変更される場合があります。

# AD5530/AD5531

**仕様**<sup>1</sup> (特に指定のない限り、 $V_{DD} = +12V \pm 10\%$ 、 $V_{SS} = -12V \pm 10\%$ 、 $GND = 0V$ 、 $R_L = 5k$  および $C_L = 220pF$ をGND間に接続、 $T_A = T_{MIN} \sim T_{MAX}$ )

パラメータ	AD5530	AD5531	単位	テスト条件/備考
<b>精度</b>				
分解能	12	14	ビット	動作温度範囲で単調増加性を保証 代表値は $\pm 1$ LSB以下 代表値は $\pm 1$ LSB以下
相対精度	$\pm 1$	$\pm 2$	LSB max	
微分非直線性	$\pm 1$	$\pm 1$	LSB max	
ゼロスケール誤差	$\pm 2$	$\pm 8$	LSB max	
フルスケール誤差	$\pm 2$	$\pm 8$	LSB max	
ゲイン誤差	$\pm 1$	$\pm 4$	LSB typ	
ゲイン温度係数 <sup>2</sup>	0.5	0.5	ppm FSR/ typ	
	10	10	ppm FSR/ max	
<b>リファレンス入力<sup>2</sup></b>				
リファレンス入力範囲	0/4.096	0/4.096	V min/V max	最大出力範囲 $\pm 8.192V$
DC入力抵抗値	100	100	M typ	各入力あたりの数値。代表値は $\pm 20$ nA
入力電流	$\pm 1$	$\pm 1$	$\mu A$ max	
<b>DUTGND入力<sup>2</sup></b>				
DC入力インピーダンス	60	60	k typ	最大出力範囲 $\pm 8.192V$
最大入力電流	$\pm 0.3$	$\pm 0.3$	mA typ	
入力範囲	-3/+3	-3/+3	V min/V max	
<b>出力特性<sup>2</sup></b>				
出力電圧振幅	$\pm 8.192$	$\pm 8.192$	V max	0Vに対して 0Vに対して
短絡電流	15	15	mA max	
抵抗性負荷	5	5	k min	
容量性負荷	1200	1200	pF max	
DC出力インピーダンス	0.5	0.5	max	
<b>デジタルI/O</b>				
$V_{INH}$ 、入力ハイレベル電圧	2.4	2.4	V min	すべてのピンに対するトータル値 3pF typ $I_{SINK}=1mA$
$V_{INL}$ 、入力ローレベル電圧	0.8	0.8	V max	
$I_{INH}$ 、入力電流	$\pm 10$	$\pm 10$	$\mu A$ max	
$C_{IN}$ 、入力容量 <sup>2</sup>	10	10	pF max	
SDO $V_{OL}$ 出力ローレベル電圧	0.4	0.4	V max	
<b>電源</b>				
$V_{DD}/V_{SS}$	+12/-12	+12/-12	V nom	規定性能を保証するためには $\pm 10\%$ 以内であること
<b>電源感度</b>				
フルスケール/ $V_{DD}$	110	110	dB typ	無負荷時出力 無負荷時出力 代表値50 $\mu A$
フルスケール/ $V_{SS}$	100	100	dB typ	
$I_{DD}$	2	2	mA max	
$I_{SS}$	2	2	mA max	
パワーダウン時の $I_{DD}$	150	150	$\mu A$ max	

注

- Bバージョンの温度範囲: -40 ~ +85
- 設計によって保証していますが、製造テストは実施していません。  
仕様は予告なく変更される場合があります。

**AC性能特性** ( $V_{DD} = 10.8 \sim 16.5V$ 、 $V_{SS} = -10.8 \sim -16.5V$ 、 $GND = 0V$ 、 $R_L = 5k$  および $C_L = 220pF$ をGND間に接続。特に注記のない限り、 $T_{MIN} \sim T_{MAX}$ で全仕様を規定)

パラメータ	A	単位	テスト条件/備考
<b>ダイナミック性能</b>			
出力電圧セトリング時間	20	$\mu s$ typ	フルスケール変化時に最終値 $\pm 1/2$ LSBに収束するまでの時間。DACラッチの内容として、全0と全1を交互にロード
スルーレート	1.3	V/ $\mu s$ typ	DACラッチに0FFF (16進数値)と1000 (16進数値)を交互にロード。負荷条件には依存しません。 被試験DAC出力に対して及び入力バス動作の影響 全1をDACにロード
デジタル/アナログ・グリッチ・インパルス	120	nV-s typ	
デジタル・フィードスルー	0.5	nV-s typ	
出力ノイズ・スペクトル密度@ 1 kHz	100	nV/(Hz) <sup>1/2</sup> typ	

仕様は予告なく変更される場合があります。設計によって保証していますが、製造テストは実施していません。

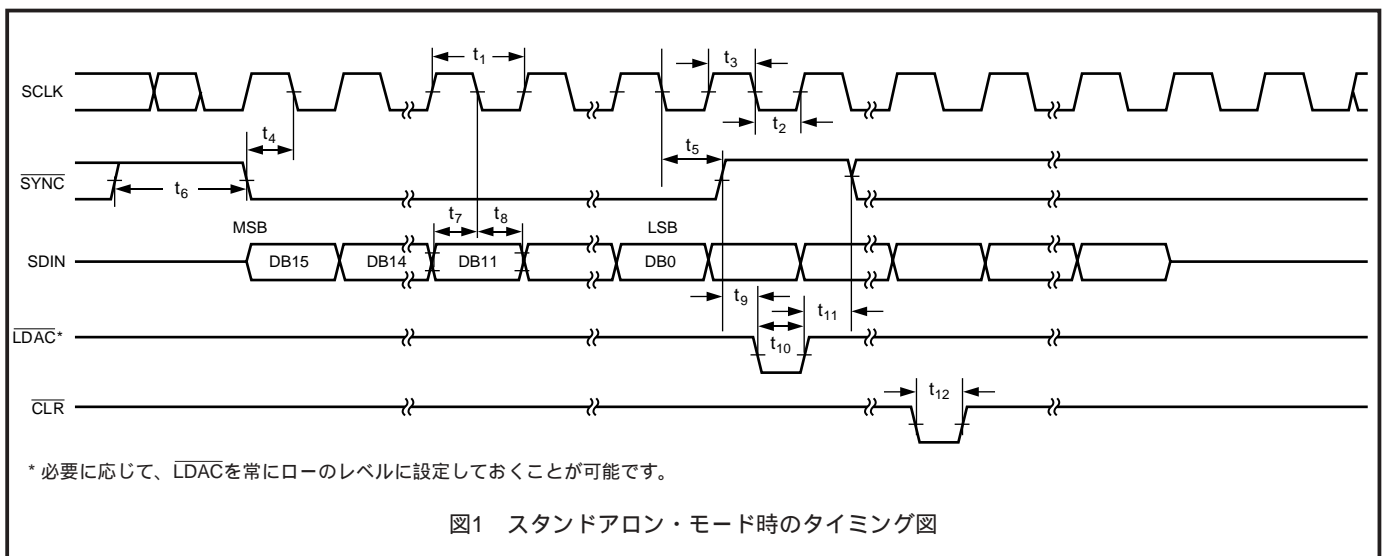
# AD5530/AD5531

## スタンドアロン・タイミング特性<sup>1、2</sup>

( $V_{DD} = 10.8V \sim 16.5V$ ,  $V_{SS} = -10.8V \sim -16.5V$ ,  $GND = 0V$ ,  $R_L = 5k$  および  $C_L = 220pF$ をGND間に接続。特に注記のない限り、 $T_{MIN} \sim T_{MAX}$ で全仕様を規定しています)

パラメータ	$T_{MIN}$ 、 $T_{MAX}$ 時のリミット値	単位	説明
$f_{MAX}$	7	MHz max	SCLK周波数
$t_1$	140	ns min	SCLKサイクル時間
$t_2$	60	ns min	SCLKロー時間
$t_3$	60	ns min	SCLKハイ時間
$t_4$	50	ns min	SYNCからSCLK立ち下がりエッジまでのセットアップ時間
$t_5$	40	ns min	SCLK立ち下がりエッジからSYNC立ち上がりエッジまでの時間
$t_6$	50	ns min	最小のSYNCハイ時間
$t_7$	40	ns min	データ・セットアップ時間
$t_8$	15	ns min	データ・ホールド時間
$t_9$	5	ns min	SYNCハイからLDACローまでの時間
$t_{10}$	50	ns min	LDACパルス幅
$t_{11}$	5	ns min	LDACハイからSYNCローまでの時間
$t_{12}$	50	ns min	CLRパルス幅

1. 設計によって保証していますが、製造テストは実施していません。
2. 初期リリースの期間中、およびこのパラメータに影響が及ぶ可能性のある設計変更またはプロセスの後で、サンプル・テストを実施しています。すべての入力信号は $t_r = t_f = 5\text{ ns}$  ( $V_{DD}$ の10% - 90%)で測定し、( $V_{IL} + V_{IH}$ )/2の電圧レベルからタイミングを計測しています。  
仕様は予告なく変更される場合があります。

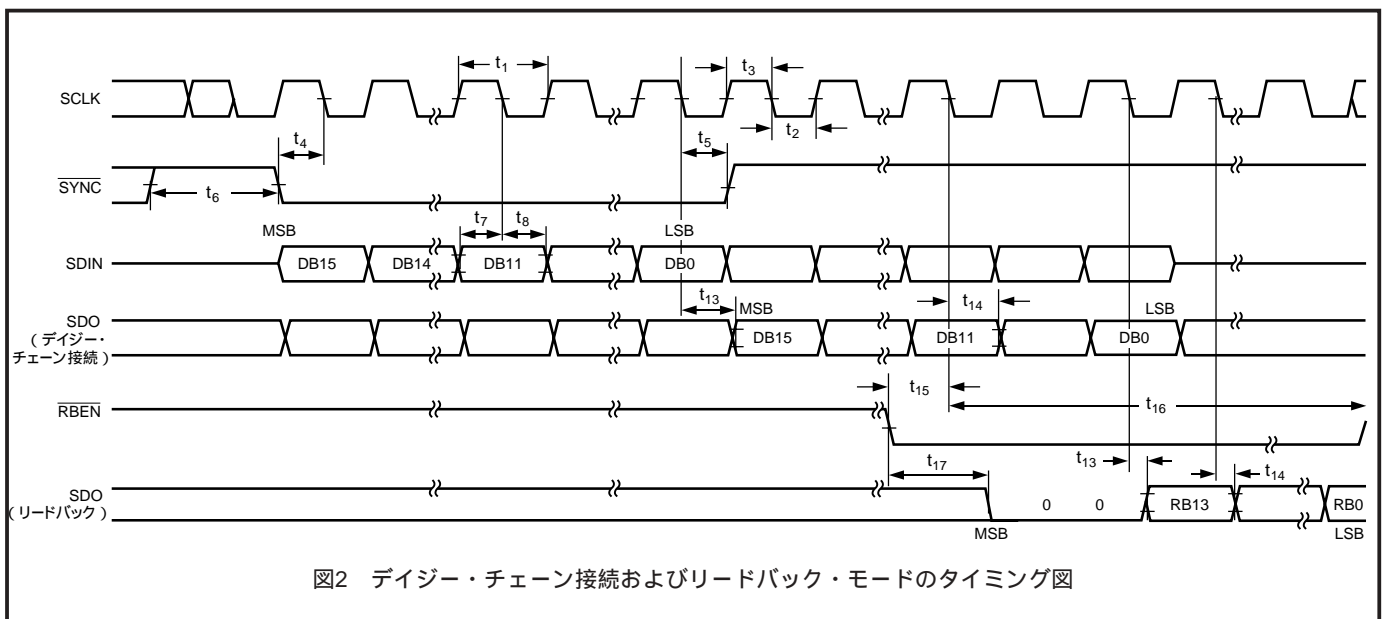


## デジター・チェーン接続およびリードバック・モードのタイミング特性<sup>1, 2, 3</sup>

( $V_{DD} = 10.8V \sim 16.5V$ ,  $V_{SS} = -10.8V \sim -16.5V$ ,  $V_{SS} = -15V \pm 10\%$ ,  $GND = 0V$ ,  $R_L = 5k$  および  $C_L = 220pF$ をGND間に接続。特に注記のない限り、 $T_{MIN} \sim T_{MAX}$ で全仕様を規定)

パラメータ	$T_{MIN}$ , $T_{MAX}$ 時のリミット値	単位	説明
$f_{MAX}$	2	MHz max	SCLK周波数
$t_1$	500	ns min	SCLKサイクル時間
$t_2$	200	ns min	SCLKロー時間
$t_3$	200	ns min	SCLKハイ時間
$t_4$	50	ns min	SYNCからSCLK立ち下がりエッジまでのセットアップ時間
$t_5$	40	ns min	SCLK立ち下がりエッジからSYNC立ち上がりエッジまでの時間
$t_6$	50	ns min	最小のSYNCハイ時間
$t_7$	40	ns min	データ・セットアップ時間
$t_8$	15	ns min	データ・ホールド時間
$t_{12}$	50	ns min	CLRパルス幅
$t_{13}$	130	ns min	SCLK立ち下がりエッジからSDO有効までの時間
$t_{14}$	50	ns max	SCLK立ち下がりエッジからSDO無効までの時間
$t_{15}$	50	ns min	$\overline{RBEN}$ からSCLK立ち下がりエッジまでのセットアップ時間
$t_{16}$	50	ns min	$\overline{RBEN}$ ホールド時間
$t_{17}$	100	ns min	$\overline{RBEN}$ 立ち下がりエッジからSDO有効までの時間

1. 設計によって保証していますが、製造テストは実施していません。
2. 初期リリースの期間中、およびこのパラメータに影響が及ぶ可能性のある設計変更またはプロセスの後で、サンプル試験を実施しています。すべての入力信号は $t_r = t_f = 5\text{ ns}$  ( $V_{DD}$ の10% ~ 90%)で測定し、 $(V_{IL} + V_{IH})/2$ の電圧レベルからタイミングを計測しています。
3. SDO:  $R_{PULLUP} = 5k$ 、 $C_L = 15pF$   
仕様は予告なく変更される場合があります。



# AD5530/AD5531

## 絶対最大定格\*

(特に注記のない限り、 $T_A = 25$ )

$V_{DD} \sim GND$	- 0.3V、+17V
$V_{SS} \sim GND$	+0.3V、- 17V
デジタル入力 $\sim GND$	- 0.3V $\sim V_{DD} + 0.3V$
SDO $\sim GND$	- 0.3V $\sim +6.5V$
REFIN $\sim REFAGND$	- 0.3V、+17V
REFIN $\sim GND$	$V_{SS} - 0.3V$ 、 $V_{DD} + 0.3V$
REFAGND $\sim GND$	$V_{SS} - 0.3V$ 、 $V_{DD} + 0.3V$
DUTGND $\sim GND$	$V_{SS} - 0.3V$ 、 $V_{DD} + 0.3V$

## 動作温度範囲

工業用 (Bバージョン) ..... - 40 ~ +85

保管温度範囲	- 65 ~ +150
最大接合部温度 ( $T_{JMAX}$ )	150
パッケージ消費電力	( $T_{JMAX} - T_A$ ) $J_A$
熱インピーダンス $J_A$	
TSSOP (RU-16)	150.4 $^{\circ}C/W$
ピン温度 (ハンダ付け、10秒)	300
IRリフロー、ピーク温度 (20秒未満)	235

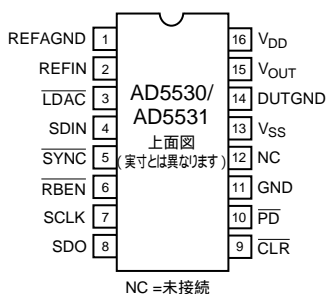
\*上記の絶対最大定格を超えるストレスを加えると、デバイスに永久破壊をもたらすことがあります。この定格は、デバイスの単なるストレスの度合いであり、基本的な動作あるいは動作の項に示す条件において、この定格は考慮されていません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えます。

## オーダー・ガイド

モデル	温度範囲	分解能	INL (LSB)	DNL (LSB)	パッケージ・オプション*
AD5530BRU	- 40 ~ +85	12	$\pm 1$	$\pm 1$	RU-16
AD5531BRU	- 40 ~ +85	14	$\pm 2$	$\pm 1$	RU-16

\* RU = 薄型シュリンクSOパッケージ

## ピン配置



## 注意

ESD (静電放電) の影響を受けやすいデバイスです。4000V におよぶ高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自の ESD 保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切な ESD 防止措置をとるようお奨めします。



## ピン機能説明

ピン番号	記号	機能
1	REFAGND	このピンは $\pm 10V$ のバイポーラ出力電圧範囲用として使用し、0Vに接続する必要があります。
2	REFIN	DACの電圧リファレンス入力です。規定された $\pm 10V$ のバイポーラ出力を保証するために、+5Vの外部電圧リファレンスに接続してください。
3	$\overline{\text{LDAC}}$	DACロジック入力（アクティブ・ロー）をロードします。この入力がローのときに、シフト・レジスタのデータ内容がDACレジスタに転送されます。 $\overline{\text{LDAC}}$ を常にローに設定して、SYNCの立ち上がりエッジで出力を更新することが可能です。
4	SDIN	シリアル・データ入力。この各デバイスは、16ビット・ワードを受け入れます。データは、SCLKの立ち下がりエッジで入力レジスタにクロック入力されます。
5	$\overline{\text{SYNC}}$	アクティブ・ローの制御入力。データは、SCLKの立ち下がりエッジでシフト・レジスタにクロック入力されます。
6	$\overline{\text{RBEN}}$	アクティブ・ローのリードバック・イネーブル機能。この機能によって、DACレジスタの内容の読み出しが可能になります。DACレジスタからのデータは、SCLKのエッジが立ち上がるごとにSDOピンにシフト出力されます。
7	SCLK	クロック入力。データは、SCLKの立ち下がりエッジで入力レジスタにクロック入力されます。
8	SDO	シリアル・データ出力。このピンは、入力シフト・レジスタにすでに書き込まれているシリアル・データのクロック出力に使用するか、または $\overline{\text{RBEN}}$ との併用によって、DACレジスタからデータをリードバックします。これはオープン・ドレイン出力です。したがって、プルアップ抵抗を外付けして、プルアップする必要があります。スタンダオン・モード時には、SDOをGNDに接続するか、またはハイ・インピーダンスの状態に維持してください。
9	$\overline{\text{CLR}}$	レベル・センシティブなアクティブ・ローの入力です。 $\overline{\text{CLR}}$ の立ち下がりエッジで、 $V_{\text{OUT}}$ がDUTGNDにリセットされます。レジスタの内容が変更されることはありません。
10	$\overline{\text{PD}}$	このピンを使用して、DACをパワーダウンの状態に設定することが可能です。
11	GND	グラウンド・リファレンス
12	NC	このピンには、どのピンも接続しないでください。
13	$V_{\text{SS}}$	負のアナログ電源電圧。-12V $\pm 10\%$ または-15V $\pm 10\%$ で、規定性能が保証されます。
14	DUTGND	$V_{\text{OUT}}$ は、このピンに印加される電圧を基準にします。
15	$V_{\text{OUT}}$	DAC出力
16	$V_{\text{DD}}$	正のアナログ電源電圧。+12V $\pm 10\%$ または+15V $\pm 10\%$ で、規定性能が保証されます。

### 用語の説明

#### 相対精度

相対精度またはエンドポイント直線性は、DAC伝達関数の各エンドポイントを通過する直線からの最大偏差をLSB単位で測定したものです。

#### 微分非直線性

微分非直線性は、任意の隣接する2つのコード間における理想的な1 LSB遷移と実際に測定した遷移との差です。 $\pm 1$  LSBの最大値に規定された微分非直線性は、単調増加性を保証します。

#### ゼロスケール誤差

ゼロスケール誤差は、DACラッチに全0がロードされるときに発生する出力誤差の測定値です。

#### フルスケール誤差

これは、DACラッチに全1がロードされるときに発生するDAC出力電圧の誤差です。DACラッチに全1がロードされるとき出力電圧の理想値は、 $2V_{\text{REF}} - 1 \text{ LSB}$ とします。

#### ゲイン誤差

ゲイン誤差は、実際のアナログ出力電圧範囲とその理想的な範

囲との差であり、フルスケール電圧範囲の%値として表します。これは、DAC伝達関数の理想的な傾きからの偏差です。

#### 出力電圧セトリング時間

これは、フルスケール入力変化に対して出力が規定のレベルにセトリングするまでの所要時間です。

#### デジタル / アナログ・グリッチ・インパルス

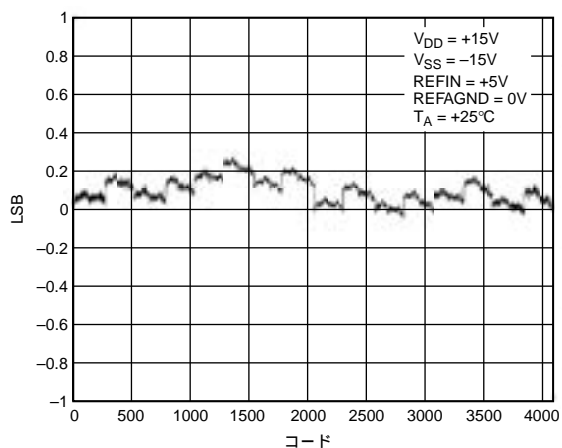
デジタル / アナログ・グリッチ・インパルスは、DACレジスタで入力コードのステートが変化するときアナログ出力に注入されるインパルスです。これはグリッチ領域としてnV-sの単位で規定され、デジタル入力コードがメジャー・キャリア遷移で1 LSB変化するとき測定されます。

#### デジタル・フィードスルー

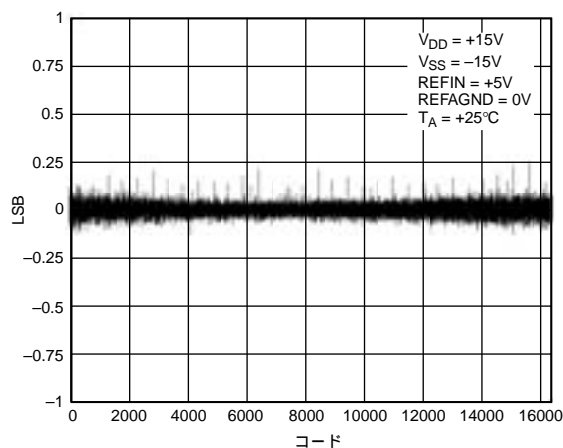
デジタル・フィードスルーは、DACのデジタル入力からDACのアナログ出力に注入されるインパルスの測定値ですが、これはDACの出力が更新されないときに測定します。これはnV-sの単位で規定され、データ・バス上でフルスケールのコード変化が発生するとき、すなわち全0から全1、または全1から全0にコードが変化するとき測定されます。



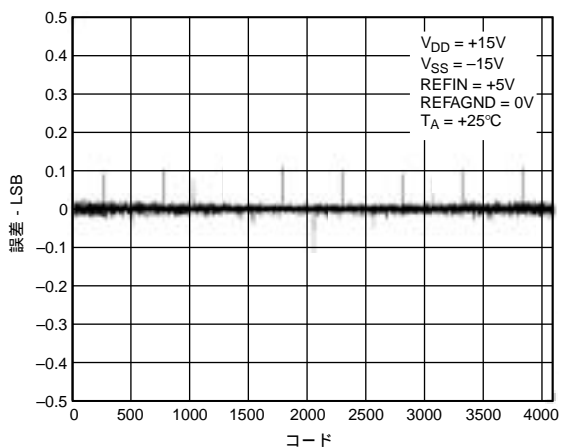
# AD5530/AD5531 代表的な性能特性



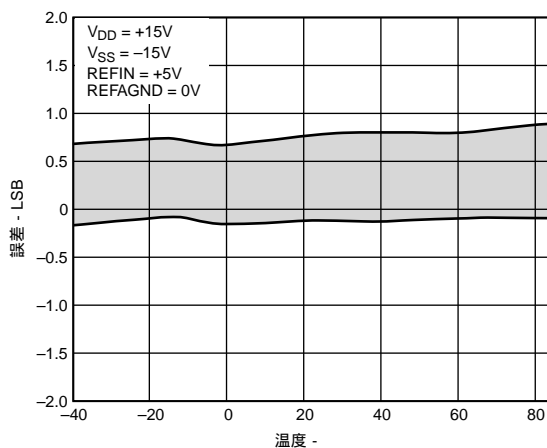
特性1 AD5530の代表的なINLプロット



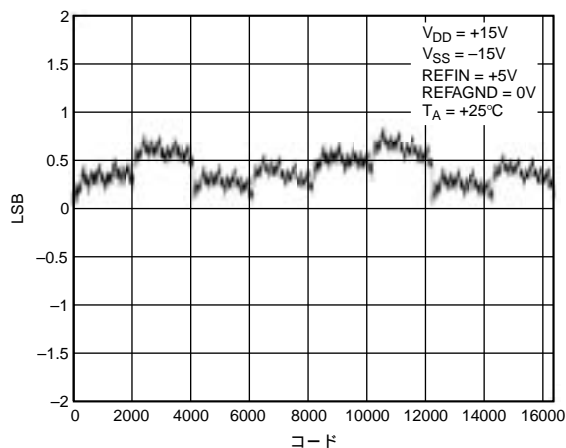
特性4 AD5531の代表的なDNLプロット



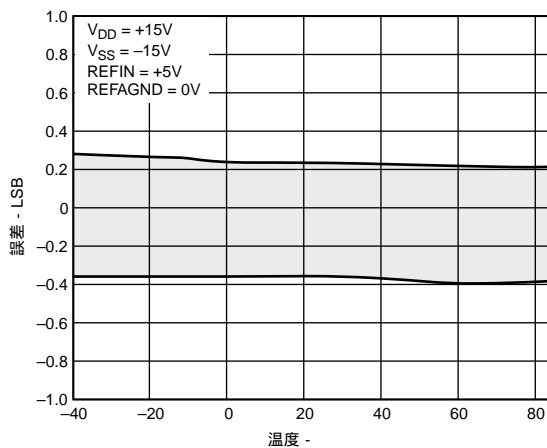
特性2 AD5530の代表的なDNLプロット



特性5 AD5531の代表的なINL誤差 対 温度

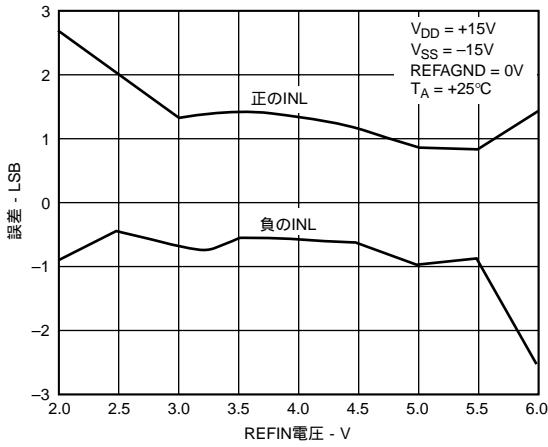


特性3 AD5531の代表的なINLプロット

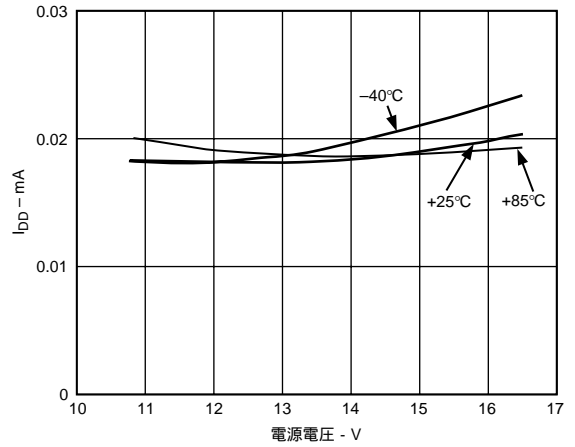


特性6 AD5531の代表的なDNL誤差 対 温度

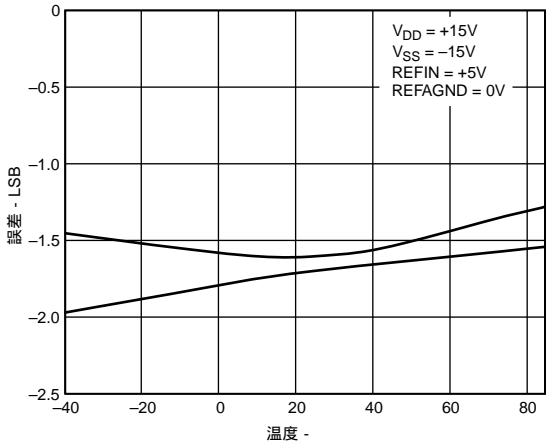




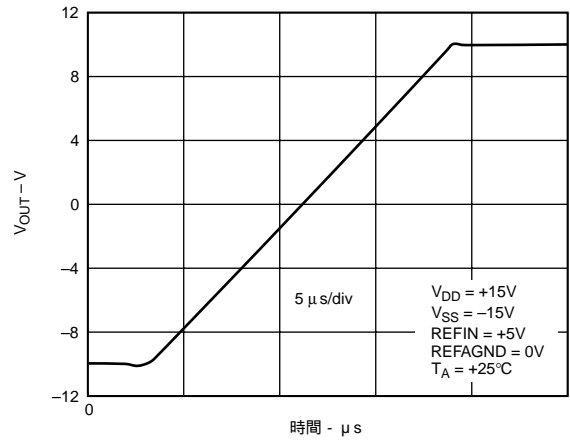
特性7 AD5531の代表的なINL誤差 対 リファレンス電圧



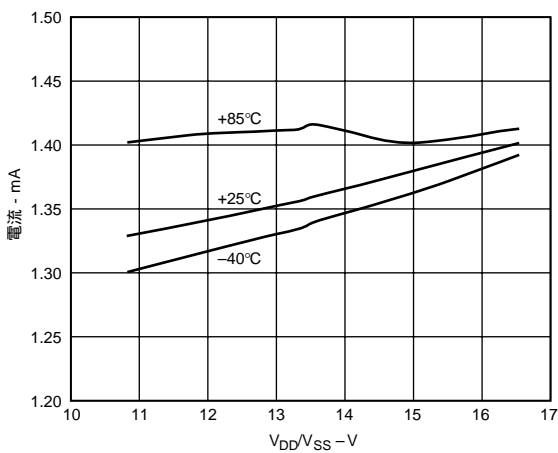
特性10 パワーダウン・モード時の $I_{DD}$  対 電源



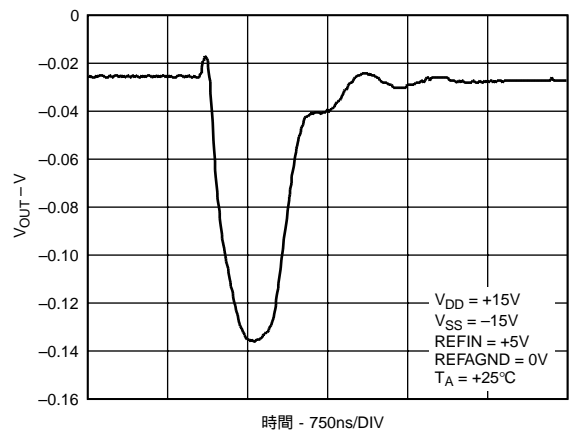
特性8 フルスケールおよびオフセット誤差 対 温度の代表的特性



特性11 セトリング時間

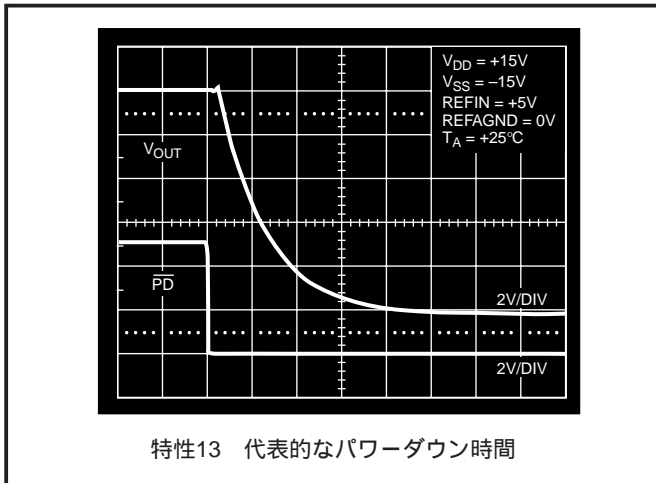


特性9  $I_{DD}$  対  $V_{DD}/V_{SS}$



特性12 代表的なデジタル/アナログ・グリッチ・インパルス特性

# AD5530/AD5531



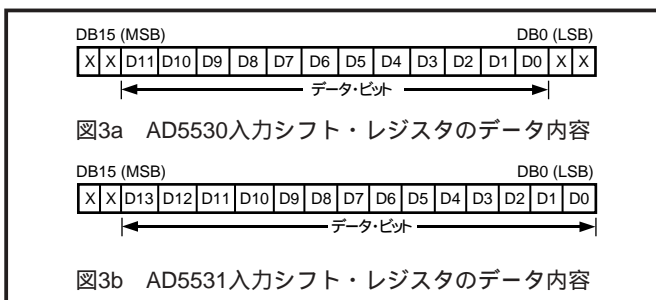
## 概要

### DACアーキテクチャ

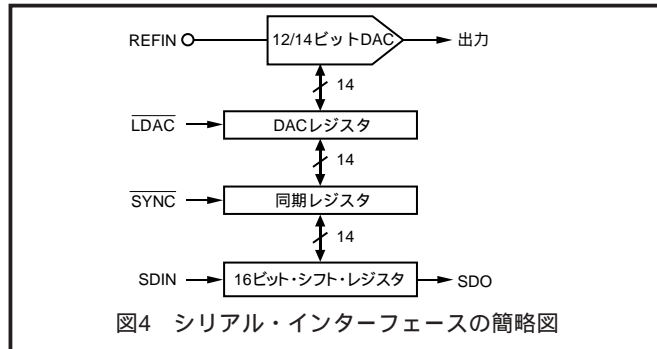
AD5530( 12ビット )、AD5531( 14ビット )は、ピン・コンパチブルのDACです。AD5530はストレート12ビットのR-2R電圧モードDACで構成され、これに対してAD5531は14ビットのR-2R回路セクションで構成されています。+5V電圧リファレンスをREFINピンに接続し、REFAGNDピンを0Vに接続すると、±10Vのバイポーラ電圧が出力されます。この各DACの符号化方式は、ストレート・バイナリです。

### シリアル・インターフェース

SCLK、SYNCおよびLDACの各入力の制御によって、シリアル・データがSDIN入力から入力レジスタにロードされます。書き込み動作によって、16ビット・ワードがAD5530/AD5531に転送されます。このタイミング図を図1および2に記載しています。図3には、入力シフト・レジスタのデータ内容を示しています。12または14ビットのシリアル・ワードがデータ・ビットであり、それ以外は無視されるビットです。



シリアル・ワードは、SYNC信号によってフレーミングされます。SYNC入力がハイからローに遷移した後で、SCLKのエッジが立ち下がると、データが入力シフト・レジスタ内部にラッチされます。DACレジスタと出力の更新には、2つの方法があります。SYNCのエッジが立ち下がるときにLDAC信号がチェックされ、そのステータスに応じて同期または非同期いずれかの更新が選択されます。LDACがローであれば、SYNC入力がローからハイに遷移するとき、DACレジスタと出力が更新されます。これとは別の方法として、サンプリング時にLDACがハイの場合には、SYNC入力の立ち上がりエッジで新しいデータがDACレジスタにロードされることはありませんが、16ビットのデータ転送が完了した後に、いつでもLDACをローに設定することによって、DACレジスタのデータ内容と出力電圧が更新されます。必要に応じて、LDACを常にローのレベルに設定しておくことが可能です。入力ロード回路の簡略図を図4に示します。



SDINを通してデバイスに書き込まれるデータは、リードバック機能を使用しない場合に16クロック後にSDOピン上に出力されます。SDOデータは、ある程度の遅延を伴ってシリアル・クロックの立ち下がりエッジでクロック出力されます。

### PD機能

ユーザーはPDピンの利用によって、デバイスをパワーダウン・モードに設定できます。このモード期間中に消費電力が最小限に抑えられ、デバイスの消費電流はわずか50μAに過ぎません。PD機能の実行に伴って、DACレジスタのデータ内容に影響が及ぶことはありません。

### リードバック機能

AD5530/AD5531では、DACレジスタに格納されているデータを必要に応じてリードバックすることが可能です。関係あるピンは、RBENとSDQ(シリアル・データ出力)です。RBENがローになってから、SCLK入力の次の立ち下がりエッジで、DACレジスタのデータ内容がシフト・レジスタに転送されます。RBENピンの使い方として、この信号を16クロック・サイクルの間ローのレベルに維持することによってリードバック・データのフレームを構成するか、または必要なホールド時間が経過した後でこの信号をハイに戻すことが可能です。シフト・レジスタにはDACレジスタのデータが格納され、SCLK入力のエッジが立ち下がるごとに、ある程度の遅延を伴ってSDOライン上にシフト出力されます。この動作によって、受信側デバイスの立ち下がりエッジに対し、シリアル・データ出力ピン上のデータが有効になることが保証されます。16ビット・ワードの2つのMSBは、ともに0です。

### CLR機能

CLR入力のエッジが立ち下がると、VoutはDUTGNDと同じ電位にリセットされます。レジスタのデータ内容は変更されず維持されるので、CLRがハイに戻された後でユーザーはLDACピンを使用して、以前のデータを再ロードできます。これに代わる方法として、LDACがローに設定されている場合に、CLRがハイになった時点でDACレジスタのデータ内容が自動的に出力にロードされます。

### 出力電圧

DAC伝達関数は、以下の通りです。

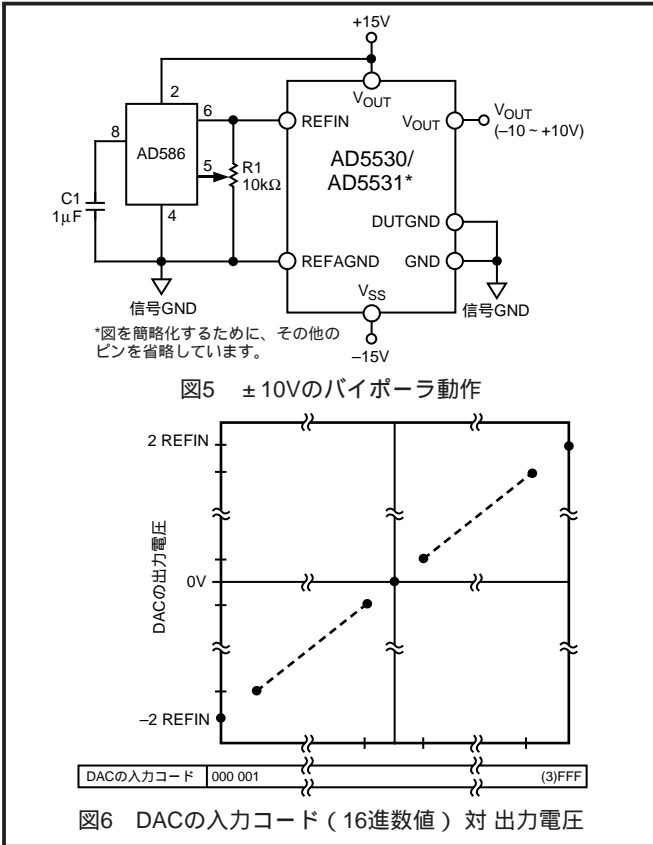
$$V_{out} = 2 \times \left( \text{REFIN} - \text{REFAGND} \times \frac{D}{2^N} \right) + 2 \times \text{REFAGND} - \text{REFIN} - \text{DUTGND}$$

ここで、

DはDACレジスタにロードされる10進数のデータ・ワード、そしてNはDACの分解能です。

### バイポーラ構成

図5には、AD5530/AD5531のバイポーラ回路構成を示しています。REFINは5V電圧リファレンスのAD586によって駆動され、REFAGNDとDUTGNDの各ピンはGNDに接続されています。この設定によって、-10Vから+10Vまでの範囲のバイポーラ出力電圧が得られます。ゲイン調整用として、抵抗R1を用意します(必要な場合)。図6には、REFAGNDを0Vに接続する場合のDACの伝達関数を示しています。



## マイクロプロセッサとのインターフェース

マイクロプロセッサとAD5530/AD5531とのインターフェースは、マイクロコントローラおよびDSPプロセッサと互換性のある標準のプロトコルを使用するシリアル・バスを通して実行されます。通信チャンネルは、クロック信号、データ信号および同期信号から構成される3線式（最低）のインターフェースです。AD5530/AD5531には、SCLK入力の立ち上がりエッジで有効なデータを含む16ビットのデータ・ワードが要求されます。

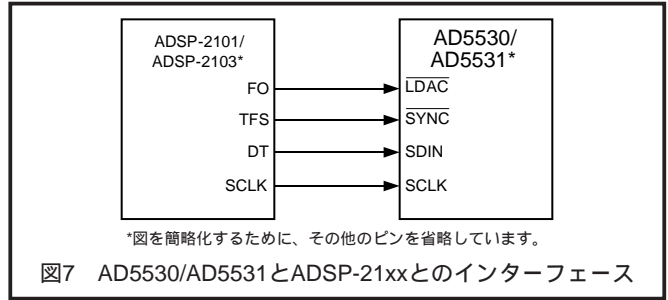
すべてのインターフェースでは、データのすべてがクロック入力されるか、またはLDAC入力によって非同期的に制御されるときに、DAC出力は自動的に更新されます。

リードバック機能を利用して、DACレジスタのデータ内容を読み出すことが可能です。RBENを使用して、SDOピンからクロック出力されるリードバック・データをフレーミングします。以下の各図には、簡単な4線インターフェースを用いたAD5530/AD5531のインターフェース接続を図示しています。AD5530/AD5531のシリアル・インターフェースは、最低3線式で動作が可能です。

## AD5530/AD5531とADSP-21xxとのインターフェース

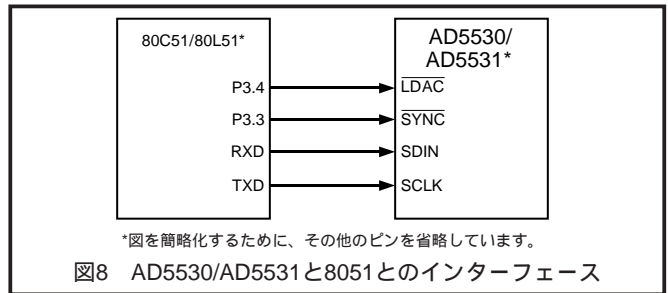
AD5530/AD5531とADSP-21xxとのインターフェースを図7に示します。このインターフェース例では、DACに対するデータの転送にSPORT0を使用します。SPORT制御レジスタの設定については、内部クロック動作、オルタネート・フレーミング・モード、およびアクティブ・ローのフレーミング信号を使用できるように構成する必要があります。

SPORTをイネーブルに設定した後でTxレジスタにワードを書き込む動作によって、送信が開始されます。データはSCLKの立ち上がりエッジでDSPからクロック出力されるので、このDSPとDACとのインターフェースに接続用のロジックを使用する必要がありません。図に示すインターフェースでは、DAC出力はLDACピンを使用してDSP経由で更新されます。これに代わる方法として、LDAC入力を常にローレベルに設定し、TFSが高になるときに更新が自動的に実行されるように設定することも可能です。



## AD5530/AD5531と8051とのインターフェース

AD5530/AD5531と8051とのシリアル・インターフェースを図8に示します。この例では、8051のTXDIによってAD5530/AD5531のSCLKを駆動し、さらにRXDIによってシリアル・データ入力ラインのSDINを駆動します。P3.3とP3.4はシリアル・ポートのビット・プログラマブル・ピンであり、それぞれSYNCおよびLDAC入力の駆動に使用されます。8051はデータ・ストリームのファースト・ビットとして、そのSBUFレジスタのLSBを送信します。DACはMSBが最初に転送されることを想定しているので、SBUFレジスタ内のデータが正しく配置構成されていることをユーザーは確認しなければなりません。

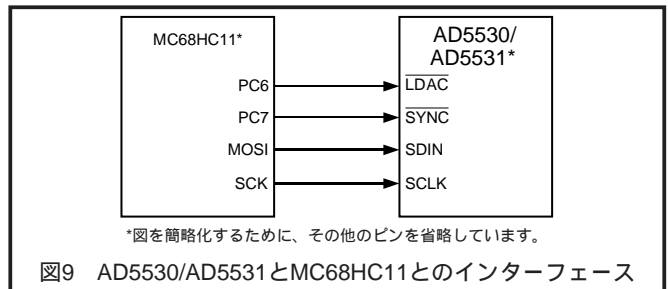


データがDACに転送されるときに、P3.3はローになります。RXD上のデータはTXDの立ち上がりエッジでマイクロコントローラからクロック出力され、この信号の立ち下がりエッジで有効になります。その結果として、このDACとマイクロコントローラとのインターフェースに接続用のロジックを使用する必要がありません。

8051は、送信サイクルで8個のクロックの立ち下がりエッジで8ビット・バイトのデータを送信します。DACは16ビットのワードが送信されることを必要とするので、最初の8ビットが転送された後でP3.3をローのレベルに維持する必要があります。2番目のバイトが転送されると、その後P3.3ラインをハイにします。8051のP3.4に接続されるLDACを使用して、DACを更新することができます。

## AD5530/AD5531とMC68HC11とのインターフェース

AD5530/AD5531とMC68HC11マイクロコントローラとのシリアル・インターフェース例を図9に示します。この例では、68HC11のSCKによってDACのSCLKを駆動し、さらにMOSI出力によってシリアル・データ入力ラインのSDINを駆動します。SYNC入力は、このケースでPC7に相当するポート・ラインの1つから駆動されます。



# AD5530/AD5531

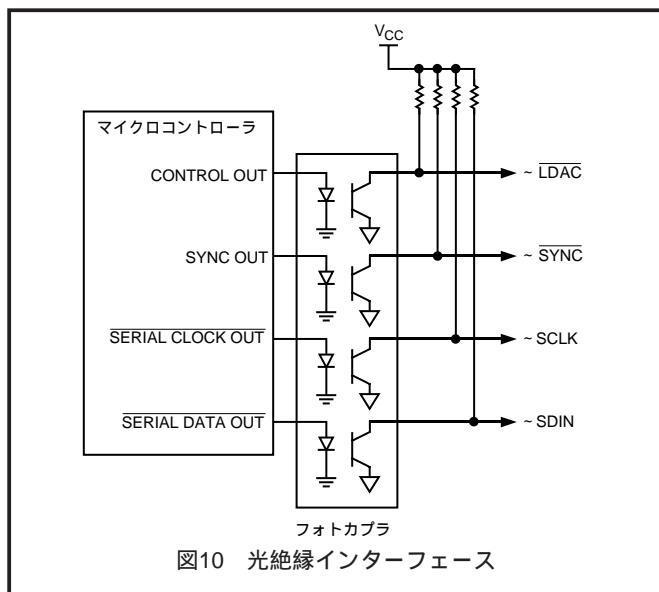
68HC11については、MSTR = 1、CPOL = 0およびCPHA = 1のマスター・モードに設定します。データがDACに転送されるときに、PC7がローになり、データはMSBが最初に送信されます。MOSI出力上に現れるデータは、SCKの立ち下がりがエッジで有効になります。送信サイクルで8個のクロックの立ち下がりがエッジが発生するので、動作に必要な16ビット・ワードをロードするために、2番目の8ビット・ワードがDACの入力シフト・レジスタに転送される動作が完了するまで、PC7はハイのレベルに設定されないようにします。

$\overline{\text{LDAC}}$ の制御は、PC6ポート出力によって行われます。 $\overline{\text{LDAC}}$ をローのレベルに設定することで、2バイトの転送動作が終了するごとにDACを更新することが可能です。この例では、DAC用に使用されるその他のシリアル・ラインを図示していません。 $\overline{\text{CLR}}$ 入力を使用する場合には、これをPC5ポート出力によって制御できます。DACレジスタからデータをリードバックするときには、SDOラインをMC68HC11のMISOに接続し、さらにRBENピンを別のポート出力に接続して、リードバック・データの転送を制御およびフレーミングすることが可能です。

## アプリケーション

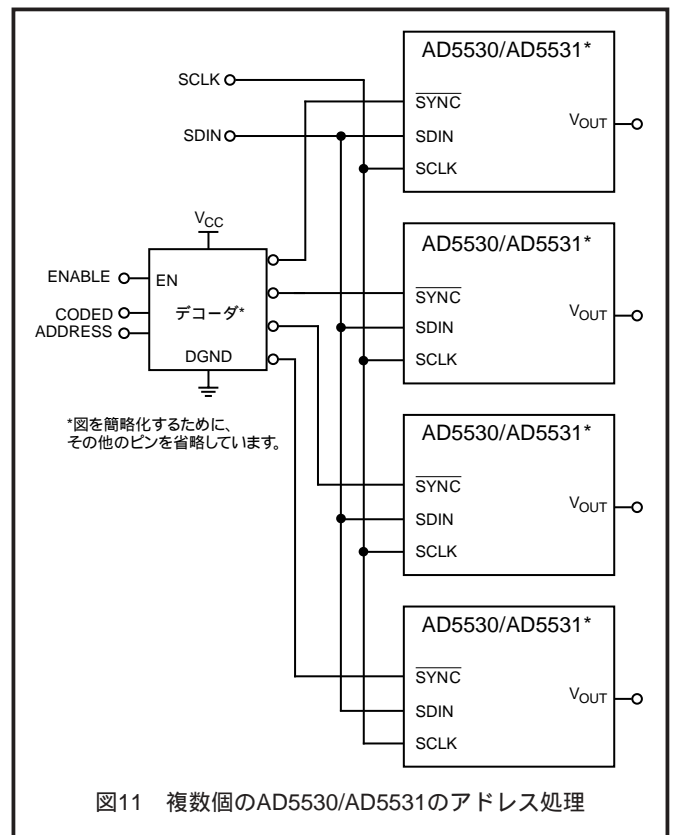
### フォトカプラとのインターフェース

数多くのプロセス制御アプリケーションでは、コントローラとその制御対象ユニットとの間に絶縁バリアを設けることが必要です。光インレータは、3kVを超える電圧絶縁動作が可能です。AD5530/AD5531はそのシリアル・ロード構造によって、インターフェース・ラインの数が最小限に維持されるので、光絶縁インターフェースに最適です。図10に



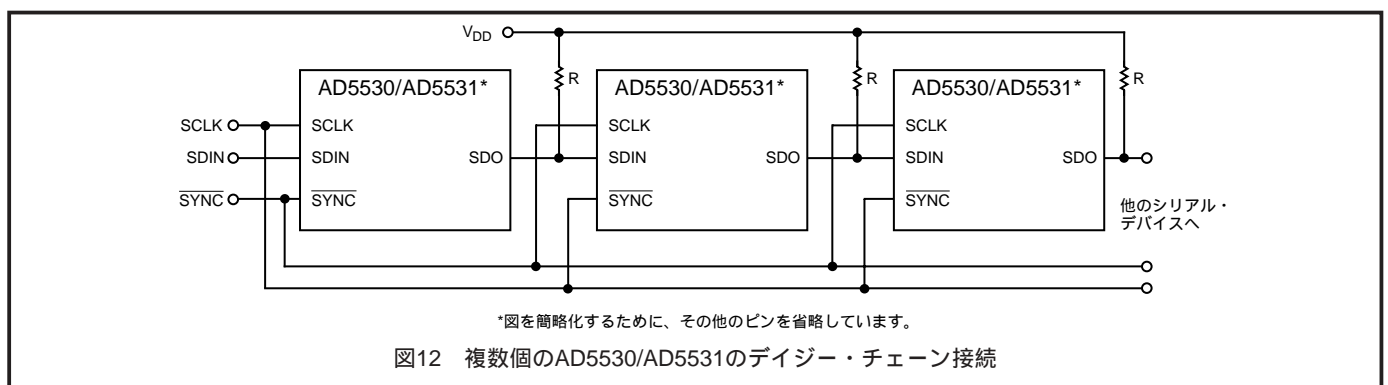
は、AD5530/AD5531との4チャンネル絶縁インターフェースを示しています。光インレータの使用個数を少なくするために、同時更新が必要のない場合には、 $\overline{\text{LDAC}}$ ピンを常にローレベルに固定できます。

複数個のAD5530またはAD5531のシリアル・インターフェース  $\overline{\text{SYNC}}$  ピンを使用して、複数個のAD5530/AD5531をアドレス処理する方法を図11に示しています。すべてのデバイスは同じシリアル・クロックとシリアル・データを受信しますが、一度に $\overline{\text{SYNC}}$ 信号を受信するのは1個のデバイスのみに限られます。アドレス指定されるDACは、デコーダによって確認されます。デジタル入力ラインからある程度のフィードスルーが発生しますが、バースト・クロックの利用によってこの影響を最小限に抑えることが可能です。



### 複数個のAD5530またはAD5531のデジタイズ・チェーン接続インターフェース

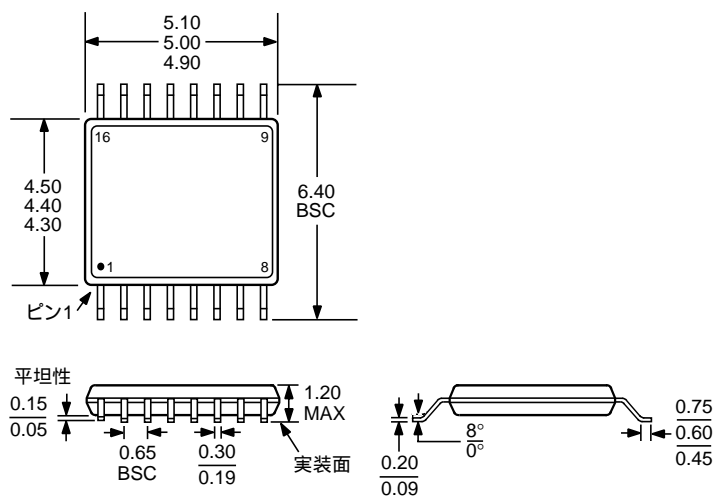
SDOピンを使用して、数多くのAD5530またはAD5531をデジタイズ・チェーン接続できます。このような回路構成を図12に示します。



## 外形寸法

サイズはmm単位で示します。

### 16ピン薄型シュリンクSOパッケージ (TSSOP) (RU-16)



JEDEC規格MO-153ABに準拠

# AD5530/AD5531





# AD5530/AD5531

TDS07/2002/1000

PRINTED IN JAPAN

