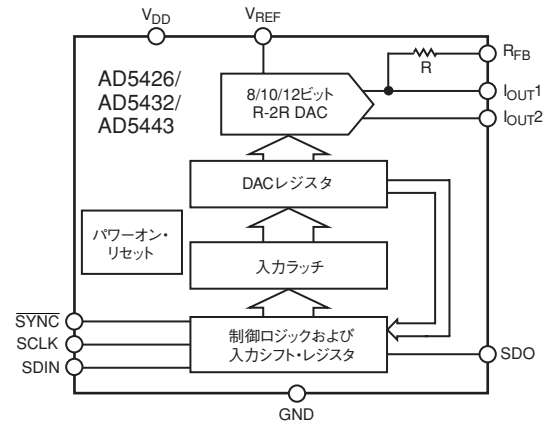


AD5426/AD5432/AD5443*

特長

動作電源電圧：3.0～5.5V
 50MHzのシリアル・インターフェース
 乗算帯域幅：10MHz
 ±10Vのリファレンス電圧入力
 低グリッチ・エネルギー：2nV-s以下
 拡張工業用温度範囲(3)：-40～+125°C
 10ピンMSOPパッケージ
 8/10/12ビットの電流出力DACとピン互換
 単調増加性を保証
 4象限乗算
 電圧低下検出機能付きパワーオン・リセット
 デイジーチェーン・モード
 リードバック機能
 消費電力：0.4 μ A (typ)

機能ブロック図



アプリケーション

携帯型バッテリー駆動のアプリケーション
 波形発生器
 アナログ信号処理
 計測機器アプリケーション
 プログラマブルなアンプおよび減衰器
 デジタル制御のキャリブレーション
 プログラマブル・フィルタおよび発振器
 コンポジット・ビデオ
 超音波機器
 ゲイン、オフセット、電圧のトリミング

概要

AD5426/AD5432/AD5443は8/10/12ビットのCMOS電流出力D/Aコンバータ(DAC)です。

これらのデバイスは3.0～5.5Vの電源で動作し、バッテリー駆動のアプリケーションおよびその他の多くのアプリケーションに適しています。

これらのDACは、SPI[®]、QSPI[™]、MICROWIRE[™]および多くのDSPインターフェース規格と互換性を持つダブル・バッファ付き3線式シリアル・インターフェースを採用しています。さらに、シリアル・データ出力ピン(SDO)により、複数パッケージを使う際にデイジーチェーン接続が可能です。データ・リードバック機能を使うと、SDOピンを介してDACレジスタの値を読み出すことができます。パワーアップ時には、内部のシフトレジスタとラッチにゼロが設定され、DAC出力はゼロスケールになります。

AD5426/AD5432/AD5443はCMOSサブミクロン・プロセスで製造されているため、10MHzの大信号乗算帯域幅を持つすぐれた4象限乗算機能を提供します。

フルスケール出力電流は、外部リファレンス入力電圧(V_{REF})によって決定されます。外付けの電流/電圧変換用高精度アンプと組み合わせると、内蔵の帰還抵抗(R_{FB})は温度トラッキング機能とフルスケール電圧出力を可能にします。

AD5426/AD5432/AD5443は小型の10ピンMSOPパッケージを採用しています。

*米国特許No. 5,689,257

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。

*日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。
 ©2004 Analog Devices, Inc. All rights reserved.

AD5426/AD5432/AD5443—仕様¹

($V_{DD}=3\sim 5.5V$ 、 $V_{REF}=10V$ 、 $I_{OUTX}=0V$ 。特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定。特に指定のない限り、DC性能はOP177で、AC性能はAD8038で測定)

パラメータ	Min	Typ	Max	単位	条件
静的性能 AD5426 分解能 相対精度(積分非直線性) 微分非直線性 AD5432 分解能 相対精度(積分非直線性) 微分非直線性 AD5443 分解能 相対精度(積分非直線性) 微分非直線性 ゲイン誤差 ゲイン誤差温度係数 ² 出力リーク電流					単調増加性を保証 単調増加性を保証 単調増加性を保証 データ=0000h、 $T_A=25^\circ C$ 、 I_{OUT} データ=0000h、 I_{OUT}
リファレンス電圧入力² リファレンス電圧入力範囲 V_{REF} 入力抵抗 R_{FB} 抵抗 入力容量 全ビット「0」のコード 全ビット「1」のコード	8	± 10 10	12	V k Ω k Ω pF pF	入力抵抗TC=-50ppm/ $^\circ C$ 入力抵抗TC=-50ppm/ $^\circ C$
デジタル入出力² 入力ハイレベル電圧(V_{IH}) 入力ローレベル電圧(V_{IL}) 入力リーク電流(I_{IL}) 入力容量 $V_{DD}=4.5\sim 5.5V$ 出力ローレベル電圧(V_{OL}) 出力ハイレベル電圧(V_{OH}) $V_{DD}=3\sim 3.6V$ 出力ローレベル電圧(V_{OL}) 出力ハイレベル電圧(V_{OH})	1.7	4	0.6 2 10 0.4	V V μA pF V V V V	$I_{SINK}=200\mu A$ $I_{SOURCE}=200\mu A$ $I_{SINK}=200\mu A$ $I_{SOURCE}=200\mu A$
動的性能² リファレンス入力乗算帯域幅 出力電圧セトリング時間 AD5426 AD5432 AD5443 デジタル遅延 10%~90%での立上がり ³ /立下がり ³ 時間 デジタルからアナログへのグリッチ・インパルス 乗算フィードスルー誤差 出力容量 I_{OUT2} I_{OUT1} デジタル・フィードスルー 全高調波歪み(THD) デジタルTHDクロック=1MHz 50kHz f_{OUT} 出力ノイズ・スペクトル密度		10 50 55 90 40 15 2 70 48 22 10 12 25 0.1 -81 73 25		MHz ns ns ns ns ns nV-s dB dB pF pF pF pF nV-s dB dB dB nV/ \sqrt{Hz}	$V_{REF}=\pm 3.5V$: DACに全ビット「1」をロード $V_{REF}=10V$: $R_{LOAD}=100\Omega$ 、 $C_{LOAD}=15pF$ $\pm 16mV$ のフルスケールで測定 $\pm 4mV$ のフルスケールで測定 $\pm 1mV$ のフルスケールで測定 インターフェース遅延時間 立上がりおよび立下がり時間、 $V_{REF}=10V$ 、 $R_{LOAD}=100\Omega$ 主要キャリヤ付近での1LSB変化、 $V_{REF}=0V$ DACラッチに全ビット「0」をロード。 $V_{REF}=\pm 3.5V$ 1MHz 10MHz 全ビット「0」をロード 全ビット「1」をロード 全ビット「0」をロード 全ビット「1」をロード SYNCがハイレベルで、全ビット「0」と全ビット「1」を交互にロードしたときのDAC出力へのフィードスルー $V_{REF}=3.5V$ pk-pk: 全ビット「1」をロード、 $f=1kHz$ @ 1kHz

AD5426/AD5432/AD5443

パラメータ	Min	Typ	Max	単位	条件
SFDR性能 (広帯域) クロック = 10MHz					AD5443、4096コード $V_{REF}=3.5V$
50kHz f_{OUT}		75		dB	
20kHz f_{OUT}		76		dB	
SFDR性能 (狭帯域) クロック = 1MHz					
50kHz f_{OUT}		87		dB	
20kHz f_{OUT}		87		dB	
相互変調歪み クロック = 1MHz $f_1=20kHz$ 、 $f_2=25kHz$		78		dB	
電源条件					
電源電圧範囲	3.0		5.5	V	ロジック入力=0Vまたは V_{DD} $T_A=25^\circ C$ 、ロジック入力=0Vまたは V_{DD}
I_{DD}		0.4	5	μA	
			0.6	μA	

注

- 1 温度範囲 (Yバージョン) : $-40 \sim +125^\circ C$
- 2 設計および特性評価により保証。出荷テストは行っていません。

仕様は予告なく変更されることがあります。

AD5426/AD5432/AD5443

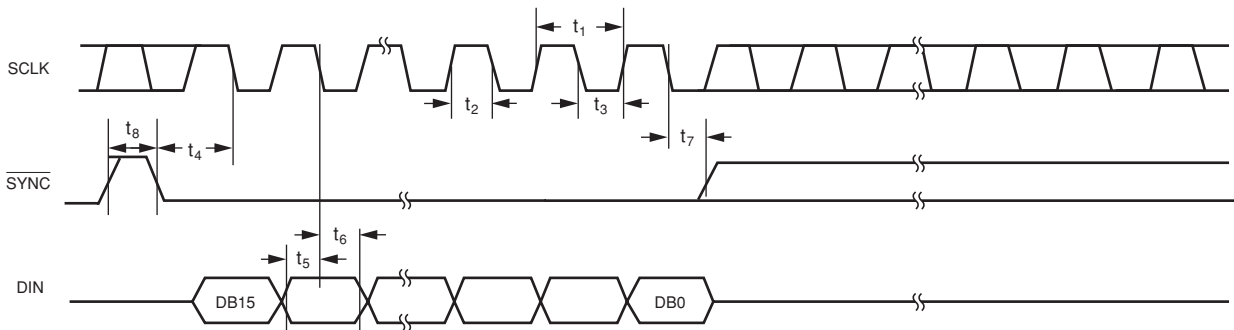
タイミング特性¹ ($V_{DD}=3\sim 5.5V$ 、 $V_{REF}=10V$ 、 $I_{OUT2}=0V$ 。特に指定のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$ で規定)

パラメータ	3.0~5.5V	4.5~5.5V	単位	条件/コメント
f_{SCLK}	50	50	MHz (max)	最大クロック周波数
t_1	20	20	ns (min)	SCLKサイクル時間
t_2	8	8	ns (min)	SCLKのハイレベル時間
t_3	8	8	ns (min)	SCLKのローレベル時間
t_4 ²	13	13	ns (min)	\overline{SYNC} 立下がりエッジからSCLKアクティブ・エッジまでのセットアップ時間
t_5	5	5	ns (min)	データのセットアップ時間
t_6	3	3	ns (min)	データのホールド時間
t_7	5	5	ns (min)	\overline{SYNC} 立上がりエッジからSCLKアクティブ・エッジまで
t_8	30	30	ns (min)	\overline{SYNC} の最小ハイレベル時間
t_9 ³	80	45	ns (typ)	SCLKアクティブ・エッジからSDO有効まで
	120	65	ns (max)	

注

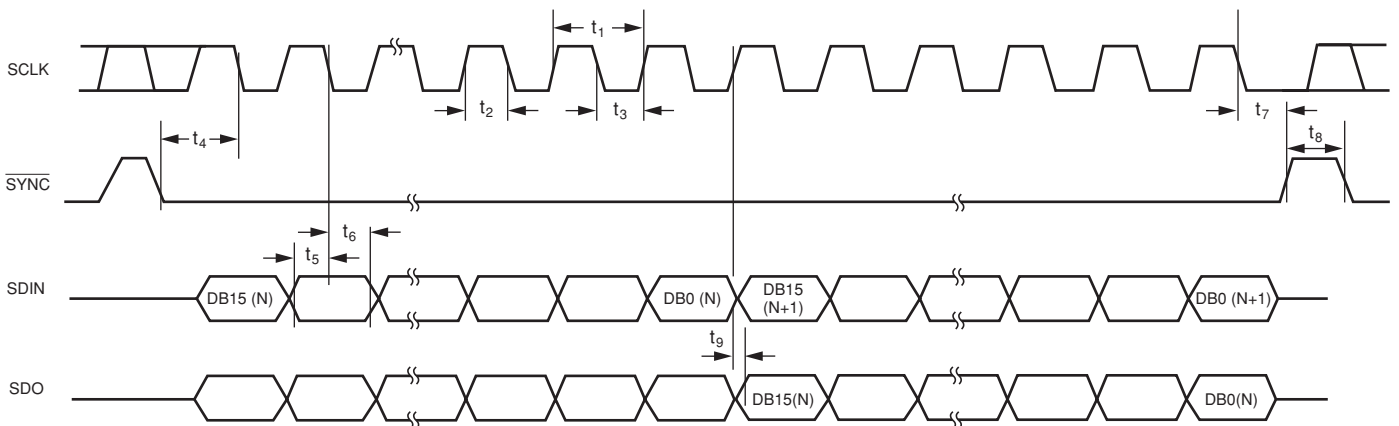
- 図1と2を参照。温度範囲 (Yバージョン) : $-40\sim +125^{\circ}C$ 。設計および特性評価により保証。出荷テストは行っていません。すべての入力信号は $t_r=t_f=1ns$ (V_{DD} の10~90%) で規定し、 $(V_{IL}+V_{IH})/2$ の電圧レベルからの時間です。
- シリアル・ワードの制御ビットで決定される立下がりまたは立上がりエッジ。
- デジタイゼーション・モードとリードバック・モードは、最大クロック周波数で動作できません。SDO タイミング仕様は、図3に示す負荷回路で測定。

仕様は予告なく変更されることがあります。



代わりに、制御ビットの指定により、データをSCLKの立上がりエッジで入力シフト・レジスタに入力できます。上記のSCLKを反転した場合のタイミング。

図1. スタンドアロン・モードのタイミング図



代わりに、制御ビットの指定により、データをSCLKの立上がりエッジで入力シフト・レジスタに入力できます。この場合、データはSCLKの立下がりエッジでSDOから出力されます。上記のSCLKを反転した場合のタイミング。

図2. デジタイゼーション・モードとリードバック・モードのタイミング図

AD5426/AD5432/AD5443

絶対最大定格^{1, 2}

(特に指定のない限り、 $T_A=25^\circ\text{C}$)

GNDに対する V_{DD} $-0.3 \sim +7\text{V}$

GNDに対する V_{REF} 、 R_{FB} $-12 \sim +12\text{V}$

GNDに対する I_{OUT1} 、 I_{OUT2} $-0.3 \sim +7\text{V}$

ロジック入力および出力³ $-0.3\text{V} \sim V_{DD} + 0.3\text{V}$

動作温度範囲

拡張工業用 (Yバージョン) $-40 \sim +125^\circ\text{C}$

保存温度範囲 $-65 \sim +150^\circ\text{C}$

ジャンクション温度 150°C

10ピンMSOPの θ_{JA} 熱抵抗 $206^\circ\text{C}/\text{W}$

リードピン温度 (ハンダ処理、10秒) 300°C

赤外線リフロー時のピーク温度 (<20秒) 235°C

注

1 絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定は、ストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上でのデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

2 100mAまでの過渡電流ではSCRラッチ・アップは生じません。

3 SCLK、SYNC、DINでの過電圧は、内部ダイオードでクランプされます。

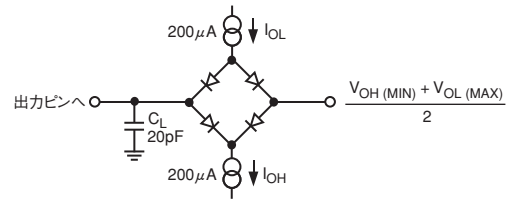


図3. SDOタイミング仕様用の負荷回路

オーダー・ガイド

製品モデル	分解能 (ビット)	INL (LSB)	温度範囲	パッケージ	マーキング	パッケージ・オプション
AD5426YRM	8	± 0.25	$-40 \sim +125^\circ\text{C}$	MSOP	D1Q	RM-10
AD5426YRM-REEL	8	± 0.25	$-40 \sim +125^\circ\text{C}$	MSOP	D1Q	RM-10
AD5426YRM-REEL7	8	± 0.25	$-40 \sim +125^\circ\text{C}$	MSOP	D1Q	RM-10
AD5432YRM	10	± 0.5	$-40 \sim +125^\circ\text{C}$	MSOP	D1R	RM-10
AD5432YRM-REEL	10	± 0.5	$-40 \sim +125^\circ\text{C}$	MSOP	D1R	RM-10
AD5432YRM-REEL7	10	± 0.5	$-40 \sim +125^\circ\text{C}$	MSOP	D1R	RM-10
AD5443YRM	12	± 1	$-40 \sim +125^\circ\text{C}$	MSOP	D1S	RM-10
AD5443YRM-REEL	12	± 1	$-40 \sim +125^\circ\text{C}$	MSOP	D1S	RM-10
AD5443YRM-REEL7	12	± 1	$-40 \sim +125^\circ\text{C}$	MSOP	D1S	RM-10
EVAL-AD5426EB				評価用キット		
EVAL-AD5432EB				評価用キット		
EVAL-AD5443EB				評価用キット		

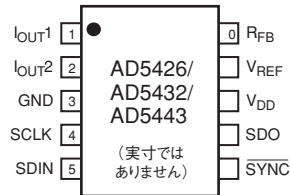
注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD5426/AD5432/AD5443

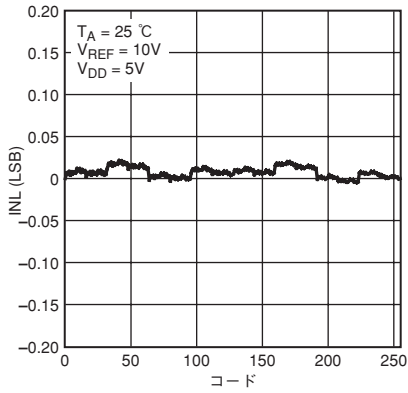
ピン配置



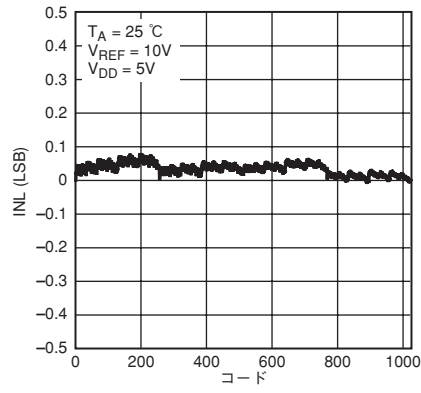
ピン機能の説明

ピン番号	記号	説明
1	I _{OUT1}	DACの電流出力。
2	I _{OUT2}	DACのアナログ・グラウンド。このピンは通常、システムのアナログ・グラウンドに接続します。
3	GND	グラウンド・ピン。
4	SCLK	シリアル・クロック入力。デフォルトでは、データはシリアル・クロック入力の立下がりエッジでシフト・レジスタに入力されます。代わりに、シリアル制御ビットを使って、SCLKの立上がりエッジでデータがシフト・レジスタに入力されるように、デバイスを設定することもできます。
5	SDIN	シリアル・データ入力。データはシリアル・クロック入力のアクティブ・エッジで16ビット入力レジスタに入力されます。デフォルトでは、パワーアップ時、データはSCLKの立下がりエッジでシフト・レジスタに入力されます。制御ビットを使用し、アクティブ・エッジを立上がりエッジに変更できます。
6	$\overline{\text{SYNC}}$	アクティブ・ローレベルの制御入力。これは、入力データに対するフレーム同期信号です。 $\overline{\text{SYNC}}$ がローレベルになると、SCLKバッファとDINバッファが動作を開始し、入力シフト・レジスタがイネーブルになります。データは後続クロックのアクティブ・エッジでシフト・レジスタに入力されます(パワーオン時のデフォルトは立下がりクロック・エッジ)。スタンダオン・モードでは、シリアル・インターフェースがクロック数をカウントし、16番目のアクティブ・クロック・エッジでデータがシフト・レジスタにラッチされます。
7	SDO	シリアル・データ出力。この出力では、複数デバイスをデジチェーン接続することが可能です。デフォルトでは、データはSCLKの立下がりエッジでシフト・レジスタに入力され、SCLKの立上がりエッジでSDOから出力されます。データは常に、データをシフト・レジスタにローディングするエッジと反対のエッジで出力されます。リードバック制御ワードをシフト・レジスタに書き込むと、DACレジスタの値がリードバックのためにSDOピンに出力され、アクティブ・クロック・エッジと反対のエッジで出力されます。
8	V _{DD}	正電源入力。これらのデバイスは3~5.5Vの電源で動作します。
9	V _{REF}	DACのリファレンス電圧入力。
10	R _{FB}	DACの帰還抵抗ピン。外付けアンプの出力に接続して、DACの電流出力を電圧に変換します。

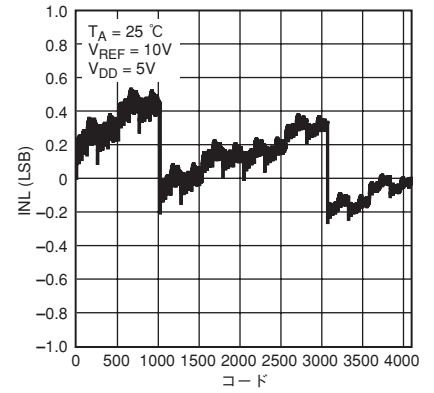
代表的な性能特性—AD5426/AD5432/AD5443



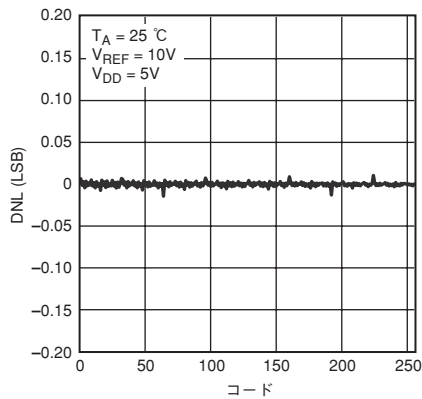
特性1. コード対INL (8ビットDAC)



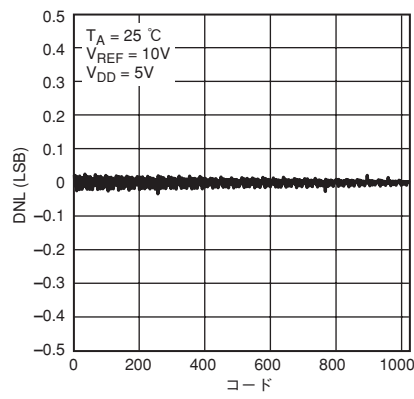
特性2. コード対INL (10ビットDAC)



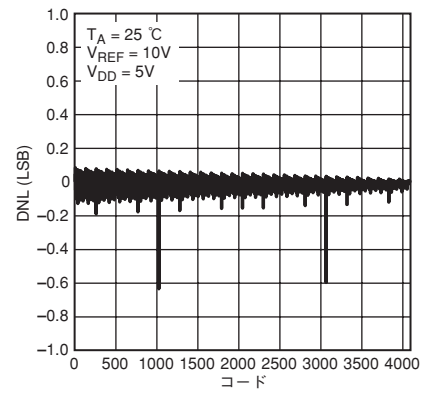
特性3. コード対INL (12ビットDAC)



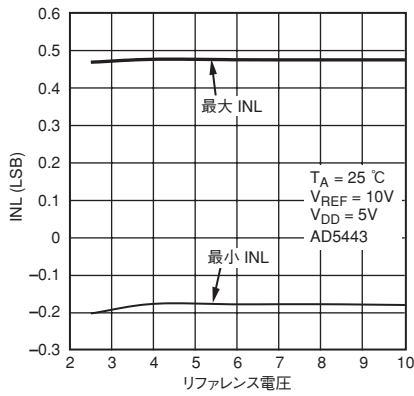
特性4. コード対DNL (8ビットDAC)



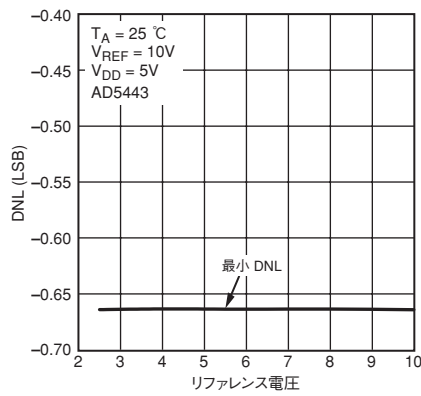
特性5. コード対DNL (10ビットDAC)



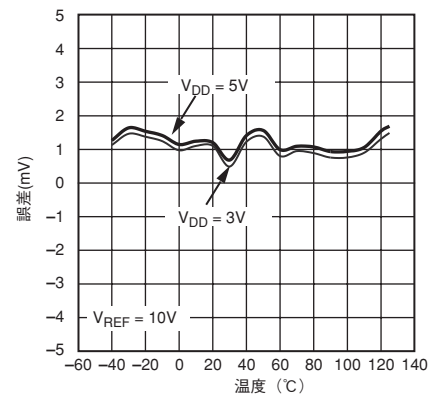
特性6. コード対DNL (12ビットDAC)



特性7. リファレンス電圧対INL

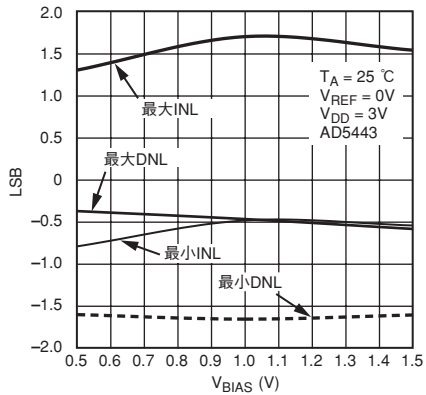


特性8. リファレンス電圧対DNL

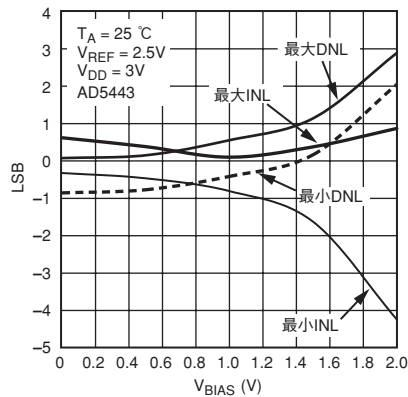


特性9. ゲイン誤差の温度特性

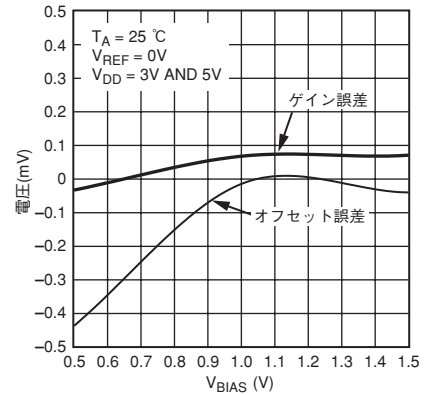
AD5426/AD5432/AD5443



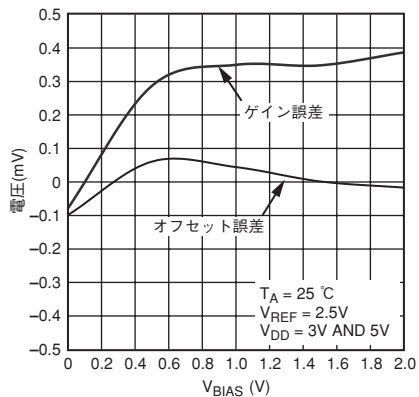
特性10. I_{OUT2} に加えられた V_{BIAS} 電圧対直線性



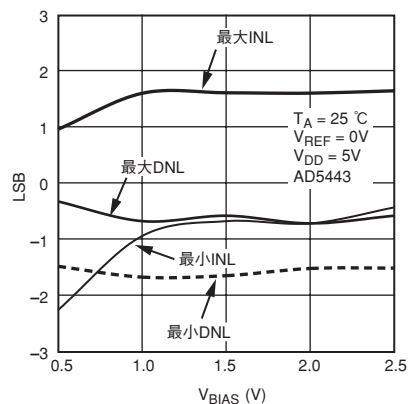
特性11. I_{OUT2} に加えられた V_{BIAS} 電圧対直線性



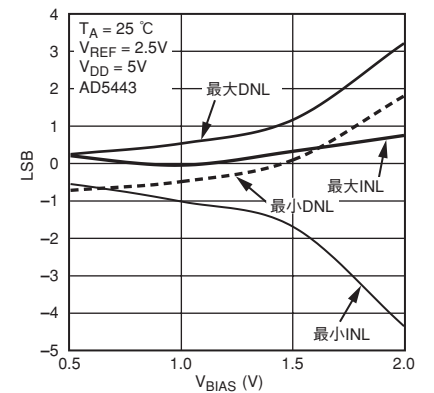
特性12. I_{OUT2} に加えられた V_{BIAS} 電圧対ゲイン誤差およびオフセット誤差



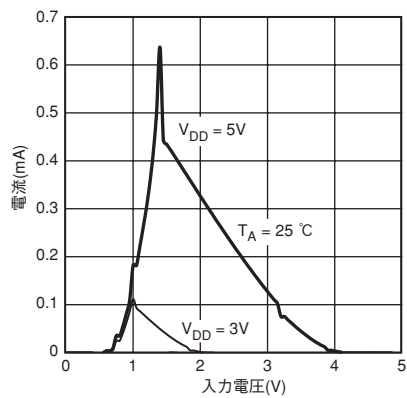
特性13. I_{OUT2} に加えられた V_{BIAS} 電圧対ゲイン誤差およびオフセット誤差



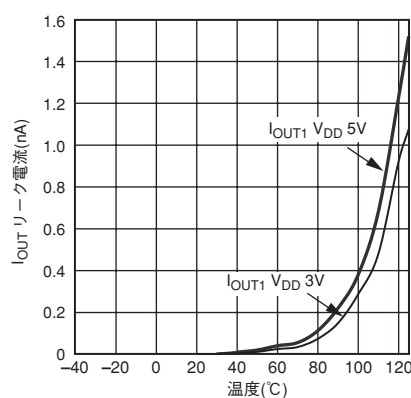
特性14. I_{OUT2} に加えられた V_{BIAS} 電圧対直線性



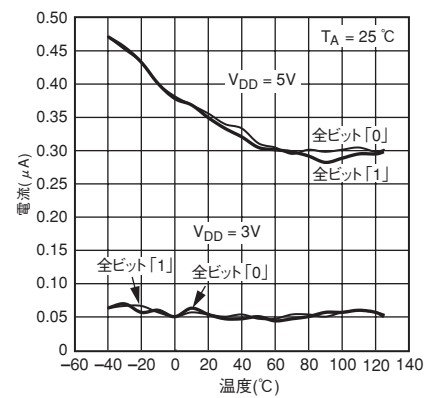
特性15. I_{OUT2} に加えられた V_{BIAS} 電圧対直線性



特性16. 電源電流対ロジック入力電圧、SYNC (SCLK、データ=0)

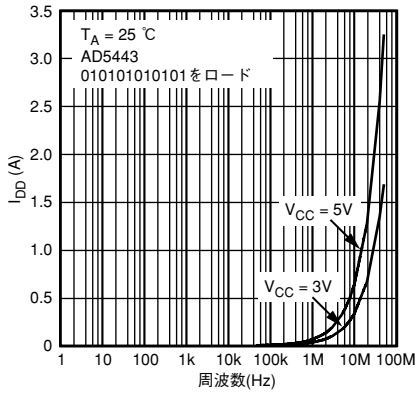


特性17. I_{OUT1} リーク電流の温度特性

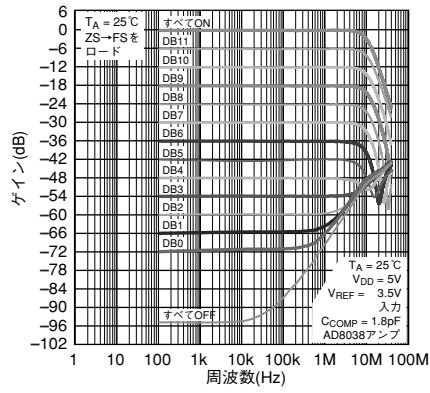


特性18. 電源電流の温度特性

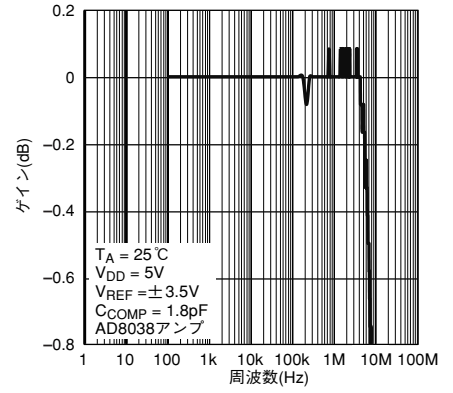
AD5426/AD5432/AD5443



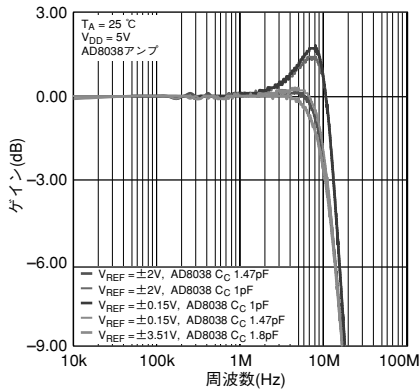
特性19. 電源電流対更新レート



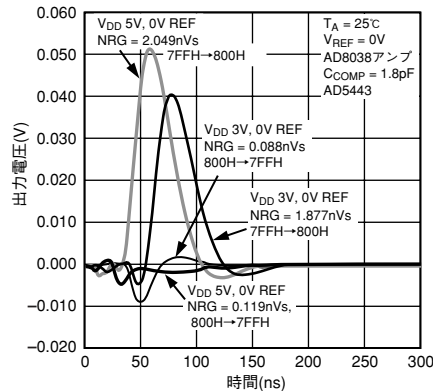
特性20. 各コードに対するリファレンス乗算帯域幅の周波数特性



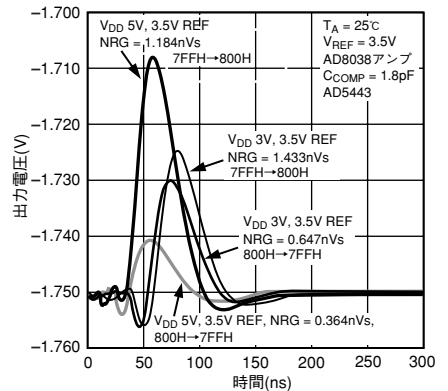
特性21. リファレンス乗算帯域幅—全ビット「1」をロード



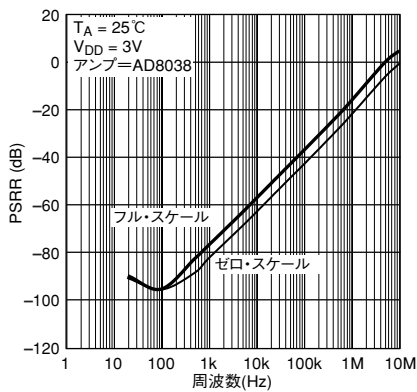
特性22. リファレンス乗算帯域幅対周波数および補償コンデンサ



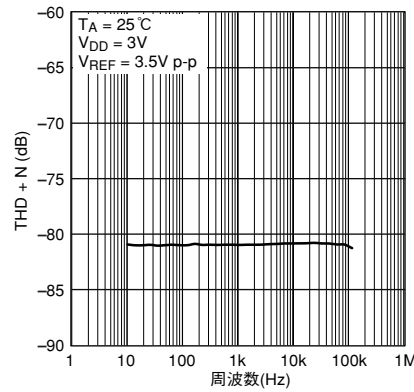
特性23. ミッドスケール遷移、 $V_{REF}=0V$



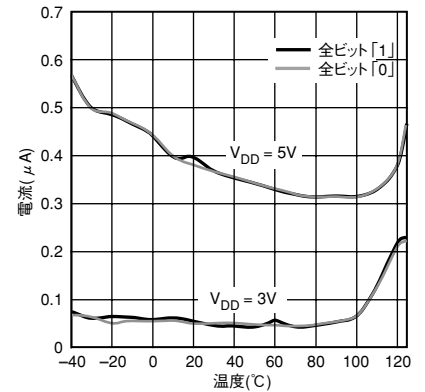
特性24. ミッドスケール遷移、 $V_{REF}=3.5V$



特性25. 電源電圧変動除去比の周波数特性

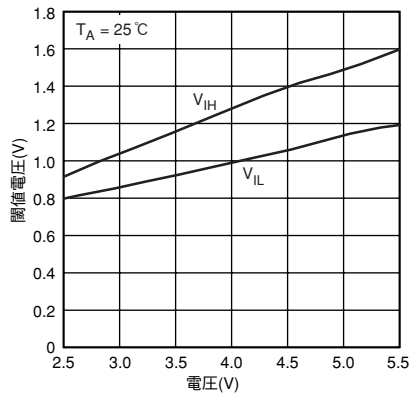


特性26. THD+ノイズの周波数特性

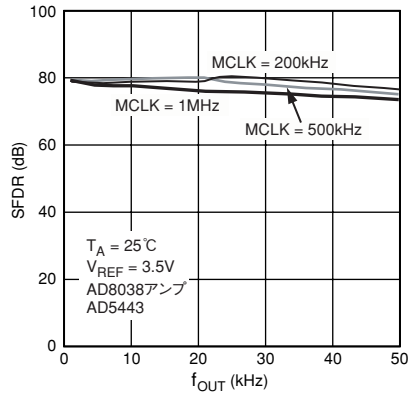


特性27. 電源電流の温度特性

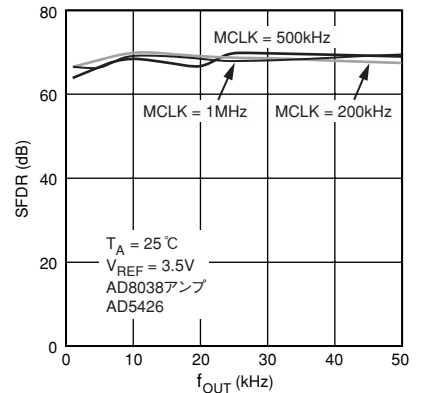
AD5426/AD5432/AD5443



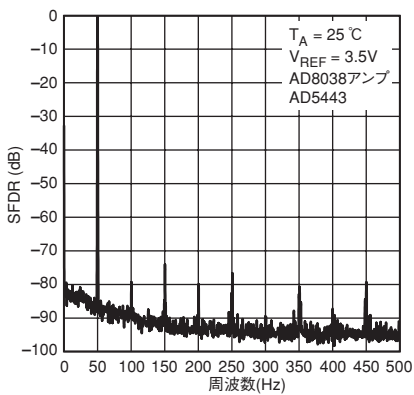
特性28. 電源電圧対閾値電圧



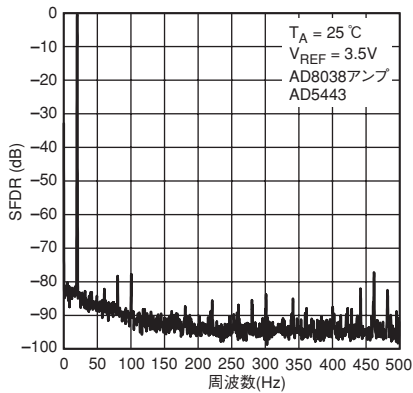
特性29. f_{OUT} 周波数対広帯域SFDR (AD5443)



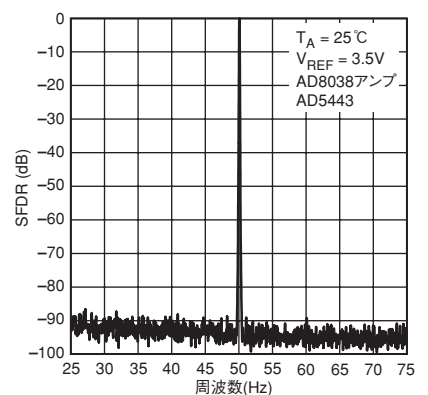
特性30. f_{OUT} 周波数対広帯域SFDR (AD5426)



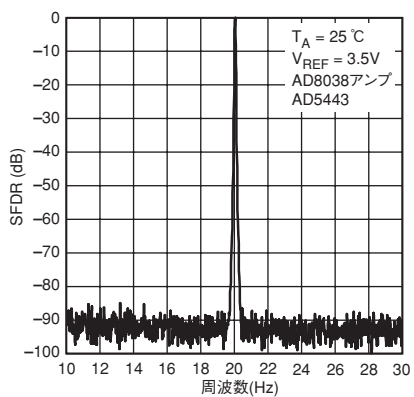
特性31. 広帯域SFDR、 $f_{OUT}=50\text{kHz}$ 、更新=1MHz



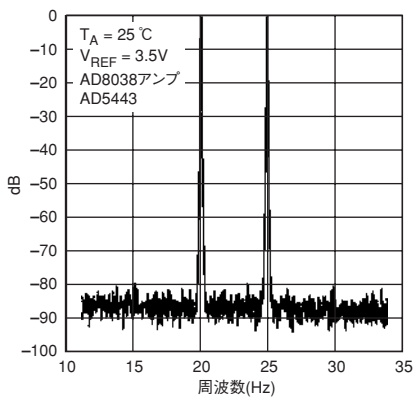
特性32. 広帯域SFDR、 $f_{OUT}=20\text{kHz}$ 、更新=1MHz



特性33. 狭帯域 ($\pm 50\%$)、SFDR $f_{OUT}=50\text{kHz}$ 、更新=1MHz



特性34. 狭帯域 ($\pm 50\%$)、SFDR $f_{OUT}=20\text{kHz}$ 、更新=1MHz



特性35. 狭帯域 ($\pm 50\%$) IMD、 $f_{OUT}=20\text{kHz}$ 、 25kHz 、更新=1MHz

用語集

相対精度（積分非直線性、INL）

相対精度またはエンドポイント非直線性とは、DAC伝達関数の両端を結ぶ直線からの最大偏差を表します。0およびフルスケールの調整後に測定し、一般にLSB単位またはフルスケール値のパーセント値で表します。

微分非直線性（DNL）

微分非直線性とは、隣接する2つのコード間で測定した変化と理論的な1LSB変化との差をいいます。全動作温度範囲で最大-1LSBの規定された微分非直線性によって、単調増加性が保証されます。

ゲイン誤差

ゲイン誤差またはフルスケール誤差とは、DACの理論出力値とデバイス実際の出力との出力誤差を表します。これらのDACの理論最大出力は $V_{REF} - 1LSB$ です。DACのゲイン誤差は、外付け抵抗で0に調整できます。

出力リーク電流

出力リーク電流とは、DACのラダー・スイッチをオフにしたときに、これらのスイッチに流入する電流を表します。 I_{OUT1} ピンの場合は、全ビット「0」をDACにロードして I_{OUT1} 電流を測定します。DACに全ビット「1」をロードすると、 I_{OUT2} ラインに流入する電流が最小になります。

出力容量

I_{OUT1} または I_{OUT2} とAGNDとの間の容量。

出力電流セトリング時間

フルスケール入力変化に対して、出力が規定のレベルまでに安定するのに要する時間を表します。これらのデバイスでは、グラウンド接続された100Ωの抵抗を使って規定します。

セトリング時間仕様には、 \overline{SYNC} の立上がりエッジからフルスケール出力変化までのデジタル遅延が含まれます。

デジタルからアナログへのグリッチ・インパルス

入力で状態変化があったとき、デジタル入力からアナログ出力へ注入される電荷の大きさを表します。通常は、グリッチを電流信号または電圧信号のどちらかで測定するかに応じて、pA-secまたはnV-secで表したグリッチの面積として規定されます。

デジタル・フィードスルー

デバイスが選択されていないときに、デバイスのデジタル入力での高周波ロジック動作がデバイスを通して容量的に結合され、 I_{OUT} ピンと後段の回路にノイズとして現れます。このノイズがデジタル・フィードスルーです。

乗算フィードスルー誤差

DACに全ビット「0」をロードしたときの、DACのリファレンス電圧入力からDACの I_{OUT1} ピンへの容量性フィードスルーに起因する誤差を表します。

全高調波歪み(THD)

このDACはACリファレンス駆動が可能です。THDは、DAC出力の各高調波のrms和と基本波の比を表します。次に示すように、一般に2～5次のような低い高調波だけで表されます。

$$THD = 20 \log \frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2)}}{V_1}$$

デジタル相互変調歪み

2次相互変調歪み(IMD)は、DACでデジタル生成されたfa成分とfb成分の相対振幅、および $2fa - fb$ と $2fb - fa$ の2次積です。

スプリアス・フリー・ダイナミック・レンジ(SFDR)

基本波信号がスプリアス・ノイズの干渉または歪みを受ける前の、DACで使用できるダイナミック・レンジをいいます。SFDRは、基本波の振幅と、DCからナイキスト周波数(DACサンプリング・レートの1/2、すなわち $f_s/2$)までの高調波または非高調波スプリアスの最大振幅との差として表されます。狭帯域SFDRは、任意のウインドウ・サイズ(この場合は基本波の50%)で測定したSFDRをいいます。デジタルSFDRは、信号がデジタル生成された正弦波の場合に、DACで使用できるダイナミック・レンジです。

AD5426/AD5432/AD5443

DAC部

AD5426、AD5432、AD5443は標準の反転R-2Rラダー構成の8/10/12ビットの電流出力DACです。図4に、8ビットのAD5426の簡略回路図を示します。帰還抵抗 R_{FB} の値はRです。Rは通常、10kΩ（最小8kΩ、最大12kΩ）です。 I_{OUT1} と I_{OUT2} が同電位に保持されると、デジタル入力コードに関係なく、一定の電流が各ラダーに流入します。したがって、 V_{REF} の入力抵抗は常に一定で公称値はRになります。DAC出力 (I_{OUT}) はコードに依存し、種々の抵抗と容量を生成します。外付けアンプの選択時は、アンプ反転入力ノードでDACによって生じるインピーダンス変動を考慮する必要があります。

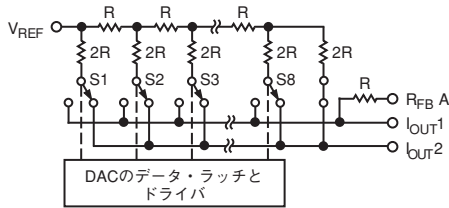


図4. ラダーの簡略図

DACには V_{REF} 、 R_{FB} 、 I_{OUT1} 、 I_{OUT2} の各ピンが用意してあるため、きわめて汎用性が高く、たとえば、ユニポーラ出力、バイポーラ・モードでの4象限乗算、単電源動作モードなど、複数の動作モードの設定が可能です。内蔵の R_{FB} 帰還抵抗に直列にマッチング・スイッチが使用されています。 R_{FB} を測定する際には、連続性を維持するため電源を V_{DD} に接続してください。

シリアル・インターフェース

AD5426/AD5432/AD5443は、SPI/QSPI/MICROWIREおよびDSPインターフェース規格と互換性を持ち、かつ使いやすい3線式インターフェースを内蔵しています。データは、16ビットワードでデバイスに書き込まれます。この16ビットワードは、4ビットの制御ビットと8ビット、10ビット、12ビットのデータビットにより構成されます(図5)。AD5443はDACデータの全12ビットを使用します。AD5432は10ビットを使用し、下位2ビットは無視します。AD5426は8ビットを使用し、下位4ビットは無視します。

低消費電力シリアル・インターフェース

デバイスに書き込みを行うとき、すなわち \overline{SYNC} の立下がりエッジでのみ、インターフェースを完全にパワーアップさせて、デバイスの消費電力を最小化しています。 $SCLK$ 入力バッファと D_{IN} 入力バッファは、 \overline{SYNC} の立下がりエッジでパワーダウンされます。

DAC制御ビット: C3~C0

制御ビットC3~C0を使うと、表Iに示すDACの種々の機能を制御できます。パワーオン時のDACのデフォルト設定は、次の通りです。

データはクロックの立下がりエッジでシフト・レジスタに入力され、デジタイゼーション・モードがイネーブルになります。デバイスのパワーオン時は、DACレジスタと I_{OUT} ピンにはゼロスケールがロードされています。

DAC制御ビットを使うと、パワーオン時の機能を調整できます。たとえば、デジタイゼーション接続を使用しない場合にそれをディスエーブルにしたり、アクティブ・クロック・エッジを立下がりエッジに変更したり、DAC出力をゼロまたはミッドスケールにクリアすることが可能です。また、確認のためにDACレジスタの値をリードバックすることも可能です。

表 I. DACの制御ビット

C3	C2	C1	C0	内蔵機能
0	0	0	0	無動作(パワーオン・デフォルト)
0	0	0	1	ロードおよび更新
0	0	1	0	リードバックの起動
0	0	1	1	予備
0	1	0	0	予備
0	1	0	1	予備
0	1	1	0	予備
0	1	1	1	予備
1	0	0	0	予備
1	0	0	1	デジタイゼーションをディスエーブル
1	0	1	0	立下がりエッジでデータをシフト・レジスタに入力
1	0	1	1	DAC出力をゼロにクリア
1	1	0	0	DAC出力をミッドスケールにクリア
1	1	0	1	予備
1	1	1	0	予備
1	1	1	1	予備

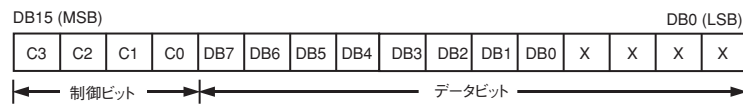


図5a. AD5426の8ビット入力シフト・レジスタ値

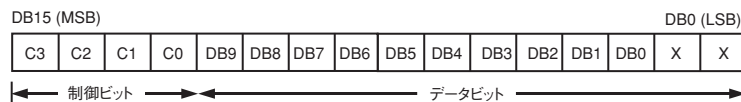


図5b. AD5432の10ビット入力シフト・レジスタ値

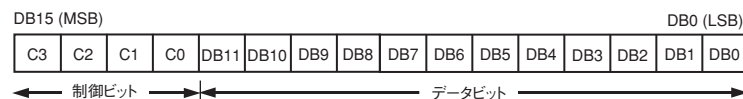


図5c. AD5443の12ビット入力シフト・レジスタ値

AD5426/AD5432/AD5443

SYNC機能

SYNCは、フレーム同期信号およびチップ・イネーブルとして機能するエッジ・トリガ入力です。データは、SYNCがローレベルのときにのみデバイスに転送できます。シリアル・データ転送を開始するときは、SYNCをローレベルにして、SYNCの立下がりからSCLKの立下がりエッジまでの最小セットアップ時間 (t_u) を確保します。

デジチェーン・モード

デジチェーン・モードはデフォルトでパワーオン時にイネーブルになります。デジチェーン機能をディスエーブルにするときは、制御ワードに1001を書き込みます。デジチェーン・モードでは、SCLKの内部ゲーティングがディスエーブルになります。SCLKはSYNCがローレベルのとき、入力シフト・レジスタに連続的に入力されます。16個を超えるクロック・パルスが入力されると、データはシフト・レジスタからはみ出して、SDOピンに出力されます。このデータはSCLKの立上がりエッジで出力され(これはデフォルトですが、制御ワードでアクティブ・エッジを変更可能)、次のデバイスでは立下がりエッジで有効になります(デフォルト)。このピンをチェーン内の次のデバイスのD_{IN}入力に接続すると、複数デバイス・インターフェースを構成できます。システム内の各デバイスには、16個のクロック・パルスが必要です。したがって、必要な合計クロック・サイクル数は16N(Nはチェーン内の合計デバイス数)になります。図3のタイミング図を参照してください。

すべてのデバイスに対するシリアル転送が完了したら、SYNCをハイレベルにします。これにより、入力シフト・レジスタに余分なデータが入力されるのを防止します。必要なクロック・サイクル数を含むバースト・クロックを使うことができ、そのしばらく後でSYNCをハイレベルにします。SYNCの立上がりエッジの後で、データは各デバイスの入力シフト・レジスタからアドレス指定されたDACに自動的に転送されます。

制御ビット=0000のとき、デバイスは無動作モードになります。デジチェーン・アプリケーションで、チェーン内の特定のDACの設定を変更したくない場合に、この機能が便利です。DACの制御ビットに0000を書き込むだけで、後続のデータビットが無視されます。

スタンドアロン・モード

パワーオン後、制御ワードに1001を書き込むと、デジチェーン・モードがディスエーブルになります。SYNCの最初の立下がりエッジで、シリアル・クロック数をカウントしてシリアル・シフト・レジスタに正しいビット数を入力させるカウンタがリセットされます。書き込み中にSYNCが立ち上がると、書き込みサイクルが中止されます。

16番目のSCLKパルスの立下がりエッジの後、データが入力シフト・レジスタからDACへ自動的に転送されます。次のシリアル転送を行うときは、SYNCの立下がりエッジでカウンタをリセットする必要があります。

回路動作

ユニポーラ・モード

オペアンプを1個使うと、図6に示すように、2象限乗算動作またはユニポーラ出力電圧振幅が得られるようにデバイスを容易に構成できます。

出力アンプをユニポーラ・モードで接続した場合、出力電圧は次式で与えられます。

$$V_{OUT} = -V_{REF} \times \frac{D}{2^n}$$

ここで、DはDACにロードされるデジタル・コードの整数値で、nは分解能です。

D=0~255 (8ビットAD5426)

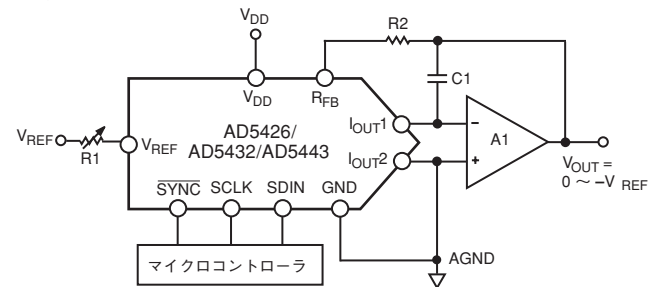
=0~1023 (10ビットAD5432)

=0~4095 (12ビットAD5443)

出力電圧の極性は、DCリファレンス電圧のV_{REF}極性と反対になります。

これらのDACは、負または正のリファレンス電圧で動作するように設計されています。V_{DD}電源ピンは、内部デジタル・ロジックがDACスイッチのオン状態とオフ状態を駆動するときのみ使います。

これらのDACは、-10~+10VのACリファレンス信号も入力できるように設計されています。



- 注
1. R1とR2は、ゲイン調整が必要な場合にのみ使用。
 2. A1が高速アンプの場合、位相補償のC1(1~2pF)が必要になることもあります。

図6. ユニポーラ動作

リファレンス電圧が10V固定の場合、図6の回路は0~-10Vのユニポーラ出力電圧振幅になります。V_{IN}がAC信号の場合、この回路は2象限乗算を実行します。

表IIIに、ユニポーラ動作におけるデジタル・コードと予測される出力電圧との関係を示します(AD5426、8ビット)。

表 II. ユニポーラ・コード表

デジタル入力	アナログ出力(V)
1111 1111	-V _{REF} (255/256)
1000 0000	-V _{REF} (128/256) = -V _{REF} /2
0000 0001	-V _{REF} (1/256)
0000 0000	-V _{REF} (0/256)=0

バイポーラ動作

アプリケーションによっては、フル4象限乗算機能、あるいはバイポーラ出力振幅が必要となることがあります。これは、別の外付けアンプといくつかの外付け抵抗を使用することで容易に実現できます(図7)。この回路では、2つ目のアンプA2がゲイン2を提供します。リファレンス電圧からのオフセットで外付けアンプをバイアスすると、4象限乗算動作が得られます。この回路の伝達関数は、入力データ(D)がコード・ゼロ(V_{OUT}=-V_{REF})→ミッドスケール(V_{OUT}=0V)→フルスケール(V_{OUT}=+V_{REF})へインクリメントすると、負と正の両方の出力電圧が発生することを示しています。

$$V_{OUT} = \left(V_{REF} \times \frac{D}{2^{n-1}} \right) - V_{REF}$$

ここで、DはDACにロードされるデジタル・コードの整数値で、nはDACの分解能です。

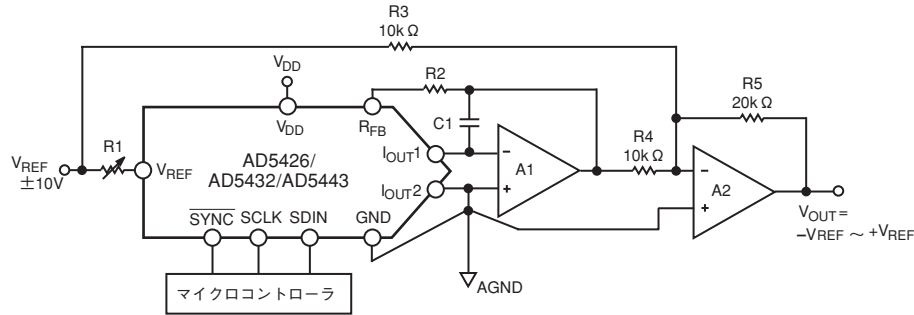
D=0~255 (8ビットAD5426)

=0~1023 (10ビットAD5432)

=0~4095 (12ビットAD5443)

V_{IN}がAC信号の場合、この回路は4象限乗算を実行します。

AD5426/AD5432/AD5443



- 注
1. R1とR2は、ゲイン調整が必要な場合にのみ使用。コード10000000をDACにロードして、 $V_{OUT}=0V$ になるようにR1を調節します。
 2. 抵抗ペアR3とR4の値は一致し、かつ特性も一致している必要があります。
 3. A/A21が高速アンプの場合、位相補償のC1 (1~2pF) が必要になることもあります。

図7. バイポーラ動作

表IIIに、バイポーラ動作におけるデジタル・コードと予測される出力電圧との関係を示します (AD5426、8ビット)。

表 III. バイポーラ・コード表

デジタル入力	アナログ出力(V)
1111 1111	$+V_{REF}(127/128)$
1000 0000	0
0000 0001	$-V_{REF}(127/128)$
0000 0000	$-V_{REF}(128/128)$

安定性

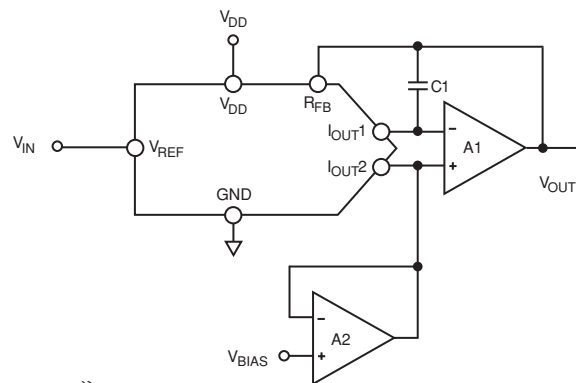
I/V変換構成では、DACの I_{OUT} とオペアンプの反転ノードをできるだけ短い配線で接続する必要があり、正しいPCボードのレイアウト技術を使う必要があります。各コード変化はステップ関数に対応しているため、オペアンプのGB積が制限されていて反転ノードの寄生容量が大きい場合に、ゲイン・ピーキングが発生することがあります。この寄生容量によってオープン・ループ応答内に極が導入されるので、クローズド・ループ・アプリケーションでリングングや不安定が発生することがあります。

安定性を得るために、オプションで補償コンデンサC1を R_{FB} と並列に接続することもできます(図6~7)。C1が小さ過ぎると出力でリングングが発生し、大き過ぎるとセトリング時間に悪影響を与えます。C1は経験的に得られますが、一般に1~2pFで十分に補償できます。

単電源アプリケーション

電流モード動作

これらのDACは、単電源アプリケーションでの動作を保证するように仕様が定められ、テストされています。図8に、3.0~5Vの単電源で動作する代表的な回路を示します。図8の電流モード回路では、 I_{OUT2} および I_{OUT1} は V_{BIAS} に加えられた分だけ正側にバイアスされています。



- 注
1. わかりやすくするために他のピンは省略。
 2. A1が高速アンプの場合、位相補償のC1 (1~2pF) が必要になることもあります。

図8. 単電源の電流モード動作

この構成では、出力電圧は次式で求められます。

$$V_{OUT} = \left\{ D \times \left(R_{FB} / R_{DAC} \right) \times \left(V_{BIAS} - V_{IN} \right) \right\} + V_{BIAS}$$

Dが0~255 (AD5426)、0~1023 (AD5432)、0~4095 (AD5443)に変化するにつれて、出力電圧が $V_{OUT}=V_{BIAS}$ から $V_{OUT}=2V_{BIAS}-V_{IN}$ まで変化します。

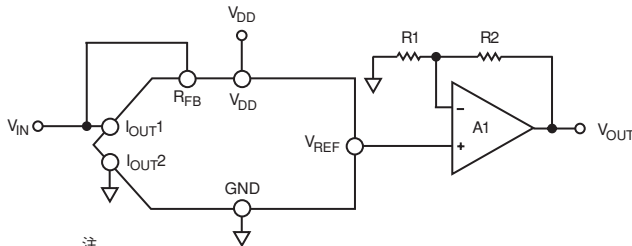
$$V_{OUT} = V_{BIAS} \sim V_{OUT} = 2 V_{BIAS} - V_{IN}$$

V_{BIAS} は、 I_{OUT2} ピンでの電流変動を問題なくシンク/ソースできるようにロー・インピーダンス・ソースを持つ必要があります。

DACラダー内のスイッチが同じソースドレイン駆動電圧を持たなくなるので、 V_{IN} が低い電圧に制限されることに注意してください。その結果、オン抵抗が異なるので、DACの直線性が損なわれます。特性10~15を参照してください。

電圧スイッチング動作モード

図9に、電圧スイッチング・モードでのこれらのDACの動作を示します。リファレンス電圧 V_{IN} は I_{OUT1} ピンに、 I_{OUT2} はAGNDに接続され、出力電圧は V_{REF} ピンから得られます。この構成では、正のリファレンス電圧で正の出力電圧が発生するので、単電源動作が可能です。DACの出力は一定インピーダンス(DACラダー抵抗)の電圧なので、出力電圧をバッファするためにオペアンプが必要です。リファレンス入力では、一定の入力インピーダンスではなく、コードとともに変化する入力インピーダンスが生じます。したがって、電圧入力はローインピーダンス・ソースから駆動する必要があります。



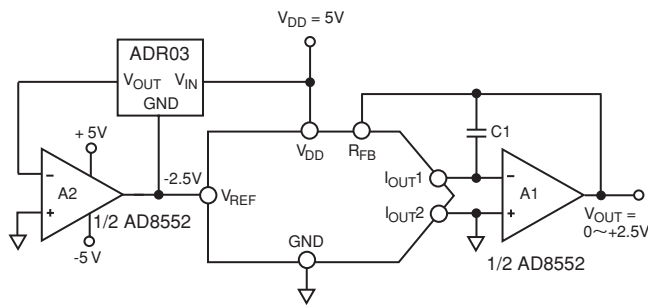
注
1. わかりやすくするために他のピンは省略。
2. A1が高速アンプの場合、位相補償のC1(1~2pF)が必要になることもあります。

図9. 単電源の電圧スイッチング動作モード

また、 V_{IN} は0.3V以上負側に振れないようにする必要があります。0.3Vを超えると、内部ダイオードがオンになり、デバイスの最大定格を超えてしまいます。このタイプのアプリケーションでは、DACのフルレンジの乗算機能は得られません。

正の出力電圧

出力電圧の極性は、DCリファレンス電圧の V_{REF} 極性と反対になることに注意してください。正電圧出力を得るには、反転アンプを使って出力の反転を行うと抵抗許容誤差の影響を受けるので、DACの入力に負のリファレンス電圧を接続することが望まれます。負のリファレンス電圧を生成するときは、リファレンス回路の V_{OUT} ピンとGNDピンがそれぞれ仮想グラウンドと-2.5Vになるように、リファレンスをオペアンプを使ってレベル・シフトできます(図10)。



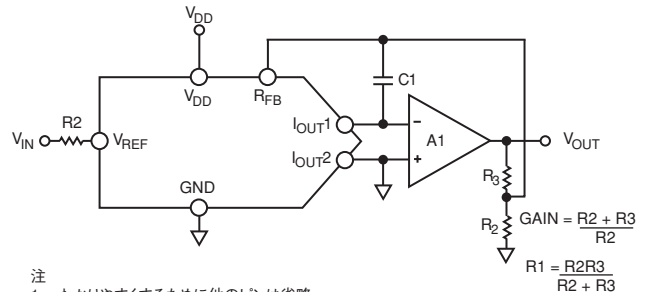
注
1. わかりやすくするために他のピンは省略。
2. A1が高速アンプの場合、位相補償のC1(1~2pF)が必要になることもあります。

図10. 部品数最少の正電圧出力

ゲインの増加

V_{IN} より大きい出力電圧が必要なアプリケーションでは、外付けアンプを追加してゲインを増やすか、あるいは1段だけでゲイン増加を行います。DAC薄膜抵抗の温度係数の影響を考慮することが重要です。単にRFB抵抗に直列に抵抗を接続するだけでは、温度係数の不一致が

生じて、ゲイン温度係数誤差が大きくなります。したがって、図11に示す回路を使用して、回路のゲインを増やすことを推奨します。R1、R2、R3はすべて同じ温度係数を持つ必要がありますが、DACの温度係数に一致させる必要はありません。この方法は、1より大きいゲインが必要な回路に推奨します。



注
1. わかりやすくするために他のピンは省略。
2. A1が高速アンプの場合、位相補償のC1(1~2pF)が必要になることもあります。

図11. 電流出力DACのゲインの増加

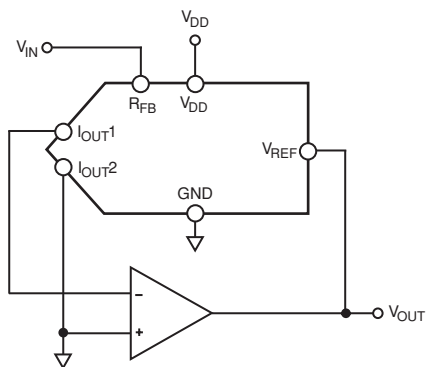
DACをデバイダまたはプログラマブル・ゲイン素子として使用する場合

電流切替え型DACは非常にフレキシブルであり、さまざまなアプリケーションに適しています。このタイプのDACをオペアンプの帰還素子として接続し、かつ図12に示すように R_{FB} を入力抵抗として使うと、出力電圧はデジタル入力値Dに反比例します。

$D=1-2^n$ の場合、出力電圧は次のとおりです。

$$V_{OUT} = -V_{IN} / D = -V_{IN} / (1 - 2^{-n})$$

Dが減少すると、出力電圧が増加します。デジタル値Dが小さい場合は、アンプが飽和しないようにして、所要精度が満たされるようにすることが大切です。たとえば、図12に示す回路で8ビットDACをバイナリ・コード10h(00010000)、すなわち16(10進数)で駆動すると、出力電圧は $16 \times V_{IN}$ になります。ただし、DACが $\pm 0.5LSB$ の直線性仕様を持つ場合、実際にはDのウェイトは $15.5/256 \sim 16.5/256$ の範囲になり、出力電圧は $15.5 \sim 16.5V_{IN}$ の範囲になります。つまり、DAC自体の最大誤差は0.2%ですが、+3%の誤差になります。



注
わかりやすくするために他のピンは省略。

図12. デバイダまたはプログラマブル・ゲイン素子として使用した電流切替え型DAC

AD5426/AD5432/AD5443

DACのリーク電流も、デバイダ回路での誤差原因になります。リーク電流は、DACを介してオペアンプから供給される逆向きの電流で相殺する必要があります。V_{REF}ピンに流入する電流の値DだけがI_{OUT1}ピンに流れるため、出力電圧は次の変化が必要です。

DACのリーク電流に起因する出力誤差電圧=(リーク電流×R)/D

ここで、RはV_{REF}ピンでのDAC抵抗です。10nAのDACリーク電流、R=10kΩ、ゲイン=16(すなわち1/D)では、誤差電圧は1.6mVになります。

リファレンスの選択

AD5426シリーズの電流出力DACで使用するリファレンスの選択では、リファレンスの出力温度係数の仕様に注意する必要があります。このパラメータはフルスケール誤差だけでなく、直線性性能(INLとDNL)にも影響します。リファレンスの温度係数は、システム精度仕様に合致する必要があります。たとえば、0~50℃の温度範囲で1LSB以内に全体仕様を維持する必要がある8ビット・システムでは、システムの最大温度ドリフトは78ppm/℃未満にする必要があります。同じ温度範囲で2LSB以内の全体仕様を持つ12ビット・システムでは、最大ドリフトを10ppm/℃にする必要があります。小さい出力温度係数を持つ高精度なリファレンス電圧を選択することにより、この誤差源を小さくできます。表IVに、この範囲の電流出力DACに使用できるアナログ・デバイセズのリファレンスを示します。

表IV. AD5426/AD5432/AD5443のDACに推奨されるアナログ・デバイセズの高精度リファレンス

製品番号	出力電圧	初期許容誤差	温度ドリフト	0.1~10Hzのノイズ	パッケージ
ADR01	10V	0.1%	3ppm/℃	20 μV p-p	SC70, TSOT, SOIC
ADR02	5V	0.1%	3ppm/℃	10 μV p-p	SC70, TSOT, SOIC
ADR03	2.5V	0.2%	3ppm/℃	10 μV p-p	SC70, TSOT, SOIC
ADR425	5V	0.04%	3ppm/℃	3.4 μV p-p	MSOP, SOIC

表V. AD5426/AD5432/AD5443のDACに適したアナログ・デバイセズの高精度オペアンプの例

製品番号	最大電源電圧(V)	V _{OS} (max) (μV)	I _B (max) (nA)	GB積(MHz)	スルーレート(V/μs)
OP97	±20	25	0.1	0.9	0.2
OP1177	±18	60	2	1.3	0.7
AD8551	+6	5	0.05	1.5	0.4

表VI. AD5426/AD5432/AD5443のDACに適したアナログ・デバイセズの高速度オペアンプの例

製品番号	最大電源電圧(V)	BW @A _{CL} (MHz)	スルーレート(V/μs)	V _{OS} (max) (μV)	I _B (max) (nA)
AD8065	±12	145	180	1500	0.01
AD8021	±12	200	100	1000	1000
AD8038	±5	350	425	3000	0.75
AD9631	±5	320	1300	10000	7000

アンプの選択

電流切替えモードでの基本的な条件は、低入力バイアス電流と低入力オフセット電圧を持つアンプを使うことです。オペアンプの入力オフセット電圧は、回路の可変ゲインで増幅されます(コード依存のDAC出力抵抗によりゲインが変化します)。隣接する2つのデジタル値の間でのこのノイズ・ゲイン変化により、アンプの入力オフセット電圧によって出力電圧にステップ変化が発生します。この出力電圧変化は2つのコード間の必要な変化に重畳されるため、微分直線性誤差を発生させます。この誤差が非常に大きい場合には、DACの単調増加性が失われます。一般に、入力オフセット電圧はLSBの1/4以下に抑えて、各コード間での単調増加性を保証する必要があります。

また、オペアンプの入力バイアス電流は、バイアス電流が帰還抵抗R_{FB}に流入する結果、電圧出力にオフセットを発生させます。多くのオペアンプは入力バイアス電流が十分に低いため、12ビット・アプリケーションで大きな誤差が生じることはありません。

電圧スイッチング回路では、回路の電圧出力でコード依存誤差が発生するため、オペアンプのコモン・モード除去特性は重要です。多くのオペアンプは、8/10/12ビット分解能での使用に適した十分なコモン・モード除去性能を持っています。

DACスイッチが真の広帯域ロー・インピーダンスの各ソース(V_{IN}とAGND)から駆動される場合は、セトリング時間は短くなります。したがって、電圧スイッチングDAC回路のスルーレートとセトリング時間は、主として出力オペアンプによって決まります。この構成で最小のセトリング時間を得るには、DACのV_{REF}ノード(このアプリケーションでは電圧出力ノード)の容量を最小化することが重要です。そのためには、入力容量の小さいバッファ・アンプを使い、ボードの設計に注意する必要があります。

AD5426/AD5432/AD5443

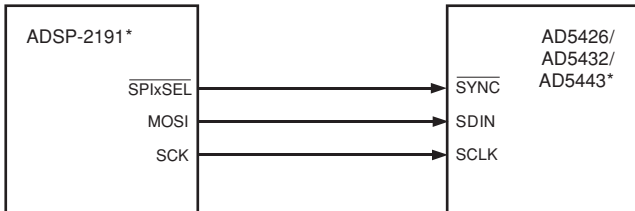
多くの単電源回路にはアナログ信号範囲の一部としてグラウンドが含まれるので、レールtoレール信号を処理できるアンプが必要となります。アナログ・デバイセズは広範囲な単電源アンプを提供しています。

マイクロプロセッサとのインターフェース

マイクロプロセッサとこのDACファミリーとのインターフェースは、マイクロコントローラおよびDSPプロセッサと互換の標準プロトコルを使用するシリアル・バスを介して行います。通信チャンネルは、クロック信号、データ信号、同期信号で構成される3線式インターフェースです。AD5426/AD5432/AD5443では16ビット・ワードを使い、デフォルトではSCLKの立下がりエッジでデータが有効になりますが、これはデータワード内の制御ビットを使って変更可能です。

ADSP-21xxとAD5426/AD5432/AD5443とのインターフェース

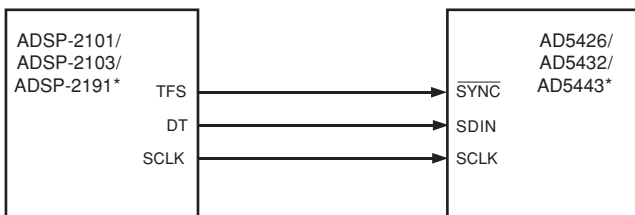
ADSP-21xxファミリーのDSPは、外付けロジックの追加なしに、容易にこのDACファミリーにインターフェースできます。図13に、DACとADSP-2191MのSPIインターフェースの例を示します。DSPのSCKがシリアル・データ・ラインDINを駆動します。SYNCは、ポート・ラインの1つ(この場合SPIxSEL)から駆動されます。



*わかりやすくするために他のピンは省略。

図13. ADSP-2191のSPIとAD5426/AD5432/AD5443とのインターフェース

図14に、DACとDSP SPORTのシリアル・インターフェースを示します。このインターフェース例では、SPORT0を使って、DACのシフト・レジスタへデータを転送します。送信は、SPORTをイネーブルにした後に、Txレジスタにワードを書き込むことで開始します。書き込みシーケンスでは、データは、DSPのシリアル・クロックの各立上がりエッジで出力され、SCLKの立下がりエッジでDACのシフト・レジスタに入力されます。DAC出力の更新は、SYNC信号の立上がりエッジで行われます。



*わかりやすくするために他のピンは省略。

図14. ADSP-2101/ADSP-2103/ADSP-2191 SPORTとAD5426/AD5432/AD5443とのインターフェース

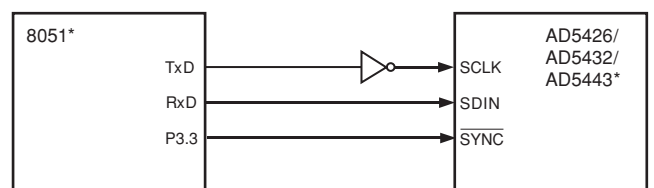
フレーム同期遅延、フレーム同期のセットアップおよびホールド時間、データ遅延、データのセットアップおよびホールド時間、SCLK幅の仕様に互換性がある場合、2個のデバイス間で一定のクロック速度での通信が可能です。DACインターフェースは、最小13nsの t_4 (SYNCの立下がりエッジからSCLKの立下がりエッジまでのセットアップ時間)を想定しています。SPORTレジスタのクロック周波数とフレーム同期周波数については、ADSP-21xxの『ユーザ・マニュアル』を参照してください。

SPORT制御レジスタは次のように設定します。

TFSW=1、オルタネート・フレーミング
 INVTFS=1、アクティブ・ロー・フレーム信号
 DTYPE=00、データ右詰め
 ISCLK=1、内部シリアル・クロック
 TFSR=1、ワードごとのフレーム
 ITFS=1、内部フレーミング信号
 SLEN=1111、16ビット・データワード

80C51/80L51とAD5426/AD5432/AD5443とのインターフェース

図15に、DACと8051との間のシリアル・インターフェースを示します。8051のTxDがDACのシリアル・インターフェースのSCLKを駆動し、RxDがシリアル・データ・ラインDINを駆動します。P3.3は、シリアル・ポートのビット・プログラマブル・ピンであり、SYNCの駆動に使用します。データがスイッチに転送されると、P3.3はローレベルになります。80C51/80L51はデータを8ビット・バイトとしてのみ転送するため、送信サイクル内には立下がりクロック・エッジが8個のみ生じます。データをDACに正しくロードするには、最初の8ビットが転送された後もP3.3をローレベルのままにして、2番目の書き込みサイクルを実行すると、データの2番目のバイトの転送が開始されます。RxD上のデータはTxDの立上がりエッジでマイクロコントローラから出力され、立下がりエッジで有効になります。その結果、DACとマイクロコントローラ・インターフェースとの間に外付けロジックは不要となります。このサイクルの完了後にP3.3をハイレベルにします。8051は、データ・ストリームの先頭ビットとしてSBUFレジスタのLSBを出力します。DACの入力レジスタは、MSBファーストでデータを受け取る必要があります。送信ルーチンは、これを考慮しておく必要があります。



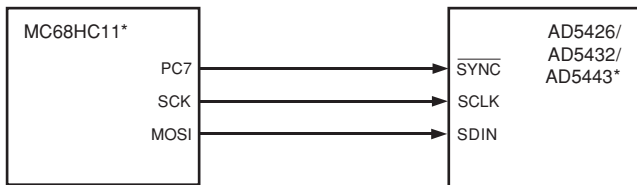
*わかりやすくするために他のピンは省略。

図15. 80C51/80L51とAD5426/AD5432/AD5443とのインターフェース

AD5426/AD5432/AD5443

MC68HC11とAD5426/AD5432/AD5443とのインターフェース
 図16に、DACとMC68HC11マイクロコントローラとのシリアル・インターフェースの例を示します。MC68HC11のシリアル・ペリフェラル・インターフェース(SPI)は、マスター・モード(MSTR)=1、クロック極性ビット(CPOL)=0、クロック位相ビット(CPHA)=1に設定します。SPIは、SPI制御レジスタ(SPCR)に書き込みを行って設定します。MC68HC11の『ユーザ・マニュアル』を参照してください。68HC11のSCKがDACインターフェースのSCLKを駆動し、MOSI出力がAD5426/AD5432/AD5443のシリアル・データ・ライン(D_{IN})を駆動します。SYNC信号は、ポート・ライン(PC7)から引き出されます。データをAD5426/AD5432/AD5443に転送するときは、SYNCラインをローレベルにします(PC7)。MOSIに出力されるデータは、SCKの立下がりエッジで有効になります。シリアル・データは68HC11から8ビット・バイトで転送され、送信サイクル内には立下がりクロック・エッジが8個のみ生じます。データはMSBファーストで転送されます。データをDACにロードするときは、最初の8ビットが転送された後もPC7をローレベルのままにして、DACに対して2番目のシリアル書き込み動作を実行します。この手順の終わりに、PC7をハイレベルにします。

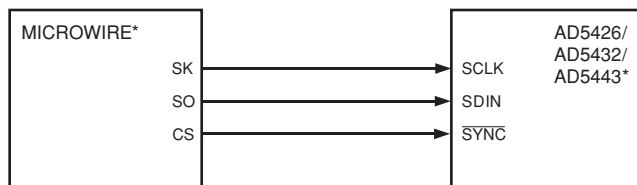
入力シフト・レジスタに以前書き込まれたデータを確認する場合は、SDOラインをMC68HC11のMISOに接続して、SYNCをローレベルにすると、シフト・レジスタがSCLKの立下がりエッジでデータを出力します。



*わかりやすくするために他のピンは省略。

図16. 68HC11/68L11とAD5426/AD5432/AD5443とのインターフェース

MICROWIREとAD5426/AD5432/AD5443とのインターフェース
 図17に、DACと任意のMICROWIRE互換デバイスとのインターフェースを示します。シリアル・データはシリアル・クロックSKの立下がりエッジで出力され、SKの立下がりエッジでDACの入力シフト・レジスタに入力されます。この立下がりエッジは、DACのSCLKの立下がりエッジに対応します。

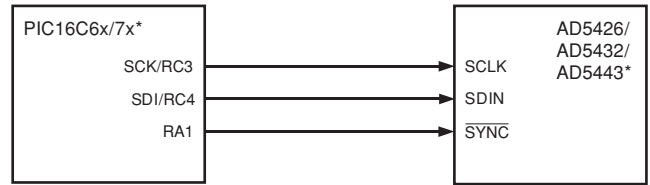


*わかりやすくするために他のピンは省略。

図17. MICROWIREとAD5426/AD5432/AD5443とのインターフェース

PIC16C6x/7xとAD5426/AD5432/AD5443とのインターフェース
 PIC16C6x/7xの同期シリアル・ポート(SSP)をSPIマスターに設定します(クロック極性ビットCKP=0)。これは、同期シリアル・ポート制御レジスタ(SSPCON)への書き込みによって実行します。PIC16/17マイクロコントローラの『ユーザ・マニュアル』を参照してください。この例では、I/OポートRA1を使ってSYNCパルスが発生させ、DACのシリアル・ポートをイネーブルにします。このマイクロコントローラは、各シリアル転送動作でデータを8ビットだけ転送します。したがって、書き込み動作を2回続け

て行う必要があります。図18に接続図を示します。



*わかりやすくするために他のピンは省略。

図18. PIC16C6x/7xとAD5426/AD5432/AD5443とのインターフェース

PCボードのレイアウトと電源デカップリング

精度が重要な回路では、定格の性能を得るために電源とグラウンド・リターンレイアウトに注意する必要があります。AD5426/AD5432/AD5443を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離し、ボード内でそれぞれまとめて配置するように設計してください。複数のデバイスがAGNDとDGNDの接続を必要とするシステムでDACを使用する場合は、この接続は1ヵ所のみで行います。できるだけデバイスの近くにスター結線してください。

これらのDACでは、パッケージのできるだけ近い所(理想的にはデバイスの真上)に10μFと0.1μFのコンデンサを並列接続することにより十分な電源バイパスを持たせてください。0.1μFコンデンサは、高周波でグラウンドにローインピーダンス・パスを提供する一般的なセラミック型のような等価直列抵抗(ESR)が小さく、かつ等価直列インダクタンス(ESL)が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。ESRが小さい1~10μFのタンタル・コンデンサまたは電解コンデンサも電源に接続して、過渡電圧を抑え、かつ低周波リップルを除去する必要があります。

クロックなどの高速スイッチング信号はデジタル・グラウンドでシールドして、ボード上の他の部分へノイズを放出しないようにし、リファレンス入力付近を通らないようにします。

デジタル信号とアナログ信号は交差しないようにしてください。ボードの反対側のパターンは、互いに直角になるように配置します。これにより、ボードを通過するフィードスルーの影響を削減できます。マイクロストリップ技術は最善ですが、両面ボードでは必ずしも使用できるとは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号パターンはハンダ面に配線します。

レイアウトは、リード長をできるだけ短くしたコンパクトな設計を推奨します。入力までの配線はできるだけ短くして、IR電圧降下と浮遊インダクタンスを小さくする必要があります。

V_{REF}とR_{FB}の間のPCボードのメタル・パターンも、ゲイン誤差を小さくするためにマッチングさせる必要があります。最大の高周波性能を得るには、I/Vアンプをできるだけデバイスの近くに配置する必要があります。

AD5426/AD5432/AD5443

AD5426/AD5432/AD5443シリーズDACの評価用ボード

評価用ボードは、12ビットのAD5443と電流／電圧アンプAD8065で構成されています。評価用ボードには、10VリファレンスADR01が内蔵されています。外付けのリファレンスもSMB入力を介して接続できます。

評価用キットには、DACを制御する自己インストール型のPCソフトウェアのCD-ROMが含まれています。このソフトウェアを使うと、デバイスへのコードの書き込みが容易に行えます。

評価用ボードの操作

電源

このボードには±12Vと+5Vの電源が必要です。+12Vの V_{DD} と V_{SS} は出力アンプの電源として、+5VはDAC (V_{DD1})とトランシーバ(V_{CC})の電源として使います。

両電源は、 $10\mu\text{F}$ のタンタル・コンデンサと $0.1\mu\text{F}$ のセラミック・コンデンサでそれぞれのグラウンド・プレーンにデカップリングされています。

Link1 (LK1)は、内蔵リファレンス(ADR01)またはJ2に接続される外付けリファレンスの選択に使います。AD5426/AD5432/AD5443の場合はSDOの位置にあるLink2を使ってください。

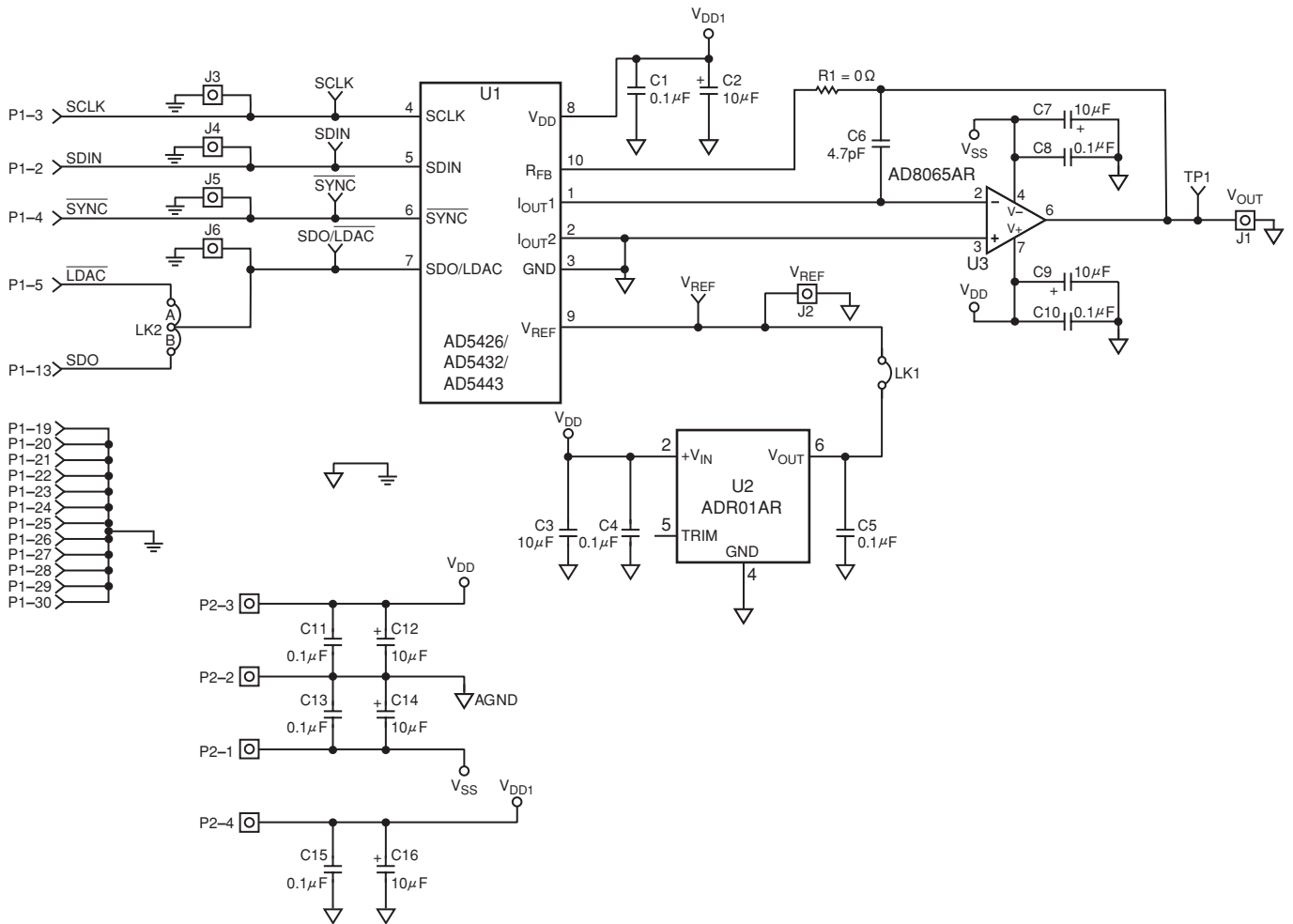


図19. AD5426/AD5432/AD5443評価用ボードの回路図

AD5426/AD5432/AD5443

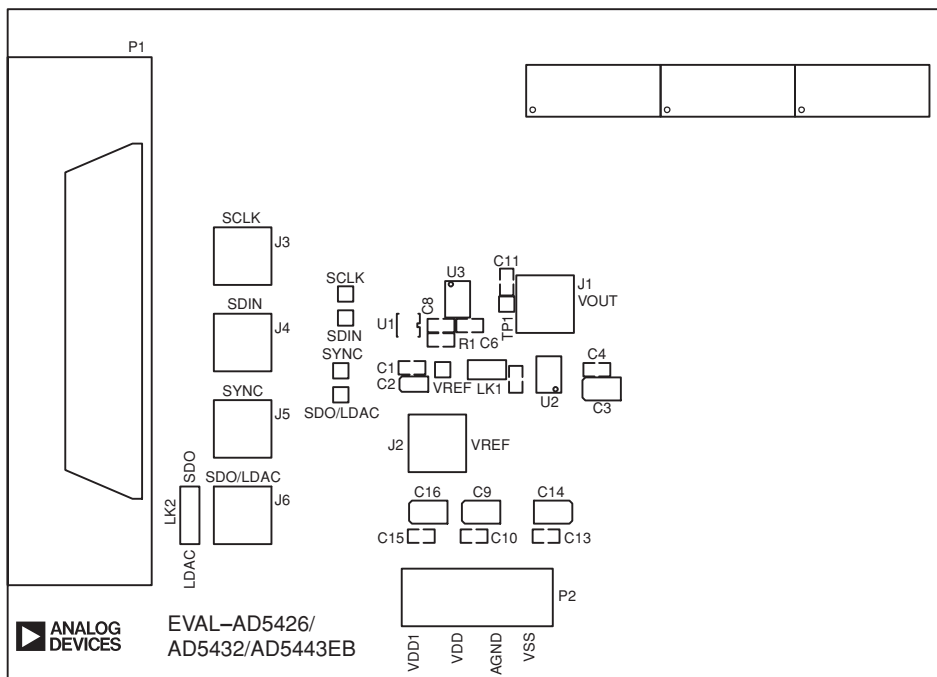


図20. シルクスクリーン—部品面（上面）

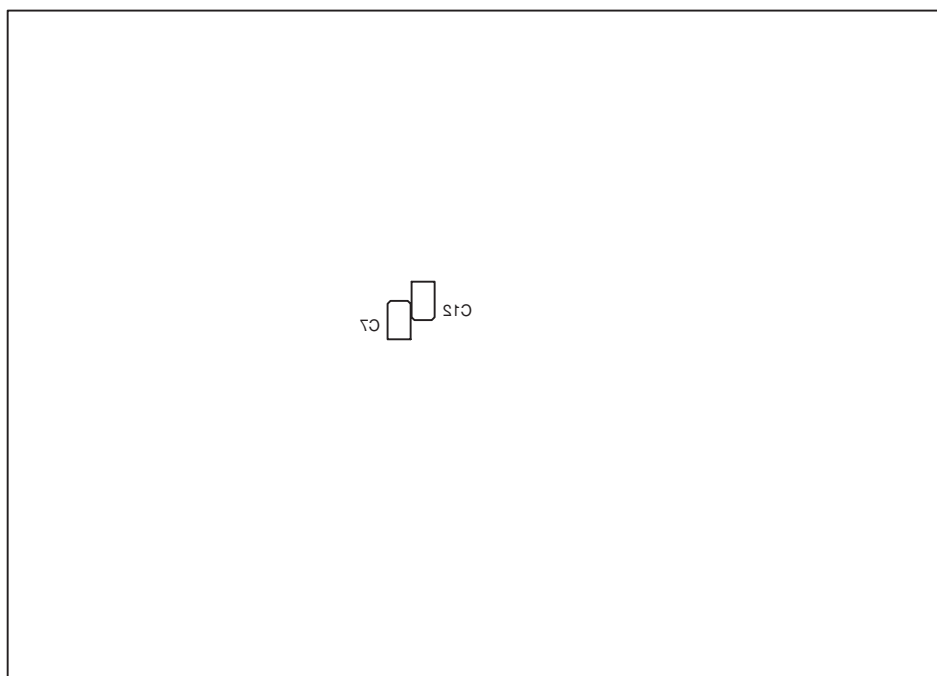


図21. シルクスクリーン—部品面（裏面）

AD5426/AD5432/AD5443

AD54xxデバイスの概要

製品番号	分解能	DAC数	INL	t _s (max)	インターフェース	パッケージ	機能
AD5403*	8	2	±0.25	60ns	パラレル	CP-40	10MHz帯域幅、10ns \overline{CS} パルス幅、4象限乗算抵抗
AD5410*	8	1	±0.25	100ns	シリアル	RU-16	10MHz帯域幅、50MHzシリアル、4象限乗算抵抗
AD5413*	8	2	±0.25	100ns	シリアル	RU-24	10MHz帯域幅、50MHzシリアル、4象限乗算抵抗
AD5424	8	1	±0.25	60ns	パラレル	RU-16、CP-20	10MHz帯域幅、17ns \overline{CS} パルス幅
AD5425	8	1	±0.25	100ns	シリアル	RM-10	バイト・ロード、10MHz帯域幅、50MHzシリアル
AD5426	8	1	±0.25	100ns	シリアル	RM-10	10MHz帯域幅、50MHzシリアル
AD5428	8	2	±0.25	60ns	パラレル	RU-20	10MHz帯域幅、17ns \overline{CS} パルス幅
AD5429	8	2	±0.25	100ns	シリアル	RU-10	10MHz帯域幅、50MHzシリアル
AD5450	8	1	±0.25	100ns	シリアル	RJ-8	10MHz帯域幅、50MHzシリアル
AD5404*	10	2	±0.5	70ns	パラレル	CP-40	10MHz帯域幅、17ns \overline{CS} パルス幅、4象限乗算抵抗
AD5411*	10	1	±0.5	110ns	シリアル	RU-16	10MHz帯域幅、50MHzシリアル、4象限乗算抵抗
AD5414*	10	2	±0.5	110ns	シリアル	RU-24	10MHz帯域幅、50MHzシリアル、4象限乗算抵抗
AD5432	10	1	±0.5	110ns	シリアル	RM-10	10MHz帯域幅、50MHzシリアル
AD5433	10	1	±0.5	70ns	パラレル	RU-20、CP-20	10MHz帯域幅、17ns \overline{CS} パルス幅
AD5439	10	2	±0.5	110ns	シリアル	RU-16	10MHz帯域幅、50MHzシリアル
AD5440	10	2	±0.5	70ns	パラレル	RU-24	10MHz帯域幅、17ns \overline{CS} パルス幅
AD5451	10	1	±0.25	110ns	シリアル	RJ-8	10MHz帯域幅、50MHzシリアル
AD5405	12	2	±1	120ns	パラレル	CP-40	10MHz帯域幅、17ns \overline{CS} パルス幅、4象限乗算抵抗
AD5412*	12	1	±1	160ns	シリアル	RU-16	10MHz帯域幅、50MHzシリアル、4象限乗算抵抗
AD5415	12	2	±1	160ns	シリアル	RU-24	10MHz帯域幅、50MHzシリアル、4象限乗算抵抗
AD5443	12	1	±1	160ns	シリアル	RM-10	10MHz帯域幅、50MHzシリアル
AD5444	12	1	±0.5	160ns	シリアル	RM-10	10MHz帯域幅、50MHzシリアル
AD5445	12	1	±1	120ns	パラレル	RU-20、CP-20	10MHz帯域幅、17ns \overline{CS} パルス幅
AD5446	14	1	±2	180ns	シリアル	RM-10	10MHz帯域幅、50MHzシリアル
AD5447	12	2	±1	120ns	パラレル	RU-24	10MHz帯域幅、17ns \overline{CS} パルス幅
AD5449	12	2	±1	160ns	シリアル	RU-16	10MHz帯域幅、17ns \overline{CS} パルス幅
AD5452	12	1	±0.5	160ns	シリアル	RJ-8、RM-8	10MHz帯域幅、50MHzシリアル
AD5453	14	1	±2	180ns	シリアル	RJ-8、RM-8	10MHz帯域幅、50MHzシリアル

*計画中のデバイスです。供給状況についてはお問い合わせください。

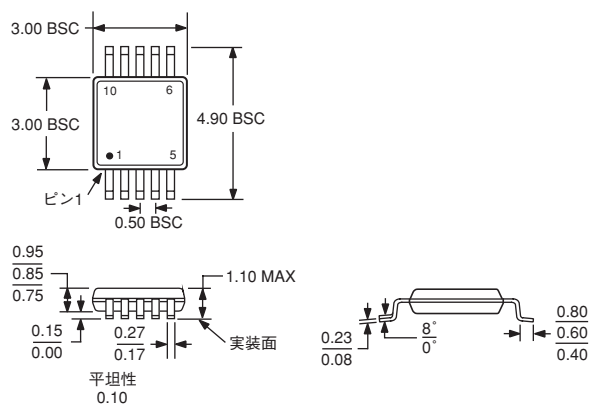
AD5426/AD5432/AD5443

外形寸法

10ピン・ミニSOP[MSOP]

(RM-10)

寸法単位：mm



JEDEC規格MO-187BAに準拠

AD5426/AD5432/AD5443*

TDS07/2004/PDF