

特長

- 52ピン LQFP パッケージまたは 56ピン LFCSP パッケージを採用した 16チャンネル DAC
- 16/14ビットの単調性を保証
- 公称出力電圧範囲: $-10\text{V} \sim +10\text{V}$
- 複数の出力振幅範囲が使用可能
- 温度モニタ機能
- チャンネル・モニタリング・マルチプレクサ
- GPIO 機能
- システム・キャリブレーション機能によりオフセットとゲインをユーザ設定可能
- チャンネルのグルーピング機能とアドレッシング機能
- データ・エラー・チェック機能

- SPI 互換シリアル・インターフェース
- 2.5V~5.5V のデジタル・インターフェース
- デジタル・リセット(RESET)
- ユーザ定義の SIGGNDx に対するクリア機能
- DAC 出力の同時更新

アプリケーション

- 計装機器
- 工業用制御システム
- 自動テスト装置(ATE)のレベル設定
- 可変光減衰器(VOA)
- 光ライン・カード

機能ブロック図

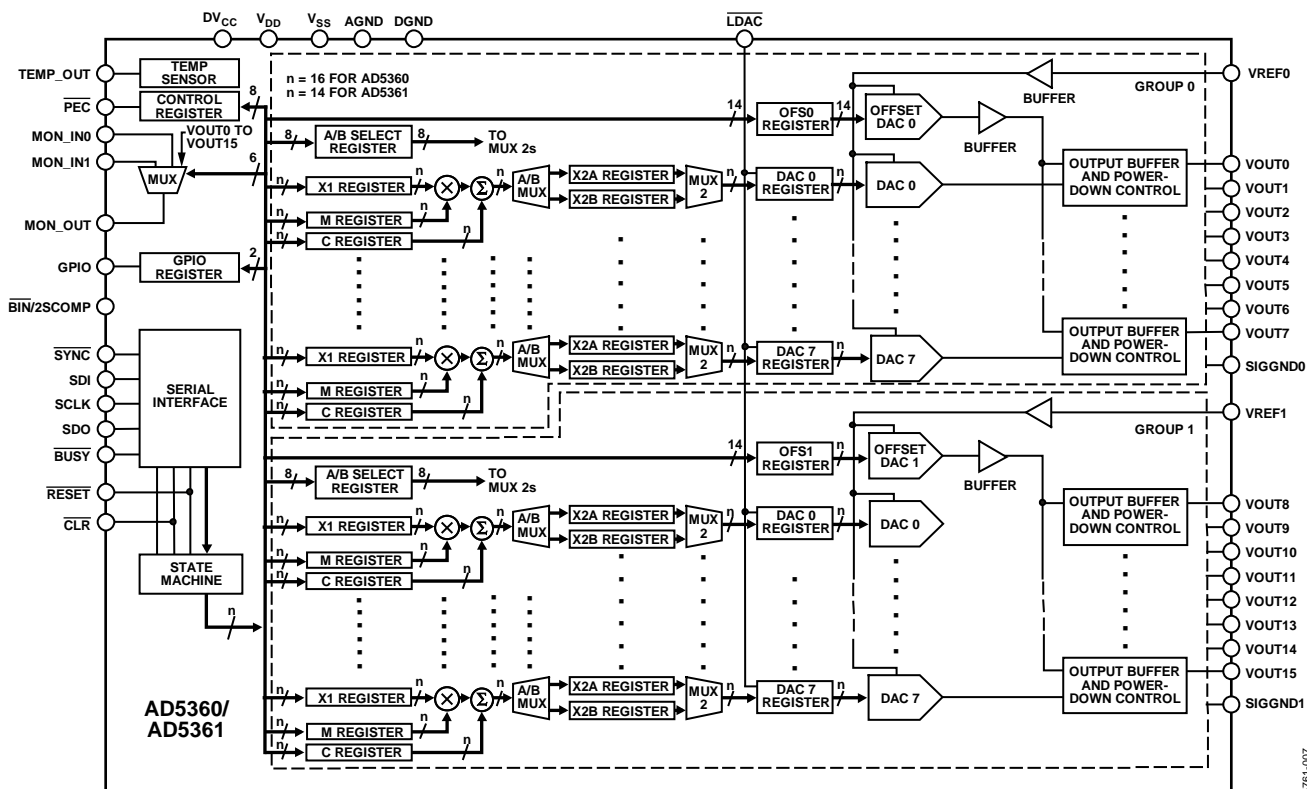


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2007–2008 Analog Devices, Inc. All rights reserved.

Rev. A

目次

特長.....	1	クリア機能.....	19
アプリケーション.....	1	$\overline{\text{BUSY}}$ 機能と $\overline{\text{LDAC}}$ 機能.....	19
機能ブロック図.....	1	$\overline{\text{BIN}}/2\text{SCOMP}$ ピン.....	19
改訂履歴.....	2	温度センサー.....	19
概要.....	3	モニタ機能.....	20
仕様.....	4	GPIOピン.....	20
AC特性.....	5	パワーダウン・モード.....	20
タイミング特性.....	6	サーマル・モニタ機能.....	20
絶対最大定格.....	9	トグル・モード.....	20
ESDの注意.....	9	シリアル・インターフェース.....	21
ピン配置およびピン機能説明.....	10	SPI書き込みモード.....	21
代表的な性能特性.....	12	SPIリードバック・モード.....	22
用語.....	14	レジスタ更新レート.....	22
機能説明.....	15	パケット・エラーのチェック.....	22
DACアーキテクチャ.....	15	チャンネル・アドレッシングとスペシャル・モード.....	23
チャンネル・グループ.....	15	スペシャル・ファンクション・モード.....	24
$\overline{\text{A}}/\overline{\text{B}}$ レジスタとゲイン/オフセットの調整.....	16	電源デカップリング.....	25
オフセットDAC.....	16	電源シーケンシング.....	25
出力アンプ.....	17	インターフェース例.....	26
伝達関数.....	17	外形寸法.....	27
リファレンスの選択.....	17	オーダー・ガイド.....	27
キャリブレーション.....	18		
リセット機能.....	19		

改訂履歴

2/08—Rev. 0 to Rev. A

Added LFCSP Package.....	Universal
Change to DC Crosstalk Parameter.....	4
Change to Power Dissipation Unloaded (P) Parameter.....	5
Added t_{23} Parameter.....	6
Change to Figure 4.....	7
Change to Table 5 Summary.....	9
Added Figure 8.....	10
Changes to Table 6.....	10
Changes to Calibration Section.....	18
Changes to Reset Function Section.....	19
Added Packet Error Checking Section.....	22
Updated Outline Dimensions.....	27
Changes to Ordering Guide.....	27

10/07—Revision 0: Initial Version

概要

AD5360/AD5361 は、1 個の 52 ピン LQFP パッケージまたは 56 ピン LFCSP パッケージに 16/14 ビット DAC を 16 個内蔵しています。これらのデバイスは、リファレンス電圧の 4 倍の振幅を持つバッファ付き電圧出力を提供します。各 DAC のゲインとオフセットを、独立に調節して誤差を除去することができます。柔軟性を高めるため、デバイスを 8 個の DAC からなる 2 つのグループに分割して、各グループの出力範囲をオフセット DAC を使って独立に調整することができます。

AD5360/AD5361 では $V_{SS} = -4.5 \text{ V} \sim -16.5 \text{ V}$ かつ $V_{DD} = +8 \text{ V} \sim +16.5 \text{ V}$ の広い電源範囲で動作を保証しています。出力アンプのヘッドルームは 1.4 V 必要です。

AD5360/AD5361 は、SPI、QSPI™、MICROWIRE™、DSP の各インターフェース規格と互換性を持つ高速 4 線式シリアル・インターフェースを内蔵し、最大 50 MHz のクロック速度で動作することができます。

すべての出力は、 $\overline{\text{LDAC}}$ 入力をロー・レベルにすることにより、同時に更新することができます。各チャンネルには、プログラムブル・ゲイン・レジスタとオフセット調整レジスタがあります。

バッファ付きの各 DAC 出力は、内部で SIGGND_x 外部入力を基準として増幅/バッファされています。また、DAC 出力は $\overline{\text{CLR}}$ ピンを使って切り替えて、 SIGGND_x に接続することもできます。

仕様

特に指定がない限り、 $DV_{CC} = 2.5\text{ V} \sim 5.5\text{ V}$; $V_{DD} = 9\text{ V} \sim 16.5\text{ V}$; $V_{SS} = -16.5\text{ V} \sim -4.5\text{ V}$; $V_{REF} = 5\text{ V}$; $AGND = DGND = SIGGND = 0\text{ V}$; $R_L =$ 開放; ゲイン (M)、オフセット (C)、DAC オフセットの各レジスタにデフォルト値を設定; すべての仕様は $T_{MIN} \sim T_{MAX}$ 。

表 1.

Parameter	B Version ¹	Unit	Test Conditions/Comments
ACCURACY			
Resolution			
AD5360	16	Bits	
AD5361	14	Bits	
Relative Accuracy			
AD5360	±4	LSB max	
AD5361	±1	LSB max	
Differential Nonlinearity	±1	LSB max	Guaranteed monotonic by design over temperature
Zero-Scale Error	±15	mV max	Before calibration
Full-Scale Error	±20	mV max	Before calibration
Gain Error	0.1	% FSR	Before calibration
Zero-Scale Error ²	1	LSB typ	After calibration
Full-Scale Error ²	1	LSB typ	After calibration
Span Error of Offset DAC	±75	mV max	See the Offset DACS section for details
$VOUTx^3$ Temperature Coefficient	5	ppm FSR/°C typ	Includes linearity, offset, and gain drift
DC Crosstalk ⁴	180	µV max	Typically 20 µV; measured channel at midscale, full-scale change on any other channel
REFERENCE INPUTS (V_{REF0} , V_{REF1}) ²			
V_{REF} Input Current	±10	µA max	Per input; typically ±30 nA
V_{REF} Range ²	2/5	V min/max	±2% for specified operation
SIGGND INPUT ($SIGGND0$ to $SIGGND1$) ⁴			
DC Input Impedance	50	kΩ min	Typically 55 kΩ
Input Range	±0.5	V max	
SIGGND Gain	0.995/1.005	Min/max	
OUTPUT CHARACTERISTICS ²			
Output Voltage Range	$V_{SS} + 1.4$ $V_{DD} - 1.4$	V min V max	$I_{LOAD} = 1\text{ mA}$ $I_{LOAD} = 1\text{ mA}$
Nominal Output Voltage Range	-10 to +10	V nominal	
Short-Circuit Current	15	mA max	$VOUTx^3$ to DV_{CC} , V_{DD} , or V_{SS}
Load Current	±1	mA max	
Capacitive Load	2200	pF max	
DC Output Impedance	0.5	Ω max	
MONITOR PIN (MON_OUT) ⁴			
Output Impedance			
DAC Output at Positive Full-Scale	1000	Ω typ	
DAC Output at Negative Full-Scale	500	Ω typ	
Three-State Leakage Current	100	nA typ	
Continuous Current Limit	2	mA max	
DIGITAL INPUTS			JEDEC compliant
Input High Voltage	1.7 2.0	V min V min	$DV_{CC} = 2.5\text{ V}$ to 3.6 V $DV_{CC} = 3.6\text{ V}$ to 5.5 V
Input Low Voltage	0.8	V max	$DV_{CC} = 2.5\text{ V}$ to 5.5 V
Input Current	±1 ±20	µA max µA max	\overline{RESET} , \overline{SYNC} , \overline{SDI} , and \overline{SCLK} pins \overline{CLR} , $\overline{BIN/2SCOMP}$, and GPIO pins
Input Capacitance ⁴	10	pF max	

Parameter	B Version ¹	Unit	Test Conditions/Comments
DIGITAL OUTPUTS (SDO, BUSY, GPIO, PEC)			
Output Low Voltage	0.5	V max	Sinking 200 μ A
Output High Voltage (SDO)	DV _{CC} - 0.5	V min	Sourcing 200 μ A
High Impedance Leakage Current	± 5	μ A max	SDO only
High Impedance Output Capacitance ⁴	10	pF typ	
TEMPERATURE SENSOR (TEMP_OUT)⁴			
Accuracy	± 1	$^{\circ}$ C typ	@ 25 $^{\circ}$ C
	± 5	$^{\circ}$ C typ	-40 $^{\circ}$ C < T < +85 $^{\circ}$ C
Output Voltage at 25 $^{\circ}$ C	1.46	V typ	
Output Voltage Scale Factor	4.4	mV/ $^{\circ}$ C typ	
Output Load Current	200	μ A max	Current source only
Power-On Time	10	ms typ	To within $\pm 5^{\circ}$ C
POWER REQUIREMENTS			
DV _{CC}	2.5/5.5	V min/max	
V _{DD}	8/16.5	V min/max	
V _{SS}	-4.5/-16.5	V min/max	
Power Supply Sensitivity ⁴			
Δ Full Scale/ Δ V _{DD}	-75	dB typ	
Δ Full Scale/ Δ V _{SS}	-75	dB typ	
Δ Full Scale/ Δ DV _{CC}	-90	dB typ	
DI _{CC}	2	mA max	V _{CC} = 5.5 V, V _{IH} = DV _{CC} , V _{IL} = GND
ID _D	10	mA max	Outputs unloaded
I _{SS}	10	mA max	Outputs unloaded
Power-Down Mode			Bit 0 in the Control Register is 1
DI _{CC}	5	μ A typ	
ID _D	35	μ A typ	
I _{SS}	-35	μ A typ	
Power Dissipation			
Power Dissipation Unloaded (P)	245	mW max	V _{SS} = -12 V, V _{DD} = +12 V, DV _{CC} = 2.5 V
Junction Temperature	130	$^{\circ}$ C max	T _J = T _A + P _{TOTAL} \times θ_{JA}

¹ Bバージョンの温度範囲は-40 $^{\circ}$ C~+85 $^{\circ}$ C、typは25 $^{\circ}$ Cでの値。

² 規定値は、5Vリファレンス電圧に対してのみ保証。

³ VOUTxはVOUT0~VOUT15を表します。

⁴ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

AC特性

特に指定がない限り、DV_{CC} = 2.5 V; V_{DD} = 15 V; V_{SS} = -15 V; V_{REF} = 5 V; AGND = DGND = SIGGND = 0 V; C_L = 200 pF; R_L = 10 k Ω ; ゲイン (M)、オフセット (C)、DAC オフセットの各レジスタにデフォルト値を設定; すべての仕様は T_{MIN}~T_{MAX}。

表 2.

Parameter	B Version ¹	Unit	Test Conditions/Comments
DYNAMIC PERFORMANCE¹			
Output Voltage Settling Time	20	μ s typ	Full-scale change
	30	μ s max	DAC latch contents alternately loaded with all 0s and all 1s
Slew Rate	1	V/ μ s typ	
Digital-to-Analog Glitch Energy	5	nV-s typ	
Glitch Impulse Peak Amplitude	10	mV max	
Channel-to-Channel Isolation	100	dB typ	VREF0, VREF1 = 2 V p-p, 1 kHz
DAC-to-DAC Crosstalk	10	nV-s typ	
Digital Crosstalk	0.2	nV-s typ	
Digital Feedthrough	0.02	nV-s typ	Effect of input bus activity on DAC output under test
Output Noise Spectral Density @ 10 kHz	250	nV/ $\sqrt{\text{Hz}}$ typ	VREF0 = VREF1 = 0 V

¹ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

タイミング特性

特に指定がない限り、 $DV_{CC} = 2.5\text{ V} \sim 5.5\text{ V}$; $V_{DD} = 9\text{ V} \sim 16.5\text{ V}$; $V_{SS} = -8\text{ V} \sim -16.5\text{ V}$; $V_{REF} = 5\text{ V}$; $AGND = DGND = SIGGND = 0\text{ V}$; $C_L = 200\text{ pF}$ (GNDへ接続); $R_L = \text{オープン回路}$; ゲイン (M)、オフセット (C)、DAC オフセットの各レジスタにデフォルト値を設定; すべての仕様は $T_{MIN} \sim T_{MAX}$ 。

表 3.SPI インターフェース (図 4 と 図 5 参照)

Parameter ^{1,2}	Limit at T_{MIN} , T_{MAX}	Unit	Description
t_1	20	ns min	SCLK cycle time
t_2	8	ns min	SCLK high time
t_3	8	ns min	SCLK low time
t_4	11	ns min	$\overline{\text{SYNC}}$ falling edge to SCLK falling edge setup time
t_5	20	ns min	Minimum $\overline{\text{SYNC}}$ high time
t_6	10	ns min	24th SCLK falling edge to $\overline{\text{SYNC}}$ rising edge
t_7	5	ns min	Data setup time
t_8	5	ns min	Data hold time
t_9^3	42	ns max	$\overline{\text{SYNC}}$ rising edge to $\overline{\text{BUSY}}$ falling edge
t_{10}	1/1.5	$\mu\text{s typ/max}$	$\overline{\text{BUSY}}$ pulse width low (single-channel update); see Table 8
t_{11}	600	ns max	Single-channel update cycle time
t_{12}	20	ns min	$\overline{\text{SYNC}}$ rising edge to $\overline{\text{LDAC}}$ falling edge
t_{13}	10	ns min	$\overline{\text{LDAC}}$ pulse width low
t_{14}	3	$\mu\text{s max}$	$\overline{\text{BUSY}}$ rising edge to DAC output response time
t_{15}	0	ns min	$\overline{\text{BUSY}}$ rising edge to $\overline{\text{LDAC}}$ falling edge
t_{16}	3	$\mu\text{s max}$	$\overline{\text{LDAC}}$ falling edge to DAC output response time
t_{17}	20/30	$\mu\text{s typ/max}$	DAC output settling time
t_{18}	140	ns max	$\overline{\text{CLR/RESET}}$ pulse activation time
t_{19}	30	ns min	$\overline{\text{RESET}}$ pulse width low
t_{20}	400	$\mu\text{s max}$	$\overline{\text{RESET}}$ time indicated by $\overline{\text{BUSY}}$ low
t_{21}	270	ns min	Minimum $\overline{\text{SYNC}}$ high time in readback mode
t_{22}^4	25	ns max	SCLK rising edge to $\overline{\text{SDO}}$ valid
t_{23}	80	ns max	$\overline{\text{RESET}}$ rising edge to $\overline{\text{BUSY}}$ falling edge

¹ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

² すべての入力信号は $t_r = t_f = 2\text{ ns}$ (DV_{CC} の 10% から 90%) で規定し、1.2 V の電圧レベルからの時間とします。

³ これは、図 2 の負荷回路で測定。

⁴ これは、図 3 の負荷回路で測定。

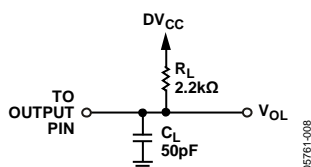


図 2. $\overline{\text{BUSY}}$ タイミング図の負荷回路

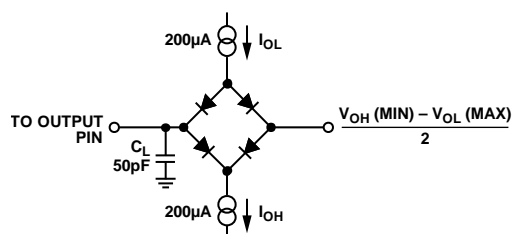
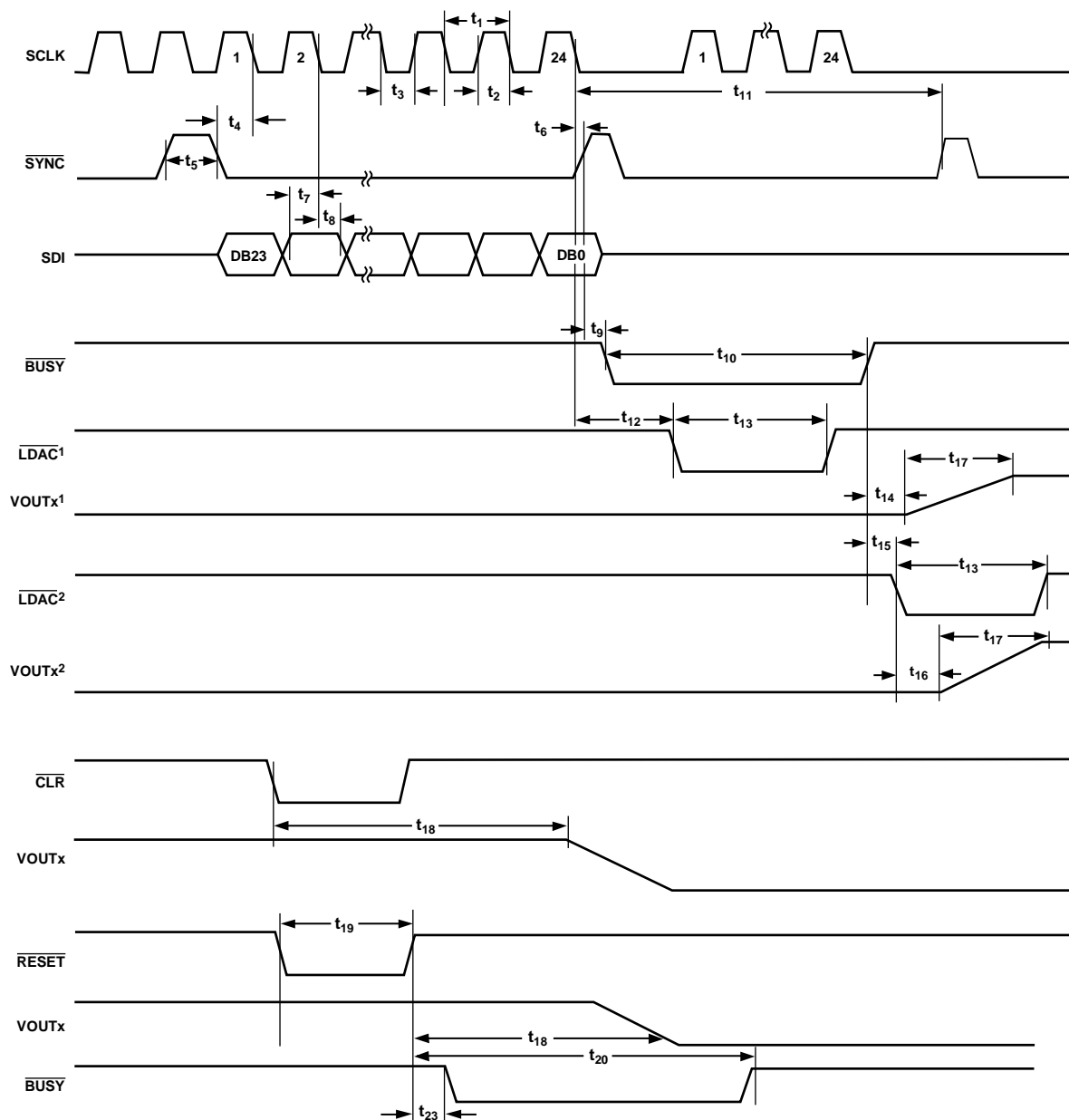


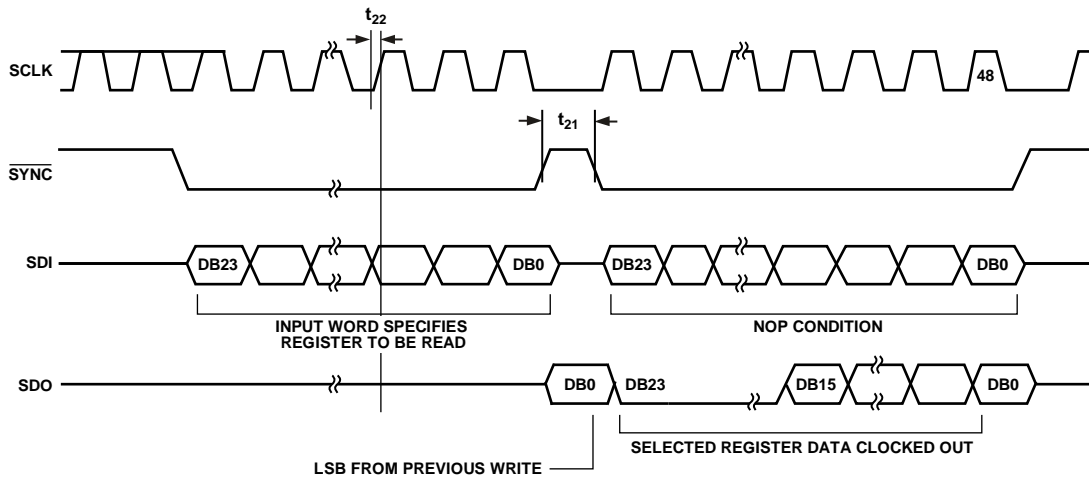
図 3. $\overline{\text{SDO}}$ タイミング図の負荷回路



¹ LDAC ACTIVE DURING $\overline{\text{BUSY}}$.
² LDAC ACTIVE AFTER $\overline{\text{BUSY}}$.

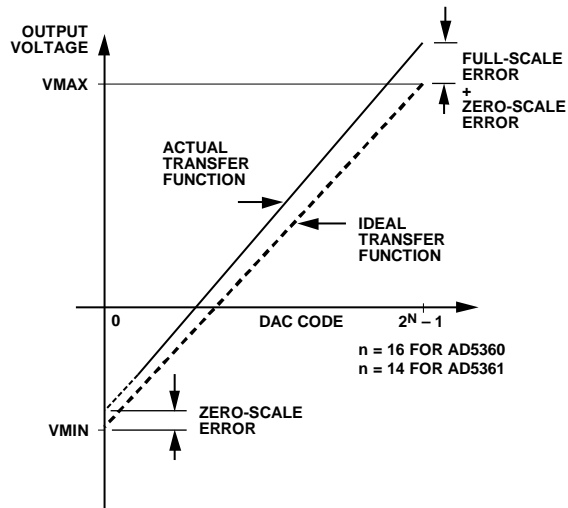
図 4.SPI 書込みタイミング

05761-010



05761-011

図 5.SPI 読出しタイミング



109-19259

図 6.DAC の伝達関数

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。最大 60 mA までの過渡電流では SCR ラッチ・アップは生じません。

表 4.

Parameter	Rating
V_{DD} to AGND	-0.3 V to +17 V
V_{SS} to AGND	-17 V to +0.3 V
DV_{CC} to DGND	-0.3 V to +7 V
Digital Inputs to DGND	-0.3 V to $DV_{CC} + 0.3$ V
Digital Outputs to DGND	-0.3 V to $DV_{CC} + 0.3$ V
VREF0, VREF1 to AGND	-0.3 V to +5.5 V
VOUT0 to VOUT15 to AGND	$V_{SS} - 0.3$ V to $V_{DD} + 0.3$ V
SIGGND0, SIGGND1 to AGND	-1 V to +1 V
AGND to DGND	-0.3 V to +0.3 V
MON_IN0, MON_IN1, MON_OUT to AGND	$V_{SS} - 0.3$ V to $V_{DD} + 0.3$ V
Operating Temperature (T_A)	
Industrial (B Version)	-40°C to +85°C
Storage	-65°C to +150°C
Junction (T_J max)	130°C
θ_{JA} Thermal Impedance	
52-Lead LQFP	38°C/W
56-Lead LFCSP	25°C/W
Reflow Soldering	
Peak Temperature	230°C
Time at Peak Temperature	10 sec to 40 sec

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

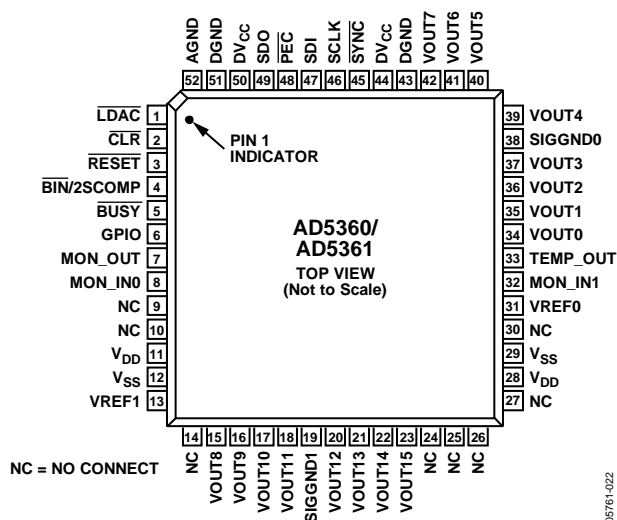


図 7.52 ピン LQFP のピン配置

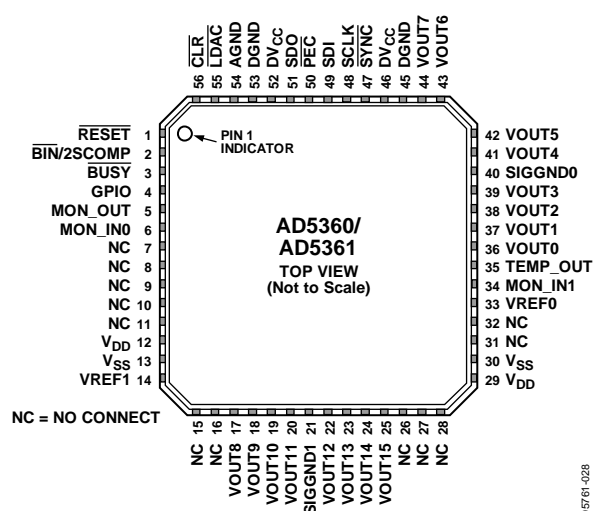


図 8.56 ピン LFCSP のピン配置

表 5.LQFP ピン機能の説明

ピン番号			
LQFP	LFCSP	記号	説明
1	55	LDAC	ロード DAC ロジック入力(アクティブ・ロー・レベル)。詳細については、BUSY と LDAC の機能のセクション参照。
2	56	CLR	非同期クリア入力(レベル検出、アクティブ・ロー)。詳細については、クリア機能のセクションを参照してください。
3	1	RESET	デジタル・リセット入力。
4	2	BIN/2SCOMP	データ・フォーマット・デジタル入力。このピンを DGND に接続すると、オフセット・バイナリが選択されます。このピンをロジック 1 に設定すると、2 の補数が選択されます。この入力には弱いプルダウンが付いています。
5	3	BUSY	デジタル入力/オープン・ドレイン出力。BUSY は出力時オープン・ドレインになります。詳細については、BUSY と LDAC の機能のセクション参照。
6	4	GPIO	デジタル I/O ピン。このピンは入力または出力に設定でき、シリアル・インターフェースを介して読出すか、またはハイ/ロー・レベルに設定することができます。入りに設定すると、このピンは弱いプルダウンを持ちます。
7	5	MON_OUT	アナログ・マルチプレクサ出力。すべての DAC 出力、MON_IN0 入力、または MON_IN1 入力をこの出力に切り替えることができます。
8、32	6、34	MON_IN0、MON_IN1	アナログ・マルチプレクサ入力。MON_OUT へ切り替えることができます。
9、10、14、24、25、26、27、30	7~11、15、16、26~28、31、32	NC	未接続。
11、28	12、29	V _{DD}	正のアナログ電源;仕様性能に対して+9 V~+16.5 V。これらのピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
12、29	13、30	V _{SS}	負のアナログ電源。規定性能では-16.5 V~-8 V。これらのピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
13	14	VREF1	DAC 8~DAC 15 のリファレンス電圧入力。この電圧は AGND を基準とします。
19	21	SIGGND1	DAC 8~DAC 15 のリファレンス電圧グラウンド。VOUT8~VOUT15 はこの電圧を基準とします。
31	33	VREF0	DAC 0~DAC 7 のリファレンス電圧入力。この電圧は AGND を基準とします。
33	35	TEMP_OUT	このピンは、チップ温度に比例する電圧を出力します。25°C で 1.46 V (typ) で、出力変化は 4.4 mV/°C です。
34~37、39~42、15~18、20~23	36~39、41~44、17~20、22~25	VOUT0~VOUT15	DAC 出力。各 16 個の DAC チャンネルのバッファ付アナログ出力。各アナログ出力は、グラウンドへ接続した 10 kΩ の出力負荷を駆動することができます。これらのアンプの出力インピーダンスは 0.5 Ω (typ)。
38	40	SIGGND0	DAC 0~DAC 7 のリファレンス・グラウンド。VOUT0~VOUT7 はこの電圧を基準にします。
43、51	45、53	DGND	すべてのデジタル回路のグラウンド。両 DGND ピンは DGND プレーンに接続する必要があります。

ピン番号		記号	説明
LQFP	LFCSP		
44、50	46、52	DV _{CC}	2.5 V~5.5 V のロジック電源。これらのピンは、0.1 μ F のセラミック・コンデンサと 10 μ F のコンデンサでデカップリングする必要があります。
45	47	$\overline{\text{SYNC}}$	SPI インターフェースのアクティブ・ロー $\overline{\text{SYNC}}$ 入力。これは、SPI シリアル・インターフェースのフレーム同期信号です。詳細については、図 4、図 5、シリアル・インターフェースのセクション参照。
46	48	SCLK	SPI インターフェースのシリアル・クロック入力。詳細については、図 4、図 5、シリアル・インターフェースのセクション参照。
47	49	SDI	SPI インターフェースのシリアル・データ入力。詳細については、図 4、図 5、シリアル・インターフェースのセクション参照。
48	50	$\overline{\text{PEC}}$	パケット・エラー・チェック出力。50 k Ω プルアップを持つオープン・ドレイン出力で、パケット・エラー・チェックが発生すると、ロー・レベルになります。
49	51	SDO	SPI インターフェースのシリアル・データ出力。詳細については、図 4、図 5、シリアル・インターフェースのセクション参照。
52	54	AGND	すべてのアナログ回路のグラウンド。AGND ピンは AGND プレーンに接続する必要があります。
	EP	V _{SS} へ接続	エクスポーズド・パドル。

代表的な性能特性

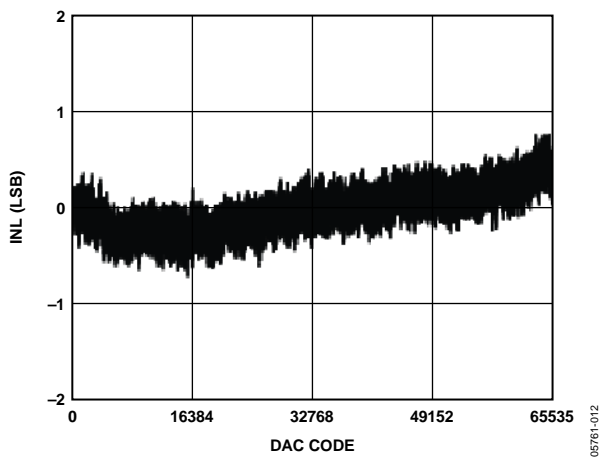


図 9. AD5360 の INL プロット

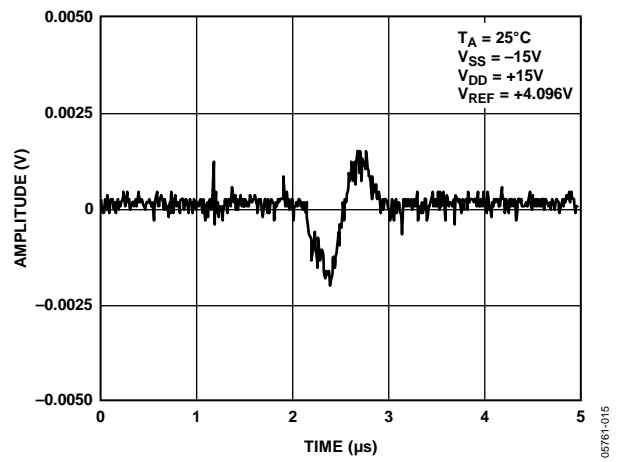


図 12. デジタル・クロストーク

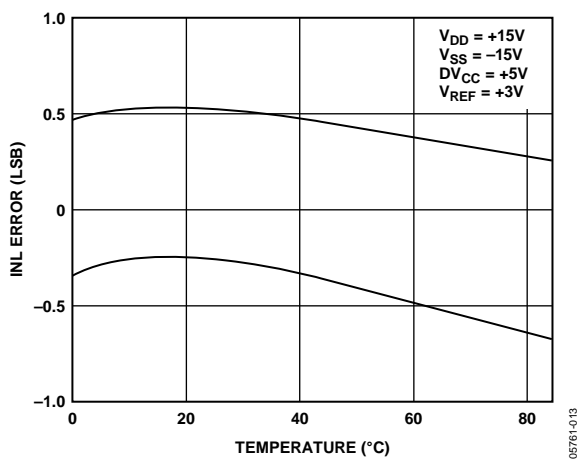


図 10. INL 誤差の温度特性

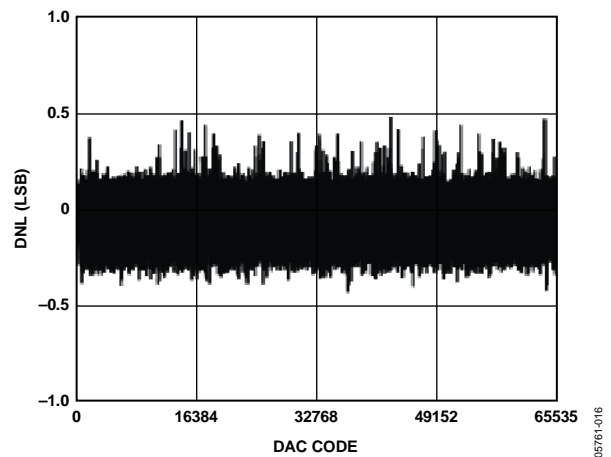


図 13. AD5360 の DNL プロット

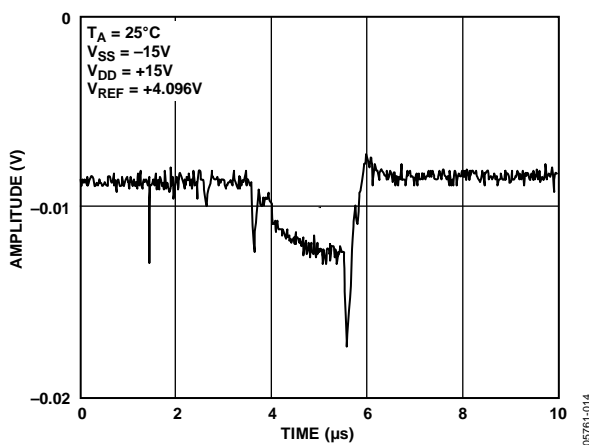


図 11. LDAC に起因するアナログ・クロストーク

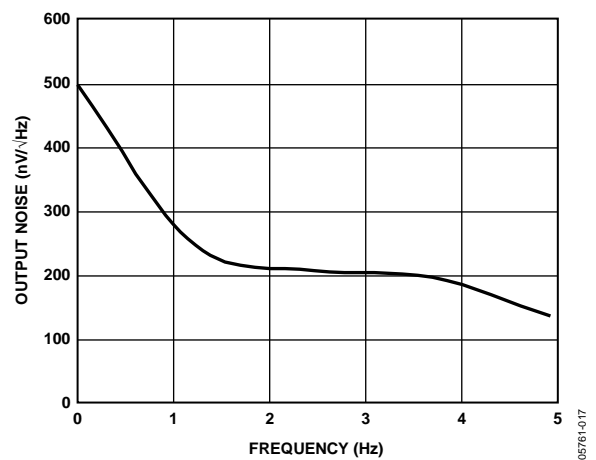


図 14. ノイズ・スペクトル密度

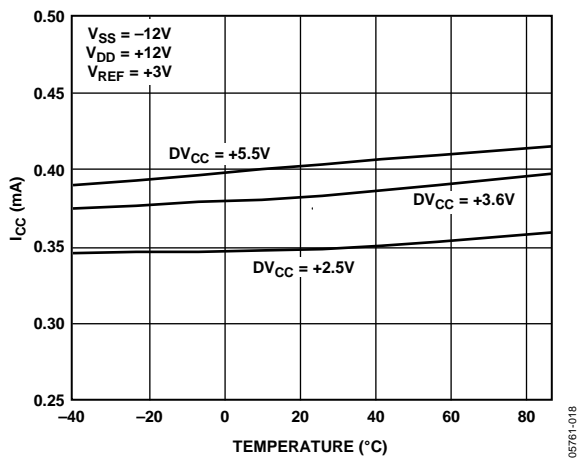


図 15. I_{CC} の温度特性

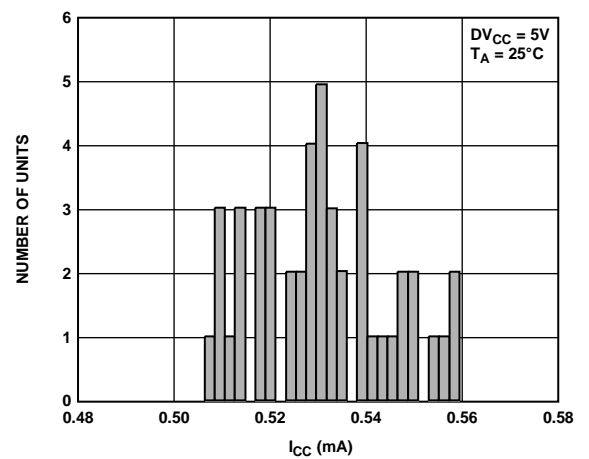


図 18. I_{CC} の分布

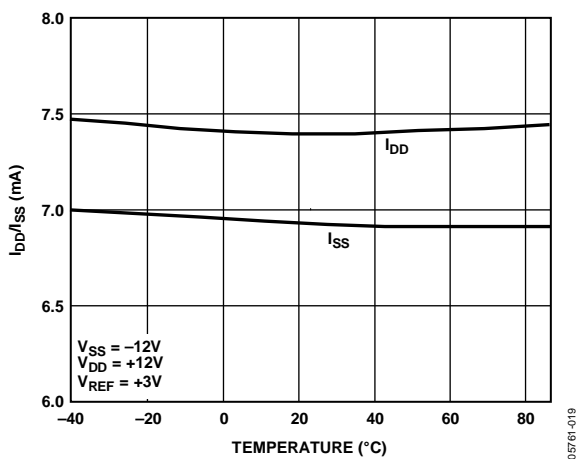


図 16. I_{DD}/I_{SS} の温度特性

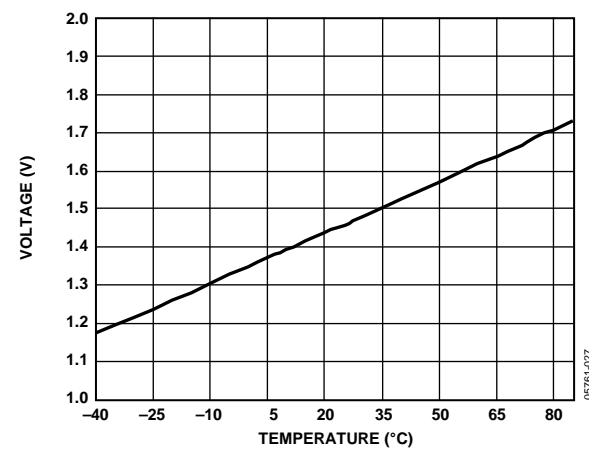


図 19. TEMP_OUT 電圧の温度特性

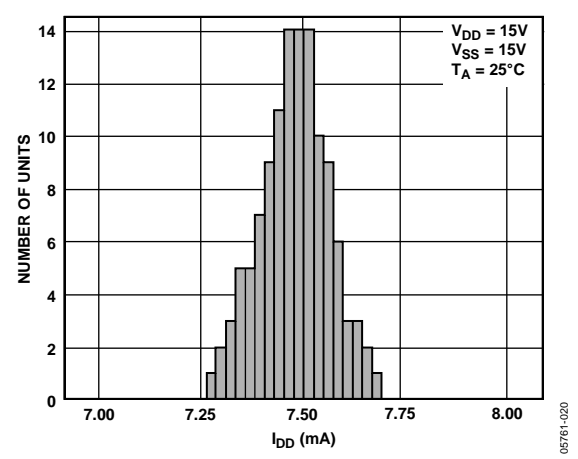


図 17. I_{DD} の分布

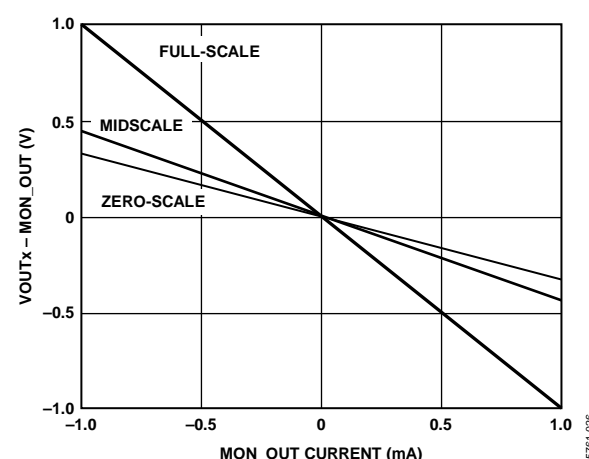


図 20. MON_OUT 電流対 ($V_{OUTx} - \text{MON_OUT}$ 電圧)

用語

積分非直線性(INL)

積分非直線性または相対精度とは、DAC 伝達関数の両端を結ぶ直線からの最大偏差値を表します。ゼロスケール誤差とフルスケール誤差を調節した後に測定して、LSB 数で表します。

微分非直線性(DNL)

微分非直線性(DNL)は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差をいいます。最大 1 LSB の微分非直線性の仕様は、単調性を保証するものです。

ゼロスケール誤差

ゼロスケール誤差は、全ビット 0 を DAC レジスタにロードしたときの DAC 出力電圧の誤差です。

ゼロスケール誤差は、チャンネルが最小値にある場合の VOUT (実測値) と VOUT (理論) の差を表し、mV で表示されます。ゼロスケール誤差は、主に出力アンプのオフセットから発生します。

フルスケール誤差

フルスケール誤差は、全ビット 1 を DAC レジスタにロードしたときの DAC 出力電圧の誤差です。

フルスケール誤差は、チャンネルが最大値にある場合の VOUT (実測値) と VOUT (理論) の差を表し、mV で表示されます。フルスケール誤差はゼロスケール誤差を含みません。

ゲイン誤差

ゲイン誤差は、フルスケール誤差とゼロスケール誤差の差を表し、mV で表示します。

$$\text{ゲイン誤差} = \text{フルスケール誤差} - \text{ゼロスケール誤差}$$

VOUT 温度係数

VOUT 温度係数には、直線性、オフセット、ゲイン・ドリフトの出力誤差成分が含まれます。

DC 出力インピーダンス

DC 出力インピーダンスは実効出力ソース抵抗です。パッケージのピン抵抗により支配されます。

DC クロストーク

各 DAC 出力は、V_{DD} と V_{SS} 電源を共通にする各オペアンプによりバッファされています。1 つのチャンネルで DC 負荷電流が変化すると(更新による)、この変化が複数のチャンネル出力でさらに DC 変化を生じさせます。負荷電流が大きいとこの影響が大きくなり、負荷電流が小さいと影響が小さくなります。ハイ・インピーダンス負荷では、影響を無視することができます。DC クロストークを小さくするために、複数の V_{DD} ピンと V_{SS} ピンを設けてあります。

出力電圧セトリング・タイム

フルスケール入力変化に対して、DAC 出力が規定のレベルまでに安定するために要する時間を表します。

デジタルからアナログへのグリッチ・エネルギー

これは、大きなコード変化があったときにアナログ出力に混入するエネルギーの大きさを表します。グリッチの面積として規定され nV-s で表示されます。0x7FFF と 0x8000 (AD5360) との間、または 0x1FFF と 0x2000 (AD5361) との間で DAC レジスタ・データをトグルさせて測定します。

チャンネル間アイソレーション

チャンネル間アイソレーションは、1 つの DAC リファレンス入力から現れる入力信号の一部を意味します。この一部の信号は、別のリファレンス電圧で動作している別の DAC 出力から混入したものです。ミッドスケールで測定し、デシベルで表します。

DAC 間クロストーク

DAC から DAC へのクロストークは、デジタル変化とそれに続く別のコンバータでのアナログ出力変化の両方に起因して、別のコンバータ出力に発生するグリッチ・インパルスで表されます。nV-s で表わします。

デジタル・クロストーク

デジタル・クロストークは、別のコンバータの DAC レジスタでのコード変化に起因して、ある 1 個のコンバータの出力に混入するグリッチ・インパルスとして定義され、nV-s で表示されます。

デジタル・フィードスルー

デバイスが選択されていないときに、デバイスのデジタル入力での高周波ロジック動作がデバイスを超えて、およびデバイスを通って容量結合して、VOUTx ピンにノイズとして現れることを意味します。電源ラインとグラウンド・ラインを経由して結合することもあります。このノイズがデジタル・フィードスルーです。

出力ノイズ・スペクトル密度

これは、内部で発生されたランダム・ノイズの大きさを表します。ランダム・ノイズは、スペクトル密度(√Hz あたりの電圧)で表されます。全 DAC にミッドスケールを入力し、出力のノイズを測定し、nV/√Hz で表されます。

機能説明

DACアーキテクチャ

AD5360/AD5361 は、16 個の DAC チャンネルと 16 個の出力アンプを 1 個のパッケージに内蔵しています。1 個あたりの DAC チャンネルのアーキテクチャは、AD5360 では 16 ビットの抵抗ストリング型 DAC および AD5361 では 14 ビット DAC、さらにそれに続く出力バッファ・アンプから構成されています。抵抗ストリング・セクションは、VREF0 または VREF1 から AGND までの等しい値の抵抗の単純なストリングです。このタイプのアーキテクチャでは、DAC の単調性が保証されています。DAC レジスタにロードされる 16/14 ビットのバイナリ・デジタル・コードが、電圧を取り出すストリング上のノードを決め、取り出されたこの電圧が出力アンプに入力されます。出力アンプは DAC 出力電圧を 4 倍に増幅します。公称出力振幅は 3 V リファレンス電圧では 12 V、5 V リファレンス電圧では 20 V です。

チャンネル・グループ

AD5360/AD5361 の 16 個の DAC チャンネルは、8 チャンネルからなる 2 つのグループに分けられています。グループ 0 の 8 個の DAC はリファレンス電圧 VREF0 を使用しています。グループ 1 はリファレンス電圧 VREF1 を使用しています。各グループは専用の信号グラウンド・ピンを持っています。

表 6. AD5360/AD5361 のレジスタ

Register Name	Word Length in Bits	Description
X1A (group) (channel)	16 (14)	Input Data Register A, one for each DAC channel.
X1B (group) (channel)	16 (14)	Input Data Register B, one for each DAC channel.
M (group) (channel)	16 (14)	Gain trim register, one for each DAC channel.
C (group) (channel)	16 (14)	Offset trim register, one for each DAC channel.
X2A (group) (channel)	16 (14)	Output Data Register A, one for each DAC channel. These registers store the final, calibrated DAC data after gain and offset trimming. They are not readable or directly writable.
X2B (group) (channel)	16 (14)	Output Data Register B, one for each DAC channel. These registers store the final, calibrated DAC data after gain and offset trimming. They are not readable or directly writable.
DAC (group) (channel)		Data registers from which the DACs take their final input data. The DAC registers are updated from the X2A or X2B registers. They are not readable or directly writable.
OFS0	14	Offset DAC 0 data register, sets offset for Group 0.
OFS1	14	Offset DAC 1 data register, sets offset for Group 1.
Control	5	Control register.
Monitor	6	Monitor enable and configuration register.
GPIO	2	GPIO configuration register.

表 7. AD5360/AD5361 入力レジスタのデフォルト値

Register Name	AD5360 Default Value	AD5361 Default Value
X1A, X1B	0x8000	0x2000
M	0xFFFF	0x3FFF
C	0x8000	0x2000
OFS0, OFS1	0x2000	0x2000
Control	0x00	0x00
\bar{A}/B Select 0 and \bar{A}/B Select 1	0x00	0x00

A/B レジスタとゲイン/オフセットの調整

各 DAC チャンネルには 7 個のデータ・レジスタがあります。実際の DAC データ・ワードは、コントロール・レジスタ内の A/B ビットの設定に応じて、X1A または X1B 入力レジスタに書込むことができます。A/B ビットが 0 の場合、データは X1A レジスタに書込まれます。A/B ビットが 1 の場合、データは X1B レジスタに書込まれます。この 1 ビットはグローバル制御であるため、デバイス内の各 DAC チャンネルを制御することに注意してください。ある書込みは X1A レジスタへ、別の書込みは X1B レジスタへというように、チャンネルごとにデバイスを設定することはできません。

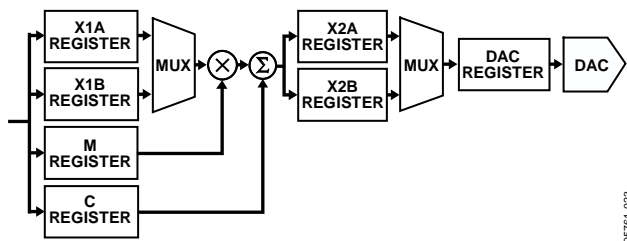


図 21. 各 DAC チャンネルに対応するデータ・レジスタ

各 DAC チャンネルにはゲイン(M)レジスタとオフセット(C)レジスタがあるため、これらを使ってシグナル・チェーン全体のゲイン誤差とオフセット誤差を調整することができます。X1A レジスタからのデータは、M レジスタと C レジスタの値で制御されるデジタル乗算器と加算器で演算されます。キャリブレーションされた DAC データは X2A レジスタに保存されます。同様に、X1B レジスタからのデータは、デジタル乗算器と加算器で演算され、X2B レジスタに保存されます。

各チャンネルの乗算器と加算器のシンボルが示してありますが、デバイス内には乗算器と加算器は各 1 個だけ存在し、すべてのチャンネル間で共用されます。これは、レジスタ更新レートのセクションで説明するように、複数のチャンネルを 1 回で更新する際に更新速度に影響を与えます。

X1A レジスタへデータを書込むごとに、あるいは A/B コントロール・ビット = 0 で M レジスタまたは C レジスタへデータを書込むごとに、X2A データが再計算され、X2A レジスタが自動的に更新されます。同様に、データを X1B へ、あるいは A/B = 1 で M または C へ、それぞれ書込むごとに、X2B が更新されます。X2A レジスタと X2B レジスタを読み出すことはできず、ユーザが直接書込むこともできません。

X2A レジスタと X2B レジスタからのデータ出力は、マルチプレクサを介して最終 DAC レジスタに渡されます。8 個の DAC の各グループに対応している 8 ビットの A/B セレクト・レジスタは、各 DAC が X2A レジスタまたは X2B レジスタのいずれからデータを受け取るかを制御します。このレジスタのビットが 0 の場合、DAC はデータを X2A レジスタから受け取ります。1 の場合、DAC はデータを X2B レジスタから受け取ります(ビット 0~ビット 7 がそれぞれ DAC 0~DAC 7 を制御します)。

2 つのレジスタに 16 ビットあるため、チャンネルごとに、各 DAC が X2A レジスタまたは X2B レジスタのいずれからデータを受け取るかを指定できることに注意してください。A/B セレクト・レジスタ内のすべてのビットを 0 または 1 に設定するグローバル・コマンドも用意してあります。

各 DAC レジスタが A/B セレクト・レジスタの設定に応じて X2A レジスタまたは X2B レジスタから更新される際に、LDAC をロー・レベルにすることにより、AD5360/AD5361 内のすべての DAC を同時に更新することができます。DAC レジスタは、ユー

ザから読み出すことはできません。また直接書込むこともできません。

オフセット DAC

各 DAC のゲインとオフセットの調整の他に、14 ビットのオフセット DAC がグループ 0 とグループ 1 に 1 個ずつ合計 2 個あります。これらを使うと、これらに接続されているすべての DAC の出力範囲に、所定の範囲内でオフセットを与えることができます。ヘッドルームの制限に従い、グループ 0 および/またはグループ 1 の出力範囲を正のユニポーラ、負のユニポーラ、または 0 V を中心とする対称または非対称のバイポーラに設定することができます。AD5360/AD5361 内の DAC は、出荷時にオフセット DAC にデフォルト値を設定した状態で設定されています。この設定は、デフォルトの出力範囲と振幅に対して最適なオフセット性能とゲイン性能を与えます。

オフセット DAC の値を変えて出力範囲を調整する際に、オフセット DAC のゲイン誤差のために余分なオフセットが導入されます。オフセット量は、リファレンス電圧の大きさと、デフォルト値からオフセット DAC 値が移動した大きさに依存します。このオフセットを表 1 に示します。ワーストケース・オフセットは、オフセット DAC が正または負のフルスケールのときに発生します。この値は、メイン DAC チャンネルに存在するオフセット値に加算して、そのチャンネル全体のオフセット値を表示することができます。多くの場合、チャンネルの C レジスタに適切な値を設定することにより、オフセットを除去することができます。オフセット DAC により発生した余分なオフセットは、オフセット DAC がデフォルト値から変更された場合にのみ考慮する必要があります。図 22 に、使用するリファレンス値に応じて、オフセット DAC にロードできる許容コード範囲を示します。5 V リファレンスの場合、オフセット DAC に 8192 (0x2000) より大きい値を設定することはできません。

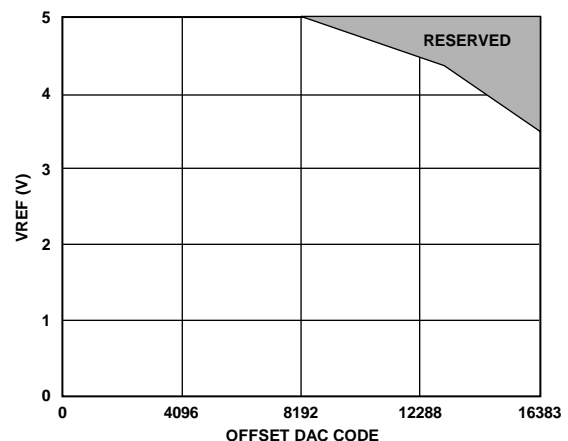


図 22. オフセット DAC のコード範囲

出力アンプ

出力アンプは、正電源の下側 1.4 V まで、および負電源の上側 1.4 V まで振れることができるため、これが与えられたリファレンス電圧に対して出力をオフセットできる限界を定めます。例えば、最大電源電圧が±16.5 V であるため、20 V のユニポーラ出力範囲を持つことはできません。

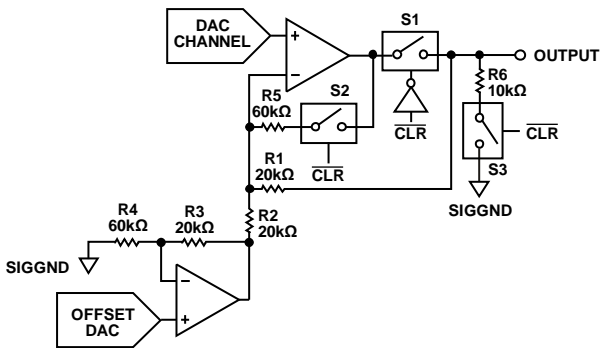


図 23. 出力アンプとオフセット DAC

図 23 に、DAC 出力アンプとオフセット DAC への接続を示します。パワーアップ時、S1 はオープンになり、アンプを出力から切り離します。S3 は閉じて、出力が SIGGND にプルダウンされます。S2 も閉じて、出力アンプがオープン・ループになるのを防止します。パワーアップ時に CLR がロー・レベルになると、CLR がハイ・レベルになるまで、出力はこの状態に留まります。DAC レジスタを設定することができるため、CLR がハイ・レベルになったとき、出力は設定された値になります。パワーアップ時に CLR をハイ・レベルにしても、 $V_{DD} > 6\text{ V}$ かつ $V_{SS} < -4\text{ V}$ で、さらに初期化シーケンスが完了するまで、出力はこの状態を維持します。その後、出力はパワーオン・デフォルト値になります。

伝達関数

AD5360/AD5361 内の DAC の出力電圧は、入力レジスタの値、M レジスタと C レジスタの値、オフセット DAC の値に依存します。AD5360/AD5361 の伝達関数を次のセクションに示します。

AD5360 の伝達関数

入力コードは DAC に入力される X1A レジスタまたは X1B レジスタの値です (X1A、X1B のデフォルト・コード = 32,768)。

$$DAC_CODE = INPUT_CODE \times (M + 1)/2^{16} + C - 2^{15}$$

DAC 出力電圧

$$V_{OUT} = 4 \times V_{REF} \times (DAC_CODE - (OFFSET_CODE \times 4))/2^{16} + V_{SIGGND}$$

ここで、

DAC_CODE は 0~65,535 の範囲である必要があります。

$V_{REF} = 3.0\text{ V}$ 、12 V 振幅の場合。

$V_{REF} = 5.0\text{ V}$ 、20 V 振幅の場合。

M = ゲイン・レジスタのコード - デフォルト・コード = $2^{16} - 1$ 。

C = オフセット・レジスタのコード - デフォルト・コード = 2^{15} 。

OFFSET_CODE は、オフセット DAC にロードされるコード。この DAC は 14 ビット・デバイスであるため、伝達関数内で 4 倍されます。パワーアップ時に、オフセット DAC にロードされるデフォルト・コードは 8192 (0x2000) です。10 V リファレンスの場合、-10 V ~ +10 V の振幅になります。

AD5361 の伝達関数

入力コードは DAC に入力される X1A レジスタまたは X1B レジスタの値です (X1A、X1B のデフォルト・コード = 8192)。

$$DAC_CODE = INPUT_CODE \times (M + 1)/2^{14} + C - 2^{13}$$

DAC 出力電圧

$$V_{OUT} = 4 \times V_{REF} \times (DAC_CODE - OFFSET_CODE)/2^{14} + V_{SIGGND}$$

ここで、

DAC_CODE は 0~16,383 の範囲である必要があります。

$V_{REF} = 3.0\text{ V}$ 、12 V 振幅の場合。

$V_{REF} = 5.0\text{ V}$ 、20 V 振幅の場合。

M = ゲイン・レジスタのコード - デフォルト・コード = $2^{14} - 1$ 。

C = オフセット・レジスタのコード - デフォルト・コード = 2^{13} 。

OFFSET_CODE は、オフセット DAC にロードされるコード。パワーアップ時に、オフセット DAC にロードされるデフォルト・コードは 8192 (0x2000) です。5 V リファレンスの場合、-10 V ~ +10 V の振幅になります。

リファレンスの選択

AD5360/AD5361 には、リファレンス入力ピンが 2 本あります。リファレンス・ピンに加えられる電圧によって、VOUT0~VOUT15 の出力電圧振幅が決定されます。VREF0 が VOUT0~VOUT7 (グループ 0) の電圧振幅を、VREF1 が VOUT8~VOUT15 (グループ 1) の電圧振幅を、それぞれ決定します。各 VREF ピンに加えるリファレンス電圧は、必要に応じて異なることができるので、8 チャンネルの各グループが異なる電圧振幅を持つことができます。各チャンネルのオフセット・レジスタとゲイン・レジスタ、およびオフセット DAC を設定することにより、出力電圧の範囲と振幅を調整することができます。オフセット機能とゲイン機能を使わない (すなわち M レジスタと C レジスタをデフォルト値のままに維持する) 場合、所要リファレンス・レベルは次のように計算されます。

$$V_{REF} = (V_{OUT_MAX} - V_{OUT_MIN})/4$$

AD5360/AD5361 のオフセット機能とゲイン機能を使う場合、所要出力範囲は少し異なります。選択する出力範囲ではシステムのオフセット誤差とゲイン誤差を考慮する必要があり、これらを調整して除去する必要があります。したがって、選択する出力範囲は実際に必要とする範囲より広い必要があります。

所要リファレンス・レベルは次のように計算されます。

1. VOUT の公称出力範囲を決めます。
2. フル出力信号レンジに必要とされる最大オフセット振幅と最大ゲインを決定します。
3. 予想される最大オフセット誤差とゲイン誤差を含む、VOUT の新しい最大出力範囲を計算します。
4. 新しい所要 VOUT_MAX と VOUT_MIN を選択して、公称値を中心とする VOUT 限界値を維持します。VDD と VSS は十分なヘッドルームを確保する必要があることに注意してください。
5. VREF 値を $V_{REF} = (V_{OUT_MAX} - V_{OUT_MIN})/4$ から求めます。

リファレンス電圧の選択例

公称出力範囲 = 20 V (-10 V ~ +10 V)

オフセット誤差 = ± 100 mV

ゲイン誤差 = $\pm 3\%$

SIGGND = AGND = 0 V

ゲイン誤差 = $\pm 3\%$

最大正ゲイン誤差 = +3%

出力範囲 (ゲイン誤差を含む) = $20 + 0.03 (20) = 20.6$ V

オフセット誤差 = ± 100 mV

最大オフセット誤差範囲 = $2 (100 \text{ mV}) = 0.2$ V

出力範囲 (ゲイン誤差とオフセット誤差を含む) = 20.6 V
+ 0.2 V = 20.8 V

VREF の計算

実際の出力範囲 = 20.6 V、すなわち -10.3 V ~ +10.3 V (中心)

$VREF = (10.3 \text{ V} + 10.3 \text{ V}) / 4 = 5.15$ V

このソリューションから不便なリファレンス・レベルが得られる場合、ユーザは次のいずれかの方法を採用することができます。

- 抵抗分周器を使って、便利で高いリファレンス・レベルを所要レベルへ分圧します。
- VREF 以上の便利なリファレンス・レベルを選択し、ゲイン・レジスタとオフセット・レジスタを変更して、デジタル的にリファレンスを下げます。この方法では、ほぼすべての便利なリファレンス・レベルを使用できますが、伝達関数の縮めすぎで性能が低下することがあります。
- これらの 2 つの方法の組み合わせを使います。

キャリブレーション

AD5360/AD5361 上でシステム・キャリブレーションを行って、ゲイン誤差とオフセット誤差を 1 LSB 以下にすることができます。この誤差の除去は、M レジスタと C レジスタの新しい値を計算して再設定することにより行われます。

ゼロスケール誤差とフルスケール誤差の除去

ゼロスケール誤差は、次のようにして除去できます。

- 出力を最小値に設定します。
- 実際の出力電圧と所要値を比較します。これにより、ゼロスケール誤差が得られます。
- 誤差に相当する LSB 数を計算し、この値を C レジスタのデフォルト値に加算します。負のゼロスケール誤差のみが除去されることに注意してください。

フルスケール誤差は、次のようにして除去できます。

- ゼロスケール誤差を測定します。
- 出力を最大値に設定します。
- 実際の出力電圧と所要値を比較します。この誤差をゼロスケール誤差に加算します。これが振幅誤差で、フルスケール誤差を含んでいます。
- 振幅誤差に相当する LSB 数を計算し、M レジスタのデフォルト値からこの値を減算します。正のフルスケール誤差のみが除去されることに注意してください。

ゼロスケール誤差とフルスケール誤差が計算されるまで、M レジスタと C レジスタを設定しないようにする必要があります。

AD5360 のキャリブレーション例

この例では、-10 V ~ +10 V が所要出力と仮定します。DAC 出力を -10 V に設定しますが、-10.03 V と測定されています。したがって、ゼロスケール誤差は -30 mV です。

$$1 \text{ LSB} = 20 \text{ V} / 65,536 = 305.176 \mu\text{V}$$

$$30 \text{ mV} = 98 \text{ LSB}$$

これで、フルスケール誤差が除去できます。出力を +10 V に設定し、+10.02 V と測定されます。フルスケール誤差は +20 mV になります。振幅誤差は $+20 \text{ mV} - (-30 \text{ mV}) = +50 \text{ mV}$ になります。

$$+50 \text{ mV} = 164 \text{ LSB}$$

この誤差は次のようにして、除去できます。

- 98 LSB を C レジスタのデフォルト値に加算します: $(32,768 + 98) = 32,866$ 。
- 32,866 を C レジスタに書込みます。
- 164 LSB を M レジスタのデフォルト値から減算します: $(65,535 - 164) = 65,371$ 。
- 65,371 を M レジスタに書込みます。

その他のキャリブレーション

前のセクションで説明した技術は、大部分のアプリケーションでゼロスケール誤差とフルスケール誤差を除去する十分な方法ですが、誤差が十分に除去できないという制約があります。たとえば、オフセット(C)レジスタは負のゼロスケール誤差から発生するオフセットの削減にのみ使用できることです。正のオフセットは除去できません。同様に、最大電圧が理論値より小さい場合、すなわちフルスケール誤差が負の場合、ゲイン(M)レジスタを使ってゲインを増やして、誤差を補償することはできません。

これらの制約は、リファレンス値を大きくすることにより克服することができます。リファレンスが 2.5 V の場合、10 V の振幅が実現できます。AD5360 または AD5361 の理論電圧範囲は -5 V ~ +5 V です。2.6 V のリファレンスを使うと、範囲を -5.2 V ~ +5.2 V に広げることができます。明らかに、この場合、オフセット誤差とゲイン誤差が小さいので、M レジスタと C レジスタを使って、負電圧を -5 V へ持ち上げて最大電圧を +5 V に下げることにより最も正確な値を得ることができます。

リセット機能

リセット機能は $\overline{\text{RESET}}$ ピンにより起動されます。 $\overline{\text{RESET}}$ の立上がりエッジで、AD5360/AD5361 のステート・マシンがリセット・シーケンスを開始して、X、M、C の各レジスタをデフォルト値にリセットします。このシーケンスには 300 μs 要し、この期間中デバイスへの書き込みはできません。パワーアップ後、レジスタを正しく初期化するため、できるだけ速やかに $\overline{\text{RESET}}$ をハイ・レベルにすることが推奨されます。

リセット・シーケンスが完了すると ($\overline{\text{CLR}}$ がハイ・レベル)、DAC 出力はデフォルト・レジスタ設定が指定する電位 (SIGGNDx) になります。X、M、または C の各レジスタが更新されて、 $\overline{\text{LDAC}}$ がロー・レベルになるまで、DAC 出力は SIGGNDx を維持します。少なくとも 30 ns 間 $\overline{\text{RESET}}$ をロー・レベルにした後ハイ・レベルに戻すと、AD5360/AD5361 をデフォルト状態に戻すことができます。リセット機能は立上がりエッジで開始されるため、 $\overline{\text{RESET}}$ をロー・レベルにするだけでは AD5360/AD5361 の動作に影響しないことに注意してください。

クリア機能

$\overline{\text{CLR}}$ はアクティブ・ロー入力であり、通常動作ではハイ・レベルにしておく必要があります。 $\overline{\text{CLR}}$ ピンには 500 k Ω の内部プルダウン抵抗がついています。 $\overline{\text{CLR}}$ をロー・レベルにすると、各 DAC 出力バッファステージ ($\text{VOUT0} \sim \text{VOUT15}$) への入力は、該当する SIGGNDx ピンを使って外部から設定された電位に切り替えられます。 $\overline{\text{CLR}}$ がロー・レベルの間、すべての $\overline{\text{LDAC}}$ パルスは無視されます。 $\overline{\text{CLR}}$ がハイ・レベルに戻ると、DAC 出力は前の値に戻ります。入力レジスタの値と DAC レジスタ 0~DAC レジスタ 15 の値は、 $\overline{\text{CLR}}$ がロー・レベルになっても影響を受けません。出力にグリッチが発生するのを防止するため、オフセット DAC へ書き込みを行って出力振幅を調整するたびに、 $\overline{\text{CLR}}$ をロー・レベルにする必要があります。

BUSY 機能と LDAC 機能

新しいデータに対応する X1、C、M の各レジスタに書き込むたびに、X2 (A または B) レジスタの値が計算されます。X2 の計算中、BUSY 出力はロー・レベルになります。BUSY がロー・レベルの間、X1、M、または C の各レジスタへの新しいデータの書き込みを続けることができますが、DAC 出力は更新できません(詳細については、レジスタ更新レートのセクション参照)。

BUSY ピンは双方向ピンであり、50 k Ω の内部プルアップ抵抗がついています。複数の AD5360 デバイスまたは AD5361 デバイスを 1 つのシステムで使用する場合には、BUSY ピンを相互に接続することができます。他のすべての DAC がレディになるまで、いずれのデバイス内の DAC も更新できないことが要請される場合には、この機能が便利です。各デバイスが X2 (A または B) レジスタの更新を完了すると、BUSY ピンを解除します。あるデバイスが X2 レジスタの更新を完了していない場合には、そのデバイスが BUSY をロー・レベルにするため、LDAC がロー・レベルになるのが遅延されます。

$\overline{\text{LDAC}}$ 入力をロー・レベルにすると、DAC 出力は更新されます。BUSY がアクティブのときに $\overline{\text{LDAC}}$ をロー・レベルにすると、LDAC イベントが保存され、BUSY がハイ・レベルになると直ちに DAC レジスタが更新されます。 $\overline{\text{LDAC}}$ 入力をロー・レベルに固定することもできます。この場合、BUSY がハイ・レベルになると直ちに DAC 出力が更新されます。 $\overline{\text{A/B}}$ セレクト・レジスタに書き込みが行われるごとに、BUSY も約 600 ns 間ロー・レベルになります。

AD5360/AD5361 は、1 つのチャンネル、グループ内のすべてのチャンネル、グループ 0 とグループ 1 内の同じチャンネル、またはデバイス内の全チャンネルに対してデータの書き込みを可能にする柔軟なアドレッシング機能を持っています。これは、1 個、2 個、8 個、または 16 個の DAC レジスタ値を計算して更新することを意味しています。1 個の乗算器を 16 チャンネル間で共有しているため、この作業はシーケンシャルに実行する必要があります。したがって、BUSY パルスの継続時間は、更新するチャンネル数に応じて変わります。

表 8. BUSY のパルス幅

Action	BUSY Pulse Width ¹
Loading Input, C, or M to 1 Channel ²	1.5 μs maximum
Loading Input, C, or M to 2 Channels	2.1 μs maximum
Loading Input, C, or M to 8 Channels	5.7 μs maximum
Loading Input, C, or M to 16 Channels	10.5 μs maximum

¹ BUSY パルス幅 = ((チャンネル数 + 1) × 600 ns) + 300 ns。

² 1 チャンネルの更新には 1 μs (typ) を要します。

AD5360/AD5361 には追加機能があります。この機能を使うと、LDAC が最後にロー・レベルになった後に X2A レジスタまたは X2B レジスタに書き込みが済んでいない場合、これが済むまで DAC レジスタの更新を行わないことができます。通常、LDAC をロー・レベルにすると、 $\overline{\text{A/B}}$ セレクト・レジスタの設定に応じて、DAC レジスタには X2A レジスタまたは X2B レジスタ値がロードされます。ただし、X2A または X2B データが変更された場合にのみ、AD5360/AD5361 は DAC レジスタを更新するため、不要なデジタル・クロストークが発生しません。

BIN/2SCOMP ピン

$\overline{\text{BIN/2SCOMP}}$ ピンは、出力データ・フォーマット(オフセット・バイナリまたは 2 の補数)を指定します。このピンをロー・レベルにすると、データはストレート・バイナリになります。ハイ・レベルにすると、データは 2 の補数になります。このピンは X レジスタ、C レジスタ、オフセット DAC レジスタに対してのみ有効で、M レジスタとコントロールおよびコマンド・データは、ストレート・バイナリとして解釈されます。

温度センサー

内蔵の温度センサーは TEMP_OUT ピンに電圧を出力します。この電圧は摂氏温度に比例しています。温度センサーの精度(typ)は +25°C で $\pm 1^\circ\text{C}$ 、-40°C ~ +85°C の範囲で $\pm 5^\circ\text{C}$ です。公称出力電圧は 25°C で 1.46 V、4.4 mV/ $^\circ\text{C}$ で変化します。出力インピーダンスが小さく、自己発熱が小さく、かつ出力がリニアであるため、温度制御回路や A/D コンバータへのインターフェースが簡素化されます。

モニタ機能

AD5360/AD5361は、インターフェースを介してアドレス指定されるアナログ・マルチプレクサから構成されるチャンネル・モニタ機能を内蔵しているため、任意のチャンネル出力をこのピンに接続することができます。さらに、2つのモニタ入力(MON_IN0とMON_IN1)を持っており、これをMON_OUTに接続することができます。モニタ機能はモニタ・レジスタから制御されます。この機能を使うと、モニタ出力をイネーブルまたはディスエーブルすることができ、DACチャンネルまたはモニタ・ピンの1つを選択することができます。複数のモニタ出力を並列に接続して、1回に1つだけをイネーブルできるように、ディスエーブル時にモニタ出力がハイ・インピーダンスになります。表9に、モニタ機能に関係するコントロール・レジスタの設定を示します。

表9. コントロール・レジスタのモニタ機能

F5	F4	F3	F2	F1	F0	Function
0	X	X	X	X	X	MON_OUT disabled
1	X	X	X	X	X	MON_OUT enabled
1	0	0	0	0	0	MON_OUT = VOUT0
1	0	0	0	0	1	MON_OUT = VOUT1
1	0	1	1	1	1	MON_OUT = VOUT15
1	1	0	0	0	0	MON_OUT = MON_IN0
1	1	0	0	0	1	MON_OUT = MON_IN1

マルチプレクサは、アナログ・スイッチの直列接続として構成されています。このため、マルチプレクサの入力(VOUTxまたはMON_INx)からマルチプレクサの出力(MON_OUT)へ大きな電流が流れる可能性があるため、MON_OUTピンに接続するものはすべてハイ・インピーダンスにして、連続電流制限値を超えないようにする必要があります。MON_OUTピンにはバッファが付いていないため、このピンから流れる電流によりスイッチに電圧降下が発生します。これがモニタ対象の電圧に誤差を発生させます。精度が重要な場合には、MON_OUTピンにバッファを付けることが推奨されます。図20に、MON_OUT電流から発生する誤差(typ)を示します。

GPIOピン

AD5360/AD5361は、汎用I/Oピン(GPIO)を1本持っています。このピンは入力または出力に設定でき、シリアル・インターフェースを介してリードバックするか、または書込むことができます(出力として設定された場合)。このピンのアプリケーションとしては、ロジック信号やリミット・スイッチのステータスのモニタ、または外付けマルチプレクサの制御などがあります。GPIOピンは、スペシャル・ファンクション・コード001101を持つGPIOレジスタ(表14と表15参照)に対する書込みによって設定されます。ビットF1をセットすると、GPIOピンは出力になり、ビットF0でピンのハイ/ロー・レベルを指定します。0をビットF1とビットF0に書込むと、GPIOピンを入力に設定することができます。表16の該当するビットを使って読出し動作を行うと、GPIOピンのステータスを読出すことができます。このピンのステータスは、読出したレジスタのLSBで表示されます。

パワーダウン・モード

コントロール・レジスタのビット0を1に設定すると、AD5360/AD5361はパワーダウンします。これによりDACがターンオフされるため、消費電流を減らすことができます。DAC出力は、該当するSIGGND電位に接続されます。パワーダウン・モードでレジスタ値は変更されないため、パワーダウン・ビットが0にクリアされると、DACは前の電圧に戻ります。

サーマル・モニタ機能

チップ温度が130°Cを超えたとき、AD5360/AD5361がDACをパワーダウンするように設定することができます。コントロール・レジスタのビット1を1に設定すると、この機能がイネーブルされます(表15参照)。チップ温度が130°Cを超えると、AD5360/AD5361はサーマル・パワーダウン・モードになります。これは、コントロール・レジスタのパワーダウン・ビットをセットすることと同じです。AD5360/AD5361がサーマル・シャットダウン・モードになったことを表示するため、コントロール・レジスタのビット4が1に設定されます。AD5360/AD5361は、チップ温度が下がっても、コントロール・レジスタのビット1が0にクリアされるまで、サーマル・シャットダウン・モードに留まります。

トグル・モード

AD5360/AD5361はチャンネルごとに2個のX2レジスタ(X2AとX2B)を持っています。これらのレジスタを使うと、DAC出力を2つのレベル間で容易に切り替えることができます。この方法を使うと、マイクロプロセッサのオーバーヘッドを大幅に減らすことができます。この方法を使わないと、各チャンネルに個別に書込みを行う必要があります。X1A、X2A、M、またはCの各レジスタに書込みを行うと、計算エンジンは、該当するX2AまたはX2Bの値を計算するために所定の時間を必要とします。データ・ジェネレータのようなアプリケーションで、2つのレベル間でのみDAC出力の切り替えが必要な場合、計算時間を削減するどのような方法でも利点があります。データ・ジェネレータの例の場合、X1AレジスタとX1Bレジスタへ書込みを行った後に、各チャンネルにハイ・レベルとロー・レベルを設定するだけで済みます。X2AとX2Bの値が計算されて、該当するレジスタに保存されます。このため、計算遅延はセットアップのフェーズ、すなわち初期値の設定でのみ発生します。2つのレベル間でDAC出力をトグルするときには、関係するA/Bセレクト・レジスタに書込みを行って、MUX2レジスタ・ビットを設定するだけで済みます。さらに、レジスタごとに8個のMUX2コントロール・ビットがあるため、1回の書込みだけで8チャンネルを更新することができます。表17に、各DAC出力に対応するビットを示します。

シリアル・インターフェース

AD5360/AD5361 は、最大 50 MHz (読出し動作は 20 MHz) のクロック周波数で動作する高速 SPI を内蔵しています。デバイスに書き込みを行うときだけ、すなわち $\overline{\text{SYNC}}$ の立下がりエッジでのみ、インターフェースをパワーアップさせるため、デバイスの消費電力とチップ内のデジタル・ノイズを最小にすることができます。シリアル・インターフェースは、2.5 V ~ 3.6 V DV_{CC} 電源で動作する場合、2.5 V の LVTTTL と互換です。このインターフェースは、 $\overline{\text{SYNC}}$ (フレーム同期化入力)、SDI (シリアル・データ入力ピン)、SCLK (デバイスに対するデータの入出力クロック)、SDO (データ・リードバック用のシリアル・データ出力ピン) の 4 本のピンで制御されます。

SPI 書き込みモード

AD5360/AD5361 では、シリアル・インターフェースを使って、シリアル・インターフェースから直接アクセス可能な各レジスタすなわち X2A、X2B、DAC の各レジスタを除くすべてのレジスタに対してデータの書き込みが可能です。X2A レジスタと X2B レジスタは、X1A、X1B、M、C の各レジスタに書き込みを行ったときに更新され、DAC レジスタは、LDAC により更新されます。シリアル・ワード (表 10 または 表 11 参照) は 24 ビット長で、これらの内 16 ビットまたは 14 ビットがデータ・ビット、アドレス・ビットが 6 ビット、モード・ビットが 2 ビット (データの処理を指定) です。AD5361 では、2 ビットは未使用です。

シリアル・インターフェースは連続およびバースト (ゲーティングされた) シリアル・クロックで動作します。SDI に入力されるシリ

表 10. AD5360 シリアル・ワードのビット配置

I23	I22	I21	I20	I19	I18	I17	I16	I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
M1	M0	A5	A4	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

表 11. AD5361 シリアル・ワードのビット配置

I23	I22	I21	I20	I19	I18	I17	I16	I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1 ¹	I0 ¹
M1	M0	A5	A4	A3	A2	A1	A0	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0

¹ I1 と I0 は将来用途に予約済み、シリアル・ワード書き込みでは 0 を書き込む必要があります。これらのビットを読出すと、0 が返されます。

アル・データは、SCLK に入力されるクロック・パルスにより AD5360/AD5361 に入力されます。 $\overline{\text{SYNC}}$ の最初の立下がりエッジで書き込みサイクルが開始されます。24 ビットのデータを入力するためには、 $\overline{\text{SYNC}}$ をハイ・レベルに戻す前に、少なくとも 24 個の立下がりクロック・エッジを SCLK に入力する必要があります。24 個目の立下がりクロック・エッジの前に $\overline{\text{SYNC}}$ をハイ・レベルにすると、書き込み動作はアボートされます。

連続クロックを使用する場合、25 個目の立下がりクロック・エッジの前に $\overline{\text{SYNC}}$ をハイ・レベルにする必要があります。これにより、AD5360/AD5361 内部でクロックが停止されます。 $\overline{\text{SYNC}}$ がハイ・レベルに戻る前に、24 個より多くの立下がりクロック・エッジを入力すると、入力データは破壊されます。外部でゲーティングした正確に 24 個のクロック・パルスを使う場合は、24 個目の立下がりクロック・エッジの後の任意のタイミングで $\overline{\text{SYNC}}$ をハイ・レベルにすることができます。

アドレス指定された入力レジスタは、 $\overline{\text{SYNC}}$ の立上がりエッジで更新されます。次のシリアル転送を行うときは、 $\overline{\text{SYNC}}$ をロー・レベルに戻す必要があります。

SPIリードバック・モード

AD5360/AD5361では、シリアル・インターフェースを使って、シリアル・インターフェースから直接アクセス可能な各レジスタすなわち X2A、X2B、DACデータの各レジスタを除くすべてのレジスタからデータのリードバックが可能です。レジスタをリードバックするときは、最初に読出し対象のレジスタを AD5360/AD5361 に知らせる必要があります。これは、先頭の 2 ビットがスペシャル・ファンクション・コード 00 であるワードをデバイスに書込むことにより行われます。残りのビットにより、動作がリードバックか否かとリードバック対象レジスタが指定されます。あるいはコントロール・レジスタのようなスペシャル・ファンクション・レジスタへの書込みであるか否かが指定されます。

リードバック・コマンドがスペシャル・ファンクション・レジスタに書込まれると、選択したレジスタからデータが次のSPI動作でSDOピンへ出力されます。SDOピンは通常スリー・ステートですが、読出しコマンドが発行されると直ちに駆動状態になります。このピンは、レジスタ・データが出力されるまで駆動状態を維持します。読出しタイミング図については、図 5 を参照してください。タイミング条件 t_{22} (25 ns)があるため、読出し動作時のSPIインターフェースの最大速度は 20 MHzを超えないことに注意してください。

レジスタ更新レート

新しいデータに対応する X1、C、M の各レジスタに書込むたびに、X2A レジスタまたは X2B レジスタの値が計算されます。計算は 3 ステージのプロセスで実行されます。最初の 2 ステージはそれぞれ約 600 ns を要し、3 番目のステージは約 300 ns を要します。X1、C、または M の各レジスタへの書込みが完了すると、計算プロセスが開始されます。1 個の DAC チャンネルを更新する書込み動作では、最初のステージの計算が完了する前に、すなわち最初の書込み動作完了から 600 ns までに書込み動作が完了しない場合でも、別のレジスタへ自由に書込みを行うことができます。1 回の書込み動作でチャンネルのグループを更新する場合には、最初のステージの計算が各チャンネルごとに繰り返されるため、各チャンネルに 600 ns を要します。この場合、この時間が経過するまで次の書込み動作を完了することはできません。

パケット・エラーのチェック

ノイズの多い環境でデータが正しく受信されたことを確認するため、AD5360/AD5361は8ビット(CRC-8)サイクリック冗長性チェックを採用したエラー・チェック機能のオプションを提供します。AD5360/AD5361を制御するデバイスは、多項式 $C(x) = x^8 + x^2 + x^1 + 1$ を使って8ビット・チェックサムを生成する必要があります。このチェックサムはデータ・ワードの終わりに追加され、32ビットのデータがSYNCがハイ・レベルになる前にAD5360/AD5361へ送信されます。AD5360/AD5361が32ビットのデータ・フレームを受け取ると、SYNCがハイ・レベルになったときにエラー・チェックを実行します。チェックサムが有効な場合は、データが選択されたレジスタへ書込まれます。チェックサムが無効な場合は、データが無視され、パケット・エラー・チェック(PEC)出力がロー・レベルになり、コントロール・レジスタのビット3がセットされます。コントロール・レジスタを読出すと、このエラー・フラグが自動的にクリアされて、PECがハイ・レベルに戻ります。

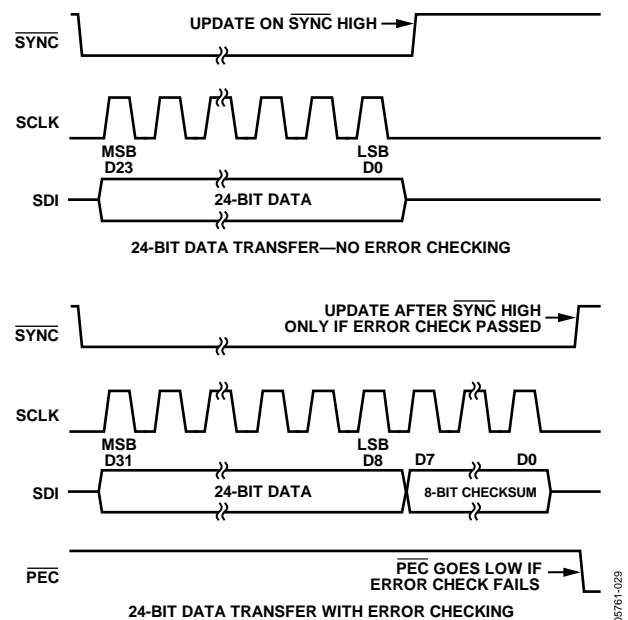


図 24. エラー・チェックありとなしの場合の SPI 書込み

チャンネル・アドレッシングとスペシャル・モード

モード・ビットが 00 でない場合、データ・ワードD15～D0 (AD5360)またはD13～D0 (AD5361)がデバイスへ書込まれます。アドレス・ビットA4～アドレス・ビットA0によって書込み対象チャンネルが、モード・ビットによってデータの書込み対象レジスタ(X1A、X1B、C、またはM)が、それぞれ指定されます(表 10 と表 11 参照)。データは、コントロール・レジスタのA/Bビットが 0 の場合にはX1Aレジスタへ、またはこのビットが 1 の場合にはX1Bレジスタへ、それぞれ書込まれます。

AD5360/AD5361 は、1 つのチャンネル、グループ内のすべてのチャンネル、グループ 0 とグループ 1 内の同じチャンネル、またはデバイス内の全チャンネルに対してデータの書込みを可能にする非常に柔軟なアドレッシング機能を持っています。表 13 にすべて

のアドレス・モードを示します。この表には、アドレス・ビット A4～アドレス・ビットA0 の組み合わせによって指定されるグループとチャンネルを示してあります。

表 12.モード・ビット

M1	M0	Action
1	1	Write DAC data (X) register
1	0	Write DAC offset (C) register
0	1	Write DAC gain (M) register
0	0	Special function, used in combination with other bits of a word

Address Bit A2 to Address Bit A0	Address Bit A4 to Address Bit A3			
	00	01	10	11
000	All groups, all channels	Group 0, Channel 0	Group 1, Channel 0	Unused
001	Group 0, all channels	Group 0, Channel 1	Group 1, Channel 1	Unused
010	Group 1, all channels	Group 0, Channel 2	Group 1, Channel 2	Unused
011	Unused	Group 0, Channel 3	Group 1, Channel 3	Unused
100	Unused	Group 0, Channel 4	Group 1, Channel 4	Unused
101	Unused	Group 0, Channel 5	Group 1, Channel 5	Unused
110	Unused	Group 0, Channel 6	Group 1, Channel 6	Unused
111	Unused	Group 0, Channel 7	Group 1, Channel 7	Unused

スペシャル・ファンクション・モード

モード・ビットが 00 の場合、スペシャル・ファンクション・モードが選択されます(表 14 参照)。シリアル・データ・ワードのビット I21～ビット I16 によって、スペシャル・ファンクションが選択され、残りのビットは、スペシャル・ファンクションの実行に必

要とされるデータであり、たとえば、データ・リードバックでのチャンネル・アドレスなどになります。

スペシャル・ファンクションのコードを 表 16 に示します。この表には、データ・リードバックのアドレスが示してあります。

表 14.スペシャル・ファンクション・モード

I23	I22	I21	I20	I19	I18	I17	I16	I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
0	0	S5	S4	S3	S2	S1	S0	F15	F14	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	F0

表 15.スペシャル・ファンクション・コード

Special Function Code						Data (F15 to F0)	Action
S5	S4	S3	S2	S1	S0		
0	0	0	0	0	0	0000 0000 0000 0000	NOP.
0	0	0	0	0	1	XXXX XXXX XXXX X [F2:F0]	Write control register. F4 = 1: temperature over 130°C. F4 = 0: temperature under 130°C. Read-only bit. This bit should be 0 when writing to the control register. F3 = 1: $\overline{\text{PEC}}$ error. F3 = 0: No PEC error. Reserved. Read-only bit. This bit should be 0 when writing to the control register. F2 = 1: select Register X1B for input. F2 = 0: select Register X1A for input. F1 = 1: enable temperature shutdown. F1 = 0: disable temperature shutdown. F0 = 1: soft power-down. F0 = 0: soft power-up.
0	0	0	0	1	0	XX [F13:F0]	Write data in F13 to F0 to OFS0 register.
0	0	0	0	1	1	XX [F13:F0]	Write data in F13 to F0 to OFS1 register.
0	0	0	1	0	0	Reserved	
0	0	0	1	0	1	See Table 16	Select register for readback.
0	0	0	1	1	0	XXXX XXXX [F7:F0]	Write data in F7 to F0 to $\overline{\text{A/B}}$ Select Register 0.
0	0	0	1	1	1	XXXX XXXX [F7:F0]	Write data in F7 to F0 to $\overline{\text{A/B}}$ Select Register 1.
0	0	1	0	0	0	Reserved	
0	0	1	0	0	1	Reserved	
0	0	1	0	1	0	Reserved	
0	0	1	0	1	1	XXXX XXXX [F7:F0]	Block write $\overline{\text{A/B}}$ select registers. F7 to F0 = 0: write all 0s (all channels use X2A register). F7 to F0 = 1: write all 1s (all channels use X2B register).
0	0	1	1	0	0	XXXX XXXX XX [F5:F0]	F5 = 1: monitor enable. F5 = 0: monitor disable. F4 = 1: monitor input pin selected by F0. F4 = 0: monitor DAC channel selected by F3:F0 (0000 = DAC0; 1111 = DAC15). F3 = not used if F4 = 1. F2 = not used if F4 = 1. F1 = not used. F0 = 0: MON_IN0 selected for monitoring (if F4 and F5 = 1). F0 = 1: MON_IN1 selected for monitoring (if F4 and F5 = 1).
0	0	1	1	0	1	XXXX XXXX XXXX XX [F1:F0]	GPIO configure and write. F1 = 1: GPIO is an output. Data to output is written to F0. F1 = 0: GPIO is an input. Data can be read from F0 on readback.

表 16. データ・リードバックのアドレス・コード¹

F15	F14	F13	F12	F11	F10	F9	F8	F7	Register Read
0	0	0	Bit F12 to Bit F7 select channel to be read back, Channel 0 = 001000 to Channel 15 = 010111						X1A Register
0	0	1							X1B Register
0	1	0							C Register
0	1	1							M Register
1	0	0	0	0	0	0	0	1	Control Register
1	0	0	0	0	0	0	1	0	OFS0 Data Register
1	0	0	0	0	0	0	1	1	OFS1 Data Register
1	0	0	0	0	0	1	0	0	Reserved
1	0	0	0	0	0	1	1	0	A/B Select Register 0
1	0	0	0	0	0	1	1	1	A/B Select Register 1
1	0	0	0	0	1	0	0	0	Reserved
1	0	0	0	0	1	0	0	1	Reserved
1	0	0	0	0	1	0	1	0	Reserved
1	0	0	0	0	1	0	1	1	GPIO Read (Data in F0) ²

¹ データ・リードバック機能に対してビット F6～ビット F0 は don't care。

² GPIO 読出しの場合、ビット F6～Bit F0 は 0。

表 17. A/B セレクト・レジスタで選択される DAC

A/B Select Register	Bits ¹							
	F7	F6	F5	F4	F3	F2	F1	F0
0	DAC7	DAC6	DAC5	DAC4	DAC3	DAC2	DAC1	DAC0
1	DAC15	DAC14	DAC13	DAC12	DAC11	DAC10	DAC9	DAC8

¹ このビットが 0 の場合、レジスタ X2A が選択されます。このビットが 1 の場合、レジスタ X2B が選択されます。

電源デカップリング

精度が重要な回路では、電源とグラウンド・リターンレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5360/AD5361 を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離して、ボードの一定領域にまとめて配置するように、デザインする必要があります。複数のデバイスが AGND と DGND の接続を必要とするシステム内で AD5360/AD5361 を使用する場合は、この接続は 1 ヶ所で行う必要があります。デバイスのできるだけ近くに星型のグラウンド・ポイントを構成する必要があります。複数のピン (V_{SS} 、 V_{DD} 、 DV_{CC}) を持つ電源の場合には、これらのピンを一緒に接続し、各電源を 1 回でデカップリングすることが推奨されます。

AD5360/AD5361 に対しては、 $10\mu\text{F}$ と $0.1\mu\text{F}$ の並列接続により十分な電源デカップリングをパッケージのできるだけ近くの電源に、理想的にはデバイスに直接に、接続する必要があります。 $10\mu\text{F}$ コンデンサはタンタルのビーズ型を使います。 $0.1\mu\text{F}$ コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗 (ESR) が小さく、かつ実効直列インダクタンス (ESI) が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンが AD5360/AD5361 の下を通過することは可能です。AD5360/AD5361 の電源ラインには、できるだけ太いパターンを使って低インピーダンス・パスを実現して、電源ライン上でのグリッチの効果を削減する必要があります。高速スイッチング信号はデジタル・グラウンドでシールドして、ボ

ード上の他の部分へノイズを放出しないようにし、さらにリファレンス入力付近を通らないようにします。すべての V_{REFx} ラインのノイズを小さくすることは重要です。

デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置します。これにより、ボードを通過するフィードスルーの効果を除去することができます。マイクロストリップ技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用にし、信号パターンはハンダ面に配置されます。

すべての薄型パッケージの場合と同様に、組み立て工程でパッケージを曲げたり、このパッケージの表面にポイント負荷を与えないように注意してください。

電源シーケンシング

電源を AD5360/AD5361 に接続する際、正または負の電源を加える前に、AGND ピンと DGND ピンを該当するグラウンド・プレーンへ接続することが重要です。大部分のアプリケーションでは、電源のグラウンド・ピンがグラウンド・プレーンを介して AD5360/AD5361 のグラウンド・ピンに接続されているため、これが問題になることはありません。AD5360/AD5361 をホット・スワップ・カードで使用する際には、正または負の電源を加える前に、グラウンド・ピンを該当するグラウンド・プレーンへ接続することが重要です。これは、アナログ・グラウンドまたはデジタル・グラウンド以外に向かって電流が流れるのを防止するために必要です。

インターフェース例

AD5360/AD5361 のSPIインターフェースは、業界標準のDSPとマイクロコントローラに容易にデバイスを接続できるように、デザインされています。図 25 に、AD5360/AD5361 をアナログ・デバイゼスのBlackfin[®] DSPに接続する方法を示します。Blackfinは、AD5360 またはAD5361 のSPIピンへ直接接続できるSPIポートを内蔵しています。また、インターフェースに接続されているデジタル入力ピンまたはデジタル出力ピンの状態の設定または読出しに使用できる設定可能なI/Oピンも内蔵しています。

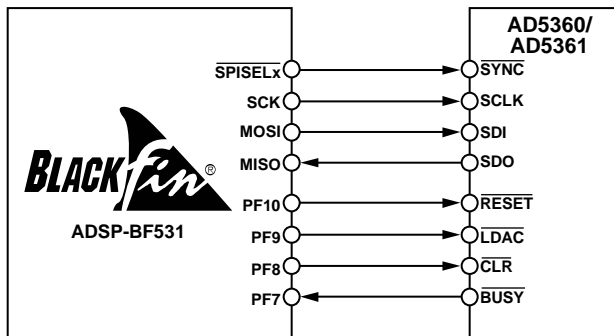


図 25.Blackfin DSP に対するインターフェース

05761-024

アナログ・デバイゼスのADSP-21065Lは、2 個のシリアル・ポート(SPORT)を内蔵する浮動小数点DSPです。図 26 に、1 個のSPORTを使ってAD5360 またはAD5361 を制御する方法を示します。この例では、送信フレーム同期(TFS)ピンが受信フレーム同期(RFS)ピンに接続されています。同様に、送信クロックと受信クロック(TCLKとRCLK)も接続されています。送信レジスタに書き込みを行うことによって、AD5360 またはAD5361 への書き込みを行うことができます。読出し動作を行うときは、先にAD5360/AD5361 へ書き込みを行って、読出し動作が要求されていることをデバイスに知らせます。NOP命令を使う 2 回目の書き込み動作によって、AD5360/AD5361 からデータが読出されます。DSPの受信割込みを使って、読出し動作が完了したタイミングを表示することができます。

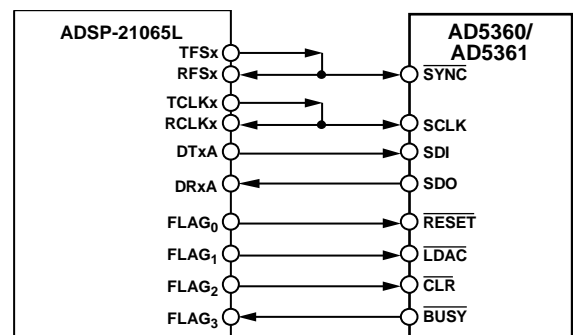
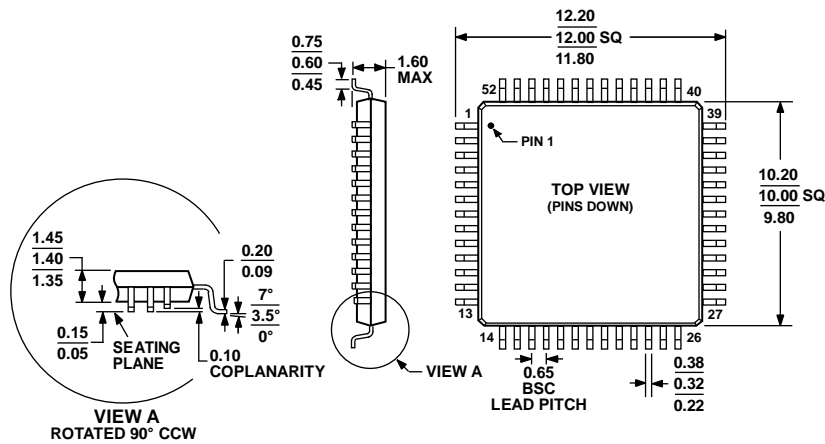


図 26.ADSP-21065L DSP に対するインターフェース

05761-025

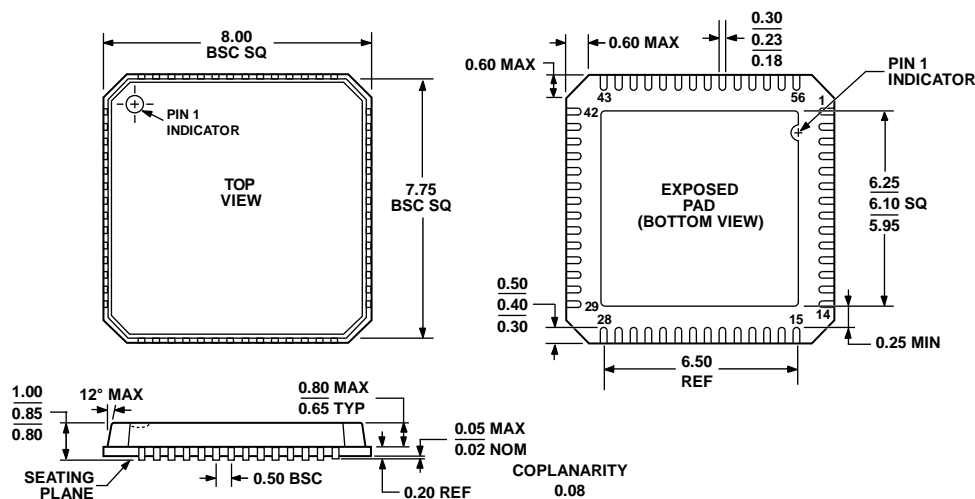
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-026-BCC

051706-A

図 27.52 ピン・ロー・プロファイル・クワッド・フラット・パッケージ[LQFP]
(ST-52)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-220-VLLD-2

112805-0

図 28.56 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
8 mm x 8 mm、極薄クワッド(CP-56-1)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD5360BSTZ ¹	-40°C to +85°C	52-Lead Low Profile Quad Flat Pack [LQFP]	ST-52
AD5360BSTZ-REEL ¹	-40°C to +85°C	52-Lead Low Profile Quad Flat Pack [LQFP]	ST-52
AD5360BCPZ ¹	-40°C to +85°C	56-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-56-1
AD5360BCPZ-REEL ¹	-40°C to +85°C	56-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-56-1
AD5361BSTZ ¹	-40°C to +85°C	52-Lead Low Profile Quad Flat Pack [LQFP]	ST-52
AD5361BSTZ-REEL ¹	-40°C to +85°C	52-Lead Low Profile Quad Flat Pack [LQFP]	ST-52
AD5361BCPZ ¹	-40°C to +85°C	56-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-56-1
AD5361BCPZ-REEL ¹	-40°C to +85°C	56-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-56-1
EVAL-AD5360EBZ ¹		Evaluation Board	
EVAL-AD5361EBZ ¹		Evaluation Board	

¹ Z = RoHS 準拠製品。