



# 2.7V~5.5V、140 $\mu$ A、SOT-23パッケージ、 レールtoレール電圧出力10ビットDAC

## データシート

## AD5310

### 特長

- シングル 10 ビット DAC
- 6 ピン SOT-23 および 8 ピン  $\mu$ SOIC パッケージ
- マイクロパワー動作：140 $\mu$ A @ 5V
- パワーダウン時の消費電流：200nA @ 5V、50nA @ 3V
- 電源電圧：2.7~5.5V
- 設計により単調増加性を保証
- 電源からリファレンスを生成
- 0Vにパワーオン・リセット
- 3種のパワーダウン機能
- シュミット・トリガ入力内蔵の低消費シリアル・インターフェース
- レール to レール動作のオンチップ出力バッファ・アンプ
- SYNC 割込み機能
- 車載アプリケーション用に認定済み

### アプリケーション

- バッテリー駆動の携帯型計測器
- ゲインとオフセットのデジタル調整
- プログラマブル電圧源および電流源
- プログラマブル減衰器

### 概要

AD5310<sup>1</sup>は 2.7V~5.5V の単電源で動作するシングル、10 ビット のバッファ電圧出力 D/A コンバータ (DAC) で、消費電力は 3V で 115 $\mu$ A です。そのオンチップ高精度出力アンプにより、レール to レールの出力スイングが可能です。AD5310 は、最大 30 MHz のクロック・レートで動作する汎用 3 線式シリアル・インターフェースを採用し、標準 SPI<sup>TM</sup>、QSPI<sup>TM</sup>、MICROWIRE<sup>®</sup>、および DSP の各インターフェース標準に対応しています。

AD5310 のリファレンスは電源入力から生成されるため、最大限の動的出力範囲を確保できます。このデバイスにはパワーオン・リセット回路が組み込まれており、パワーアップ時に DAC 出力が 0V になって、デバイスに有効な書込みが行われるまでその状態を維持します。また、パワーダウン機能も備えており、5V 動作時のデバイスの消費電流を 200 nA に抑えます。パワーダウン・モード時の出力負荷は、ソフトウェアで選べます。デバイスのパワーダウン・モードは、シリアル・インターフェースを経由して設定されます。

通常動作時も消費電力が低いことから、バッテリーを主電源とするポータブル装置には理想的なデバイスです。5V 動作時の消費電力は 0.7mW で、パワーダウン・モードではさらに 1 $\mu$ W まで下がります。

<sup>1</sup>特許出願中：米国特許出願番号 5684481 によって保護されています。

### 機能ブロック図

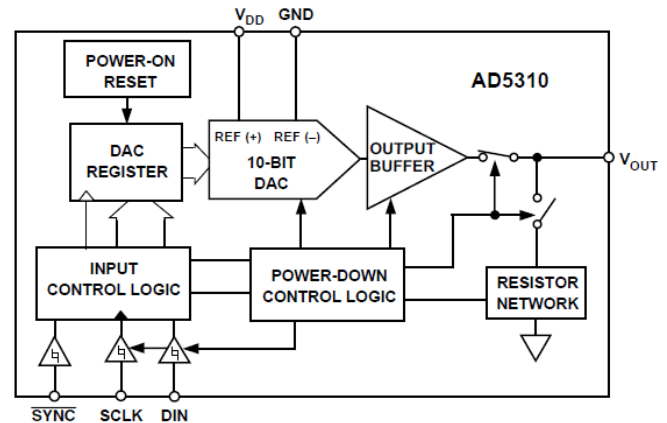


図 1.

AD5310 はピン互換 DAC ファミリーの 1 つで、AD5300 は 8 ビット・バージョン、AD5320 は 12 ビット・バージョンです。AD5300/AD5310/AD5320 は、6 ピン SOT-23 パッケージと 8 ピン  $\mu$ SOIC パッケージで提供されます。

### 製品のハイライト

- 6 ピン SOT-23 パッケージと 8 ピン  $\mu$ SOIC パッケージから選べます。
- 低消費電力、単電源動作。このデバイスは 2.7V~5.5V の単電源で動作し、通常、3V での消費電力は 0.35mW、5V でも 0.7mW であり、バッテリーを主電源とするアプリケーションに最適です。
- オンチップ出力バッファ・アンプにより、DAC 出力をレール to レールでスイングさせることができます。スルーレートは 1V/ $\mu$ s です。
- 電源からリファレンスを生成します。
- 最大 30 MHz のクロック速度で動作する高速シリアル・インターフェースは、消費電力を極めて低く抑える設計です。インターフェースは書込みサイクル時だけパワーアップします。
- パワーダウン機能。パワーダウン時の DAC の標準消費電流は 3V で 50 nA、5V で 200 nA です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。©2012 Analog Devices, Inc. All rights reserved.

## 目次

特長.....	1	出力アンプ.....	11
アプリケーション.....	1	シリアル・インターフェース.....	11
機能ブロック図.....	1	入力シフト・レジスタ.....	11
概要.....	1	<u>SYNC</u> 割込み.....	12
製品のハイライト.....	1	パワーオン・リセット.....	12
改訂履歴.....	2	パワーダウン・モード.....	12
仕様.....	3	マイクロプロセッサとのインターフェース.....	12
タイミング特性.....	4	アプリケーション情報.....	14
絶対最大定格.....	5	AD5310の電源にREF19xを使用する.....	14
ESDに関する注意.....	5	AD5310を使用したバイポーラ動作.....	14
ピン配置と機能の説明.....	6	光学絶縁インターフェースを使用したAD5310.....	14
代表的な性能特性.....	7	電源のバイパスとグラウンディング.....	15
用語の説明.....	10	外形寸法.....	16
動作原理.....	11	オーダー・ガイド.....	16
D/A部.....	11	自動車用製品.....	16
抵抗ストリング.....	11		

## 改訂履歴

### 7/12—Rev. A to Rev. B

Updated Format.....	Universal
Changes to Features.....	1
Change to Figure 9 Caption.....	7
Changes to AD5310 to ADSP-2101 Interface Section and Figure 27.....	12
Updated Outline Dimensions.....	16
Changes to Ordering Guide.....	16
Added Automotive Products Section.....	16

### 5/99—Rev. 0 to Rev. A

## 仕様

特に指定のない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、温度範囲 =  $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ 、 $R_L = 2\text{ k}\Omega$  (GND 接続)、 $C_L = 500\text{ pF}$  (GND 接続)、すべての仕様で  $T_{MIN} \sim T_{MAX}$ 。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>STATIC PERFORMANCE<sup>1</sup></b>					
Resolution	10			Bits	
Relative Accuracy			$\pm 4$	LSB	See Figure 5
Differential Nonlinearity			$\pm 0.5$	LSB	Guaranteed monotonic by design (see Figure 6)
Zero Code Error		5	40	mV	All 0s loaded to DAC register (see Figure 9)
Full-Scale Error		-0.15	-1.25	% of FSR	All 1s loaded to DAC register (see Figure 9)
Gain Error			$\pm 1.25$	% of FSR	
Zero Code Error Drift		-20		$\mu\text{V}/^{\circ}\text{C}$	
Gain Temperature Coefficient		-5		ppm of FSR/ $^{\circ}\text{C}$	
<b>OUTPUT CHARACTERISTICS<sup>2</sup></b>					
Output Voltage Range	0		$V_{DD}$	V	
Output Voltage Settling Time		6	8	$\mu\text{s}$	$\frac{1}{4}$ scale to $\frac{3}{4}$ scale change (100 hex to 300 hex)
Slew Rate		1		V/ $\mu\text{s}$	$R_L = 2\text{ k}\Omega$ ; $0\text{ pF} < C_L < 500\text{ pF}$ (see Figure 19)
Capacitive Load Stability		470		pF	$R_L = \infty$
		1000		pF	$R_L = 2\text{ k}\Omega$
Digital-to-Analog Glitch Impulse		20		nV-s	1 LSB change around major carry (see Figure 22)
Digital Feedthrough		0.5		nV-s	
DC Output Impedance		1		$\Omega$	
Short-Circuit Current		50		mA	$V_{DD} = 5\text{ V}$
		20		mA	$V_{DD} = 3\text{ V}$
Power-Up Time		2.5		$\mu\text{s}$	Coming out of power-down mode, $V_{DD} = 5\text{ V}$
		5		$\mu\text{s}$	Coming out of power-down mode, $V_{DD} = 3\text{ V}$
<b>LOGIC INPUTS<sup>2</sup></b>					
Input Current			$\pm 1$	$\mu\text{A}$	
$V_{INL}$ , Input Low Voltage			0.8	V	$V_{DD} = 5\text{ V}$
$V_{INL}$ , Input Low Voltage			0.6	V	$V_{DD} = 3\text{ V}$
$V_{INH}$ , Input High Voltage	2.4			V	$V_{DD} = 5\text{ V}$
$V_{INH}$ , Input High Voltage	2.1			V	$V_{DD} = 3\text{ V}$
Pin Capacitance			3	pF	
<b>POWER REQUIREMENTS</b>					
$V_{DD}$	2.7		5.5	V	
$I_{DD}$ (Normal Mode)					DAC active and excluding load current
$V_{DD} = 4.5\text{ V to } 5.5\text{ V}$		140	250	$\mu\text{A}$	$V_{IH} = V_{DD}$ and $V_{IL} = \text{GND}$
$V_{DD} = 2.7\text{ V to } 3.6\text{ V}$		115	200	$\mu\text{A}$	$V_{IH} = V_{DD}$ and $V_{IL} = \text{GND}$
$I_{DD}$ (All Power-Down Modes)					
$V_{DD} = 4.5\text{ V to } 5.5\text{ V}$		0.2	1	$\mu\text{A}$	$V_{IH} = V_{DD}$ and $V_{IL} = \text{GND}$
$V_{DD} = 2.7\text{ V to } 3.6\text{ V}$		0.05	1	$\mu\text{A}$	$V_{IH} = V_{DD}$ and $V_{IL} = \text{GND}$
Power Efficiency					
$I_{OUT}/I_{DD}$		93		%	$I_{LOAD} = 2\text{ mA}$ , $V_{DD} = 5\text{ V}$

<sup>1</sup> 直線性はコード範囲を 12 から 1011 までに縮小し、出力を無負荷として計算。

<sup>2</sup> これらの仕様については出荷テストを行っていませんが、設計により保証しています。

## タイミング特性

$V_{DD}=2.7\sim 5.5V$ 。特に指定のない限り、すべての仕様は  $T_{MIN}\sim T_{MAX}$  で規定。

表 2.

Parameter <sup>1, 2</sup>	Limit at $T_{MIN}, T_{MAX}$		Unit	Test Conditions/Comments
	$V_{DD} = 2.7 V$ to $3.6 V$	$V_{DD} = 3.6 V$ to $5.5 V$		
$t_1^3$	50	33	ns min	SCLK cycle time
$t_2$	13	13	ns min	SCLK high time
$t_3$	22.5	13	ns min	SCLK low time
$t_4$	0	0	ns min	$\overline{SYNC}$ to SCLK rising edge setup time
$t_5$	5	5	ns min	Data setup time
$t_6$	4.5	4.5	ns min	Data hold time
$t_7$	0	0	ns min	SCLK falling edge to $\overline{SYNC}$ rising edge
$t_8$	50	33	ns min	Minimum $\overline{SYNC}$ high time

<sup>1</sup> すべての入力信号は  $t_r=t_f=5ns/V$  ( $V_{DD}$  の 10~90%) で規定し、 $(V_{IL}+V_{IH})/2$  の電圧レベルからの時間とします。

<sup>2</sup> 図 2 を参照。

<sup>3</sup> 最大 SCLK 周波数は  $V_{DD} = 3.6 V\sim 5.5 V$  で 30 MHz、 $V_{DD} = 2.7 V\sim 3.6 V$  で 20 MHz。

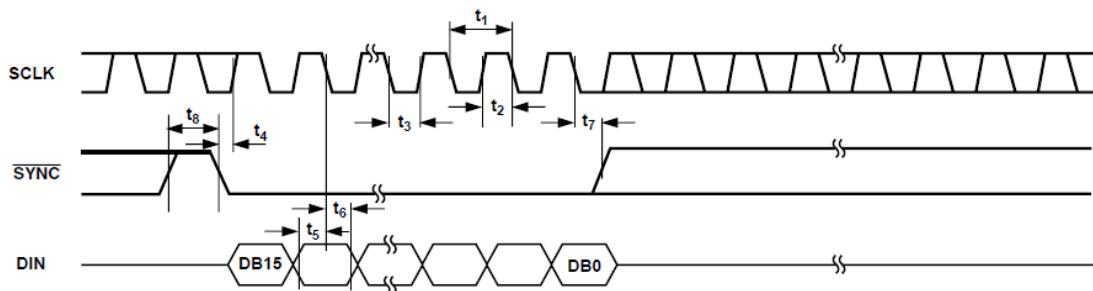


図 2. シリアル書き込み動作

## 絶対最大定格

特に指定のない限り  $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
$V_{DD}$ to GND	-0.3 V to +7 V
Digital Input Voltage to GND	-0.3 V to $V_{DD} + 0.3$ V
$V_{OUT}$ to GND	-0.3 V to $V_{DD} + 0.3$ V
Operating Temperature Range Industrial (B Version)	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature ( $T_J$ Max)	+150°C
SOT-23 Package	
Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$
$\theta_{JA}$ Thermal Impedance	240°C/W
Lead Temperature, Soldering	
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C
$\mu\text{SOIC}$ Package	
Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$
$\theta_{JA}$ Thermal Impedance	206°C/W
$\theta_{JC}$ Thermal Impedance	44°C/W
Lead Temperature, Soldering	
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置と機能の説明

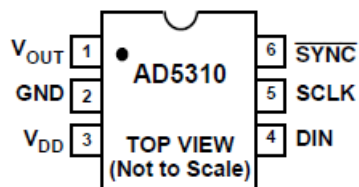


図 3. SOT-23

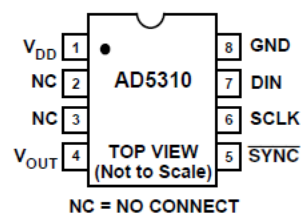


図 4. μSOIC

表 4. SOT-23 のピン機能の説明

ピン番号	記号	機能
1	V <sub>OUT</sub>	DAC からのアナログ出力電圧。出力アンプはレール to レールで動作します。
2	GND	デバイス上のすべての回路のグラウンド基準点。
3	V <sub>DD</sub>	電源入力。これらのデバイスは 2.7~5.5V で動作します。V <sub>DD</sub> を GND にデカップリングしてください。
4	DIN	シリアル・データ入力。このデバイスには、16 ビットのシフト・レジスタが内蔵されています。データは、シリアル・クロック入力の立下がりエッジでレジスタに入力されます。
5	SCLK	シリアル・クロック入力。シリアル・クロック入力の立下がりエッジで、データが入力シフト・レジスタに入力されます。データは最大 30MHz のレートで転送できます。
6	SYNC	レベル・トリガの制御入力 (アクティブ・ロー)。これは、入力データに対するフレーム同期信号です。SYNC がローレベルになると、入力シフト・レジスタがイネーブルになり、データは後続のクロックの立下がりエッジで転送されます。DAC は、16 番目のクロック・サイクルの後に更新されます。ただし、このエッジより前に SYNC がハイレベルになると、SYNC の立上がりエッジは割込みとして機能し、DAC は書き込みシーケンスを無視します。

代表的な性能特性

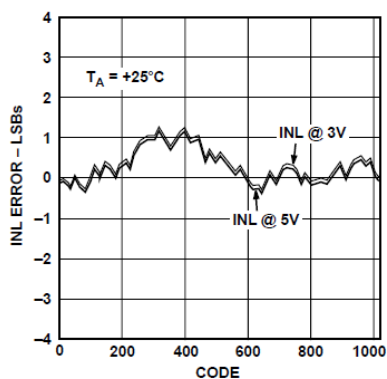


図 5. 代表的な INL

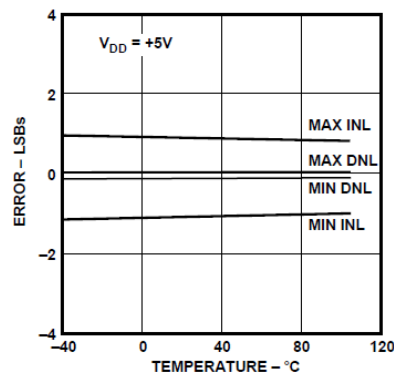


図 8. INL 誤差と DNL 誤差の温度特性

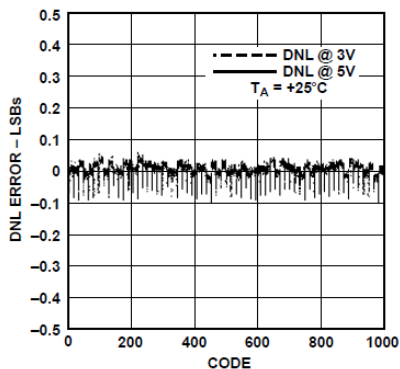


図 6. 代表的な DNL

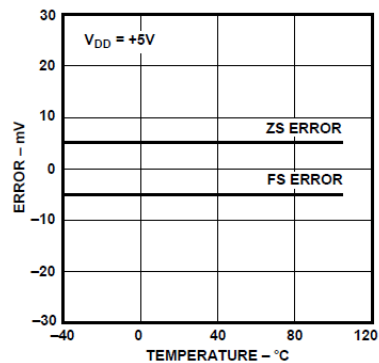


図 9. ゼロコード誤差とフルスケール誤差の温度特性

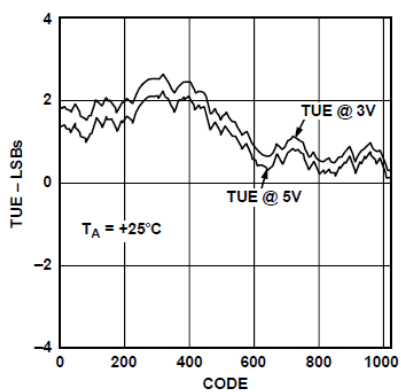


図 7. 代表的な総合未調整誤差

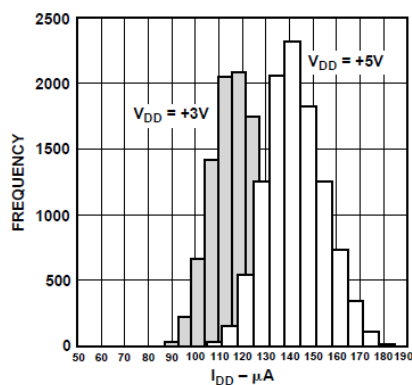


図 10.  $V_{DD} = 3V$  と  $V_{DD} = 5V$  における  $I_{DD}$  のヒストグラム

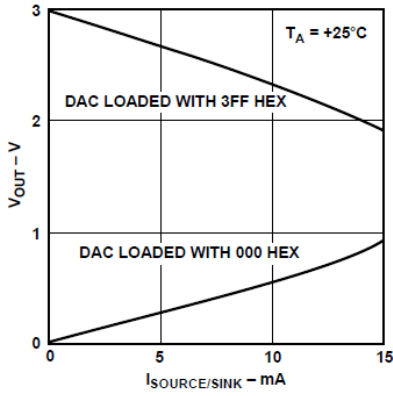


図 11.  $V_{DD} = 3\text{ V}$  でのソースおよびシンク電流能力

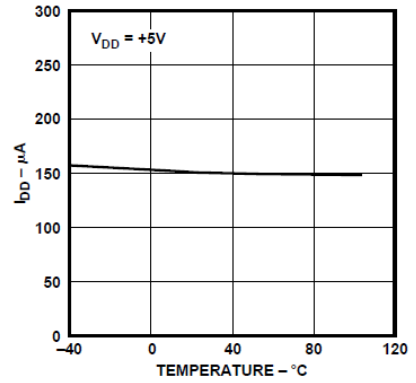


図 14. 電源電流の温度特性

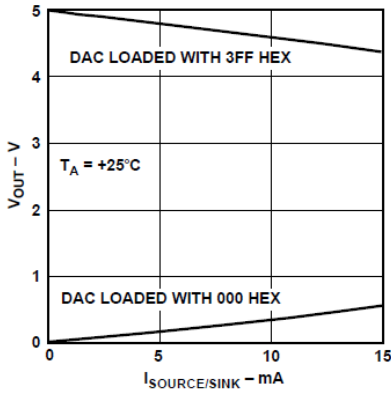


図 12.  $V_{DD} = 5\text{ V}$  でのソースおよびシンク電流能力

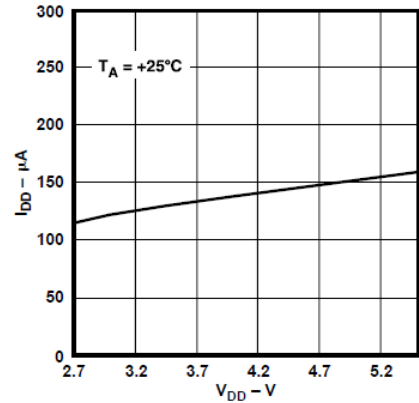


図 15. 電源電圧 対 電源電流

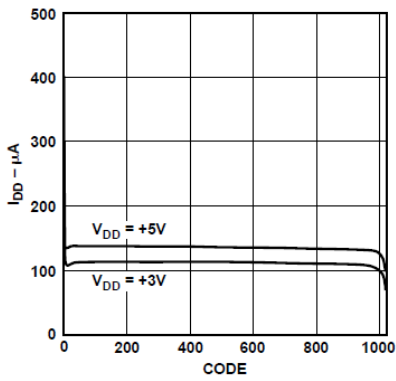


図 13. コード 対 電源電流

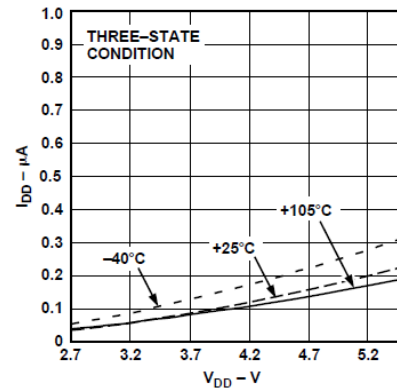


図 16. 電源電圧 対 パワーダウン電流



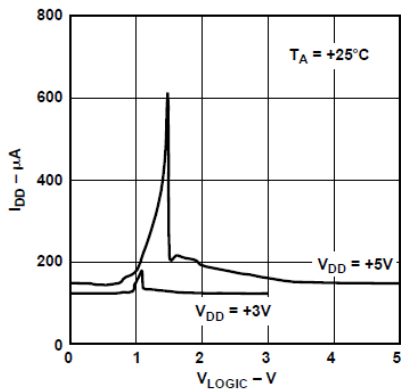


図 17. ロジック入力電圧 対 電源電流

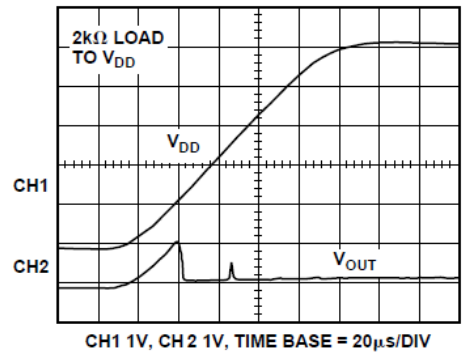


図 20. 0 V へのパワーオン・リセット

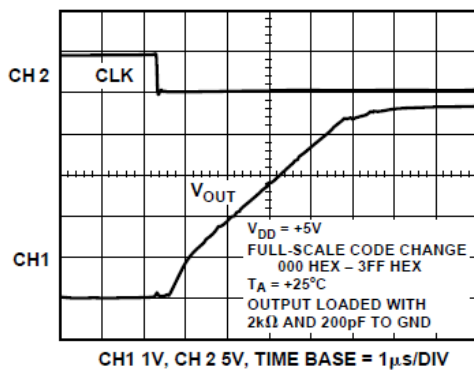


図 18. フルスケール・セトリング時間

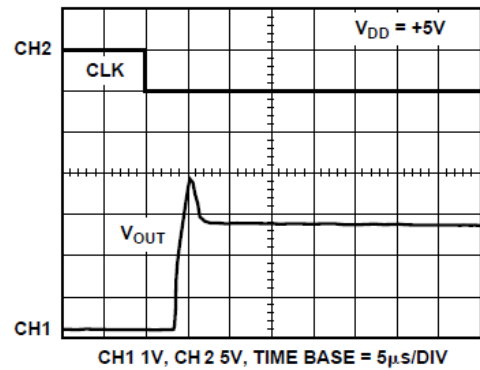


図 21. パワーダウンからの復帰 (16 進数の 200 をロード)

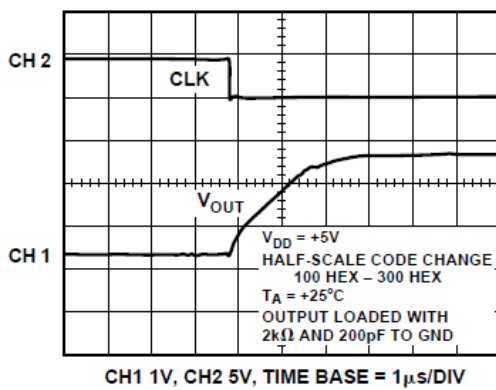


図 19. ハーフスケール・セトリング時間

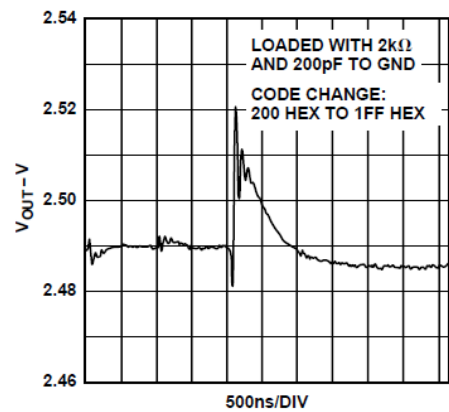


図 22. デジタル・アナログ変換のグリッチ・インパルス

## 用語の説明

### 相対精度または積分非直線性 (INL)

DAC の場合、相対精度または積分非直線性 (INL) とは、DAC 伝達関数の 2 つのエンドポイントを結ぶ直線からの最大偏差 (単位は LSB) を表します。代表的なコードと INL の関係を図 5 に示します。

### 微分非直線性

隣接する 2 つのコード間における 1LSB 変化の測定値と理論値の差です。微分非直線性の仕様が  $\pm 1$ LSB 以内の場合は、単調増加性が保証されています。この DAC は設計により単調増加性を保証しています。代表的なコードと DNL の関係を図 6 に示します。

### ゼロコード誤差

ゼロコード誤差は、DAC レジスタにゼロコード (16 進数の 000) をロードしたときの出力誤差を表す数値です。この出力は 0V になるのが理想的です。AD5310 では、DAC の出力が 0V を下回ることのないため、ゼロコード誤差は常に正です。この誤差は、DAC と出力アンプのオフセット・エラーの組み合わせによって生じます。ゼロコード誤差は mV 単位で表します。図 9 にゼロコード誤差の温度特性を示します。

### フルスケール誤差

フルスケール・コード (3FF Hex) を DAC レジスタにロードしたときの出力誤差を表します。出力は理論上  $V_{DD} - 1$ LSB になるはずですが、フルスケール誤差は、フルスケール・レンジの % 値で表します。フルスケール誤差は、フルスケール・レンジのパーセント値で表します。図 9 にフルスケール誤差の温度特性を示します。

### ゲイン誤差

DAC のスパン誤差を表します。これは DAC 伝達特性の理論値からの実際の傾き偏差を示すもので、フルスケール・レンジの % 値で表します。

### 総合未調整誤差

さまざまな誤差を考慮した出力誤差を表します。TUE とコードの代表的な関係を図 7 に示します。

### ゼロコード誤差ドリフト

ゼロコード誤差ドリフトは、温度変化に伴うゼロコード誤差の変化を表す値です。単位は  $\mu\text{V}/^\circ\text{C}$  です。

### ゲイン誤差ドリフト

温度変化にともなうゲイン誤差の変化を表し、(フルスケール・レンジの ppm)  $/^\circ\text{C}$  の単位で表します。

### デジタルからアナログへのグリッチ・インパルス

DAC レジスタの入力コードが変化したときに、入力からアナログ出力に注入されるインパルスを表します。通常これはグリッチの面積として nV-s 単位で表し、入力コードの LSB が 1 変化して最上位桁が繰り上がる時 (16 進数の 1FF から 16 進数の 200) に測定します。図 22 を参照してください。

### デジタル・フィードスルー

DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表します。nV-s の単位で規定され、データ・バス上でのフルスケールのコード変化時、すなわち全ビット「0」から全ビット「1」に変化したとき、または全ビット「1」から全ビット「0」にコードが遷移するときに測定します。

## 動作原理

### D/A 部

AD5310 DAC は CMOS プロセスを使用して製造されています。アーキテクチャは、ストリング DAC と後続の出力バッファ・アンプで構成されています。リファレンス入力ピンがないため、電源 (V<sub>DD</sub>) がリファレンスの役割を果たします。この DAC のアーキテクチャを図 23 に示します。

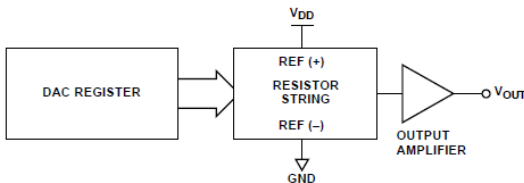


図 23. DAC アーキテクチャ

この DAC への入力コーディングはストレート・バイナリであるため、その理想出力電圧は次式で表すことができます。

$$V_{OUT} = V_{DD} \times \left( \frac{D}{1024} \right)$$

ここで、*D* は DAC レジスタにロードされるバイナリ・コードの 10 進数値で、その範囲は 0 から 1023 までです。

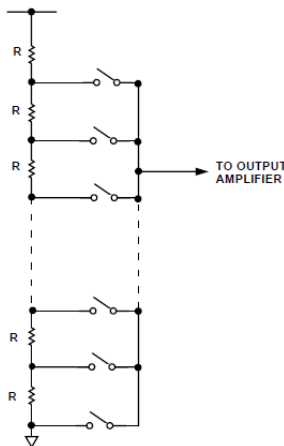


図 24. 抵抗ストリング

### 抵抗ストリング

抵抗ストリング部を図 24 に示します。これは値 *R* の複数の抵抗を単純につないだものです。DAC レジスタにロードしたコードに応じて、抵抗ストリングのどのノードから電圧を出力アンプに印可するかが決まります。出力アンプに印可される電圧は、出力アンプと抵抗ストリングを接続する多数のスイッチの 1 つを開

じることによって決定されます。複数の抵抗による抵抗ストリングを使用しているため、出力の単調性が保証されます。

### 出力アンプ

出力バッファ・アンプはその出力でレール to レール電圧を生成でき、0 V から V<sub>DD</sub> までの範囲の出力が得られます。この出力アンプは、GND との間で 1000 pF のコンデンサと並列接続された 2 kΩ の負荷を駆動できます。出力アンプのソース能力とシンク能力を図 11 と図 12 に示します。出力に負荷を接続した状態で、スルーレートは 1 V/μs、ハーフスケール・セトリング時間は 6 μs です。

### シリアル・インターフェース

AD5310 は、SPI、QSPI、MICROWIRE の各インターフェース標準、および大部分の DSP に対応した 3 線式シリアル・インターフェース (SYNC、SCLK、DIN) を採用しています。標準的な書込みシーケンスのタイミング図については、図 2 を参照してください。

SYNC ラインをローレベルにすると、書込みシーケンスを開始します。DIN ラインからのデータは、SCLK の立下がりエッジで 16 ビットのシフト・レジスタに入力されます。シリアル・クロックの周波数は 30 MHz まで上げられるため、AD5310 は高速 DSP との互換性を確保できます。16 番目のクロックの立下がりエッジで最後のデータビットが取り込まれ、あらかじめプログラムした機能が実行されます (つまり、DAC レジスタの内容の更新および/またはオペレーション・モードの変更)。

この時点で、SYNC ラインをローレベルに保持するか、ハイレベルにすることができます。いずれの場合でも、次の書込みシーケンスの前に 33ns 以上 SYNC ラインをハイレベルに保持し、SYNC の立下がりエッジで次の書込みシーケンスを開始できるようにします。バッファに流れ込む電流は V<sub>IN</sub> = 2.4 V のときの方が V<sub>IN</sub> = 0.8 V のときよりも大きいため、デバイスの消費電力をさらに低く抑えるにはシーケンス待ちの際に SYNC をローにしてアイドルリング状態にします。ただし、すでに述べたように、次の書込みシーケンスの直前に SYNC をハイに戻す必要があります。

### 入力シフト・レジスタ

入力シフト・レジスタの幅は 16 ビットです (図 25 参照)。最初の 2 ビットは無視されます。次の 2 ビットはコントロール・ビットで、デバイスの動作モードを制御します (通常モードまたは 3 種類のパワーダウン・モードの 1 つ)。各モードの詳細については「パワーダウン・モード」を参照してください。次の 10 ビットがデータビットです。これらは、SCLK の 16 番目の立下がりエッジで DAC レジスタへ転送されます。最後の 2 ビットも無視されます。

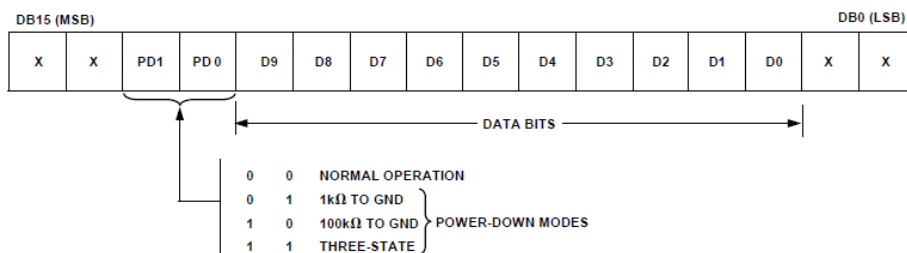


図 25. 入力レジスタの内容

## SYNC割込み

通常の書き込みシーケンスでは、SCLK の少なくとも 16 個の立下がりエッジの間、 $\overline{\text{SYNC}}$ ラインがローレベルに保持され、16 番目の立下がりエッジで DAC が更新されます。しかし、SCLK の 16 番目の立下がりエッジが発生する前に  $\overline{\text{SYNC}}$  をハイにすると、書き込みシーケンスへの割込みになります。この場合はシフト・レジスタがリセットされ、書き込みシーケンスは無効とされます。DAC レジスタの内容の更新や動作モードの変更は行われません (図 28 を参照)。

## パワーオン・リセット

AD5310 には、パワーアップ時の出力電圧を制御するパワーオン・リセット回路が組み込まれています。DAC レジスタの内容はすべて 0 で、出力電圧も 0 V です。この電圧は、DAC に有効な書き込みシーケンスが実行されるまで維持されます。この機能は、パワーアップ・プロセス時に DAC 出力の状態を把握しておく必要があるアプリケーションに役に立ちます。

## パワーダウン・モード

AD5310 の動作モードは 4 種類あります。これらのモードは、コントロール・レジスタ内の 2 つのビット (DB13 と DB12) をセットすることにより、ソフトウェアで設定できます。ビットの状態とそれに対応するデバイスの動作モードを表 5 に示します。

表 5. AD5310 の動作モード

Operating Mode	DB13	DB12
Normal Operation	0	0
Power-Down Modes		
1 k $\Omega$ to GND	0	1
100 k $\Omega$ to GND	1	0
Three-State	1	1

両方のビットがともに 0 にセットされているときは通常動作となり、5 V 動作時のデバイスの消費電流は 140  $\mu\text{A}$  です。しかし、3 種類のパワーダウン・モードを使用すれば、5 V 動作時の電源電流を 200 nA (3 V 動作時は 50 nA) まで下げることができます。また、電源電流が減少するだけでなく、出力段がアンプ出力から既知の値の抵抗回路に内部的に切り替えられます。これには、デバイスがパワーダウン・モードに設定されているときの出力インピーダンスを知ることができるという利点があります。選択肢は 3 つあります。すなわち、1 k $\Omega$  の抵抗を経由して出力を GND に

接続するか、100 k $\Omega$  抵抗を経由するか、または開放回路 (スリーステート) のままとするか、のいずれかです。出力段を図 26 に示します。

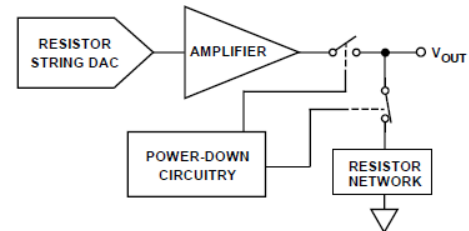


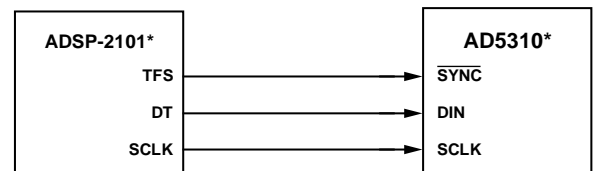
図 26. パワーダウン時の出力段

パワーダウン・モードがアクティブになると、バイアス・ジェネレータ、出力アンプ、抵抗ストリング、およびその他の関連リニア回路がすべてシャットダウンされます。ただし、DAC レジスタの内容はパワーダウンの間も保持されます。なお、パワーダウン・モードからの復帰時間は、 $V_{\text{DD}}=5\text{V}$  の場合に 2.5  $\mu\text{s}$ 、 $V_{\text{DD}}=3\text{V}$  の場合に 5  $\mu\text{s}$  です (いずれも typ 値)。(図 21 を参照してください。)

## マイクロプロセッサとのインターフェース

### AD5310 と ADSP-2101 のインターフェース

図 27 は、AD5310 と ADSP-2101 とのシリアル・インターフェースを示します。ADSP-2101 は、SPORT 送信オルタネート・フレーミング・モードで動作するように設定してください。ADSP-2101 SPORT は SPORT コントロール・レジスタ経由でプログラムし、内蔵クロック動作、アクティブ・ロー・フレーミング、16 ビットワード長に設定します。SPORT をイネーブルにした後、Tx レジスタにワードを書き込むことで送信が開始されます。



\*ADDITIONAL PINS OMITTED FOR CLARITY

図 27. AD5310 と ADSP-2101 とのインターフェース

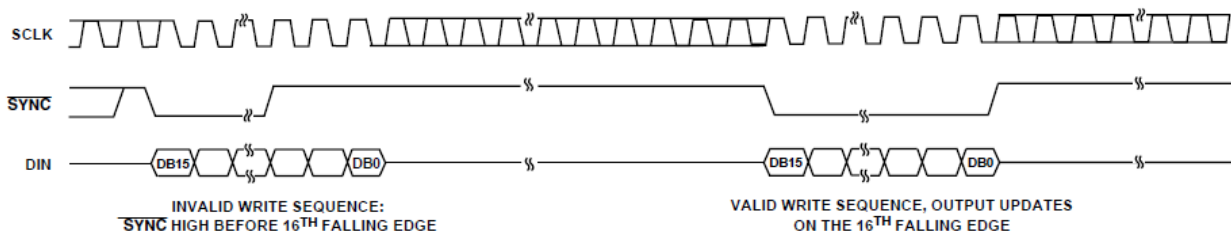


図 28.  $\overline{\text{SYNC}}$  割込み機能

### AD5310 と 68HC11/68L11 とのインターフェース

図 29 は、AD5310 と 68HC11/68L11 マイクロコントローラとのシリアル・インターフェースを示します。68HC11/68L11 の SCK では AD5310 の SCLK ピンを駆動しますが、MOSI 出力では DAC のシリアル・データ・ラインを駆動します。SYNC 信号は、ポート・ライン (PC7) から生成されます。このインターフェースを正しく動作させるためのセットアップ条件は次のとおりです。すなわち、68HC11/68L11 の CPOL ビットが 0 に、CPHA ビットが 1 になるように設定します。データが DAC に転送されているときは、SYNC ラインがローレベルになります (PC7)。68HC11/68L11 をこのように設定することによって、MOSI からの出力データは SCK の立下がりエッジで有効になります。68HC11/68L11 からのシリアル・データは、送信サイクルで発生する立下がりエッジを 8 個だけ使用し、8 ビット構成のバイトデータで送信されます。データは MSB ファーストで転送されます。データを AD5310 にロードするときは、最初の 8 ビットが転送された後も PC7 をローレベルのままにして、DAC に対して 2 番目のシリアル書込み動作を実行します。この手順の終わりに、PC7 をハイレベルにします。

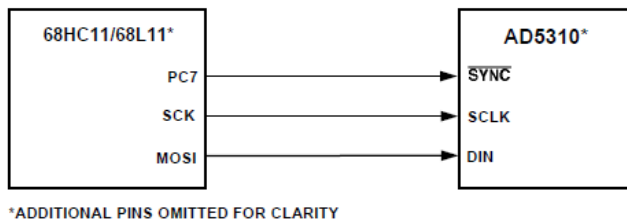


図 29. AD5310 と 68HC11/68L11 のインターフェース

### AD5310 と 80C51/80L51 とのインターフェース

図 30 は、AD5310 と 80C51/80L51 マイクロコントローラを接続するシリアル・インターフェースです。インターフェースは、80C51/80L51 の TXD が AD5310 の SCLK を駆動し、RXD がシリアル・データ・ラインを駆動するようにセットアップします。SYNC 信号はこの場合も、ポートのビット・プログラマブルなピンから生成されます。この場合はポート・ライン P3.3 を使用します。データが AD5310 に転送される時、P3.3 はローレベルになります。データは 80C51/80L51 から 8 ビットのバイトで転

送されるため、送信サイクル内には立下がりクロック・エッジが 8 個しかありません。データを DAC にロードするときは、最初の 8 ビットが転送された後も P3.3 をローレベルのままにして 2 番目の書込みサイクルを実行すると、データの 2 番目のバイトの転送が開始されます。このサイクルの完了後に P3.3 をハイレベルにします。80C51/80L51 はシリアル・データを LSB ファーストで出力しますが、AD5310 では、MSB を最初に受信する必要があります。80C51/80L51 の送信ルーチンは、これを考慮に入れてください。

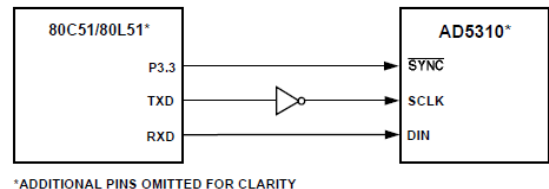


図 30. AD5310 と 80C51/80L51 とのインターフェース

### AD5310 と MICROWIRE とのインターフェース

図 31 は、AD5310 と MICROWIRE 互換の任意のデバイスとのインターフェースを示します。シリアル・データは、シリアル・クロックの立下がりエッジでシフト・アウトされ、SK の立上がりエッジで AD5310 に入力されます。

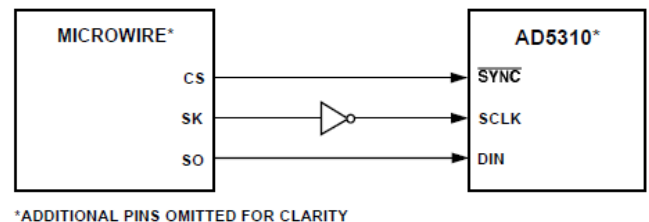


図 31. AD5310 と MICROWIRE とのインターフェース

## アプリケーション情報

### AD5310 の電源に REF19x を使用する

AD5310に必要な電源電流は極めて低いため、REF19x電圧リファレンス（5 Vの場合はREF195、3 Vの場合はREF193）を使用してデバイスに必要な電圧を供給することができます（図 32を参照）。これは、電源ノイズが非常に大きい場合や、システム電源電圧が 5 V または 3 V 以外（たとえば 15 V）の場合に特に有効です。REF19x は、AD5310 に安定した電源電圧を供給します。低ドロップアウトの REF195 を使用すれば、AD5310 への供給に必要な電流は 140  $\mu$ A です。これは、DAC 出力に負荷が接続されていない場合の値です。DAC出力に負荷が接続されているときは、その負荷へも REF195から電流を供給する必要があります。必要な総電流は次式のとおりです（DAC 出力に 5 k $\Omega$ の負荷を接続した場合）。

$$140 \mu\text{A} + (5 \text{ V} / 5 \text{ k}\Omega) = 1.14 \text{ mA}$$

REF195の負荷レギュレーションは、通常 2 ppm/mA です。つまり、REF195 が 1.14 mA の電流を消費すると、2.3 ppm (11.5  $\mu$ V) の誤差が生じます。これは 0.002 LSB 誤差に相当します。

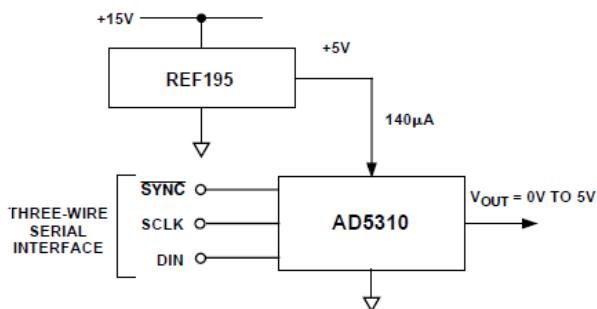


図 32. AD5310 の電源に REF195 を使用した場合

### AD5310 を使用したバイポーラ動作

AD5310 は単電源動作用に設計されていますが、図 33 に示す回路を使用することにより、バイポーラ出力範囲も可能です。この回路の出力電圧範囲は  $\pm 5$  V です。AD820 または OP295 を出力アンプとして使用すれば、アンプ出力のレール to レール動作も実現できます。任意の入力コードに対する出力電圧は、次式で計算できます。

$$V_o = \left[ V_{DD} \times \left( \frac{D}{1024} \right) \times \left( \frac{R1 + R2}{R1} \right) - V_{DD} \times \left( \frac{R2}{R1} \right) \right]$$

ここで、 $D$  は 10 進数で表した入力コードです (0~1023)。

$V_{DD} = 5 \text{ V}$ 、 $R1 = R2 = 10 \text{ k}\Omega$  のときは、次のようになります。

$$V_o = \left( \frac{10 \times D}{1024} \right) - 5 \text{ V}$$

これは  $\pm 5$  V の出力電圧範囲で、16 進数の 000 が  $-5$  V 出力に、3FF が  $+5$  V に相当します。

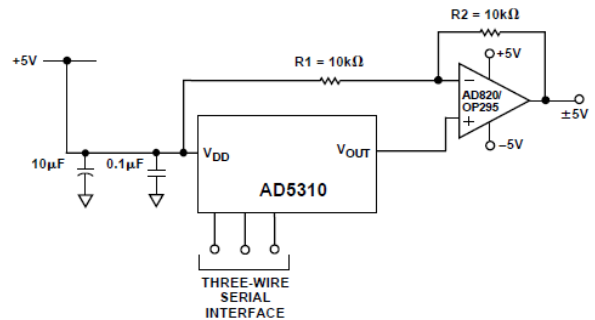


図 33. AD5310 を使用したバイポーラ動作

### 光学絶縁インターフェースを使用した AD5310

産業環境のプロセス制御アプリケーションでは、しばしば、光学絶縁インターフェースを使用して、DAC の動作領域内で発生する有害な同相モード電圧に対して制御回路を保護し、絶縁する必要があります。光学アイソレータを使用すれば、3 kV を超える絶縁能力が得られます。AD5310 は 3 線式シリアル・ロジック・インターフェースを使用しているため、絶縁に必要な光学アイソレータは 3 個だけです（図 34 を参照）。デバイスへの電源にも絶縁が必要です。この絶縁にはトランスを使用します。トランスの DAC 側では、5 V のレギュレータが AD5310 に必要な 5 V 電源を供給します。

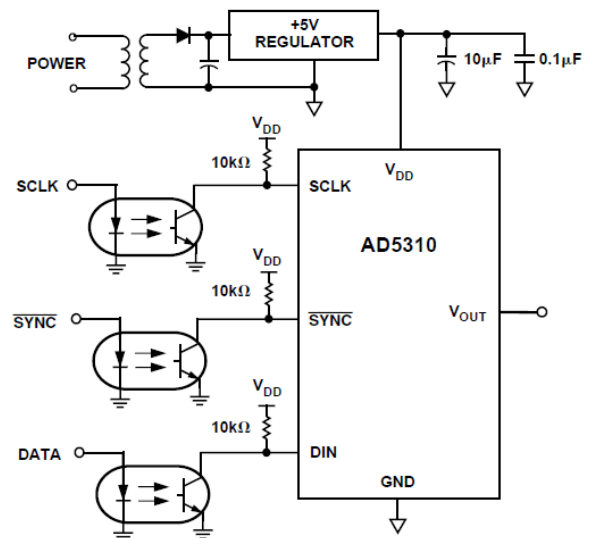


図 34. 光学絶縁インターフェースを使用した AD5310

## 電源のバイパスとグラウンディング

精度が重視される回路では、ボード上の電源とグラウンド・リターンのレイアウトに注意してください。AD5310を実装するプリント回路ボードは、アナログ部とデジタル部を分離し、ボード内でそれぞれまとめて配置するように設計してください。複数のイスが AGND と DGND 間の接続を必要とするシステムで AD5310を使用する場合は、必ず 1 ヶ所のみでこの接続を行ってください。グラウンド・ポイントは AD5310 のできるかぎり近くに配置してください。

AD5310 の電源は、10 $\mu$ F と 0.1 $\mu$ F のコンデンサを使用してバイパスします。コンデンサはデバイスのできるだけ近くに配置し、0.1 $\mu$ F のコンデンサは理想的にはデバイスの真上に配置してください。10 $\mu$ F のコンデンサはタンタルのビード型を使います。0.1  $\mu$ F のコンデンサには、たとえば一般的なセラミック・タイプのコンデンサのように、等価直列抵抗 (ESR) および等価直列インダク

タンス (ESL) の低いものを使用することが重要です。この 0.1 $\mu$ F のコンデンサは、内部ロジックのスイッチングによる過渡電流によって発生する高周波に対して、グラウンドへの低インピーダンス・パスを提供します。

電源ラインはできるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を低減させます。クロックとその他の高速スイッチング・デジタル信号は、デジタル・グラウンドを用いてボード上の他の部分からシールドします。デジタル信号とアナログ信号は、できるだけ交差しないようにしてください。ボードの反対側のパターンは、互いに直角になるように配置し、ボードを通過するフィードスルーの影響を削減します。最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンをハンダ面に配置するマイクロストリップ技術ですが、2層ボードでは必ずしも使用できるとは限りません。

## 外形寸法

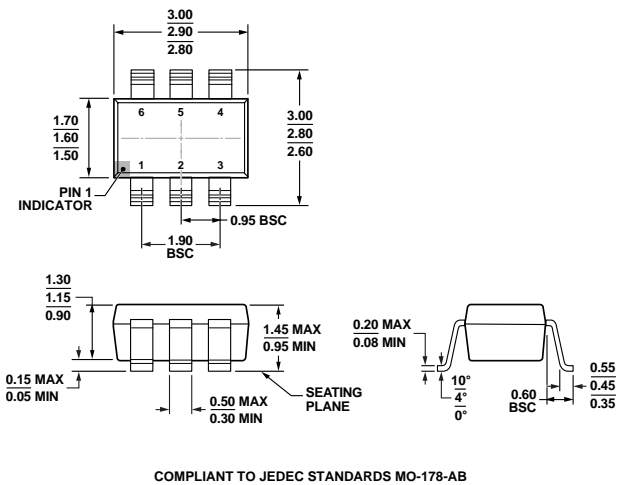


図 35. 6 ピン・スモール・アウトライン・トランジスタ・パッケージ [SOT-23] (RJ-6)  
寸法単位: mm

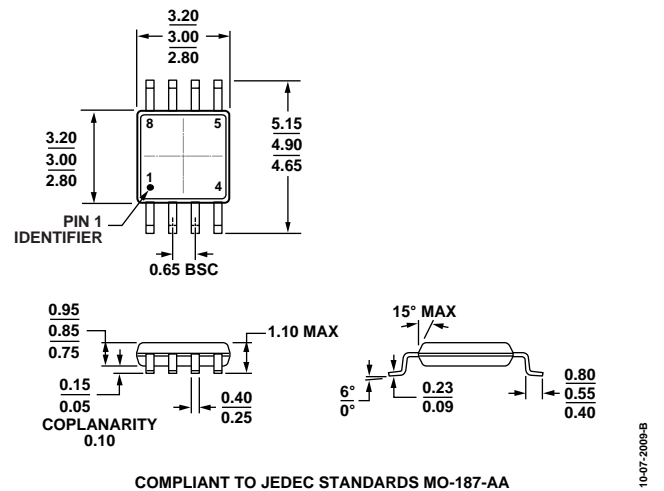


図 36. 8 ピン・ミニ・スモール・アウトライン・パッケージ [MSOP] (RM-8)  
寸法: mm

## オーダー・ガイド

Model <sup>1, 2</sup>	Temperature Range	Package Description	Package Option	Branding Information
AD5310BRTZ-REEL	-40°C to +105°C	6-Lead SOT-23	RJ-6	D3B
AD5310BRTZ-REEL7	-40°C to +105°C	6-Lead SOT-23	RJ-6	D3B
AD5310BRTZ-500RL7	-40°C to +105°C	6-Lead SOT-23	RJ-6	D3B
AD5310BRT-REEL	-40°C to +105°C	6-Lead SOT-23	RJ-6	D3B
AD5310BRT-REEL7	-40°C to +105°C	6-Lead SOT-23	RJ-6	D3B
AD5310BRT-500RL7	-40°C to +105°C	6-Lead SOT-23	RJ-6	D3B
AD5310WBRTZ-REEL7	-40°C to +105°C	6-Lead SOT-23	RJ-6	DJW
AD5310BRMZ	-40°C to +105°C	8-Lead MSOP	RM-8	D3B
AD5310BRMZ-REEL7	-40°C to +105°C	8-Lead MSOP	RM-8	D3B
AD5310BRM	-40°C to +105°C	8-Lead MSOP	RM-8	D3B
AD5310BRM-REEL	-40°C to +105°C	8-Lead MSOP	RM-8	D3B

<sup>1</sup> Z = RoHS 準拠製品。

<sup>2</sup> W = 車載アプリケーション用に認定済み。

## 自動車用製品

AD5310WBRTZ-REEL7 モデルの製造工程は、車載アプリケーションにおける品質と信頼性の要求に応えるために管理されています。これらの車載モデルの仕様は商用モデルと異なる場合があるため、設計時はこのデータシートの「仕様」のページをよくご確認ください。車載グレード製品と記載された製品のみが車載アプリケーション用に利用できます。特定製品のオーダー情報と、そのモデルの特定車載信頼性レポートについては、最寄りのアナログ・デバイセス窓口にお問い合わせください。