



SPI/I²C インターフェースと 2 ppm/°C リファレンス内蔵の 10 ビット nanoDAC

データシート

AD5310R/AD5311R

特長

- 高い相対精度(INL): 最大±0.5 LSB
- 2 ppm/°C (typ)の低ドリフト 2.5 V リファレンスを内蔵
- 2.5 V または 5 V の出力振幅を選択可能
- 総合未調整誤差(TUE): FSR の最大 0.06%
- オフセット誤差: 最大±1.5 mV
- ゲイン誤差: FSR の最大±0.05%
- 低グリッチ: 0.1 nV-sec
- 高い駆動能力: 20 mA
- 低消費電力: 3.3 V で 1.2 mW
- 独立したロジック電源: 1.8 V~5.5 V
- 広い動作温度範囲: -40°C~+105°C
- 4 kV の HBM ESD 保護

アプリケーション

- プロセス制御
- データ・アキュイジション・システム
- ゲインとオフセットのデジタル調整
- プログラマブルな電圧源
- 光モジュール

概要

nanoDAC® ファミリーに属する AD5310R/AD5311R は、低消費電力、シングル・チャンネル、バッファ付きの、10 ビット電圧出力 DAC です。このデバイスは、2 ppm/°C の 2.5 V リファレンス電圧(デフォルトでイネーブ)を内蔵しています。出力振幅は 0 V~V_{REF} または 0 V~2 × V_{REF} に設定することができます。すべてのデバイスは 2.7 V~5.5 V の単電源で動作し、単調性はデザインにより保証されています。このデバイスは 10 ピンの MSOP パッケージを採用しています。

AD5310R/AD5311R はパワーオン・リセット回路を内蔵しています。この回路により、内部出力バッファを通常モードに設定した場合、パワーアップ時に DAC レジスタにゼロスケールが書込まれます。このデバイスには、デバイス消費電流を 5 V で 2 μA に減少させるパワーダウン・モードがあります。

AD5310R/AD5311R では、非同期 RESET ピンおよび 1.8 V との互換性を提供する V_{LOGIC} ピンを持つ多機能の SPI インターフェースまたは I²C インターフェースを使用します。

機能ブロック図

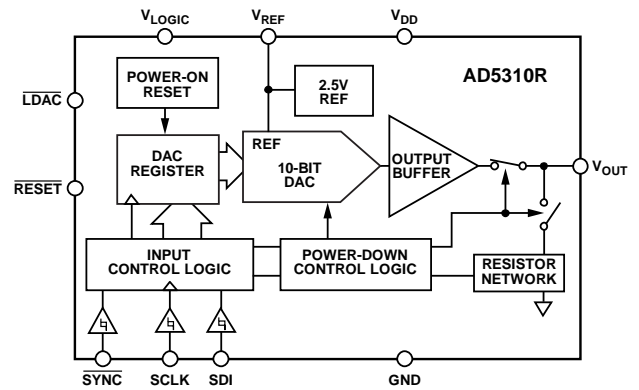


図 1. AD5310R

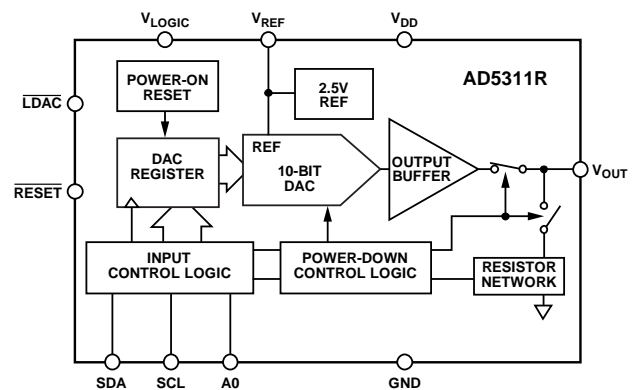


図 2. AD5311R

表 1. 関連デバイス

Interface	Reference	12-Bit	10-Bit
SPI	Internal		
	External	AD5681R	AD5310 ¹
I ² C	Internal		
	External		AD5311 ¹

¹ AD5310R および AD5311R は、それぞれ AD5310 および AD5311 とピン互換でもソフトウェア互換でもありません。

製品のハイライト

- 高い相対精度(INL): 最大±0.5 LSB
- 最大温度係数 5 ppm/°C の低ドリフト 2.5 V リファレンス電圧を内蔵

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	伝達関数.....	17
アプリケーション.....	1	DACアーキテクチャ.....	17
概要.....	1	シリアル・インターフェース.....	18
機能ブロック図.....	1	AD5310RのSPIシリアル・データ・インターフェース.....	18
製品のハイライト.....	1	デジタイゼーション・モードの互換性.....	18
改訂履歴.....	2	AD5311RのI ² Cシリアル・データ・インターフェース.....	19
仕様.....	3	コマンド.....	21
AC特性.....	4	DACのロード(ハードウェア $\overline{\text{LDAC}}$ ピン).....	22
タイミング特性.....	5	ハードウェア $\overline{\text{RESET}}$	22
絶対最大定格.....	8	AD5311RでのI ² C読み出し動作.....	22
熱抵抗.....	8	熱ヒステリシス.....	23
ESDの注意.....	8	パワーアップ・シーケンス.....	23
ピン配置およびピン機能説明.....	9	レイアウトのガイドライン.....	23
代表的な性能特性.....	11	外形寸法.....	24
用語.....	16	オーダー・ガイド.....	24
動作原理.....	17		
D/Aコンバータ.....	17		

改訂履歴

1/14—Rev. 0 to Rev. A

Change to Features Section.....	1
Removed Endnote 2, Endnote 3, Endnote 5, and Endnote 6, Table 2; Renumbered Sequentially.....	3
Removed Endnote 3, Table 3.....	4
Removed Endnote 1, Table 4; Renumbered Sequentially.....	5
Changes to Table 6.....	8
Removed Solder Heat Reflow Section and Figure 44; Renumbered Sequentially.....	23

1/14—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $R_L = 2\text{ k}\Omega$ (GNDへ接続)、 $C_L = 200\text{ pF}$ (GNDへ接続)、 $2.5\text{ V} \leq V_{REF} \leq V_{DD}$ 、 $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ ($V_{LOGIC} = 1.8\text{ V} \sim 5.5\text{ V}$)、 $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
STATIC PERFORMANCE¹					
Resolution	10			Bits	
Relative Accuracy, INL			± 0.5	LSB	
Differential Nonlinearity, DNL			± 0.5	LSB	
Zero-Code Error			1.25	mV	All 0s loaded to DAC register
Offset Error			± 1.5	mV	
Full-Scale Error			± 0.075	% of FSR	All 1s loaded to DAC register
Gain Error			± 0.05	% of FSR	
Total Unadjusted Error, TUE			± 0.16	% of FSR	Internal reference, gain = 1
			± 0.14	% of FSR	Internal reference, gain = 2
			± 0.075	% of FSR	External reference, gain = 1
			± 0.06	% of FSR	External reference, gain = 2
Zero-Code Error Drift		± 1		$\mu\text{V}/^\circ\text{C}$	
Offset Error Drift		± 1		$\mu\text{V}/^\circ\text{C}$	
Gain Temperature Coefficient		± 1		ppm/ $^\circ\text{C}$	
DC Power Supply Rejection Ratio, PSRR		0.2		mV/V	DAC code = midscale, $V_{DD} = 5\text{ V} \pm 10\%$
OUTPUT CHARACTERISTICS					
Output Voltage Range	0		V_{REF}	V	Gain = 1
	0		$2 \times V_{REF}$	V	Gain = 2
Capacitive Load Stability		2		nF	$R_L = \infty$
		10		nF	$R_L = 2\text{ k}\Omega$
Resistive Load	1			k Ω	$C_L = 0\text{ }\mu\text{F}$
Load Regulation		10		$\mu\text{V}/\text{mA}$	$V_{DD} = 5\text{ V}$, DAC code = midscale; $-30\text{ mA} \leq I_{OUT} \leq 30\text{ mA}$
		10		$\mu\text{V}/\text{mA}$	$V_{DD} = 3\text{ V}$, DAC code = midscale; $-20\text{ mA} \leq I_{OUT} \leq 20\text{ mA}$
Short-Circuit Current	20		50	mA	
Load Impedance at Rails ²		20		Ω	
REFERENCE OUTPUT					
Output Voltage	2.4975		2.5025	V	At ambient temperature
Voltage Reference TC ³		2	5	ppm/ $^\circ\text{C}$	See the Terminology section
Output Impedance		0.05		Ω	
Output Voltage Noise		16.5		$\mu\text{V p-p}$	0.1 Hz to 10 Hz
Output Voltage Noise Density		240		$\text{nV}/\sqrt{\text{Hz}}$	At ambient temperature; $f = 10\text{ kHz}$, $C_L = 10\text{ nF}$
Capacitive Load Stability		5		μF	$R_L = 2\text{ k}\Omega$
Load Regulation, Sourcing		50		$\mu\text{V}/\text{mA}$	At ambient temperature; $V_{DD} \geq 3\text{ V}$
Load Regulation, Sinking		30		$\mu\text{V}/\text{mA}$	At ambient temperature
Output Current Load Capability		± 5		mA	$V_{DD} \geq 3\text{ V}$
Line Regulation		80		$\mu\text{V}/\text{V}$	At ambient temperature
Thermal Hysteresis		125		ppm	First cycle
		25		ppm	Additional cycles

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LOGIC INPUTS					
Input Current, I_{IN}			± 1	μA	Per pin SDA and SCL pins (AD5311R)
			± 4	μA	
Input Low Voltage, V_{INL}			$0.3 \times V_{LOGIC}$	V	
Input High Voltage, V_{INH}	$0.7 \times V_{LOGIC}$			V	
Pin Capacitance, C_{IN}		2		pF	
LOGIC OUTPUT (SDA)					
Output Low Voltage, V_{OL}			0.4	V	AD5311R $I_{SINK} = 200 \mu A$ $I_{SOURCE} = 200 \mu A$
Output High Voltage, V_{OH}	$V_{LOGIC} - 0.4$			V	
Pin Capacitance		4		pF	
POWER REQUIREMENTS					
V_{LOGIC}	1.8		5.5	V	$V_{IH} = V_{LOGIC}$ or $V_{IL} = GND$ Gain = 1 Gain = 2 $V_{IH} = V_{DD}$, $V_{IL} = GND$
I_{LOGIC}		0.25	3	μA	
V_{DD}	2.7		5.5	V	
	$V_{REF} + 1.5$		5.5	V	
I_{DD}					Internal reference enabled Internal reference disabled
Normal Mode ⁴		350	500	μA	
Power-Down Modes ⁵		110	180	μA	
			2	μA	

¹ 直線性はコード範囲を縮小して計算: コード 8~1024、出力無負荷。

² いずれかの電源レールから負荷電流を取り出すとき、その電源レールに対する出力電圧のヘッドルームは、出力デバイスのチャンネル抵抗 20Ω (typ)により制限されます。例えば、 1 mA シンクの場合、 20Ω 、 1 mA での最小出力電圧は 20 mV になります。図 29 参照。

³ リファレンス電圧の温度係数はボックス法に準拠して計算します。詳細については、用語のセクションを参照してください。

⁴ インターフェースは非アクティブ状態。DACはアクティブ。コード=ゼロ・スケール、DAC出力無負荷。

⁵ DACはパワーダウン。

AC 特性

特に指定がない限り、 $V_{DD} = 2.7 \text{ V} \sim 5.5 \text{ V}$ 、 $R_L = 2 \text{ k}\Omega$ (GNDへ接続)、 $C_L = 200 \text{ pF}$ (GNDへ接続)、 $2.5 \text{ V} \leq V_{REF} \leq V_{DD}$ 、 $1.8 \text{ V} \leq V_{LOGIC} \leq V_{DD}$ 、 $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。¹

表 3.

Parameter ²	Typ	Max	Unit	Conditions/Comments
Output Voltage Settling Time	5	7	μs	Gain = 1, $1/4$ to $3/4$ scale settling to $\pm 0.25 \text{ LSB}$
Slew Rate	0.7		$V/\mu s$	
Digital-to-Analog Glitch Impulse	0.1		nV-sec	$\pm 1 \text{ LSB}$ change around major carry, gain = 1
Digital Feedthrough	0.1		nV-sec	
Total Harmonic Distortion (THD)	-83		dB	$V_{REF} = 2 \text{ V} \pm 0.1 \text{ V p-p}$, $f = 10 \text{ kHz}$
Output Noise Spectral Density	200		$nV/\sqrt{\text{Hz}}$	DAC code = midscale, $f = 10 \text{ kHz}$
Output Noise	6		$\mu V \text{ p-p}$	0.1 Hz to 10 Hz; internal reference
Signal-to-Noise Ratio (SNR)	90		dB	At ambient temperature, $BW = 20 \text{ kHz}$, $V_{DD} = 5 \text{ V}$, $f_{OUT} = 1 \text{ kHz}$
Spurious-Free Dynamic Range (SFDR)	88		dB	At ambient temperature, $BW = 20 \text{ kHz}$, $V_{DD} = 5 \text{ V}$, $f_{OUT} = 1 \text{ kHz}$
Signal-to-Noise-and Distortion (SINAD) Ratio	82		dB	At ambient temperature, $BW = 20 \text{ kHz}$, $V_{DD} = 5 \text{ V}$, $f_{OUT} = 1 \text{ kHz}$

¹ 温度範囲 = $-40^\circ\text{C} \sim +105^\circ\text{C}$ 、typ 値は 25°C での値。

² 用語のセクションを参照してください。

タイミング特性

AD5310R

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{LOGIC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$ 。

表 4.

Parameter ¹	Symbol	$1.8\text{ V} \leq V_{LOGIC} \leq 2.7\text{ V}$			$2.7\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$			Unit
		Min	Typ	Max	Min	Typ	Max	
SCLK Cycle Time	t_1	33			20			ns
SCLK High Time	t_2	16			10			ns
SCLK Low Time	t_3	16			10			ns
SYNC to SCLK Falling Edge Setup Time	t_4	15			10			ns
Data Setup Time	t_5	5			5			ns
Data Hold Time	t_6	5			5			ns
SCLK Falling Edge to SYNC Rising Edge	t_7	15			10			ns
Minimum SYNC High Time	t_8	20			20			ns
SYNC Falling Edge to SCLK Fall Ignore	t_9	16			10			ns
SYNC Rising Edge to LDAC Falling Edge	t_{10}	25			25			ns
LDAC Pulse Width Low	t_{11}	20			15			ns
RESET Minimum Pulse Width Low	t_{12}	75			75			ns
RESET Pulse Activation Time	t_{13}	150			150			ns
Reference Power-Up (Not Shown in Figure 3)	$t_{REF_POWER_UP}^2$		600			600		μs
Exit Shutdown (Not Shown in Figure 3)	$t_{SHUTDOWN}^3$			6			6	μs

¹ すべての入力信号は $t_r = t_f = 1\text{ ns/V}$ (V_{DD} の 10% から 90%) で規定し、 $(V_{IL} + V_{IH})/2$ の電圧レベルからの時間とします。

² $V_{DD} = 2.7\text{ V}$ の後にデバイス電源を投入する際、同じタイミングが期待されます。

³ パワーダウン動作モードから通常動作モードに移行するために要する時間。SYNC の立上がりエッジから DAC ミッドスケール値の 90% まで(出力無負荷)。

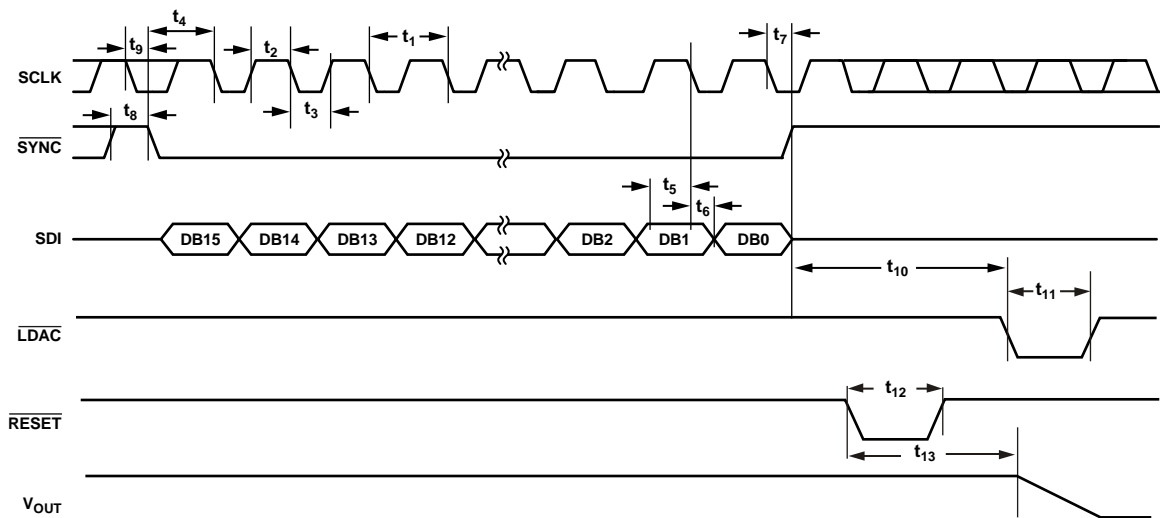


図 3.SPI のタイミング図、モード 1 およびモード 2 と互換 (AN-1248 アプリケーション・ノート参照)

11956-003

AD5311R

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{LOGIC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$ 。

表 5.

Parameter ¹	Symbol	Min	Typ	Max	Unit
Serial Clock Frequency	f_{SCL}^2			400	kHz
SCL High Time, t_{HIGH}	t_1	0.6			μs
SCL Low Time, t_{LOW}	t_2	1.3			μs
Data Setup Time, $t_{SU, DAT}$	t_3	100			ns
Data Hold Time, $t_{HD, DAT}$	t_4	0		0.9	μs
Setup Time for a Repeated Start Condition, $t_{SU, STA}$	t_5	0.6			μs
Hold Time (Repeated) Start Condition, $t_{HD, STA}$	t_6	0.6			μs
Bus Free Time Between a Stop and a Start Condition, t_{BUF}	t_7	1.3			μs
Setup Time for a Stop Condition, $t_{SU, STO}$	t_8	0.6			μs
Rise Time of SDA Signal, t_R	t_9	20		300	ns
Fall Time of SDA Signal, t_F	t_{10}	$20 \times (V_{DD}/5.5\text{ V})$		300	ns
Rise Time of SCL Signal, t_R	t_{11}	20		300	ns
Fall Time of SCL Signal, t_F	t_{12}	$20 \times (V_{DD}/5.5\text{ V})$		300	ns
Pulse Width of Suppressed Spike (Not Shown in Figure 4)	t_{SP}	0		50	ns
LDAC Falling Edge to SCL Falling Edge	t_{13}	400			ns
LDAC Pulse Width (Synchronous Mode)	t_{14}	400			ns
LDAC Pulse Width (Asynchronous Mode)	t_{15}	20			ns
RESET Pulse Width	t_{16}	75			ns
Reference Power-Up (Not Shown in Figure 4)	$t_{REF_POWER_UP}^3$		600		μs
Exit Shutdown (Not Shown in Figure 4)	$t_{SHUTDOWN}^4$			6	μs

¹ 最大バス容量は 400 pF に制限されています。すべての入力信号は $t_R = t_F = 1\text{ ns/V}$ (V_{DD} の 10% から 90%) で規定し、 $(V_{IL} + V_{IH})/2$ の電圧レベルからの時間とします。

² SDA と SCL のタイミングは、入力フィルタをイネーブルして測定。入力フィルタを切り離すと、転送レートは向上しますが、デバイスの EMC 動作に悪影響があります。

³ $V_{DD} = 2.7\text{ V}$ の後にデバイス電源を投入する際、同じタイミングが期待されます。

⁴ パワーダウン動作モードを終わり通常動作モードまでの時間。

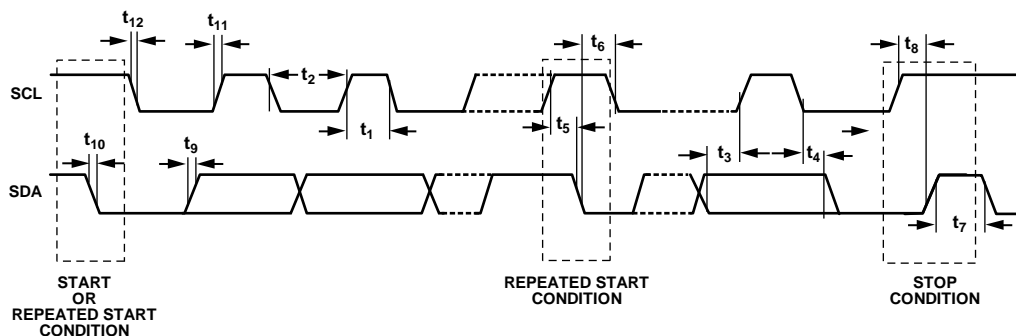


図 4. I²C シリアル・インターフェースのタイミング図

11956-004

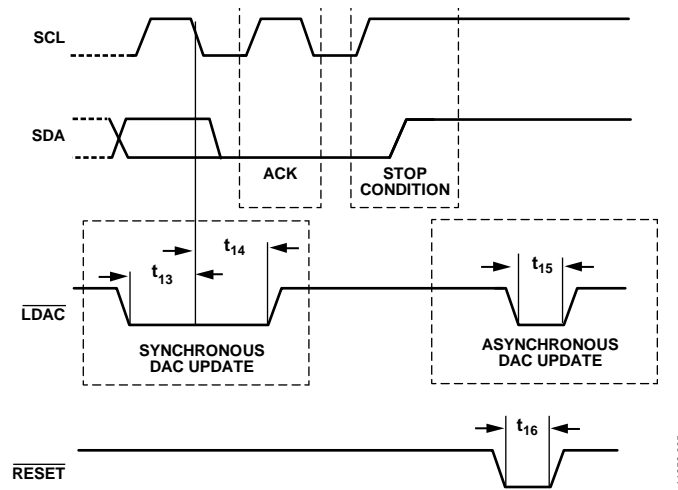


図 5. I²C、LDAC、RESET のタイミング

11856-005

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
V_{LOGIC} to GND	-0.3 V to +7 V
V_{OUT} to GND	-0.3 V to $V_{DD} + 0.3$ V or +7 V (whichever is less)
V_{REF} to GND	-0.3 V to $V_{DD} + 0.3$ V or +7 V (whichever is less)
Digital Input Voltage to GND	-0.3 V to $V_{DD} + 0.3$ V or +7 V (whichever is less)
Operating Temperature Range Industrial	-40°C to $+105^\circ\text{C}$
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Junction Temperature (T_J max)	135°C
Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$
ESD ¹	4 kV
FICDM ²	1.25 kV

¹ 人体モデル (HBM)。

² Field-Induced Charged Device Model の分類。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上での製品動作を定めたものではありません。製品を長時間絶対最大定格状態に置くことと製品の信頼性に影響を与えます。

熱抵抗

θ_{JA} は JEDEC JESD51 規格により定義され、値はテスト・ボードとテスト環境に依存します。

表 7. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
10-Lead MSOP	135^1	N/A ²	$^\circ\text{C}/\text{W}$

¹ JEDEC 2S2P テスト・ボード、自然空冷(0 m/sec の空気流)。

² N/A=適用なし。

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

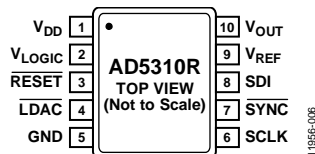


図 6.AD5310R のピン配置

表 8.AD5310R のピン機能説明

ピン番号	記号	説明
1	V _{DD}	電源入力。このデバイスは 2.7 V～5.5 V の電源で動作することができます。この電源は GND へデカップリングしてください。
2	V _{LOGIC}	デジタル電源。電圧範囲は 1.8 V～5.5 V。この電源は GND へデカップリングしてください。
3	RESET	ハードウェア・リセット・ピン。 <u>RESET</u> 入力はロー・レベル検出です。 <u>RESET</u> がロー・レベルになると、デバイスがリセットされ、外部ピンは無視されます。入力レジスタと DAC レジスタにはゼロスケール値がロードされ、コントロール・レジスタにはデフォルト値がロードされます。このピンを使用しない場合は、V _{LOGIC} に接続しておくことができます。
4	LDAC	DAC のロード。 <u>LDAC</u> は、非同期モードで動作することができます (図 3 参照)。入力レジスタに新しいデータがある場合、このピンにロー・レベルのパルスを入力すると、DAC レジスタが更新されます。このピンはロー・レベルに固定することができます。この場合、新しいデータが入力レジスタに書込まれると、DAC レジスタは自動的に更新されます。
5	GND	グラウンド基準。
6	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジでシフトレジスタに入力されます。データは最大 50 MHz のレートで転送されます。
7	SYNC	同期データ入力。 <u>SYNC</u> がロー・レベルになると、SCLK パッファ、SDI パッファ、入力シフトレジスタがイネーブルされます。
8	SDI	シリアル・データ入力。データは、SCLK の立下がりエッジでサンプルされます。
9	V _{REF}	リファレンス電圧入力/出力。デフォルトで、このピンはリファレンス出力になっています。このピンは 10 nF のコンデンサで GND へデカップリングすることが推奨されます。
10	V _{OUT}	DAC からのアナログ出力電圧。出力アンプはレール to レールで動作します。

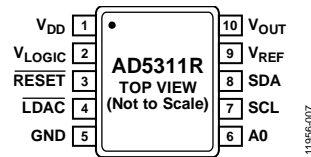


図 7.AD5311R のピン配置

表 9.AD5311R のピン機能説明

ピン番号	記号	説明
1	V _{DD}	電源入力。このデバイスは 2.7 V～5.5 V の電源で動作することができます。この電源は GND へデカップリングしてください。
2	V _{LOGIC}	デジタル電源。電圧範囲は 1.8 V～5.5 V。この電源は GND へデカップリングしてください。
3	RESET	ハードウェア・リセット・ピン。 <u>RESET</u> 入力はロー・レベル検出です。 <u>RESET</u> がロー・レベルになると、デバイスがリセットされ、外部ピンは無視されます。入力レジスタと DAC レジスタにはゼロスケール値がロードされ、コントロール・レジスタにはデフォルト値がロードされます。このピンを使用しない場合は、V _{LOGIC} に接続しておくことができます。
4	LDAC	DAC のロード。入力レジスタ値を DAC レジスタへ転送します。このピンは、非同期と同期の 2 つのモードで動作することができます(図 5 参照)。このピンはロー・レベルに固定することができます。新しいデータが入力レジスタに書込まれると、DAC が更新されます。
5	GND	グラウンド基準。
6	A0	複数のパッケージをデコードするためのプログラマブルなアドレス(ADDR1)。アドレス・ピンは随時更新することができます。
7	SCL	シリアル・クロック・ライン。
8	SDA	シリアル・データ入力/出力。
9	V _{REF}	リファレンス電圧入力/出力。このピンは、デフォルトでリファレンス出力になります。このピンは 10 nF のコンデンサで GND へデカップリングすることが推奨されます。
10	V _{OUT}	DAC からのアナログ出力電圧。出力アンプはレール to レールで動作します。

代表的な性能特性

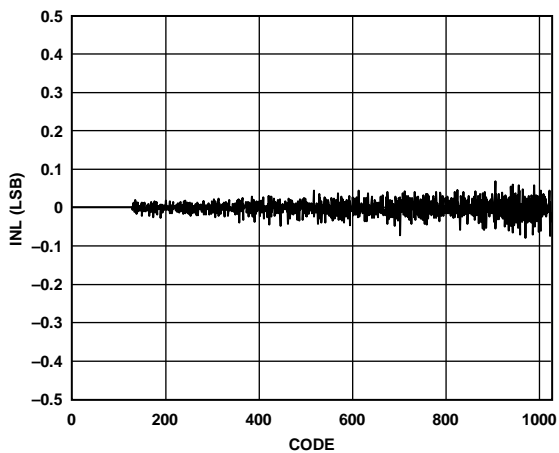


図 8. INL

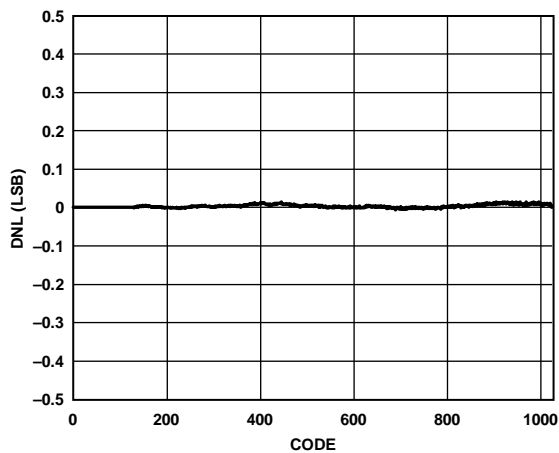


図 11. DNL

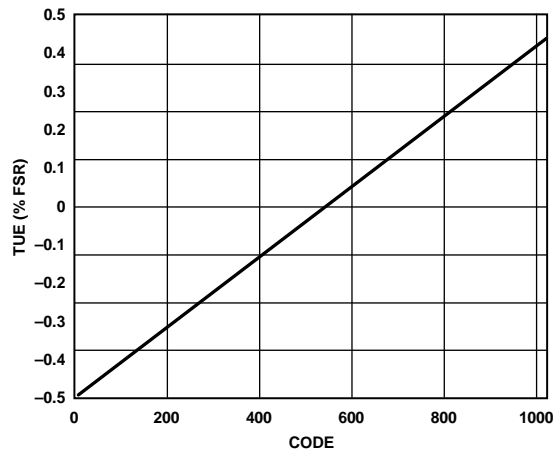


図 9. コード対 TUE

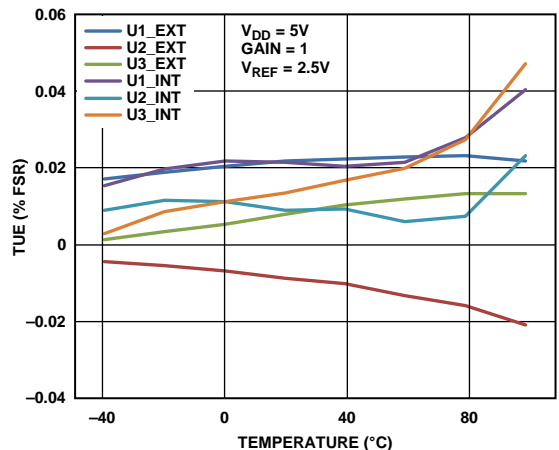


図 12. TUE の温度特性

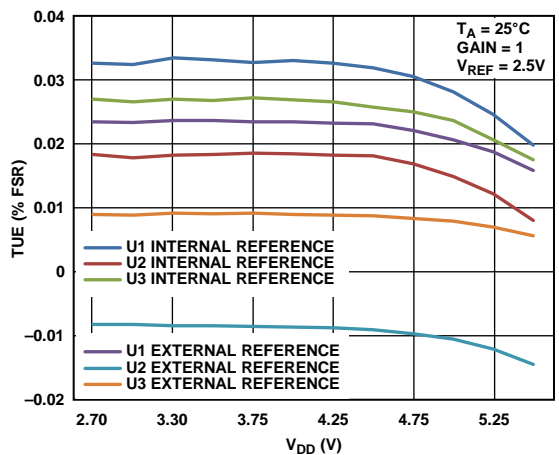


図 10. 電源対 TUE、ゲイン=1

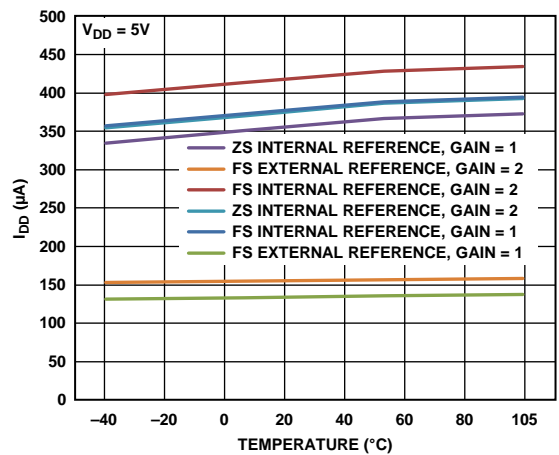
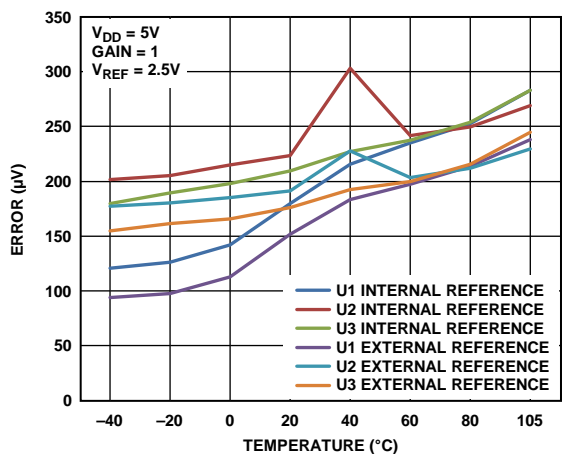
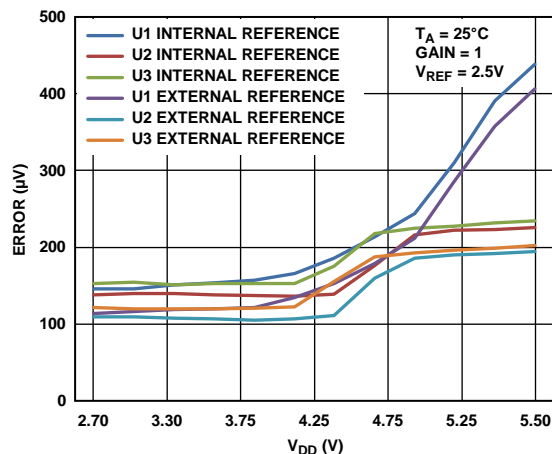


図 13. 電源電流の温度特性



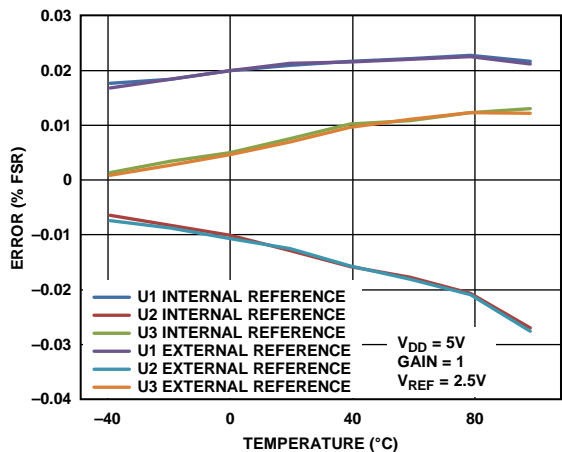
11956-016

図 14. ゼロ・コード誤差とオフセット誤差の温度特性



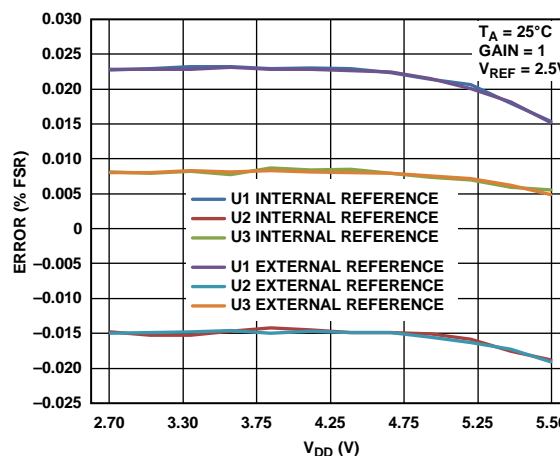
11956-019

図 17. 電源対ゼロ・コード誤差およびオフセット誤差



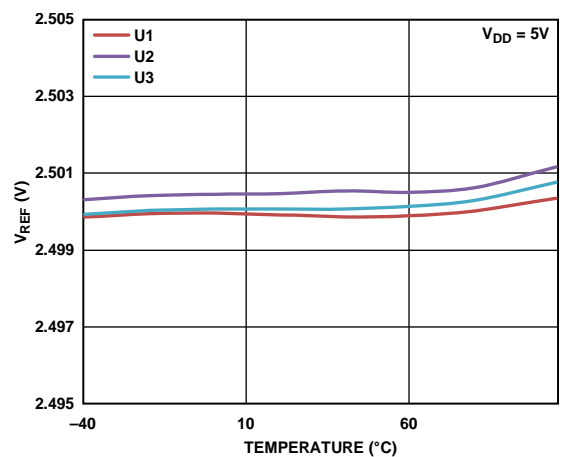
11956-015

図 15. ゲイン誤差とフルスケール誤差の温度特性



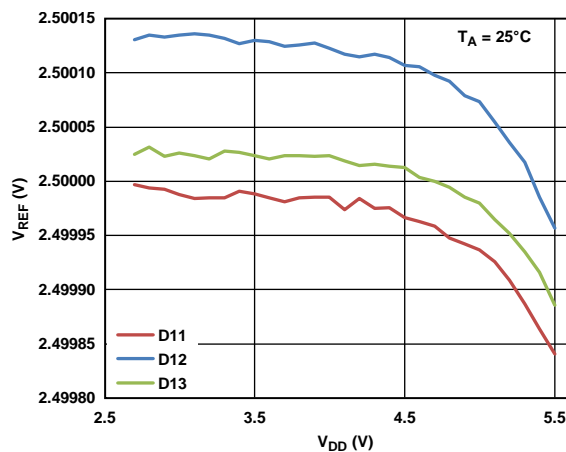
11956-018

図 18. 電源対ゲイン誤差およびフルスケール誤差



11956-020

図 16. 内蔵リファレンス電圧の温度特性



11956-021

図 19. 電源電圧対内蔵リファレンス電圧

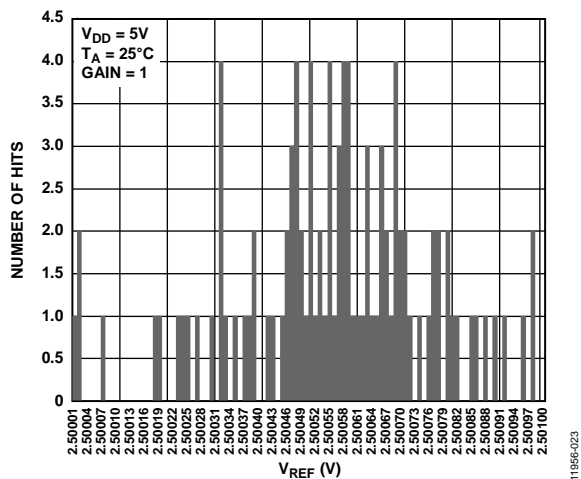


図 20. リファレンス出力の広がり

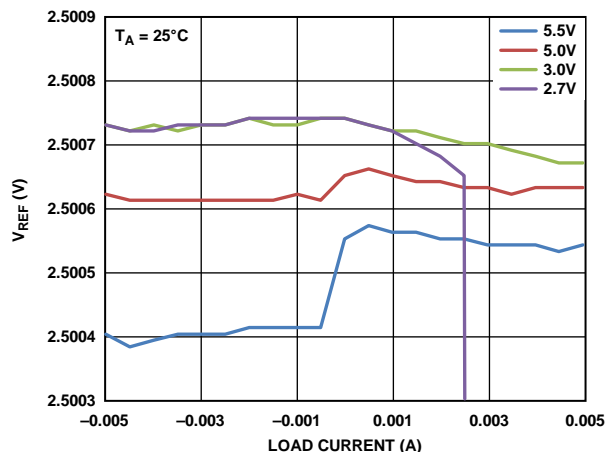


図 23. 負荷電流対内蔵リファレンス電圧

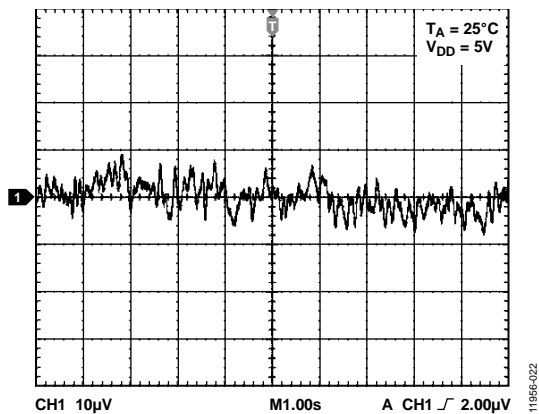


図 21. 内蔵リファレンスのノイズ、0.1 Hz~10 Hz

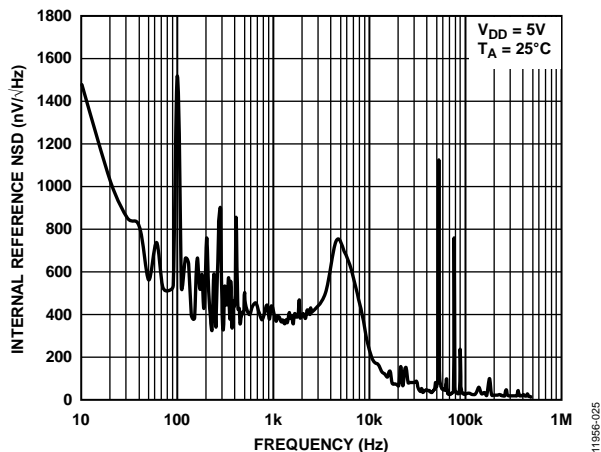


図 24. 内蔵リファレンス・ノイズ・スペクトル密度の周波数特性

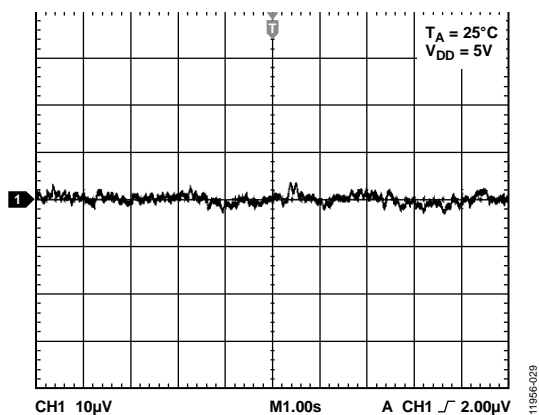


図 22. 0.1 Hz~10 Hzでの出力ノイズ・プロット
外付けリファレンス電圧

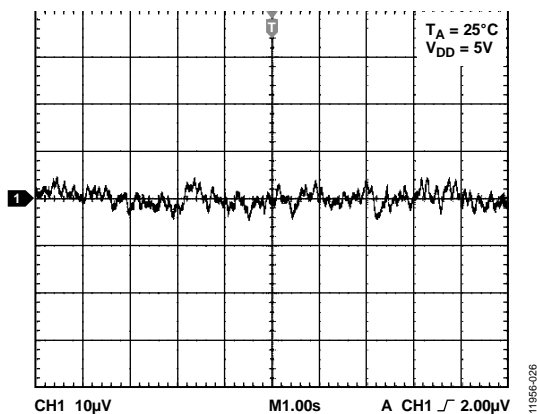


図 25. 0.1 Hz~10 Hzでの出力ノイズ・プロット
内蔵リファレンス電圧

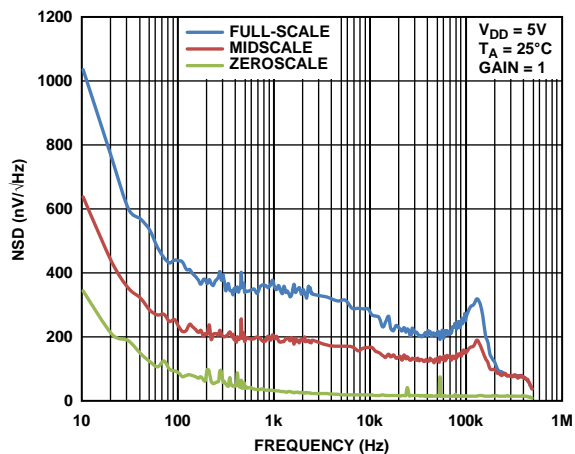


図 26. ノイズ・スペクトル密度、ゲイン = 1

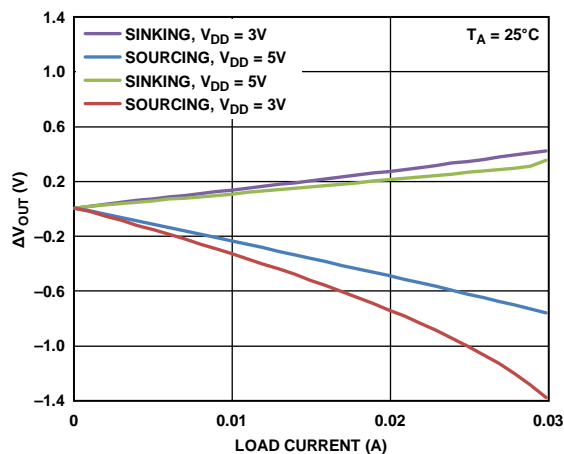


図 29. 負荷電流対ヘッドルーム／フットルーム

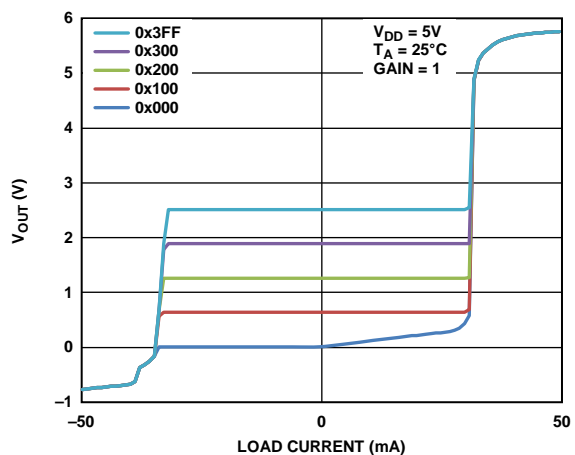


図 27. ソース能力とシンク能力、ゲイン = 1

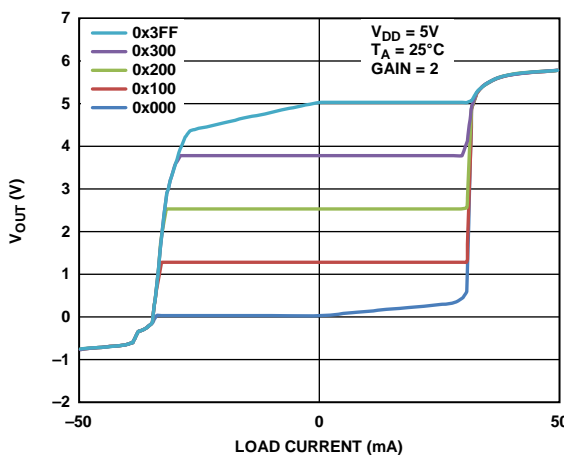


図 30. ソース能力とシンク能力、ゲイン = 2

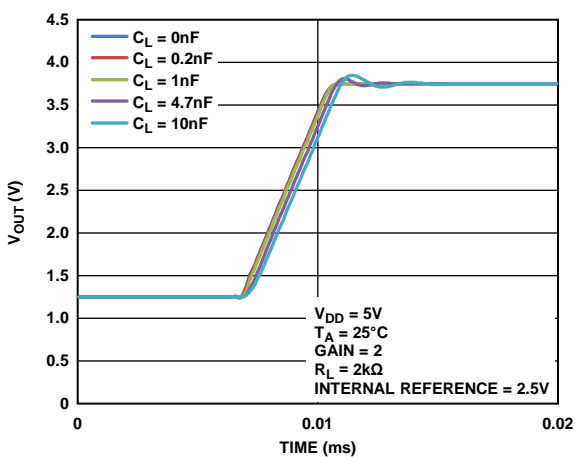


図 28. 容量負荷対セトリング・タイム、ゲイン = 2

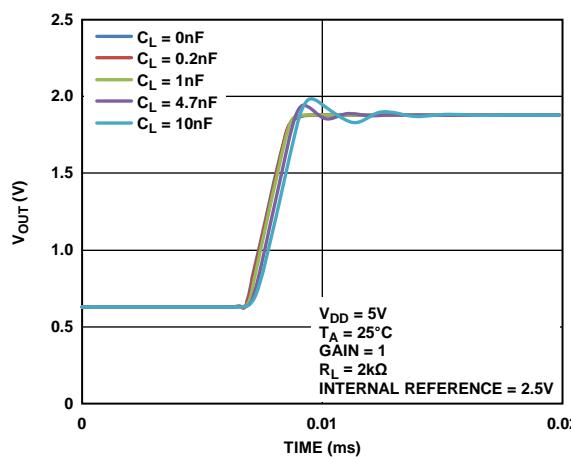


図 31. 容量負荷対セトリング・タイム、ゲイン = 1

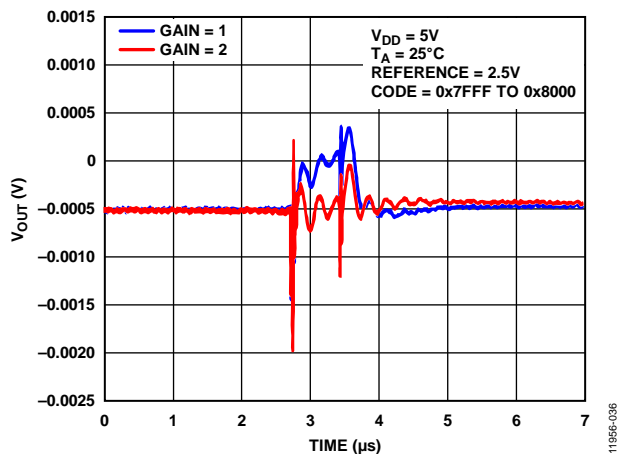


図 32. デジタルからアナログへのグリッチ・インパルス

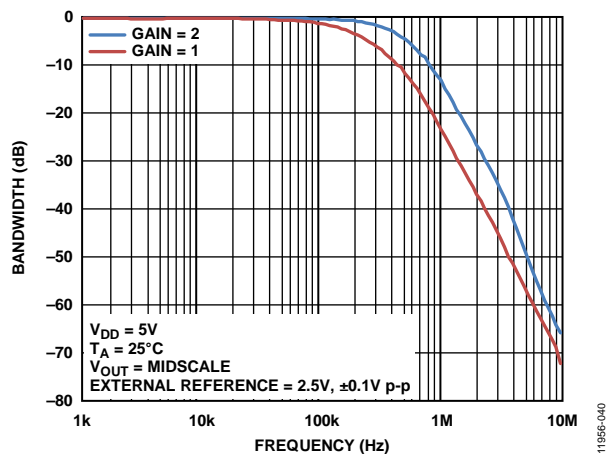


図 35. 乗算帯域幅
外付けリファレンス電圧 = 2.5 V ± 0.1 V p-p
10 kHz ~ 10 MHz

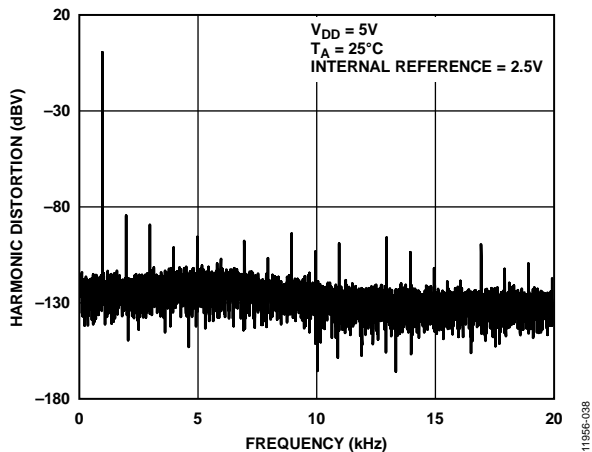


図 33. 全高調波歪み、1 kHz

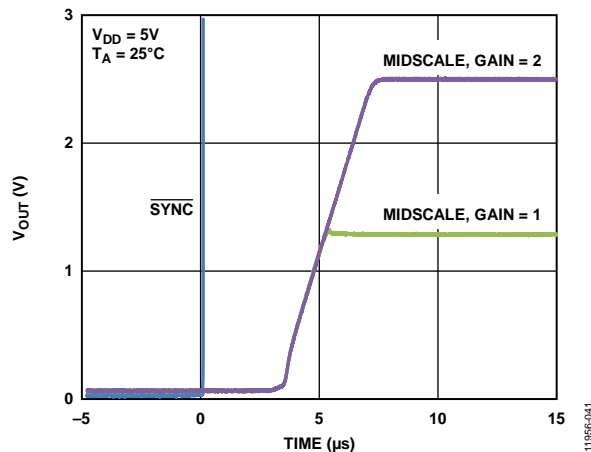


図 36. パワーダウン終了時のミッドスケール出力

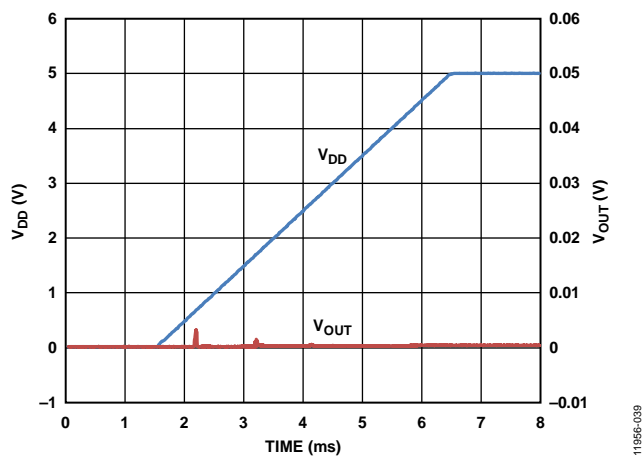


図 34. パワーオン、0 V へのリセット

用語

相対精度または積分非直線性(INL)

DAC の場合、相対精度すなわち積分非直線性は、DAC 伝達関数の上下両端を結ぶ直線からの最大乖離(LSB 数で表示)を表します。代表的な INL 対コード・プロットについては図 8 を参照してください。

微分非直線性(DNL)

微分非直線性(DNL)は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差をいいます。最大±1 LSB の微分非直線性の規定により、単調性が保証されます。この DAC はデザインにより単調性を保証しています。代表的な DNL 対コード・プロットについては、図 11 を参照してください。

ゼロ・コード誤差

ゼロ・コード誤差は、ゼロ・コード(0x000)を DAC レジスタにロードしたときの出力誤差として測定されます。理論的には、出力が 0 V である必要があります。ゼロ・コード誤差はこの入力では常に正です。これは、DAC と出力アンプのオフセット誤差の組み合わせによって DAC 出力が 0 V より低くなる可能性があります。ゼロ・コード誤差は mV で表します。ゼロ・コード誤差のプロットについては、図 14 と図 17 を参照してください。

フルスケール誤差

フルスケール誤差は、フルスケール・コード(0x3FF)を DAC レジスタにロードしたときの出力誤差として測定されます。理論的には出力は $V_{DD} - 1 \text{ LSB}$ である必要があります。フルスケール誤差はフルスケール範囲のパーセント値(FSR の%)で表します。フルスケール誤差のプロットについては、図 15 と図 18 を参照してください。

ゲイン誤差

ゲイン誤差は、DAC 振幅誤差の測定値です。理論 DAC 伝達特性傾斜からの変位を表し、FSR の%で表示されます。

ゼロ・コード誤差ドリフト

ゼロ・コード誤差ドリフトは、温度変化によるゼロ・コード誤差の変化を表し、 $\mu\text{V}/^\circ\text{C}$ で表されます。

ゲイン温度係数

ゲイン温度係数は、温度変化に対するゲイン誤差の変化を表し、FSR/ $^\circ\text{C}$ の ppm で表されます。

オフセット誤差

オフセット誤差は、伝達関数の直線領域での V_{OUT} (実測値)と V_{OUT} (理論)の差を表し、mV で表示されます。オフセット誤差は、DAC レジスタにコード 4 をロードして測定されています。この誤差は正または負になります。

DC 電源除去比(PSRR)

PSRR は、電源電圧変化の DAC 出力に対する影響を表します。PSRR は、DAC フルスケール出力での、 V_{OUT} 変化の V_{DD} 変化に対する比です。dB 値で表示します。 V_{REF} を 2 V に固定して、 V_{DD} を±10% 変化させます。

出力電圧セトリング・タイム

1/4 フルスケールから 3/4 フルスケールへの入力変化に対して、DAC 出力が規定のレベルまでに安定するために要する時間を表します。

デジタルからアナログへのグリッチ・インパルス

デジタルからアナログへのグリッチ・インパルスは、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常、nV-sec で表すグリッチの面積として規定され、メジャー・キャリ変化時に(0x1FF→0x200)、デジタル入力コードが 1 LSB だけ変化したときに測定されます。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表します。nV-sec で規定され、データ・バス上でのフルスケール・コード変化時、すなわち全ビット 0 から全ビット 1 への変化、またはその逆の変化のときに測定されます。

出力ノイズ・スペクトル密度

ノイズ・スペクトル密度は、内部で発生するランダム・ノイズの大きさを表します。ランダム・ノイズは、スペクトル密度(nV/ $\sqrt{\text{Hz}}$)としてキャラクタライズされます。DAC にミッドスケールを入力し、出力のノイズを測定して nV/ $\sqrt{\text{Hz}}$ で表します。ノイズ・スペクトル密度のプロットについては、図 22、図 25、図 26 を参照してください。内蔵リファレンス電圧のノイズ・スペクトル密度のプロットについては、図 21 と図 24 を参照してください。

乗算帯域幅

DAC 内のアンプは有限な帯域幅を持っています。乗算帯域幅はこれを表します。リファレンス上の正弦波(DAC にフルスケール・コードをロード)は、出力に現われます。乗算帯域幅は、出力振幅が入力より 3 dB 小さくなる周波数で表します。

全高調歪み(THD)

THD は、理論正弦波と DAC を使ったために減衰したその正弦波との差を表します。DAC に対してリファレンスとして正弦波を使ったときに、DAC 出力に現われる高調波が THD になります。dB 値で表示します。

リファレンス電圧温度係数(TC)

温度変化に対するリファレンス出力電圧の変化を意味し、リファレンス TC はボックス法を使って計算されます。この方法では、与えられた温度範囲でのリファレンス出力の最大変化として TC を定義し、次式のように ppm/ $^\circ\text{C}$ で表わします。

$$TC = \left[\frac{V_{REFmax} - V_{REFmin}}{V_{REFnom} \times TempRange} \right] \times 10^6$$

ここで、

V_{REFmax} は全温度範囲で測定した最大リファレンス出力。

V_{REFmin} は全温度範囲で測定した最小リファレンス出力。

V_{REFnom} は公称リファレンス出力電圧、2.5 V。

$TempRange$ は規定の温度範囲、 $-40^\circ\text{C} \sim +105^\circ\text{C}$ 。

動作原理

D/A コンバータ

AD5310R/AD5311R は、2.5 V のリファレンス電圧を内蔵した、シングル・チャンネル、10 ビット、シリアル入力、電圧出力 DAC です。これらのデバイスは 2.7 V~5.5 V の電源電圧で動作します。データは、I²C シリアル・インターフェースまたは SPI インターフェースを使用して 24 ビット・ワード・フォーマットで AD5310R/AD5311R へ書込まれます。

AD5310R/AD5311R は、パワーオン・リセット回路を内蔵しており、この回路により、パワーアップ時に DAC 出力をゼロスケールにすることができます。これらのデバイスは、消費電流 (typ) を最大 2 μA まで減少させるソフトウェア・パワーダウン・モードも持っています。

伝達関数

内蔵リファレンスはデフォルトでオンになっています。外付けリファレンス電圧を必要とする場合は、AD568x ファミリーを使用することができます。DAC への入力コーディングはストレート・バイナリを使っているため、理論出力電圧は次式で与えられます。

AD5310R の場合、

$$V_{OUT}(D) = Gain \times V_{REF} \times \left[\frac{D}{1024} \right]$$

AD5311R の場合、

$$V_{OUT}(D) = Gain \times V_{REF} \times \left[\frac{D}{1024} \right]$$

ここで、

D は DAC レジスタにロードされるバイナリ・コードの 10 進数表示。

$Gain$ は、出力アンプのゲインで、デフォルトで $\times 1$ に設定されません。ゲインは、コントロール・レジスタのゲイン選択ビットを使って 1 または 2 に設定することもできます。

DAC アーキテクチャ

DAC アーキテクチャでは、出力バッファ付きのセグメント化ストリング DAC を採用しています。図 37 に内部ブロック図を示します。

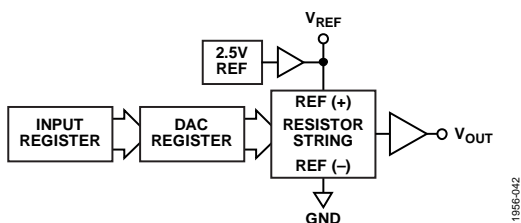


図 37. DAC チャンネル・アーキテクチャのブロック図

セグメント化抵抗ストリング DAC の簡略化した構造を図 38 に示します。DAC レジスタにロードされるコードにより、出力バッファに接続されたストリングのオンになるスイッチが決定されます。

ストリングの各抵抗は同じ値 R を持つため、ストリング DAC の単調性が保証されます。

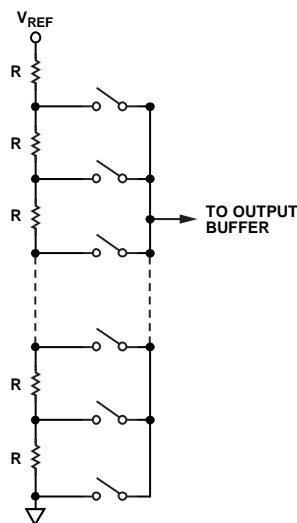


図 38. 簡略化した抵抗ストリング構造

内蔵リファレンス

AD5310R/AD5311R は、2.5 V の 2 ppm/°C リファレンス電圧を内蔵しており、ゲイン・ビットの状態に応じて、2.5 V または 5 V のフルスケール出力を提供します (表 15 参照)。

AD5310R/AD5311R の内蔵リファレンスはパワーアップ時にオンになりますが、コントロール・レジスタへの書き込みによりデイスエーブルすることができます。

内蔵リファレンス電圧は V_{REF} ピンに出力されます。このバッファ付きリファレンス電圧は、最大 50 mA の外部負荷を駆動することができます。

外付けリファレンス

V_{REF} ピンは入力ピンに設定することができるため、アプリケーションで外付けリファレンスが必要な場合これを使用することができます。内蔵リファレンスはパワーアップ時にデフォルトでオンになっています。

内蔵リファレンス電圧をデイスエーブルするために、外付けバッファをこのピンに接続する前に、コントロール・レジスタへの書き込みが必要です (REF ビットのセクション参照)。

出力バッファ

出力バッファは入力/出力レール to レール・バッファとしてデザインされており、最大出力電圧範囲は 0 V ~ V_{DD} です。ゲイン・ビットにより、セグメント化ストリング DAC のゲインを $\times 1$ または $\times 2$ に設定します (表 15 参照)。出力バッファ電圧は、 V_{REF} 、ゲイン・ビット、オフセット誤差、ゲイン誤差により決定されます。

出力バッファは、10 nF の容量と 2 kΩ の抵抗の並列接続を駆動することができます (図 34 参照)。容量負荷を大きくする必要がある場合には、出力アンプと負荷の間にシャント抵抗を接続する必要があります。スルーレートは 0.7 V/μs であり、1/4 スケールから 3/4 スケールまでのセトリング・タイムは 5 μs です。

シリアル・インターフェース

AD5310R の SPI シリアル・データ・インターフェース

AD5310R は、3 線式シリアル・インターフェース ($\overline{\text{SYNC}}$ 、SCLK、SDI) を内蔵しています。このインターフェースは、シリアル・ペリフェラル・インターフェース (SPI) のモード 1 およびモード 2 と互換で、さらに SPORT のような完全な同期インターフェースとも互換です。図 3 に、代表的な書込みシーケンスのタイミング図を示します。SPI インターフェースの詳細については、AN-1248 アプリケーション・ノートを参照してください。

$\overline{\text{SYNC}}$ ラインをロー・レベルにすると、書込みシーケンスが開始されます。SDI ラインからのデータは、SCLK の立下がりエッジでサンプルされ、入力シフトレジスタに入力されます。データ・ワード(16 ビット)全体が SDI ピンからロードされるまで、 $\overline{\text{SYNC}}$ ピンをロー・レベルに維持する必要があります(図 3 参照)。 $\overline{\text{SYNC}}$ がハイ・レベルに戻ると、シリアル・データ・ワードが表 10 の命令に従ってデコードされます。

$\overline{\text{SYNC}}$ の立下がりエッジで次の書込みシーケンスを確実に開始できるようにするため、次の書込みシーケンスの前に最小 20 ns 間 $\overline{\text{SYNC}}$ をハイ・レベルにする必要があります。

16 個の立下がりクロック・エッジの後に $\overline{\text{SYNC}}$ をハイ・レベルにすると、有効な書込みと見なされて、最初の 16 ビットが入力シフトレジスタへロードされます。

16 個の立下がりクロック・エッジの前に $\overline{\text{SYNC}}$ をハイ・レベルにすると、シリアル書込みが無視されて、この書込みシーケンスは無効と見なされます。

消費電力を小さくするため、すべてのシリアル・インターフェース・ピンを電源レール近くで動作させることが推奨されます。

デジチェーン・モードの互換性

AD5310R はデジチェーン構成で動作させることができますが、SDO ピンがないためデータを転送することができません。AD5310R をデジチェーン・モードで接続するときは、チェーンあたり 1 個のデバイスだけが接続可能で、AD5310R が最終デバイスである必要があります。

デジチェーン接続は、最小のピン数で IC の制御を可能にします。図 39 に示すように、前のパッケージの SDO ピンを次のパッケージの SDI ピンに接続する必要があります。後続デバイス間のライン伝搬遅延のため、クロック周期を大きくする必要があります。デフォルトでは、デジチェーン構成モードはディスエーブルされています。これをイネーブルするときは、コントロール・レジスタの DCEN ビットをセットする必要があります(表 11 参照)。

コントロール・レジスタで DCEN ビットをイネーブルすると、AD5310R は 24 ビットより長いデータワードを有効なフレームとして受けて、受信した最後の 24 ビットをデコードし、最後の 10 LSB を do not care ビットとして扱います。

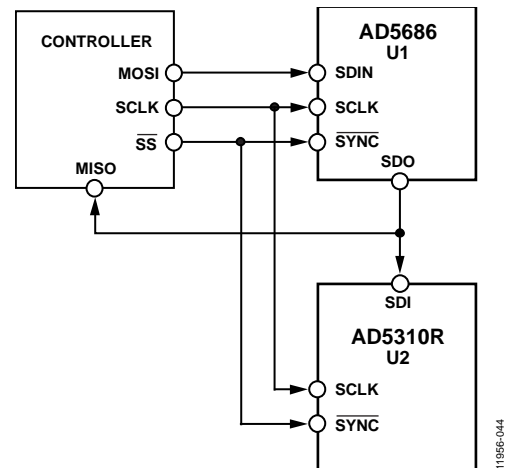


図 39. デジチェーン接続

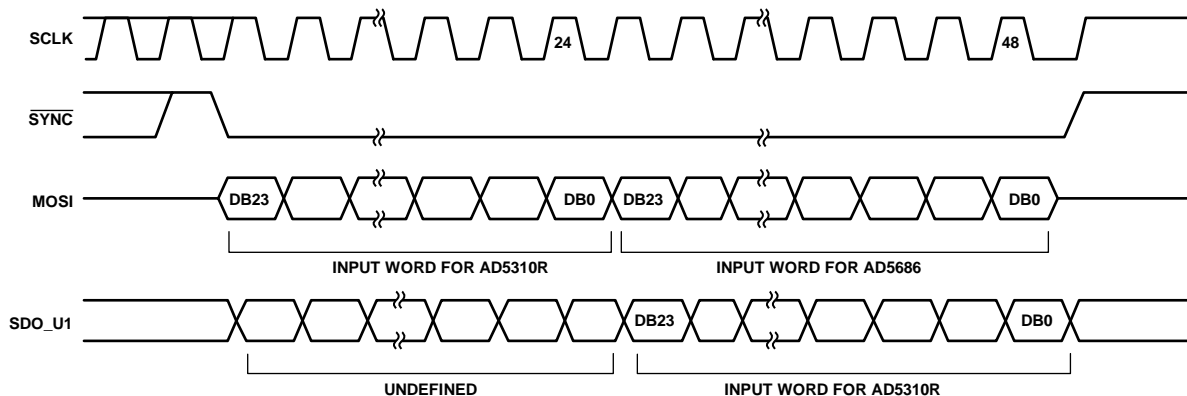


図 40. デジチェーンのタイミング図

表 10.SPI コマンド動作

Command Bits[DB15:DB12]				Data Bits [DB11:DB0] ¹											Operation
C3	C2	C1	C0	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	[DB1:DB0]	
0	0	0	0	X	X	X	X	X	X	X	X	X	X	XX	NOP. Do nothing.
0	0	0	1	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	XX	Write input register.
0	0	1	0	X	X	X	X	X	X	X	X	X	X	XX	Update DAC register (LDAC software).
0	0	1	1	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	XX	Write DAC and input register.
0	1	0	0	DB9	DB8	DB7	DB6	DB5	DB4	0	0	0	0	00	Write control register.

¹ X = don't care.

表 11.コントロール・レジスタ・ビット

DB11	DB10	DB9	DB8	DB7	DB6
RESET	PD1	PDO	REF	GAIN	DCEN

AD5311R の I²C シリアル・データ・インターフェース

AD5311Rは2線式のI²C互換シリアル・インターフェースを内蔵しています。これらのデバイスは、マスター・デバイスから制御されるスレーブ・デバイスとしてI²Cバスに接続することができます。図4に、代表的な書き込みシーケンスのタイミング図を示します。

AD5311Rは、標準(100 kHz)と高速(400 kHz)のデータ転送モードをサポートしています。10ビット・アドレッシングとジェネラル・コール・アドレッシングはサポートされていません。

2線式シリアル・バス・プロトコルは、次のように動作します。

1. マスターはスタート条件を設定してデータ転送を開始します。このスタート条件は、SCL がハイ・レベルの間に SDA ラインがハイ・レベルからロー・レベルへ変化することと定義されます。次のバイトはアドレス・バイトで、7 ビットのスレーブ・アドレスから構成されています。送信されたアドレスに該当するスレーブ・アドレスは 9 番目のクロック・パルスで、SDA ラインをロー・レベルにして応答します(これはアクノリッジ・ビットと呼ばれます)。選択されたデバイスがシフトレジスタに読み書きするデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。
2. データは、9 個のクロック・パルスで 8 ビットのデータとそれに続くアクノリッジ・ビットの順にシリアル・バス上を伝送します。SDA ラインは SCL のロー・レベル区間で変化して、SCL のハイ・レベル区間で安定に維持されている必要があります。
3. 全データビットの読出しまたは書き込みが終了すると、ストップ条件が設定されます。書き込みモードでは、マスターが 10 番目のクロック・パルスで SDA ラインをハイ・レベルにプルアップして、ストップ状態を設定します。読出しモードでは、マスターは 9 番目のクロック・パルスでアクノリッジを発行しません(SDA ラインがハイ・レベルを維持)。この後、マスターは SDA ラインをロー・レベルにして、10 番目のクロック・パルスがハイ・レベルになるときストップ条件を設定します。

I²C アドレス

AD5311Rは7ビットのスレーブ・アドレスを持っています。上位5ビットは10011です。最後から2番目のビットはA0アドレス・ピンの状態で設定され、LSBは0に設定されます。A0をハード・ワイヤー接続で変更する機能を使うと、表12に示すように、1つのバスにこれらのデバイスを最大2個接続することができます。さらに、送信を開始する前にピンを更新できるため、このピンをGPIOまたはマルチプレクサに接続することにより、同じバス上で複数のデバイスが可能になります。

表 12.デバイス・アドレスの指定

A0 Pin Connection	A0 Bit	I ² C Address
GND	0	1001100
V _{LOGIC}	1	1001110

I²C の書き込み動作

AD5311R へ書き込みを行うときは、まずスタート・コマンドを送信し、続いてアドレス・バイト(R/W = 0)を送信します。その後DAC は SDA をロー・レベルにして、データ受信の準備ができたことを通知します(図 41 参照)。AD5311R は、種々の DAC 機能を制御するコマンド・バイト(表 13 参照)と 2 バイトの DAC データを必要とします。これらの全データバイトは、AD5311R によりアクノリッジされます。この後に、ストップ条件が続きます。書き込みシーケンスを図 41 に示します。

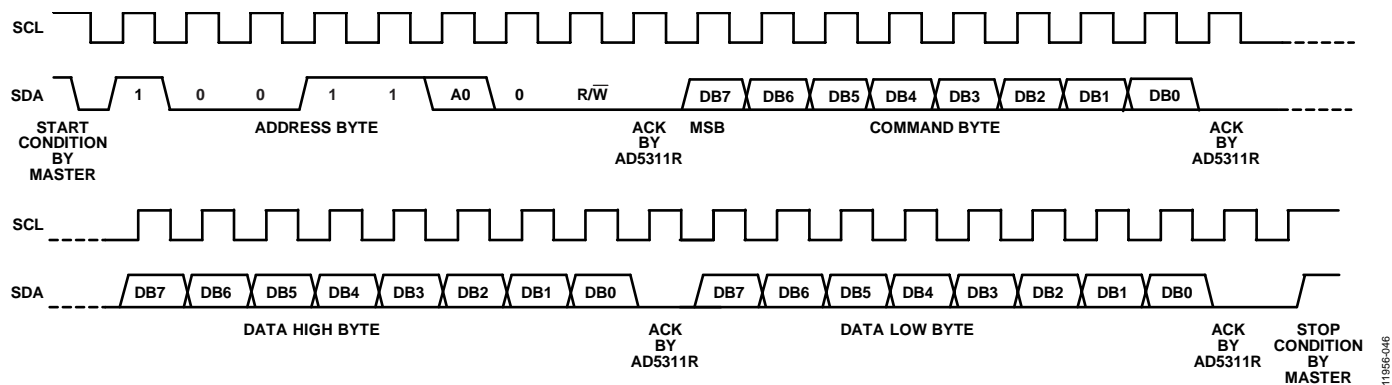


図 41. I²C の書き込み動作

表 13. I²C コマンド表¹

Command Byte					Data High Byte		Data Low Byte		Operation
DB7	DB6	DB5	DB4	[DB3:DB0]	[DB7:DB3]	[DB2:DB0]	[DB7:DB6]	[DB5:DB0]	
0	0	0	0	XXXX	XXXXX	XXX	XX	XXXXX	NOP: do nothing.
0	0	0	1	XXXX	DB9:DB5	DB:DB2	DB1:DB0	XXXXX	Write input register.
0	0	1	0	XXXX	XXXXX	XXX	XX	XXXXX	Update DAC register (LDAC software).
0	0	1	1	XXXX	DB9:DB5	DB4:DB2	DB1:DB0	XXXXX	Write DAC and input registers.
0	1	0	0	XXXX	DB9:DB5	000	00	00000	Write control register.

¹ X = don't care.

表 14. コントロール・レジスタ・ビット

DB9	DB8	DB7	DB6	DB5
RESET	PD1	PDO	REF	GAIN

コマンド

入力レジスタの書込み

この入力レジスタを使って、DAC レジスタの新しい値を予めロードしておくことができます。入力レジスタから DAC レジスタへの転送は、 $\overline{\text{LDAC}}$ ピンでハードウェアから、またはコマンド 2 を使ってソフトウェアから開始することができます。

新しいデータを DAC レジスタへロードすると、この DAC レジスタは自動的に入力レジスタを上書きします。

DAC レジスタを更新

このコマンドは入力レジスタ値を DAC レジスタへ転送し、これにより V_{OUT} ピンが更新されます。シリアル書込みに含まれるデータは無視されます。

この動作は、ソフトウェア $\overline{\text{LDAC}}$ と同じです。

DAC レジスタの書込み

このコマンドは、書込み動作の完了時に DAC レジスタを更新します。入力レジスタは、DAC レジスタ値で自動的に更新されます。

コントロール・レジスタへの書込み

コントロール・レジスタ書込みコマンドは、パワーダウン機能とゲイン機能を設定するときに使います。また、内蔵リファレンス電圧のイネーブル/ディスエーブルとソフトウェア・リセットの実行にも使います。コントロール・レジスタ・ビットについては、表 14 を参照してください。

ゲイン・ビット

ゲイン・ビットは出力アンプのゲインを選択します。表 15 に、出力電圧範囲と対応するゲイン・ビットの状態を示します。

表 15.ゲイン・ビット

Gain	Output Voltage Range
0	0 V to V_{REF} (default)
1	0 V to $2 \times V_{\text{REF}}$

REF ビット

内蔵リファレンスはパワーアップ時にデフォルトでオンになっています。ソフトウェアからコントロール・レジスタのビット DB6 を設定することにより、このリファレンスをターンオン/オフさせることができます。表 16 に、ビットの状態と動作モードの対応を示します。

消費電力を削減するため、デバイスをパワーダウン・モードにする場合、内蔵リファレンス電圧をディスエーブルすることが推奨されます。

表 16.REF ビット

REF	Reference Function
0	Reference enabled (default)
1	Reference disabled

PD0 ビットと PD1 ビット

AD5310R/AD5311R には、書込みコントロール・レジスタへの書込みによりアクセスされる 2 つの動作モードがあります。

通常モードでは、出力バッファは直接 V_{OUT} ピンへ接続されます。パワーダウン・モードでは、出力バッファは内部でディスエーブルされ、 V_{OUT} ピンの出力インピーダンスは既知の値に選択することができます(表 17 参照)。

表 17.動作モード

Operating Mode	PD1	PD0
Normal Mode	0	0
Power-Down Modes		
1 k Ω Output Impedance	0	1
100 k Ω Output Impedance	1	0
Three-State Output Impedance	1	1

パワーダウン・モードでは、このデバイスは出力バッファをディスエーブルしますが、内蔵リファレンス電圧はディスエーブルしません。最大の消費電力削減を実現するためには、REF ビットをディスエーブルすることが推奨されます。

内蔵リファレンス電圧と出力バッファをディスエーブルすると、電源電流は 5 V で 2 μA まで削減されます。

出力ステージを図 42 に示します。

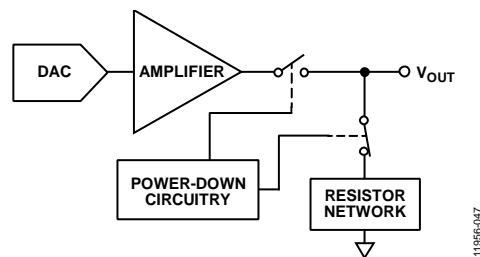


図 42.パワーダウン時の出力ステージ

パワーダウン・モードになると、出力アンプはシャットダウンしますが、内蔵リファレンス電圧がパワーダウンされないかぎり、バイアス・ジェネレータ、リファレンス、抵抗ストリングは動作を続けます。電源電流は 5 V で 2 μA に減少します。DAC レジスタ値はパワーダウン・モードで影響を受けないため、デバイスのパワーダウン・モード中でも DAC レジスタを更新することができます。パワーダウンから抜け出すために要する時間は、 $V_{\text{DD}} = 5 \text{ V}$ で 4 μs (typ) です。また、リファレンスがディスエーブルされている場合は 600 μs です。

リセット・ビット

AD5310R/AD5311R の書込みコントロール・レジスタにはソフトウェア・リセット・ビットがあります。このビットは、DAC レジスタをゼロスケールへリセットし、入力レジスタ、DAC レジスタ、コントロール・レジスタをそれぞれのデフォルト値へリセットします。コントロール・レジスタのリセット・ビットに 1 を設定すると、ソフトウェア・リセットが開始されます。ソフトウェア・リセットが完了すると、リセット・ビットは自動的に 0 にクリアされます。

DAC のロード(ハードウェアLDACピン)

AD5310R/AD5311R は、入力レジスタと DAC レジスタから構成されるダブル・バッファ化されたインターフェースを内蔵しています。LDAC ピンにより、データは入力レジスタから DAC レジスタへ転送され、出力が更新されます。

DAC 同期更新 (AD5311R の場合)

入力レジスタの書き込み中 LDAC ピンをロー・レベルに維持すると、ACK ビットの前の最後の SCL 立下がりエッジで DAC レジスタ、入力レジスタ、出力が更新されます(図 5 参照)。

非同期 DAC 更新

データがデバイスへ転送される間、LDAC はハイ・レベルに維持されます。ストップ条件が発生した後に LDAC をロー・レベルにすると、DAC 出力が更新されます。出力 DAC は、LDAC ピンの立下がりエッジで更新されます。

デバイスのアクセス中に LDAC にパルスが入力されても、このパルスは無視されます。

ハードウェアRESET

RESET はアクティブ・ロー信号で、DAC 出力をゼロスケールへリセットし、入力レジスタ、DAC レジスタ、コントロール・レジスタにそれぞれのデフォルト値を設定します。動作を完了するためには、RESET を 75 ns 間ロー・レベルに維持する必要があります。RESET 信号がハイ・レベルに戻っても、新しい値が設定されるまで出力はゼロスケールを維持します。RESET ピンがロー・レベルの間、AD5310R/AD5311R は新しいコマンドを無視します。

パワーアップ時に RESET をロー・レベルに維持すると、RESET ピンが解除されるまで、内蔵リファレンス電圧が正しく初期化されません。

AD5311R での I²C 読出し動作

AD5311R DAC の入力レジスタからリードバックを行うときは、まずアドレス・バイト(R/W = 1)を送信します。その後、DAC は SDA をロー・レベルにして、データ受信の準備ができたことを通知します。そこで、入力レジスタ値を含む 2 バイトのデータが DAC から読出されます(図 43 参照)。マスターからの NACK 条件の後後に STOP 条件が続いて、読出しシーケンスが完了します。

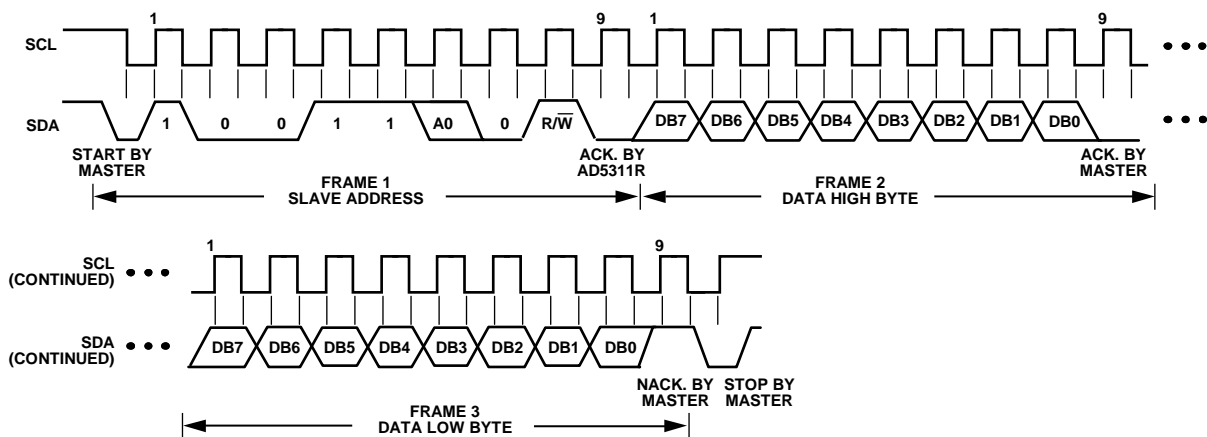


図 43. I²C の読出し動作

11986-046

熱ヒステリシス

熱ヒステリシスは、周囲温度→低温→高温→周囲温度で温度変化させた場合にリファレンス電圧に発生する電圧差です。

熱ヒステリシス・データを図 44 に示します。このデータは、周囲温度+25°C→-40°C→+105°C→周囲温度+25°C で温度変化させて測定したものです。次に、 V_{REF} の変化分を 2 つの周囲温度の間で測定し、図 44 に実線で示します。同じ温度変化と測定を直ちに繰り返し、その結果を図 44 に点線で示します。

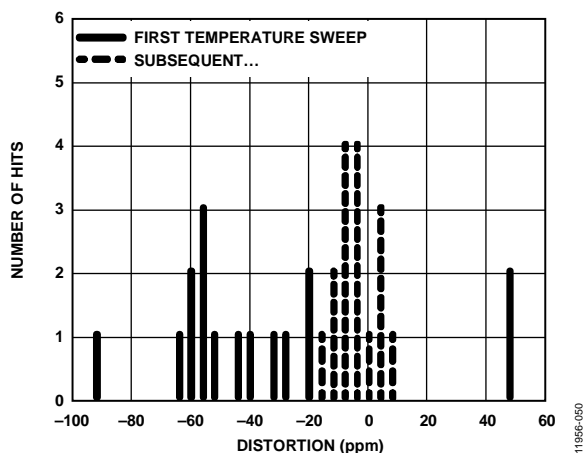


図 44.熱ヒステリシス

パワーアップ・シーケンス

ダイオードがデジタル・ピンとアナログ・ピンでの電圧コンプライアンスを制限しているため、 V_{DD} 、 V_{OUT} 、 V_{LOGIC} の各電圧を加える前に GND を接続することが重要です。そうしないと、ダイオードが順方向バイアスされて、意図せずに V_{DD} に電源が接続されてしまいます。最適なパワーアップ・シーケンスは、GND、 V_{DD} 、 V_{LOGIC} 、 V_{REF} 続いてデジタル入力の順序です。

レイアウトのガイドライン

高精度が重要となる回路では、電源とグラウンド・リターンレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5310R/AD5311R を実装する PCB は、AD5310R/AD5311R をアナログ・プレーン上に配置するようにデザインする必要があります。

AD5310R/AD5311R に対しては、 $10\ \mu\text{F}$ と $0.1\ \mu\text{F}$ の並列接続により十分な電源バイパスをパッケージのできるだけ近くに、理想的にはデバイスに直接に、接続する必要があります。 $10\ \mu\text{F}$ のコンデンサはタンタルのビーズ型を使います。 $0.1\ \mu\text{F}$ コンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗(ESR)が小さく、かつ実効直列インダクタンス(ESI)が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

外形寸法

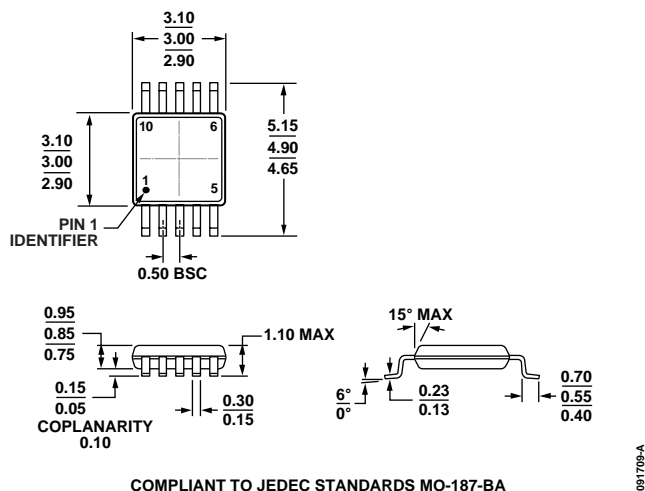


図 45.10 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP] (RM-10)
寸法: mm

オーダー・ガイド

Model ¹	Resolution (Bits)	Temperature Range	Package Description	Package Option	Branding
AD5310RBRMZ	10	-40°C to +105°C	10-Lead MSOP	RM-10	DJZ
AD5310RBRMZ-RL7	10	-40°C to +105°C	10-Lead MSOP	RM-10	DJZ
AD5311RBRMZ	10	-40°C to +105°C	10-Lead MSOP	RM-10	DJX
AD5311RBRMZ-RL7	10	-40°C to +105°C	10-Lead MSOP	RM-10	DJX

¹ Z = RoHS 準拠製品。