

AD5305/AD5315/AD5325*

特長

AD5305

バッファ付き4出力の8ビットD/Aコンバータ、10ピン μ SOIC

AD5315

バッファ付き4出力の10ビットD/Aコンバータ、10ピン μ SOIC

AD5325

バッファ付き4出力の12ビットD/Aコンバータ、10ピン μ SOIC

低消費電力動作: 500 μ A@3V、600 μ A@5V

2線 I²C[®]互換 シリアル・インターフェース

2.5 ~ 5.5V電源

全コードに対する単調性を設計により保証

パワーダウン時: 80nA@3V、200nA@5V

ダブルバッファ入力ロジック

出力範囲: 0 ~ V_{REF}

0Vへのパワーオン・リセット

出力の同時更新(LDAC機能)

ソフトウェア・クリア機能

データ・リードバック機能

レール to レール出力バッファアンプ内蔵

温度範囲: -40 ~ +105

アプリケーション

バッテリー駆動の携帯機器

ゲイン / オフセットのデジタル調整

プログラマブルな電圧 / 電流ソース

プログラマブルな減衰器

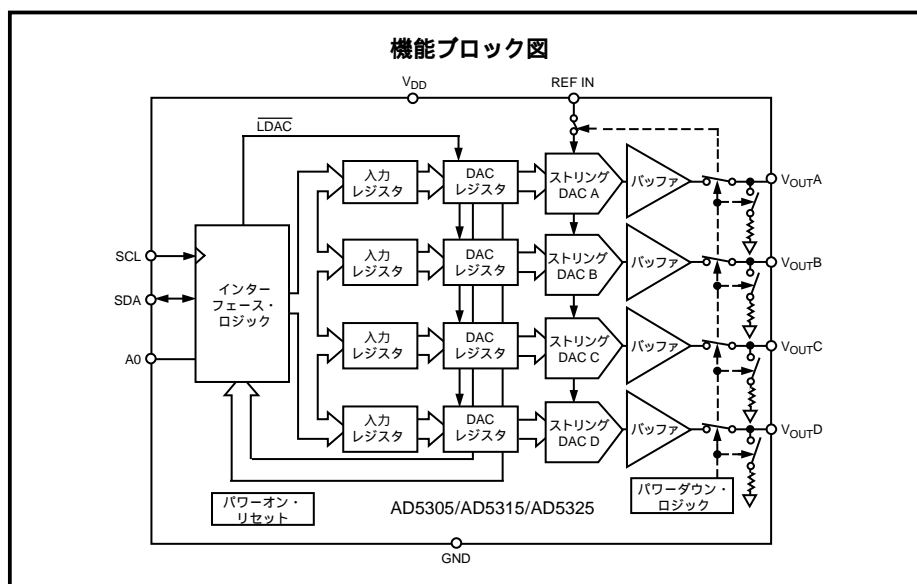
産業プロセス制御

概要

AD5305/5315/5325は、10ピン μ SOICパッケージの8、10、12ビットのクワッド・バッファ付き電圧出力D/Aコンバータ・ファミリで、2.5 ~ 5.5Vの単電源で動作し、3Vで500 μ Aの低消費電力です。内蔵出力アンプは、0.7V/ μ sのスルーレートでレール to レールの出力振幅が可能です。最大400kHzまでのクロック・レートで動作する2線シリアル・インターフェースを採用しており、V_{DD} < 3.6VでSMBus互換です。同一バスに複数のデバイスを設置することができます。

AD5305/5315/5325は、4つのDACのリファレンスを1つのリファレンス・ピンから得ることができます。また、ソフトウェアLDAC機能により、すべてのDAC出力を同時に更新可能。パワーオン・リセット回路を内蔵しており、DAC出力を0Vとし、デバイスに有効な書き込みが行われるまで0Vを保持できます。さらに、ソフトウェア・クリア機能により、すべての入力をリセットし、DACのレジスタを0Vにリセットすることができます。消費電流を200nA@5V(80nA@3V)まで低減するパワーダウン機能も備えています。

AD5305/5315/5325は通常の動作で低消費電力ですから、バッテリー駆動の携帯機器に最適です。消費電力は5Vで3mW、3Vで1.5mWで、パワーダウン・モードでは1 μ Wまで低減されます。



*米国特許番号5,969,657取得済み。その他の特許は出願中です。

I²Cは、Philips Corporationの登録商標です。

REV.B

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD5305/AD5315/AD5325 仕様

($V_{DD} = 2.5 \sim 5.5V$; $V_{REF} = 2V$; $R_L = 2k \sim GND$; $C_L = 200pF \sim GND$; 特に指示のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$)

パラメータ ¹	Bバージョン ²			単位	条件/備考
	Min	Typ	Max		
DC特性 ^{3,4}					
AD5305					
分解能		8		ビット	
相対精度		± 0.15	± 1	LSB	
微分非直線性		± 0.02	± 0.25	LSB	全コードに対する単調性を設計で保証
AD5315					
分解能		10		ビット	
相対精度		± 0.5	± 4	LSB	
微分非直線性		± 0.05	± 0.5	LSB	全コードに対する単調性を設計で保証
AD5325					
分解能		12		ビット	
相対精度		± 2	± 16	LSB	
微分非直線性		± 0.2	± 1	LSB	全コードに対する単調性を設計で保証
オフセット誤差		± 0.4	± 3	FSRの%値	
ゲイン誤差		± 0.15	± 1	FSRの%値	
低圧デッドバンド		20	60	mV	低圧デッドバンドはオフセット誤差が負のときのみ存在
オフセット誤差ドリフト ⁵		-12		FSR/ のppm	
ゲイン誤差ドリフト ⁵		-5		FSR/ のppm	
電源除去比 ⁵		-60		dB	$V_{DD} = \pm 10\%$
DCクロストーク ⁵		200		μV	$R_L = 2k \sim GND$ または V_{DD}
DACリファレンス入力 ⁵					
V_{REF} 入力範囲	0.25		V_{DD}	V	
V_{REF} 入力インピーダンス	37	45		k	通常動作
リファレンス・フィードスルー		> 10		M	パワーダウン・モード
		-90		dB	周波数 = 10kHz
出力特性 ⁵					
最小出力電圧 ⁶		0.001		V	出力アンプの最小および最大駆動能力を示します
最大出力電圧 ⁶		$V_{DD} - 0.001$		V	
DC出力インピーダンス		0.5			
短絡電流		25		mA	$V_{DD} = 5V$
		16		mA	$V_{DD} = 3V$
パワーアップ時間		2.5		μs	パワーダウン・モードからの立ち上げ。VDD = 5V
		5		μs	パワーダウン・モードからの立ち上げ。VDD = 3V
ロジック入力(A0) ⁷					
入力電流			± 1	μA	
V_{IL} 、入力ロー電圧			0.8	V	$V_{DD} = 5V \pm 10\%$
			0.6	V	$V_{DD} = 3V \pm 10\%$
			0.5	V	$V_{DD} = 2.5V$
V_{IH} 、入力ハイ電圧	2.4			V	$V_{DD} = 5V \pm 10\%$
	2.1			V	$V_{DD} = 3V \pm 10\%$
	2.0			V	$V_{DD} = 2.5V$
ピン容量		3		pF	
ロジック入力(SCL, SDA) ⁷					
V_{IH} 、入力ハイ電圧	$0.7V_{DD}$		$V_{DD} + 0.3$	V	$V_{DD} < 3.6V$ においてSMBusコンパチブル
V_{IL} 、入力ロー電圧	-0.3		$0.3V_{DD}$	V	$V_{DD} < 3.6V$ においてSMBusコンパチブル
I_{IN} 、入力リーク電流			± 1	μA	
V_{HYST} 、入力ヒステリシス	$0.05V_{DD}$			V	
C_{IN} 、入力容量		8		pF	
グリッチ除去			50	ns	入力フィルタ処理により、50ns未満のノイズ・スパイクを除去
ロジック出力(SDA) ⁷					
V_{OL} 、出力ロー電圧			0.4	V	$I_{SINK} = 3mA$
			0.6	V	$I_{SINK} = 6mA$
スリープ状態・リーク電流			± 1	μA	
スリープ状態出力容量		8		pF	
電源条件					
V_{DD}	2.5		5.5	V	
I_{DD} (通常時) ⁷					$V_{IH} = V_{DD}$ および $V_{IL} = GND$
$V_{DD} = 4.5 \sim 5.5V$		600	900	μA	
$V_{DD} = 2.5 \sim 3.6V$		500	700	μA	
I_{DD} (パワーダウン・モード)					$V_{IH} = V_{DD}$ および $V_{IL} = GND$,
$V_{DD} = 4.5 \sim 5.5V$		0.2	1	μA	SDAにおける"0"のリードバックについて $I_{DD} = 4 \mu A$ (Max)
$V_{DD} = 2.5 \sim 3.6V$		0.08	1	μA	SDAにおける"0"のリードバックについて $I_{DD} = 1.5 \mu A$ (Max)

AD5305/AD5315/AD5325

注

- 用語説明を参照。
- 温度範囲：Bバージョン：-40 ~ +105、代表値25
- 出力無負荷でのテストによるDC仕様
- 直線性テストではコード範囲を限定：AD5305（コード8 ~ 248）、AD5315（コード28 ~ 995）、AD5325（コード115 ~ 3981）
- 設計および特性において保証。製品テストは行いません。
- アンプの出力が最低電圧に達するにはオフセット誤差が負でなければなりません。最大電圧に達するためには、 $V_{REF}=V_{DD}$ および「オフセット+ゲイン」の誤差が正でなければなりません。
- I_{DD} の仕様はすべてのDACコードに有効です。インターフェースはアクティブではありません。すべてのDACはアクティブであり、負荷電流は除外されます。

仕様は予告なく変更されることがあります。

AC特性¹ ($V_{DD}=2.5\sim 5.5V$; $R_L=2k\sim GND$; $C_L=200pF\sim GND$; 特に指示のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$)

パラメータ ²	Bバージョン ³			単位	条件/備考
	Min	Typ	Max		
出力電圧セトリング・タイム					$V_{REF}=V_{DD}=5V$
AD5305		6	8	μs	1/4から3/4スケールに変化（40H ~ C0H）
AD5315		7	9	μs	1/4から3/4スケールに変化（100H ~ 300H）
AD5325		8	10	μs	1/4から3/4スケールに変化（400H ~ C00H）
スルー・レート		0.7		$V/\mu s$	
主要コード変化時のグリッチ電力		12		nV-s	主要キャリア付近での1LSB変化
デジタル・フィードスルー		1		nV-s	
デジタル・クロストーク		1		nV-s	
DAC対DACクロストーク		3		nV-s	
マルチプル帯域幅		200		kHz	$V_{REF}=2V\pm 0.1Vp-p$
全高調波歪み		-70		dB	$V_{REF}=2.5V\pm 0.1Vp-p$ 。周波数 = 10kHz

注

- 設計および特性において保証。製品テストは行いません。
- 用語説明の項参照。
- 温度範囲：Bバージョン：-40 ~ +105、代表値25

仕様は予告なく変更されることがあります。

タイミング特性^{1,2} ($V_{DD}=2.5\sim 5.5V$ 。特に指示のない限り、すべての仕様は $T_{MIN}\sim T_{MAX}$)

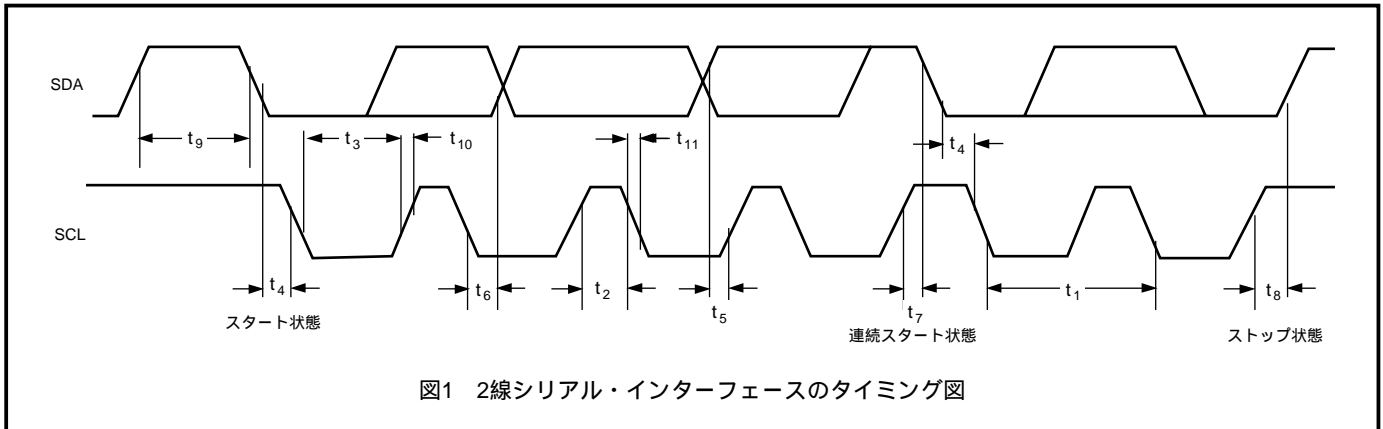
パラメータ	T_{MIN} 、 T_{MAX} での限界値 (Bバージョン)	単位	条件/備考
F_{SCL}	400	kHz max	SCLクロック周波数
t_1	2.5	μs min	SCLサイクル・タイム
t_2	0.6	μs min	t_{HIGH} , SCLハイ時間
t_3	1.3	μs min	t_{LOW} , SCLロー時間
t_4	0.6	μs min	$t_{HD,STA}$, スタート/連続スタート状態ホールド時間
t_5	100	ns min	$t_{SU,DAT}$, データ・セットアップ時間
t_6^3	0.9	μs max	$t_{HD,DAT}$, データ・ホールド時間
	0	μs min	$t_{HD,DAT}$, データ・ホールド時間
t_7	0.6	μs min	$t_{SU,STA}$, 連続スタートでのセットアップ時間
t_8	0.6	μs min	$t_{SU,STO}$, ストップ状態のセットアップ時間
t_9	1.3	μs min	t_{BUF} , STOPとSTART状態間のバス・フリー時間
t_{10}	300	ns max	t_R , 受信時のSCLおよびSDAの立ち上がり時間
	0	ns min	t_R , 受信時のSCLおよびSDAの立ち上がり時間（CMOS互換）
t_{11}	250	ns max	t_F , 送信時のSDAの立ち下り時間
	0	ns min	t_F , 送信時のSDAの立ち下り時間（CMOS互換）
	300	ns max	t_F , 受信時のSCLおよびSDAの立ち下り時間
	$20 + 0.1C_B^3$	ns min	t_F , 送信時のSCLおよびSDAの立ち下り時間
C_B	400	pF max	各バス・ラインの容量性負荷

注

- 図1参照
- 設計および特性において保証。製品テストは行いません。
- C_B は1本のバス・ラインの全容量をpFの単位で表したものです。 t_R および t_F は $0.3V_{DD}\sim 0.7V_{DD}$ での測定値です。

仕様は予告なく変更されることがあります。

AD5305/AD5315/AD5325



絶対最大定格^{1,2}

(特に指示のない限り、 $T_A = 25$)

$V_{DD} \sim GND$	- 0.3 ~ + 7V
SCL, SDA ~ GND	- 0.3 ~ $V_{DD} + 0.3V$
A0 ~ GND	- 0.3 ~ $V_{DD} + 0.3V$
入力リファレンス電圧 ~ GND	- 0.3 ~ $V_{DD} + 0.3V$
$V_{OUTA-D} \sim GND$	- 0.3 ~ $V_{DD} + 0.3V$

動作温度範囲

工業用 (Bバージョン) - 40 ~ + 105

保管温度範囲 - 65 ~ + 150

接合温度 ($T_J \max$) 150

μ SOICパッケージ

ワット損 $(T_J \max - T_A) / J_A$

J _A 熱インピーダンス	206 /W
J _C 熱インピーダンス	44 /W
リフロー・ハンダ付け	
ピーク温度	220 + 5/ - 0
ピーク温度継続時間	10 ~ 40秒

注

- 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。
- 最大100mAまでの過渡電流では、SCRラッチアップは発生しません。

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。

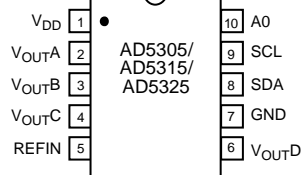


オーダー・ガイド

型番	温度範囲	パッケージ	パッケージ・オプション	ブランド情報
AD5305BRM	- 40 ~ + 105	10ピン μ SOIC	RM-10	DEB
AD5315BRM	- 40 ~ + 105	10ピン μ SOIC	RM-10	DFB
AD5325BRM	- 40 ~ + 105	10ピン μ SOIC	RM-10	DGB

AD5305/AD5315/AD5325

ピン配置



上面図
(縮尺は異なります)

ピン機能説明

ピン番号	記号	機能
1	V _{DD}	電源入力。2.5～5.5Vで動作させることができます。電源はGNDにデカップリングする必要があります。
2	V _{OUTA}	DAC Aからのバッファされたアナログ出力電圧。出力アンプは、レール to レールで動作します。
3	V _{OUTB}	DAC Bからのバッファされたアナログ出力電圧。出力アンプは、レール to レールで動作します。
4	V _{OUTC}	DAC Cからのバッファされたアナログ出力電圧。出力アンプは、レール to レールで動作します。
5	REFIN	4つのDACすべてのリファレンス入力ピン。入力範囲は0.25～V _{DD} です。
6	V _{OUTD}	DAC Dからのバッファされたアナログ出力電圧。出力アンプは、レール to レールで動作します。
7	GND	全回路のグラウンド・リファレンス・ポイントです。
8	SDA	シリアル・データ・ライン。SCLラインとともに使用され、16ビット入力シフト・レジスタのデータ入出力をクロック制御します。双方向のオープン・ドレインのデータ・ラインであり、外部プルアップ抵抗で電源に接続する必要があります。
9	SCL	シリアル・クロック・ライン。SDAラインとともに使用され、16ビット入力シフト・レジスタのデータ入出力をクロック制御します。2線インターフェースで最大400kbit/sまでのクロック・レートを扱うことができます。
10	A0	アドレス入力。7ビット・スレーブ・アドレスのLSBを設定します。

用語説明

相対精度

相対精度すなわち積分非直線性 (INL) は、DACの変換関数の両端を結ぶ直線からの最大の偏差をLSB単位で表わしたものです。代表的なINLとコードの関係のプロットを図4、5および6に示します。

微分非直線性

微分非直線性 (DNL) は、任意の2つの隣接コード間で測定された変化と理想値な1LSB変化との差を示します。微分非直線性の仕様が最大±1LSBであれば単調性が保証されます。本製品は、設計により単調性を保証しています。代表的なDNLとコードの関係のプロットを図7、8および9に示します。

オフセット誤差

DACと出力アンプのオフセット誤差です。フルスケール範囲に対する%値で表わされます。

ゲイン誤差

DACのスパン誤差です。実際のDACの変換関数の理想値からの偏差であり、フルスケール範囲に対する%値で表わされます。

オフセット誤差ドリフト

オフセット誤差の温度変化です。(フルスケール範囲に対するppm)/ で表わされます。

ゲイン誤差ドリフト

ゲイン誤差の温度変化です。(フルスケール範囲に対するppm)/ で表わされます。

電源除去比 (PSRR)

電源電圧の変動によるDAC出力の影響を表わします。PSRRは、DACのフルスケール出力のV_{DD}変化に対する、V_{OUT}変化の比です。dB単位で表わされます。V_{REF}は2Vに固定され、V_{DD}は±10%変化します。

DCクロストーク

フルスケール変化 (すべて0からすべて1への変化、およびその逆) に対する、あるDACの中間スケールでの出力レベルのDC変化であり、他のDACの出力変動に対応する変化です。μVで表わされます。

リファレンス・フィードスルー

DAC出力に変化がないときの、DAC出力における信号振幅のリファレンス入力に対する比です。dBで表わされます。

AD5305/AD5315/AD5325

主要コード変化時のグリッチ電力

DACレジスタのコードの状態が変化したときにアナログ出力に注入されるインパルスの電力。通常はnV-secsで表わすグリッチの面積として規定され、主要なキャリアの変化(011...11から100...00または100...00から011...11)時にデジタル・コードが1LSBだけ変化するとき測定されます。

デジタル・フィードスルー

DAC出力が書き込まれていないときの、デジタル入力ピンからアナログ出力に注入されるインパルスです。nV-secsで規定され、デジタル入力ピンにおける最悪の変化、例えば、すべて0からすべて1への変化、またはその逆について測定されます。

デジタル・クロストーク

あるDACの入力レジスタにおけるフルスケール・コード変化(すべて0からすべて1への変化、およびその逆)から、中間スケール・レベルにある別のDACの出力に伝送されたグリッチ・インパルスです。nV-secsで表わされます。

DAC対DACクロストーク

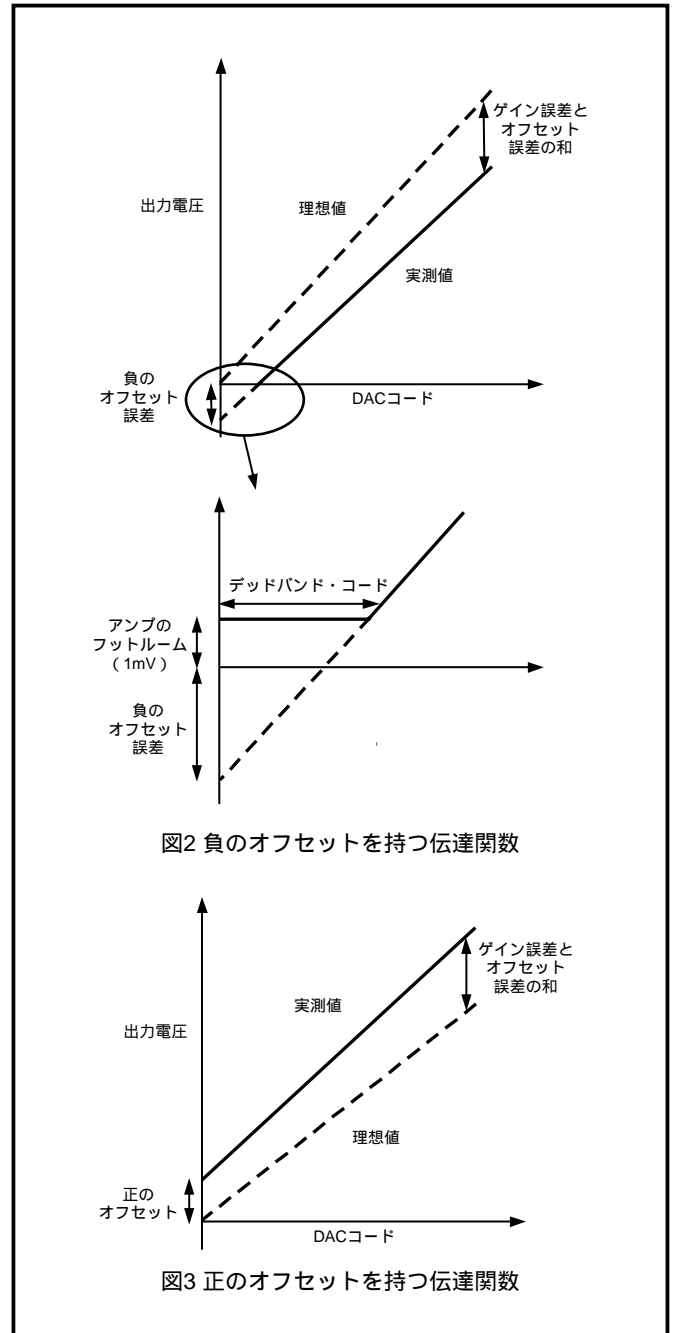
デジタル・コードの変化とそれに続くDACの出力変化に起因して別のDACに伝送されるグリッチ・インパルスです。デジタルおよびアナログの両方のクロストークを含みます。LDACビットをローに設定して、あるDACにフルスケールのコード変化(すべて0からすべて1への変化、およびその逆)をロードして、別のDAC出力をモニタすることにより測定します。グリッチの電力は、nV-secsで表わされます。

マルチプル帯域幅

D/Aコンバータの内蔵アンプの帯域幅は有限であり、マルチプル帯域幅はこれを表します。リファレンスの正弦波(DACにフルスケールのコードをロード)は、出力に現われます。マルチプル帯域幅は、出力振幅が入力より3dB低下する周波数です。

全高調波歪み

理想的な正弦波と、D/Aコンバータを用いたため減衰された正弦波の差です。DACに対するリファレンスとして正弦波を用いたときにDAC出力に現われる高調波がTHDになります。dBで表わされます。



AD5305/AD5315/AD5325

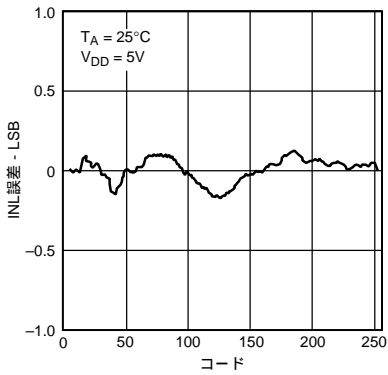


図4 AD5305の代表的なINLのプロット

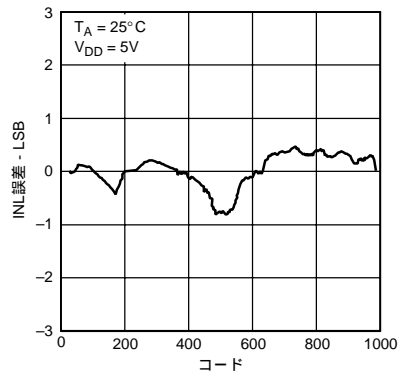


図5 AD5315の代表的なINLのプロット

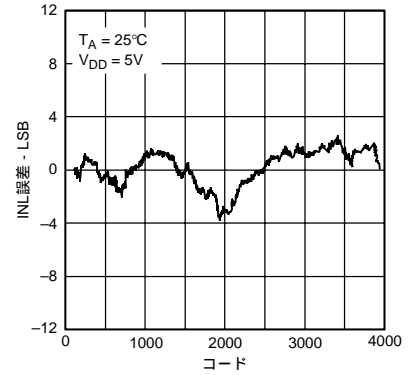


図6 AD5325の代表的なINLのプロット

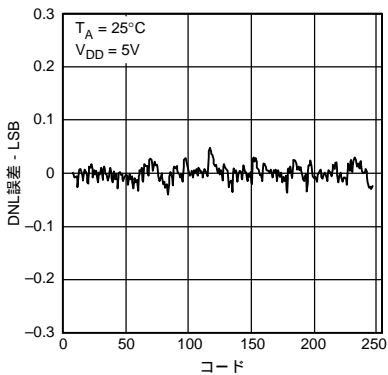


図7 AD5305の代表的なDNLのプロット

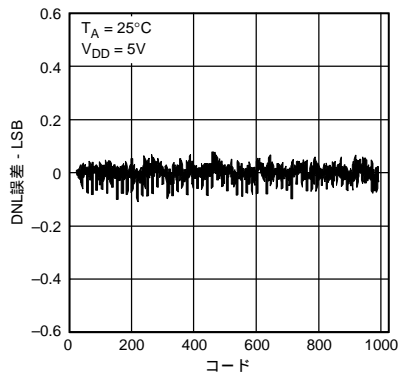


図8 AD5315の代表的なDNLのプロット

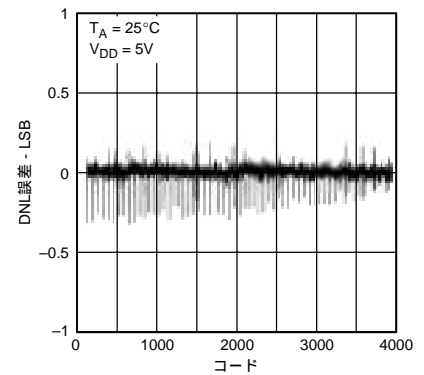


図9 AD5325の代表的なDNLのプロット

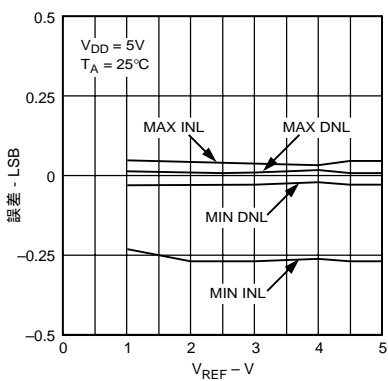


図10 AD5305のINL誤差およびDNL誤差対VREF

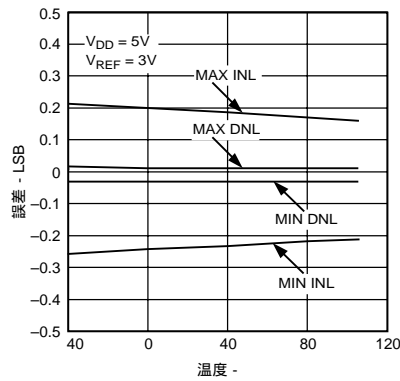


図11 AD5305のINL誤差およびDNL誤差対温度

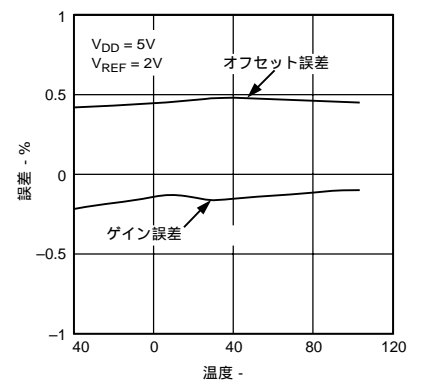


図12 AD5305のオフセット誤差およびゲイン誤差対温度

AD5305/AD5315/AD5325

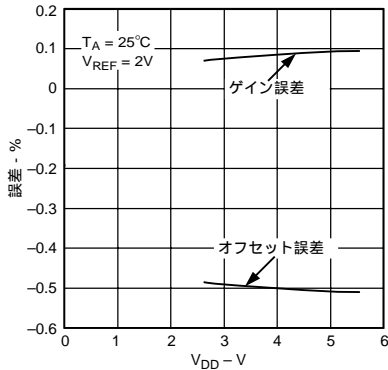


図13 オフセット誤差およびゲイン誤差対 V_{DD}

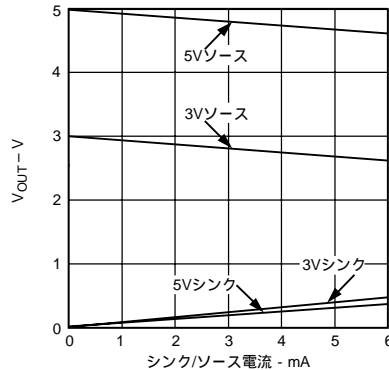


図14 V_{OUT} ソースおよびシンク電流能力

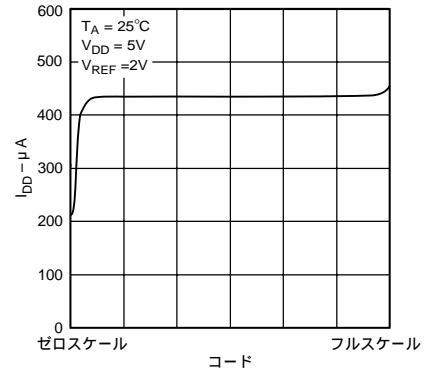


図15 電源電流対DACコード

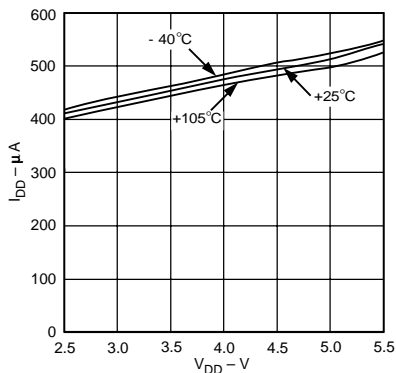


図16 電源電流対電源電圧

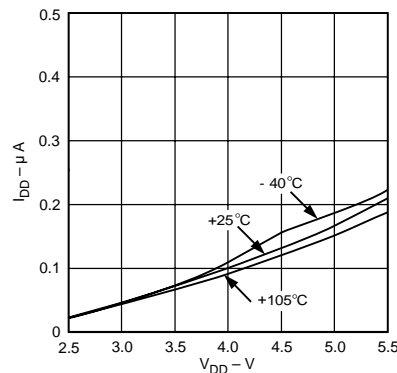


図17 パワーダウン電流対電源電圧

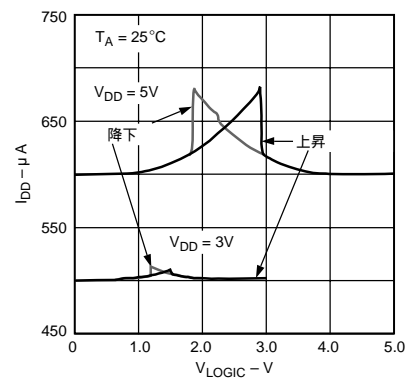


図18 電源電圧対SDAおよびSCLの電圧上昇/降下時のロジック入力電圧

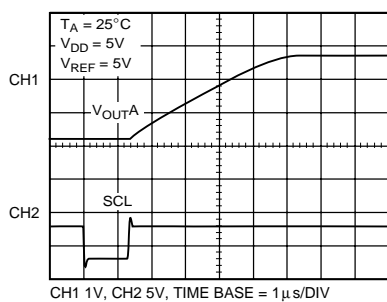


図19 1/2スケール設定
(1/4から3/4スケールへのコード変化)

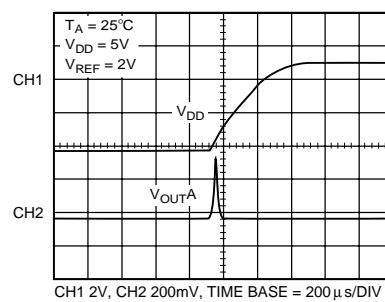


図20 0Vへのパワーオン・リセット

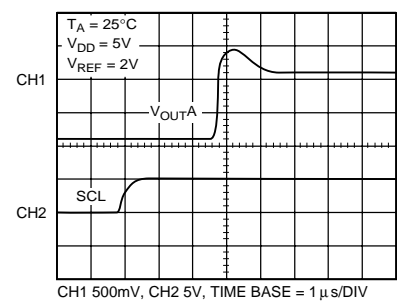


図21 パワーダウンの解除から
中間スケール

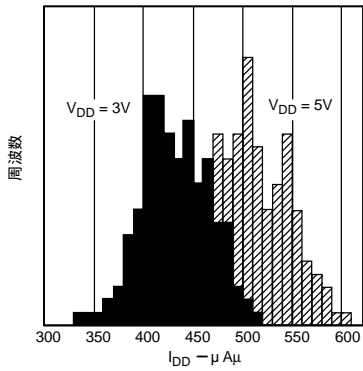


図22 $V_{DD} = 3V$ および $V_{DD} = 5V$ における I_{DD} のヒストグラム

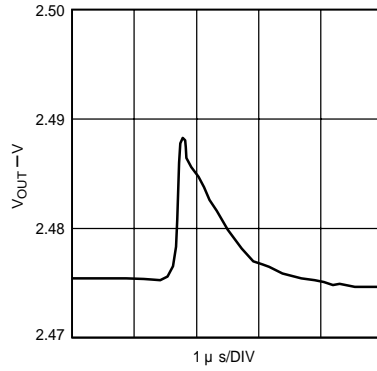


図23 AD5325の主要コード変化時のグリッチ電力

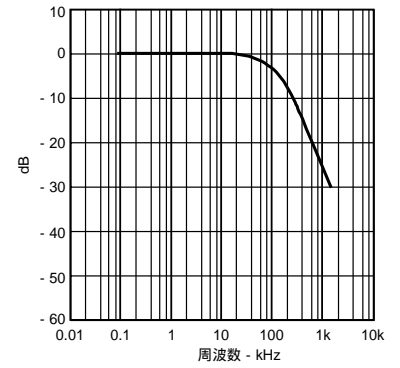


図24 マルチプル帯域幅 (小信号周波数応答)

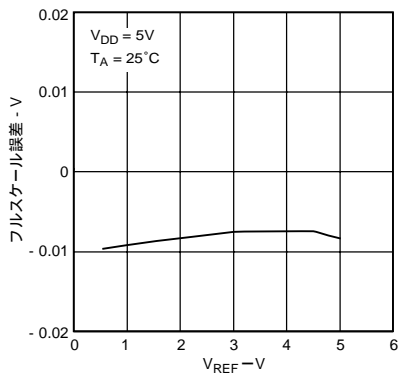


図25 フルスケール誤差対 V_{REF}

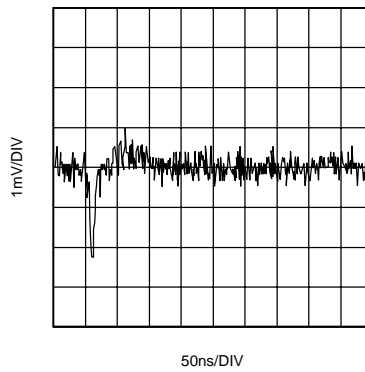


図26 DAC対DACクロストーク

AD5305/AD5315/AD5325

機能説明

AD5305/AD5315/AD5325は、CMOSプロセスで製造された抵抗ストリング型クワッドD/Aコンバータで、8、10、12ビットの分解能を持っています。各デバイスは4個の出力バッファ・アンプを持ち、2線シリアル・インターフェースを介して書き込みを行います。2.5~5.5Vの単電源で動作し、出力バッファ・アンプは0.7V/ μ sのスルーレートでレール to レール出力振幅が可能です。4個のDACは、1つのリファレンス入力ピンを共有しています。AD5305/AD5315/AD5325は3つのプログラマブルなパワーダウン・モードを持っており、このモードではすべてのDACが完全にオフになり、出力は内蔵の抵抗によってローに引き下げられます。

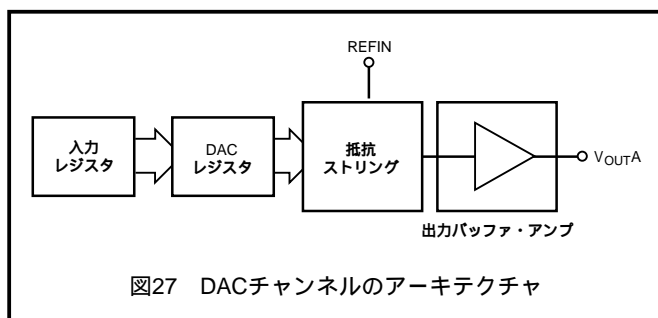
D/Aコンバータ部

各DACチャンネルのアーキテクチャは、抵抗ストリングDACと、それに続く出力バッファ・アンプで構成されています。REFINピンの電圧が、DACのリファレンス電圧を提供します。図27に、DACアーキテクチャのブロック図を示します。DACへの入力コーディングはストレート・バイナリを使っているため、理想的な出力電圧は次式で得られます。

$$V_{OUT} = \frac{V_{REF} \times D}{2^N}$$

ここで、
Dはバイナリ・コードの10進数表示で、DACレジスタにロードされます。

AD5305(8ビット)は0 ~ 255
AD5315(10ビット)は0 ~ 1023
AD5325(12ビット)は0 ~ 4095
Nは DACの分解能です。



抵抗ストリング

図28に、抵抗ストリング部を示します。それぞれの値がRのシンプルな抵抗のストリングです。DACレジスタにロードされるデジタル・コードにより、出力アンプに入力する電圧を取り出すストリング上のノードが決定されます。電圧は、スイッチの1つを閉じることによってストリングをアンプに接続して取り出されます。抵抗のストリング状態であるため、単調性が保証されています。

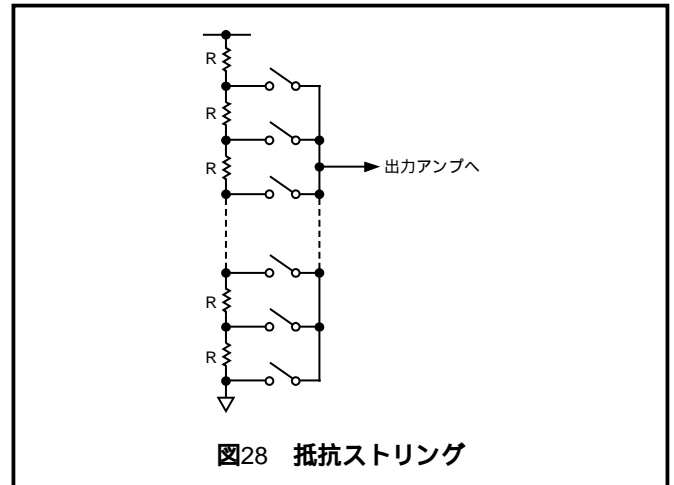


図28 抵抗ストリング

DACのリファレンス入力

4個のDACに対して、リファレンス入力ピンは1本です。リファレンス入力にはバッファがありません。リファレンス・アンプのヘッドルームおよびフットルームに制約がないため、リファレンス電圧は最低の0.25Vから最高の V_{DD} の間で設定できます。外付け回路では、バッファされたリファレンスを使用することを推奨します(例えば、REF192)。入力インピーダンスは45k (typ)です。

出力アンプ

出力バッファ・アンプは、レール to レールの電圧出力を生成することができ、リファレンスが V_{DD} のとき、出力範囲は0Vから V_{DD} が可能です。2k ~ GNDまたは V_{DD} の負荷および、並行して500pF ~ GNDまたは V_{DD} の負荷を駆動できます。出力アンプのソースおよびシンク能力を図14に示します。スルーレートは0.7V/ μ sで、 ± 0.5 LSBへの1/2スケール設定時間(8ビット)は6 μ sです。

パワーオン・リセット

AD5305/AD5315/AD5325は、パワーオン・リセット機能を持っており、規定の状態でもパワーアップします。パワーオン状態は以下のとおりです。

- 通常動作を開始
- 出力電圧を0Vに設定

入力レジスタとDACレジスタにはゼロが設定され、デバイスに有効な書き込みシーケンスが行われるまでその状態を保ちます。これは、デバイスのパワーアップ時にDACの出力状態を知ることが必要なアプリケーションで特に有用です。

シリアル・インターフェース

AD5305/AD5315/AD5325は、I²C互換のシリアル・バスを介して制御されます。DACは、スレーブ・デバイスとしてこのバスに接続されます(即ち、AD5305/AD5315/AD5325はクロックを生成しません)。このインターフェースは、 $V_{DD} < 3.6$ VではSMBus互換です。

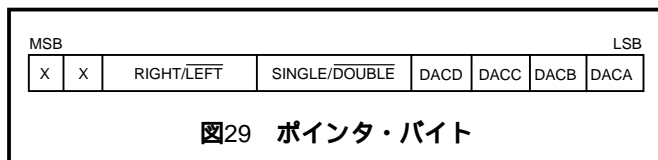
AD5305/AD5315/AD5325は、7ビットのスレーブ・アドレスを持っています。6個のMSBは000110であり、LSBはA0ピンの状態により決定されます。A0に結線して状態を変更する機構を設けることにより、ユーザはAD5305/AD5315/AD5325を1本のバスで2個まで使用することができます。

2線シリアル・バスのプロトコルは、以下のように動作します。

1. マスタは、SCLがハイの状態ではSDAラインにハイからローへの遷移が発生したときにSTART状態を確立し、データ転送を開始します。後続のバイトは、7ビットのスレーブ・アドレスと、これに続くR/Wビット(スレーブ・デバイスに対して読み出しか書き込みを決定するビット)で構成されるアドレス・バイトです。
スレーブは送信されたアドレスに対応するアドレスを持っており、9番目のクロック・パルス(アクノレッジ・ビットと呼ばれます)の間、SDAをローにします。この段階では、選択されたデバイスがシフト・レジスタへのデータの書き込み、または、読み出しが行われるのを待っている間、バス上の他のすべてのデバイスはアイドル状態を保ちます。
2. データはシリアル・バスを介して、9つのクロック・パルス(8つのデータ・ビットと、それに続く1つのアクノレッジ・ビット)で送信されます。SDAラインの遷移は、SCLローの間には発生しなければならず、SCLハイの間は保持されなければなりません。
3. すべてのデータ・ビットが読み出されたか書き込まれると、STOP状態が確立します。書き込みモードでは、マスタは10番目のクロック・パルスの間にSDAラインをハイとすることでSTOP状態にします。読み出しモードでは、マスタは9番目のクロック・パルスに対して“ノー・アクノレッジ”を発行します(即ち、SDAラインはハイに保持されます)。次に、マスタは10番目のクロック・パルスの前にSDAラインをローにし、10番目のクロック・パルスの間にハイとすることでSTOP状態にします。

読み出し/書き込みシーケンス

AD5305/AD5315/AD5325では、すべての書き込みシーケンスと大部分の読み出しシーケンスはポインタ・バイトの直前のデバイス・アドレス(R/W=0)で開始します。このポインタ・バイトは、データ・フォーマットを規定し、次のリード/ライト動作でアクセスされるDACを決定します。(図29参照)書き込み動作では、データはすぐに続きます。読み出し動作では、アドレスはR/W=1で再送され、次にデータが読み戻されます。しかしながら、読み出し動作は、R/W=1のアドレスだけを送ることも実行することができます。この場合、先にロードされたポインタ設定が読み戻し動作に使用されます。インターフェースを図解した次ページの説明をご覧ください。



ポインタ・バイト・ビット

ポインタ・バイトを構成する各ビットを説明します。

X: 任意のビット

RIGHT/LEFT

0: デバイスに書き込み / 読み出しされるデータは左詰めされます(ダブル・バイト・モード)

1: デバイスに書き込み / 読み出しされるデータは右詰めされます(ダブル・バイト・モード)

SINGLE/DOUBLE

0: データの書き込み / 読み出しは2バイトの読み出し/書き込みシーケンスとして行われます。

1: データの書き込み / 読み出しは1バイト(MSB側8ビットのみ)の読み出し/書き込みシーケンスとして行われます。

DACD 1: 次のデータ・バイトはDAC Dのものです。

DACC 1: 次のデータ・バイトはDAC Cのものです。

DACB 1: 次のデータ・バイトはDAC Bのものです。

DACA 1: 次のデータ・バイトはDAC Aのものです。

入力シフト・レジスタ

入力シフト・レジスタは16ビット幅です。デバイスへのデータ入力は、シリアル・クロック入力SCLで制御される16ビット・ワードとして行われます。図1に、この動作のタイミング図を示します。16ビット・ワードは、4ビットの制御ビットと、それに続く8(AD5305)、10(AD5315)、12(AD5325)ビットのDACデータで構成されます。最初にロードされる2つのビットが、デバイスの動作モードを制御するPDビットです。詳細はパワーダウン・モードの項をご覧ください。ビット13はCLR、ビット12はLDACで、残りのビットはMSBが先頭の左詰めまたは右詰めされたDACのデータビットです。次ページの図30をご覧ください。

CLR: 0: すべてのDACレジスタおよび入力レジスタは、書き込みシーケンスの完了時にゼロ詰めされます。

1: 通常動作

LDAC: 0: 4つの全DACレジスタ、従って全DAC出力が、書き込みシーケンスの完了時に同時に更新されます。

1: アドレス指定された入力レジスタのみが更新されます。DACレジスタの内容は変更されません。

デフォルト・リードバック条件

全ポインタ・バイト・ビットは、パワーアップで0となります。このため、ユーザが最初にポインタ・バイトへ書き込みせずにリードバックを開始すると、DACが1つも指定されません。この場合には、デフォルトのリードバック・ビットはすべて0となり、例外的にCLRビットだけが1となります。

マルチプルDACライト・シーケンス

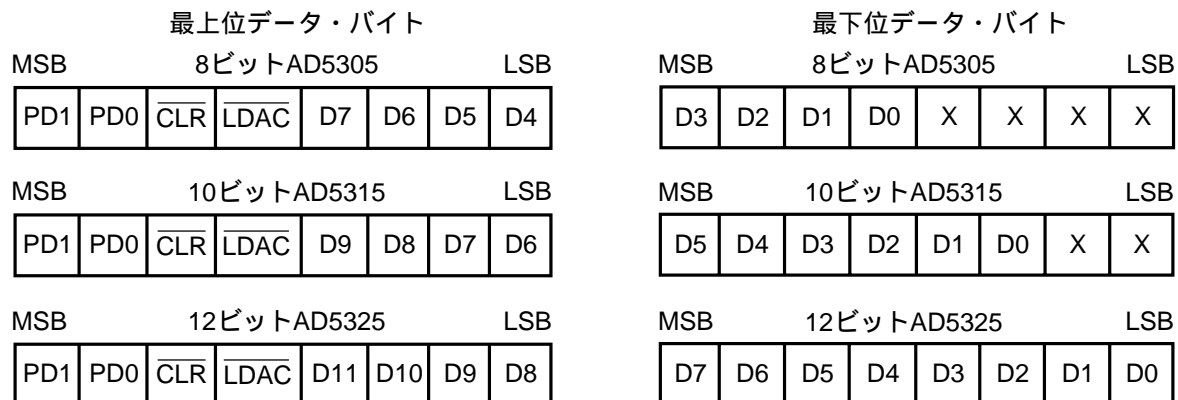
ポインタ・バイトの中に各DACの個別のビットがあるため、関連したビットを1に設定することにより、2個、3個または4個のDACに同じデータを同時に書き込むことが可能です。

マルチプルDACリードバック・シーケンス

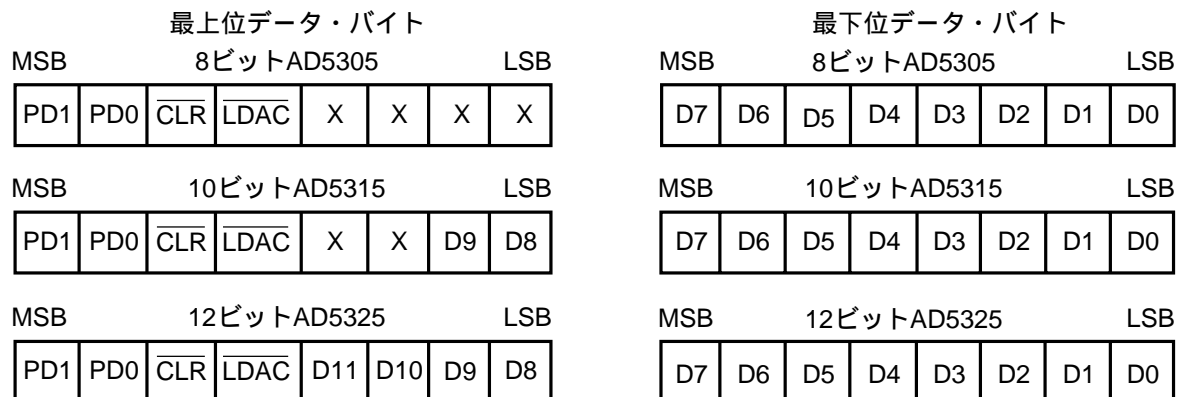
ユーザが同時に複数のDACからデータをリードバックしようとする、デフォルトをリードバックし、2バイト・リードバックのパワーオン・リセットの状態、即ち、1に設定されたCLRを除きすべてが0に設定されます。1バイトのリードバックでは、すべて0をリードバックします。

AD5305/AD5315/AD5325

左詰めデータ・バイト (ライトおよびリードバック)



右詰めデータ・バイト (ライトおよびリードバック)



1バイトのみ (ライトおよびリードバック)

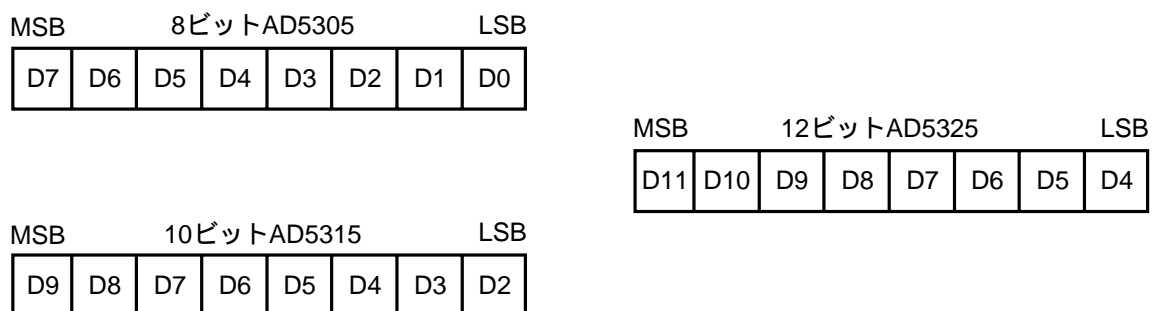


図30 2バイトおよび1バイトのデータ・フォーマット

AD5305/AD5315/AD5325

書き込み動作

AD5305/AD5315/AD5325に書き込みを行うときは、必ずアドレス・バイト (R/W = 0) から開始し、これに続いて、SDAをローに引き下げてデータを受信する準備ができたアキュレツジをDACが発行します。アドレス・バイトには、

やはりDACによってアキュレツジされるポインタ・バイトが続きます。SINGLE/DOUBLEの値に応じて、図31に示すように1バイトまたは2バイトのデータがDACに書き込まれます。次にSTOP状態が続きます。

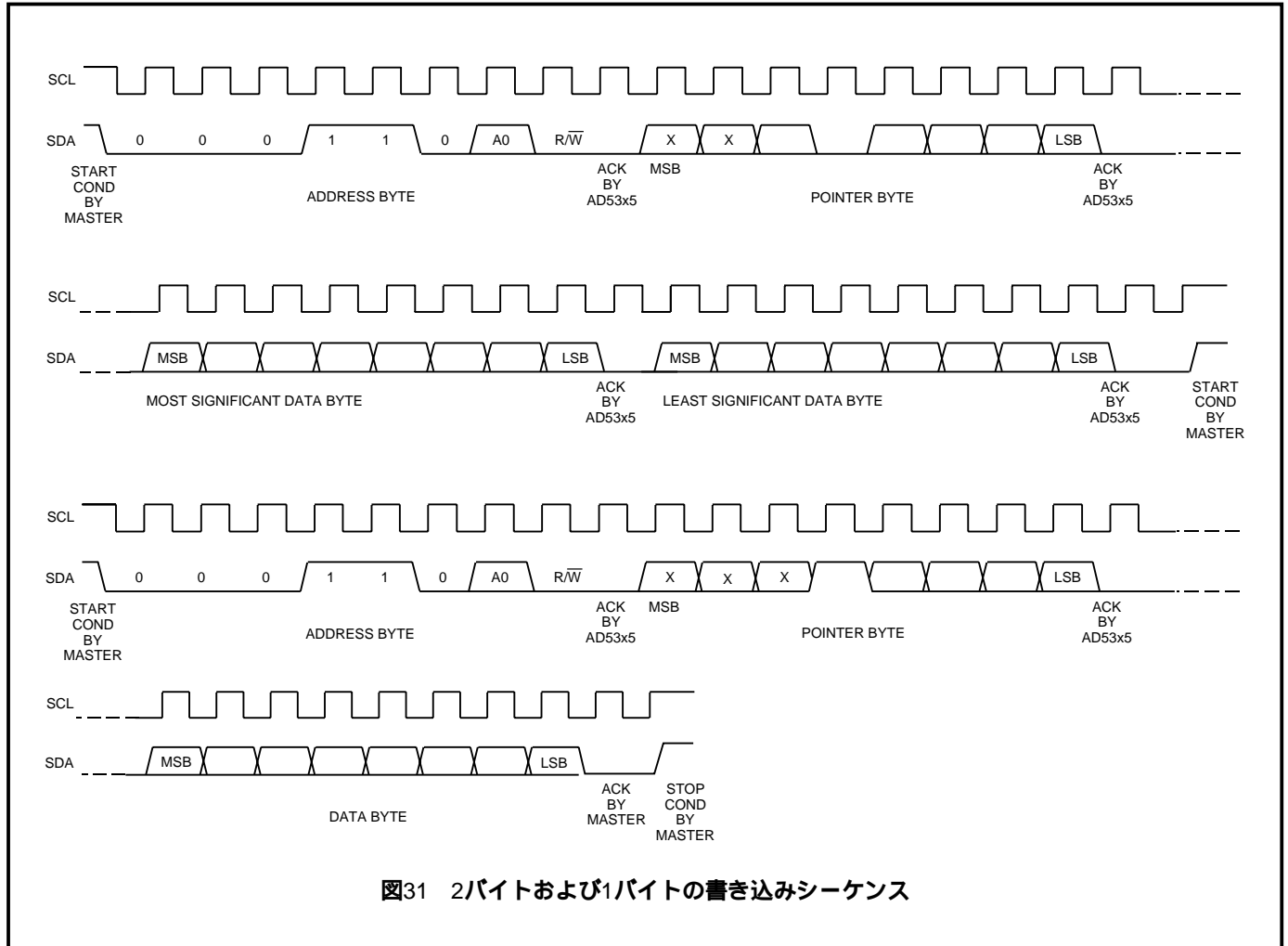


図31 2バイトおよび1バイトの書き込みシーケンス

AD5305/AD5315/AD5325

読み出し動作

AD5305/AD5315/AD5325からデータを読み出すときは、アドレス・バイト ($R/\bar{W}=0$) から開始し、これに続いて、SDAをローに引き下げてデータを受信する準備ができたアクノレッジをDACが発行します。アドレス・バイトには、通常、やはりDACによってアクノレッジされるポインタ・バイトが続きます。次に、マスタによってスタート状態が繰り返され、アドレスは $R/\bar{W}=1$ で再送されます。これにより、送信の準備ができていることをDACがアクノレッジします。SINGLE/DOUBLEの値に応じて、図32に示すようにDACから1バイトまたは2バイトのデータが読み出されます。

しかしながら、マスタがACKを送出しSCLのクロック動作を続ける (STOPが送出されない) 場合には、DACはSDAに同じ1バイトまたは2バイトのデータを再送信します。これにより、指定したDACレジスタからの連続的なデータのリードバックが可能となります。

この代わりに、STARTを送出し、次いで $R/\bar{W}=1$ のアドレスを送出することができます。この場合には、先にロードされたポインタの設定が使用され、直ちにデータのリードバックが開始されます。

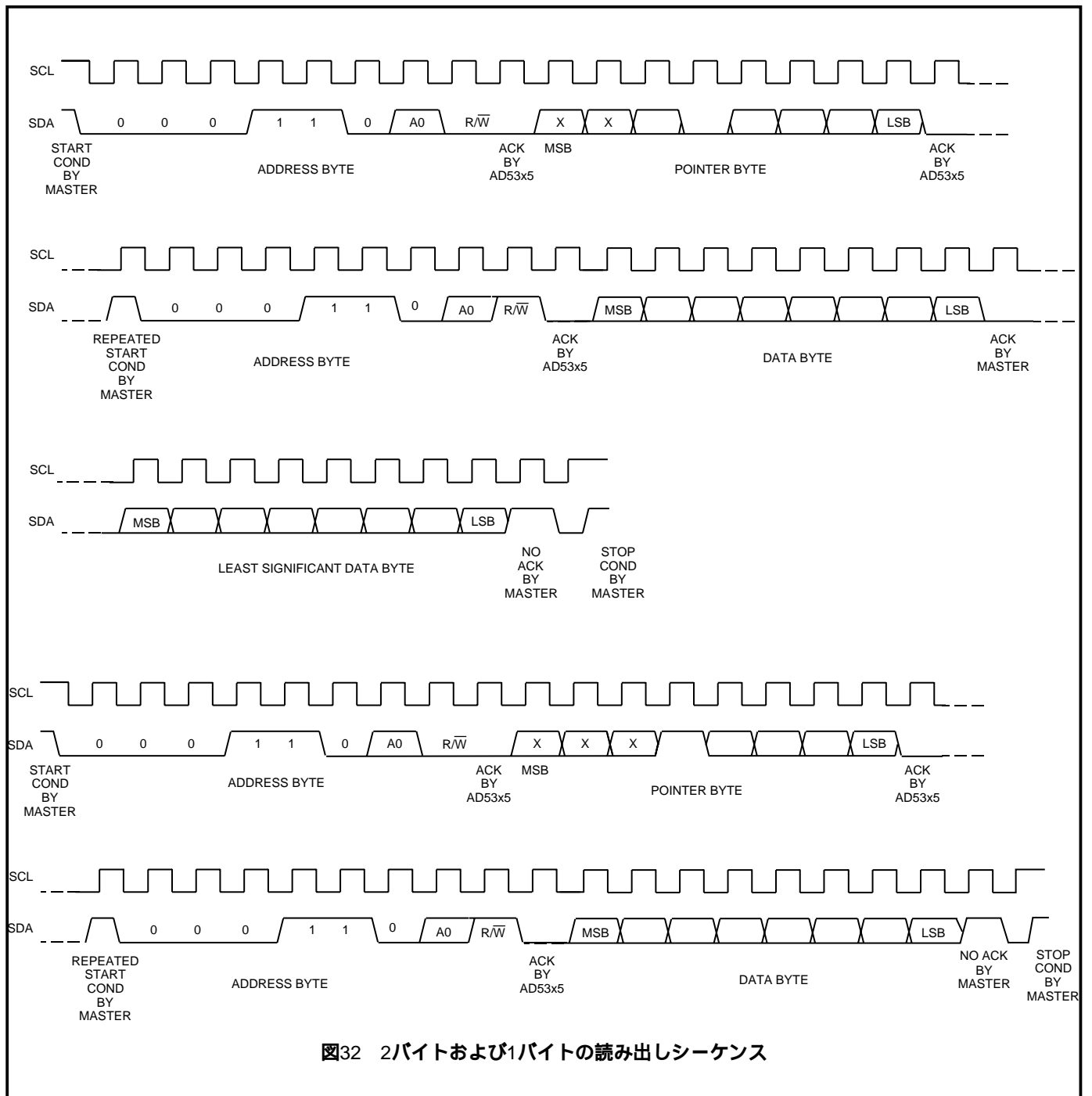


図32 2バイトおよび1バイトの読み出しシーケンス

ダブルバッファ化されたインターフェース

AD5305/AD5315/AD5325はすべて、入力レジスタとDACレジスタの2つのレジスタ・バンクで構成されたダブルバッファード・インターフェースを内蔵しています。入力レジスタは入力シフト・レジスタに直接接続され、デジタル・コードは有効な書き込みシーケンスの完了とともに対応する入力レジスタに転送されます。DACレジスタには、抵抗ストリングが使用するデジタル・コードが格納されます。

DACレジスタへのアクセスはLDACビットにより制御されます。LDACビットがハイに設定されるとDACレジスタがラッチされるため、DACレジスタの内容に影響を与えることなく入力レジスタの状態を変えられます。ただし、LDACビットがローに設定されているときは、DACレジスタは透過となり、これに入力レジスタの内容が転送されます。

この機能は、全DAC出力の同時更新が必要な場合に便利です。入力レジスタの内3つに個別に書き込み、次いで、残りのDACに書き込む際にLDACビットをローに設定すると、すべての出力が同時に更新されます。

AD5305/AD5315/AD5325は、LDACが最後にローにされた時点から入力レジスタが更新されていなければDACレジスタを更新しないという、特別な機能を持っています。通常は、LDACレジスタがローになると、DACレジスタには入力レジスタの内容がロードされます。AD5305/AD5315/AD5325は、DACレジスタが最後に更新された時点の後に入力レジスタが更新された場合にだけDACレジスタを更新します。このため、不要なデジタル・クロストークを除去できます。

パワーダウン・モード

AD5305/AD5315/AD5325は非常に消費電力が小さく、代表値は3Vで1.5mW、5Vで3mWとなっています。消費電力は、DACが使用されていないときに3つのパワーダウン・モードのどれかを設定することにより、さらに低減することができます。パワーダウンの設定は、データ・バイトのビット15および14(PD1およびPD0)で行います。表Iにビットの設定とDACの動作モードとの対応を示します。

表I PD1/PD0と動作モード

PD1	PD0	動作モード
0	0	通常動作
0	1	パワーダウン (グラウンドに対し1k 負荷)
1	0	パワーダウン (グラウンドに対し100k 負荷)
1	1	パワーダウン (スリーステート出力)

両方のビットを0に設定すると、通常の消費電力である600 μ A @5Vで動作します。しかしながら、3つのパワーダウン・モードでは、電源電流は5Vで200nA(3Vで80nA)に低下します。電源電流が低下するだけでなく、出力段もアンプ出力から既知の値を持った抵抗ネットワークに内部的に切り替えられます。これは、パワーダウン・モード時の出力インピーダンスを知ることができ、DACアンプの出力に接続されているものに依存せずに入力条件を定義できるので便利です。3つのモードが選択できます。出力が1k または100k の抵抗を介して内部的にGNDに接続されるもの、あるいは開放(スリーステート)とされるものがあります。抵抗許容量は $\pm 20\%$ 。図33に出力段を示します。

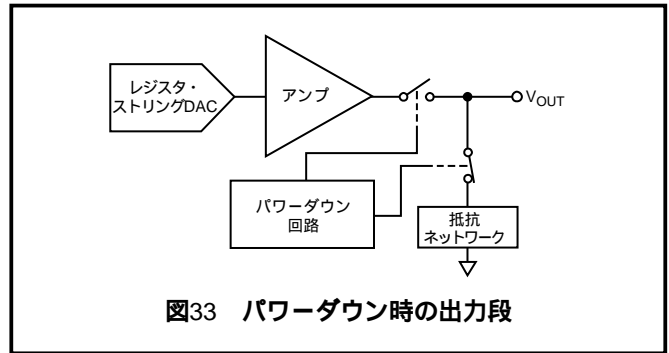


図33 パワーダウン時の出力段

パワーダウン・モードになると、バイアス・ジェネレータ、出力アンプ、レジスタ・ストリングその他の関連するリニア回路はすべてシャットダウンされます。ただし、DACレジスタの内容は、パワーダウン時にも変更されません。パワーダウンから抜け出るための時間は、代表値で $V_{DD} = 5V$ で2.5 μ s、 $V_{DD} = 3V$ で5 μ sです。これは、16番目のSCLパルスの立ち上がりエッジから、出力電圧がパワーダウン電圧から変化するまでの時間です。図21に示す特性をご覧ください。

アプリケーション

代表的なアプリケーション回路

AD5305/AD5315/AD5325は、0V ~ V_{DD} のリファレンス範囲にわたって0.25の整数倍の許容量を必要とする、広範囲なリファレンスで使用できます。一般的には、固定の高精度リファレンスと組み合わせて使用されます。5V動作に好適なリファレンスはAD780およびREF192(2.5Vリファレンス)です。2.5V動作では、好適な外部リファレンスは、1.23Vのバンドギャップ・リファレンスを使用するAD589でしょう。図34に、外部リファレンスを用いる場合のAD5305/AD5315/AD5325の代表的な接続を示します。A0がハイまたはローとなることにご注意ください。

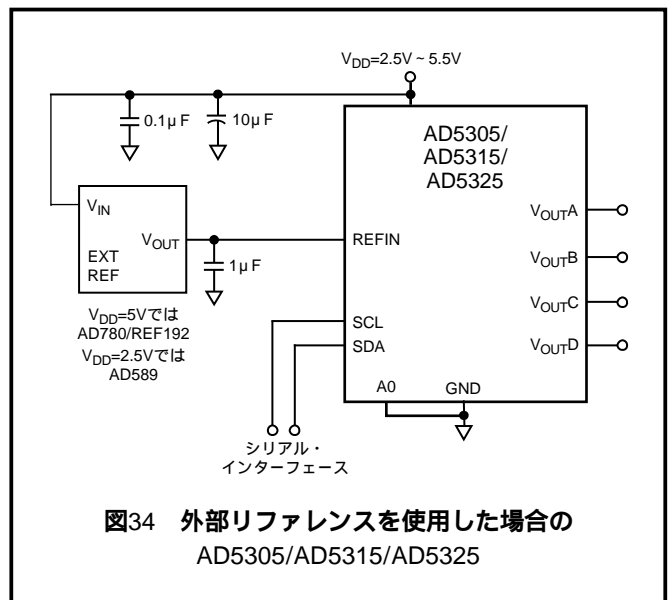


図34 外部リファレンスを使用した場合のAD5305/AD5315/AD5325

AD5305/AD5315/AD5325

0V ~ V_{DD}の出力範囲が必要な場合に最も簡単なソリューションは、リファレンス入力をV_{DD}に接続することです。この電源は、精度が低くノイズが多い場合もあるため、例えば5VリファレンスのREF195などを使用して、AD5305/AD5315/AD5325にリファレンスから電源を供給することもできます。REF195は、AD5305/AD5315/AD5325に対して安定した電源電圧を供給できます。REF195に要求される電流は、DAC出力に負荷が存在しない場合で、600μAの電源電流とリファレンス入力への約112μAです。DAC出力に負荷が存在すると、REF195は、負荷にも電流を供給する必要があります。必要な合計電流は以下のとおりです。
(各出力に10kの負荷の場合)

$$712\mu A + 4(5V/10k) = 2.70mA$$

REF195の負荷安定性は2ppm/mA (typ) ですから、2.7mAの電流出力では5.4ppm (27μV)の誤差となります。これは、8ビットでは0.0014LSB、12ビットでは0.022LSBの誤差に相当します。

AD5305/AD5315/AD5325を使用したバイポーラ動作

AD5305/AD5315/AD5325は単電源動作用に設計されていますが、図35の回路を用いればバイポーラ出力範囲も可能です。この回路では±5Vの出力電圧範囲が得られます。出力アンプにAD820またはOP295を使用すると、アンプ出力でのレール to レール動作が可能です。

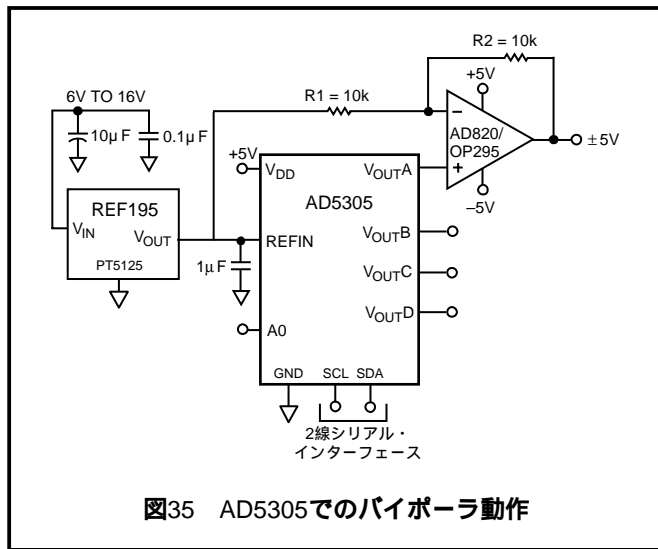


図35 AD5305でのバイポーラ動作

任意の入力コードに対する出力電圧は、以下のように計算することができます。

$$V_{OUT} = [(REFIN \times (D/2^N)) \times (R1+R2)/R1] - REFIN \times (R2/R1)$$

ここで、DはDACにロードされたコードの10進数表示、NはDACの分解能、

REFINはリファレンス入力であり、

$$REFIN = 5V, R1 = R2 = 10k$$

$$V_{OUT} = (10 \times D/2^N) - 5V \text{ です。}$$

同一のバスでの複数のデバイスの接続

図36では、同一のシリアル・バスに2つのAD5305が接続されています。A0ピンの状態が異なるため、それぞれのデバイスは異なるスレーブ・アドレスを持っています。このため、8つのDACのそれぞれを独立して書き込みまたは読み出すことができます。

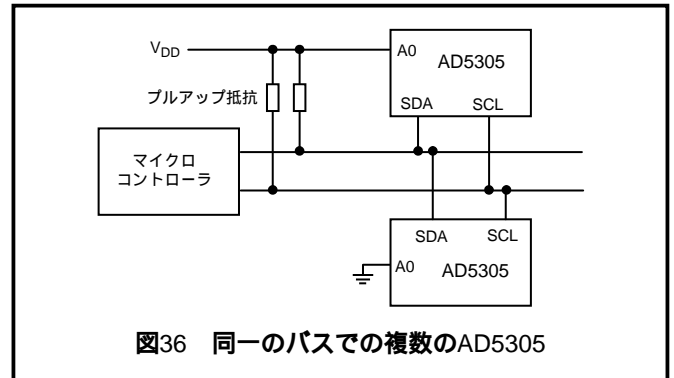


図36 同一のバスでの複数のAD5305

デジタル的にプログラム可能なウィンドウ検出器としてのAD5305/AD5315/AD5325の応用

図37に、AD5305/AD5315/AD5325の内蔵の2つのDACを使用した場合のデジタル的にプログラム可能な上限/下限検出器を示します。テスト対象の上限および下限はDAC AおよびDAC Bにロードされ、これがCMP04の限度値を設定します。V_{IN}入力の信号が設定ウィンドウ内にはない場合には、LEDが異常状態を表示されます。同様に、DAC CとDAC Dを2番目のV_{IN}信号のウィンドウ検出に使用することができます。

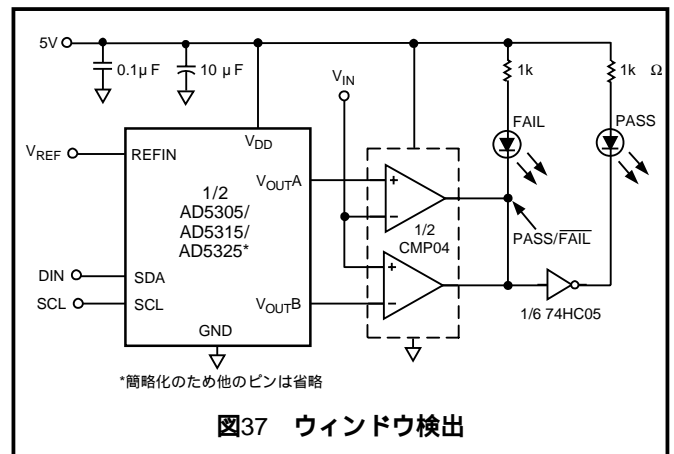


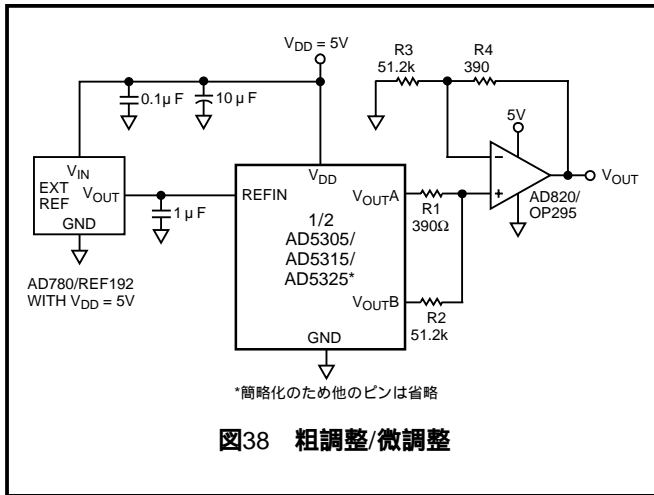
図37 ウィンドウ検出

AD5305/AD5315/AD5325による粗調整および微調整

AD5305/AD5315/AD5325内蔵の2つのDACを組合わせて、図38のような粗調整および微調整の機能を構成できます。DAC Aが粗調整を、DAC Bが微調整を行います。R1とR2の比を変化させると、対応する粗調整および微調整の効果が変わります。図の抵抗値と外部リファレンスでは、出力アンプはDAC A出力についてユニティ・ゲインとなっており、出力範囲は0V ~ 2.5V-1LSBとなります。DAC Bについては 7.6×10^{-3} のゲインを持っているため、DAC Bの出力範囲は19mVとなります。同様に、DAC CとDAC Dの組合わせにより粗調整および微調整を構成できます。

AD5305/AD5315/AD5325

図の回路では2.5Vのリファレンスですが、 V_{DD} までのリファレンスを使用することができます。図のオペアンプでは、レール to レールの出力スイングが可能です。



電源のデカップリング

精度が重要な回路では、定格性能を確保するために電源とグラウンド・リターンレイアウトの配慮が必要です。AD5305/AD5315/AD5325を実装するプリント基板では、アナログ部とデジタル部を分離し、基板の一定部分にまとめるように設計してください。複数のデバイスがAGNDとDGNDの接続を必要とするシステムでAD5305/AD5315/AD5325を使用する場合は、一点でのみ接続します。デバイスのなるべく近くに星形のグラウンド・ポイントを構成する必要があります。

AD5305/AD5315/AD5325では、パッケージのなるべく近く(理想的にはデバイスに隣接して)の電源で、 $10\mu\text{F}$ と $0.1\mu\text{F}$ の電源バイパスを並列接続してください。 $10\mu\text{F}$ コンデンサはタンタル・ビーズ・タイプを使用します。 $0.1\mu\text{F}$ コンデンサは、高周波でグラウンドへのインピーダンスが低いセラミック・タイプのように、ESR(実効直列抵抗)とESL(実効直列インダクタンス)が小さいものを使って、内部ロジックの切り替えによる過渡電流を処理する必要があります。

AD5305/AD5315/AD5325の電源ラインには、低インピーダンスを実現し電源ラインでのグリッチの影響を低減するために、できる限り太いパターンを用いる必要があります。クロックなどの高速スイッチング信号は、基板上的他の部品への輻射を防止するためにデジタル・グラウンドでシールドし、リファレンス入力の近くに設置しないようにします。SDAとSCLラインの間にグラウンド・ラインを設けると、ライン間のクロストークが低減されます(多層基板では分離したグラウンド・プレーンが設けられるため必要とされませんが、ラインを分離することによる効果はあります)。

デジタルとアナログの信号を交差させることは避けてください。基板の両面の経路は、互いに垂直に設置します。これにより、基板を通過するフィードスルーの効果は低減できます。マイクロストリップの手法は最高のものですが、両面基板では常に使用できるとは限りません。この手法では、基板の部品面はグラウンド・プレーン専用にし、信号経路はハンダ面に配置します。

AD5305/AD5315/AD5325

表II 全AD53xxシリアル・デバイスの概要

型番	分解能	DAC数	DNL	インターフェース	セトリング・タイム	パッケージ	ピン数
シングル							
AD5300	8	1	±0.25	SPI	4 μs	SOT-23, μSOIC	6,8
AD5310	10	1	±0.5	SPI	6 μs	SOT-23, μSOIC	6,8
AD5320	12	1	±1.0	SPI	8 μs	SOT-23, μSOIC	6,8
AD5301	8	1	±0.25	2線	6 μs	SOT-23, μSOIC	6,8
AD5311	10	1	±0.5	2線	7 μs	SOT-23, μSOIC	6,8
AD5321	12	1	±1.0	2線	8 μs	SOT-23, μSOIC	6,8
デュアル							
AD5302	8	2	±0.25	SPI	6 μs	μSOIC	8
AD5312	10	2	±0.5	SPI	7 μs	μSOIC	8
AD5322	12	2	±1.0	SPI	8 μs	μSOIC	8
AD5303	8	2	±0.25	SPI	6 μs	TSSOP	16
AD5313	10	2	±0.5	SPI	7 μs	TSSOP	16
AD5323	12	2	±1.0	SPI	8 μs	TSSOP	16
クワッド							
AD5304	8	4	±0.25	SPI	6 μs	μSOIC	10
AD5314	10	4	±0.5	SPI	7 μs	μSOIC	10
AD5324	12	4	±1.0	SPI	8 μs	μSOIC	10
AD5305	8	4	±0.25	2線	6 μs	μSOIC	10
AD5315	10	4	±0.5	2線	7 μs	μSOIC	10
AD5325	12	4	±1.0	2線	8 μs	μSOIC	10
AD5306	8	4	±0.25	2線	6 μs	TSSOP	16
AD5316	10	4	±0.5	2線	7 μs	TSSOP	16
AD5326	12	4	±1.0	2線	8 μs	TSSOP	16
AD5307	8	4	±0.25	SPI	6 μs	TSSOP	16
AD5317	10	4	±0.5	SPI	7 μs	TSSOP	16
AD5327	12	4	±1.0	SPI	8 μs	TSSOP	16

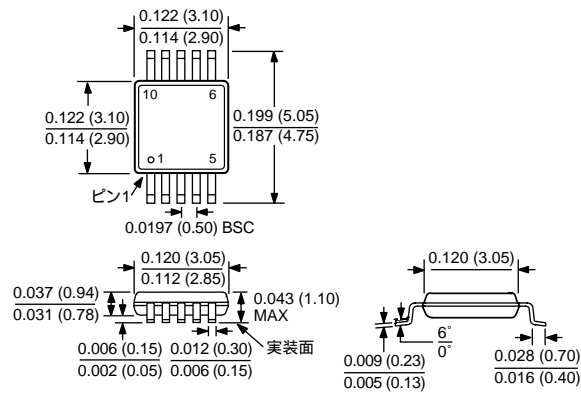
詳細は、当社ホームページをご覧ください。

http://www.analog.com/support/standard_linear/selection_guides/AD53xx.html

外形寸法

サイズはインチと (mm) で示します。

10ピン μ SOIC
(RM-10)



AD5305/AD5315/AD5325

TDS9/2000/2000

PRINTED IN JAPAN

