

AD5302/AD5312/AD5322

特長

AD5302：1パッケージに8ビット・バッファ付きDACが2個
 Aバージョン： ± 1 LSB INL、Bバージョン： ± 0.5 LSB INL
AD5312：1パッケージに10ビット・バッファ付きDACが2個
 Aバージョン： ± 4 LSB INL、Bバージョン： ± 2 LSB INL
AD5322：1パッケージに12ビット・バッファ付きDACが2個
 Aバージョン： ± 16 LSB INL、Bバージョン： ± 8 LSB INL
10ピンMSOP
 マイクロパワー動作：300 μ A@5V（リファレンス電流を含む）
 パワーダウン時の消費電流：200nA@5V、50nA@3V
 電源：2.5~5.5V
 ダブルバッファ入力ロジック
 全コードにつき設計で単調増加性を保証
 バッファ付き/バッファなしの電圧リファレンス入力オプション
 出力電圧範囲：0~ V_{REF}
 0Vにパワーオン・リセット
 LDACピンによるDAC出力の同時更新
 シュミット・トリガ入力との低消費電力シリアル・インターフェース
 レールtoレール動作の出力バッファ・アンプ内蔵

アプリケーション

携帯型バッテリー駆動の計測器
 デジタル・ゲイン/オフセットの調整
 プログラマブル電圧/電流源
 プログラマブル減衰器

概要

AD5302/AD5312/AD5322は、10ピンMSOPのバッファ付きデュアル8/10/12ビット電圧出力D/Aコンバータ（DAC）です。2.5~5.5Vの単電源で動作し、3V電源での消費電流は230 μ Aです。オンチップの出力アンプは、レールtoレール出力振幅動作が可能で、0.7V/ μ sのスルーレート性能を備えています。AD5302/AD5312/AD5322は、最大30MHzのクロック・レートで動作する多機能3線式のシリアル・インターフェースを使用しており、標準のSPI[®]、QSPI[™]、MICROWIRE[™]、DSPインターフェース規格に適合しています。

2つのDACのリファレンスには、2本のリファレンス・ピン（各DACに1本）を使用します。リファレンス入力は、バッファ付き入力またはバッファなし入力に設定できます。両DACの出力は、非同期のLDAC入力で同時に更新できます。パワーオン・リセット回路を内蔵しているため、DAC出力はパワーアップ時に0Vに設定され、デバイスへの有効な書込みが発生するまでその状態を維持します。パワーダウン機能もあり、消費電流を5V時200nA（3V時50nA）まで低減できます。また、パワーダウン・モード時の出力負荷をソフトウェアで選択できます。

通常動作時の消費電力が低いため、バッテリー駆動の携帯用機器に最適です。消費電力は5V時1.5mW、3V時0.7mWで、パワーダウン・モードでは1 μ Wまで低減できます。

機能ブロック図

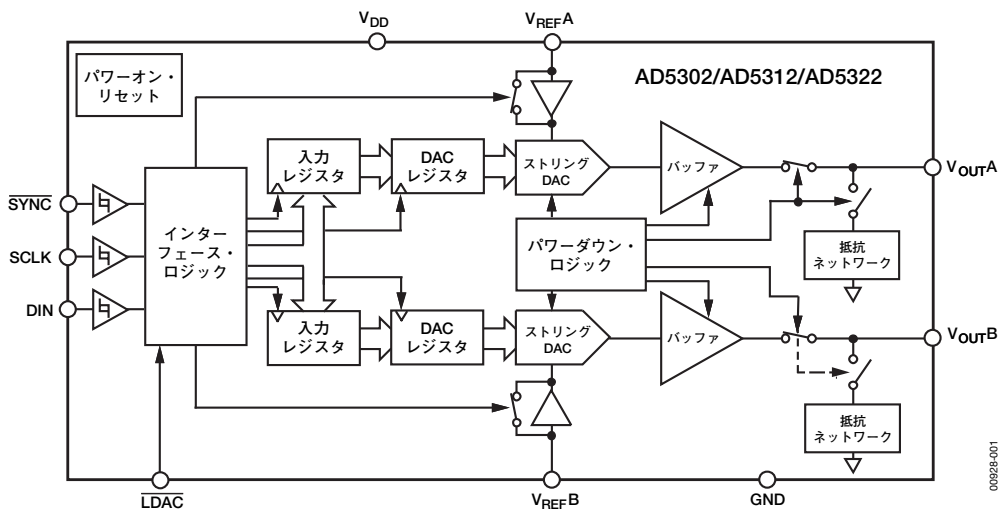


図1

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
 © 2006 Analog Devices, Inc. All rights reserved.

REV. C

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
 電話03 (5402) 8200
 大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
 電話06 (6350) 6868

AD5302/AD5312/AD5322

目次

特長	1	パワーダウン・モード	16
アプリケーション	1	マイクロプロセッサとのインターフェース	17
概要	1	ADSP-2101/ADSP-2103とAD5302/AD5312/AD5322との インターフェース	17
機能ブロック図	1	68HC11/68L11とAD5302/AD5312/AD5322との インターフェース	17
改訂履歴	2	80C51/80L51とAD5302/AD5312/AD5322との インターフェース	17
仕様	3	MICROWIREとAD5302/AD5312/AD5322との インターフェース	17
AC仕様	4	アプリケーション情報	18
タイミング特性	5	代表的なアプリケーション回路	18
絶対最大定格	7	AD5302/AD5312/AD5322を使用したバイポーラ動作	18
ESDに関する注意	7	プロセス制御アプリケーション用の光絶縁 インターフェース	19
ピン配置と機能の説明	8	複数のAD5302/AD5312/AD5322のデコーディング	19
用語の説明	9	デジタル・プログラマブルなウィンドウ検出器としての AD5302/AD5312/AD5322	19
代表的な性能特性	10	AD5302/AD5312/AD5322を使用した粗調整と微調整	20
機能の説明	14	電源のバイパスとグラウンディング	20
DAC部	14	外形寸法	21
抵抗ストリング	14	オーダー・ガイド	21
DACリファレンス入力	14		
出力アンプ	14		
パワーオン・リセット	14		
シリアル・インターフェース	15		
入力シフト・レジスタ	15		
低消費電力シリアル・インターフェース	15		
ダブルバッファ・インターフェース	15		

改訂履歴

4/06—Rev. B to REV. C

Updated Format	Universal
Updated Outline Dimensions	21
Changes to Ordering Guide	21

12/05—Rev A to Rev. B

Updated Format	Universal
Updated Outline Dimensions	21
Changes to Ordering Guide	21

8/03—Rev. 0 to REV. A

Changes to Features	1
Changes to Specifications	2
Changes to Absolute Maximum Ratings	4
Changes to Ordering Guide	4
Updated Outline Dimensions	16

仕様

特に指定のない限り、 $V_{DD}=2.5\sim 5.5V$ 、 $V_{REF}=2V$ 、 $R_L=2k\Omega$ をGNDに接続、 $C_L=200pF$ をGNDに接続、仕様はすべて $T_{MIN}\sim T_{MAX}$ で規定。

表1

パラメータ ²	Aバージョン ¹			Bバージョン ¹			単位	テスト条件/備考
	Min	Typ	Max	Min	Typ	Max		
DC性能^{3, 4}								
AD5302								
分解能		8		8			ビット	
相対精度		± 0.15	± 1	± 0.15	± 0.5		LSB	
微分非直線性		± 0.02	± 0.25	± 0.02	± 0.25		LSB	全コードについて設計で単調増加性を保証
AD5312								
分解能		10		10			ビット	
相対精度		± 0.5	± 4	± 0.5	± 2		LSB	
微分非直線性		± 0.05	± 0.5	± 0.05	± 0.5		LSB	全コードについて設計で単調増加性を保証
AD5322								
分解能		12		12			ビット	
相対精度		± 2	± 16	± 2	± 8		LSB	
微分非直線性		± 0.2	± 1	± 0.2	± 1		LSB	全コードについて設計で単調増加性を保証
オフセット誤差		± 0.4	± 3	± 0.4	± 3		FSRの%	図3と図4を参照
ゲイン誤差		± 0.15	± 1	± 0.15	± 1		FSRの%	図3と図4を参照
低不感帯		10	60	10	60		mV	図3と図4を参照
オフセット誤差ドリフト ⁵		-12		-12			FSR/°Cのppm	
ゲイン誤差ドリフト ⁵		-5		-5			FSR/°Cのppm	
電源電圧変動除去比 ⁵		-60		-60			dB	$\Delta V_{DD}=\pm 10\%$
DCクロストーク ⁵		30		30			μV	
DACリファレンス入力⁵								
V_{REF} 入力範囲	1		V_{DD}	1		V_{DD}	V	バッファ付きリファレンス・モード
	0		V_{DD}	0		V_{DD}	V	非バッファ・リファレンス・モード
V_{REF} 入力インピーダンス		>10			>10		M Ω	バッファ付きリファレンス・モード
		180			180		k Ω	非バッファ・リファレンス・モード、入力インピーダンス= R_{DAC}
リファレンス・フィードスルー		-90		-90			dB	周波数=10kHz
チャンネル間絶縁		-80		-80			dB	周波数=10kHz
出力特性⁵								
最小出力電圧 ⁶		0.001		0.001			V (min)	出力アンプの最小駆動能力
最大出力電圧 ⁶		$V_{DD}-$		$V_{DD}-$			V (max)	出力アンプの最大駆動能力
DC出力インピーダンス		0.001		0.001			Ω	
短絡電流		0.5		0.5			Ω	
		50		50			mA	$V_{DD}=5V$
パワーアップ時間		20		20			mA	$V_{DD}=3V$
		2.5		2.5			μs	パワーダウン・モードを終了、 $V_{DD}=5V$
		5		5			μs	パワーダウン・モードを終了、 $V_{DD}=3V$

AD5302/AD5312/AD5322

パラメータ ²	Aバージョン ¹			Bバージョン ¹			単位	テスト条件/備考
	Min	Typ	Max	Min	Typ	Max		
ロジック入力 ⁵								
入力電流			±1			±1	μA	
V _{IL} (ローレベル入力電圧)			0.8			0.8	V	V _{DD} =5V±10%
			0.6			0.6	V	V _{DD} =3V±10%
			0.5			0.5	V	V _{DD} =2.5V
V _{IH} (ハイレベル入力電圧)	2.4			2.4			V	V _{DD} =5V±10%
	2.1			2.1			V	V _{DD} =3V±10%
	2.0			2.0			V	V _{DD} =2.5V
ピン容量		2	3.5		2	3.5	pF	
電源条件								
V _{DD}	2.5		5.5	2.5		5.5	V	I _{DD} 仕様はすべてのDACコードに対して有効
I _{DD} (ノーマル・モード)								両DACがアクティブ状態 (負荷電流を除く)
V _{DD} =4.5~5.5V		300	450		300	450	μA	両DACが非バッファ・モード。V _{IH} =V _{DD}
V _{DD} =2.5~3.6V		230	350		230	350	μA	およびV _{IL} =GND。バッファ・モードでの追加電流は1DACにつきxμA (typ) (ここでx=5μA+V _{REF} /R _{DAC})。
I _{DD} (フルパワーダウン)								
V _{DD} =4.5~5.5V		0.2	1		0.2	1	μA	
V _{DD} =2.5~3.6V		0.05	1		0.05	1	μA	

¹ 温度範囲 (A、Bバージョン) : -40~105°C

² 「用語の説明」を参照。

³ DC仕様は、出力無負荷でテストしています。

⁴ 直線性のテストはコード範囲を限定して実施：AD5302 (コード8~248)、AD5312 (コード28~995)、AD5322 (コード115~3981)

⁵ これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証しています。

⁶ アンプ出力を最小電圧にするには、オフセット誤差が負になる必要があります。また、アンプ出力を最大電圧にするには、V_{REF}=V_{DD}で、オフセットとゲイン誤差の和が正になる必要があります。

AC仕様

特に指定のない限り、V_{DD}=2.5~5.5V、R_L=2kΩをGNDに接続、C_L=200pFをGNDに接続、仕様はすべてT_{MIN}~T_{MAX}で規定。¹

表2

パラメータ ³	A、Bバージョン ²			単位	テスト条件/備考
	Min	Typ	Max		
出力電圧セトリング時間					V _{REF} =V _{DD} =5V
AD5302		6	8	μs	1/4スケールから3/4スケールへの変化 (16進数値の0x40から0xC0)
AD5312		7	9	μs	1/4スケールから3/4スケールへの変化 (16進数値の0x100から0x300)
AD5322		8	10	μs	1/4スケールから3/4スケールへの変化 (16進数値の0x400から0xC00)
スルーレート		0.7		V/μs	
メジャー・コード遷移時のグリッチ・エネルギー		12		nV-s	メジャー・キャリーを中心に1LSBの変化 (011...11~100...00)
デジタル・フィードスルー		0.10		nV-s	
アナログ・クロストーク		0.01		nV-s	
DAC間クロストーク		0.01		nV-s	
乗算帯域幅		200		kHz	V _{REF} =2V±0.1Vp-p、非バッファ・モード
全高調波歪み (THD)		-70		dB	V _{REF} =2.5V±0.1Vp-p、周波数=10kHz

¹ これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証しています。

² 温度範囲 (A、Bバージョン) : -40~105°C

³ 「用語の説明」を参照。

タイミング特性

特に指定のない限り、 $V_{DD}=2.5\sim 5.5V$ 、仕様はすべて $T_{MIN}\sim T_{MAX}$ で規定。^{1, 2, 3}

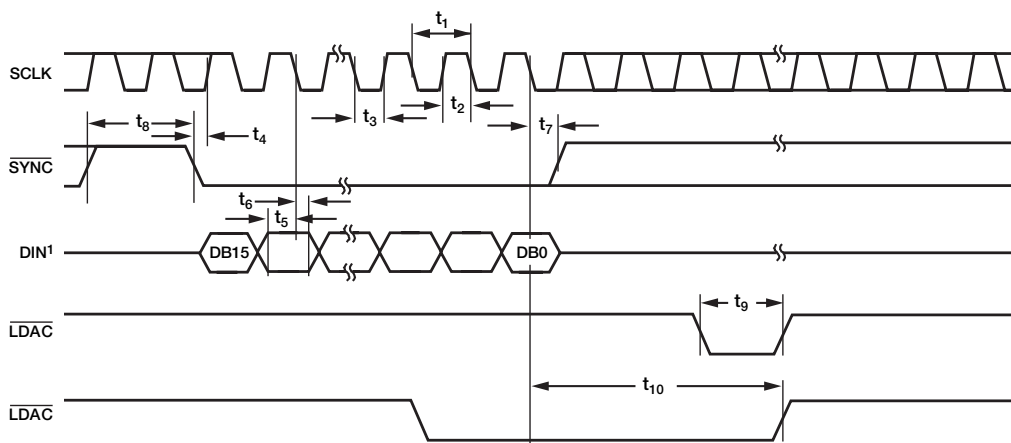
表3

パラメータ	T_{MIN} 、 T_{MAX} 時の制限値 (A、Bバージョン)	単位	テスト条件/備考
t_1	33	ns (min)	SCLKサイクル時間
t_2	13	ns (min)	SCLKハイレベル時間
t_3	13	ns (min)	SCLKローレベル時間
t_4	0	ns (min)	\overline{SYNC} からSCLKの有効エッジまでのセットアップ時間
t_5	5	ns (min)	データ・セットアップ時間
t_6	4.5	ns (min)	データ・ホールド時間
t_7	0	ns (min)	SCLKの立下がりエッジから \overline{SYNC} 立上がりまでの時間
t_8	100	ns (min)	最小の \overline{SYNC} ハイレベル時間
t_9	20	ns (min)	\overline{LDAC} パルス幅
t_{10}	20	ns (min)	SCLKの立下がりエッジから \overline{LDAC} 立上がりまでの時間

¹ これらの仕様については出荷テストを行っていませんが、設計および特性評価により保証しています。

² 入力信号はすべて $t_r=t_f=5ns$ (V_{DD} の10~90%)で規定し、 $(V_{HL}+V_{HH})/2$ の電圧レベルからタイミングを計測しています。

³ 図2を参照。



¹ 「入シフト・レジスタ」の項を参照。

図2. シリアル・インターフェースのタイミング図

00925-002

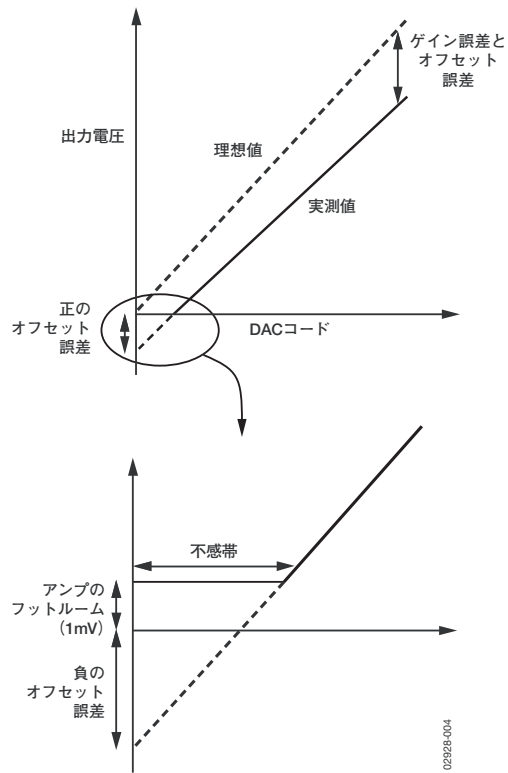


図3. 負のオフセットを含む伝達関数

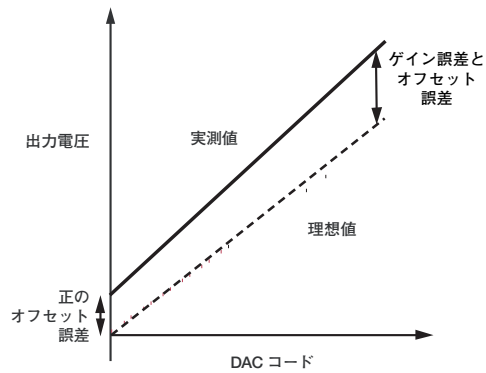


図4. 正のオフセットを含む伝達関数

絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。¹

表4

パラメータ	定格
GNDに対する V_{DD}	$-0.3\sim+7\text{V}$
GNDに対するデジタル入力電圧	$-0.3\text{V}\sim V_{DD}+0.3\text{V}$
GNDに対するリファレンス 入力電圧	$-0.3\text{V}\sim V_{DD}+0.3\text{V}$
GNDに対する V_{OUTA} 、 V_{OUTB}	$-0.3\text{V}\sim V_{DD}+0.3\text{V}$
動作温度範囲	
工業用 (A、Bバージョン)	$-40\sim+105^{\circ}\text{C}$
保存温度範囲	$-65\sim+150^{\circ}\text{C}$
ジャンクション温度 ($T_J\text{max}$)	$+150^{\circ}\text{C}$
10ピンMSOP	
消費電力	$(T_J\text{max}-T_A)/\theta_{JA}$
θ_{JA} 熱抵抗	$206^{\circ}\text{C}/\text{W}$
θ_{JC} 熱抵抗	$44^{\circ}\text{C}/\text{W}$
ピン温度、ハンダ処理	
ベーキング時間 (60秒)	215°C
赤外線 (15秒)	220°C

¹ 100mAまでの過渡電流では、SCRラッチアップは発生しません。

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD5302/AD5312/AD5322

ピン配置と機能の説明



図5. ピン配置

表5. ピン機能の説明

ピン番号	記号	説明
1	$\overline{\text{LDAC}}$	アクティブ・ローレベルの制御入力。このピンで入力レジスタのデータ内容を該当するDACレジスタに転送します。 $\overline{\text{LDAC}}$ にローレベルのパルスが入力されると、入力レジスタに新しいデータがある場合DACレジスタのいずれか1つまたは両方を更新できます。これにより、2つのDAC出力の同時更新が可能になります。
2	V_{DD}	電源入力。デバイスは2.5~5.5Vの電源で動作しますが、電源をGNDにデカップリングする必要があります。
3	V_{REFB}	DAC B用リファレンス入力ピン。DAC B用のリファレンスであり、DAC Bのコントロール・ワードのBUFビットの状態に応じて、バッファ入力または非バッファ入力に設定できます。入力電圧範囲は非バッファ・モード時が $0\text{V} \sim V_{\text{DD}}$ 、バッファ・モード時が $1\text{V} \sim V_{\text{DD}}$ です。
4	V_{REFA}	DAC A用リファレンス入力ピン。DAC A用のリファレンスであり、DAC Aのコントロール・ワードのBUFビットの状態に応じて、バッファ入力または非バッファ入力に設定できます。入力電圧範囲は非バッファ・モード時が $0\text{V} \sim V_{\text{DD}}$ 、バッファ・モード時が $1\text{V} \sim V_{\text{DD}}$ です。
5	V_{OUTA}	DAC Aからのバッファ・アナログ出力電圧。出力アンプはレールtoレール動作を行います。
6	V_{OUTB}	DAC Bからのバッファ・アナログ出力電圧。出力アンプはレールtoレール動作を行います。
7	$\overline{\text{SYNC}}$	アクティブ・ローレベルの制御入力。入力データのフレーム同期信号です。 $\overline{\text{SYNC}}$ がローレベルのときに、SCLKおよびDINバッファをパワーオンに設定し、入力シフト・レジスタをイネーブルにします。データは、次の16個のクロックの立下がりエッジで転送入力されます。16番目の立下がりエッジの前に $\overline{\text{SYNC}}$ がハイレベルになると、 $\overline{\text{SYNC}}$ の立下がりエッジが割込みになり、書込みシーケンスが無視されます。
8	SCLK	シリアル・クロック入力。データは、シリアル・クロック入力の立下がりエッジで入力シフト・レジスタにクロック入力されます。最大30MHzのクロック・レートでデータを転送できます。書込みサイクルが終了するごとに、SCLK入力バッファがパワーダウンします。
9	DIN	シリアル・データ入力。このデバイスには、16ビットの入力シフト・レジスタがあります。データは、シリアル・クロック入力の立下がりエッジでレジスタにクロック入力されます。書込みサイクルが終了するごとに、DIN入力バッファがパワーダウンします。
10	GND	デバイスの全回路のグラウンド基準ポイント。

用語の説明

相対精度

DACの場合、相対精度または積分非直線性 (INL) とは、DAC伝達関数の2つのエンドポイントを結ぶ直線からの最大偏差 (単位はLSB) を表します。代表的なコードとINLの関係を図6に示します。

微分非直線性

隣接する2つのコード間における1LSB変化の測定値と理論値との差です。微分非直線性の仕様が±1LSB以内の場合は、単調増加性が保証されています。このDACは設計により単調増加性を保証しています。代表的なコードとDNLの関係を図9に示します。

オフセット誤差

DACと出力アンプのオフセット誤差です。フルスケール・レンジの%値で表します。

ゲイン誤差

DACのスパン誤差を表します。これはDAC伝達特性の理論値からの実際の傾き偏差を示すもので、フルスケール・レンジの%値で表します。

オフセット誤差ドリフト

温度変化に伴うオフセット誤差の変動を表します。(フルスケール・レンジのppm) / °Cで表します。

ゲイン誤差ドリフト

温度変化に伴うゲイン誤差の変動を表します。(フルスケール・レンジのppm) / °Cで表します。

メジャー・コード遷移時のグリッチ・エネルギー

DACレジスタの入力コードが変化したときに、入力からアナログ出力に注入されるインパルスを表します。一般に、グリッチの面積として規定され、nV-sで表します。メジャー・キャリア遷移 (011...11から100...00、または100...00から011...11) 時に、デジタル入力コードが1LSB変化したときの測定値です。

デジタル・フィードスルー

DACに書き込みが行われていないとき ($\overline{\text{SYNC}}$ がハイレベル状態) に、デバイスのデジタル入力ピンからDACのアナログ出力に注入されるインパルスを表します。nV-sの単位で規定され、デジタル入力ピン上でのフルスケールのコード変化時、すなわち全ビット「0」から全ビット「1」に変化したとき、または全ビット「1」から全ビット「0」にコードが遷移するときに測定します。

アナログ・クロストーク

DACの出力変化によって別のDACの出力に伝達されるグリッチ・インパルスです。これを測定するには、 $\overline{\text{LDAC}}$ をハイレベルに保持している間にコードのフルスケール変化 (全ビット「0」から全ビット「1」、または全ビット「1」から全ビット「0」の遷移) を入力レジスタの1つにロードし、その後 $\overline{\text{LDAC}}$ にローパルスを出力し、デジタル・コードが変化しなかったDACの出力をモニタします。グリッチの面積はnV-s単位で表します。

DAC間クロストーク

DACのデジタル・コード変化とその後に続く出力変化に伴って別のDACの出力に伝達されるグリッチ・インパルスです。これには、デジタルとアナログの両方のクロストークが含まれます。これを測定するには、 $\overline{\text{LDAC}}$ をローレベルに保持している間にコードのフルスケール変化 (全ビット「0」から全ビット「1」、または全ビット「1」から全ビット「0」の遷移) をDACの1つにロードし、別のDACの出力をモニタします。グリッチの面積はnV-s単位で表します。

DCクロストーク

DACの出力変化に応じて別のDACで生じる出力レベルのDC変動です。これを測定するには、DACのフルスケール出力を変化させて、別のDACをモニタします。μV単位で表します。

電源電圧変動除去比 (PSRR)

電源電圧の変動がDACの出力に与える影響を示します。PSRRは、DACのフルスケール出力に関する V_{OUT} の変動と V_{DD} の変動の比を表します。dB単位で測定します。 V_{REF} を2Vに保持し、 V_{DD} を±10%のレンジで変動させます。

リファレンス・フィードスルー

DACの出力が更新されていないとき ($\overline{\text{LDAC}}$ がハイレベル) のDAC出力とリファレンス入力の信号振幅の比です。dB単位で表します。

全高調波歪み (THD)

DACを使用するときの理想的なサイン波と減衰したサイン波との差です。サイン波はDACのリファレンスとして使用され、THDはDACの出力上に存在する高調波の測定値です。dB単位で測定します。

乗算帯域幅

DACに内蔵されているアンプの帯域幅は有限です。乗算帯域幅はこの測定値です。リファレンス上のサイン波 (フルスケール・コードをDACにロードした状態) が出力上に現れます。乗算帯域幅は、出力振幅が入力よりも3dB低くなるときの周波数です。

チャンネル間アイソレーション

DACのリファレンス入力のサイン波と別のDACの出力の信号の振幅比です。dB単位で測定します。

代表的な性能特性

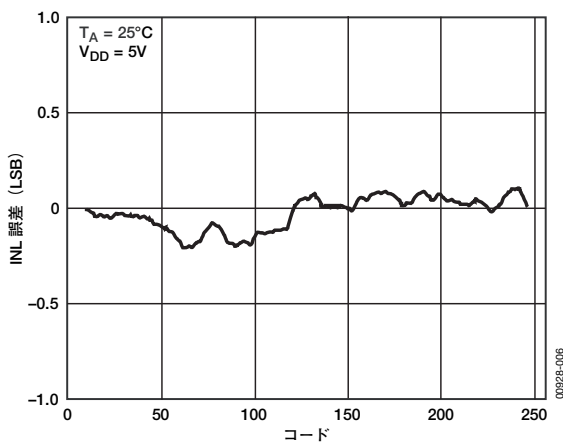


図6. 代表的なINLプロット (AD5302)

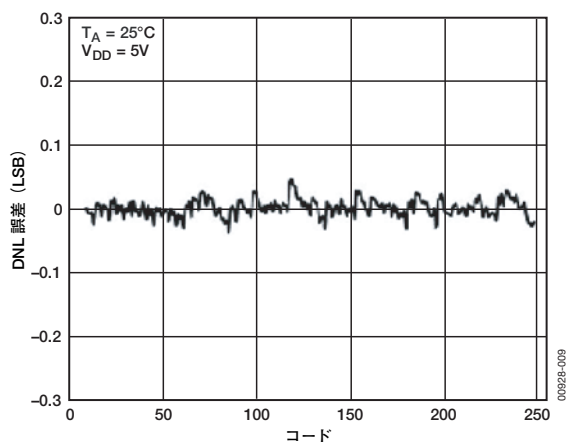


図9. 代表的なDNLプロット (AD5302)

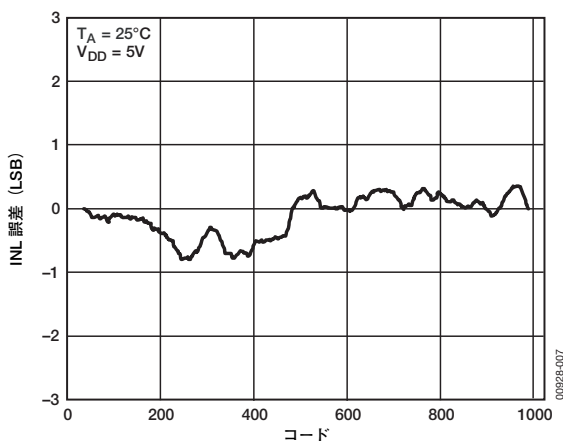


図7. 代表的なINLプロット (AD5312)

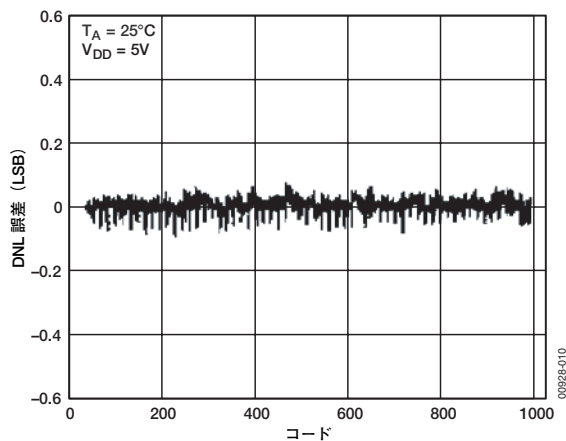


図10. 代表的なDNLプロット (AD5312)

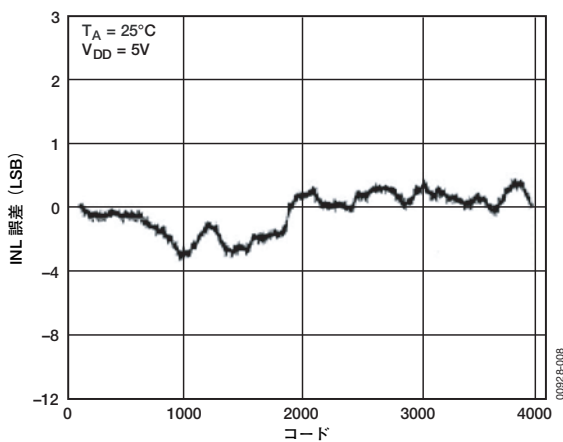


図8. 代表的なINLプロット (AD5322)

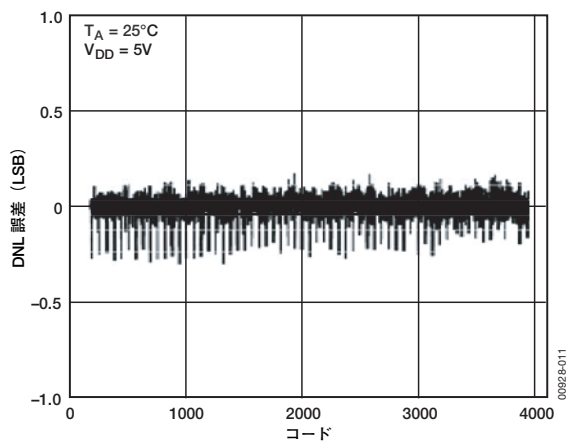


図11. 代表的なDNLプロット (AD5322)

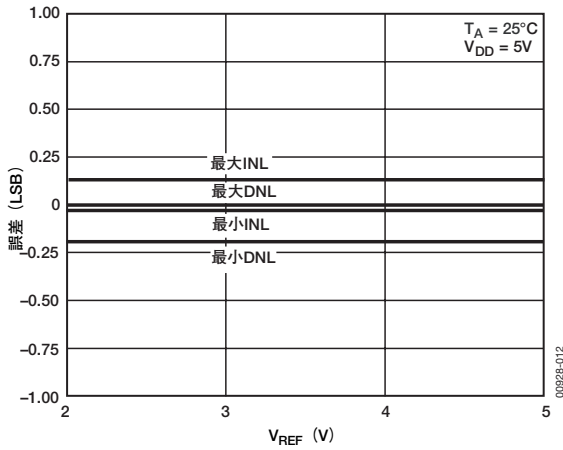


図12. V_{REF} 対 INL 誤差およびDNL誤差 (AD5302)

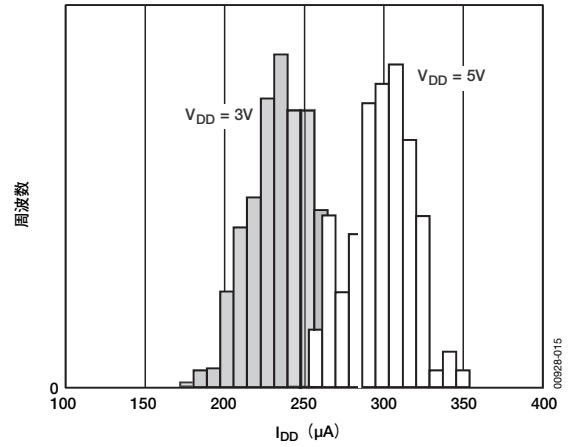


図15. I_{DD} ヒストグラム ($V_{DD}=3V$ および $V_{DD}=5V$)

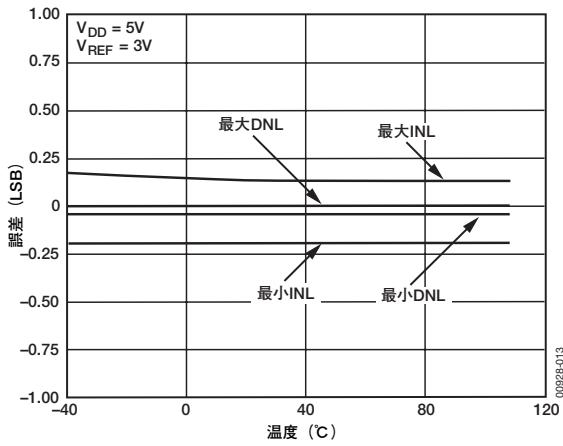


図13. INL 誤差およびDNL 誤差の温度特性 (AD5302)

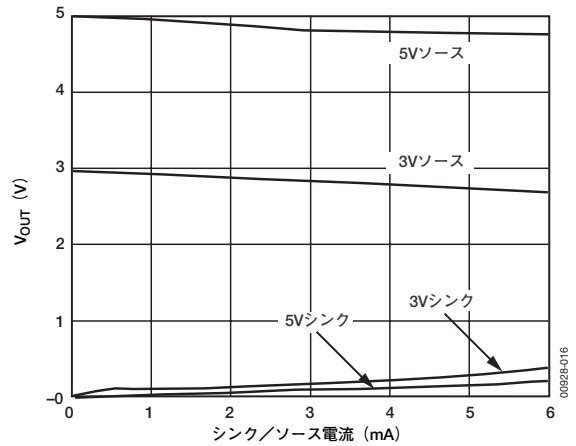


図16. ソース電流およびシンク電流の能力

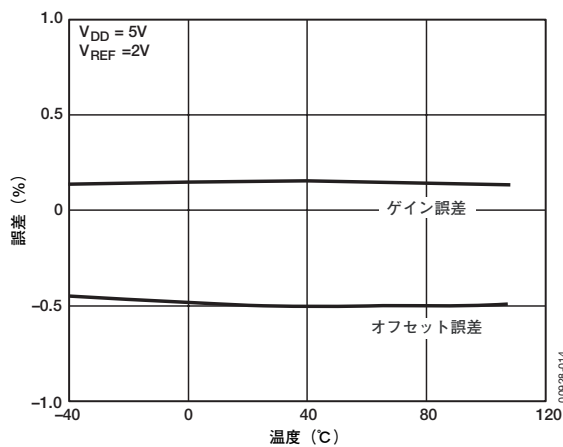


図14. オフセット誤差およびゲイン誤差の温度特性

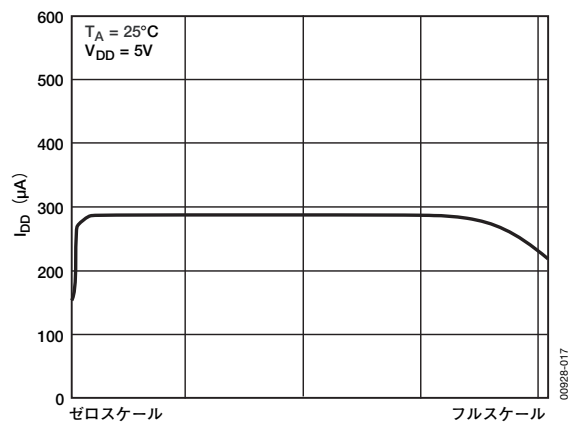


図17. コード 対 電源電流

AD5302/AD5312/AD5322

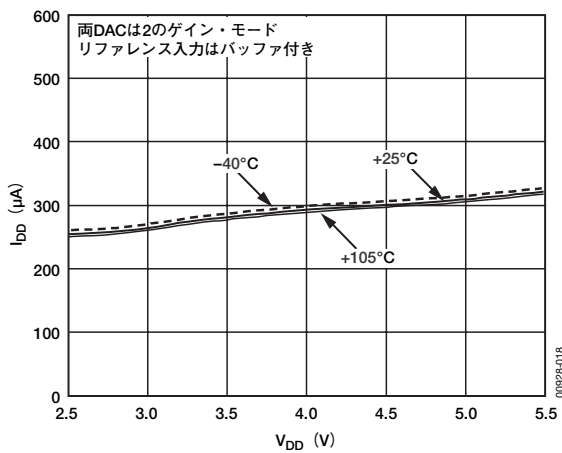


図18. 電源電圧 対 電源電流

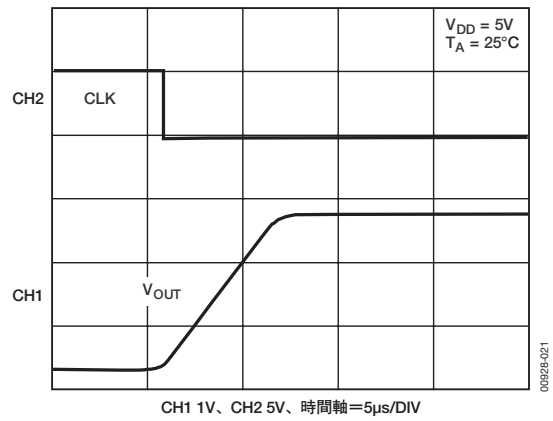


図21. ハーフスケール・セトリング
(1/4から3/4スケールのコード変化)

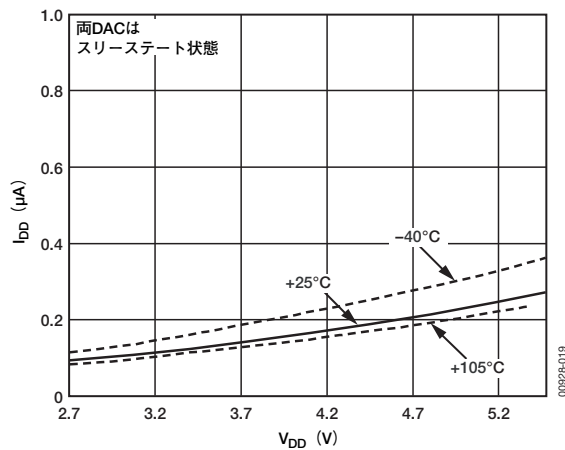


図19. 電源電圧 対 パワーダウン電流

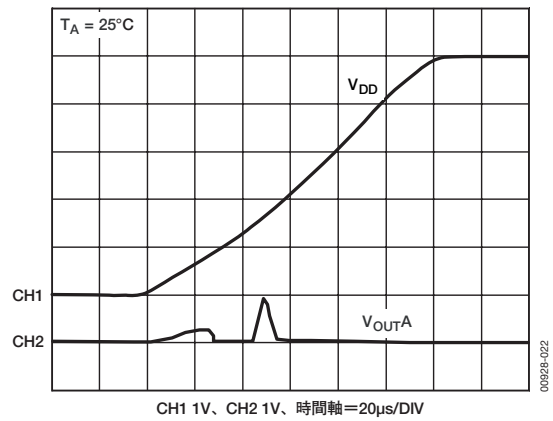


図22. 0Vへのパワーオン・リセット

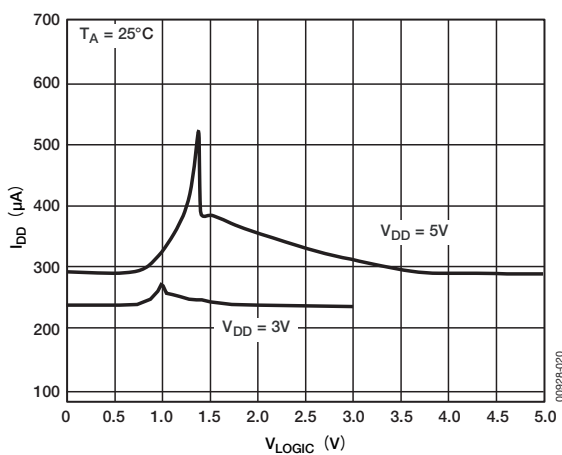


図20. ロジック入力電圧 対 電源電流

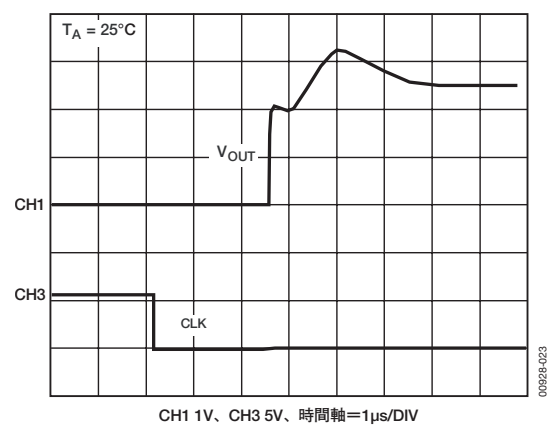


図23. パワーダウン終了でミッドスケールへ遷移

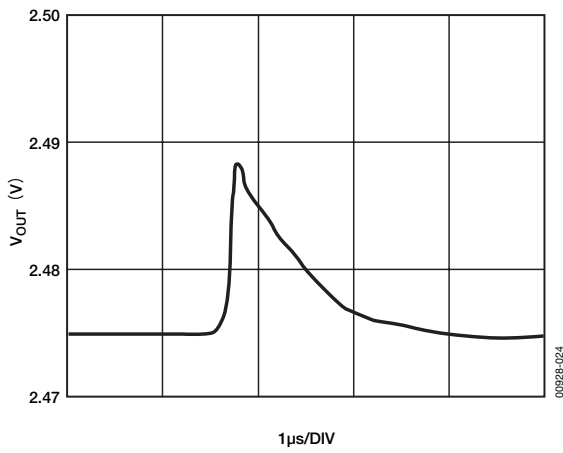


図24. メジャー・コード遷移 (AD5322)

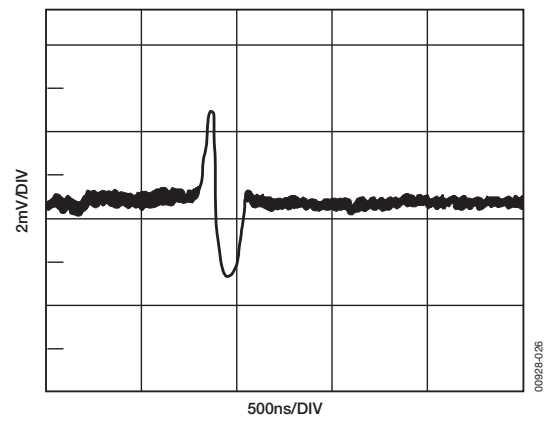


図26. DAC間クロストーク

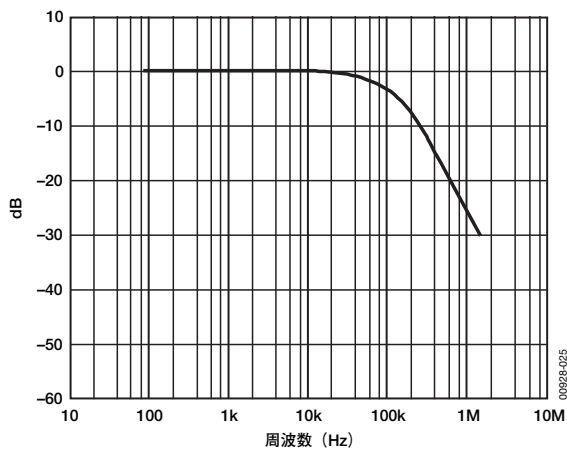


図25. 乗算帯域幅 (小信号周波数応答)

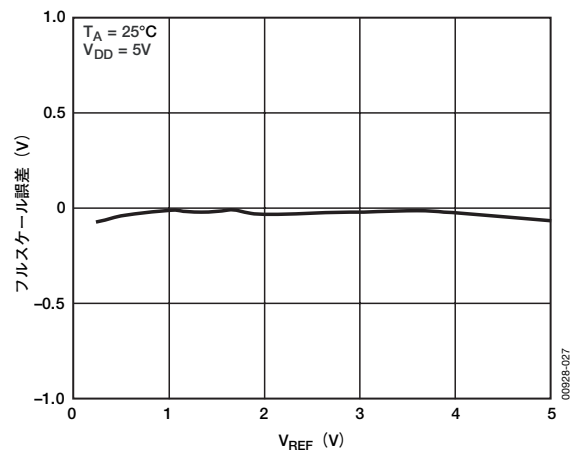


図27. V_{REF} (バッファあり) 対 フルスケール誤差

機能の説明

AD5302/AD5312/AD5322は、CMOSプロセスで製造されたデュアル抵抗ストリングDACで、それぞれ8ビット、10ビット、12ビットの分解能を備えています。リファレンス・バッファと出力バッファ・アンプを内蔵しており、3線式シリアル・インターフェースによって書込みが行われます。2.5~5.5Vの単電源で動作し、出力バッファ・アンプは0.7V/μsのスループットでレールtoレールの出力振幅動作が可能です。DACにはそれぞれリファレンス入力があり、入力をバッファしてリファレンス・ソースからの電流消費をほぼゼロにするか、またはバッファせずにリファレンス入力範囲をGND~V_{DD}にすることができます。3つのパワーダウン・モードがプログラム可能で、1個または両方のDACをハイ・インピーダンス出力で完全にオフにするか、あるいはオンチップ抵抗で出力をローレベルにプルダウンすることができます。

DAC部

DACチャンネルのアーキテクチャは、リファレンス・バッファ、抵抗ストリングDAC、その後段の出力バッファ・アンプで構成されます。DACのリファレンス電圧は、V_{REF}ピンから供給されます。図28に、このDACアーキテクチャのブロック図を示します。DACの入力コーディングはストレート・バイナリであるため、理想的な出力電圧は以下の式で求めることができます。

$$V_{OUT} = \frac{V_{REF} \times D}{2^N}$$

ここで、

D=DACレジスタにロードされるバイナリ・コードの10進値

AD5302 (8ビット) では0~255

AD5312 (10ビット) では0~1023

AD5322 (12ビット) では0~4095

N=DACの分解能

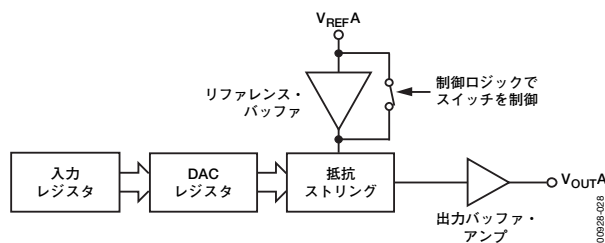


図28. シングルDACチャンネルのアーキテクチャ

抵抗ストリング

抵抗ストリングの構造を図29に示します。各値がRのシンプルな抵抗のストリングになっています。ストリング上のどのノードで電圧を分岐して出力アンプに供給するかは、DACレジスタにロードされるデジタル・コードによって決まります。ストリングとアンプを接続しているスイッチの1つを閉じることで、電圧が出力アンプに供給されます。これは複数の抵抗で構成される1本のストリングなので、単調増加性が保証されます。

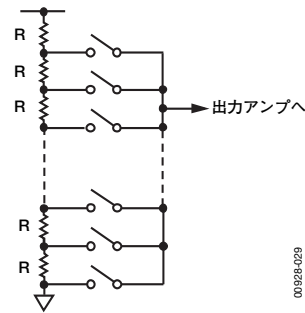


図29. 抵抗ストリング

DACリファレンス入力

2個のDACには、それぞれ1本のリファレンス入力ピンがあります。2つのリファレンス入力は、バッファまたは非バッファとして設定できます。バッファ入力の利点は、駆動する電圧源に対してハイ・インピーダンスが得られることです。

非バッファ・モードを利用する場合は、リファレンス・アンプのヘッドルームとフットルームによる制約がないので、リファレンス電圧をGNDまで低くしたり、V_{DD}まで高くすることができます。回路でバッファ・リファレンス（たとえば、REF192）を使用する場合は、AD5302/AD5312/AD5322の内蔵バッファを使用する必要はありません。非バッファ・モードでも、かなり高い入力インピーダンスが得られます（リファレンス入力あたり180kΩ）。

バッファ/非バッファのオプションは、コントロール・ワードのBUFビットで制御します（レジスタの内容については、「シリアル・インターフェース」を参照）。

出力アンプ

出力バッファ・アンプは、各電源レールの1mV以内までの出力電圧を生成できます。出力範囲は、リファレンスがV_{DD}のときに0.001V~V_{DD}-0.001Vです。この出力アンプは、GNDとV_{DD}の間の500pFと並列の2kΩの負荷を駆動することができます。出力アンプのソースおよびシンク能力については、図16を参照してください。

スループットは0.7V/μsで、ハーフスケール・セトリング時間は±0.5LSB（8ビット）に対して6μsです。図21を参照してください。

パワーオン・リセット

AD5302/AD5312/AD5322には、定義済みの状態でパワーアップするためのパワーオン・リセット機能があります。パワーオン状態は、以下のとおりです。

- 通常動作
- 非バッファのリファレンス入力
- 出力電圧を0Vに設定

入力レジスタとDACレジスタにはオール「0」がロードされ、デバイスに対して有効な書込みシーケンスが実行されるまで、その状態が維持されます。この機能は、デバイスのパワーアップ中にDAC出力の状態を把握しておかなければならないアプリケーションに特に便利です。

シリアル・インターフェース

AD5302/AD5312/AD5322は、多機能な3線式シリアル・インターフェースを通して制御します。このインターフェースは、最大30MHzのクロック・レートで動作し、SPI、QSPI、MICROWIRE、DSPインターフェース規格に適合しています。

入力シフト・レジスタ

入力シフト・レジスタは16ビット幅です（図30～32を参照）。データは、シリアル・クロック入力SCLKの制御によって16ビット・ワードでロードされます。この動作のタイミング図を図2に示します。16ビット・ワードは、4つのコントロール・ビットと、デバイスのタイプによって8ビット、10ビットまたは12ビットの後続のDACデータで構成されます。最初にロードされるビットはMSB（ビット15）で、このビットによってデータがDAC A用かDAC B用かを決定します。ビット14は、リファレンス入力バッファか非バッファかを決定します。ビット13と12は、DACの動作モードを制御します。

表6. コントロール・ビット

ビット	記号	機能	パワーオン・デフォルト
15	A/B	0: DAC Aに書き込まれるデータ。 1: DAC Bに書き込まれるデータ	なし
14	BUF	0: 非バッファ・リファレンス 1: バッファ・リファレンス	0
13	PD1	モード・ビット	0
12	PD0	モード・ビット	0

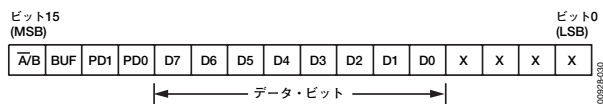


図30. 入力シフト・レジスタの内容 (AD5302)



図31. 入力シフト・レジスタの内容 (AD5312)

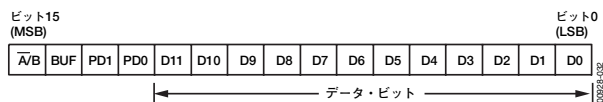


図32. 入力シフト・レジスタの内容 (AD5322)

残りのビットはDACデータ・ビットで、MSBで始まりLSBで終わります。AD5322はDACデータの全12ビットを使用しますが、AD5312は2つのLSBを無視して10ビットを使用します。AD5302は最後の4ビットを無視して、8ビットを使用します。データ・フォーマットはストレート・バイナリで、全ビット「0」が0V出力に相当し、全ビット「1」がフルスケール出力に相当します（VREF-1LSB）。

SYNC入力は、フレーム同期信号およびチップ・イネーブルとして機能するレベル・トリガ入力です。デバイスにデータを転送できるのは、SYNCがローレベルの間のみです。シリアル・データ転送を開始するにはSYNCをローレベルに設定します

が、このときSYNCからSCLKの立下がりエッジまでの最小セットアップ時間 (t_4) を守る必要があります。SYNCがローレベルになった後、16クロック・パルスに相当するSCLKの立下がりエッジで、デバイスの入力シフト・レジスタにシリアル・データがシフト入力されます。16番目のパルスの後のクロック・パルスとデータはすべて無視され、SYNCがハイレベルになって再度ローレベルになるまでシリアル・データは転送されません。

16番目のSCLKパルス・エッジが立ち下がった後でSYNCをハイレベルに設定できます。このとき、SCLKの立下がりエッジからSYNCの立ち上がりエッジまでの最小時間 (t_5) を守ります。

シリアル・データの転送が終了すると、データは入力シフト・レジスタから、選択されたDACの入力レジスタに自動的に転送されます。16番目のSCLKパルス・エッジが立ち下がる前にSYNCをハイレベルに設定すると、データ転送が中止され、DAC入力レジスタは更新されません。

データが両方の入力レジスタに転送された後LDACをローレベルに設定することで2つのDACのレジスタを同時に更新できます。

低消費電力シリアル・インターフェース

デバイスの消費電力をさらに低減するために、デバイスの書込み動作が実行されるときのみインターフェースを完全にパワーアップします。16ビットのコントロール・ワードがデバイスに書き込まれるとすぐに、SCLKとDIN入力バッファがパワーダウンします。SYNCのパルス・エッジが立ち下がらなると、パワーアップしません。

ダブルバッファ・インターフェース

AD5302/AD5312/AD5322の各DACはすべて、入力レジスタとDACレジスタの2つのバンクで構成されるダブルバッファ・インターフェースを備えています。入力レジスタは直接入力シフト・レジスタに接続し、有効な書込みシーケンスが終了した時点で該当する入力レジスタにデジタル・コードが転送されます。DACレジスタには、抵抗ストリングで使用するデジタル・コードが格納されます。

DACレジスタへのアクセスは、LDAC機能で制御します。LDACがハイレベルになると、DACレジスタがラッチされ、DACレジスタの内容はそのままで入力レジスタの状態を変更できます。LDACがローレベルになると、DACレジスタはトランスペアレントになり、入力レジスタの内容がDACレジスタに転送されます。

このダブルバッファ・インターフェースは、2つのDAC出力の同時更新が必要な場合に便利です。2つの入力レジスタに別々に書込みを行い、その後LDAC入力をローレベルに設定することで、すべての出力を同時に更新することができます。

LDACをローレベルにした後、入力レジスタがまったく更新されていないのであれば、DACレジスタも更新されないという機能もあります。通常は、LDACがローレベルのときに、入力レジスタの内容がDACレジスタにロードされます。AD5302/AD5312/AD5322の場合、DACレジスタの最終更新の後に入力レジスタの内容が変更されたときのみDACレジスタが更新されるため、不要なデジタル・クロストークがなくなります。

パワーダウン・モード

AD5302/AD5312/AD5322の消費電力はごくわずかで、3V電源動作時に0.7mW、5V電源動作時に1.5mWです。DACを使用しないとき、3つのパワーダウン・モードの1つに設定することで消費電力をさらに低減できます。パワーダウン・モードは、コントロール・ワードのビット13とビット12 (PD1とPD0) で選択します。表7に、ビットの設定と対応するDACの動作モードの関係を示します。

表7. PD1/PD0動作モード

PD1	PD0	動作モード
0	0	通常動作
0	1	パワーダウン (GNDに対し1k Ω 負荷)
1	0	パワーダウン (GNDに対し100k Ω 負荷)
1	1	パワーダウン (高インピーダンス出力)

両ビットを0に設定すると、DACは5V時に300 μ Aの消費電流で通常の動作を実行します。しかし、3種類のパワーダウン・モードでは、電源電流が5V時に200nA (3Vで50nA) に低下します。電源電流が低下するだけでなく、出力段も内部的にアンプの出力から切り離され、既知の値をもつ抵抗ネットワークに接続されます。これは、デバイスがパワーダウン・モードの間、デバイスの出力インピーダンスが既知であり、DACアンプの出力に何が接続されようと、定義済みの入力条件が与えられる、という利点があります。以下の3つのオプションがあります。

- 1k Ω の抵抗を通して出力をGNDに内部接続します。
- 100k Ω の抵抗を通して出力をGNDに内部接続します。
- 出力はオープン (スリーステート) のままです。

図33に出力段を示します。

パワーダウン・モードを起動すると、バイアス発生器、出力アンプ、抵抗ストリングなどの関連するリニア回路がすべてシャットダウンされます。ただし、パワーダウン・モード中はレジスタの内容はまったく変わりません。パワーダウンからの復帰時間は一般にVDD=5V時に2.5 μ s、VDD=3V時に5 μ sです。図23を参照してください。

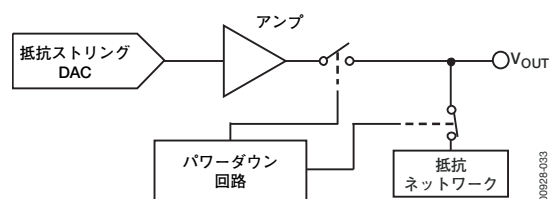


図33. パワーダウン時の出力段

マイクロプロセッサとのインターフェース

ADSP-2101/ADSP-2103とAD5302/AD5312/AD5322とのインターフェース

AD5302/AD5312/AD5322とADSP-2101/ADSP-2103とのシリアル・インターフェースを図34に示します。ADSP-2101/ADSP-2103は、SPORT送信のオルタネート・フレーミング・モードで動作するようにセットアップします。ADSP-2101/ADSP-2103のSPORTをSPORTコントロール・レジスタによってプログラムし、内部クロック動作、アクティブ・ローレベルのフレーミング、16ビットのワード長に設定します。送信を開始するには、SPORTをイネーブルにした後でTxレジスタにワードを書き込みます。データはDSPのシリアル・クロックの立下がりエッジごとにクロック出力され、DSPのシリアル・クロックの立上がりエッジでAD5302/AD5312/AD5322にクロック入力されます。これは、DACのSCLKの立下がりエッジに対応しています。

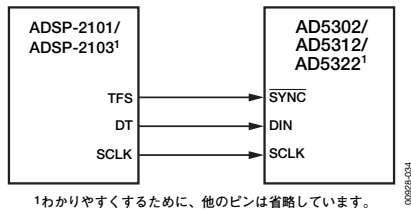


図34. ADSP-2101/ADSP-2103とAD5302/AD5312/AD5322とのインターフェース

68HC11/68L11とAD5302/AD5312/AD5322とのインターフェース

AD5302/AD5312/AD5322と68HC11/68L11マイクロコントローラとのシリアル・インターフェースを図35に示します。68HC11/68L11のSCKでAD5302/AD5312/AD5322のSCLKを駆動し、MOSI出力によってDACのシリアル・データ・ラインを駆動します。SYNC信号は、ポート・ライン（PC7）から取ります。このインターフェースが正しく動作するようにセットアップするには、次のようにします。まず68HC11/68L11のCPOLビットを0、次にCPHAビットを1に設定します。データがDACに送信されているときに、SYNCラインをローレベルにします（PC7）。68HC11/68L11をこのように設定すると、MOSI出力上に現れるデータはSCKの立下がりエッジで有効になります。68HC11/68L11からのシリアル・データは8ビット・バイト単位で送信され、送信サイクルは8個の立下がりクロック・エッジのみになります。データはMSBファーストで送信されます。データをAD5302/AD5312/AD5322にロードするには、最初の8ビットが転送された後、PC7をローレベルのままにして、2回目のシリアル書き込み動作をDACに対して実行します。これが終了したら、PC7をハイレベルに戻します。

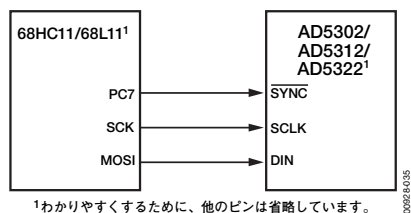


図35. 68HC11/68L11とAD5302/AD5312/AD5322とのインターフェース

80C51/80L51とAD5302/AD5312/AD5322とのインターフェース

AD5302/AD5312/AD5322と80C51/80L51マイクロコントローラとのシリアル・インターフェースを図36に示します。このインターフェースは、次のようにセットアップします。80C51/80L51のTXDでAD5302/AD5312/AD5322のSCLKを駆動し、RXDでDACのシリアル・データ・ラインを駆動します。ここでも、SYNC信号はポート上のビット・プログラマブル・ピンから取ります。この場合、ポート・ラインP3.3を使用します。データがAD5302/AD5312/AD5322に送信されるたびに、P3.3はローレベルになります。80C51/80L51は8ビット・バイト単位でのみデータを送信するため、送信サイクルは8個の立下がりクロック・エッジのみになります。データをDACにロードするには、最初の8ビットが転送された後、P3.3をローレベルのまま保持し、2回目の書き込みサイクルを開始して2番目のデータ・バイトを送信します。このサイクルが終了した後で、P3.3をハイレベルに戻します。80C51/80L51は、LSBファーストのフォーマットでシリアル・データを出力します。AD5302/AD5312/AD5322は、最初に受信するビットとしてMSBのデータを要求します。80C51/80L51の送信ルーティンでは、この点を考慮する必要があります。

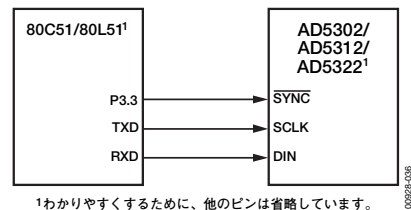


図36. 80C51/80L51とAD5302/AD5312/AD5322とのインターフェース

MICROWIREとAD5302/AD5312/AD5322とのインターフェース

AD5302/AD5312/AD5322とMICROWIRE互換デバイスとのインターフェースを図37に示します。シリアル・データはシリアル・クロックの立下がりエッジでシフト出力され、SKの立上がりエッジでAD5302/AD5312/AD5322にクロック入力されます。

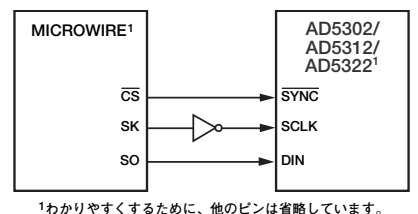


図37. MICROWIREとAD5302/AD5312/AD5322とのインターフェース

アプリケーション情報

代表的なアプリケーション回路

AD5302/AD5312/AD5322は広範なリファレンス電圧で使用できますが、特にリファレンス電圧入力为非バッファに設定されている場合は、 $0V \sim V_{DD}$ のリファレンス範囲で完全な1象限乗算能力を提供します。一般的には、固定の高精度電圧リファレンスと使用できます。図38に、外部リファレンスを使用する場合のAD5302/AD5312/AD5322の代表的なセットアップを示します。リファレンス入力为非バッファの場合はリファレンス入力範囲が $0V \sim V_{DD}$ になりますが、内蔵のリファレンス・バッファを使用する場合はリファレンス範囲が狭くなります。5V動作に適したリファレンスは、AD780とREF192 (2.5Vリファレンス) になります。2.5V動作の場合は、REF191 (2.048Vリファレンス) の外部リファレンスが適しているでしょう。

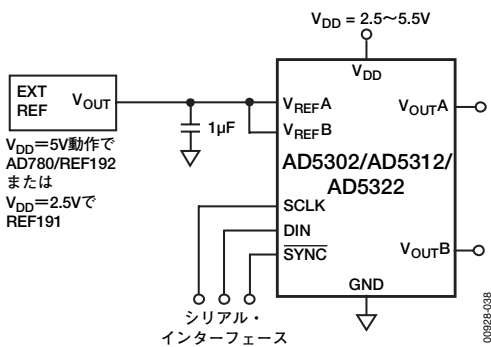


図38. 外部リファレンスを使用したAD5302/AD5312/AD5322

リファレンス入力を非バッファに設定しているとき (たとえば、 $0 \sim 5V$ の場合) に $0V \sim V_{DD}$ の出力範囲が必要であれば、最も簡単な方法はリファレンス入力を V_{DD} に接続することです。この電源がノイズを発生し、精度が問題になる場合は、リファレンス電圧 (図39に示すREF195などの5Vリファレンス) からAD5302/AD5312/AD5322に電源を供給できます。REF195は、AD5302/AD5312/AD5322に安定した電源電圧を出力します。REF195に必要な電流は、300 μA の電源電流と各リファレンス入力に引き込まれる約30 μA の電流です。これは、DAC出力が無負荷時の電流値です。DAC出力に負荷が接続される場合には、REF195はその負荷に対しても電流を供給する必要があります。合計必要電流 (10k Ω の負荷を各出力に接続する場合は、次式で求めることができます。

$$360\mu A + 2 \left(\frac{5V}{10k\Omega} \right) = 1.36mA$$

REF195の負荷レギュレーションは一般に2ppm/mAであるため、消費電流が1.36mAのときに2.7ppm (13.5 μV) の誤差が発生します。これは8ビットで0.0007LSBの誤差、12ビットで0.011LSBの誤差に相当します。

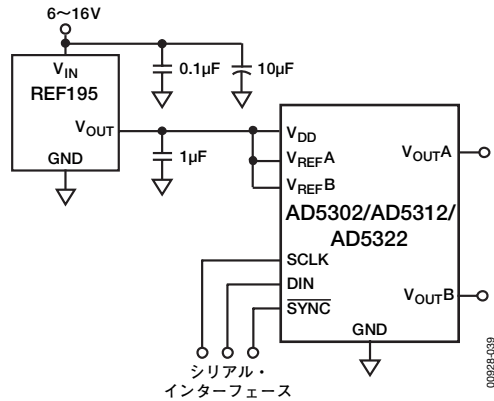


図39. REF195を電源およびリファレンスとして使用したAD5302/AD5312/AD5322

AD5302/AD5312/AD5322を使用したバイポーラ動作

AD5302/AD5312/AD5322は単電源動作用に設計されていますが、図40に示す回路を使用してバイポーラ動作に設定することも可能です。この回路の出力電圧範囲は、 $-5V < V_{OUT} < +5V$ です。出力アンプにAD820またはOP295を使用すると、アンプのレールtoレール出力動作が可能になります。

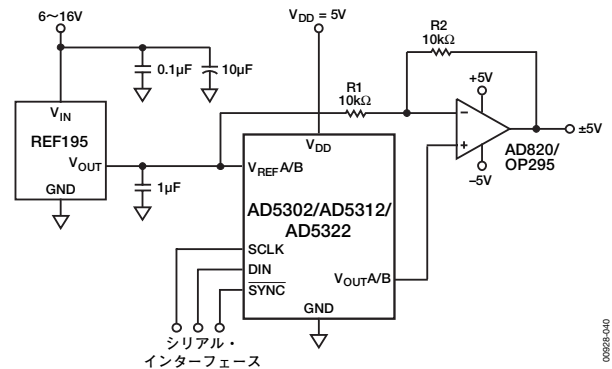


図40. AD5302/AD5312/AD5322を使用したバイポーラ動作

入力コードに対応する出力電圧は、次式で求めることができます。

$$V_{OUT} = \left[\frac{(V_{REF} \times D/2^N) \times (R1 + R2)}{R1} \right] - V_{REF} \times (R2/R1)$$

ここで、

D は、DACにロードされるコードと等価な10進値。

N は、DACの分解能。

V_{REF} は、リファレンス電圧入力。

$V_{REF} = 5V$ 、 $R1 = R2 = 1k\Omega$ 、 $V_{DD} = 5V$ の場合、以下の式を使用します。

$$V_{OUT} = (10 \times D/2^N) - 5V$$

プロセス制御アプリケーション用の光絶縁インターフェース

AD5302/AD5312/AD5322は多機能な3線式シリアル・インターフェースを備えているため、プロセス制御アプリケーションや産業用アプリケーションでの高精度電圧の生成に最適です。しかしノイズ、安全性要件、距離などのために、AD5302/AD5312/AD5322をコントローラから絶縁しなければならない場合があります。これは、3kVを超える絶縁能力を備えた光アイソレータを利用すれば、簡単に実現できます。AD5302/AD5312/AD5322は、シリアル・ロード構造であるため光絶縁アプリケーションでの利用に適しています。図41に、AD5302/AD5312/AD5322の光絶縁インターフェースを示します。ここでは、DIN、SCLKおよびSYNCをフォトカプラから駆動します。トランスを使用してデバイスの電源を絶縁する必要もあります。トランスのDAC側に5Vレギュレータを接続することによって、AD5302/AD5312/AD5322の動作に必要な5V電源を供給します。

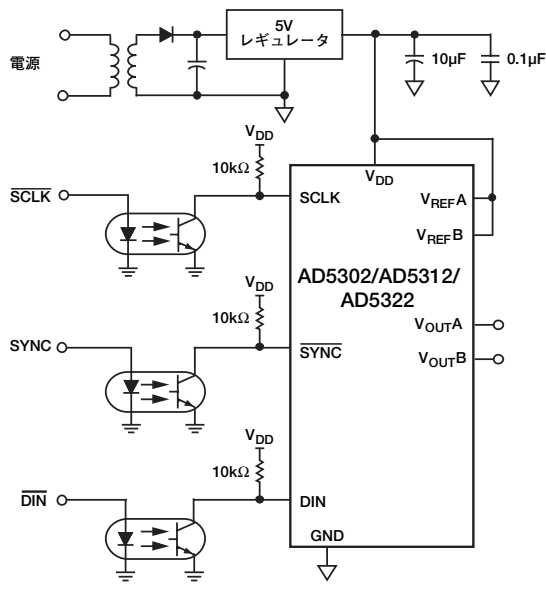


図41. AD5302/AD5312/AD5322の光絶縁インターフェース

複数のAD5302/AD5312/AD5322のデコーディング

AD5302/AD5312/AD5322のSYNCピンは、複数のDACをデコーディングするアプリケーションに利用できます。このアプリケーションでは、システム内のすべてのDACが同じシリアル・クロックとシリアル・データを受信しますが、アクティブになるSYNC入力は1個のデバイスに対するもののみであるため、8チャンネル・システムでは2チャンネルにアクセスすることになります。74HC139を2対4ライン・デコーダとして、システム内の任意のDACのアドレスを指定します。タイミング誤差が発生しないように、コード化アドレス入力の状態が変化している間はイネーブル入力を非アクティブ状態に設定する必要があります。図42に、1つのシステムの中で複数のAD5302/AD5312/AD5322デバイスをデコーディングするための代表的な回路図を示します。

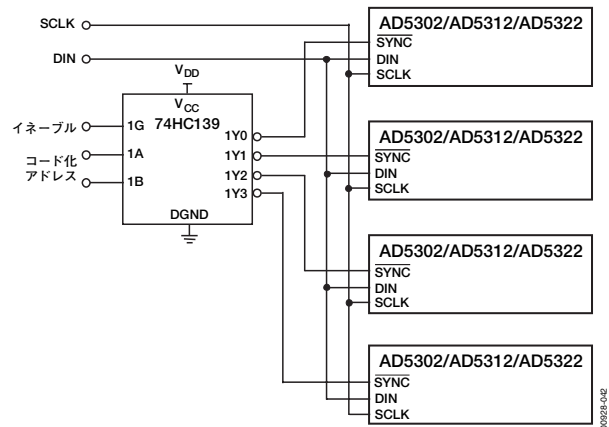


図42. システム内の複数のAD5302/AD5312/AD5322デバイスのデコーディング

デジタル・プログラマブルなウィンドウ検出器としてのAD5302/AD5312/AD5322

図43に、AD5302/AD5312/AD5322の2個のDACを使用したデジタル・プログラマブルな上下限検出器を示します。テストする上限値と下限値をDAC AとDAC Bにロードすると、CMP04の限界値が設定されます。VIN入力での信号がプログラムされたウィンドウ内にはない場合は、LEDが点灯して不合格を示します。

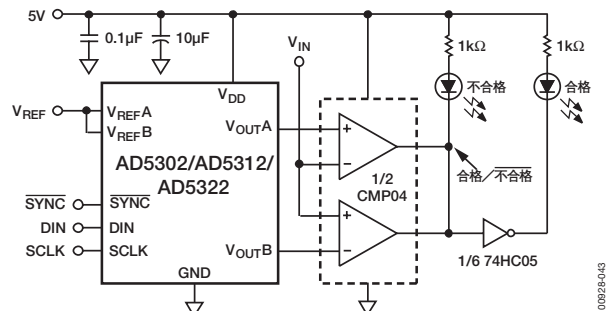


図43. AD5302/AD5312/AD5322を使用したウィンドウ検出器

AD5302/AD5312/AD5322

AD5302/AD5312/AD5322を使用した粗調整と微調整

図44に示すように、AD5302/AD5312/AD5322の2個のDACをペアにして、粗調整と微調整の機能を構成できます。DAC Aは粗調整、DAC Bは微調整に使用します。R1とR2の比率を変更すると、粗調整と微調整の相対的効果が変わります。図に示す抵抗値と外部リファレンスを使用すると、出力アンプにDAC A出力に対するユニティ・ゲインがあるため、出力レンジは $0V \sim (2.5V - 1LSB)$ になります。DAC Bではアンプのゲインが 7.6×10^{-3} であるため、DAC Bのレンジは $19mV$ になります。

この回路は $2.5V$ リファレンスの場合ですが、最高 V_{DD} までのリファレンス電圧を使用できます。ここに示すオペアンプで、レールtoレール出力振幅が可能になります。

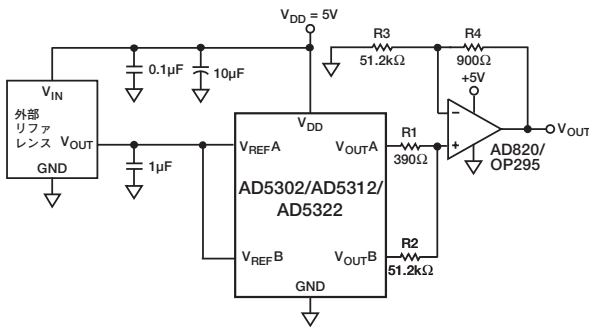


図44. 粗調整と微調整

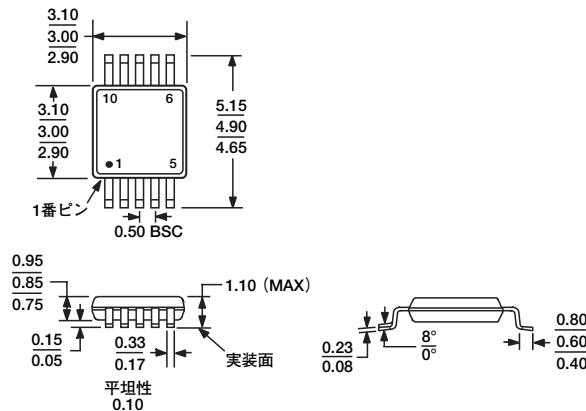
02929-044

電源のバイパスとグラウンディング

精度が重視される回路では、定格の性能を得るために電源とグラウンド・リターンのレイアウトに注意してください。AD5302/AD5312/AD5322を実装するプリント回路ボードでは、アナログ部とデジタル部を分離し、ボードの一定の場所にまとめて配置するように設計してください。複数のデバイスがAGNDとDGND間の接続を必要とするシステムでAD5302/AD5312/AD5322を使用する場合は、必ず1ヵ所のみでこの接続を行ってください。星型グラウンド・ポイントはAD5302/AD5312/AD5322のできるかぎり近くに配置してください。10 μ Fと0.1 μ Fのコンデンサをできるだけパッケージの近く、理想的にはデバイスの真上に並列接続し、電源に対して十分なバイパスをとる必要があります。10 μ Fのコンデンサはタンタルのビード型を使います。0.1 μ Fのコンデンサは、高周波でグラウンドに対する低インピーダンス・パスを提供する一般的なセラミック型の等化直列抵抗 (ESR) や等化直列インダクタンス (ESL) が小さいものを使用し、内部ロジックのスイッチングによる過渡電流を処理します。

AD5302/AD5312/AD5322の電源ラインは、できるだけ太いパターンにしてインピーダンスを小さくし、電源ライン上のグリッチによる影響を抑えます。クロックなどの高速スイッチング信号はデジタル・グラウンドでシールドして、ボード上の他の部品へノイズを拡散ないようにします。絶対にリファレンス入力の近くを通さないようにしてください。デジタル信号とアナログ信号は、交差ないようにします。ボードの反対側のパターンは互いに直角になるように配置し、ボードを通過するフィードスルーの影響を低減します。最適なボード・レイアウト技術は、ボードの部品側をグラウンド・プレーン専用として使い、信号パターンをハンダ面に配置するマイクロストリップ技術ですが、両面ボードでは必ずしも使用できるとは限りません。

外形寸法



JEDEC規格MO-187-BAに準拠

図45. 10ピン・ミニ・スモール・アウトライン・パッケージ [MSOP] (RM-10)
寸法単位：mm

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション	マーキング
AD5302ARM	-40 ~ +105°C	10ピンMSOP	RM-10	D5A
AD5302ARM-REEL	-40 ~ +105°C	10ピンMSOP	RM-10	D5A
AD5302ARM-REEL7	-40 ~ +105°C	10ピンMSOP	RM-10	D5A
AD5302ARMZ ¹	-40 ~ +105°C	10ピンMSOP	RM-10	D5A#
AD5302ARMZ-REEL ¹	-40 ~ +105°C	10ピンMSOP	RM-10	D5A#
AD5302ARMZ-REEL7 ¹	-40 ~ +105°C	10ピンMSOP	RM-10	D5A#
AD5302BRM	-40 ~ +105°C	10ピンMSOP	RM-10	D5B
AD5302BRM-REEL	-40 ~ +105°C	10ピンMSOP	RM-10	D5B
AD5302BRM-REEL7	-40 ~ +105°C	10ピンMSOP	RM-10	D5B
AD5302BRMZ ¹	-40 ~ +105°C	10ピンMSOP	RM-10	D5B#
AD5302BRMZ-REEL ¹	-40 ~ +105°C	10ピンMSOP	RM-10	D5B#
AD5302BRMZ-REEL7 ¹	-40 ~ +105°C	10ピンMSOP	RM-10	D5B#
AD5312ARM	-40 ~ +105°C	10ピンMSOP	RM-10	D6A
AD5312ARM-REEL7	-40 ~ +105°C	10ピンMSOP	RM-10	D6A
AD5312ARMZ ¹	-40 ~ +105°C	10ピンMSOP	RM-10	D6A#
AD5312ARMZ-REEL7 ¹	-40 ~ +105°C	10ピンMSOP	RM-10	D6A#
AD5312BRM	-40 ~ +105°C	10ピンMSOP	RM-10	D6B
AD5312BRM-REEL	-40 ~ +105°C	10ピンMSOP	RM-10	D6B
AD5312BRM-REEL7	-40 ~ +105°C	10ピンMSOP	RM-10	D6B
AD5312BRMZ ¹	-40 ~ +105°C	10ピンMSOP	RM-10	D6B#
AD5312BRMZ-REEL ¹	-40 ~ +105°C	10ピンMSOP	RM-10	D6B#
AD5312BRMZ-REEL7 ¹	-40 ~ +105°C	10ピンMSOP	RM-10	D6B#
AD5322ARM	-40 ~ +105°C	10ピンMSOP	RM-10	D7A
AD5322ARM-REEL7	-40 ~ +105°C	10ピンMSOP	RM-10	D7A
AD5322ARMZ ¹	-40 ~ +105°C	10ピンMSOP	RM-10	D6T
AD5322ARMZ-REEL7 ¹	-40 ~ +105°C	10ピンMSOP	RM-10	D6T
AD5322BRM	-40 ~ +105°C	10ピンMSOP	RM-10	D7B
AD5322BRM-REEL	-40 ~ +105°C	10ピンMSOP	RM-10	D7B
AD5322BRM-REEL7	-40 ~ +105°C	10ピンMSOP	RM-10	D7B
AD5322BRMZ ¹	-40 ~ +105°C	10ピンMSOP	RM-10	D7B#
AD5322BRMZ-REEL ¹	-40 ~ +105°C	10ピンMSOP	RM-10	D7B#
AD5322BRMZ-REEL7 ¹	-40 ~ +105°C	10ピンMSOP	RM-10	D7B#

¹ Z=鉛フリー製品。#鉛フリーのマークが上面または底面に記されています。