

AD5260/AD5262

特長

256ポジション

AD5260 1チャンネル

AD5262 2チャンネル(独立して設定可能)

ポテンショメータ置き換え部品 (20k、50k、200k)

低温温度係数: 35ppm/

4線式SPI互換シリアル・データ入力

単電源動作: 5~15V、両電源動作: ±5.5V

パワーオン時ミッドスケールにプリセット

アプリケーション

機械的ポテンショメータの置き換え

計装: ゲイン/オフセットの調整

ステレオ・チャンネルのオーディオ・レベル制御

プログラマブルな電圧/電流変換

プログラマブルなフィルタ、遅延、時定数

ライン・インピーダンス整合

低分解能DACの置き換え

概要

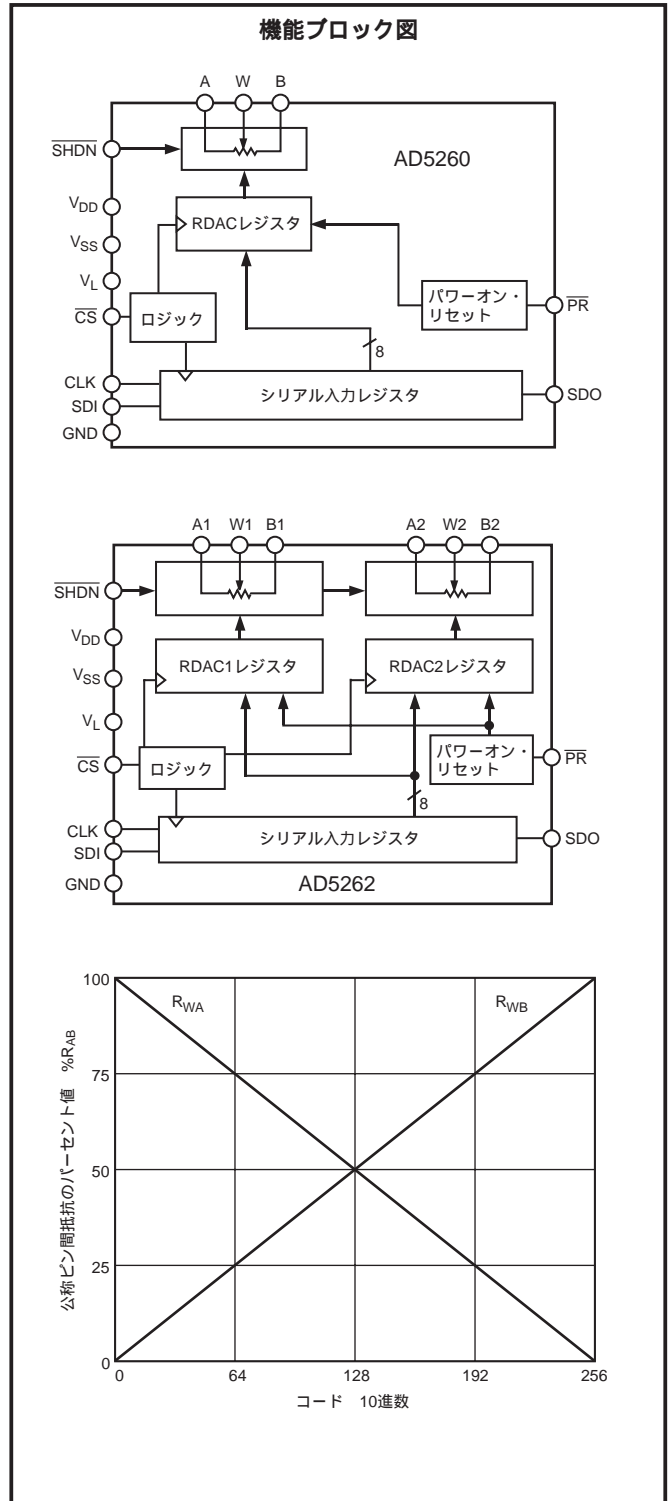
AD5260/AD5262は、シングル/デュアル・チャンネルの256ポジション・デジタル制御可変抵抗 (VR) デバイス*です。両製品は、ポテンショメータや可変抵抗器と同じ電子的調整機能を持っています。AD5260/AD5262の各チャンネルにはワイパー接点を持つ固定抵抗が内蔵されています。このワイパー接点は、SPI互換のシリアル入力レジスタにロードされたデジタル・コードにより決定されるポイントで固定抵抗値を分割して、タップを出します。ワイパーと固定抵抗の片側ピンとの間の抵抗は、VRラッチに転送されたデジタル・コードに比例して変化します。この可変抵抗は、Aピンとワイパーの間、またはBピンとワイパーの間で、プログラマブルな値を持つ抵抗を提供します。AピンとBピン間の固定抵抗は、20k、50k、200k であり、公称温度係数は35ppm/ です。市販されている大部分のデジタル・ポテンショメータとは異なり、これらのデバイスは該当する電源電圧を使用した場合、最大15Vまたは±5.5Vまで動作できます。

各VRには専用のVRラッチが内蔵されており、プログラミング抵抗値を保持します。これらのVRラッチは、内部シリアル/並列変換シフトレジスタから更新されます。このシフトレジスタは、標準の3線式シリアル入力デジタル・インターフェースを経由してロードします。AD5260は8ビット・シリアル・レジスタを、AD5262は9ビットのシリアル・レジスタを、それぞれ内蔵しています。各ビットは、CLKの立ち上がりエッジでレジスタに入力されます。AD5262のアドレス・ビットは、CSストロブの立ち上がりエッジで、データ・ワードの最後の8ビットをロードする対応するVRラッチを指定します。シリアル・レジスタの反対側にあるシリアル・データ出力ピンを使うと、複数のVRを使用するアプリケーションで、外付けデコーディング・ロジックなしで、容易にデジチーチェーン接続を構成できます。オプションのリセット・ピン (PR) は、VRラッチに80Hをロードすると、強制的にワイパーをミッドスケール・ポジションに設定します。

AD5260/AD5262は、薄型表面実装パッケージTSSOP-14およびTSSOP-16を採用しており、すべてのデバイスは工業用拡張温度範囲 -40~+85 での動作を保証しています。

*用語デジタル・ポテンショメータ、VR、RDACは同じ意味で使用しています。

REV.0



AD5260/AD5262 - 仕様

(特に指定のない限り、 $V_{DD} = +15V$ 、 $V_{SS} = 0V$ または $V_{DD} = +5V$ 、 $V_{SS} = -5V$ 、 $V_L = +5V$ 、 $V_A = +5V$ 、 $V_B = 0V$ 、 $-40 < T_A < +85$)

電気的特性 20k、50k、200k バージョン

パラメータ	記号	条件	min	typ ¹	max	単位
すべてのVRにDC特性可変抵抗器モード仕様を適用						
抵抗の微分非直線性NL ²	R-DNL	R_{WB} 、 $V_A = NC$	-1	$\pm 1/4$	+1	LSB
抵抗の非直線性 ²	R-INL	R_{WB} 、 $V_A = NC$	-1	$\pm 1/2$	+1	LSB
公称抵抗偏差 ³	R_{AB}	$T_A = 25$	-30		30	%
抵抗温度係数	R_{AB}/T	ワイパー = 非接続		35		ppm/W
ワイパー抵抗	R_W	$I_W = 1V/R_{AB}$		60	150	W
チャンネル抵抗マッチング (AD5262の場合)	R_{WB}/R_{WB}	Ch1とCh2の R_{WB} 、 $D_X = 80_H$		0.1		%
抵抗ドリフト	R_{AB}			0.05		%
すべてのVRにDC特性ポテンショメータ分割器モード仕様を適用						
分解能	N		8			ビット
微分非直線性 ⁴	DNL		-1	$\pm 1/4$	+1	LSB
積分非直線性 ⁴	INL		-1	$\pm 1/2$	+1	LSB
電圧分割器温度係数	V_W/T	コード = 80 _H		5		ppm/W
フルスケール誤差	V_{WFSE}	コード = FF _H	-2	-1	+0	LSB
ゼロスケール誤差	V_{WFSE}	コード = 00 _H	0	1	2	LSB
抵抗ピン						
電圧範囲 ⁵	$V_{A, B, W}$		V_{SS}		V_{DD}	V
容量 ⁶ Ax、Bx	$C_{A, B}$	f = 5MHz、 GNDに対して測定、コード = 80 _H		25		pF
容量 ⁶ Wx	C_W	f = 1MHz、 GNDに対して測定、コード = 80 _H		55		pF
コモン・モード・リーク電流	I_{CM}	$V_A = V_B = V_{DD}/2$		1		nA
シャットダウン電流 ⁷	I_{SHDN}				5	μA
デジタル入力および出力						
入力ロジック・ハイレベル	V_{IH}		2.4			V
入力ロジック・ローレベル	V_{IL}				0.8	V
入力ロジック・ハイレベル	V_{IH}	$V_L = 3V$ 、 $V_{SS} = 0V$	2.1			V
入力ロジック・ローレベル	V_{IL}	$V_L = 3V$ 、 $V_{SS} = 0V$			0.6	V
出力ロジック・ハイレベル (SDO)	V_{OH}	$R_{PULL-UP} = 5V/2k$	4.9			V
出力ロジック・ローレベル (SDO)	V_{OL}	$I_{OL} = 1.6mA$ 、 $V_{LOGIC} = 5V$			0.4	V
入力電流 ⁸	I_{IL}	$V_{IN} = 0V$ または $5V$			± 1	μA
入力容量 ⁶	C_{IL}			5		pF
電源						
ロジック電源	V_L		2.7		5.5	V
電源範囲 単電源	$V_{DD RANGE}$	$V_{SS} = 0V$	4.5		16.5	V
電源範囲 両電源	$V_{DD/SSDD RANGE}$		± 4.5		± 5.5	V
ロジック電源電流	I_L	$V_L = 5V$			60	μA
正電源電流	I_{DD}	$V_{IH} = 5V$ または $V_{IL} = 0V$			1	μA
負電源電流	I_{SS}	$V_{SS} = -5V$			1	μA
消費電力 ⁹	P_{DISS}	$V_{IH} = 5V$ または $V_{IL} = 0V$ 、 $V_{DD} = +5V$ 、 $V_{SS} = -5V$			0.3	mW
対電源感受性	P_{SS}	$V_{DD} = +5V$ 、 $\pm 10\%$		0.0030	.01	%/%
ダイナミック特性 ^{6、10}						
帯域幅 - 3dB	B_W	$R_{AB} = 20k / 50k / 200k$		310/130/30		kHz
総合高調波歪み	THD _W	$V_A = 1V_{RMS}$ 、 $V_B = 0V$ 、 $f = 1kHz$ 、 $R_{AB} = 20k$		0.014		%
V_W セトリング・タイム	t_s	$V_A = +5V$ 、 $V_B = -5V$ 、 $\pm 1LSB$ 誤差幅、 $R_{AB} = 20k$		5		μs
クロストーク ¹¹	C_T	$V_A = V_{DD}$ 、 $V_B = 0V$ 、隣接するRDACに フルスケール・コード変化を行わせて V_W を測定 (AD5262の場合)		1	nV-s	
アナログ・クロストーク	C_{TA}	$V_{A1} = V_{DD}$ 、 $V_{B1} = 0V$ 、 $V_{W2} = 5Vp-p$ かつ $f = 10kHz$ で V_{W1} を測定 $R_{AB} = 20k / 200k$ (AD5262の場合)		-64	dB	
抵抗ノイズ電圧	$e_{N, WB}$	$R_{WB} = 20k$ $f = 1kHz$		13		nV/ \sqrt{Hz}

AD5260/AD5262

パラメータ	記号	条件	min	typ	max	単位
インターフェース・タイミング特性、全デバイスに適用 ^{6, 12}						
クロック周波数	f_{CLK}				25	MHz
入力クロック・パルス幅	t_{CH} , t_{CL}	クロック・レベルのハイレベルまたはローレベル	20			ns
データ・セットアップ・タイム	t_{DS}		10			ns
データ・ホールド・タイム	t_{DH}		10			ns
CLKからのSDO伝搬遅延13	t_{PD}	$R_L = 1k$ 、 $C_L < 20pF$	1		160	ns
CSセットアップ・タイム	t_{CSS}		5			ns
CSハイレベルのパルス幅	t_{CSW}		20			ns
リセット・パルス幅	t_{RS}		50			ns
CLKの立ち下がりからCSの立ち上がりまでのホールド・タイム	t_{CSH}		0			ns
CSの立ち上がりからクロックの立ち上がりまでのセットアップ・タイム	t_{CS1}		10			ns

注

AD5260/AD5262には1,968個のトランジスタが内蔵されています。チップ・サイズ：89ミル×105ミル9,345平方ミル。

1 typ値は、25、 $V_{DD} = +5V$ 、 $V_{SS} = -5V$ での平均測定値。

2 抵抗ポジション非直線性誤差R-INLは、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNLは、連続タップ・ポジション間での理論値からの相対的ステップ変化を表します。部品の単調性は保証されています。 $V_{DD} = +5V$ と $V_{SS} = -5V$ の両方に対して $I_W = V_{DD}/R$

3 $V_{AB} = V_{DD}$ 、ワイパー (V_W) = 非接続。

4 INLとDNLは、RDACを電圧出力D/Aコンバータと同じポテンショメータ分割器として設定して、 V_W で測定。 $V_A = V_{DD}$ および $V_B = 0V$ 。DNL仕様規定値の最小±1LSBは、単調動作状態で保証。

5 抵抗ピンA、B、Wの極性は相互間で制約されません。

6 設計上保証しますが、出荷テストは行いません。

7 Axピンで測定。すべてのAxピンはシャットダウン・モードでオープン。

8 入力の全ロジック入力レベルを2.4Vに設定したとき、ワーストケースの電源電流が消費されます。これはCMOSロジックの標準特性。

9 P_{DISS} は ($I_{DD} \times V_{DD}$) から計算。CMOSロジック・レベル入力は、最小消費電力になります。

10 すべてのダイナミック特性では、 $V_{DD} = +5V$ 、 $V_{SS} = -5V$ 、 $V_L = +5V$ を使用。

11 隣接 V_W ピンでフルスケール電圧変化を行わせて、 V_W ピンを測定。

12 測定場所についてはタイミング図を参照してください。すべての入力制御電圧は $t_r = t_f = 2ns$ (3Vの10~90%) で規定し、1.5Vの電圧レベルからの時間とします。スイッチング特性は、 $V_L = 5V$ を使って測定。

13 伝搬遅延は、 V_{DD} 、 R_L 、 C_L の値に依存します。

仕様は予告なく変更されることがあります。

絶対最大定格

(特に指定のない限り $T_A = 25$)

$V_{DD} \sim GND$ -0.3V、+15V

$V_{SS} \sim GND$ 0V、-7V

$V_{DD} \sim V_{SS}$ 間 15V

GNDを基準とする V_A 、 V_B 、 V_W V_{SS} 、 V_{DD}

$A_X - B_X$ 、 $A_X - W_X$ 、 $B_X - W_X$

断続的² ±20mA

連続 ±5mA

デジタル入力/出力の電圧~GND 0V、7V

動作温度範囲 -40 ~ +85

最大接合温度 (T_{JMAX}) 150

保管温度 -65 ~ +150

ピン温度 (ハンダ処理、10秒) 300

蒸着 (60秒) 215

赤外線 (15秒) 220

熱抵抗³ J_A

TSSOP-14 206 $/W$

TSSOP-16 150 $/W$

注

1 上記の絶対最大定格を超えるストレスを加えるとデバイスに永久破壊をもたらすことがあります。この規定は、デバイスの単なるストレスの度合であり、基本的な動作あるいは動作の項に示す他の条件において、この定格は考慮されていません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

2 最大ピン電流は、スイッチの最大処理電流、パッケージ最大消費電力、Aピン、Bピン、Wピン内の任意の2ピン間の、設定された抵抗での最大入力電圧により制約されます。

3 パッケージ消費電力 = $(T_{JMAX} - T_A) / J_A$

AD5260/AD5262

オーダー・ガイド

モデル	R _{AB} (k)	温度	パッケージ	パッケージ・ オプション	パッケージ 内の部品数	ブランド表示*
AD5260BRU20	20	- 40 ~ + 85	TSSOP-14	RU-14	96	AD5260B20
AD5260BRU20-REEL7	20	- 40 ~ + 85	TSSOP-14	RU-14	1000	AD5260B20
AD5260BRU50	50	- 40 ~ + 85	TSSOP-14	RU-14	96	AD5260B50
AD5260BRU50-REEL7	50	- 40 ~ + 85	TSSOP-14	RU-14	1000	AD5260B50
AD5260BRU200	200	- 40 ~ + 85	TSSOP-14	RU-14	96	AD5260B200
AD5260BRU200-REEL7	200	- 40 ~ + 85	TSSOP-14	RU-14	1000	AD5260B200
AD5262BRU20	20	- 40 ~ + 85	TSSOP-16	RU-16	96	AD5262B20
AD5262BRU20-REEL7	20	- 40 ~ + 85	TSSOP-16	RU-16	1000	AD5262B20
AD5262BRU50	50	- 40 ~ + 85	TSSOP-16	RU-16	96	AD5262B50
AD5262BRU50-REEL7	50	- 40 ~ + 85	TSSOP-16	RU-16	1000	AD5262B50
AD5262BRU200	200	- 40 ~ + 85	TSSOP-16	RU-16	96	AD5262B200
AD5262BRU200-REEL7	200	- 40 ~ + 85	TSSOP-16	RU-16	1000	AD5262B200

*1行目は部品番号、2行目は部品タイプの区別とアナログ・デバイセズのロゴ、3行目はデータ・コードYVWWです。

注意

ESD（静電放電）の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



AD5260/AD5262

表I AD5260の8ビット・シリアル・データ・ワードのフォーマット

DATA							
B7	B6	B5	B4	B3	B2	B1	B0
D7	D6	D5	D4	D3	D2	D1	D0
MSB							LSB
2^7							2^0

表II AD5262の9ビット・シリアル・データ・ワードのフォーマット

ADDR	DATA							
B8	B7	B6	B5	B4	B3	B2	B1	B0
A0	D7	D6	D5	D4	D3	D2	D1	D0
MSB								LSB
2^7								2^0

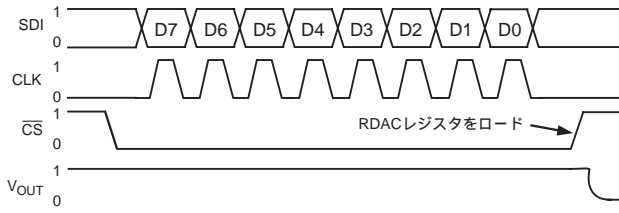


図2a AD5260のタイミング図

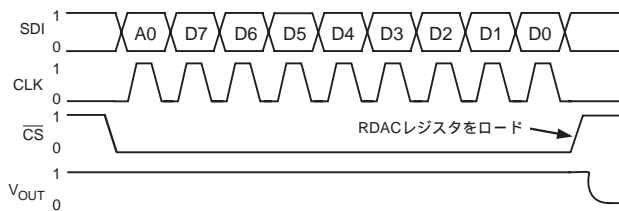


図2b AD5262のタイミング図

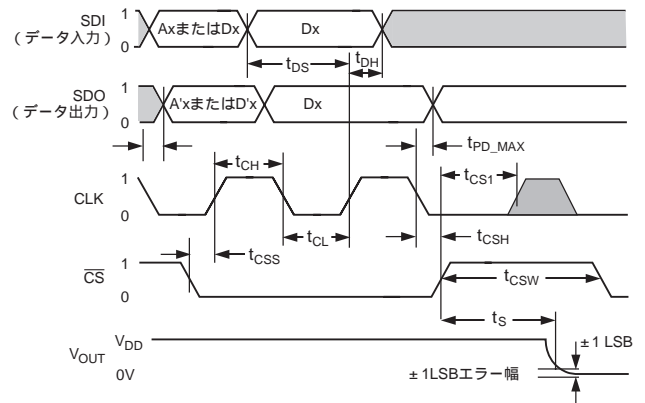


図2c 詳細タイミング図

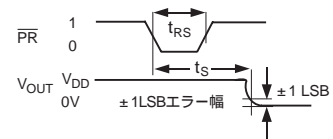


図2d プリセットのタイミング図

AD5260/AD5262

動作原理

AD5260はシングル・チャンネル、AD5262はデュアル・チャンネルの256ポジション・デジタル制御型可変抵抗 (VR) デバイスであり、最大15Vまで動作します。書き込まれたVR設定値の変更は、8ビット (AD5260) 9ビット (AD5262) のシリアル・データ・ワードをSDI (シリアル・データ入力) ピンに入力することにより行われます。AD5262の場合、このデータ・ワードのフォーマットは1アドレス・ビットです。A0は先頭ビットB8を表し、この後ろにMSB先頭でデータ・ビットB7~B0が続きます。表Iと表IIIに、シリアル・レジスタ・データ・ワードのフォーマットを示します。ビットB7~B0でシリアル・レジスタ・データを受け取るVRラッチのロケーションをデコードするAD5262のアドレス割り当てについては、表IIIを参照してください。VR出力はランダム・シーケンスで1回に1つずつ変更できます。AD5260/AD5262はミッドスケールにプリセットされるため、パワーアップ時に故障状態からの復帰を容易にします。ミッドスケールはPRピンをアサートすることにより何時でも実現できます。両製品は、パワーオン時にワイパーをミッドスケール・プリセット状態に設定する内部パワーオン・プリセット機能を持っています。パワーオン・プリセット機能の動作は、VLピンの状態のみに依存します。AD5260/AD5262はパワー・シャットダウンSHDNピンを持っています。このピンはRDACを殆どゼロ消費電力の状態にします。この状態では、ピンAxがオープンで、ワイパーWがBピンに接続され、VR構造内ではリーク電流のみが消費されます。シャットダウン・モードでは、パワー・シャットダウンから動作モードに戻るとき、VRの設定も前の抵抗値に戻ることができるように、VRラッチの設定が維持されます。

表III AD5262アドレスのデコード表

A 0	ラッチをロード
0	RDAC#1
1	RDAC#2

デジタル・インターフェース

AD5260/AD5262は、4線式のSPI互換デジタル・インターフェース (SDI, SDO, CS, CLK) を内蔵しています。AD5260の場合、8ビットのシリアル・ワードはMSB先頭でロードする必要がありワード・フォーマットを表IIに示します。AD5262の場合、9ビットのシリアル・ワードはアドレス・ビットA0を先頭にし、その後ろにデータのMSBが続く必要があります。ワード・フォーマットを表IIIに示します。

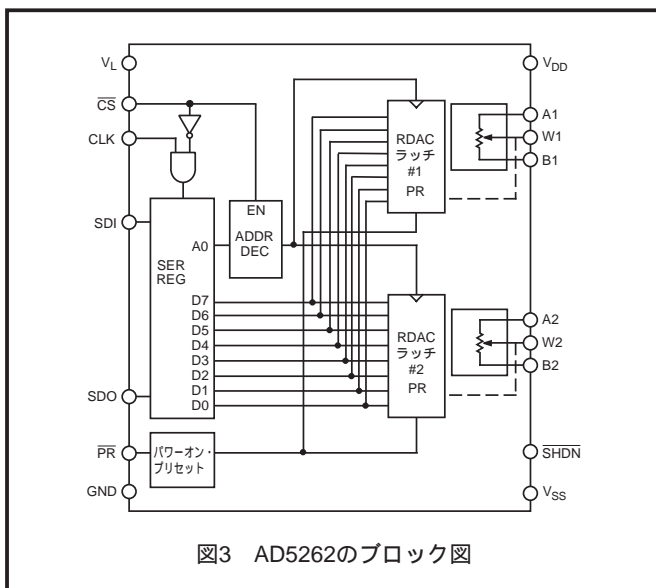


図3 AD5262のブロック図

立ち上がりエッジを検出するCLK入力では、不正なデータをシリアル入力レジスタに入力してしまわないようにクリーンなクロック変化が必要です。標準ロジック・ファミリーはこの条件を満たします。製品評価で機械的スイッチを使用する場合、フリップフロップまたは他の適切な方法を使ってこれらから発生する波形歪みを除去する必要があります。図3に、内部デジタル回路の詳細を示します。CSがローレベルのとき、クロックの各立ち上がりエッジでデータがシリアルレジスタにロードされます (表IV)。

表IV 真理値表

CLK	CS	PR	SHDN	レジスタの動作
L	L	H	H	SRに影響なし、SDOピンをイネーブル。SDIピンから1ビットをシフト入力。前に入力されている8ビットをSDOピンからシフト出力。
*	L	H	H	SRのデータをRDACラッチへロード。
X		H	H	動作なし
X	H	H	H	動作なし
X	X	L	H	全RDACラッチにミッドスケールを設定、ワイパーを中央に設定、SDOラッチをクリア。
X	H	H	H	全RDACラッチに80Hを設定。
X	H	H	L	全抵抗Aピンをオープンにし、WとBを接続し、SDO出力トランジスタをターンオフ。

仕様表のデータ・セットアップ・タイムとデータ・ホールド・タイムがデータ有効時間の条件を規定します。AD5260では8ビットのシリアル入力データ・レジスタ・ワードを使用し、このワードはCSラインがロジック・ハイレベルに戻るとき、内部RDACレジスタに転送されます。AD5262の場合、CSがハイレベルに戻るとき、シリアルレジスタに入力されるデータ・ワードの最後の9ビットが保持されます。余分なビットはすべて無視されます。CSがハイレベルになると同時に、CSによりアドレス・デコーダをゲーティングして、AD5262内に存在する2個のRDACラッチ (立ち上がりエッジ・トリガー) の内の1つをイネーブルにします (図4)。

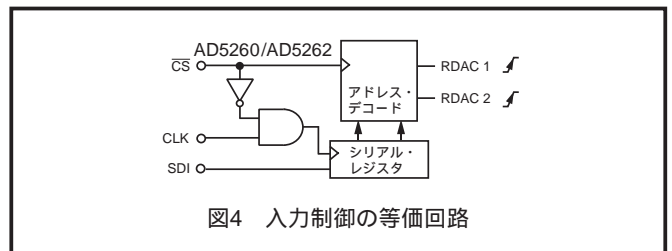


図4 入力制御の等価回路

対象RDACラッチにはシリアル・データ・ワードの最後の8ビットがロードされて、RDACの更新が1回完了します。AD5262の場合、両VR設定を変更するためには、2組みの9ビット・データ・ワードを入力する必要があります。シャットダウン (SHDN) 時、SDO出力ピンは強制的にロジック・ハイレベル状態されて、プルアップ抵抗内での電力消費が発生しないようにします。図5に、SDO出力の等価回路を示します。

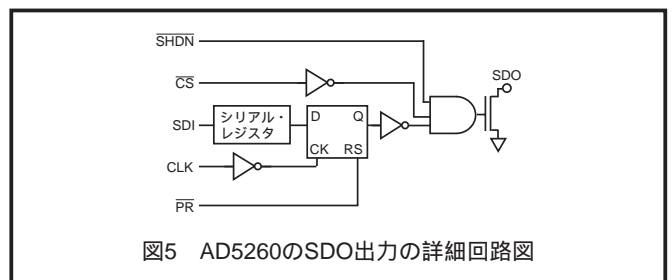
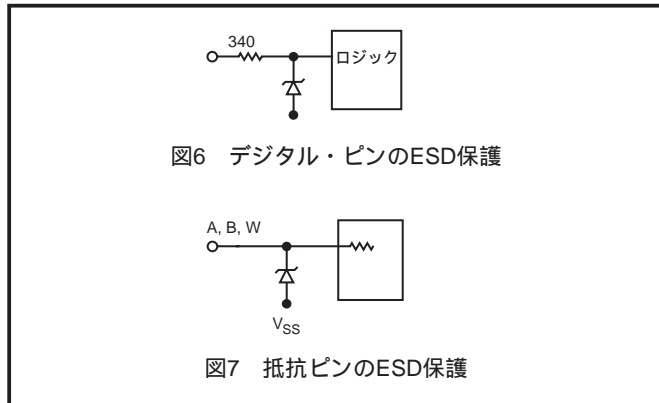


図5 AD5260のSDO出力の詳細回路図

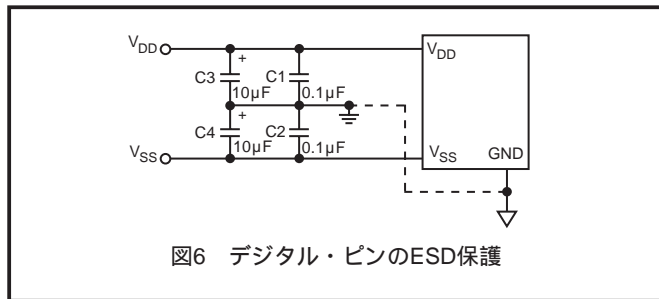
AD5260/AD5262

すべてのデジタル入力は、直列入力抵抗と並列ツェナーESD構造を使って保護されています(図6)。この保護は、デジタル入力ピンCS、SDI、SDO、PR、SHDN、CLKで行われています。



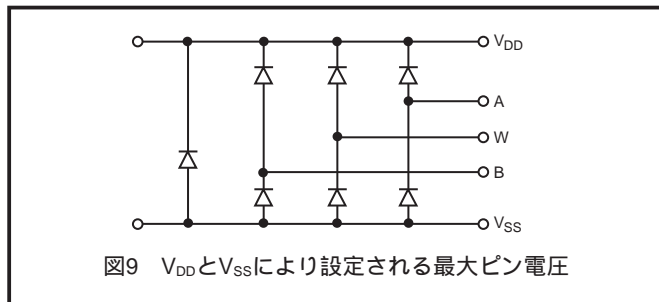
レイアウトと電源バイパス

小型で最小長の線を使ったレイアウト・デザインが重要です。入力までの線は、最小の導体長で可能な限り真っ直ぐにします。グラウンド・パスの抵抗とインダクタンスは押さえる必要があります。同様に、高品質のコンデンサを使って電源をバイパスして最適な安定性を得ることも重要です。デバイスまでの電源線は、0.01~0.1μFのディスク型またはチップ型セラミック・コンデンサを使ってバイパスする必要があります。小さいESRを持つ1~10μFのタンタル・コンデンサまたは電解コンデンサも電源に接続して、過渡電圧を抑える必要があります(図8)。デジタル・グラウンドも、離れたところでアナログ・グラウンドに接続して、グラウンド・パウンズを小さくする必要があります。ことに注意してください。



ピン電圧の動作範囲

AD5260/AD5262の正側V_{DD}電源と負側V_{SS}電源により、3ピンデジタル・ポテンショメータ動作の動作範囲が決定されます。V_{DD}またはV_{SS}を超えてピンA、ピンB、ピンWに入力される電源信号は、内蔵の順方向バイアス・ダイオードによりクランプされます(図9参照)。



AD5260/AD5262デバイスのグラウンド・ピンは主にデジタル・グラウンド基準として使用され、PCBの共通グラウンドに接続しておく必要があります。AD5260/AD5262に対するデジタル入力コントロール信号はデバイス・グラウンド・ピン(GND)を基準として、本データシートの仕様表に規定するロジック・レベルを満たす必要があります。内蔵

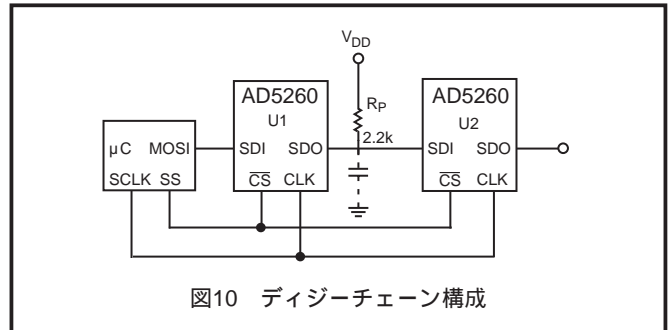
のレベル・シフト回路は、デジタル入力レベルに無関係に、3本のピンのコモン・モード電圧範囲をV_{SS}からV_{DD}へ確実に拡張します。

パワーアップ・シーケンス

ピンA、B、Wでの電圧適合性を制限するダイオードが内蔵されているため(図9)、ピンA、B、Wに電圧を加える前にV_{DD}/V_{SS}に先に電圧を加えることが重要です。そうしないと、ダイオードが順方向バイアスされて、意図せずにV_{DD}/V_{SS}に電源が接続されてしまうため、ユーザー回路の他の部分に影響を与えてしまいます。最適なパワーアップ・シーケンスは、GND、V_{DD}、V_{SS}、VL、デジタル入力、V_{A/B/W}順です。電源投入シーケンスV_A、V_B、V_W、デジタル入力の順は、V_{DD}/V_{SS}投入後であれば、重要ではありません。

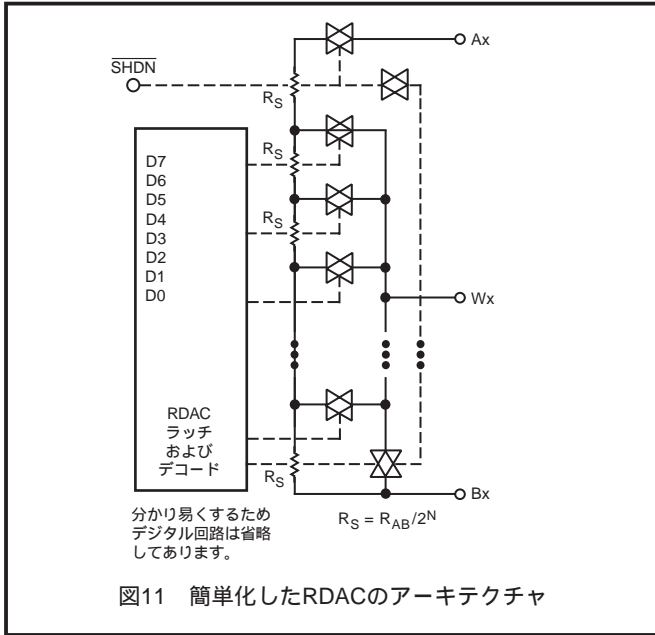
ディジーチェーン動作

シリアル・データ出力(SDO)ピンには、オープン・ドレインnチャンネルFETが使用されています。この出力は、次のパッケージのSDIピンへデータを転送するためにプルアップ抵抗を必要とします。このプルアップ抵抗により、1本のプロセッサ・シリアル・データ・ラインを使って複数のRDACをディジーチェーン接続することが可能になります。プルアップ抵抗の終端電圧は、V_{DD}電源電圧より高いことも可能です。チェーン内の次のデバイスのSDIピンにプルアップ抵抗を使う場合、クロック周期を長くすることを推奨します。これは、デバイス間のディジーチェーン・ノードSDO~SDIにおける容量負荷により、後続デバイスに時間遅延が導入されるためです。データ転送を正常に行うためにはユーザーはこの問題に気付いている必要があります(図10)。2個のAD5260をディジーチェーン接続する場合、合計16ビットのデータが必要になります。表IIに示すフォーマットを使用する最初の8ビットがU2に、同じフォーマットを持つ2番目の8ビットがU1に、それぞれ行きます。16ビットがすべてそれぞれのシリアル・レジスタに入力されるまで、CSをローレベルに維持しておく必要があり、その後でCSをハイレベルにして、動作を完了させます。



RDACの構造

RDACには、ワイパー接続として機能するアナログ・スイッチのアレイが付いた、等しい抵抗セグメントの連鎖が内蔵されています。ポジション数がデバイスの分解能になります。AD5260/AD5262は256個の接続ポイントを持ち、0.4%より精度の高い設定可能な分解能を提供します。図11に、RDACの3本のピンの間の接続(1チャンネルのRDACを構成)の等価な構造を示します。SW_AとSW_Bは常にONで、一方、スイッチSW(0)~SW(2^N-1)の内の1つだけが、データ・ビットからデコードされた抵抗ポジションに応じて、ONになります。スイッチは理想的でないため、60Ωのワイパー抵抗(R_w)を持っています。ワイパー抵抗は、電源電圧と温度の関数です。電源電圧が低くなる程、ワイパー抵抗は大きくなります。同様に、温度が高くなる程、ワイパー抵抗が大きくなります。出力抵抗の正確な予測が必要な場合は、ワイパー抵抗の影響を知る必要があります。



可変抵抗のプログラミング

可変抵抗器動作

ピンAとピンBの間のRDACの公称抵抗(R_{AB})は、10k、50k、200kのものがあります。製品番号の最後の桁が、公称抵抗値(例えば、20k = 20、50k = 50、200k = 200)を表しています。VRの公称抵抗(R_{AB})は256個の接点を持ち、ワイパー・ピンとBピン接点によりアクセスされます。RDACラッチ内の8ビット・データ・ワードがデコードされて、256通りの設定の内の1つを選択します。20kの製品を使用する場合、ワイパーの最初の接続はデータ00Hに対してBピンから開始されます。60のワイパー・コンタクト抵抗が存在するため、このような接続ではWピンとBピンの間に最小60の抵抗が発生します。2番目の接続は最初のタップ・ポイントであり、ここではデータ01Hに対して138 ($R_{WB} = R_{AB}/256 + R_W = 78 + 60$)になります。3番目の接続は次のタップ・ポイントで、データ02Hに対して216 ($78 \times 2 + 60$)となり、以後同様に続きます。LSBデータ値の各増加により、ワイパーは抵抗ラダーを上に移動し、最後のタップ・ポイント19982 [$R_{AB} - 1\text{LSB} + R_W$]に到達するまで移動します。ワイパーはBピンに直接接続されません。図11に、簡易化した等価回路を示します。

デジタル的にプログラムしたWとBの間の出力抵抗を決定する一般式は、次のようになります。

$$R_{WB}(D) = \frac{D}{256} \times R_{AB} + R_W \quad (1)$$

ここで、は8ビットのRDACレジスタにロードされるバイナリ・コードの10進数表示で、 R_{AB} は公称ピン間抵抗です。

例えば、 $V_B = 0V$ 、かつAピンがオープンの場合は、 $R_{AB} = 20k$ であり、次に示す出力抵抗値 R_{WB} を次のRDACラッチ・コードに対して設定します。ピンAがWに接続されている場合も同じ結果になります。

D (DEC)	R_{WB} ()	出力状態
255	19982	フルスケール ($R_{AB} - 1\text{LSB} + R_W$)
128	10060	ミッドスケール
1	138	1LSB
0	60	ゼロスケール(ワイパー・コンタクト抵抗)

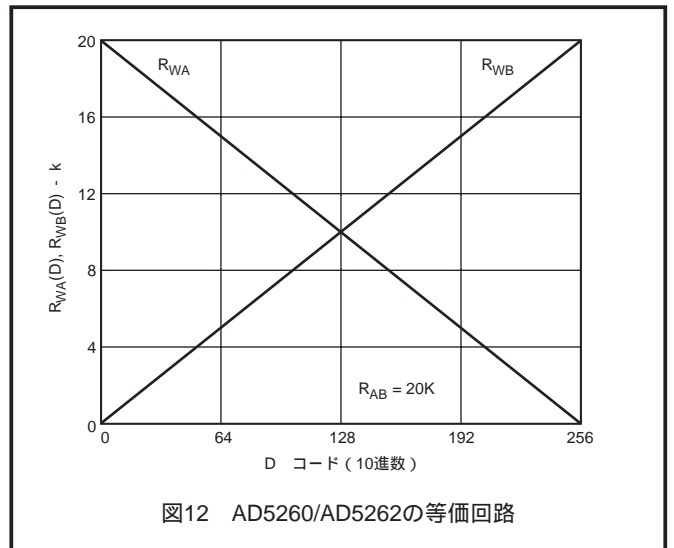
ゼロスケール状態では、有限なワイパー抵抗60があることに注意してください。性能低下または内部スイッチの破壊を防止するため、この状態でのWとBとの間の電流レベルが20mAを超えないように注意してください。

機械的ポテンショメータと同様に、RDACの置き換え品であるAD5260/AD5262は全体として対称構造を持っています。ワイパーWとピンAとの間の抵抗も、デジタルに制御された相補的な抵抗 R_{WA} を発生します。図12に、種々のピン接続の対称的なプログラミングを示します。 R_{WA} を使用する場合、Bピンはフローティングにするか、またはワイパーに接続してください。 R_{WA} 抵抗値に対する設定は、最大値抵抗から開始されて、ラッチにロードされたデータの値が大きくなると、小さくなります。この動作の一般式は次のようになります。

$$R_{WA}(D) = \frac{256 - D}{256} \times R_{AB} + R_W \quad (2)$$

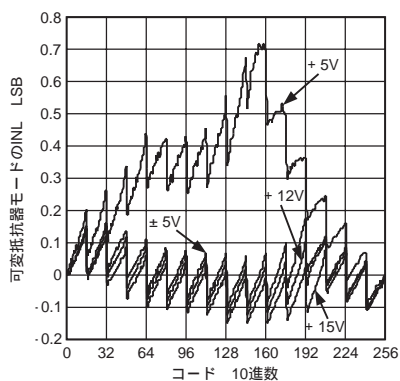
例えば、 $V_A = 0V$ 、かつBピンがオープンの場合は、 $R_{AB} = 20k$ であり、次に示す出力抵抗値 R_{WA} を次のRDACラッチ・コードに対して設定します。ピンBがWに接続されている場合も同じ結果になります。

D (DEC)	R_{WA} ()	出力状態
255	138	フルスケール
128	10060	ミッドスケール
1	19982	1LSB
0	20060	ゼロスケール

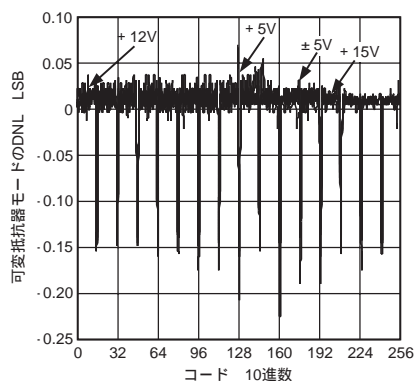


公称抵抗 R_{AB} のチャンネル間における代表的な分布は $\pm 1\%$ 以内で一致します。デバイス間のマッチングは、プロセス・ロットに依存し、ワーストケースで $\pm 30\%$ 変動します。一方、抵抗素子は薄膜技術を使ってプロセスされるため、 R_{AB} の温度変化は小さく、35ppm/の温度係数になります。

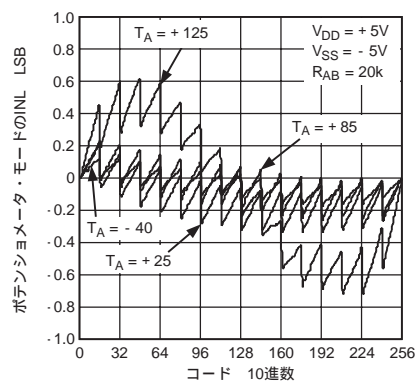
AD5260/AD5262 - 代表的な性能特性



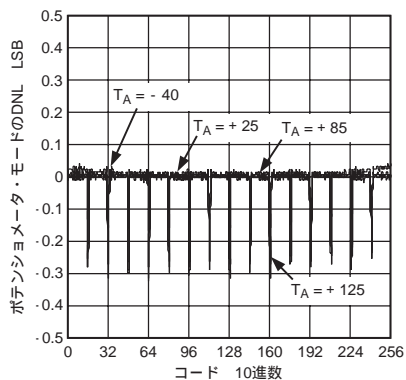
特性1 R-INL 対 コード 対 電源電圧



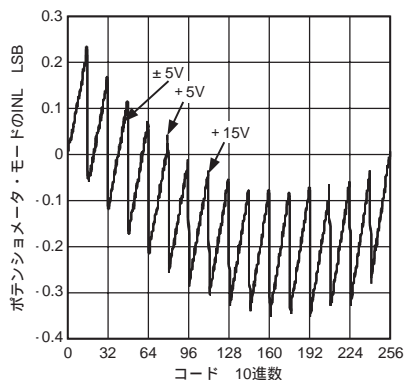
特性2 R-DNL 対 コード 対 電源電圧



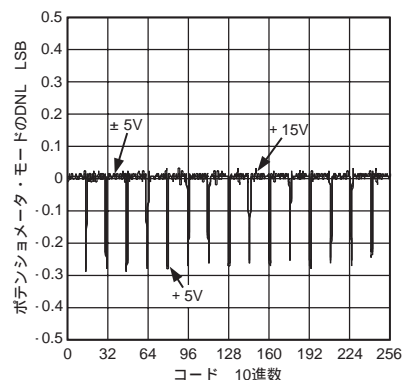
特性3 INL 対 コード、 $V_{DD}/V_{SS} = \pm 5V$



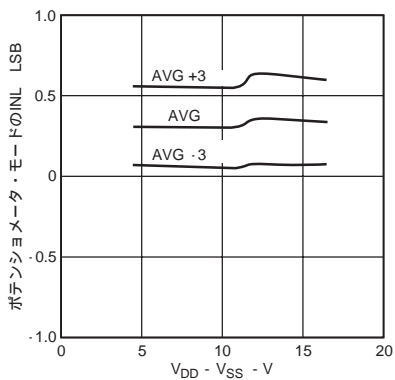
特性4 DNL 対 コード、 $V_{DD}/V_{SS} = \pm 5V$



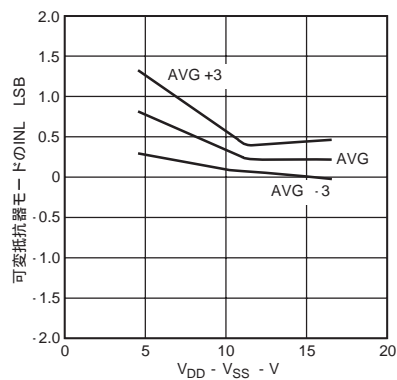
特性5 INL 対 コード 対 電源電圧



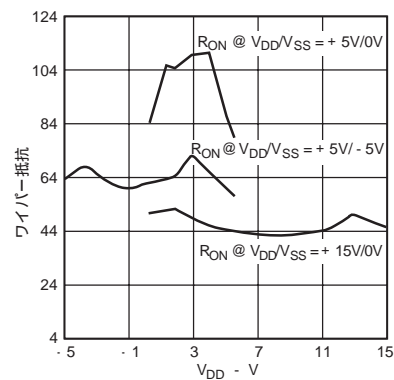
特性6 DNL 対 コード 対 電源電圧



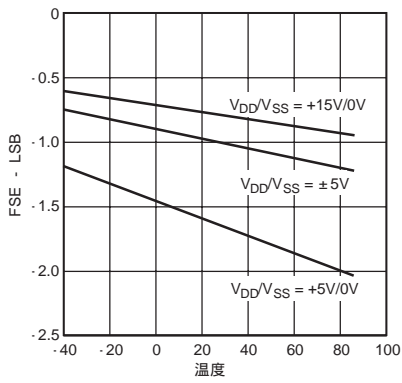
特性7 INL 対 電源電圧



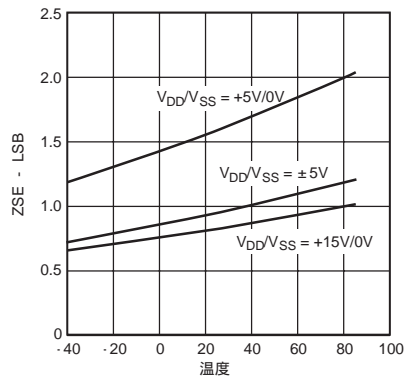
特性8 R-INL 対 電源電圧



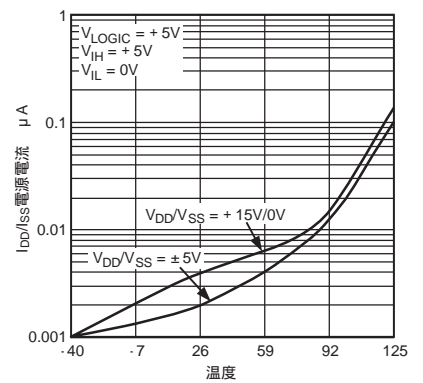
特性9 ワイパー・オン抵抗 対 バイアス電圧



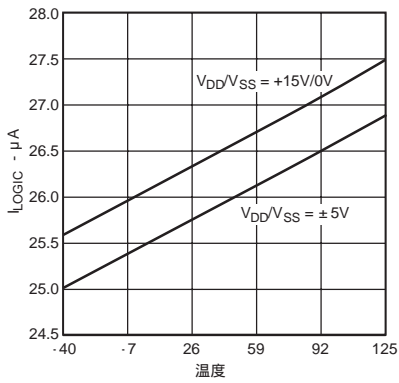
特性10 フルスケール誤差



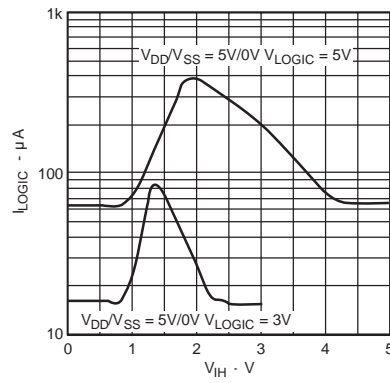
特性11 ゼロスケール誤差



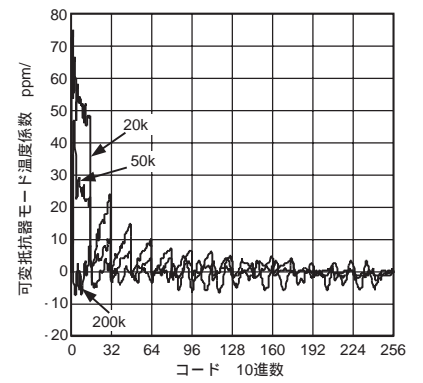
特性12 電源電流の温度特性



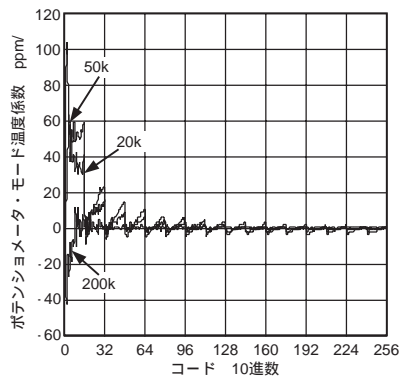
特性13 I_{LOGIC}の温度特性



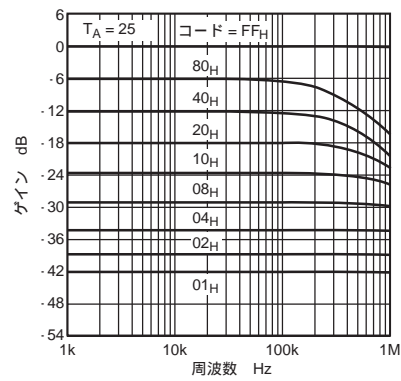
特性14 I_{LOGIC} 対 デジタル入力電圧



特性15 可変抵抗器モード温度係数 R_{WB}/T 対 コード

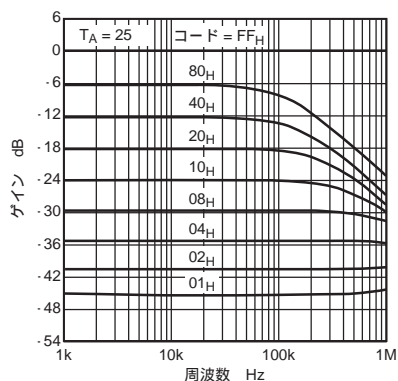


特性16 ポテンシオメータ・モード V_{WB}/T 対 コード

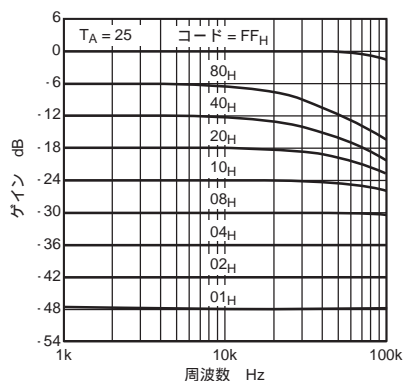


特性17 ゲインの周波数特性 対 コード、 $R_{AB} = 20k$

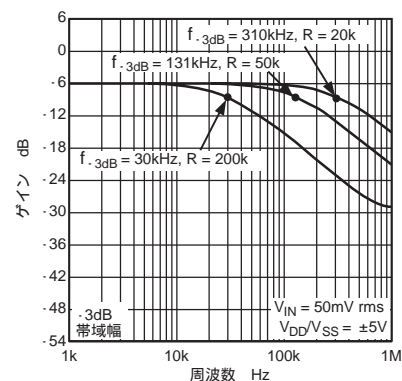
AD5260/AD5262



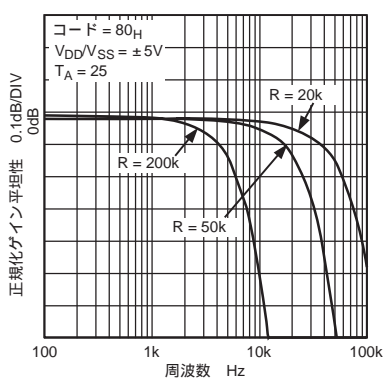
特性18 ゲインの周波数特性 対コード $R_{AB} = 50k$



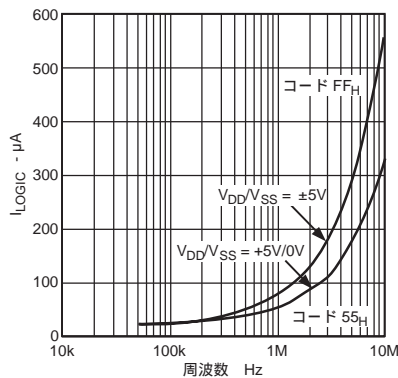
特性19 ゲインの周波数特性 対コード $R_{AB} = 200k$



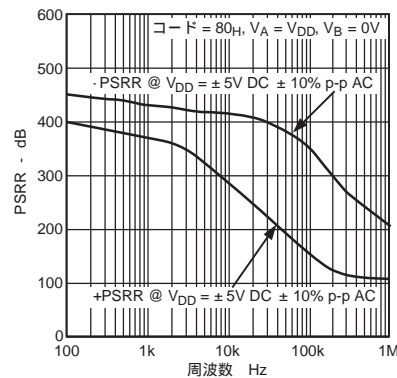
特性20 -3dB帯域幅



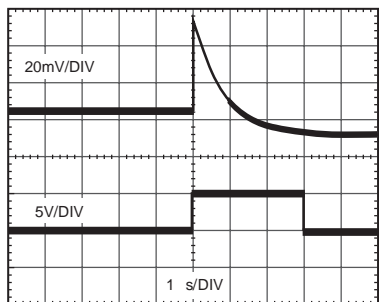
特性21 正規化ゲイン平坦性の周波数特性



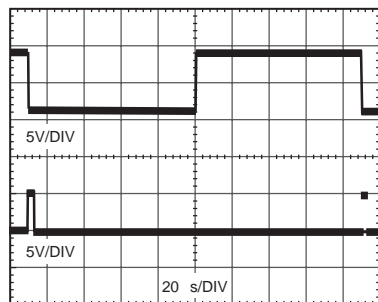
特性22 I_{LOGIC} の周波数特性



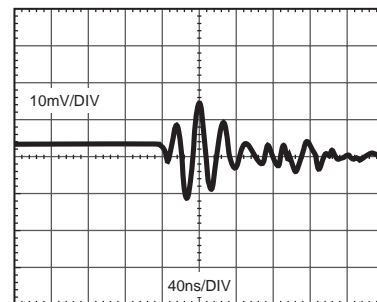
特性23 PSRRの周波数特性



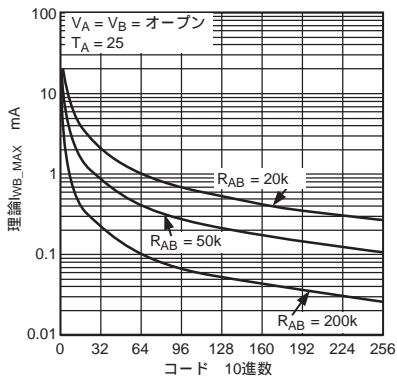
特性24 ミッドスケール・グリッチ・エネルギー (コード $80H \sim 7FH$)



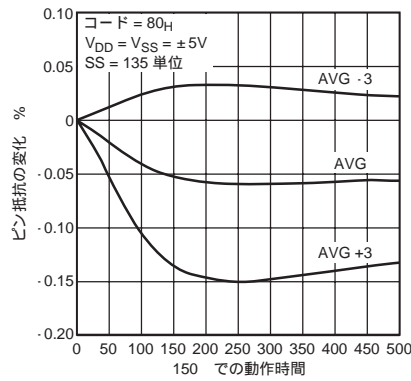
特性25 大信号セトリング・タイム



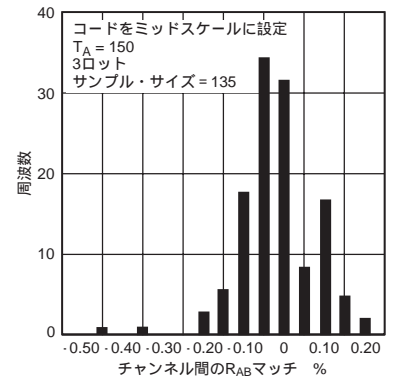
特性26 デジタル・フィードスルー 対時間



特性27 I_{MAX} 対 コード



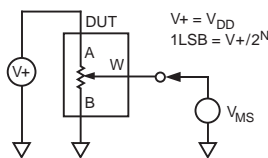
特性28 長期間抵抗ドリフト



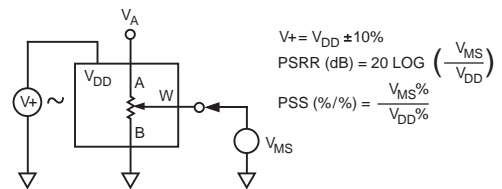
特性29 チャンネル間の抵抗マッチング (AD5262)

テスト回路

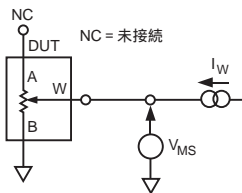
製品仕様表で使用されたテスト条件をテスト回路1~9に示します。



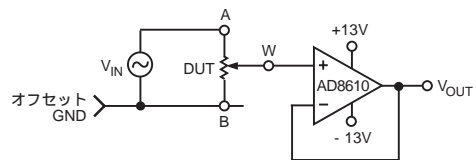
テスト回路1 ポテンショメータ分割器非直線性誤差 (INL、DNL)



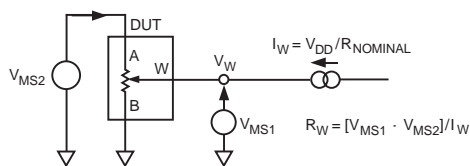
テスト回路4 電源感度 (PSS、PSSR)



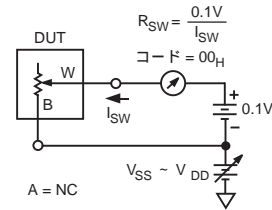
テスト回路2 抵抗ポジション非直線性誤差 (可変抵抗器動作; R-INL、R-DNL)



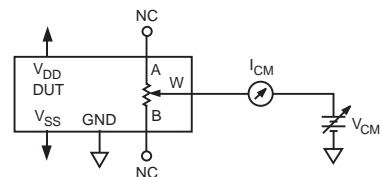
テスト回路5 ゲインの周波数特性



テスト回路3 ワイパー抵抗



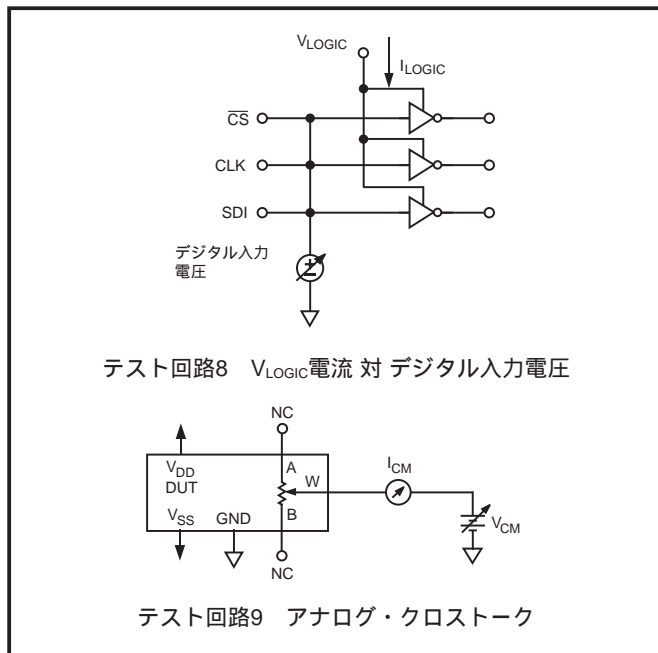
テスト回路6 インクリメンタル・オン抵抗



テスト回路7 コモン・モード・リーク電流

AD5260/AD5262

テスト回路 (続き)



ポテンショメータ分割器のプログラミング

電圧出力動作

デジタル・ポテンショメータは、A～B間の入力電圧に比例したワイパーB間およびワイパーA間の出力電圧を容易に発生できます。この場合はワイパー抵抗の影響を無視します。例えば、Aピンを5Vに、Bピンをグラウンドにそれぞれ接続すると、0Vから開始して5Vより1LSBだけ小さい値までの出力電圧をワイパーB間に発生します。電圧の各LSBは、ピンAとピンBに加えた電圧をポテンショメータ分割器のポジション数256で除算した値に等しくなります。AD5260/AD5262は両電源でも動作するため、ピンAとピンBに与えられた任意の入力電圧に対して、グラウンドを基準とした V_W の出力電圧を決める一般式は、次のように表されます。

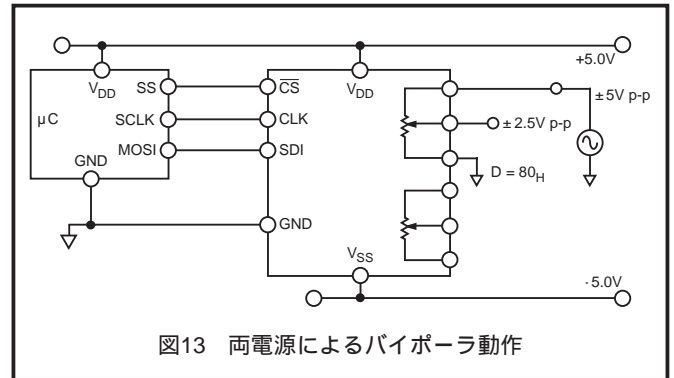
$$V_W(D) = \frac{D}{256} \cdot V_{AB} + V_B \quad (3)$$

分割器モードでのデジタル・ポテンショメータの動作は、温度に対して正確な動作になります。可変抵抗器モードと異なり、出力電圧は内部抵抗 R_{WA} と R_{WB} の比に依存し、絶対値ではありません。したがって、ドリフトは5ppm/ に減少します。

アプリケーション

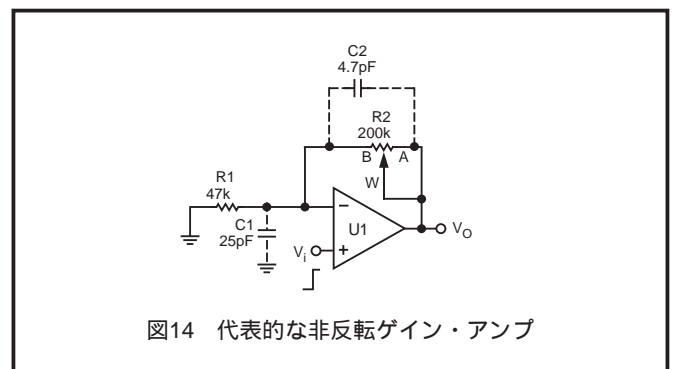
両電源によるバイポーラDC動作またはAC動作

AD5260/AD5262は両電源で動作できるため、グラウンド基準のAC信号またはバイポーラ動作の制御が可能です。 V_{DD}/V_{SS} までのAC信号を直接ピンAとピンBの間に投入して、ピンWから出力を得ることができます(代表的な回路接続については図13を参照してください)。



ゲイン制御補償

デジタル・ポテンショメータは、非反転ゲイン・アンプとして広くゲイン制御で使われています(図14)。



RDACのBピンのパラシチック・コンデンサがオペアンプの非反転ノードに接続されると、 $1/\omega$ の項にゼロ点が導入され+20dB/decとなることに注意してください。これに対して、代表的なオペアンプGBPは-20dB/decの特性を持っています。大きな R_2 と有限の C_1 により、このゼロ周波数はクロスオーバー周波数より十分低くなることが可能です。このため、ゲイン勾配は40dB/decになり、クロスオーバー周波数でのシステム位相マージンは0°になります。入力に方形波パルスまたはステップ関数を入力した場合、出力にリングングまたは発振が発生します。また、2つのゲイン値の間で切り替えを行うことは、入力にステップを与えることと等価なため、同様にリングングが発生します。

オペアンプのGBPに応じて、帰還抵抗を小さくすると、ゼロ周波数を十分遠くに持って行くことができるためこの問題を克服できます。しかし、補償コンデンサ C_2 を使用して C_1 の影響を相殺させる方法がより優れています。最適補償は $R_1 \times C_1 = R_2 \times C_2$ のとき得られます。 R_2 が変化するためこれはオプションではありません。結果として、上の関係を使い、 R_2 が最大値になるように C_2 を調整できます。 R_2 を小さい値に設定した場合、過補償になり性能が少し犠牲になることがあります。ただし、最悪ケースでのリングングまたは発振を防止できます。クリティカルなアプリケーションに対しては、条件に合う C_2 値を経験的に探す必要があります。一般に、数pF～数10pFの範囲の C_2 が補償に適しています。

同様に、WとAのピン容量も出力に接続されています(図には非表示)。幸いなことにこのノードに対する影響は小さく、多くのケースで補償は不要です。

プログラマブルな電圧リファレンス

プログラマブルな電圧分割器モード動作(図15)の場合、負荷が R_{WB} よりはるかに大きくない限り、デジタル・ポテンショメータの出力をバッファすることが一般的です。バッファはインピーダンス変換だけでなく、重い負荷の駆動も可能にします。

AD5260/AD5262

$$I_L = \frac{V_{REF} \times D}{R_S} \quad (7)$$

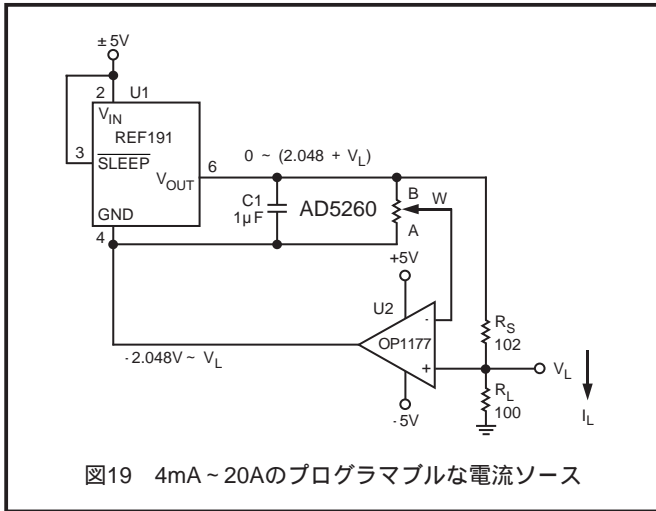


図19 4mA ~ 20Aのプログラマブルな電流ソース

この回路はシンプルですが、REF191のグラウンド電位は -2.048V (ポテンショメータ設定のゼロスケール) から V_L (ポテンショメータ設定のフルスケール) まで変化できるため、両電源オペアンプが最適であることに注意してください。回路は単電源でも動作しますが、システムのプログラマブルな分解能は低下します。

プログラマブルな双方向性電流ソース

双方向性電流制御は高電圧適合性が必要なアプリケーションに対しては、Howland社の電流ポンプが1つのソリューションになります (図20)。抵抗が一致している場合、負荷電流は次式で得られます。

$$I_L = \frac{(R2A + R2B)/R1}{R2B} \times V_W \quad (8)$$

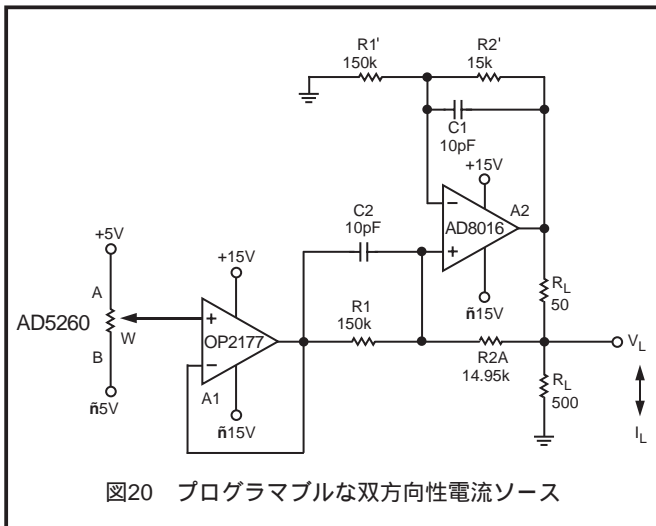


図20 プログラマブルな双方向性電流ソース

プログラマブルなローパス・フィルタ

デジタル・ポテンショメータAD5262を使って、2次のSallenKey型ローパス・フィルタを構成できます (図21)。設計式は次のようになります。

$$\frac{V_O}{V_i} = \frac{\omega^2}{s^2 + \frac{\omega}{Q}s + \omega^2} \quad (9)$$

$$\omega_0 = \sqrt{\frac{1}{R1R2C1C2}} \quad (10)$$

$$Q = \frac{1}{R1C1} + \frac{1}{R2C2} \quad (11)$$

まず、コンデンサに対して便利な値を選択します。Q = 0.707となる最も平坦な帯域幅を実現するため、C1のサイズをC2の2倍にして、R1 = R2とします。R1とR2を同じ設定に調整して、所望の帯域幅を実現します。

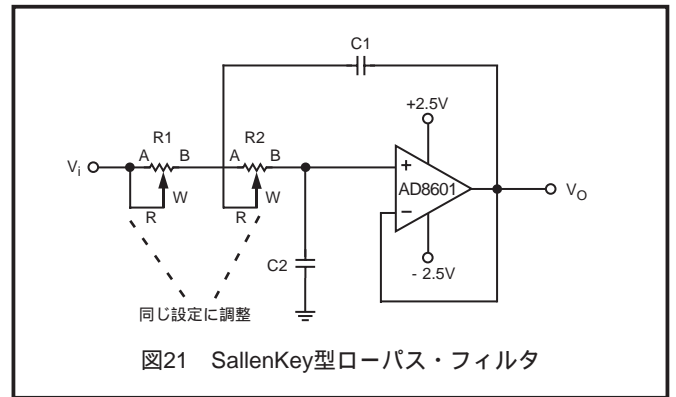


図21 SallenKey型ローパス・フィルタ

プログラマブルなオシレータ

古いWien-bridge型オシレータ (図22) では、Wienネットワーク (R, R', C, C') が正側帰還を提供し、R1とR2が負側帰還を提供しています。共振周波数 f_0 で、全体位相シフトがゼロになるため、正側帰還により回路の発振が発生します。R = R', C = C', R2 = R2A // (R2B + RDIODE) の場合、共振周波数は次式で与えられます。

$$\omega = \frac{1}{RC} \quad \text{or} \quad f_0 = \frac{1}{2RC} \quad (12)$$

ここで、R = R_{WA} となり、

$$R = \frac{256 - D}{256} R_{AB} \quad (13)$$

共振周波数では、

$$\frac{R2}{R1} = 2 \quad (14)$$

に設定すると、ブリッジがバランスします。実用的には、R2/R1を2より少し大きい値に設定して、発振の開始を確実にします。一方、ダイオードD1とD2の交互ターンオンにより、R2/R1 < 2が瞬時的に補償されるため、発振が安定になります。

周波数を設定した後、発振振幅をR2Bにより調整します。次の関係を使います。

$$\frac{2}{3} V_O = I_D R2B + V_D \quad (15)$$

ここで、 V_O 、 I_D 、 V_D は相互に依存する変数です。 $R2B$ を適切に選択すると、 V_O が収束する平衡状態が得られます。 $R2B$ をディスクリット抵抗と直列にして、振幅を大きくできますが、合計抵抗は出力が飽和するのであまり大きくすることはできません。

図21と図22の回路で、周波数チューニングでは、両RDACを同じ設定にする必要があります。2つのチャンネルは1つずつ調整されるため、アプリケーションによっては許容できない中間状態が発生します。そのため、複数のデバイスを同時に同じ設定にプログラミングできるように、異なるデバイスをディジーチェーン・モードで使用することもできます。

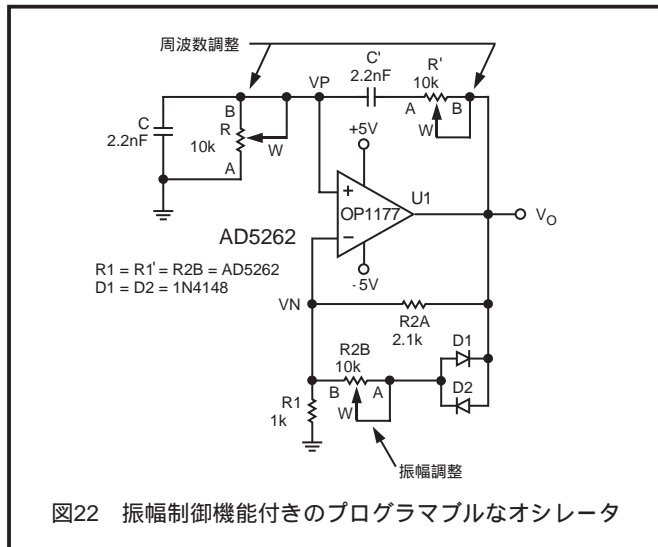


図22 振幅制御機能付きのプログラマブルなオシレータ

抵抗のスケールリング

AD5260/AD5262は、公称抵抗20k、50k、200kを提供します。低い抵抗を持ち、かつ調整ステップ数を維持したい場合は、複数のデバイスを並列接続できます。例えば、図23にAD5262の両チャンネルを並列接続する簡単な回路を示します。ステップ毎に1/2にした抵抗値を連続調整するためには、両チャンネルを同じ設定にする必要があります。

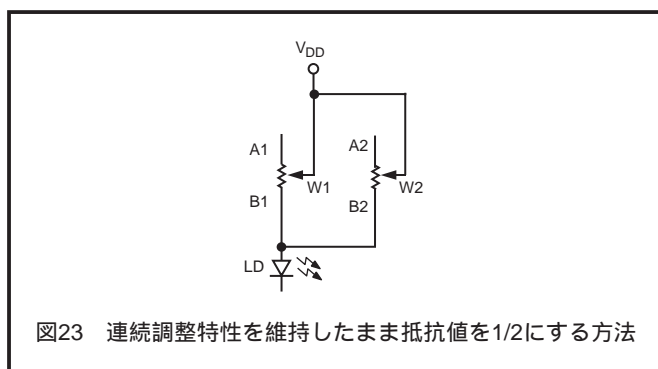


図23 連続調整特性を維持したまま抵抗値を1/2にする方法

電圧分割器モードでは、図24に示すようにディスクリット抵抗を並列接続することにより、さらに低い抵抗を実現できます。等価抵抗値は次のようになります。

$$R_{WB_eq} = \frac{D}{256} (R1 // R2) + R_W \quad (16)$$

$$R_{WA_eq} = \left(1 - \frac{D}{256}\right) (R1 // R2) + R_W \quad (17)$$

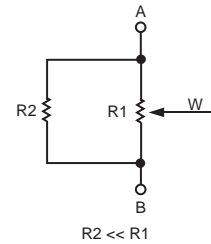


図24 公称抵抗値の削減

図23と図24は、デジタル・ポテンシオメータが各ステップを直線の変化させることを示しています。一方、オーディオ制御のようなアプリケーションでは、対数テーパ調整が好まれます。図25に、抵抗を調整するもう1つの方法を示します。この回路では、 RAB に比べて $R2$ が小さい程、擬似対数テーパ特性が強くなります。

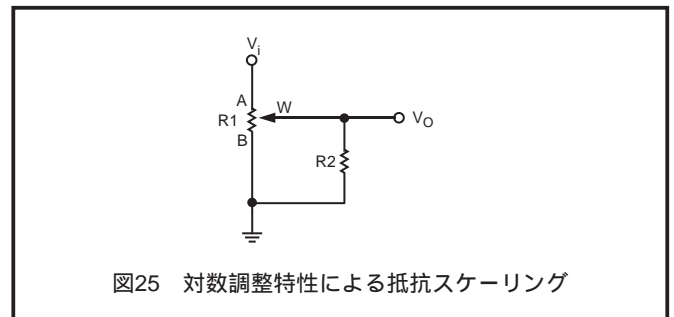


図25 対数調整特性による抵抗スケールリング

RDAC回路のシミュレート・モデル

RDACのAC特性は、内部の寄生容量と外部の容量負荷により支配されます。ポテンシオメータ分割器として構成すると、AD5260 (20k 抵抗) の -3dB帯域幅測定値は、ハーフ・スケールで310kHzです。特性20に、3種類の抵抗バリエーション20k、50k、200kの大信号BODE特性を示します。図26に、寄生のシミュレート・モードを示します。リストIに、20k RDACのマクロ・モデル・ネットリストを示します。

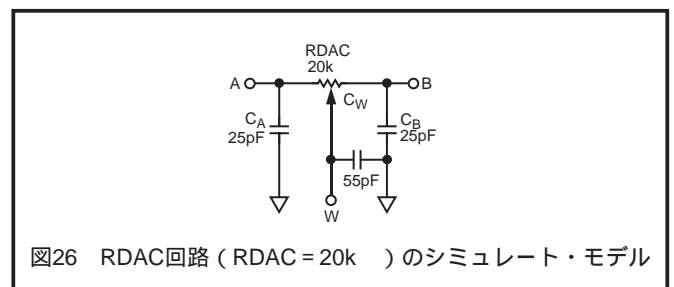


図26 RDAC回路 (RDAC = 20k) のシミュレート・モデル

リストI RDACのマクロ・モデル・ネットリスト

PARAM D=256, RDAC=20E3

*

SUBCKT DPOT (A, W, B)

*

CA A 0 25E-12

RWA A W {(1-D/256)*RDAC+60}

CW W 0 55E-12

RWB W B {D/256*RDAC+60}

CB B 0 25E-12

*

.ENDS DPOT

AD5260/AD5262

デジタル・ポテンシオメータ・ファミリーのセレクション・ガイド¹

製品番号	VR数/ パッケージ	ピン出力 電圧範囲 (V)	インター フェースの データ制御	公称 抵抗値 (k Ω)	分解能 (ワイパー・ ポジション数)	電源電流 (I_{DD})(μ A)	パッケージ	備考
AD5201	1	± 3 、5.5	3線式	10、50	33	40	μ SOIC-10	フルAC仕様、両電源、パワーオン・リセット、低価格
AD5220	1	5.5	UP/DOWN	10、50、100	128	40	PDIP、SO-8、 μ SOIC-8	ロールオーバーなし、パワーオン・リセット
AD7376	1	± 15 、28	3線式	10、50、100、1000	128	100	PDIP-14、SOL-16、TSSOP-14	単電源28V または両電源 ± 15 V動作
AD5200	1	± 3 、5.5	3線式	10、50	256	40	μ SOIC-10	フルAC仕様、両電源、パワーオン・リセット
AD8400	1	5.5	3線式	1、10、50、100	256	5	SO-8	フルAC仕様
AD5260	1	± 5 、15	3線式	20、50、200	256	60	TSSOP-14	5V ~ 15Vまたは ± 5 V動作、TC<50ppm/
AD5241	1	± 3 、5.5	2線式	10、100、1000	256	50	SO-14、TSSOP-14	I ² C互換、TC<50ppm/
AD5231	1	± 2.75 、5.5	3線式	10、50、100	1024	20	TSSOP-16	不揮発性メモリー、直接プログラム、I/D、 ± 6 dB設定可能
AD5222	2	± 3 、5.5	UP/DOWN	10、50、100、1000	128	80	SO-14、TSSOP-14	ロールオーバーなし、ステレオ、パワーオン・リセット、TC<50ppm/
AD8402	2	5.5	3線式	1、10、50、100	256	5	PDIP、SO-14、TSSOP-14	フルAC仕様、nAシャットダウン電流
AD5207	2	± 3 、5.5	3線式	10、50、100	256	40	TSSOP-14	フルAC仕様、両電源、パワーオン・リセット、SDO
AD5232	2	± 2.75 、5.5	3線式	10、50、100	256	20	TSSOP-16	不揮発性メモリー、直接プログラム、I/D、 ± 6 dB設定可能
AD5235 ²	2	± 2.75 、5.5	3線式	25、250	1024	20	TSSOP-16	不揮発性メモリー、直接プログラム、TC<50ppm/
AD5242	2	± 3 、5.5	2線式	10、100、1000	256	50	SO-16、TSSOP-16	I ² C互換、TC<50ppm/
AD5262	2	± 5 、15	3線式	20、50、200	256	60	TSSOP-16	5V ~ 15Vまたは ± 5 V動作、TC<50ppm/
AD5203	4	5.5	3線式	10、100	64	5	PDIP、SOL-24、TSSOP-24	フルAC仕様、nAシャットダウン電流
AD5233	4	± 2.75 、5.5	3線式	10、50、100	64	20	TSSOP-24	不揮発性メモリー、直接プログラム、I/D、 ± 6 dB設定可能
AD5204	4	± 3 、5.5	3線式	10、50、100	256	60	PDIP、SOL-24、TSSOP-24	フルAC仕様、両電源、パワーオン・リセット
AD8403	4	5.5	3線式	1、10、50、100	256	5	PDIP、SOL-24、TSSOP-24	フルAC仕様、nAシャットダウン電流
AD5206	6	± 3 、5.5	3線式	10、50、100	256	60	PDIP、SOL-24、TSSOP-24	フルAC仕様、両電源、パワーオン・リセット

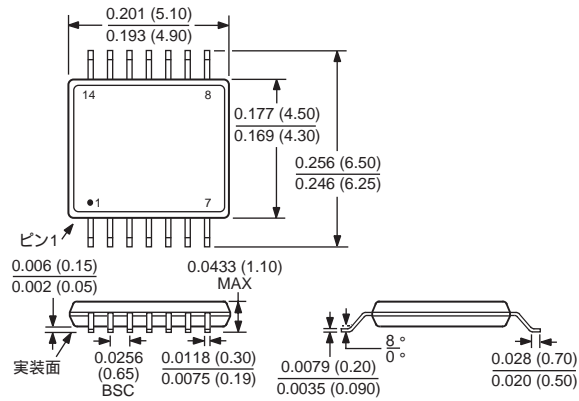
¹ デジタル・ポテンシオメータの電流については、webサイトwww.analog.com/DigitalPotentiometersをご覧ください。

² 将来の製品については最新情報をお問い合わせください。

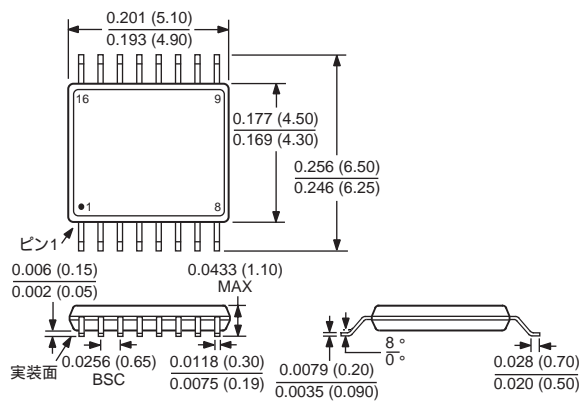
外形寸法

サイズはインチと (mm) で示します。

14ピンTSSOP (RU-14)



16-Lead TSSOP (RU-16)



AD5260/AD5262

TDS04/2002/1000

PRINTED IN JAPAN

