

特長

- AD5251: デュアル 64 ポジション分解能
- AD5252: デュアル 256 ポジション分解能
- 1 kΩ、10 kΩ、50 kΩ、100 kΩ
- 不揮発性メモリ¹にワイパー設定値を保持(書き込み保護機能付き)
- パワーオン時に EEMEM 設定値を設定(300μs (typ)以内)
- EEMEM 書き換え時間: 540 μs (typ)
- 不揮発性メモリに抵抗偏差を保持
- ユーザ定義情報保持用に EEMEM に 12 バイトを追加
- I²C 互換シリアル・インターフェース
- RDAC² レジスタと EEMEM レジスタを直接リード/ライト・アクセス可能
- 連続インクリメント/デクリメント・コマンドを用意
- ±6 dB ステップ変更コマンドを用意
- 同期または非同期で 2 チャンネルを更新
- ワイパー設定値のリードバックが可能
- 4 MHz 帯域幅—1 kΩ バージョン
- 単電源動作: 2.7~5.5 V
- 両電源動作: ±2.25 V~±2.75 V
- 2 ビットのスレーブ・アドレス・デコーディングにより、4 個のデバイスが動作可能
- T_A = 55°C で 100 年間(typ)のデータ保持が可能
- 動作温度範囲: -40°C~+85°C

アプリケーション

- 機械式ポテンシオメータの置き換え
- 汎用 DAC の置き換え
- LCD パネルの V_{COM} 調整
- 白色 LED の輝度調節
- RF 基地局パワー・アンプのバイアス制御
- プログラマブルなゲインとオフセットの制御
- プログラマブルな電圧-電流変換
- プログラマブルな電源
- センサーのキャリブレーション

概要

AD5251/AD5252 は、それぞれ 64/256 ポジションの 2 チャンネル、I²C[®]、不揮発性メモリ、デジタル制御ポテンシオメータです。両デバイスは、機械的ポテンシオメータ、トリマー、可変抵抗と同じ電子的な調節機能を実行します。これらのデバイスの多様な設定機能を使うと、多くの動作モードが可能になります。たとえば、RDAC レジスタと EEMEM レジスタのリード/ライト・アクセス、抵抗値のインクリメント/デクリメント、±6 dB スケールでの抵抗値変更、ワイパー設定値のリードバック、EEMEM へのユーザ定義情報の保持(たとえば、他の部品のメモリ・データ、ルックアップ・テーブル、システム識別情報)などの動作モードが可能です。

機能ブロック図

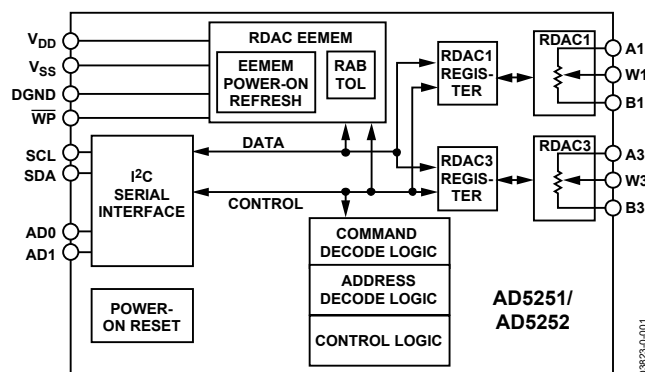


図 1.

AD5251/AD5252 では、ホスト I²C コントローラから RDAC レジスタに 64/256 ステップのワイパー設定値を書き込んで、EEMEM に保存することができます。設定値が保存されると、システムのパワーオン時にこれらの値が自動的に RDAC レジスタに設定されます。したがって、設定値は動的に書き換え可能です。

さらに、AD5251/AD5252 は同期または非同期のチャンネル更新モードで、インクリメント、デクリメント、+6 dB ステップの変更、-6 dB ステップの変更の各機能も提供します。このインクリメント機能とデクリメント機能を使うと、ステップ幅での連続調節が可能になります。一方、±6 dB ステップの変更機能では RDAC ワイパー設定値を 2 倍または 1/2 倍にすることができます。これらの機能は、白色 LED 輝度やオーディオ・ボリュームの制御などの急な傾斜を持つ非線形調節に有効です。

AD5251/AD5252 は特許取得済みの抵抗偏差保持機能を内蔵しています。この機能を使うと、EEMEM をアクセスして、高精度アプリケーション用 RDAC の両ピン間の絶対抵抗値を取得することができます。

AD5251/AD5252 は TSSOP-14 パッケージを採用し、1 kΩ、10 kΩ、50 kΩ、100 kΩ のオプションがあります。すべてのデバイスは -40°C~+85°C の拡張工業温度範囲で動作します。

¹用語不揮発性メモリと EEMEM は同じ意味で使用しています。

²用語デジタル・ポテンシオメータと RDAC は同じ意味で使用しています。

目次

特長	1	動作原理	21
アプリケーション	1	直線的なインクリメント/デクリメント・コマンド	21
概要	1	±6 dB調節(ワイパー設定を2倍または1/2倍)	21
機能ブロック図	1	デジタル入力/出力の構成	22
改訂履歴	2	1本のバスに複数デバイスを接続	22
電気的特性	3	ピン電圧の動作範囲	22
1 kΩバージョン	3	パワーアップ・シーケンスとパワーダウン・シーケンス	22
10 kΩ、50 kΩ、100 kΩバージョン	5	レイアウトと電源のバイパス	23
インターフェースのタイミング特性	7	デジタル・ポテンシオメータ動作	23
絶対最大定格	8	プログラマブルな可変抵抗器動作	23
ESDの注意	8	プログラマブル・ポテンシオメータ動作	24
ピン配置およびピン機能説明	9	アプリケーション情報	25
代表的な性能特性	10	LCDパネルのV _{COM} 調整	25
I ² Cインターフェース	14	電流検出アンプ	25
I ² Cインターフェースの概要	14	調整可能な高電力LEDドライバ	25
I ² Cインターフェースの詳細説明	15	外形寸法	26
I ² C互換2線式シリアル・バス	20	オーダー・ガイド	27

改訂履歴

10/09—Rev. A to Rev. B

Changes to Figure 15	12
Changes to Figure 27	15

9/05—Rev. 0 to Rev. A

Updated Format	Universal
Change to Figure 6	10
Changes to Figure 28	15
Changes to Figure 29	17
Changes to RDAC/EEMEM Quick Commands Section	18
Changes to EEMEM Write Protection Section	18
Changes to Figure 37	22
Deleted Table 13 and Table 14	23
Change to Figure 42	24
Change to Figure 46	25
Changes to Ordering Guide	27

6/04—Revision 0: Initial Version

電氣的特性

1 kΩバージョン

特に指定がない限り、 $V_{DD} = 3\text{ V} \pm 10\%$ または $5\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ または $V_{DD}/V_{SS} = \pm 2.5\text{ V} \pm 10\%$ 、 $V_A = V_{DD}$ 、 $V_B = 0\text{ V}$ 、 $-40^\circ\text{C} < T_A < +85^\circ\text{C}$ 。

表1.

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DC CHARACTERISTICS— RHEOSTAT MODE						
Resolution	N	AD5251			6	Bits
		AD5252			8	Bits
Resistor Differential Nonlinearity ²	R-DNL	$R_{WB}, R_{WA} = \text{NC}$, $V_{DD} = 5.5\text{ V}$, AD5251	-0.5	± 0.2	+0.5	LSB
		$R_{WB}, R_{WA} = \text{NC}$, $V_{DD} = 5.5\text{ V}$, AD5252	-1.00	± 0.25	+1.00	LSB
		$R_{WB}, R_{WA} = \text{NC}$, $V_{DD} = 2.7\text{ V}$, AD5251	-0.75	± 0.30	+0.75	LSB
		$R_{WB}, R_{WA} = \text{NC}$, $V_{DD} = 2.7\text{ V}$, AD5252	-1.5	± 0.3	+1.5	LSB
Resistor Nonlinearity ²	R-INL	$R_{WB}, R_{WA} = \text{NC}$, $V_{DD} = 5.5\text{ V}$, AD5251	-0.5	± 0.2	+0.5	LSB
		$R_{WB}, R_{WA} = \text{NC}$, $V_{DD} = 5.5\text{ V}$, AD5252	-2.0	± 0.5	+2.0	LSB
		$R_{WB}, R_{WA} = \text{NC}$, $V_{DD} = 2.7\text{ V}$, AD5251	-1.0	+2.5	+4.0	LSB
		$R_{WB}, R_{WA} = \text{NC}$, $V_{DD} = 2.7\text{ V}$, AD5252	-2	+9	+14	LSB
Nominal Resistor Tolerance	$\Delta R_{AB}/R_{AB}$	$T_A = 25^\circ\text{C}$	-30		+30	%
Resistance Temperature Coefficient	$(\Delta R_{AB}/R_{AB}) \times 10^6/\Delta T$			650		ppm/ $^\circ\text{C}$
Wiper Resistance	R_W	$I_W = 1\text{ V/R}$, $V_{DD} = 5\text{ V}$		75	130	Ω
		$I_W = 1\text{ V/R}$, $V_{DD} = 3\text{ V}$		200	300	Ω
Channel-Resistance Matching	$\Delta R_{AB1}/\Delta R_{AB3}$			0.15		%
DC CHARACTERISTICS— POTENTIOMETER DIVIDER MODE						
Differential Nonlinearity ³	DNL	AD5251	-0.5	± 0.1	+0.5	LSB
		AD5252	-1.00	± 0.25	+1.00	LSB
Integral Nonlinearity ³	INL	AD5251	-0.5	± 0.2	+0.5	LSB
		AD5252	-2.0	± 0.5	+2.0	LSB
Voltage Divider Tempco	$(\Delta V_W/V_W) \times 10^6/\Delta T$	Code = half scale		25		ppm/ $^\circ\text{C}$
Full-Scale Error	V_{WFSE}	Code = full scale, $V_{DD} = 5.5\text{ V}$, AD5251	-5	-3	0	LSB
		Code = full scale, $V_{DD} = 5.5\text{ V}$, AD5252	-16	-11	0	LSB
		Code = full scale, $V_{DD} = 2.7\text{ V}$, AD5251	-6	-4	0	LSB
		Code = full scale, $V_{DD} = 2.7\text{ V}$, AD5252	-23	-16	0	LSB
Zero-Scale Error	V_{WZSE}	Code = zero scale, $V_{DD} = 5.5\text{ V}$, AD5251	0	3	5	LSB
		Code = zero scale, $V_{DD} = 5.5\text{ V}$, AD5252	0	11	16	LSB
		Code = zero scale, $V_{DD} = 2.7\text{ V}$, AD5251	0	4	6	LSB
		Code = zero scale, $V_{DD} = 2.7\text{ V}$, AD5252	0	15	20	LSB
RESISTOR TERMINALS						
Voltage Range ⁴	V_A, V_B, V_W		V_{SS}		V_{DD}	V
Capacitance ⁵ A, B	C_A, C_B	$f = 1\text{ kHz}$, measured to GND, code = half scale		85		pF
Capacitance ⁵ W	C_W	$f = 1\text{ kHz}$, measured to GND, code = half scale		95		pF
Common-Mode Leakage Current	I_{CM}	$V_A = V_B = V_{DD}/2$		0.01	1	μA

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DIGITAL INPUTS AND OUTPUTS						
Input Logic High	V_{IH}	$V_{DD} = 5\text{ V}$, $V_{SS} = 0\text{ V}$ $V_{DD}/V_{SS} = 2.7\text{ V}/0\text{ V}$ or $V_{DD}/V_{SS} = \pm 2.5\text{ V}$	2.4			V
Input Logic Low	V_{IL}	$V_{DD} = 5\text{ V}$, $V_{SS} = 0\text{ V}$	2.1		0.8	V
Output Logic High (SDA)	V_{OH}	$R_{PULL-UP} = 2.2\text{ k}\Omega$ to $V_{DD} = 5\text{ V}$, $V_{SS} = 0\text{ V}$	4.9			V
Output Logic Low (SDA)	V_{OL}	$R_{PULL-UP} = 2.2\text{ k}\Omega$ to $V_{DD} = 5\text{ V}$, $V_{SS} = 0\text{ V}$			0.4	V
WP Leakage Current	I_{WP}	$\overline{WP} = V_{DD}$			5	μA
A0 Leakage Current	I_{A0}	A0 = GND			3	μA
Input Leakage Current (Other than WP and A0)	I_I	$V_{IN} = 0\text{ V}$ or V_{DD}			± 1	μA
Input Capacitance ⁵	C_I			5		pF
POWER SUPPLIES						
Single-Supply Power Range	V_{DD}	$V_{SS} = 0\text{ V}$	2.7		5.5	V
Dual-Supply Power Range	V_{DD}/V_{SS}		± 2.25		± 2.75	V
Positive Supply Current	I_{DD}	$V_{IH} = V_{DD}$ or $V_{IL} = \text{GND}$		5	15	μA
Negative Supply Current	I_{SS}	$V_{IH} = V_{DD}$ or $V_{IL} = \text{GND}$, $V_{DD} = 2.5\text{ V}$, $V_{SS} = -2.5\text{ V}$		-5	-15	μA
EEMEM Data Storing Mode Current	I_{DD_STORE}	$V_{IH} = V_{DD}$ or $V_{IL} = \text{GND}$		35		mA
EEMEM Data Restoring Mode Current ⁶	$I_{DD_RESTORE}$	$V_{IH} = V_{DD}$ or $V_{IL} = \text{GND}$		2.5		mA
Power Dissipation ⁷	P_{DISS}	$V_{IH} = V_{DD} = 5\text{ V}$ or $V_{IL} = \text{GND}$			0.075	mW
Power Supply Sensitivity	PSS	$\Delta V_{DD} = 5\text{ V} \pm 10\%$ $\Delta V_{DD} = 3\text{ V} \pm 10\%$	-0.025 -0.04	+0.010 +0.02	+0.025 +0.04	%/% %/%
DYNAMIC CHARACTERISTICS^{5, 8}						
Bandwidth -3 dB	BW	$R_{AB} = 1\text{ k}\Omega$		4		MHz
Total Harmonic Distortion	THD	$V_A = 1\text{ V rms}$, $V_B = 0\text{ V}$, $f = 1\text{ kHz}$		0.05		%
V_W Settling Time	t_S	$V_A = V_{DD}$, $V_B = 0\text{ V}$		0.2		μs
Resistor Noise Voltage	e_{N_WB}	$R_{WB} = 500\ \Omega$, $f = 1\text{ kHz}$ (thermal noise only)		3		$\text{nV}/\sqrt{\text{Hz}}$
Digital Crosstalk	C_T	$V_A = V_{DD}$, $V_B = 0\text{ V}$, measure V_W with adjacent RDAC making full-scale change		-80		dB
Analog Coupling	C_{AT}	Signal input at A1 and measure the output at W3, $f = 1\text{ kHz}$		-72		dB

¹ Typ 値は、25°C および $V_{DD} = 5\text{ V}$ での平均測定値。

² 抵抗ポジション非直線性誤差(R-INL)は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNL は、連続タップ・ポジション間で測定された、理論値からの相対的ステップ変化を表します。各製品の単調性は保証します。ただし、 $V_{DD} = 3\text{ V}$ と $V_{DD} = 5\text{ V}$ に対して、 $V_{DD} = 2.7\text{ V}$ 、 $I_W = V_{DD}/R$ での AD5252 1 k Ω バージョンの R-DNL は除外します。

³ INL と DNL は、RDAC を電圧出力 D/A コンバータと同様のポテンショメータ分圧器として設定して、 V_W で測定。 $V_A = V_{DD}$ かつ $V_B = 0\text{ V}$ 。最大 ± 1 LSB の DNL 仕様規定値は単調動作状態を保証。

⁴ 抵抗ピン A、B、W の極性は相互に制約されません。

⁵ 設計上保証しますが、出荷テストは行いません。

⁶ I_{DD_READ} 電流消費を小さくするために、コマンド 0 NOP はコマンド 1 の後に起動する必要があります。

⁷ P_{DISS} は $I_{DD} \times V_{DD} = 5\text{ V}$ から計算。

⁸ すべてのダイナミック特性では $V_{DD} = 5\text{ V}$ を使用。

10 k Ω 、50 k Ω 、100 k Ω バージョン

特に指定がない限り、 $V_{DD} = +3\text{ V} \pm 10\%$ または $+5\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ または $V_{DD}/V_{SS} = \pm 2.5\text{ V} \pm 10\%$ 、 $V_A = V_{DD}$ 、 $V_B = 0\text{ V}$ 、 $-40^\circ\text{C} < T_A < +85^\circ\text{C}$ 。

表2.

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
DC CHARACTERISTICS— RHEOSTAT MODE						
Resolution	N	AD5251 AD5252			6 8	Bits Bits
Resistor Differential Nonlinearity ²	R-DNL	$R_{WB}, R_{WA} = \text{NC}$, AD5251 $R_{WB}, R_{WA} = \text{NC}$, AD5252	-0.75 -1.00	± 0.10 ± 0.25	+0.75 +1.00	LSB LSB
Resistor Nonlinearity ²	R-INL	$R_{WB}, R_{WA} = \text{NC}$, AD5251 $R_{WB}, R_{WA} = \text{NC}$, AD5252	-0.75 -2.5	± 0.25 ± 1.0	+0.75 +2.5	LSB LSB
Nominal Resistor Tolerance	$\Delta R_{AB}/R_{AB}$	$T_A = 25^\circ\text{C}$	-20		+20	%
Resistance Temperature Coefficient	$(\Delta R_{AB}/R_{AB}) \times 10^6/\Delta T$			650		ppm/ $^\circ\text{C}$
Wiper Resistance	R_W	$I_W = 1\text{ V/R}$, $V_{DD} = 5\text{ V}$ $I_W = 1\text{ V/R}$, $V_{DD} = 3\text{ V}$		75 200	130 300	Ω Ω
Channel-Resistance Matching	$\Delta R_{AB1}/\Delta R_{AB2}$	$R_{AB} = 10\text{ k}\Omega$, 50 k Ω $R_{AB} = 100\text{ k}\Omega$		0.15 0.05		% %
DC CHARACTERISTICS— POTENTIOMETER DIVIDER MODE						
Differential Nonlinearity ³	DNL	AD5251 AD5252	-0.5 -1.0	± 0.1 ± 0.3	+0.5 +1.0	LSB LSB
Integral Nonlinearity ³	INL	AD5251 AD5252	-0.50 -1.5	± 0.15 ± 0.5	+0.50 +1.5	LSB LSB
Voltage Divider Temperature Coefficient	$(\Delta V_W/V_W) \times 10^6/\Delta T$	Code = half scale		15		ppm/ $^\circ\text{C}$
Full-Scale Error	V_{WFSE}	Code = full scale, AD5251 Code = full scale, AD5252	-1.0 -3	-0.3 -1	0 0	LSB LSB
Zero-Scale Error	V_{WZSE}	Code = zero scale, AD5251 Code = zero scale, AD5252	0 0	0.3 1.2	1.0 3.0	LSB LSB
RESISTOR TERMINALS						
Voltage Range ⁴	V_A, V_B, V_W		V_{SS}		V_{DD}	V
Capacitance ⁵ A, B	C_A, C_B	$f = 1\text{ kHz}$, measured to GND, code = half scale		85		pF
Capacitance ⁵ W	C_W	$f = 1\text{ kHz}$, measured to GND, code = half scale		95		pF
Common-Mode Leakage Current	I_{CM}	$V_A = V_B = V_{DD}/2$		0.01	1.00	μA
DIGITAL INPUTS AND OUTPUTS						
Input Logic High	V_{IH}	$V_{DD} = 5\text{ V}$, $V_{SS} = 0\text{ V}$ $V_{DD}/V_{SS} = +2.7\text{ V}/0\text{ V}$ or $V_{DD}/V_{SS} = \pm 2.5\text{ V}$	2.4 2.1			V V
Input Logic Low	V_{IL}	$V_{DD} = 5\text{ V}$, $V_{SS} = 0\text{ V}$ $V_{DD}/V_{SS} = +2.7\text{ V}/0\text{ V}$ or $V_{DD}/V_{SS} = \pm 2.5\text{ V}$			0.8 0.6	V V
Output Logic High (SDA)	V_{OH}	$R_{PULL-UP} = 2.2\text{ k}\Omega$ to $V_{DD} = 5\text{ V}$, $V_{SS} = 0\text{ V}$	4.9			V
Output Logic Low (SDA)	V_{OL}	$R_{PULL-UP} = 2.2\text{ k}\Omega$ to $V_{DD} = 5\text{ V}$, $V_{SS} = 0\text{ V}$			0.4	V
WP Leakage Current	I_{WP}	$\overline{\text{WP}} = V_{DD}$			5	μA
A0 Leakage Current	I_{A0}	A0 = GND			3	μA
Input Leakage Current (Other than WP and A0)	I_I	$V_{IN} = 0\text{ V}$ or V_{DD}			± 1	μA
Input Capacitance ⁵	C_I			5		pF

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
POWER SUPPLIES						
Single-Supply Power Range	V_{DD}	$V_{SS} = 0\text{ V}$	2.7		5.5	V
Dual-Supply Power Range	V_{DD}/V_{SS}		± 2.25		± 2.75	V
Positive Supply Current	I_{DD}	$V_{IH} = V_{DD}$ or $V_{IL} = \text{GND}$		5	15	μA
Negative Supply Current	I_{SS}	$V_{IH} = V_{DD}$ or $V_{IL} = \text{GND}$, $V_{DD} = 2.5\text{ V}$, $V_{SS} = -2.5\text{ V}$		-5	-15	μA
EEMEM Data Storing Mode Current	I_{DD_STORE}	$V_{IH} = V_{DD}$ or $V_{IL} = \text{GND}$, $T_A = 0^\circ\text{C}$ to 85°C		35		mA
EEMEM Data Restoring Mode Current ⁶	$I_{DD_RESTORE}$	$V_{IH} = V_{DD}$ or $V_{IL} = \text{GND}$, $T_A = 0^\circ\text{C}$ to 85°C		2.5		mA
Power Dissipation ⁷	P_{DISS}	$V_{IH} = V_{DD} = 5\text{ V}$ or $V_{IL} = \text{GND}$			0.075	mW
Power Supply Sensitivity	PSS	$\Delta V_{DD} = 5\text{ V} \pm 10\%$ $\Delta V_{DD} = 3\text{ V} \pm 10\%$	-0.005 -0.010	+0.002 +0.002	+0.005 +0.010	%/% %/%
DYNAMIC CHARACTERISTICS^{5, 8}						
-3 dB Bandwidth	BW	$R_{AB} = 10\text{ k}\Omega/50\text{ k}\Omega/100\text{ k}\Omega$		400/80/40		kHz
Total Harmonic Distortion	THD _W	$V_A = 1\text{ V rms}$, $V_B = 0\text{ V}$, $f = 1\text{ kHz}$		0.05		%
V_W Settling Time	t_s	$V_A = V_{DD}$, $V_B = 0\text{ V}$, $R_{AB} = 10\text{ k}\Omega/50\text{ k}\Omega/100\text{ k}\Omega$		1.5/7/14		μs
Resistor Noise Voltage	e_{N_WB}	$R_{AB} = 10\text{ k}\Omega/50\text{ k}\Omega/100\text{ k}\Omega$, code = midscale, $f = 1\text{ kHz}$ (thermal noise only)		9/20/29		$\text{nV}/\sqrt{\text{Hz}}$
Digital Crosstalk	C_T	$V_A = V_{DD}$, $V_B = 0\text{ V}$, measure V_W with adjacent RDAC making full-scale change		-80		dB
Analog Coupling	C_{AT}	Signal input at A1 and measure output at W3, $f = 1\text{ kHz}$		-72		dB

¹ Typ 値は、25°C および $V_{DD} = 5\text{ V}$ での平均測定値。

² 抵抗ポジション非直線性誤差(R-INL)は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表します。R-DNL は、連続タップ・ポジション間で測定された、理論値からの相対的ステップ変化を表します。各製品の単調性は保証します。ただし、 $V_{DD} = 3\text{ V}$ と $V_{DD} = 5\text{ V}$ に対して、 $V_{DD} = 2.7\text{ V}$ 、 $I_W = V_{DD}/R$ での AD5252 1 k Ω バージョンの R-DNL は除外します。

³ INL と DNL は、RDAC を電圧出力 D/A コンバータと同様のポテンショメータ分圧器として設定して、 V_W で測定。 $V_A = V_{DD}$ かつ $V_B = 0\text{ V}$ 。最大 ± 1 LSB の DNL 仕様規定値は単調動作状態を保証。

⁴ 抵抗ピン A、B、W の極性は相互に制約されません。

⁵ 設計上保証しますが、出荷テストは行いません。

⁶ I_{DD_READ} 電流消費を小さくするために、コマンド 0 NOP はコマンド 1 の後に起動する必要があります。

⁷ P_{DISS} は $I_{DD} \times V_{DD} = 5\text{ V}$ から計算。

⁸ すべてのダイナミック特性では $V_{DD} = 5\text{ V}$ を使用。

インターフェースのタイミング特性

すべての入力制御電圧は $t_r = t_f = 2.5 \text{ ns}$ (3 V の 10% から 90%) で規定し、1.5 V の電圧レベルからの時間とします。スイッチング特性は、 $V_{DD} = 3 \text{ V}$ と 5 V を使って測定。

表3. インターフェース・タイミングとEEMEM 信頼性特性 (全製品)¹

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INTERFACE TIMING						
SCL Clock Frequency	f_{SCL}				400	kHz
t_{BUF} Bus-Free Time Between Stop and Start	t_1		1.3			μs
$t_{HD,STA}$ Hold Time (Repeated Start)	t_2	After this period, the first clock pulse is generated.	0.6			μs
t_{LOW} Low Period of SCL Clock	t_3		1.3			μs
t_{HIGH} High Period of SCL Clock	t_4		0.6			μs
$t_{SU,STA}$ Set-up Time for Start Condition	t_5		0.6			μs
$t_{HD,DAT}$ Data Hold Time	t_6		0		0.9	μs
$t_{SU,DAT}$ Data Set-up Time	t_7		100			ns
t_F Fall Time of Both SDA and SCL Signals	t_8				300	ns
t_R Rise Time of Both SDA and SCL Signals	t_9				300	ns
$t_{SU,STO}$ Set-up Time for Stop Condition	t_{10}		0.6			μs
EEMEM Data Storing Time	t_{EEMEM_STORE}			26		ms
EEMEM Data Restoring Time at Power-On ²	$t_{EEMEM_RESTORE1}$	V_{DD} rise time dependent. Measure without decoupling capacitors at V_{DD} and V_{SS} .		300		μs
EEMEM Data Restoring Time upon Restore Command or Reset Operation ²	$t_{EEMEM_RESTORE2}$	$V_{DD} = 5 \text{ V}$.		300		μs
EEMEM Data Rewritable Time (Delay Time After Power-On or Reset Before EEMEM Can Be Written)	$t_{EEMEM_REWRITE}$			540		μs
FLASH/EE MEMORY RELIABILITY						
Endurance ³			100			k cycles
Data Retention ⁴				100		Years

¹ 設計上保証しますが、出荷テストは行いません。測定値のロケーションについては図 23 を参照してください。

² パワーアップ時、すべての出力を事前にミッドスケールに設定した後に EEMEM の値を復元します。RDAC0 は最小の EEMEM 復元時間を、RDAC3 は最大の EEMEM 復元時間を持っています。

³ 書込み可能回数は、JEDEC Std.22 メソッド A117 に基づき 100,000 回で評価し、 -40°C 、 $+25^\circ\text{C}$ 、 $+85^\circ\text{C}$ で測定。 $+25^\circ\text{C}$ での書込み回数は 700,000 回 (typ 値)。

⁴ JEDEC Std. 22、メソッド A117 に基づくジャンクション温度 $T_j = 55^\circ\text{C}$ と等価。活性エネルギー 0.6eV に基づくデータ保持寿命は、フラッシュ/EE メモリではジャンクション温度が上昇すると短くなります。

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表4.

Parameter	Rating
V_{DD} to GND	-0.3 V, +7 V
V_{SS} to GND	+0.3 V, -7 V
V_{DD} to V_{SS}	7 V
V_A , V_B , V_W to GND	V_{SS} , V_{DD}
Maximum Current	
I_{WB} , I_{WA} Pulsed	± 20 mA
I_{WB} Continuous ($R_{WB} \leq 1$ k Ω , A Open) ¹	± 5 mA
I_{WA} Continuous ($R_{WA} \leq 1$ k Ω , B Open) ¹	± 5 mA
I_{AB} Continuous ($R_{AB} = 1$ k $\Omega/10$ k $\Omega/50$ k $\Omega/100$ k Ω) ¹	± 5 mA/ ± 500 μ A/ ± 100 μ A/ ± 50 μ A
Digital Inputs and Output Voltage to GND	0 V, 7 V
Operating Temperature Range	-40°C to +85°C
Maximum Junction Temperature (T_{JMAX})	150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 sec)	300°C
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C
TSSOP-14 Thermal Resistance ² θ_{JA}	136°C/W

¹ 1.最大ピン電流は、Aピン、Bピン、Wピンの内の任意の2ピン間(与えられた抵抗を持つ)に加えられる最大電圧、スイッチの最大処理電流、パッケージの最大消費電力により制約されます。 $V_{DD} = 5$ V。

² パッケージ消費電力 = $(T_{JMAX} - T_A)/\theta_{JA}$ 。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

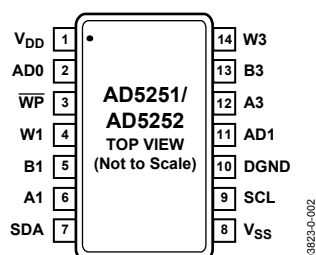


図2. ピン配置

表5. ピン機能の説明

ピン番号	記号	説明
1	V _{DD}	正電源ピン。単電源では+2.7 V~+5 Vに、両電源では±2.7 Vに、それぞれ接続。ただし、V _{DD} - V _{SS} ≤ 5.5 V。データを EEMEM に書込む際に、35 mA の電流を 26 ms 間 V _{DD} に流すことができる必要があります。
2	AD0	I ² C デバイス・アドレス 0。AD0 と AD1 を使うと、4 個の AD5251/AD5252 をアドレス指定可能。
3	$\overline{\text{WP}}$	書込み保護、アクティブ・ロー・レベル。V _{WP} ≤ V _{DD} + 0.3 V。
4	W1	RDAC1 のワイパー・ピン。V _{SS} ≤ V _{W1} ≤ V _{DD} ¹ 。
5	B1	RDAC1 の B ピン。V _{SS} ≤ V _{B1} ≤ V _{DD} ¹ 。
6	A1	RDAC1 の A ピン。V _{SS} ≤ V _{A1} ≤ V _{DD} ¹ 。
7	SDA	シリアル・データ入力/出力ピン。クロックの立上がりエッジで 1 ビットずつシフト入力します。MSB ファーストでロード。オープン・ドレイン MOSFET にはプルアップ抵抗が必要。
8	V _{SS}	負電源。単電源では 0 V に、両電源では -2.7 V に、それぞれ接続。ただし V _{DD} - V _{SS} ≤ +5.5 V。両電源で V _{SS} を使う場合は、データを EEMEM に書込む際に、35 mA の電流を 26 ms 間 V _{SS} に流すことができる必要があります。
9	SCL	シリアル入力レジスタのクロック・ピン。クロックの立上がりエッジで 1 ビットずつシフト入力します。V _{SCL} ≤ (V _{DD} + 0.3 V)。最小消費電力を小さくするために、SCL にプルアップ抵抗を接続することが推奨されます。
10	DGND	デジタル・グラウンド。1 点でシステム・アナログ・グラウンドに接続。
11	AD1	I ² C デバイス・アドレス 1。AD0 と AD1 を使うと、4 個の AD5251/AD5252 をアドレス指定可能。
12	A3	RDAC3 の A ピン。V _{SS} ≤ V _{A3} ≤ V _{DD} ¹ 。
13	B3	RDAC3 の B ピン。V _{SS} ≤ V _{B3} ≤ V _{DD} ¹ 。
14	W3	RDAC3 のワイパー・ピン。V _{SS} ≤ V _{W3} ≤ V _{DD} ¹ 。

¹4 チャンネル・デバイスのソフトウェア互換性のため、デバイス内のデュアル・ポテンシオメータは RDAC1 と RDAC3 として指定されます。

代表的な性能特性

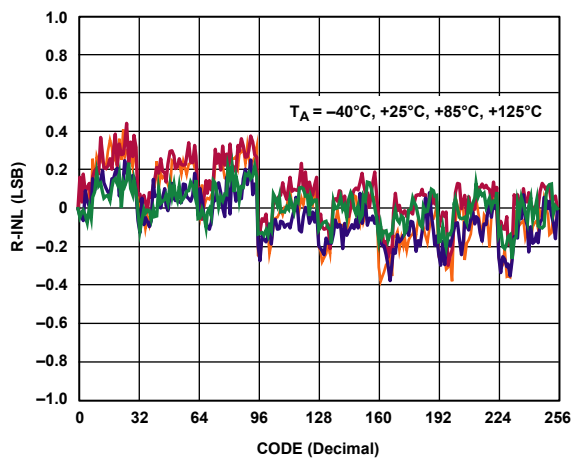


図3.コード対 R-INL

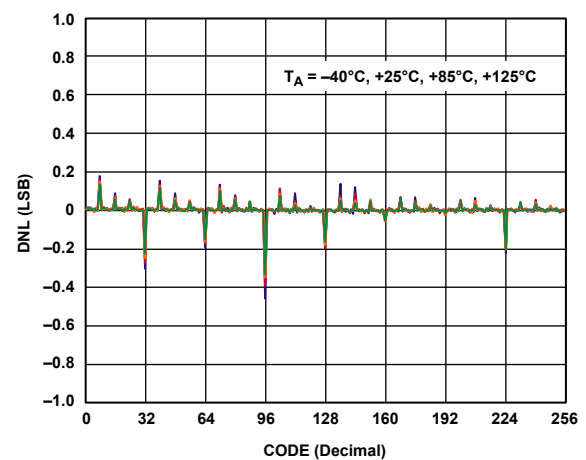


図6.コード対 DNL

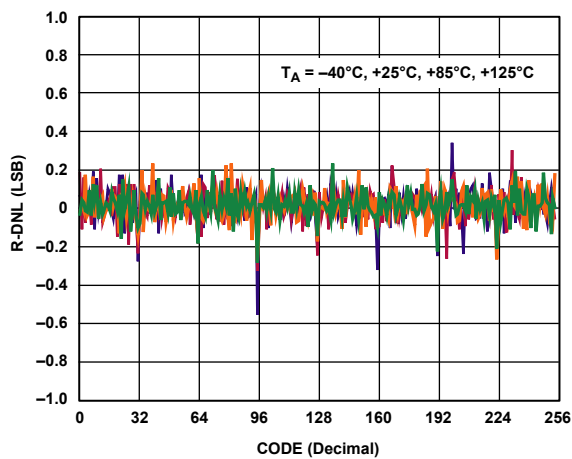


図4.コード対 R-DNL

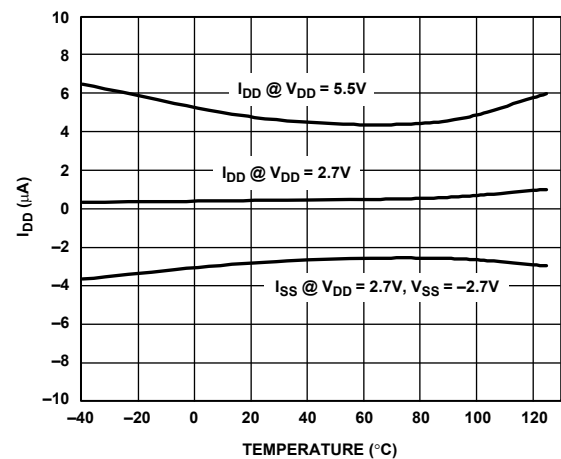


図7.電源電流の温度特性

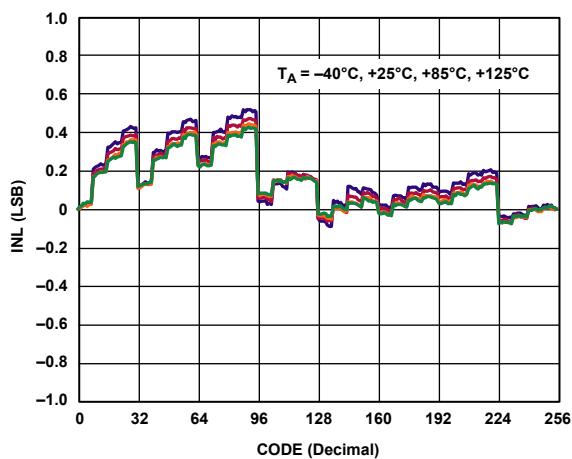
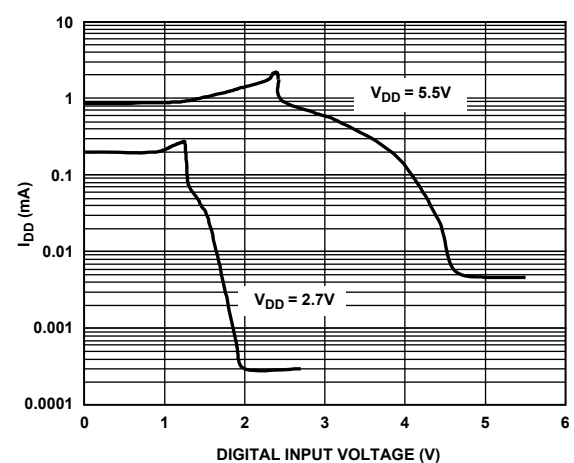


図5.コード対 INL

図8.デジタル入力電圧対電源電流、 $T_A = 25^\circ\text{C}$

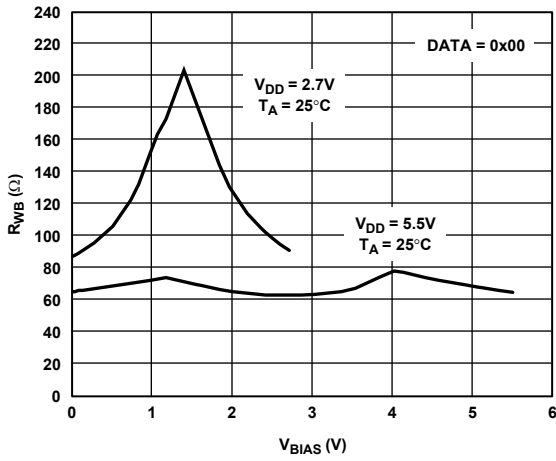


図9. V_{BIAS} 対ワイパー抵抗

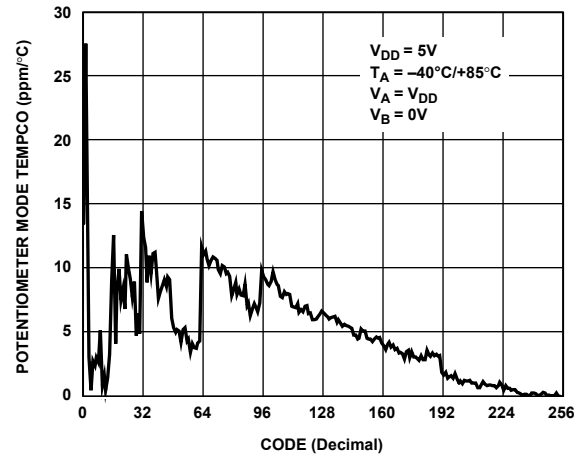


図12. コード対 AD5252 ポテンショメータ・モードの温度係数 $\Delta V_{WB}/\Delta T$

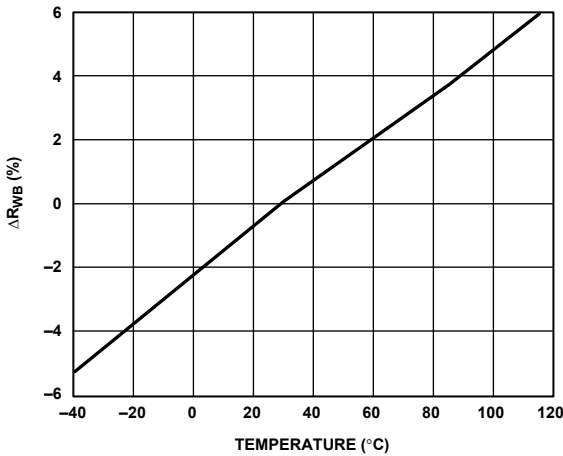


図10. R_{WB} 変化の温度特性

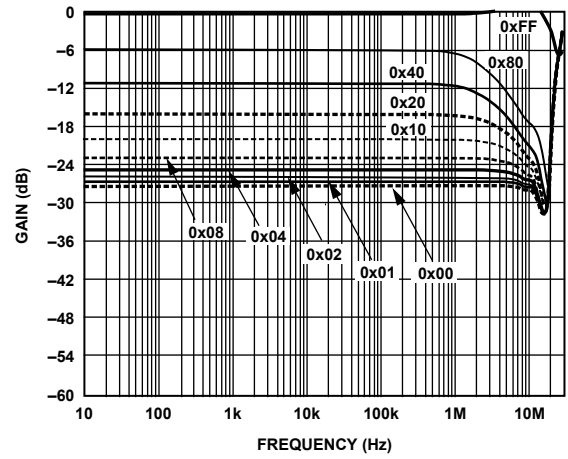


図13. AD5252 ゲイン対周波数対コード
R_{AB} = 1 kΩ, T_A = 25°C

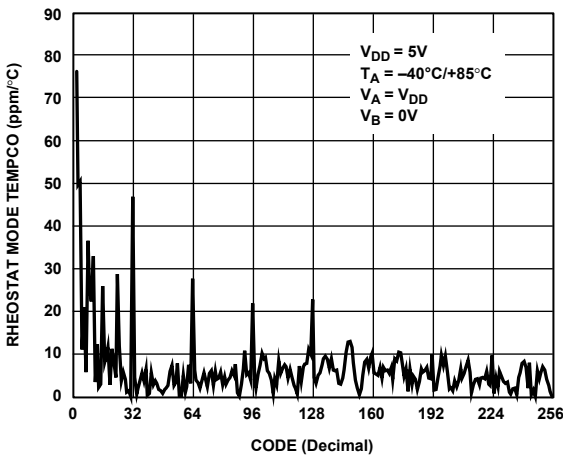


図11. コード対 AD5252 可変抵抗器モードの温度係数 $\Delta R_{WB}/\Delta T$

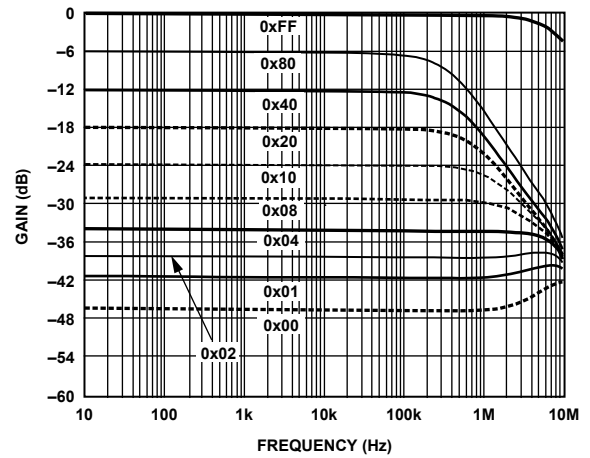


図14. AD5252 ゲイン対周波数対コード
R_{AB} = 10 kΩ, T_A = 25°C

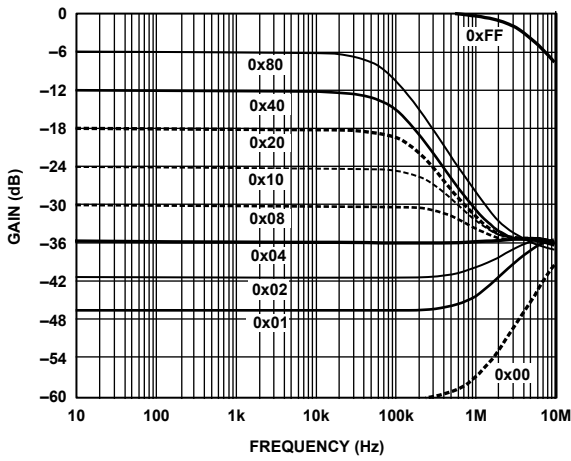


図15.AD5252 ゲイン対周波数対コード
 $R_{AB} = 50 \text{ k}\Omega$, $T_A = 25^\circ\text{C}$

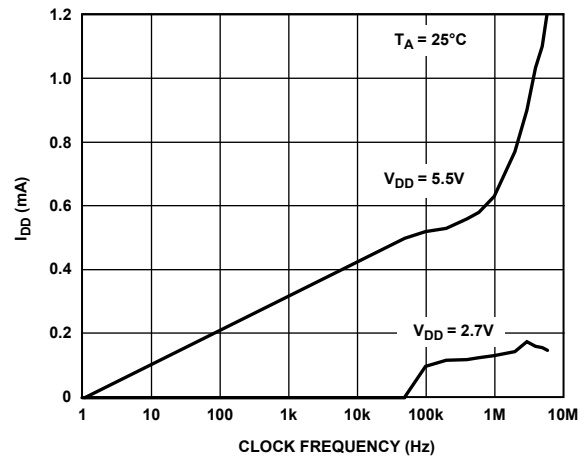


図18.デジタル入力クロック周波数対電源電流
 $T_A = 25^\circ\text{C}$

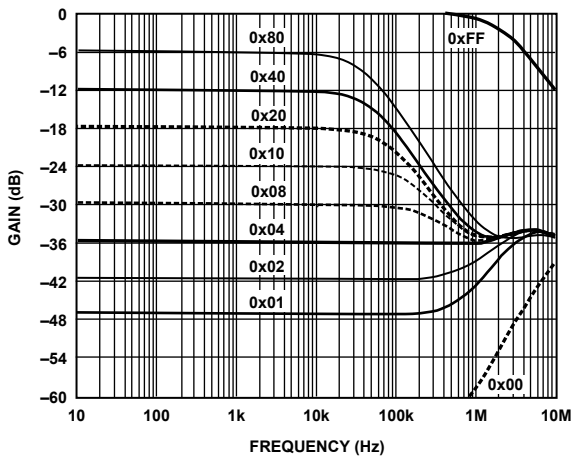


図 16.AD5252 ゲイン対周波数対コード
 $R_{AB} = 100 \text{ k}\Omega$, $T_A = 25^\circ\text{C}$

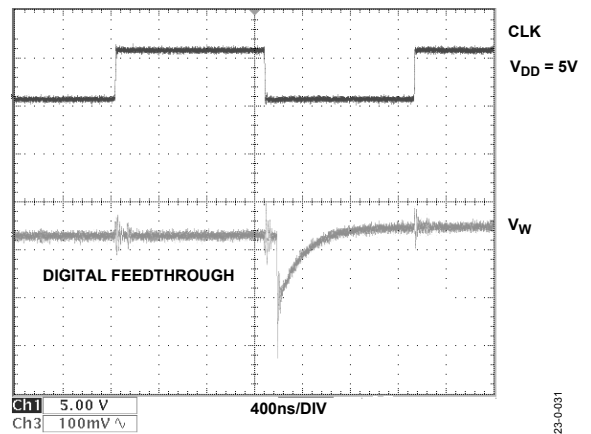


図19.クロック・フィードスルーと
 ミッドスケール変化時のグリッチ

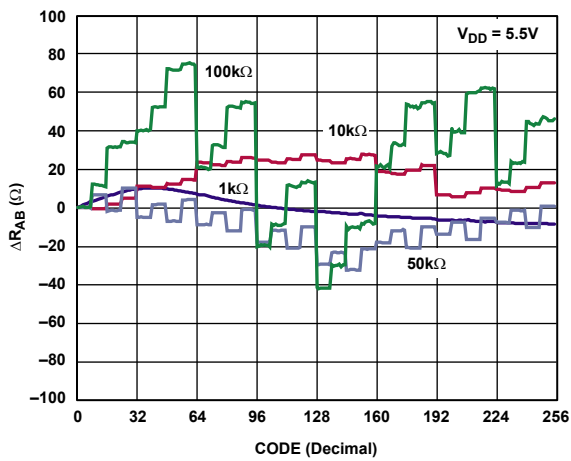


図17.コード対 AD5252 ΔR_{AB} , $T_A = 25^\circ\text{C}$

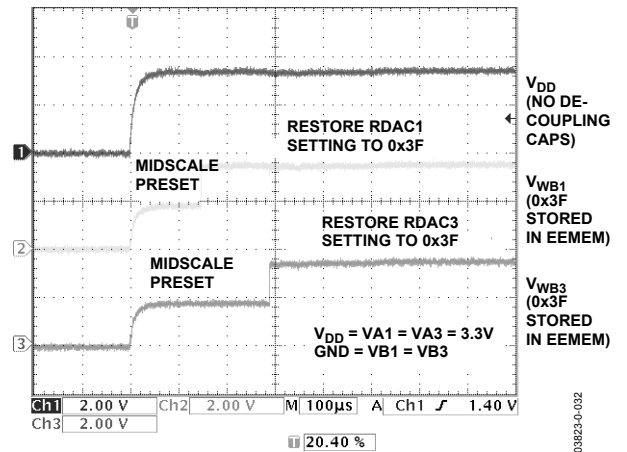


図 20.RDAC0 と RDAC3 の $t_{EEMEM_RESTORE}$

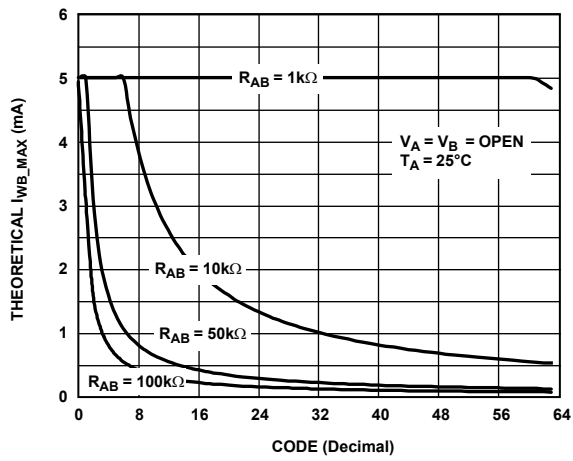


図 21.コード対 AD5251 I_{WB_MAX}

03823-0-033

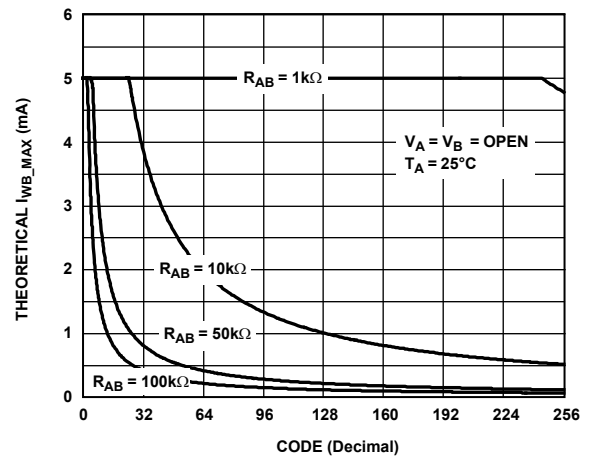


図 22.コード対 AD5252 I_{WB_MAX}

03823-0-034

I²Cインターフェース

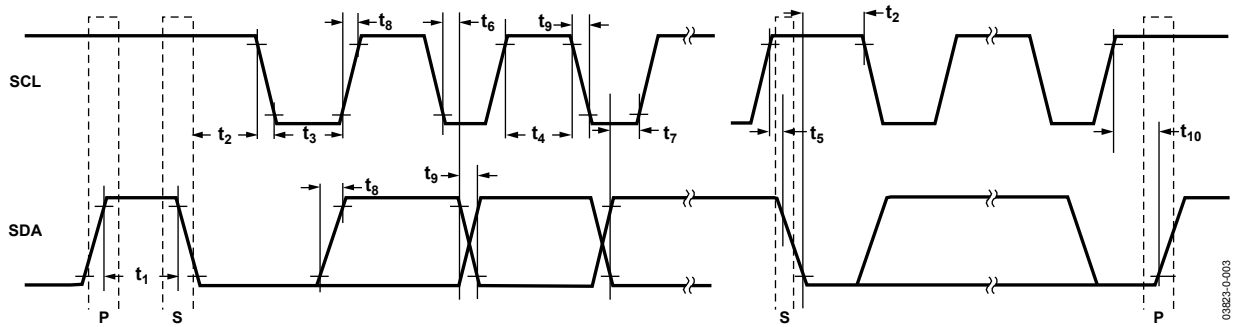


図23. I²Cインターフェースのタイミング図

I²Cインターフェースの概要

- FROM MASTER TO SLAVE
- FROM SLAVE TO MASTER
- S = START CONDITION
- P = STOP CONDITION
- A = ACKNOWLEDGE (SDA LOW)
- \bar{A} = NOT ACKNOWLEDGE (SDA HIGH)
- R/ \bar{W} = READ ENABLE AT HIGH AND WRITE ENABLE AT LOW

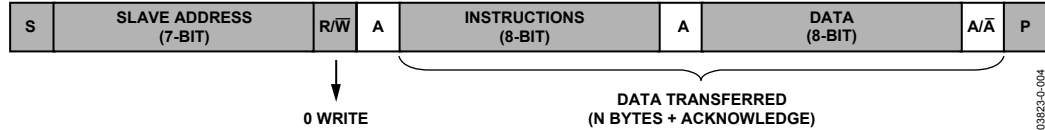


図24. I²C—マスターによるスレーブへのデータの書込み

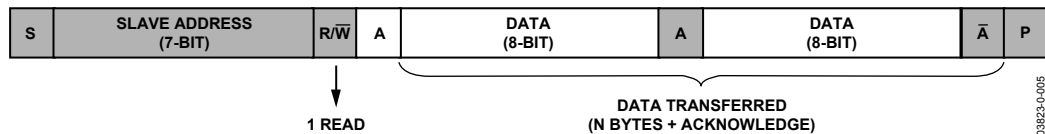


図25. I²C—マスターによるスレーブからのデータの読み込み

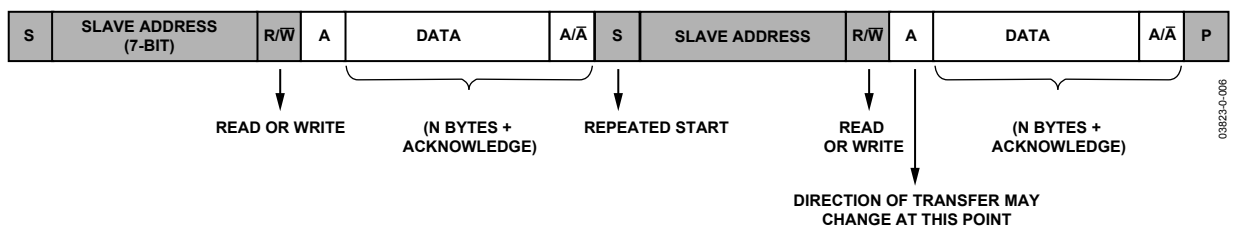


図26. I²C—書込み/読出しの組み合わせ

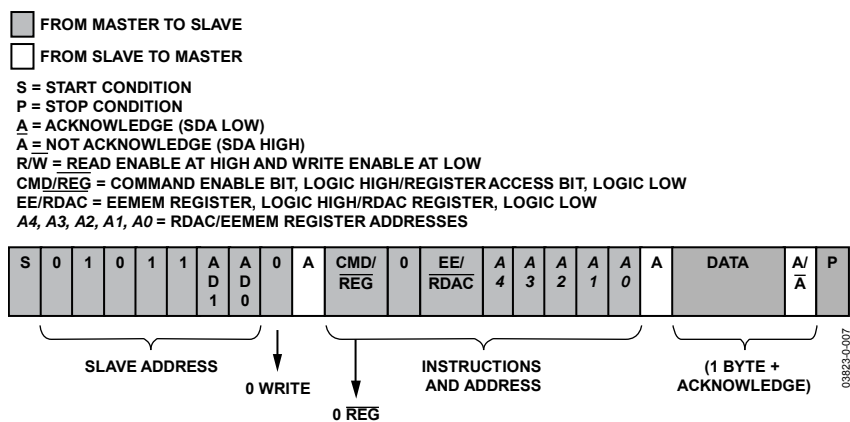
I²Cインターフェースの詳細説明

図 27. シングル書込みモード

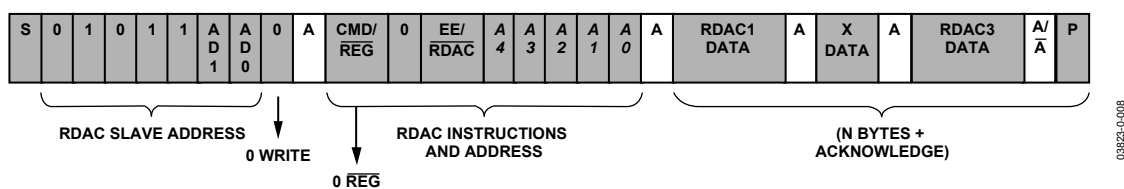


図 28. 連続書込みモード

表 6. データ・バイト値を RDAC レジスタへ書込む際のアドレス ($\overline{R/W} = 0$ 、 $\overline{CMD/REG} = 0$ 、 $\overline{EE/RDAC} = 0$)

A4	A3	A2	A1	A0	RDAC	Data Byte Description
0	0	0	0	0	Reserved	
0	0	0	0	1	RDAC1	6-/8-bit wiper setting (2 MSB of AD5251 are X)
0	0	0	1	0	Reserved	
0	0	0	1	1	RDAC3	6-/8-bit wiper setting (2 MSB of AD5251 are X)
0	0	1	0	0	Reserved	
:	:	:	:	:	:	
:	:	:	:	:	:	
0	1	1	1	1	Reserved	

RDAC/EEMEMへの書込み

ワイパー・ポジションの設定にはRDACへの書込み動作が必要です。シングル書込み動作を図 27に、連続書込み動作を図 28にそれぞれ示します。RDACを選択し、かつアドレスが 00001 から開始される場合の連続書込み動作では、先頭データ・バイトがRDAC1 に、2 番目のデータ・バイトがRDAC3 に、それぞれ書込まれます。RDACアドレスを表 6に示します。

RDACワイパー設定値が特定のRDACレジスタにより制御されている間、各RDACレジスタは不揮発性ワイパー保存機能を提供する特定のEEMEMロケーションに対応しています。アドレスを表 7に示します。シングル書込み動作と連続書込み動作はEEMEM書込み動作にも適用されます。

EEMEM4~EEMEM15の12不揮発性メモリ・ロケーションがあります。ここに他の部品のメモリ・データ、ルックアップ・テーブル、システム識別情報などの合計12バイトの情報を保存することができます。

EEMEMレジスタに対する書込み動作では、I²Cインターフェースが内部書込みサイクルの間ディスエーブルされます。書込みサイクルの完了を調べるためには、アクノリッジのポーリングが必要です。EEMEMの書込み—アクノリッジのポーリングのセクションを参照してください。

RDAC/EEMEMからの読出し

AD5251/AD5252では、RDACまたはEEMEMの読出し動作を2種類提供しています。たとえば、前の動作ですでにアドレスRDAC0が選択されている場合に、アドレスを指定せずにRDAC0~RDAC3の値を読出す方法を図 29に示します。RDAC0ではなくRDAC_Nがすでに選択されている場合は、リードバックがアドレスNから開始され、以下N+1...と続きます。

図 30に、RDACまたはEEMEMに対するランダム読出し動作を示します。この動作を使うと、ダミー書込みコマンドを発行してRDACアドレス・ポインタを変更し、続いて新しいアドレス・ロケーションにRDAC読出し動作を実行することにより、読出し対象のRDACレジスタまたはEEMEMレジスタを指定することができます。

表 7.RDAC 設定値とユーザ定義データを EEMEM レジスタに書込む(保存する)際のアドレス(R/W = 0, CMD/REG = 0, EE/RDAC = 1)

A4	A3	A2	A1	A0	Data Byte Description
0	0	0	0	0	Reserved
0	0	0	0	1	Store RDAC1 setting to EEMEM1 ¹
0	0	0	1	0	Reserved
0	0	0	1	1	Store RDAC3 setting to EEMEM3 ¹
0	0	1	0	0	Store user data to EEMEM4
0	0	1	0	1	Store user data to EEMEM5
0	0	1	1	0	Store user data to EEMEM6
0	0	1	1	1	Store user data to EEMEM7
0	1	0	0	0	Store user data to EEMEM8
0	1	0	0	1	Store user data to EEMEM9
0	1	0	1	0	Store user data to EEMEM10
0	1	0	1	1	Store user data to EEMEM11
0	1	1	0	0	Store user data to EEMEM12
0	1	1	0	1	Store user data to EEMEM13
0	1	1	1	0	Store user data to EEMEM14
0	1	1	1	1	Store user data to EEMEM15

表8.RDAC 設定値とユーザ・データを EEMEM から読出す(復元する)際のアドレス(R/W = 1, CMD/REG = 0, EE/RDAC = 1)

A4	A3	A2	A1	A0	Data Byte Description
0	0	0	0	0	Reserved
0	0	0	0	1	Read RDAC1 setting from EEMEM1
0	0	0	1	0	Reserved
0	0	0	1	1	Read RDAC3 setting from EEMEM3
0	0	1	0	0	Read user data from EEMEM4
0	0	1	0	1	Read user data from EEMEM5
0	0	1	1	0	Read user data from EEMEM6
0	0	1	1	1	Read user data from EEMEM7
0	1	0	0	0	Read user data from EEMEM8
0	1	0	0	1	Read user data from EEMEM9
0	1	0	1	0	Read user data from EEMEM10
0	1	0	1	1	Read user data from EEMEM11
0	1	1	0	0	Read user data from EEMEM12
0	1	1	0	1	Read user data from EEMEM13
0	1	1	1	0	Read user data from EEMEM14
0	1	1	1	1	Read user data from EEMEM15

¹ AD5251 の 64 個のすべての RDAC 設定値または AD5252 の 256 個のすべての RDAC 設定値を、EEMEM に直接書込むことができます。これは、現在の RDAC ワイパー設定値に限定されません。

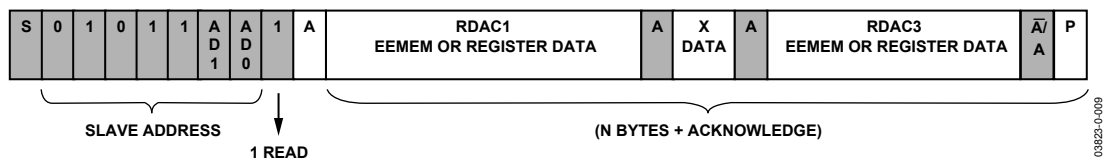


図 29.RDAC カレント・リード(レジスタに保存中の選択済みアドレスに限定)

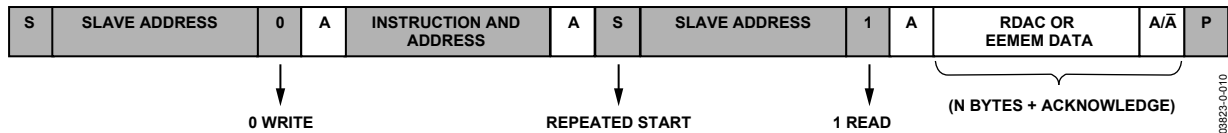


図 30.RDAC または EEMEM のランダム読み出し

- FROM MASTER TO SLAVE
- FROM SLAVE TO MASTER
- S = START CONDITION
- P = STOP CONDITION
- A = ACKNOWLEDGE (SDA LOW)
- A = NOT ACKNOWLEDGE (SDA HIGH)
- AD1, AD0 = I²C DEVICE ADDRESS BITS; MUST MATCH WITH THE LOGIC STATES AT PINS AD1, AD0
- R/W = READ ENABLE BIT, LOGIC HIGH/WRITE ENABLE BIT, LOGIC LOW
- CMD/REG = COMMAND ENABLE BIT, LOGIC HIGH/REGISTER ACCESS BIT, LOGIC LOW
- C3, C2, C1, C0 = COMMAND BITS
- A2, A1, A0 = RDAC/EEMEM REGISTER ADDRESSES

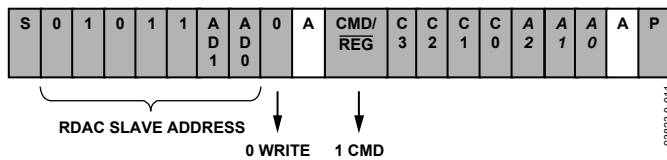


図 31.RDAC クイック・コマンドによる書込み(ダミー書込み)

RDAC/EEMEM クイック・コマンド

AD5251/AD5252には、12種類のクイック・コマンドがあります。これらのコマンドを使うと、RDACワイパー設定値の操作が容易になり、さらにRDAC-EEMEM間の保存機能と復元機能を実行することができます。コマンド・フォーマットを図31に、コマンド説明を表9に、それぞれ示します。

クイック・コマンドを使う際、3番目のバイトを必ず指定する必要はありませんが、指定することは可能です。クイック・コマンドの「リセットしRDACをEEMEMへ保存」では、コマンドの終了を確認するためにアクノリッジのポーリングが必要です。

読出し専用メモリに保存された R_{AB} 偏差

AD5251/AD5252では、特許取得済みの、不揮発性メモリへの R_{AB} 偏差保存機能を採用しています。各チャンネルの偏差は、出荷時にメモリに保存されているため、ユーザは何時でも読出すことができます。 R_{AB} コード全体の平均値である偏差が保存されているため(図16)、ユーザは R_{AB} を正確に予測することができます。この機能は、高精度可変抵抗器モード、および絶対抵抗値が既知であることが不可欠であるオープン・ループ・アプリケーションで有効です。

偏差は読出し専用メモリに格納されており、単位はパーセントです。各偏差は2つのメモリ・ロケーションに格納されています(表10参照)。偏差データは符号付きバイナリ・フォーマットで2バイトで格納されます。例を図32に示します。レジスタNの最初のバイトでは、MSBが符号に(0=+および1=-)に、7ビットのLSBは偏差の整数部分に、それぞれ割当てられています。レジスタN+1の2番目のバイトでは、8ビットの全データビットが偏差の小数部分に割当てられています。表10と図32に示

すように、たとえば、定格 $R_{AB} = 10 \text{ k}\Omega$ として、アドレス11000からのデータ・リードバック値が00011100で、アドレス11001からのデータ・リードバック値が00001111である場合、RDAC0の偏差は次のように計算されます。

MSB: 0 = +
次の7 MSB: 0011100 = 28
8 LSB: 00001111 = $15 \times 2^{-8} = 0.06$
偏差 = 28.06%、したがって、
 $R_{AB_ACTUAL} = 12.806 \text{ k}\Omega$ 。

EEMEMの書き込み—アクノリッジのポーリング

EEMEMレジスタに対する各書き込み動作の後に、内部書き込みサイクルが開始されます。デバイスのI²Cインターフェースはディスエーブルされます。内部書き込みサイクルの終了とI²Cインターフェースのイネーブルを確認するために、インターフェースのポーリングを行うことができます。I²Cインターフェースのポーリングは、スタート条件を送信し、続いてスレーブ・アドレスと書き込みビットを送信することにより実行することができます。I²CインターフェースがACKで応答してくる場合、書き込みサイクルが完了し、インターフェースは次の動作が可能であることを意味します。その他の場合には、I²Cインターフェースのポーリングを成功するまで繰り返すことができます。コマンド2とコマンド7でも、アクノリッジのポーリングが必要です。

EEMEM書き込み保護機能

EEMEMの書き込み後に \overline{WP} ピンをロー・レベルに設定すると、メモリとRDACレジスタに対する書き込み動作を防止することができます。このモードでは、EEMEMとRDACに対する読出し動作は通常通り機能します。

表9. RDAC-EEMEM間インターフェースとRDAC操作のクイック・コマンド・ビット(CMD/ \overline{REG} = 1, A2 = 0)

C3	C2	C1	C0	Command Description
0	0	0	0	NOP
0	0	0	1	Restore EEMEM (A1, A0) to RDAC (A1, A0) ¹
0	0	1	0	Store RDAC (A1, A0) to EEMEM (A1, A0)
0	0	1	1	Decrement RDAC (A1, A0) 6 dB
0	1	0	0	Decrement all RDACs 6 dB
0	1	0	1	Decrement RDAC (A1, A0) one step
0	1	1	0	Decrement all RDACs one step
0	1	1	1	Reset: restore EEMEMs to all RDACs
1	0	0	0	Increment RDACs (A1, A0) 6 dB
1	0	0	1	Increment all RDACs 6 dB
1	0	1	0	Increment RDACs (A1, A0) one step
1	0	1	1	Increment all RDACs one step
1	1	0	0	Reserved
:	:	:	:	:
:	:	:	:	:
1	1	1	1	Reserved

¹ このコマンドは、デバイスを消費電力の大きいEEMEM読出し状態に置きます。NOPコマンドを発行して、デバイスをアイドル状態に戻してください。

表 10. 偏差読出しの際のアドレス表(CMD/REG = 0、EE/RDAC = 1、A4 = 1)

A4	A3	A2	A1	A0	Data Byte Description
0	0	0	0	0	Reserved
:	:	:	:	:	:
:	:	:	:	:	:
1	1	0	0	1	Reserved
1	1	0	1	0	Sign and 7-bit integer values of RDAC1 tolerance (read only)
1	1	0	1	1	8-bit decimal value of RDAC1 tolerance (read only)
1	1	1	0	0	Reserved
1	1	1	0	1	Reserved
1	1	1	1	0	Sign and 7-bit integer values of RDAC3 tolerance (read only)
1	1	1	1	1	8-bit decimal value of RDAC3 tolerance (read only)

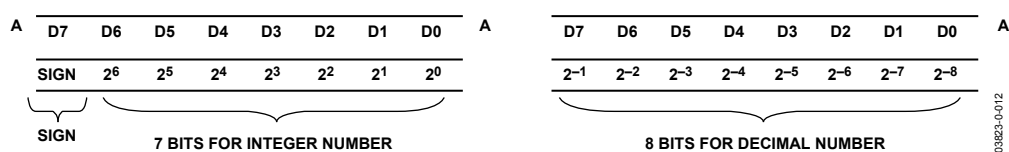
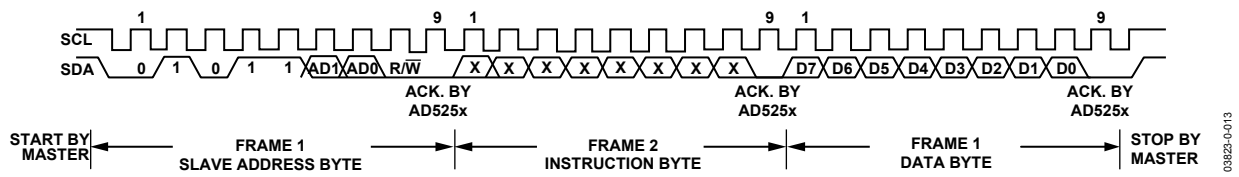
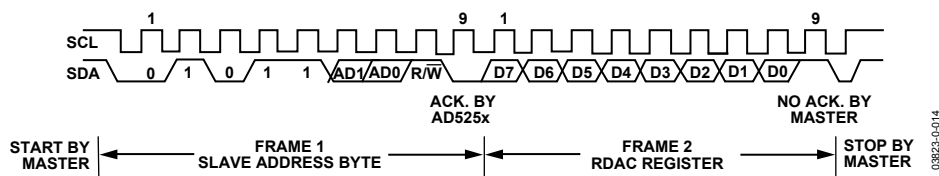


図 32. 符号付き数値フォーマットで保存された偏差とビット・ポジション説明
(単位はパーセント、データ・バイトのみ表示)

I²C 互換 2 線式 シリアル・バス図 33.一般的な I²C 書き込みパターン図 34.一般的な I²C 読出しパターン

AD5251/AD5252 の先頭バイトは、スレーブ・アドレス・バイトになります(図 33 と 図 34 参照)。7 ビットのスレーブ・アドレスと R/W ビットです。スレーブ・アドレスの 5 ビットの MSB は 01011 で、次の 2 ビットの LSB は、AD1 ピンと AD0 ピンの状態により決定されます。AD1 と AD0 を使うと、最大 4 個の AD5251/AD5252 を 1 つのバスに接続できます。

AD5251/AD5252 は I²C 互換シリアル・バスを使って制御することができます。このバスにスレーブ・デバイスとして接続することができます。2 線式 I²C シリアル・バス・プロトコル(図 33 と 図 34 参照)は、次のように動作します。

1. マスターは、SCL がハイ・レベルのときに、SDA をハイ・レベルからロー・レベルにして START 条件を与えてデータ転送を開始させます(図 33 参照)。スレーブ・アドレス・バイトがこの後に続き、このバイトは 01011 として定義されたスレーブ・アドレスの 5 ビットの MSB から構成されています。次の 2 ビットは AD1 と AD0 であり、これらは I²C デバイスのアドレス・ビットを表します。AD1 ビットと AD0 ビットの状態に応じて、4 個の AD5251/AD5252 を同じバス上でアドレス指定することができます。最後の LSB は R/W ビットであり、スレーブ・デバイスに対するデータの読出または書き込みを指定します。

送信対象アドレスに該当するアドレスを持つスレーブは 9 番目のクロック・パルスで、SDA ラインをロー・レベルにして応答します(これはアクノリッジ・ビットと呼ばれます)。選択されたデバイスがシリアル・レジスタに読み書きするデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。

2. 書き込みモードでは(EEMEM から RDAC レジスタへの復元の場合を除く)、スレーブ・アドレス・バイトの後ろに命令バイトが 1 バイト続きます。これは CMD/REG とラベル表示された命令バイトの MSB です。MSB = 1 でコマンド命令バイトの CMD がイネーブルされ、MSB = 0 で一般レジスタへの書き込みがイネーブルされます。EE/RDAC とラベル表示された 3 番目の命令バイトは、MSB = 0 (一般書き込みモード) のみ 1 になります。EE は EEMEM レジスタを、REG は

RDAC レジスタを、それぞれイネーブルします。5 ビットの LSB (A4 ~ A0) は、EEMEM レジスタと RDAC レジスタのアドレスを指定します(図 27 と 図 28 参照)。MSB = 1 のとき、すなわち CMD モードのとき、MSB に続く 4 ビットは C3 ~ C1 を表します。これらは 12 種類の EEMEM 制御とクイック・コマンドに対応します。4 種類の予約済みコマンドもあります。3 ビットの LSB (A2, A1, A0) はアドレスですが、001 と 011 だけがそれぞれ RDAC1 と RDAC3 に使用されています(図 31 参照)。命令バイトをアクノリッジした後の、書き込みモードの最後のバイトはデータ・バイトになります。データは、9 個のクロック・パルスで 8 ビットのデータとそれに続くアクノリッジ・ビットの順にシリアル・バス上を伝送します。SDA ラインは SCL のロー・レベル区間で変化して、SCL のハイ・レベル区間で安定に維持されている必要があります(図 33 参照)。

3. 現在の読出しモードでは、RDAC0 データ・バイトがスレーブ・アドレス・バイトのアクノリッジメントの直後に続きます。アクノリッジ後には、RDAC1、RDAC2 などが続きます(書き込みモードでは少し異なります。RDAC3 データを表す最後の 8 ビットのデータの後ろにはアクノリッジ・ビットがありません)。同様に、SDA ラインは SCL のロー・レベル区間で変化して、SCL のハイ・レベル区間で安定に維持されている必要があります(図 34 参照)。もう 1 つの読出し方法であるランダム読出しを 図 30 に示します。
4. 全データビットの読出または書き込みが終わると、マスターによりストップ条件が設定されます。ストップ条件は、SCL のハイ・レベル中に SDA ラインがロー・レベルからハイ・レベルへ変化することとして定義されます。書き込みモードでは、マスターが 10 番目のクロック・パルスで SDA ラインをハイ・レベルにして、ストップ条件を設定します(図 33)。読出しモードでは、マスターは 9 番目のクロック・パルスでアクノリッジを発行しません(SDA ラインがハイ・レベルを維持)。この後、マスターは 10 番目のクロック・パルスの前に SDA ラインをロー・レベルにし、次に SDA ラインをハイ・レベルにして、ストップ条件を設定します(図 34 参照)。

動作原理

AD5251/AD5252 は、連続的な 64/256 抵抗ステップの調節が可能な 1 k Ω 、10 k Ω 、50 k Ω 、または 100 k Ω の 2 チャンネル・デジタル・ポテンシオメータです。この AD5251/AD5252 は、抵抗設定とユーザ定義のデータを EEMEM レジスタに保存可能にするダブルゲート CMOS EEPROM 技術を採用しています。EEMEM は、電源がないときでも設定値を保持する不揮発性メモリです。RDAC のワイパー設定値は、デバイスのパワーアップ時に不揮発性メモリ内の設定値から復元され、さらに動作中何時でも復元することができます。

AD5251/AD5252 の抵抗ワイパー・ポジションは、RDAC レジスタ値により決定されます。RDAC レジスタはスクラッチパッド・レジスタのように動作するため、抵抗設定値の変更回数には制限がありません。RDAC レジスタ値は、デバイスのシリアル I²C インターフェースを経由して変更することができます。データワードのフォーマットと RDAC レジスタに書き込みを行うコマンドについては、I²C インターフェースの詳細説明のセクションで説明します。

4 個の RDAC レジスタは、対応する EEMEM メモリ・ロケーションを持っており、これらのメモリ・ロケーションが抵抗ワイパー・ポジション設定値の不揮発性記憶機能を提供します。AD5251/AD5252 は、RDAC レジスタ値を対応する EEMEM メモリ・ロケーションへ保存するコマンドを提供します。後続のパワーオン・シーケンスで、保存された値が RDAC レジスタに自動的にロードされます。

EEMEM 書き込み動作がイネーブル毎に、デバイスは内蔵チャージ・ポンプを起動して、EEMEM セルのゲート・バイアス電圧を高いレベルに上げます。この動作により、EEMEM レジスタ内の現在の値が消去されて、新しい値の保存が可能になります。データを EEMEM レジスタに保存するとき、35 mA の電流が約 26 ms 間流れます。チャージ・ポンプが動作するため、EEMEM 書き込み動作中、すべての RDAC チャンネルにノイズが混入する可能性があります。

パワーアップ時または動作時の EEMEM 復元時間は約 300 μ s です。パワーアップ時の EEMEM リフレッシュ・タイムは、VDD が最終値に到達する時間に依存することに注意してください。このため、電源電圧デカップリング・コンデンサがあると、これらがパワーアップ時の EEMEM 復元時間に制約を与えます。例えば図 20 に、パワーアップ・プロファイルを示します。この図では、V_{DD} にデカップリング・コンデンサを接続していません。また、V_{DD} は 1 つのデジタル信号として入力されています。デバイスは RDAC をミッドスケール値にリセットした後に、EEMEM の値を復元します。アプリケーションで高速な復元時間が本当に必要とされる場合のみ、デカップリング・コンデンサの削除を検討してください。さらに、ユーザはコマンド 1 を使って EEMEM 内の設定値を RDAC に復元した直後に、消費電流を小さくするために NOP コマンド 0 を使う必要があります。EEMEM から直接ユーザ・データを読み出すときは、同様な NOP コマンドの実行は不要です。

AD5251/AD5252 は、RDAC レジスタと EEMEM レジスタとの間のデータ転送の他に、ユーザによる書き込みを可能にする他のショートカット・コマンドも提供しています(表 11 参照)。

表 11. クイック・コマンド

Command	Description
0	NOP.
1	Restore EEMEM content to RDAC. Users should issue NOP immediately after this command to conserve power.
2	Store RDAC register setting to EEMEM.
3	Decrement RDAC 6 dB (shift data bits right).
4	Decrement all RDACs 6 dB (shift all data bits right).
5	Decrement RDAC one step.
6	Decrement all RDACs one step.
7	Reset EEMEM contents to all RDACs.
8	Increment RDAC 6 dB (shift data bits left).
9	Increment all RDACs 6 dB (shift all data bits left).
10	Increment RDAC one step.
11	Increment all RDACs one step.
12 to 15	Reserved.

直線的なインクリメント/デクリメント・コマンド

インクリメント・コマンドとデクリメント・コマンド(10, 11, 5, 6)は、連続なステップ調整アプリケーションに便利です。これらのコマンドは、AD5251/AD5252 に対してインクリメント・コマンドまたはデクリメント・コマンドをコントローラから送信させるだけで済むため、マイクロコントローラのソフトウェア・コーディングを簡単にします。調節は、1 個の RDAC または 4 個のすべての RDAC に対して行うことができます。

±6 dB 調節(ワイパー設定を 2 倍または 1/2 倍)

AD5251/AD5252 では、インクリメント/デクリメント動作に対してレジスタ値をそれぞれ左/右にシフトすることにより、RDAC ワイパー・ポジションを ±6 dB 調節することができます。コマンド 3、コマンド 4、コマンド 8、コマンド 9 を使うと、ワイパー・ポジションを 6 dB ステップで同期または非同期にインクリメントまたはデクリメントすることができます。

ワイパー・ポジションを +6 dB だけインクリメントすると、RDAC レジスタ値が 2 倍にされます。-6 dB だけデクリメントすると、レジスタ値が 1/2 倍されます。内部的には、AD5251/AD5252 はシフトレジスタを使って、ビットを左と右にシフトして ±6 dB のインクリメントまたはデクリメントを実現します。ゼロスケールからのインクリメントとフルスケールからのデクリメントに対して、調節の最大値はそれぞれ 9 ステップと 8 ステップです。これらの機能は、様々なオーディオ/ビデオ・レベルの調節や、特に小さな調節より大きな調節に敏感な人の視覚応答での白色 LED 輝度の設定に便利です。

デジタル入力/出力の構成

SDAは、正しい通信のためにはプルアップ抵抗を必要とするオープン・ドレインMOSFETを使ったデジタル入力/出力です。これに対して、SCLと \overline{WP} はプルアップ抵抗を使うデジタル入力です。このプルアップ抵抗の使用は、駆動信号が V_{DD} より低いときに発生するMOSFETのクロス導通電流を小さくするために推奨されます。SCLと \overline{WP} にはESD保護ダイオードが付いています(図 35 と 図 36 参照)。

書き込み保護機能を使わない場合には、 \overline{WP} はプルアップ抵抗なしで直接 V_{DD} に接続しておくことができます。 \overline{WP} をフローティング状態のままにしておくと、内部電流源がロー・レベルにプルダウンして書き込み保護機能をイネーブルしてしまいます。デバイスの書き込みを頻繁に行わないアプリケーションでは、工場出荷時のワンタイム書き込みの後、またはオンボードのプルダウン抵抗を使わないでフィールドでのキャリブレーションを行った後、デフォルトとして書き込み保護を有効にしておくことができます。これらすべての入力に保護ダイオードが付いているため、これらダイオードの順方向バイアスを防止するため、信号レベルを V_{DD} より上げないでください。

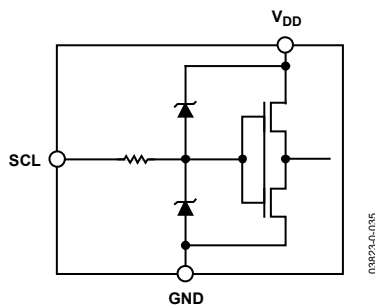


図 35. SCL デジタル入力

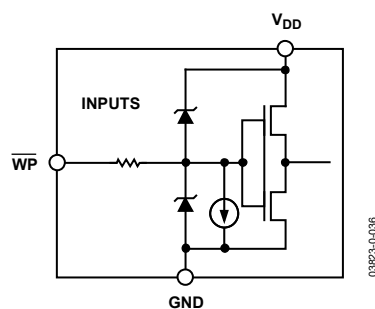


図 36. \overline{WP} の等価デジタル入力

1本のバスに複数デバイスを接続

AD5251/AD5252 には 2 本のアドレッシング・ピン AD1 と AD0 があります。これらのピンを使うと、1 本の I²C バス上で最大 4 個の AD5251/AD5252 を動作させることができます。これを実現するためには、最初に各デバイスで AD1 と AD0 の状態を定義しておく必要があります。表 12 と 図 37 に例を示します。I²C による書き込みでは、各デバイスにはアドレス指定のために異なるスレーブ・アドレスが発行されます—01011(AD1)(AD0)。

表 12. 複数デバイスのアドレス指定

AD1	AD0	Device Addressed
0	0	U1
0	1	U2
1	0	U3
1	1	U4

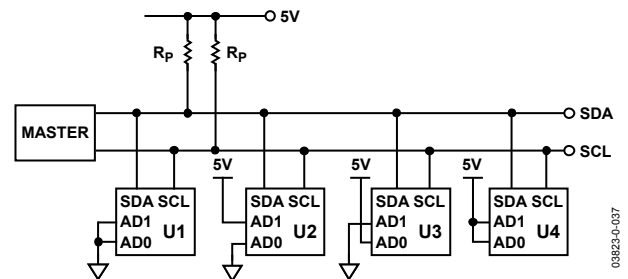


図 37.1 本のバスに複数の AD5251/AD5252 デバイスを接続

ピン電圧の動作範囲

AD5251/AD5252 は ESD 保護ダイオードを内蔵するデザインになっています。これらのダイオードもピンの動作電圧に制限を与えます。A、B、W の各ピンで正信号が V_{DD} を超えると、順方向にバイアスされたダイオードによりクランプされます。同様に、A、B、W の各ピンで負信号が V_{SS} を下回ると、これらもクランプされます(図 38 参照)。実際には、 V_{DD} - V_{SS} 間電圧より高い電圧で V_{AB} 、 V_{WA} 、 V_{WB} を動作させないようにする必要がありますが、 V_{AB} 、 V_{WA} 、 V_{WB} には極性の制限はありません。

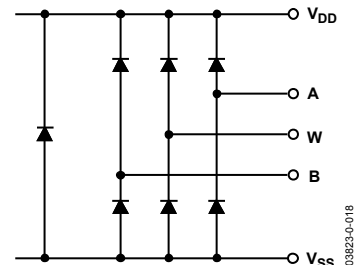


図 38. V_{DD} と V_{SS} により設定される最大ピン電圧

パワーアップ・シーケンスとパワーダウン・シーケンス

ピン A、ピン B、ピン W での電圧コンプライアンスを制限するダイオードが内蔵されているため(図 38 参照)、これらのピンに電圧を加える前に V_{DD}/V_{SS} を加えることが重要です。そうしないと、ダイオードが順方向バイアスされて、意図せずに V_{DD}/V_{SS} に電源が接続されてしまい、ユーザの回路に影響を与えることがあります。同様に、 V_{DD}/V_{SS} は最後に切断する必要があります。最適なパワーアップ・シーケンスは、 GND 、 V_{DD} 、 V_{SS} 、デジタル入力、 $V_A/V_B/V_W$ の順序です。電源投入シーケンス V_A 、 V_B 、 V_W 、デジタル入力の順は、 V_{DD}/V_{SS} 投入後であれば、重要ではありません。

レイアウトと電源のバイパス

小型で最短の線によるレイアウト・デザインは重要です。入力までの線は、最小の導体長で可能な限り真っ直ぐにします。グラウンド・パスの抵抗とインダクタンスは小さくする必要があります。

同様に、高品質のコンデンサを使って電源をバイパスすることも重要です。小さいESRを持つ $1\mu\text{F}\sim 10\mu\text{F}$ のタンタル・コンデンサまたは電解コンデンサも電源に接続して、過渡電圧を抑え、かつ低周波リップルを除去する必要があります。図 39 に、AD5251/AD5252 に対する基本的な電源バイパス構成を示します。

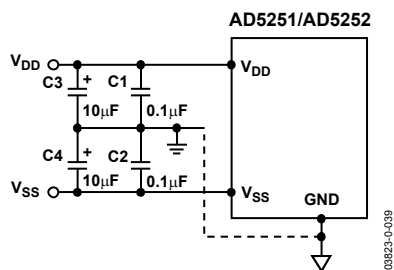


図 39. 電源バイパス構成

AD5251/AD5252 のグラウンド・ピンは、主にデジタル・グラウンド基準として使われます。デジタル・グラウンド・バウンスを最小にするため、AD5251/AD5252 のグラウンド・ピンは共通グラウンドから離れた所で接続する必要があります(図 39 参照)。

デジタル・ポテンシオメータ動作

RDAC 構造は、機械的ポテンシオメータの性能をエミュレートするようにデザインされています。RDAC は、抵抗アレイに対してワイパー接続として機能するアナログ・スイッチのアレイが付いた一連の抵抗セグメントを内蔵しています。ポイント数は、デバイスの分解能を表します。例えば、AD5251/AD5252 は 64/256 個の等しい抵抗 R_S を持つ 64/256 個の接続ポイントをエミュレートするため、1.5%/0.4% 以上の分解能を提供します。

図 40 に、RDAC の 1 チャンネル分を構成する 3 ピン間の接続に等価な図を示します。スイッチ SW_A と SW_B は常にオンですが、データビットからデコードされた設定に応じて、スイッチ $SW(0)\sim SW(2^N-1)$ の内の 1 つが一度に 1 回オンすることができます。スイッチは理想的でないため、 $75\ \Omega$ のワイパー抵抗 (R_W) を持っています。ワイパー抵抗は電源電圧と温度の関数です。電源電圧が低いほど、温度が高いほど、ワイパー抵抗は大きくなります。出力抵抗の正確な予測が必要となるアプリケーションでは、ワイパー抵抗の動作に対する考慮が重要です。

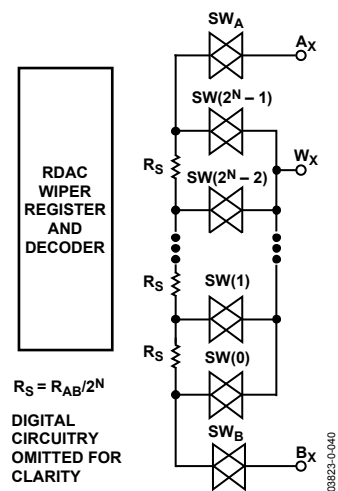


図 40. 等価 RDAC 構造

プログラマブルな可変抵抗器動作

W-B ピン間または W-A ピン間を可変抵抗として使う場合、未使用ピンは開放のまま、または W に接続しておくことができます。この動作が可変抵抗器モードと呼ばれます(図 41 参照)。抵抗偏差の範囲は $\pm 20\%$ です。

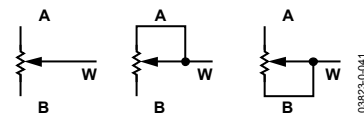


図 41. 可変抵抗器モードの構成

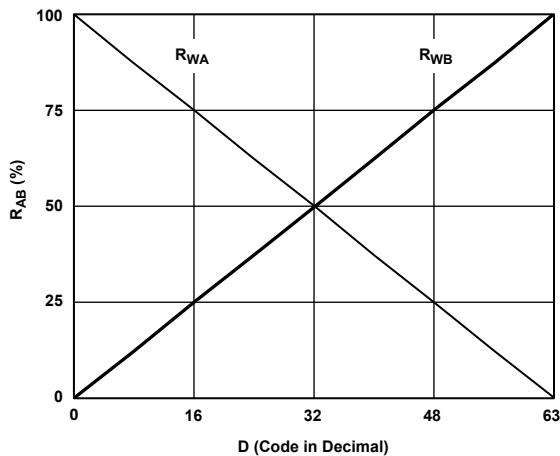
AD5251/AD5252 の公称抵抗は 64/256 個の接点を持ち、ワイパー・ピンと B ピン接点によりアクセスされます。RDAC レジスタ内の 6/8 ビット・データ・ワードがデコードされて、64/256 通りの設定の内の 1 つを選択します。ワイパーの最初の接続は、データ $0x00$ に対して B ピンから始まります。この B ピン接続は、公称抵抗に関係なくワイパー接触抵抗 $R_W = 75\ \Omega$ を持っています。2 番目の接続 (AD5251 10 k Ω 製品) は最初のタップ・ポイントであり、ここではデータ $0x01$ に対して $R_{WB} = 231\ \Omega$ ($R_{WB} = R_{AB}/64 + R_W = 156\ \Omega + 75\ \Omega$) になり、以下同様です。LSB データ値の各増加により、ワイパーは抵抗ラダーを上を移動し、最後のタップ・ポイント $R_{WB} = 9893\ \Omega$ に到達するまで移動します。RDAC 回路の簡略化した図については図 40 を参照してください。

デジタル的にプログラムした W と B の間の出力抵抗を決定する一般式は、次のようになります。

$$\text{AD5251: } R_{WB}(D) = (D/64) \times R_{AB} + 75\ \Omega \quad (1)$$

$$\text{AD5252: } R_{WB}(D) = (D/256) \times R_{AB} + 75\ \Omega \quad (2)$$

ここで、 D は、RDAC ラッチにロードされるデータの 10 進数表示。 R_{AB} はピン間公称抵抗。

図 42.10 進数コード対 AD5251 $R_{WA}(D)$ および $R_{WB}(D)$

デジタル・ポテンシオメータは理想的でないため、 $75\ \Omega$ の有限ワイパー抵抗が存在し、デバイスをゼロスケールに設定すると、容易にこれを観測することができます。デバイスの形状と内部接続は精密なので、性能低下またはデバイスの破壊を防止するため、この状態でのWとBとの間の電流レベルが、合計抵抗 $1\ \text{k}\Omega$ に対しては連続 $\pm 5\ \text{mA}$ を、パルスに対しては $\pm 20\ \text{mA}$ を、それぞれ超えないように注意してください。AD5251 と AD5252 の最大 DC 電流をそれぞれ図 21 と 図 22 に示します。

機械的ポテンシオメータと同様に、ワイパーWとピンAとの間のRDAC抵抗も、デジタルに制御された相補的な抵抗 R_{WA} を発生します。これらのピンを使うときは、Bピンをオープンのままにしておくことができます。 R_{WA} は、最大値から開始されて、ラッチにロードされたデータの値が大きくなると、小さくなります(図 42参照)。この動作の一般式は次のようになります。

$$\text{AD5251: } R_{WA}(D) = [(64 - D)/64] \times R_{AB} + 75\ \Omega \quad (3)$$

$$\text{AD5252: } R_{WA}(D) = [(256 - D)/256] \times R_{AB} + 75\ \Omega \quad (4)$$

R_{AB} のチャンネル間での代表的な分布は、与えられたデバイス内で約 $\pm 0.15\%$ 以内で一致します。これに対して、デバイス間の一致はプロセス・ロットに依存して $\pm 20\%$ の偏差を持ちます。

プログラマブル・ポテンシオメータ動作

3本のピンすべてを使用する場合、動作はポテンシオメータ・モードと呼ばれ(図 43参照)、最も一般的な構成は分圧器動作です。

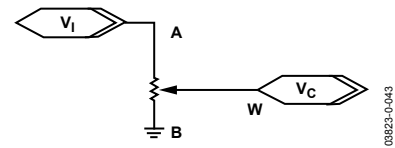


図 43.ポテンシオメータ・モード構成

ワイパー抵抗を無視すると、伝達関数は簡単です。

$$\text{AD5251: } V_W = \frac{D}{64} \times V_{AB} + V_B \quad (5)$$

$$\text{AD5252: } V_W = \frac{D}{256} \times V_{AB} + V_B \quad (6)$$

ワイパー抵抗の影響を含む正確な計算では、次の結果が得られます。

$$V_W(D) = \frac{\frac{D}{2^N} R_{AB} + R_W}{R_{AB} + 2R_W} V_A \quad (7)$$

ここで、 2^N はステップ数です。

ポテンシオメータ・モード動作は偏差が大きい可変抵抗器モード動作とは異なり、 R_W 項の誤差が比較的小さいほぼ比例関数の $D/2^N$ が得られます。したがって、偏差の影響は、ほとんど相殺されます。同様に、比例調節においても、温度係数の影響が $50\ \text{ppm}/^\circ\text{C}$ に減少します。ただし、 R_W が支配的になるコード値が小さい場合は除きます。

ポテンシオメータ・モード動作には、オペアンプ入力や帰還抵抗ネットワークなどの他のアプリケーション、およびその他の電圧スケーリング・アプリケーションが含まれます。A、W、Bの各ピンは $|V_A|$ 、 $|V_W|$ 、 $|V_B|$ が $V_{DD}-V_{SS}$ 間電圧を超えない限り、入力ピンまたは出力ピンとして機能することができます。

アプリケーション情報

LCDパネルの V_{COM} 調整

大型の LCD パネルでは、通常 6 V～8 V を中心とした ± 1 V 振幅で小さいステップで調整できる V_{COM} 電圧が必要です。次の例では、調整ウィンドウが小さく、任意のレベルを中心とできる一般的な DAC アプリケーションを示します。高電圧高分解能の DAC を使用できますが、AD5251 や AD5252 のようなレベル・シフト付き低電圧デジタル・ポテンシオメータを使う方が、はるかにコストパフォーマンスが優れています。

V_{COM} 電圧条件が $6\text{ V} \pm 1\text{ V}$ で $\pm 20\text{ mV}$ のステップ調整とします (図 44 参照)。AD5252 はオペアンプ・ゲインを持つ分圧器モードに構成することができます。AD5252 で $\pm 20\%$ 偏差を考慮すると、この回路は最悪ケース 5 V～7 V で 8 mV/ステップの調整をすることができます。

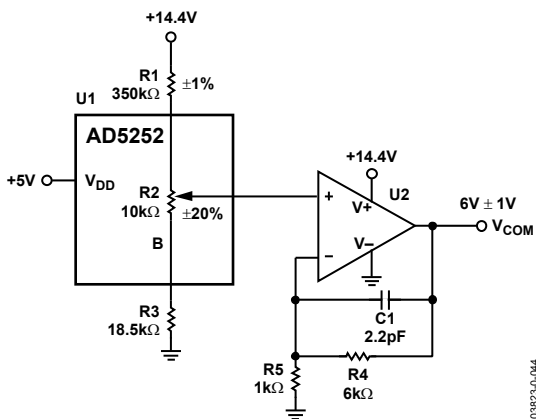


図 44. $6\text{ V} \pm 1\text{ V}$ アプリケーションでの 5 V デジタル・ポテンシオメータ AD5251 の応用

電流検出アンプ

AD5251/AD5252 は 2 チャンネル、同期更新、チャンネル間抵抗一致特性を持つため、LED 輝度制御のような電流検出アプリケーションに適しています。図 45 の回路で、RDAC1 と RDAC3 を同じ値に設定すると、次のように表すことができます。

$$V_o = \frac{D}{2^N - D} (V_2 - V_1) + V_{REF} \quad (8)$$

したがって、 V_1 と V_2 の間に接続された検出抵抗を流れる電流を求めることができます。

この回路は、様々な感度を必要とするシステムで使用するように設定することができます。オペアンプが非常に小さいオフセットと小さいバイアス電流を持つ場合、主な誤差原因はデジタル・ポテンシオメータのチャンネル間抵抗の不一致 (0.15% typ) になります。この回路の精度は約 9 ビットであり、LED 制御やその他の汎用アプリケーションにとっては十分な精度です。

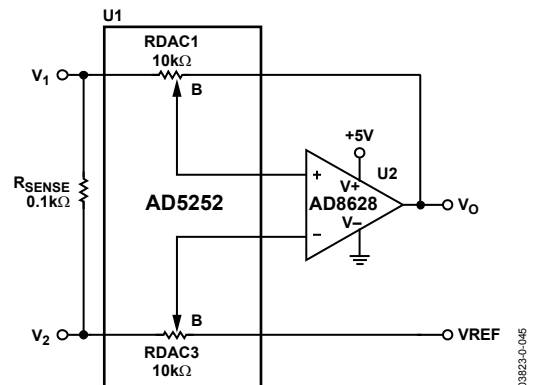


図 45. 電流検出アンプ

調整可能な高電力 LED ドライバ

図 46 に、3 個または 4 個の高電力 LED を駆動できる回路を示します。ADP1610 は、調整可能なブースト・レギュレータで、LED に対して十分なヘッドルームと電流を提供します。FB ピン電圧が 1.2 V であるため、デジタル・ポテンシオメータ AD5252 とオペアンプは検出と帰還電圧を制御する、平均ゲイン 12 の帰還回路を構成します。したがって、AD5252 の設定に応じて、 R_{SET} の両端の電圧は 0.1 V を中心にレギュレーションされます。調整可能な LED 電流は、

$$I_{LED} = \frac{V_{R_{SET}}}{R_{SET}} \quad (9)$$

消費電力を節約するため R_{SET} は十分小さい必要がありますが、最大 LED 電流を制限するためには十分大きい必要があります。 R_3 は AD5252 と並列接続して使用し、LED 電流を実現可能な範囲に制限する必要があります。

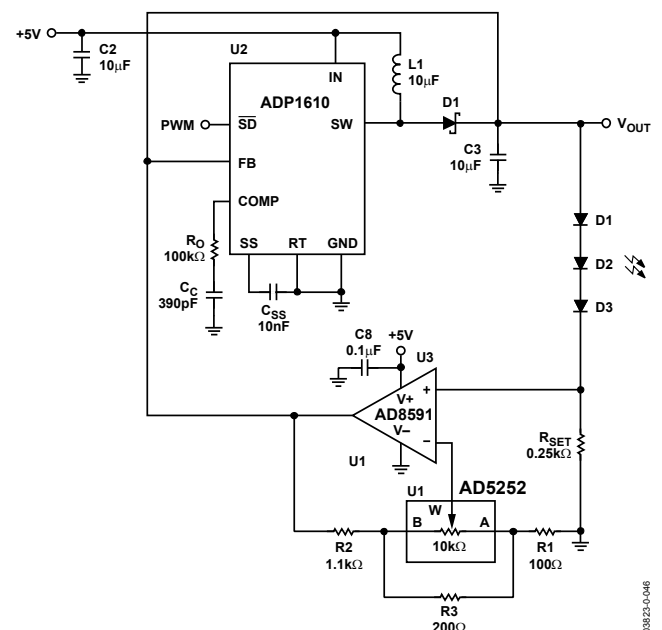


図 46. 調整可能な高電力 LED ドライバ

外形寸法

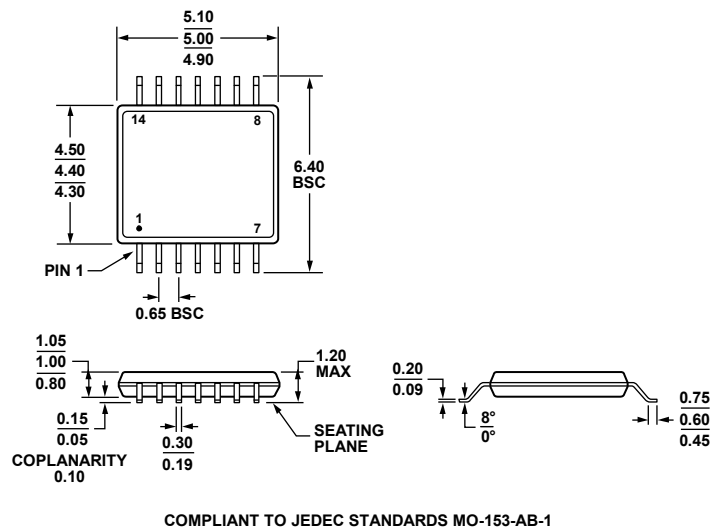


図47.14 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-14)
寸法: mm

オーダー・ガイド

Model ¹	Step	R _{AB} (kΩ)	Temperature Range	Package Description	Package Option	Ordering Quantity
AD5251BRU1	64	1	-40°C to +85°C	14-Lead TSSOP	RU-14	96
AD5251BRU1-RL7	64	1	-40°C to +85°C	14-Lead TSSOP	RU-14	1,000
AD5251BRUZ1 ²	64	1	-40°C to +85°C	14-Lead TSSOP	RU-14	96
AD5251BRU10	64	10	-40°C to +85°C	14-Lead TSSOP	RU-14	96
AD5251BRU10-RL7	64	10	-40°C to +85°C	14-Lead TSSOP	RU-14	1,000
AD5251BRUZ10 ²	64	10	-40°C to +85°C	14-Lead TSSOP	RU-14	96
AD5251BRU50	64	50	-40°C to +85°C	14-Lead TSSOP	RU-14	96
AD5251BRU50-RL7	64	50	-40°C to +85°C	14-Lead TSSOP	RU-14	1,000
AD5251BRUZ50 ²	64	50	-40°C to +85°C	14-Lead TSSOP	RU-14	96
AD5251BRU100	64	100	-40°C to +85°C	14-Lead TSSOP	RU-14	96
AD5251BRU100-RL7	64	100	-40°C to +85°C	14-Lead TSSOP	RU-14	1,000
AD5251BRUZ100 ²	64	100	-40°C to +85°C	14-Lead TSSOP	RU-14	96
AD5251EVAL	64	10		Evaluation Board		1
AD5252BRU1	256	1	-40°C to +85°C	14-Lead TSSOP	RU-14	96
AD5252BRU1-RL7	256	1	-40°C to +85°C	14-Lead TSSOP	RU-14	1,000
AD5252BRUZ1 ²	256	1	-40°C to +85°C	14-Lead TSSOP	RU-14	96
AD5252BRUZ1-RL7 ²	256	1	-40°C to +85°C	14-Lead TSSOP	RU-14	1,000
AD5252BRU10	256	10	-40°C to +85°C	14-Lead TSSOP	RU-14	96
AD5252BRU10-RL7	256	10	-40°C to +85°C	14-Lead TSSOP	RU-14	1,000
AD5252BRUZ10 ²	256	10	-40°C to +85°C	14-Lead TSSOP	RU-14	96
AD5252BRUZ10-RL7 ²	256	10	-40°C to +85°C	14-Lead TSSOP	RU-14	1,000
AD5252BRU50	256	50	-40°C to +85°C	14-Lead TSSOP	RU-14	96
AD5252BRU50-RL7	256	50	-40°C to +85°C	14-Lead TSSOP	RU-14	1,000
AD5252BRUZ50 ²	256	50	-40°C to +85°C	14-Lead TSSOP	RU-14	96
AD5252BRUZ50-RL7 ²	256	50	-40°C to +85°C	14-Lead TSSOP	RU-14	1,000
AD5252BRU100	256	100	-40°C to +85°C	14-Lead TSSOP	RU-14	96
AD5252BRU100-RL7	256	100	-40°C to +85°C	14-Lead TSSOP	RU-14	1,000
AD5252BRUZ100 ²	256	100	-40°C to +85°C	14-Lead TSSOP	RU-14	96
AD5252BRUZ100-RL7 ²	256	100	-40°C to +85°C	14-Lead TSSOP	RU-14	1,000
EVAL-AD5252EBZ ²	256	10		Evaluation Board		1

¹ パッケージ・マーキングの1行目は製品番号です。2行目はB1 = 1 kΩとB10 = 10 kΩなどのブランド情報です。鉛フリー製品には“#”マーキングもあります。3行目はデータ・コードYYWWです。

² Z = RoHS 準拠製品。

ライセンスを受けたアナログ・デバイスまたはサブライセンスを受けた関連会社の1つからI²C部品を購入すると、Phillips社の制定するI²C標準仕様にシステムが準拠している場合、I²Cシステム内でこれらのデバイスを使うためのPhillips社のI²C特許権のもとにライセンスが購入者に移転されます。