

AD5220

特長

- 128ポジション
- ポテンシオメータの置き換え
- 10 k 、 50 k 、 100 k
- 非常に小さい消費電力：40 μ A (Max)
- インクリメント/デクリメント・カウント制御

アプリケーション

- 機械的なポテンシオメータの置き換え
- リモート・インクリメンタル調整アプリケーション
- 計装機器：ゲイン、オフセット調整
- プログラマブル電圧/電流変換
- プログラマブルフィルタ、遅延線、時定数
- ライン・インピーダンス整合
- 電源調整

概要

AD5220は、デジタル的に制御される1チャンネル128ポジション可変抵抗 (VR) デバイスを提供します。このデバイスは、ポテンシオメータまたは可変抵抗と同じ電気的な調整機能を実行します。これらの製品は、計装装置やテスト装置の押しボタン・アプリケーション用に最適化されています。広範囲な端子間抵抗値が選択できるため、帯域幅または消費電力について広範囲な選択が可能です。

AD5220には、デジタル的に制御されたアップ/ダウン・カウンタにより決定される点に固定抵抗値を持つタップの摺動接触による固定抵抗が内蔵されています。摺動子と固定抵抗の片端の間の抵抗が、両端間の抵抗値をポジション数で割った値に等しい一定の抵抗ステップ・サイズを与えます (例えば、 $R_{STEP} = 10\text{ k} / 128 = 78\text{ W}$)。A端子と摺動子の間、またはB端子と摺動子の間で、真の調整可能な抵抗値を与えます。A端子とB端子の間の固定抵抗10 k 、 50 k 、 または100 k の公称温度係数は、800 ppm/ です。

チップ・セレクトCS、カウントCLK、U/D方向コントロールの各入力が、可変抵抗ポジションを決定します。内部アップ/ダウン・カウンタを制御するこれらの入力は、機械的スイッチまたは押しボタン・スイッチ (またはその他の接点デバイス) により容易に発生することができます。立下がりエッジ検出のCLKピンには、外付けのデバウンス回路が必要です。これらの簡単なデジタル・インターフェースにより、フロント・パネル・インターフェースの設計でマイクロコントローラを不要にすることができます。

AD5220は表面実装 (SO-8) パッケージと8ピンのプラスチックDIPパッケージを使用しています。超小型モデルとして、薄型の μ SOICパッケージも用意されています。すべての製品は拡張工業用温度範囲 - 40 ~ + 85 で動作を保證しています。3線式のSPI互換インターフェース・アプリケーションについては、AD7376 / AD8400 / AD8402 / AD8403製品を参照してください。

機能ブロック図

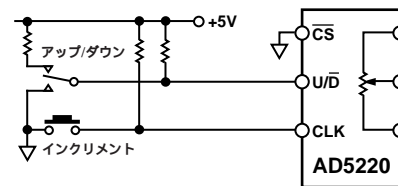
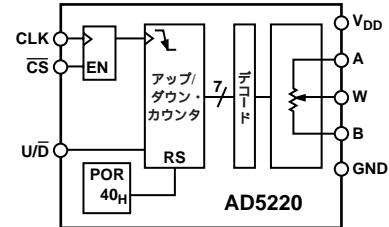


図1 . 代表的な押しボタン制御アプリケーション

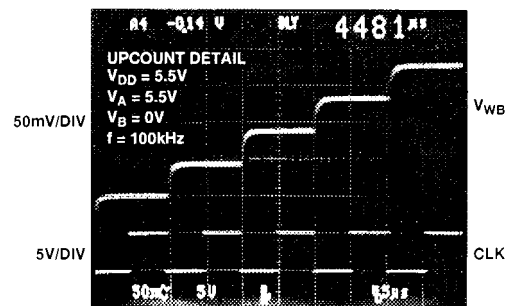


図2a . 階段状インクリメント出力

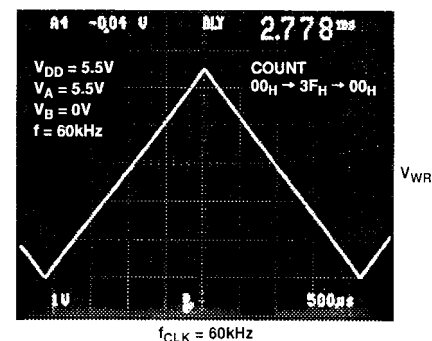


図2b . フル・スケール・アップ/ダウン・カウント

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第三者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD5220 仕様

電気的特性(特に指定のない限り、 $V_{DD} = +3V \pm 10\%$ または $+5V \pm 10\%$ 、 $V_A = +V_{DD}$ 、 $V_B = 0V$ 、 $-40 < T_A < +85$)

パラメータ	記号	条件	Min	Typ ¹	Max	単位
DC特性可変抵抗器モード仕様はすべてのVRに適用						
抵抗差動NL ²	R-DNL	R_{WB} 、 $V_A = NC$ 、 $R_{AB} = 10k$ R_{WB} 、 $V_A = NC$ 、 $R_{AB} = 10k$ or $100k$	-1	± 0.4	+1	LSB
抵抗非直線性 ²	R-INL	R_{WB} 、 $V_A = NC$ 、 $R_{AB} = 10k$ R_{WB} 、 $V_A = NC$ 、 $R_{AB} = 10k$ or $100k$	-1	± 0.5	+1	LSB
公称抵抗偏差	R	$T_A = +25$	-30		+30	%
抵抗温度係数	R_{AB}/T	$V_{AB} = V_{DD}$ 、 摺動子 = 非接続		800		ppm/
摺動子抵抗	R_W	$I_W = V_{DD}/R$ 、 $V_{DD} = 3V$ or $+5V$		40	100	
DC特性ポテンショメータ・デバイダ・モード仕様はすべてのVRに適用						
分解能	N		7			Bits
積分非直線性 ³	INL	$R_{AB} = 10k$ $R_{AB} = 50k$ 、 $100k$	-1	± 0.5	+1	LSB
微分非直線性誤差 ³	DNL	$R_{AB} = 10k$ $R_{AB} = 50k$ 、 $100k$	-1	± 0.4	+1	LSB
電圧デバイダ温度係数	V_W/T	Code = 40_H		20		ppm/
フル・スケール誤差	V_{WFSE}	Code = $7F_H$	-2	-0.5	0	LSB
ゼロ・スケール誤差	V_{WZSE}	Code = 00_H	0	+0.5	+1	LSB
抵抗端子						
電圧範囲 ⁴	V_A 、 V_B 、 V_W		0		V_{DD}	V
容量 ⁵ A、B	C_A 、 C_B	$f = 1MHz$ 、GNDに対して測定、Code = 40_H		10		pF
容量 ⁵ W	C_W	$f = 1MHz$ 、GNDに対して測定、Code = 40_H		48		pF
コモンモード・リーク	I_{CM}	$V_A = V_B = V_W$		7.5		nA
デジタル入力と出力						
入力ロジックHigh	V_{IH}	$V_{DD} = +5V/+3V$	2.4/2.1			V
入力ロジックLow	V_{IL}	$V_{DD} = +5V/+3V$			0.8/0.6	V
入力電流	I_{IL}	$V_{IN} = 0V$ or $+5V$			± 1	μA
入力容量 ⁵	C_{IL}			5		pF
電源						
電源範囲	V_{DD}		2.7		5.5	V
電源電流	I_{DD}	$V_{IH} = +5V$ or $V_{IL} = 0V$ 、 $V_{DD} = +5V$		15	40	μA
消費電力 ⁶	P_{DISS}	$V_{IH} = +5V$ or $V_{IL} = 0V$ 、 $V_{DD} = +5V$		75	200	μW
電源感受性	PSS			0.004	0.015	%/ %
ダイナミック特性^{5, 7, 8}						
-3dB帯域幅	BW_10K BW_50K BW_100K	$R_{AB} = 10k$ 、Code = 40_H $R_{AB} = 50k$ 、Code = 40_H $R_{AB} = 100k$ 、Code = 40_H		650 142 69		kHz
合計高調波歪み	THD _W	$V_A = 1V$ rms + $2.5V$ dc、 $V_B = 2.5V$ dc、 $f = 1kHz$		0.002		%
V_W 整定時間	t_s	$V_A = V_{DD}$ 、 $V_B = 0V$ 、最終値の50%、10K/50K/100K		0.6/3/6		μS
抵抗ノイズ電圧	e_{NWB}	$R_{WB} = 5k$ 、 $f = 1kHz$		14		nV/\sqrt{Hz}
インターフェース・タイミング特性は全製品に適用^{5, 9}						
入力クロック・パルス幅	t_{CH} 、 t_{CL}	クロック・レベルHighまたはLow	25			ns
CSからCLKまでのセットアップ時間	t_{CSS}		20			ns
CS立上がりからクロックまでのホールド時間	t_{CSH}		20			ns
U/Dからクロック立下がりまでのセットアップ時間	t_{UDS}		10			ns

注

¹ Typ値は、 $+25$ と $V_{DD} = +5V$ での平均測定値を表します。

² 抵抗ポジション非直線性誤差R-INLは、最大抵抗摺動子ポジションと最小抵抗摺動子ポジションの間で測定した理想値からの偏差です。R-DNLは、連続するタップ・ポジション間における理想値からの相対的ステップ変化を表します。製品の単調性は保証されています。テスト回路は図29参照。

³ INLとDNLは、電圧出力D/Aコンバータと同じようにポテンショメータ・デバイダとして構成されたRDACにより V_W で測定。 $V_A = V_{DD}$ かつ $V_B = 0V$ 。 ± 1 LSB最大のDNL仕様規定値は、単調性動作条件で保証。テスト回路は図28参照。

⁴ 抵抗端子A、B、Wには、相互間で極性に関する制約はありません。

⁵ デザインにより保証し、出荷テストを行います。

⁶ P_{DISS} は($I_{DD} \times V_{DD}$)から計算されます。CMOSロジック・レベル入力は最小消費電力になります。

⁷ 帯域幅、ノイズ、整定時間は、選択された端子抵抗値に依存します。最小のR値により、最短の整定時間と最も広い帯域幅が得られます。R値を最大にすると、全体の消費電力が最小になります。

⁸ すべてのダイナミック特性で $V_{DD} = +5V$ を使っています。

⁹ 測定値の位置についてはタイミング図を参照してください。すべての入力制御電圧は、 $t_r = t_f = 1ns$ (V_{DD} の10%から90%まで)で指定し、電圧レベル1.6Vからの時間で指定します。スイッチング特性は、 $V_{DD} = +3V$ または $+5V$ で測定。

仕様は予告なく変更されることがあります。

絶対最大定格*

(特に指定のない限り、 $T_A = +25$)

GND基準の V_{DD}	- 0.3 V、+ 7 V
GND基準の V_A 、 V_B 、 V_W	0 V、 V_{DD}
$A_X \sim B_X$ 、 $A_X \sim W_X$ 、 $B_X \sim W_X$	± 20 mA
GND基準のデジタル入力電圧	0 V、 $V_{DD} + 0.3$ V
動作温度範囲	- 40 ~ + 85
最大接合温度(T_J MAX)	+ 150
保存温度	- 65 ~ + 150
ピン温度(ハンダ処理、10 sec)	+ 300
パッケージ消費電力	(T_J max- T_A)/ J_A

熱抵抗 J_A

P-DIP(N-8)	103 /W
SOIC(SO-8)	158 /W
μ SOIC(RM-8)	206 /W

* 上記の絶対最大定格を超えるストレスを加えるとデバイスに永久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表 . 真理値表

\overline{CS}	CLK	U/\overline{D}	動作
L		H	端子Aに向かって摺動子インクリメント
L		L	端子Bに向かって摺動子デクリメント
H	X	X	摺動子ポジション固定

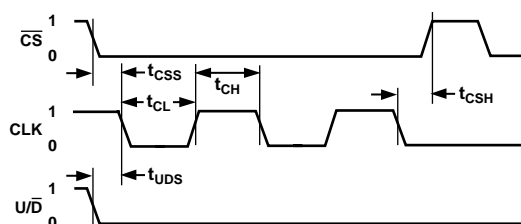


図3 . 詳細タイミング図

ピン配置



ピン機能説明

ピン番号	記号	説明
1	CLK	シリアル・クロック入力、立下がりエッジ検出
2	U/\overline{D}	アップ/ダウン方向のインクリメント制御
3	A1	端子A1
4	GND	グラウンド
5	W1	摺動端子
6	B1	端子B1
7	\overline{CS}	チップセレクト入力、アクティブLow
8	V_{DD}	正電源

オーダー・ガイド

モデル	k	温度範囲	パッケージ	パッケージ・オプション
AD5220BN10	10	- 40 ~ + 85	8ピン・プラスチックDIP	N-8
AD5220BR10	10	- 40 ~ + 85	8ピン(SOIC)	SO-8
AD5220BRM10	10	- 40 ~ + 85	8ピン μ SOIC	RM-8
AD5220BN50	50	- 40 ~ + 85	8ピン・プラスチックDIP	N-8
AD5220BR50	50	- 40 ~ + 85	8ピン(SOIC)	SO-8
AD5220BRM50	50	- 40 ~ + 85	8ピン μ SOIC	RM-8
AD5220BN100	100	- 40 ~ + 85	8ピン・プラスチックDIP	N-8
AD5220BR100	100	- 40 ~ + 85	8ピン(SOIC)	SO-8
AD5220BRM100	100	- 40 ~ + 85	8ピン μ SOIC	RM-8

注
AD5220のチップ・サイズは37 mil x 54 milで、1998平方ミル(0.938 mm x 1.372 mm、1.289平方ミリ)です。内蔵トランジスタ数は754です。特許番号5495245が適用されます。

注意

ESD(静電放電)の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されことなく放電されることもあります。このAD5220には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。



AD5220 代表的な性能特性

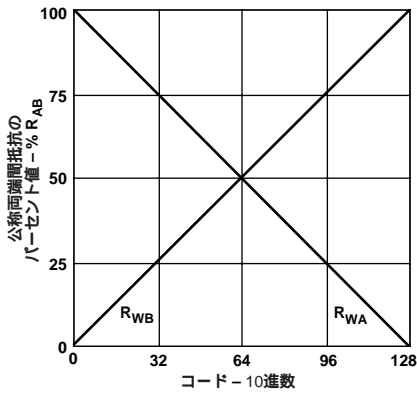


図4. 摺動子と端子間の抵抗とコードの関係

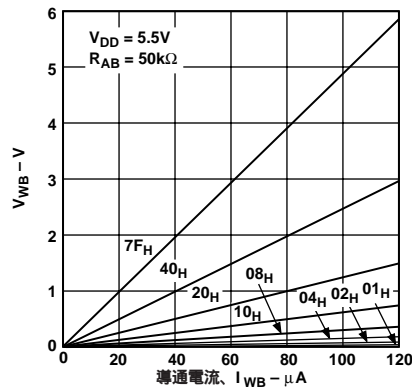


図5. 抵抗直線性と導通電流の関係

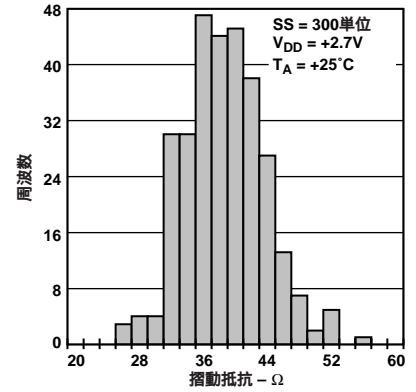


図6. 摺動子接触抵抗

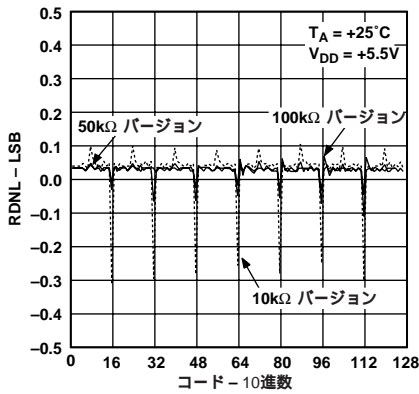


図7. R - DNL 相対抵抗ステップ・ポジション非直線性誤差とコードの関係

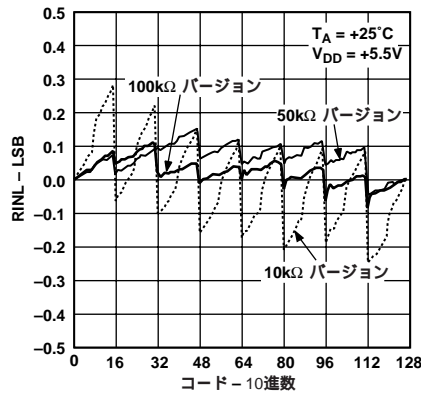


図8. R - INL 抵抗非直線性誤差と電源電圧の関係

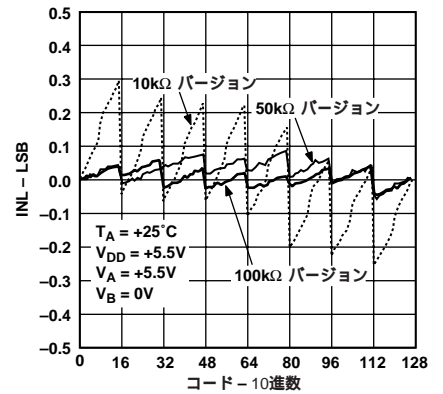


図9. ポテンショメータ・デバイダINL誤差とコードの関係

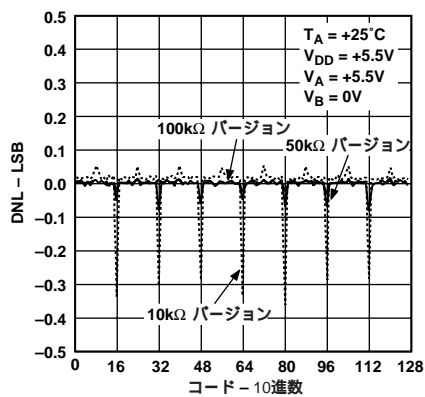


図10. ポテンショメータ・デバイダDNL誤差とコードの関係

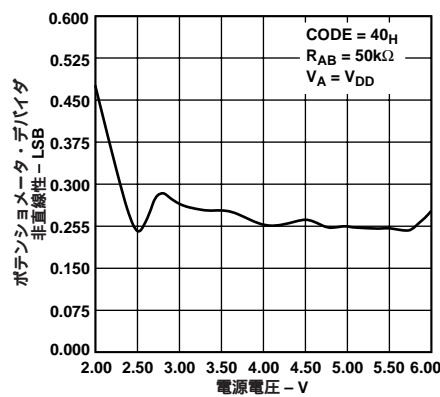


図11. ポテンショメータ・デバイダINL誤差と電源電圧の関係

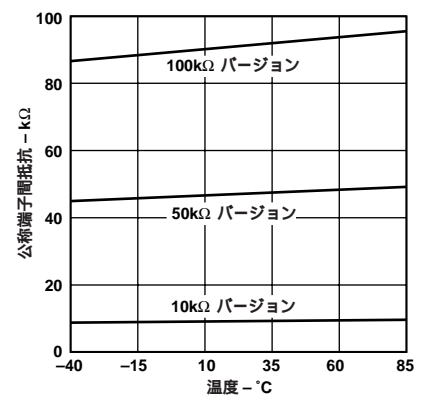


図12. 公称抵抗と温度の関係

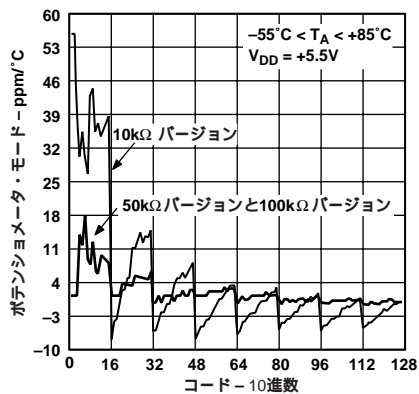


図13. V_{WB}/T ポテンシオメータ・モード温度係数(10k と50k)

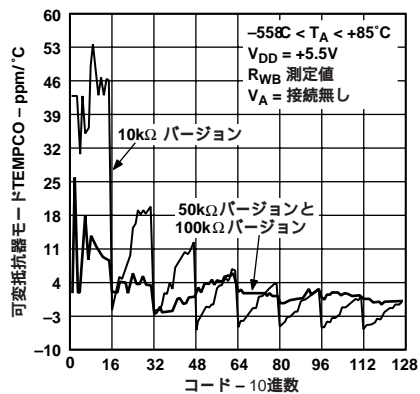


図14. R_{WB}/T 可変抵抗器

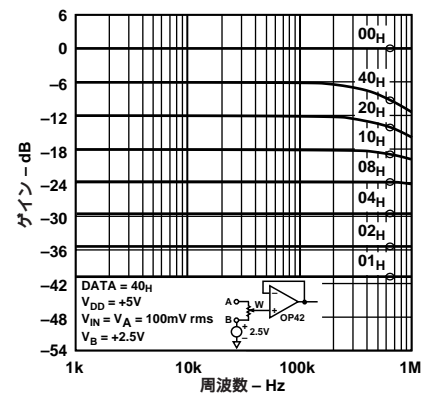


図15. 10k ゲインと周波数とコードの関係

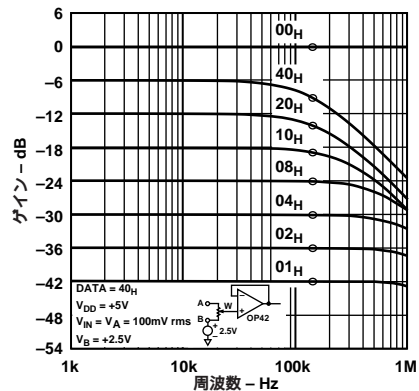


図16. 50k ゲインと周波数とコードの関係

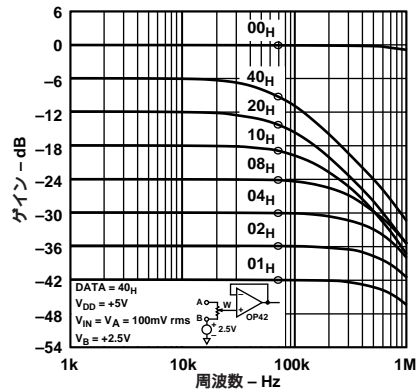


図17. 100k ゲインと周波数とコードの関係

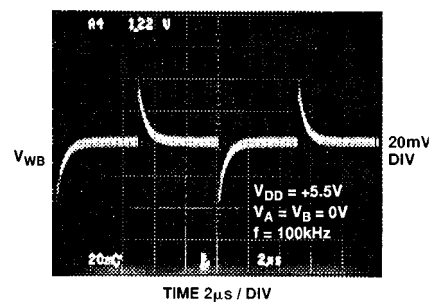


図18. デジタルフィードスルー

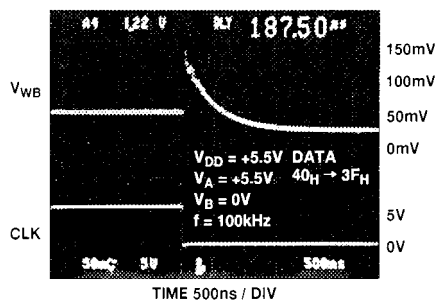


図19. ミッドスケール遷移グリッチ

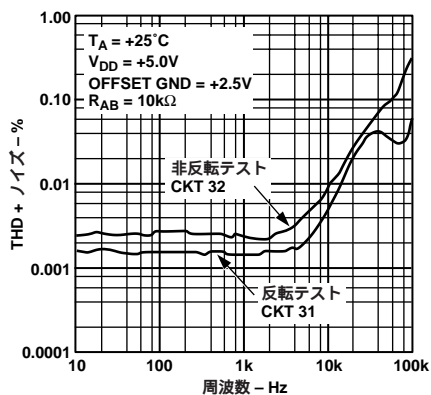


図20. 合計高調波歪み + ノイズと周波数の関係

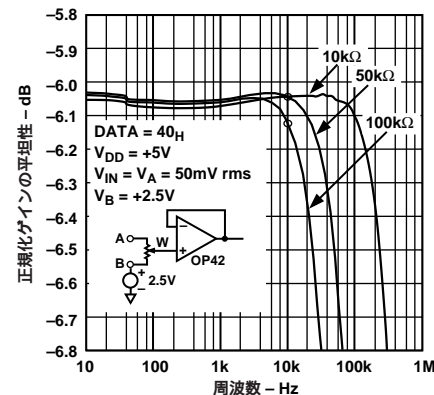


図21. 正規化ゲインの平坦性と周波数の関係

AD5220

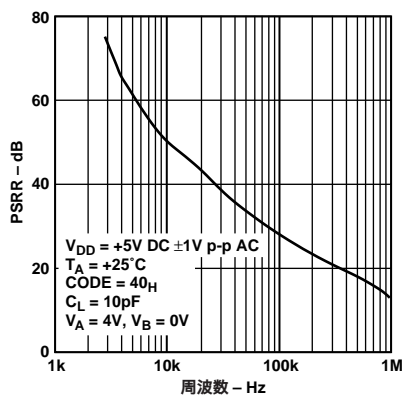


図22．電源ノイズ除去比と周波数の関係

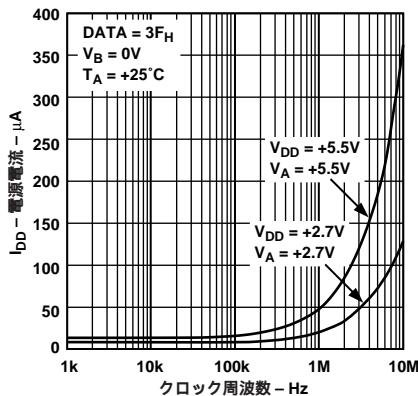


図23． I_{DD} 電源電流とクロック周波数の関係

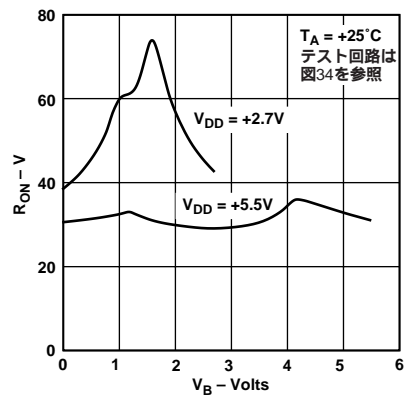


図24．インクリメント摺動子接触抵抗と V_B の関係

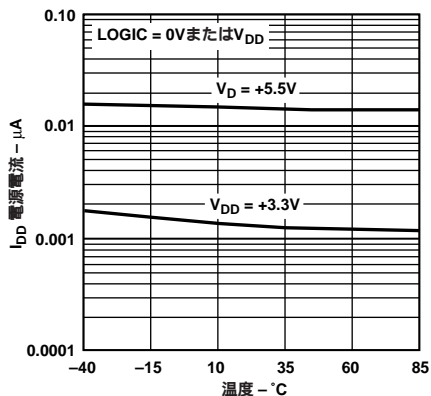


図25．電源電流と温度 I_{DD} の関係

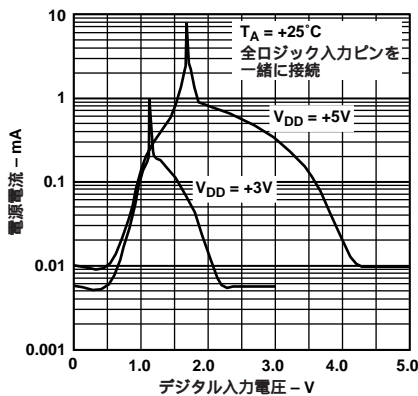


図26．電源電流と入力ロジック電圧の関係

パラメータのテスト回路 AD5220

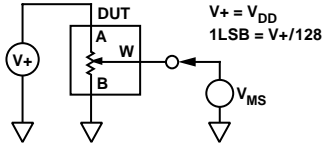


図27．ポテンショメータ・デバイダ非直線性誤差のテスト回路 (INL、DNL)

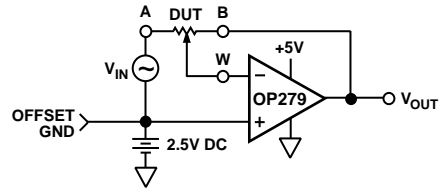


図31．反転プログラマブル・ゲイン・テスト回路

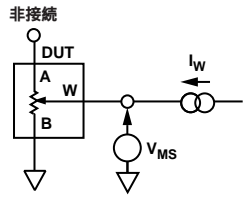


図28．抵抗ポジション非直線性誤差(可変抵抗器動作；R-INL、R-DNL)

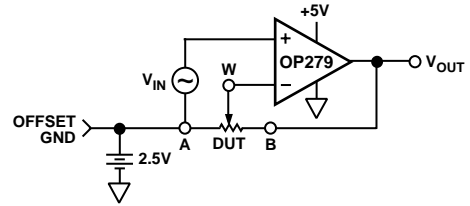


図32．非反転プログラマブル・ゲイン・テスト回路

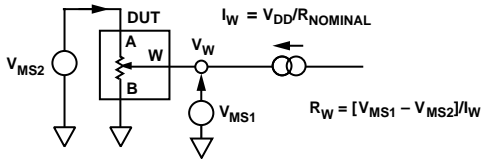


図29．摺動子抵抗テスト回路

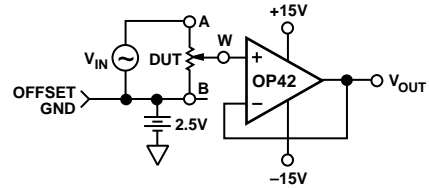


図33．ゲインと周波数の関係のテスト回路

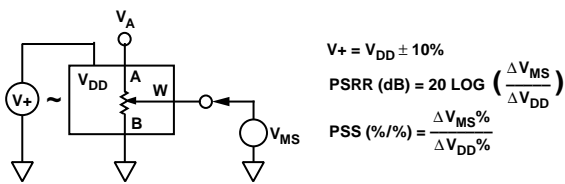


図30．電源感受性テスト回路(PSS、PSRR)

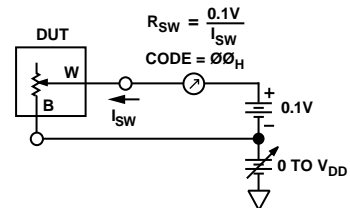


図34．インクリメントON抵抗のテスト回路

AD5220

動作説明

AD5220は、128ポジションのデジタル的に制御される可変抵抗 (VR) デバイスを提供します。VR設定の変更は、 \overline{CS} がアクティブLowの間にCLKピンを押すことにより行われます。インクリメントの向きは、U/ \overline{D} (アップ/ダウン)コントロール入力ピンにより制御されます。摺動子が抵抗の端(端子Aまたは端子B)に到達すると、CLKパルスを入力しても摺動子の設定は変化しなくなります。摺動子のポジションは摺動子デコード・ロジックにより直ちにデコードされ、摺動子抵抗が変更されます。押しボタン・スイッチを使ってカウント・シーケンスとカウント方向を制御するときは、適切なデバウンス回路が必要です。正確なタイミング条件を図3に示します。摺動子ポジションが中央に位置した状態でAD5220がパワーオンすると、 R_{WA} と R_{WB} の各抵抗はほぼ等しい値を示します。

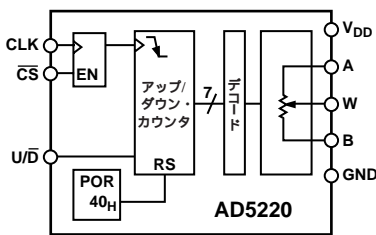


図35 . ブロック図

デジタル・インターフェース動作

AD5220には、3線式シリアル入力インターフェースが内蔵されています。3本の入力、クロック (CLK)、 \overline{CS} 、アップ/ダウン (U/ \overline{D})です。立下がりエッジ検出のCLK入力では、内部アップ/ダウン・レジスタに複数のパルスが入力されてしまうのを防止するためきれいなクロック変化が必要です(図35参照)。標準ロジック・ファミリーを使用することができます。製品評価用に機械的スイッチを使用する場合は、フリップフロップまたは他の適切な手段でデバウンス処理を行っておく必要があります。 \overline{CS} をアクティブLowにすると、U/ \overline{D} 制御ピンの状態に応じて、クロックは内部アップ/ダウン・カウンタのインクリメントまたはデクリメントを開始します。アップ/ダウン・カウンタ値(D)はシステム・パワーオン時に 40_H からカウントを開始します。各新しいCLKパルスが内部カウンタ値を1LSBずつインクリメントし、U/ \overline{D} ピンがロジックHighである限りフル・スケール値 $3F_H$ に到達するまで続けます。U/ \overline{D} ピンをロジックLowにすると、カウンタはカウント・ダウンを開始しコード 00_H (ゼロ・スケール)で停止します。摺動子が 00_H ポジションまたは $3F_H$ ポジションにある場合は、CLKピンにさらにクロック・パルスを入力しても無視されます。

すべてのデジタル入力(\overline{CS} 、U/ \overline{D} 、CLK)は、直列入力抵抗と並列のツェナーESD構造により保護されています(図36)。

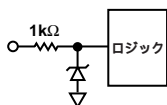


図36 . デジタル・ピンのESD保護等価回路

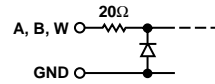


図37 . アナログ・ピンのESD保護等価回路

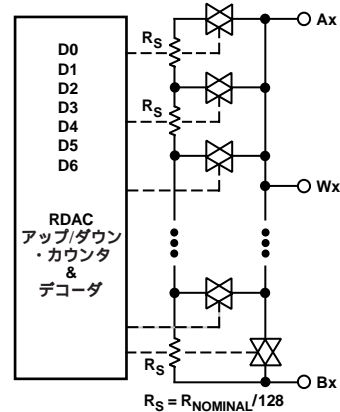


図38 . AD5220のRDAC等価回路

可変抵抗のプログラム

可変抵抗器動作

端子Aと端子Bの間のRDACの公称抵抗値は、10 k、50 k、100 k のものがあります。部品番号の後ろの3文字は、公称抵抗値を表しています。例えば、10 k = 10; 50 k = 50; 100 k = 100と表されます。VRの公称抵抗(R_{AB})は、128ポイントの接触点を持ち摺動端子に接続されています。さらに、B端子の接触点にこれに追加されます。パワーオン時の摺動子と端子Aまたは端子Bの間の抵抗は、ほぼ等しい値になります。CLKピンにクロックを入力すると、摺動子Wから端子Bに向かって抵抗が R_S 抵抗の1単位ずつ増加します(図38参照)。抵抗 R_{WB} は、クロック・ピンに入力されるパルス数により決定されます。内部抵抗の各セグメントは公称抵抗値 $R_S = R_{AB}/128$ を持ち、10 k のAD5220BN10製品の場合、この値は78 になります。直接接状態でのWとBの間の電流を最大値の5mAに制限して、内部スイッチ・コンタクトの性能低下または損傷を起こさないように注意して下さい。

RDACが置き換える機械的なポテンショメータと同様に、特性は全体として対称です(図38参照)。摺動子Wと端子Aの間の抵抗も、デジタル的に制御された抵抗 R_{WA} を構成します。これらの端子を使用する場合は、B端子は摺動子に接続しておく必要があります。

R_{BA} の製品間の分布(typ値)は、プロセス・ロットに依存し $\pm 30\%$ の偏差を持ちます。 R_{BA} の温度変化は、温度係数800 ppm/°C になります。

摺動子がB端子に近づくとき、0.5%/°C の温度係数を持つ摺動接触スイッチ抵抗の寄与分が大きくなるため、 R_{BA} の温度係数は大きくなります。

図14に、設定コードの関数としての摺動接触抵抗の影響を示します。スイッチ接触抵抗により影響を受けるもう1つの性能要因は、50 k パージョンまたは100 k パージョンと10 k との間の相対直線性誤差性能です。3つバージョンでは、同じスイッチ接触抵抗が使用されています。したがって、摺動子スイッチ抵抗の影響が最も小さい50 k デバイスと100 k デバイスの性能が、最善の直線性誤差を示しています(図7と図8参照)。

ポテンショメータ・デバイダのプログラム

電圧出力動作

デジタル・ポテンショメータは、端子に加えられた入力電圧に比例する出力電圧を簡単に発生することができます。例えば、A端子を+5Vに、B端子をグラウンドに、それぞれ接続すると、摺動子に電圧を出力することができ、この電圧は0Vから最大+5Vまで1LSBきざみの任意の値をとることができます。電圧の各LSBは端子Aと端子Bに加えられた電圧をポテンショメータ・デバイダの分解能である128ポジションで除算した値に等しくなります。端子Aと端子Bの間に加えられた入力電圧に対して、グラウンドを基準とする出力電圧を定める一般式は、次式で与えられます。

$$V_W(D) = D/128 \times V_{AB} + V_B \quad (1)$$

Dは、内部アップ/ダウン・カウンタ値を表します。

デバイダ・モードでのデジタル・ポテンショメータの動作は、温度に対してより正確な動作になります。ここで、出力電圧は内部抵抗の絶対値ではなく内部抵抗の比に依存し、そのためドリフトは20 ppm/ に改善されます。

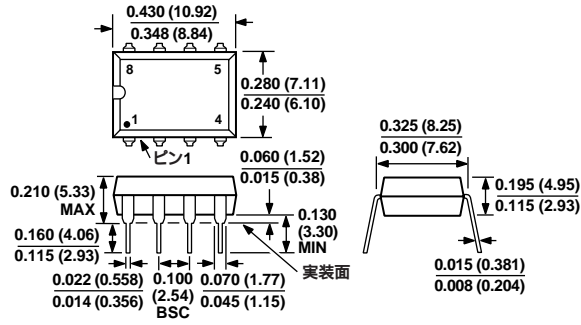
アプリケーション情報

立下がりエッジ検出のCLKピンには、デバウンス回路は内蔵されていません。この標準CMOSロジック入力は、高速な立下がりエッジに応答するため、スイッチ開閉タイプのデバイスを使用する際には適切なデバウンス回路を外部に接続する必要があります。CLK入力ピンでの立下がりロジック変化が1V/μsの最小スルー・レートを持つ場合に良い性能が得られます。ワン・ショット・マルチバイプレータ、シュミット・トリガ・ゲート、たすき掛けのフリップフロップ、または均一の立下がりエッジでCLKピンを駆動するためのRCフィルタなどのような広範囲の標準的な回路を使用することができます。このような方法により、デジタル・ポテンショメータが、スイッチ接点のバウンスに起因してカウント中に出力コードをスキップしてしまうことを防止することができます。

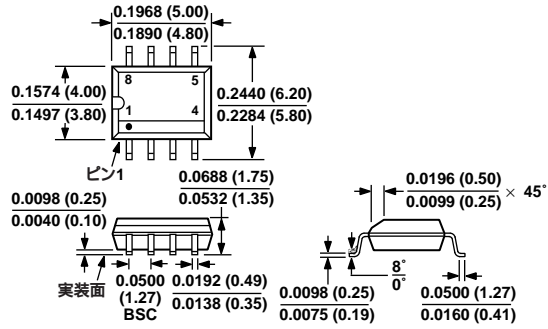
AD5220

外形寸法
サイズはインチと(mm)で示します。

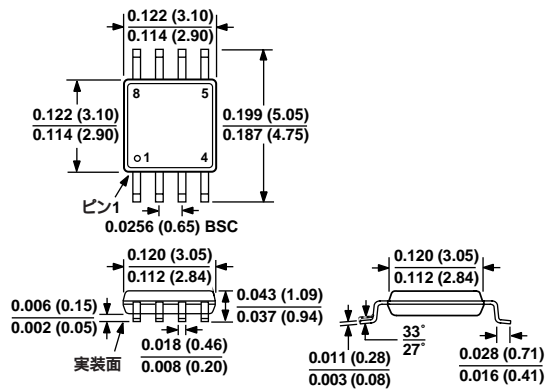
8ピン・プラスチックDIP (N - 8)



8ピンSOIC (SO - 8)



8ピンμSOIC (RM - 8)



AD5220

D1103-2.7-6/99.1A

PRINTED IN JAPAN

