

## AD5204/AD5206

### 特長

256ポジション

独立プログラマブル・マルチ・チャンネル

AD5204：4チャンネル

AD5206：6チャンネル

ポテンシオメータ置換部品

10kΩ、50kΩ、100kΩ

3線SPIコンパチブル・シリアル・データ入力

単電源：+2.7~5.5V、デュアル電源：±2.7V動作

パワー・オンによる中間スケール回帰動作

### アプリケーション

機械式ポテンシオメータの置換部品

計装：ゲイン、オフセット調整

プログラマブル電圧/電流変換

プログラマブル・フィルタ、遅延、時定数

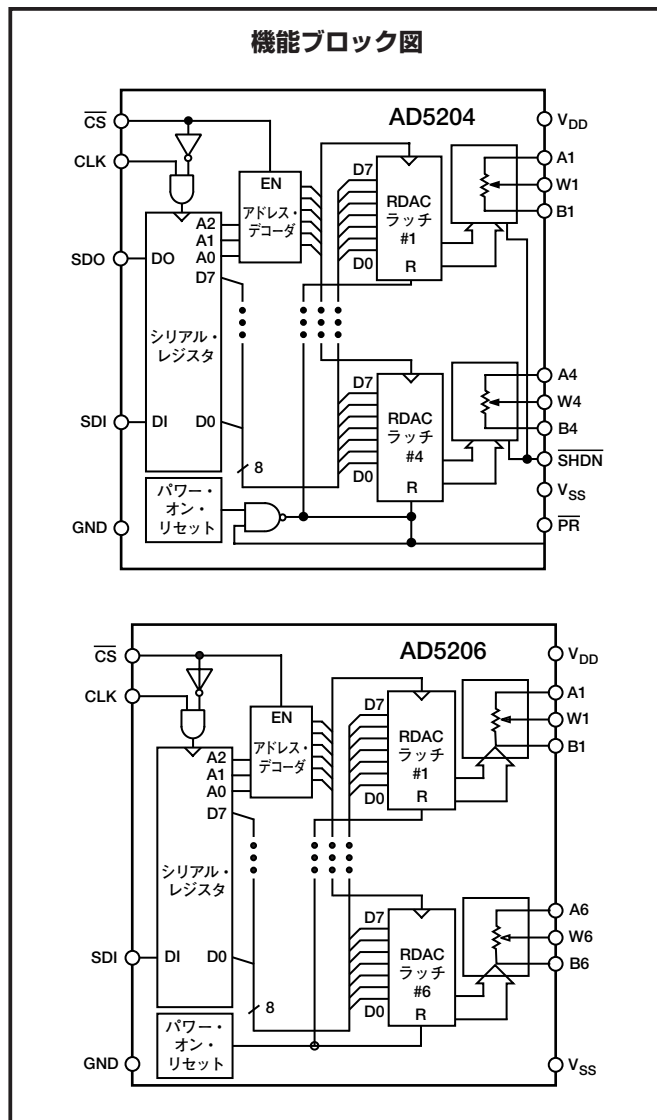
ライン・インピーダンス・マッチング

### 概要

AD5204/AD5206は、4/6チャンネル、256ポジション、デジタル制御の可変抵抗器 (VR) を構成し、ポテンシオメータや可変抵抗器と同様な電子的調整機能を提供します。AD5204/AD5206の各チャンネルは、ワイパー接点を持った固定抵抗器を備えており、SPIコンパチブルのシリアル入力レジスタに設定されたデジタル・コードの値に従って固定抵抗器にタップを設定します。ワイパーと固定抵抗器の両端の抵抗値は、VRラッチに転送されるデジタルコードに従って直線的に変化します。このように構成される可変抵抗器では、A端子とワイパーおよびB端子とワイパーの抵抗値を完全にプログラマブルな形で変化させることができます。A-B端子間の固定抵抗値は10kΩ、50kΩ、100kΩで、公称温度係数は700ppm/°Cとなっています。

両モデルとも、個別にプログラムされた抵抗値を保持するVRラッチが設けられています。VRラッチは、標準3線シリアル入力デジタル・インターフェースからの値をロードする内部シリアル/パラレル・シフトレジスタによって更新されます。シリアル入力レジスタにクロックに従って入力されるデータ・ワードは、11のデータ・ビットによって構成されます。 $\overline{CS}$  ストローブがロジック・ハイに戻ったときに最初の3ビットがデコードされて、残りの8ビットのデータ・ワードをロードするVRラッチを指定します。シリアル・レジスタの反対側の端にあるシリアル・データ出力ピン (SDO、AD5204のみ) により、マルチVRのアプリケーションでも、外部デコード・ロジック回

機能ブロック図



路を付加することなく、デージー・チェーンを簡単に構成することができます。

オプションのリセット ( $\overline{PR}$ ) は、VRラッチに80<sub>H</sub>を負荷することによって、AD5204のすべてのワイパーを強制的に中間スケールの位置に戻します。

AD5204/AD5206は、表面実装型 (SOL-24)、TSSOP-24および24ピンのプラスチックDIPパッケージで供給されます。拡張工業温度範囲の-40~+85°Cで動作が保証されています。

1、2および4チャンネルのデバイスについては、AD8400/AD8402/AD8403の資料をご覧ください。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

REV.0

# AD5204/AD5206 - 仕様

電気的特性 (特に指示のない限り、 $V_{DD}=+5V \pm 10\%$  または  $+3V \pm 10\%$ 、 $V_{SS}=0V$ 、 $V_A=+V_{DD}$ 、 $V_B=0V$ 、 $-40 < T_A < +85$ )

パラメータ	記号	条件	Min	Typ <sup>1</sup>	Max	単位
<b>すべてのVRに適用される加減抵抗器モードのDC特性</b>						
抵抗値差分NL <sup>2</sup>	R-DNL	$R_{WB}, V_A =$ 無接続	-1	$\pm 1/4$	+1	LSB
抵抗値非直線性誤差 <sup>2</sup>	R-INL	$R_{WB}, V_A =$ 無接続	-2	$\pm 1/2$	+2	LSB
公称抵抗値許容誤差 <sup>3</sup>	$R_{AB}$	$T_A = +25$	-30		+30	%
抵抗値温度係数	$R_{AB}/T$	$V_{AB}=V_{DD}$ , ワイパー無接続		700		ppm/
公称抵抗値マッチ	$R/R_{AB}$	CH1から2,3,4または5,6; $V_{AB}=V_{DD}$		0.25	1.5	%
ワイパー抵抗値	$R_W$	$I_W=1V/R, V_{DD}=+5V$		50	100	
<b>すべてのVRに適用されるポテンショメータ分圧器モードのDC特性</b>						
解像度	N		8			Bits
微分非直線性 <sup>4</sup>	DNL		-1	$\pm 1/4$	+1	LSB
積分非直線性 <sup>4</sup>	INL		-2	$\pm 1/2$	+2	LSB
分圧器温度係数	$V_W/T$	Code=40 <sub>H</sub>		15		ppm/
フルスケール誤差	$V_{WFSE}$	Code=7F <sub>H</sub>	-2	-1	0	LSB
ゼロスケール誤差	$V_{WZSE}$	Code=00 <sub>H</sub>	0	+1	+2	LSB
<b>抵抗器端子</b>						
電圧範囲 <sup>5</sup>	$V_A, V_B, V_W$		$V_{SS}$		$V_{DD}$	V
容量 <sup>6</sup> $A_x, B_x$	$C_A, C_B$	$f=1MHz$ , グランドに対して測定、Code=40 <sub>H</sub>		45		pF
容量 <sup>6</sup> $W_x$	$C_W$	$f=1MHz$ , グランドに対して測定、Code=40 <sub>H</sub>		60		pF
シャットダウン電流 <sup>7</sup>	$I_{A\_SD}$			0.01	5	$\mu A$
同相モード漏洩電流	$I_{CM}$	$V_A=V_B=V_W=0, V_{DD}=+2.7V, V_{SS}=-2.5V$		1		nA
<b>デジタル入/出力</b>						
入力ロジック・ハイ	$V_{IH}$	$V_{DD}=+5V/+3V$	2.4/2.1			V
入力ロジック・ロー	$V_{IL}$	$V_{DD}=+5V/+3V$			0.8/0.6	V
出力ロジック・ハイ	$V_{OH}$	+5Vに対し $R_{PULL-UP}=1k$	4.9			V
出力ロジック・ロー	$V_{OL}$	$I_{OL}=1.6mA, V_{LOGIC}=+5V$			0.4	V
入力電流	$I_{IL}$	$V_{IN}=0V$ または +5V			$\pm 1$	$\mu A$
入力容量 <sup>6</sup>	$C_{IL}$			5		pF
<b>電源</b>						
単電源入力範囲	$V_{DD}$ Range	$V_{SS}=0V$	2.7		5.5	V
デュアル電源入力範囲	$V_{DD/SS}$ Range		$\pm 2.3$		$\pm 2.7$	V
正極性電源電流	$I_{DD}$	$V_{IH}=+5V$ または $V_{IL}=0V$		12	60	$\mu A$
負極性電源電流	$I_{SS}$	$V_{SS}=-2.5V, V_{DD}=+2.7V$		12	60	$\mu A$
消費電力 <sup>8</sup>	$P_{DISS}$	$V_{IH}=+5V$ または $V_{IL}=0V$			0.3	mW
電源感度	$P_{SS}$	$V_{DD}=+5V \pm 10\%$		0.0002	0.005	%/%
<b>ダイナミック特性<sup>6,9</sup></b>						
- 3dB帯域幅	BW_10K BW_50K BW_100K	$R_{AB}=10k$ $R_{AB}=50k$ $R_{AB}=100k$		721 137 69		kHz
全高調波歪み	THD <sub>W</sub>	$V_A=1.414V_{rms}, V_B=0V DC, f=1kHz$		0.004		%
$V_W$ セトリング・タイム(10K/50K/100K)	$t_s$	$V_A=5V, V_B=0V, \pm 1LSB$ エラー帯域		2/9/18		$\mu s$
抵抗器ノイズ電圧	$e_{N\_WB}$	$R_{WB}=5k, f=1kHz, PR=0$		9		nV/ $\sqrt{Hz}$
<b>全体に適用されるインターフェース・タイミング特性<sup>6,10</sup></b>						
入力クロック・パルス幅	$t_{CH}, t_{CL}$	クロック・レベル・ハイまたはロー	20			ns
データ・セットアップ・タイム	$t_{DS}$		5			ns
データ・ホールド・タイム	$t_{DH}$		5			ns
CLK対SDO伝達遅延 <sup>11</sup>	$t_{PD}$	$R_L=2k, C_L<20pF$	1		150	ns
$\overline{CS}$ セットアップ・タイム	$t_{CSS}$		15			ns
$\overline{CS}$ ハイ・パルス幅	$t_{CSW}$		40			ns
リセット・パルス幅	$t_{RS}$		90			ns
CLK立下りから $\overline{CS}$ 立下りセットアップ	$t_{CSHO}$		0			ns
CLK立下りから $\overline{CS}$ 立上がりリセットアップ	$t_{CSHI}$		0			ns
$\overline{CS}$ 立上がりからクロック立上がりリセットアップ	$t_{CS1}$		10			ns

## 注

1. 代表値は +25 および  $V_{DD}=+5V$  の場合の平均的読み出し値を表します。

2. 抵抗器のポジション非直線性誤差R-INLは、最大抵抗および最低抵抗に対するワイパーのポジション間で計測した場合の理想値からの偏差を表します。R-DNLは、隣接するタップのポジション間における理想値からの相対的なステップの変化を計測したものです。各部分について単調性が保証されています。図23のテスト回路をご覧ください。  $V_{DD}=+3V$  または  $V_{DD}=+5V$  の両方に対して  $I_W=V_{DD}/R$  となります。

3.  $V_{AB} = V_{DD}$ , ワイパー ( $V_w$ ) = 無接続。
4. INLおよびDNLは、RDACを電圧出力D/Aコンバータのようなポテンシオメータ分圧器として設定し、 $V_w$ で測定したものです。 $V_A = V_{DD}$ および $V_B = 0V$ です。DNLの仕様の最大 $\pm 1$ LSBの誤差は、保証された単調性のある動作条件です。図22のテスト回路をご覧ください。
5. 抵抗器の端子A,B,Wは相互の関係において、極性の制約がありません。
6. 設計によって保証されていますが、製造テストには適用されません。
7. Ax端子における測定値です。すべてのAx端子は、シャットダウン・モードにおいて開放状態となります。
8.  $P_{DISS}$ は、( $I_{DD} \times V_{DD}$ )の算式により算出されたものです。CMOSのロジック・レベル入力を使用することにより、消費電力を最小限に抑えることができます。
9. ダイナミック特性は、すべて $V_{DD} = +5V$ です。
10. 測定値に対応する信号については、タイミング図を参照してください。すべての入力制御電圧は、 $t_r = t_f = 2.5ns$  (3Vの10~90%) に対して設定されており、1.5Vの電圧レベルから計時されたものです。スイッチング特性は、 $V_{DD} = +3V$ と $+5V$ の両方で測定されています。
11. 伝達遅延は、 $V_{DD}, R_L, C_L$ の値に依存します。「動作」の項をご覧ください。

仕様は予告なく変更されることがあります。

## 絶対最大定格\*

(特に注記のない限り、 $T_A = +25$  )

$V_{DD}$ ~ グランド	- 0.3V, + 7V
$V_{SS}$ ~ グランド	0V, - 7V
$V_{DD}$ ~ グランド	+ 7V
$V_A, V_B, V_W$ ~ グランド	$V_{SS}, V_{DD}$
Ax-Bx, Ax-Wx, Bx-Wx	$\pm 20mA$
デジタル入 / 出力電圧 ~ グランド	0V, + 7V
動作温度範囲	- 40 ~ + 85
最大接合温度 ( $T_JMAX$ )	+ 150
保管温度	- 65 ~ + 150

ピン温度 (ハンダ付け、10秒)

+ 300

パッケージ消費電力

( $T_JMAX - T_A$ ) /  $J_A$

熱抵抗  $J_A$

P-DIP(N-24)

63 /W

SOIC(SOL-24)

70 /W

TSSOP-24

143 /W

## 注記

\* 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。

## 注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。AD5204/AD5206は当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



# AD5204/AD5206

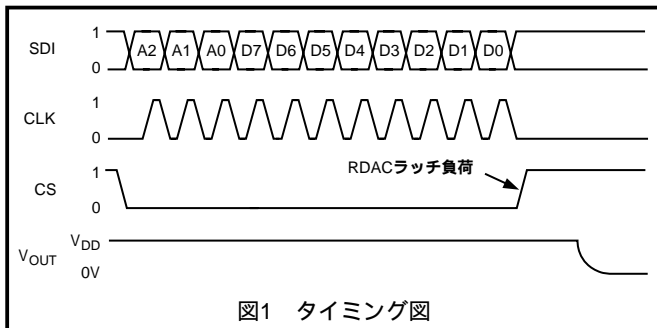


図1 タイミング図

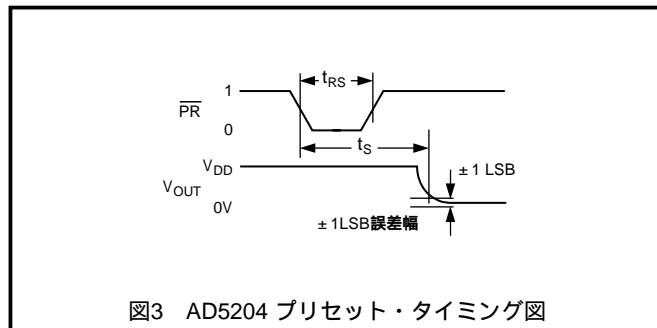


図3 AD5204 プリセット・タイミング図

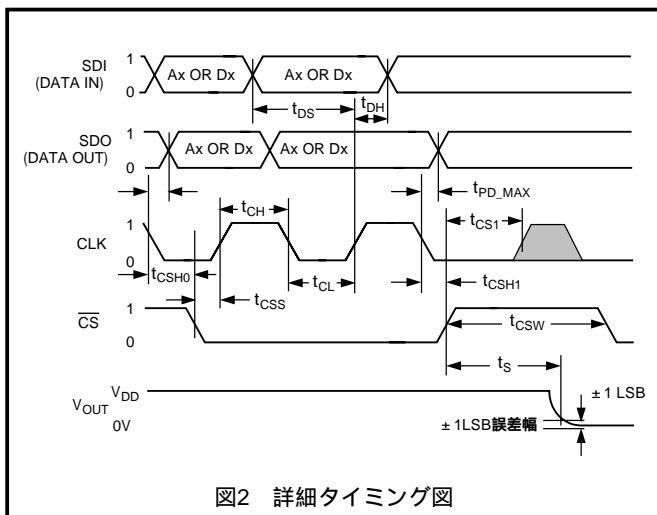


図2 詳細タイミング図

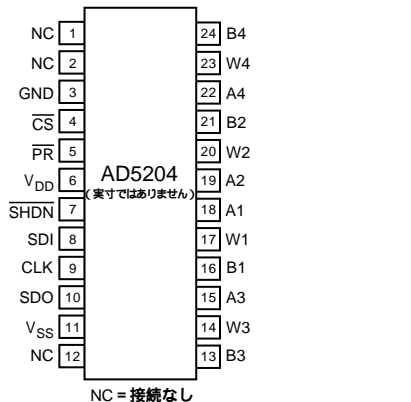
## オーダー・ガイド

型番	k	温度範囲	パッケージ	パッケージ・オプション
AD5204BN10	10	- 40 ~ + 85	24ピン Narrow Body (PDIP)	N-24
AD5204BR10	10	- 40 ~ + 85	24ピン Wide Body (SOIC)	R-24/SOL-24
AD5204BRU10	10	- 40 ~ + 85	24ピン Thin Shrink SOパッケージ (TSSOP)	RU-24
AD5204BN50	50	- 40 ~ + 85	24ピン Narrow Body (PDIP)	N-24
AD5204BR50	50	- 40 ~ + 85	24ピン Wide Body (SOIC)	R-24/SOL-24
AD5204BRU50	50	- 40 ~ + 85	24ピン Thin Shrink SOパッケージ (TSSOP)	RU-24
AD5204BN100	100	- 40 ~ + 85	24ピン Narrow Body (PDIP)	N-24
AD5204BR100	100	- 40 ~ + 85	24ピン Wide Body (SOIC)	R-24/SOL-24
AD5204BRU100	100	- 40 ~ + 85	24ピン Thin Shrink SOパッケージ (TSSOP)	RU-24
AD5206BN10	10	- 40 ~ + 85	24ピン Narrow Body (PDIP)	N-24
AD5206BR10	10	- 40 ~ + 85	24ピン Wide Body (SOIC)	R-24/SOL-24
AD5206BRU10	10	- 40 ~ + 85	24ピン Thin Shrink SOパッケージ (TSSOP)	RU-24
AD5206BN50	50	- 40 ~ + 85	24ピン Narrow Body (PDIP)	N-24
AD5206BR50	50	- 40 ~ + 85	24ピン Wide Body (SOIC)	R-24/SOL-24
AD5206BRU50	50	- 40 ~ + 85	24ピン Thin Shrink SOパッケージ (TSSOP)	RU-24
AD5206BN100	100	- 40 ~ + 85	24ピン Narrow Body (PDIP)	N-24
AD5206BR100	100	- 40 ~ + 85	24ピン Wide Body (SOIC)	R-24/SOL-24
AD5206BRU100	100	- 40 ~ + 85	24ピン Thin Shrink SOパッケージ (TSSOP)	RU-24

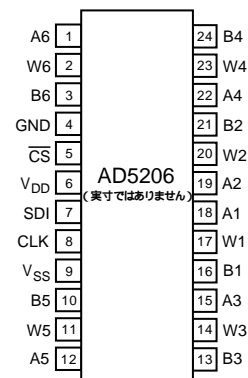
AD5204/AD5206は5,925個のトランジスタによって構成されています。ダイサイズは、92mil×114mil、10,488平方milです。

# AD5204/AD5206

## AD5204 ピン配置



## AD5206 ピン配置



## AD5204 ピン機能説明

ピン番号	記号	機能
1,2,12	NC	無接続。
3	GND	グラウンド。
4	$\overline{CS}$	アクティブ・ローのチップ・セレクト入力。 $\overline{CS}$ がハイに戻ると、シリアル入力レジスタにあるデータがアドレス・ビットに応じてデコードされ、ターゲットのRDACラッチへロードされます。
5	$\overline{PR}$	アクティブ・ローの中間スケールへのプリセット。RDACレジスタを80 <sub>H</sub> にセットします。
6	$V_{DD}$	正極性の電源。+3Vと+5Vの両方での動作が可能です。( $IV_{DD1} + IV_{SS1} < 5.5V$ )
7	$\overline{SHDN}$	アクティブ・ロー入力。端子Aは開放。可変抵抗#1~#4のシャットダウン制御。
8	SDI	シリアル・データ入力。MSBファーストで入力します。
9	CLK	シリアル・クロック入力。立上がりエッジによってトリガされます。
10	SDO	シリアル・データ出力。オープン・ドレイン・トランジスタにプルアップ抵抗が必要です。
11	$V_{SS}$	負極性の電源。0Vと-2.7Vの両方での動作が可能です。( $IV_{DD1} + IV_{SS1} < 5.5V$ )
13	B3	B端子RDAC#3。
14	W3	ワイパーRDAC#3。addr=010B
15	A3	A端子RDAC#3。
16	B1	B端子RDAC#1。
17	W1	ワイパーRDAC#1。addr=000B
18	A1	A端子RDAC#1。
19	A2	A端子RDAC#2。
20	W2	ワイパーRDAC#2。addr=001B。
21	B2	B端子RDAC#2。
22	A4	A端子RDAC#4。
23	W4	ワイパーRDAC#4。addr=011B
24	B4	B端子RDAC#4。

## AD5206 ピン機能説明

ピン番号	記号	機能
1	A6	A端子RDAC#6。
2	W6	ワイパーRDAC#6。addr=101B。
3	B6	B端子RDAC#6。
4	GND	グラウンド
5	$\overline{CS}$	アクティブ・ローのチップ・セレクト入力。 $\overline{CS}$ がハイに戻ると、シリアル入力レジスタにあるデータがアドレス・ビットに応じてデコードされ、ターゲットのRDACラッチへロードされます。
6	$V_{DD}$	正極性の電源。+3Vと+5Vの両方での動作が可能です。( $IV_{DD1} + IV_{SS1} < 5.5V$ )
7	SDI	シリアル・データ入力。MSBファーストで入力します。
8	CLK	シリアル・クロック入力。立上がりエッジによってトリガされます。
9	$V_{SS}$	負極性の電源。0Vと-2.7Vの両方での動作が可能です。( $IV_{DD1} + IV_{SS1} < 5.5V$ )
10	B5	B端子RDAC#5。
11	W5	ワイパーRDAC#5。addr=100B。
12	A5	A端子RDAC#5。
13	B3	B端子RDAC#3。
14	W3	ワイパーRDAC#3。addr=010B。
15	A3	A端子RDAC#3。
16	B1	B端子RDAC#1。
17	W1	ワイパーRDAC#1。addr=000B。
18	A1	A端子RDAC#1。
19	A2	A端子RDAC#2。
20	W2	ワイパーRDAC#2。addr=001B。
21	B2	B端子RDAC#2。
22	A4	A端子RDAC#4。
23	W4	ワイパーRDAC#4。addr=011B。
24	B4	B端子RDAC#4。

# AD5204/AD5206

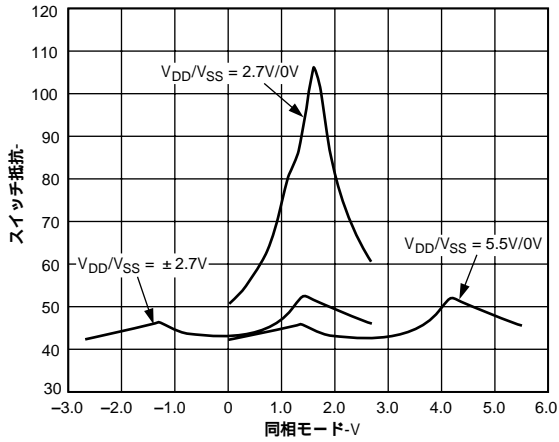


図4 インクリメンタル・ワイパーON抵抗対電圧

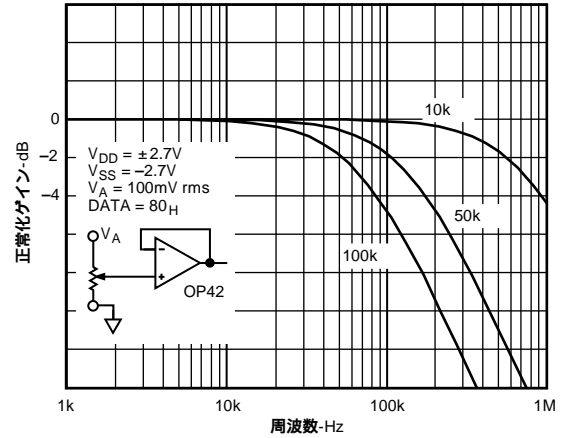


図7 -3dB帯域幅対端子抵抗、±2.7Vデュアル電源動作

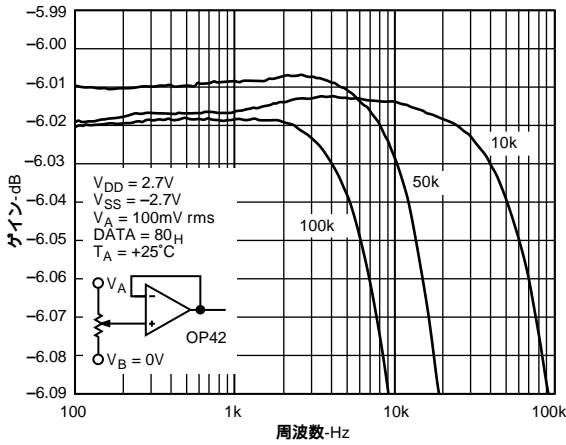


図5 ゲイン平坦性対周波数

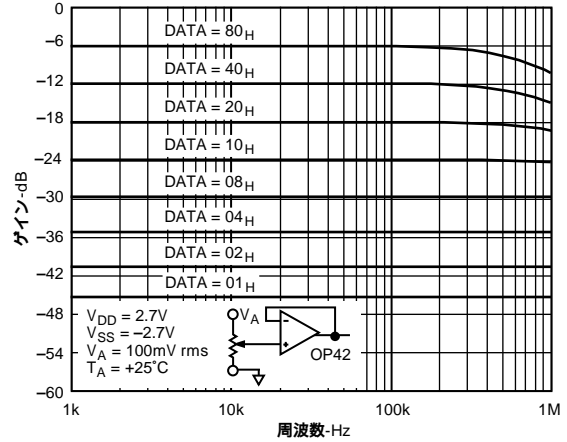


図8 帯域幅対コード、10Kバージョン

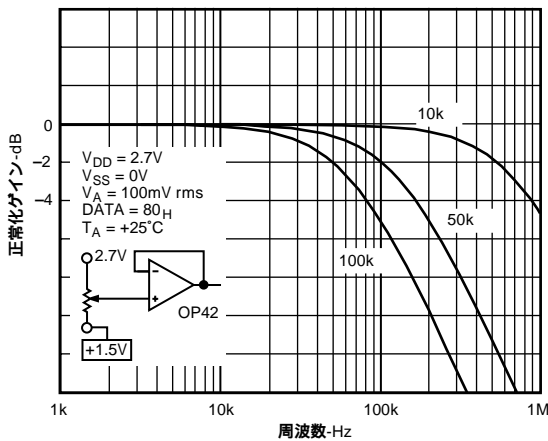


図6 -3dB帯域幅対端子抵抗、2.7V単電源動作

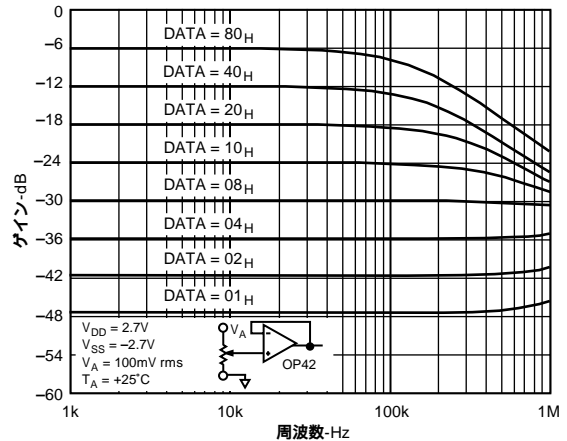


図9 帯域幅対コード、50Kバージョン

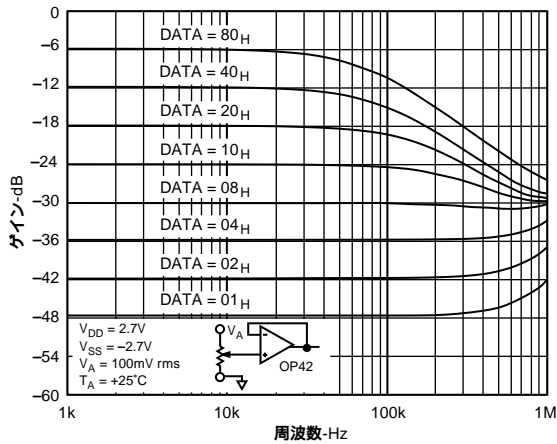


図10 帯域幅対コード、100Kバージョン

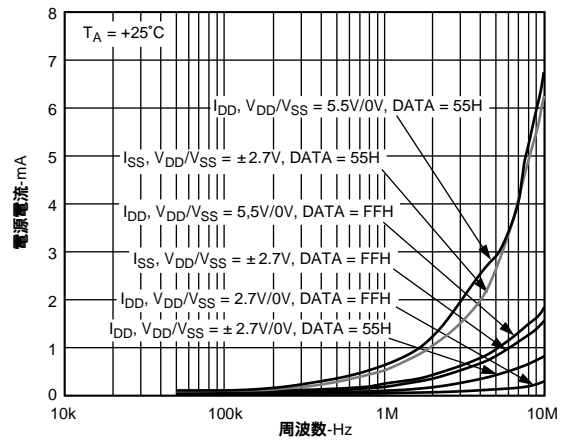


図13 電源電流対クロック周波数

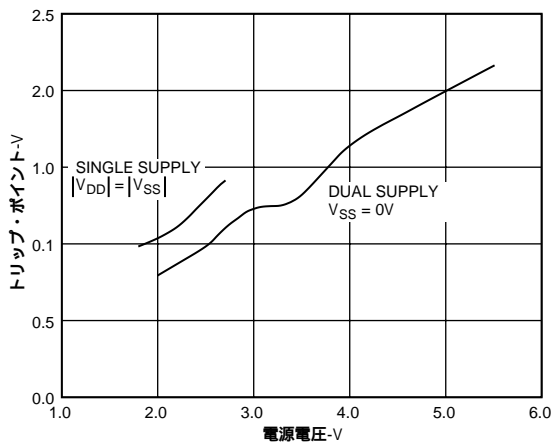


図11 デジタル入力トリップ・ポイント対電源電圧

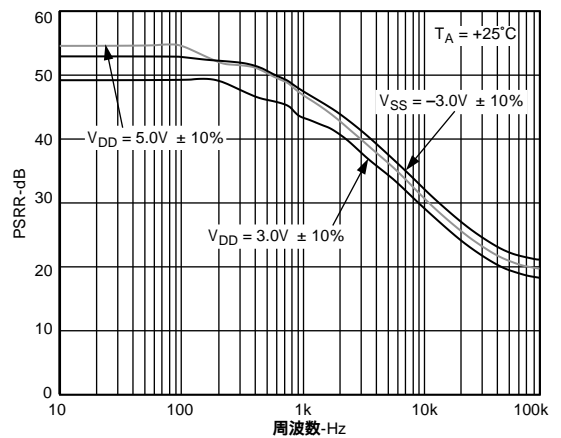


図14 電源変動除去対周波数

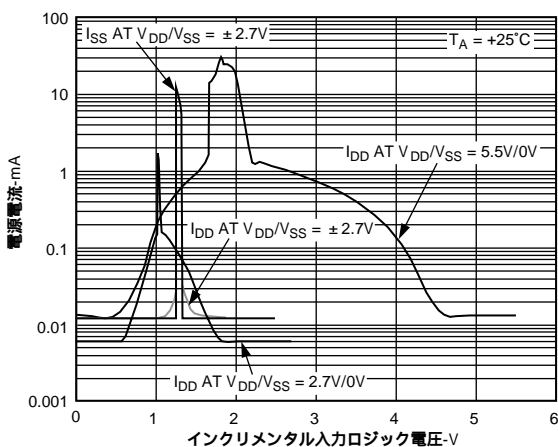


図12 電源電流対入力ロジック電圧

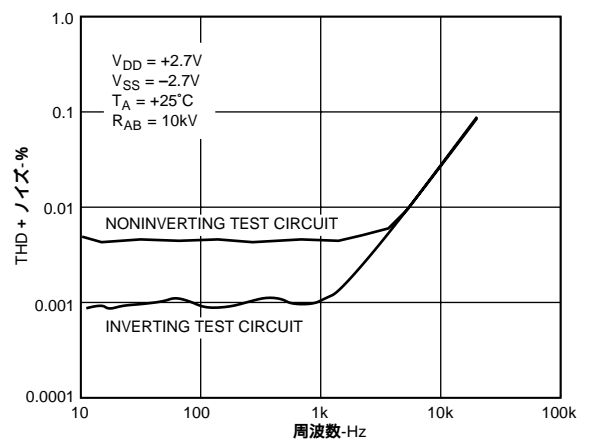


図15 全高調波歪みパルス・ノイズ対周波数

# AD5204/AD5206

## 動作

AD5204/AD5206は、4/6チャンネル、256ポジション、デジタル制御の可変抵抗器( VR )を提供します。プログラムされたVRの設定は、11ビット・シリアル・データ・ワードをSDK(シリアル・データ入力)ピンにクロック入力することで変更できます。データ・ワードのフォーマットは、MSBファーストの3つのアドレス・ビットと、これに続くMSBファーストの8ビットのデータビットという構成です。表Iに、シリアル・レジスタのデータ・ワードのフォーマットを示します。

表I. シリアル・データのワード・フォーマット

アドレス			データ								
B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	
A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0	
MSB		LSB	MSB							LSB	
2 <sup>10</sup>		2 <sup>8</sup>	2 <sup>7</sup>							2 <sup>0</sup>	

AD5204/AD5206でのシリアル・レジスタ・データのB7からB0までを受信するVRラッチのアドレス割り当てについては、表Vをご覧ください。VRの出力は、ランダムなシーケンスにおいて一度に1つだけ変更することができます。AD5204のプリセットでは、PRピンをアサートすることによって中間スケールに戻すことができ、パワー・オンの時点でのフォールト状態からの回復を簡略化しています。両モデルとも、パワー・オンの時点で、予め定められた中間スケールの位置にワイパーを戻すパワー・オン・プリセット機能を内蔵しています。さらに、AD5204では、パワーのシャットダウンのためのSHDNピンを備えており、RDACを消費電力ゼロの状態とし、端子Axを開放状態、ワイパーをBxに接続することで、VRでリーク電流のみが消費される状態とすることができます。シャットダウン・モードでは、VRラッチの設定は保持されるため、パワー・シャットダウンから動作状態に復帰する場合でも、VRの設定はシャットダウン前の抵抗値に対応したものとなります。

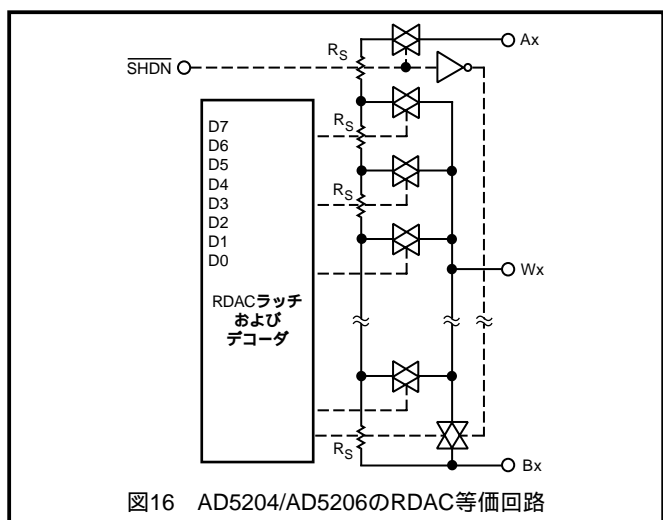


図16 AD5204/AD5206のRDAC等価回路

## 可変抵抗器のプログラミング

### 加減抵抗器動作

端子AとBの間の公称抵抗値は、10k、50k、100kのものをご用意されています。製品の型番の最後の桁が、例えば10k = 10、100k = 100のように、この公称抵抗を表しています。VRの

公称抵抗 (R<sub>AB</sub>)には、ワイパー端子によってアクセスできる256の接点位置と、B端子接点があります。RDACラッチの8ビットのデータ・ワードはデコードされて、256の設定のうちの一つを選択します。ワイパーの最初の接続は、データ00<sub>H</sub>に対応するB端子から始まります。このB端子との接続では、ワイパーの接触抵抗である45が含まれます。2番目の接続(10kの場合)では、データ01<sub>H</sub>に対する84 [= R<sub>BA</sub> (公称抵抗) / 256 + R<sub>W</sub> = 39 + 45]の位置となります。3番目の接続は、データ02<sub>H</sub>に対する78 + 45 = 123の位置となります。LSBに1が加算されるごとに、ワイパーは抵抗値の上がる方向に進められ、最後のタップでは抵抗値は10006となります。ワイパーは、直接A端子に接続されることはありません。簡略化されたRDACの等価回路については、図16をご覧ください。

WxとBxの間においてデジタル的にプログラムされる出力抵抗の一般的な計算式は、以下のようになります。

$$R_{WB}(Dx) = (Dx)/256 \times R_{BA} + R_W \quad (1)$$

Dxは8ビットのRDACxラッチに保持された値であり、R<sub>BA</sub>は端子間の公称抵抗値です。

例えば、V<sub>B</sub> = 0VでA端子が開放の状態では、次のRDACラッチのコードに対して次の出力抵抗値が設定されます(10kのポテンシオメータに対する値です)。

表II

D(10進)	R <sub>WB</sub>	出力状態
255	10006	フル・スケール
128	5045	中間スケール (PR = 0状態)
1	84	1LSB
0	45	ゼロ・スケール (ワイパーの接触抵抗)

ゼロ・スケール状態でも一定のワイパー抵抗値45があることにご注意ください。特性の劣化や内部スイッチの接点の破壊を防止するために、WとBの間での電流を最大値である20mA以内とするように注意してください。

RDACによって置き換えられる機械式ポテンシオメータ同様、完全に対称な構成となっています。ワイパーWと端子Aの抵抗によって、デジタル的に制御される抵抗R<sub>WA</sub>が得られます。この端子を使うときは、必ずB端子をワイパーに接続します。R<sub>WA</sub>への抵抗値の設定により、最大の抵抗値からスタートし、ラッチにロードされるデータの値が増加するにつれ減少します。この動作の一般的な計算式は、次の通りです。

$$R_{WA}(Dx) = (256 - Dx)/256 \times R_{BA} + R_W \quad (2)$$

Dxは8ビットのRDACxラッチに保持された値であり、R<sub>BA</sub>は端子間の公称抵抗値です。例えば、V<sub>A</sub> = 0VでB端子がワイパーWに接続された状態では、次のRDACラッチのコードに対して次の出力抵抗値が設定されます。

表III

D(10進)	R <sub>WA</sub>	出力状態
255	84	フル・スケール
128	5045	中間スケール (PR = 0状態)
1	10006	1LSB
0	10045	ゼロ・スケール



R<sub>BA</sub>の代表的な分布は、チャンネル間で±1%以内となっています。しかしながら、デバイス間での差異は製造ロットに依存し、±30%程度の違いがあります。R<sub>BA</sub>の温度による変化については、温度係数が700ppm/°C となっています。

## ポテンショメータの分圧器のプログラム

### 電圧出力動作

デジタルのポテンショメータを使用すれば、任意の端子に対して印加された入力電圧に比例する出力電圧が簡単に得られます。例えば、A端子を5Vに、B端子をグランドに接続した場合には、ワイパーにおける出力電圧を0Vから、+5Vより1LSB分だけ低い電圧の間の、任意の値に変化させることができます。各LSBに対応する電圧は、ポテンショメータの分圧器の端子AB間に印加された電圧を接触位置の数である256で割った値に等しくなります。端子AB間に印加される任意の入力電圧について、グランドに対する出力電圧を算出する一般的な計算式は、以下のようになります。

$$V_W(Dx) = Dx/256 \times V_{AB} + V_B \quad (3)$$

デジタル・ポテンショメータを分圧器モードで動作させると、温度変化に対する精度がさらに向上します。ここで、出力電圧は内部の抵抗器の分圧の比に依存し、絶対的な抵抗値とは関係がありません。このため、温度によるドリフトは15ppm/°C まで向上します。

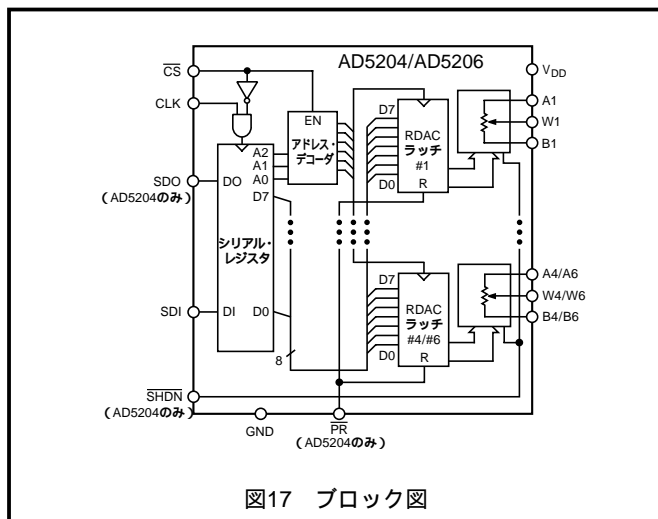


図17 ブロック図

## デジタル・インターフェース

AD5204/AD5206には、標準の3線シリアル入力制御インターフェースが備えられています。3つの入力とは、クロック (CLK)、CS、シリアル・データ入力 (SDI) です。立上がりエッジを基準とするCLK入力は、シリアル入力レジスタに誤ったデータを入力しないように、遷移の波形が整ったものでなければなりません。標準のロジック・ファミリーによって良好に動作します。製品の評価のために機械的なスイッチを使用する場合には、フリップ・フロップや他の適当な手段によって信号のパウンドを防止する必要があります。図17は、内部デジタル回路をさらに詳細に示したものです。CSがアクティブ・ローの状態に保たれているときに、表IVに示すように、クロックの立上がりエッジによって、データがシリアル・レジスタにロードされます。正極性 (V<sub>DD</sub>) と負極性 (V<sub>SS</sub>) の電源を使用する場合にも、ロジック・レベルはデジタル・グランド (GND) を基準として

判断されます。

シリアル・データ出力 (SDO) ピンには、オープン・ドレインのNチャンネルFETを用いています。この出力でデータを次のパッケージのSDIピンに転送するためには、プルアップ抵抗が必要です。プルアップ抵抗の終端電圧は、AD5204のSDO出力デバイスのV<sub>DD</sub>より高い電圧でもかまいません。例えば、AD5204をV<sub>DD</sub> = 3.3Vの電圧で動作させ、次のデバイスとのインターフェースのためのプルアップ電圧を+5Vとすることができます。これにより、1つのプロセスのシリアル・データ・ラインから、いくつかのRDACをデジー・チェーン接続することが可能となります。SDIピンにプルアップ抵抗を接続して次のデバイスと直列に接続する場合には、クロック周期を長くする必要があります。データ転送を確実にするには、デバイス間のデジー・チェーンのノードであるSDO-SDIの容量性負荷を考慮する必要があります。デジー・チェーンを使う場合には、各パッケージのすべてのビットがそれぞれのシリアル・レジスタに転送されるまでの間、CSをローに保って、アドレス・ビットとデータ・ビットが適正なデコードの位置に置かれるようにする必要があります。2つのAD5204の4つのチャンネルのRDACがデジー・チェーンされる場合には、表Iに示すワード・フォーマットに従った22ビットのアドレスおよびデータが必要となります。シャットダウン (SHDN) の間、SDO出力ピンは、プルアップ抵抗での電力消費をなくすために強制的にオフ (ロジック・レベル・ハイの状態) にされます。図19に、SDO出力回路の等価回路を示します。

表 IV 入力ロジック制御真偽表

CLK	CS	PR	SHDN	レジスタの動作
L	L	H	H	SR動作せず、SDOピン・イネーブル。SDIピンから1ビットをシフト入力。入力されているビットの11番目がSDOからシフト出力される。
P	L	H	H	A2,A1,A0のデコード結果に応じてSRデータをRDACラッチにロード (表V参照)。
X	P	H	H	ノー・オペレーション
X	H	H	H	すべてのRDACラッチを中間スケールに設定、ワイパーが中央に設定されSDOラッチがクリアされる。
X	X	L	H	すべてのRDACラッチに80 <sub>H</sub> をラッチ。
X	H	P	H	すべての抵抗器のA端子を開放状態とし、WをBに接続し、SDOの出力トランジスタをオフとする。
X	H	H	L	

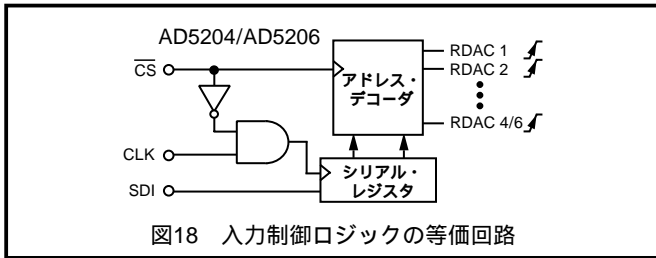
注：P = 立上がりエッジ、X = 任意、SR = シフト・レジスタ

表V アドレス・デコード・テーブル

A 2	A 1	A 0	デコードされるラッチ
0	0	0	RDAC#1
0	0	1	RDAC#2
0	1	0	RDAC#3
0	1	1	RDAC#4
1	0	0	RDAC#5、AD5206のみ
1	0	1	RDAC#6、AD5206のみ

仕様の表に示すデータ・セットアップ・タイムとデータ・ホールド・タイムは、データの有効期間の条件を示します。シリアル・レジスタに入力された最後の11ビットは、CSがハイに戻るときに保持されます。また、CSがハイになるときに、アドレス・デコーダをゲートして、立上がりエッジによってトリガされる4または6のうちの1つのRDACラッチをイネーブルします。詳しくは図18をご覧ください。

# AD5204/AD5206



ターゲットのRDACラッチにシリアル・データ・ワードの最後の8ビットがロードされ、1回のDACの更新が完了します。4つの独立した8ビットのデータ・ワードをクロックに従って入力し、4つのVRの設定のすべてを変更する必要があります。

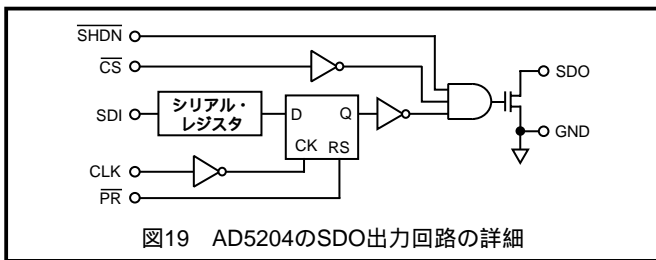
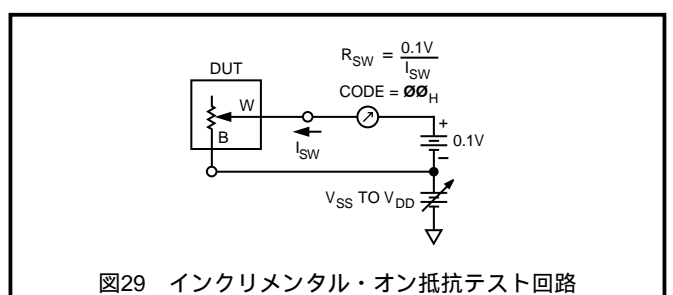
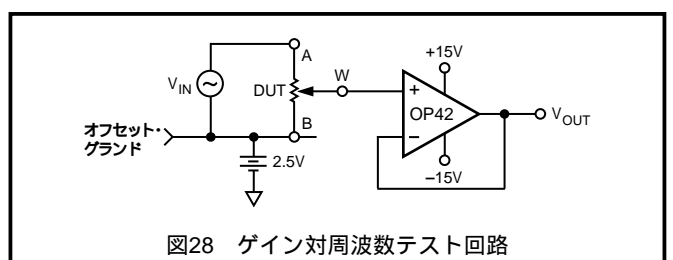
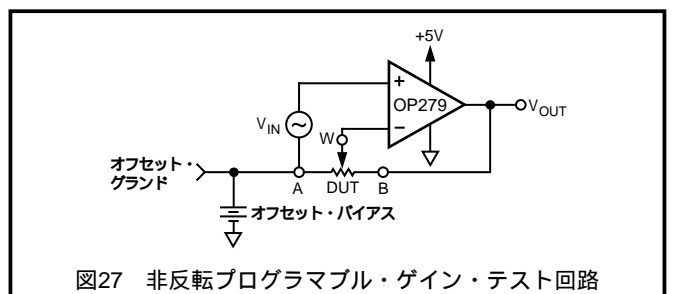
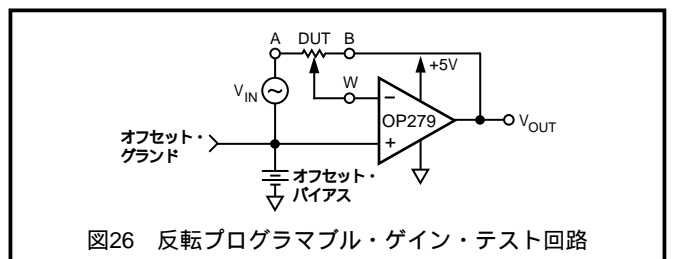
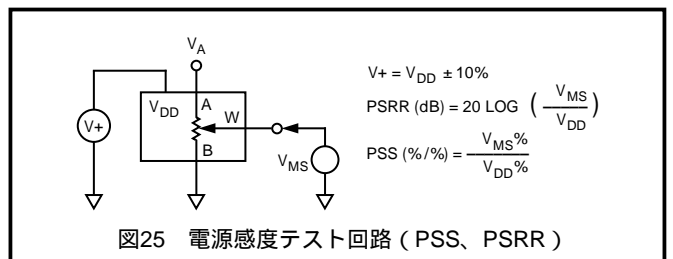
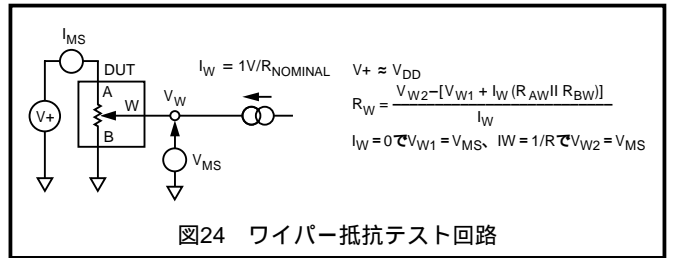
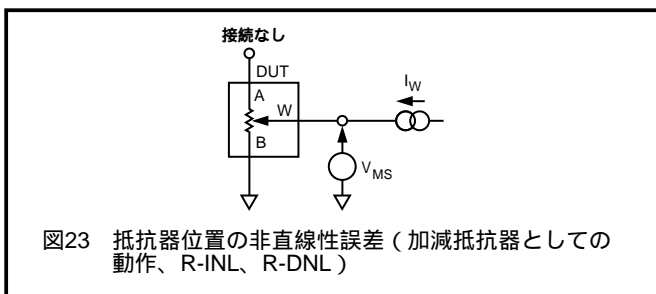
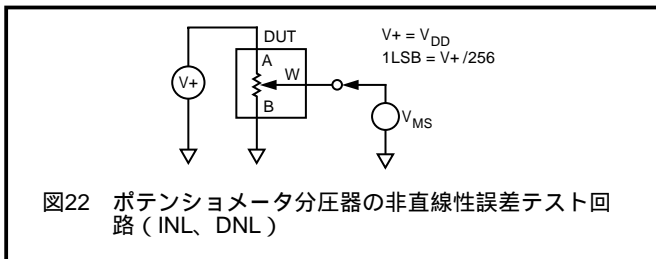
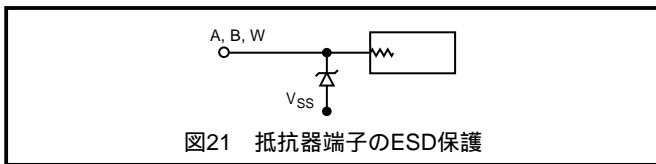
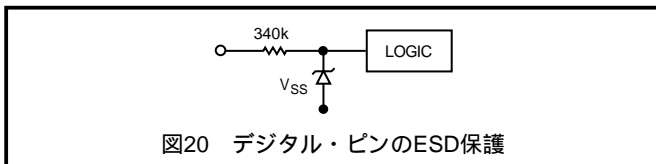


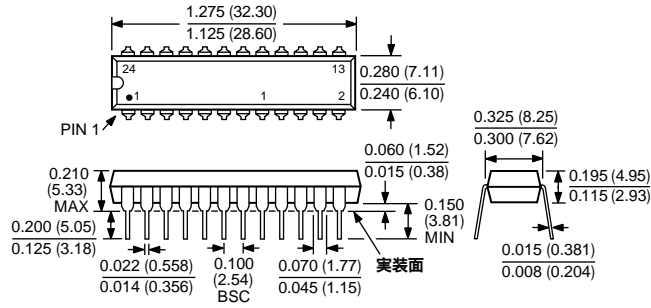
図20に示すように、すべてのデジタル・ピンは直列に接続された入力抵抗と並列に挿入されたツェナー-ESDの構造によって保護されています。この構成は、デジタル・ピンのCS、SDI、SDO、PR、SHDN、CLKで採用されています。



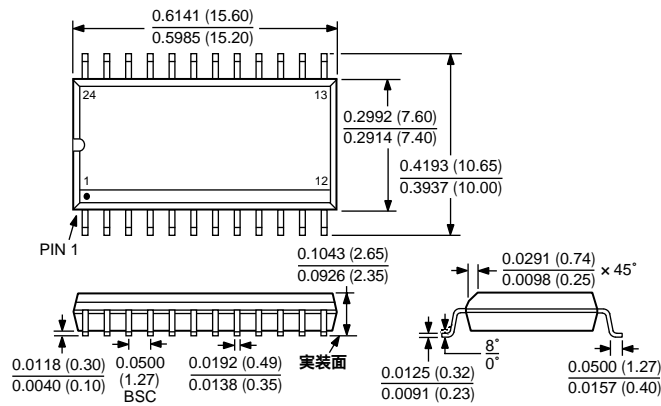
## 外形寸法

サイズはインチと (mm) で示します。

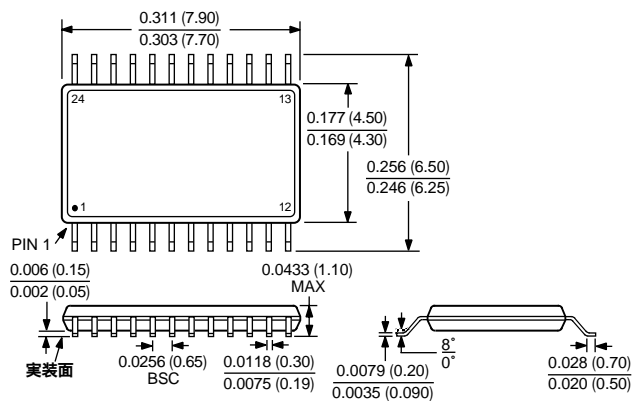
### 24ピン Narrow Body PDIP (N-24)



### 24ピン SOIC (R-24/SOL-24)



### 24ピン Thin Shrink SO Package (TSSOP) (RU-24)



# AD5204/AD5206

D1136-2.7-12/99,1A

PRINTED IN JAPAN



このデータシートはエコマーク認定の再生紙を使用しています。