

### 特長

- 1チャンネル、1024ポジション分解能
- 公称抵抗: 10 kΩ
- 50回書き込み可能な(50-TP)ワイパー・メモリ
- 可変抵抗器モードの温度係数: 35 ppm/°C
- 単電源動作: 2.7 V~5.5 V
- ACまたはパイポーラ動作向けの±2.5 V~±2.75 Vの両電源動作
- I<sup>2</sup>C互換インターフェース
- ワイパー設定値とメモリのリードバックが可能
- パワーオン時にメモリからリフレッシュ
- 抵抗偏差をメモリに保存
- 10ピンの3 mm × 3 mm × 0.8 mm 薄型 LFCSP パッケージまたは10ピンの3 mm × 4.9 mm × 1.1 mm 小型 MSOP パッケージを採用

### アプリケーション

- 機械式可変抵抗の置き換え
- オペアンプ: 可変ゲイン制御
- 計装: ゲイン、オフセットの調整
- プログラマブルな電圧/電流変換
- プログラマブルなフィルタ、遅延、時定数
- プログラマブルな電源
- センサー・キャリブレーション

### 概要

AD5175 は、不揮発性メモリ(NVM)を採用した、業界をリードする可変抵抗性能と小型パッケージを組み合わせた 1チャンネル1024ポジションのデジタル可変抵抗器です。

このデバイスは、±2.5 V~±2.75 Vの両電源動作と 2.7 V~5.5 Vの単電源動作をサポートし、50回書き込み可能な(50-TP)メモリを提供します。

AD5175 デバイス・ワイパーの設定は、I<sup>2</sup>C 互換デジタル・インターフェースを介して制御することができます。抵抗値を 50-TP メモリに書き込む前には、無制限回数の調整が可能です。

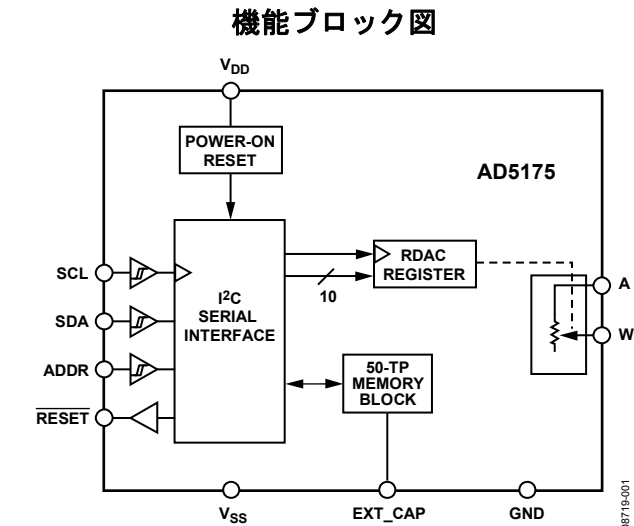


図 1.

AD5175 では、ヒューズを焼き切るための外付け電源電圧が不要で、50回まで書き込むことができます。50-TPの動作時に、ヒューズの焼き切りコマンドにより、抵抗ポジションを固定します(機械式可変抵抗器をエポキシ樹脂で固定することに対応します)。

AD5175 は、3 mm × 3mm の 10ピン LFCSP パッケージまたは 10ピン MSOP パッケージを採用しています。このデバイスは、工業用拡張温度範囲-40°C~+125°Cでの動作を保証しています。

## 目次

特長.....	1	シフトレジスタ.....	12
アプリケーション.....	1	書込み動作.....	13
機能ブロック図.....	1	読出し動作.....	15
概要.....	1	RDACレジスタ.....	16
改訂履歴.....	2	50-TPメモリ・ブロック.....	16
仕様.....	3	書込み保護機能.....	16
電気的特性.....	3	50-TPメモリ書込み—アクノリッジ・ポーリング.....	18
インターフェース・タイミング仕様.....	4	リセット.....	18
絶対最大定格.....	6	シャットダウン・モード.....	18
熱抵抗.....	6	RDACアーキテクチャ.....	18
ESDの注意.....	6	可変抵抗のプログラミング.....	18
ピン配置およびピン機能説明.....	7	EXT_CAPコンデンサ.....	19
代表的な性能特性.....	8	ピン電圧の動作範囲.....	19
テスト回路.....	11	パワーアップ・シーケンス.....	19
動作原理.....	12	外形寸法.....	20
シリアル・データ・インターフェース.....	12	オーダー・ガイド.....	20

## 改訂履歴

### 7/10—Rev. 0 to Rev. A

Changes to Ordering Guide.....20

### 3/10—Revision 0: Initial Version

## 仕様

## 電気的特性

特に指定がない限り、 $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ ； $V_{DD} = 2.5\text{ V} \sim 2.75\text{ V}$ 、 $V_{SS} = -2.5\text{ V} \sim -2.75\text{ V}$ ； $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ <sup>1</sup>	Max	Unit
DC CHARACTERISTICS—RHEOSTAT MODE						
Resolution			10			Bits
Resistor Integral Nonlinearity <sup>2,3</sup>	R-INL	$ V_{DD} - V_{SS}  = 3.6\text{ V to } 5.5\text{ V}$	-1		+1	LSB
		$ V_{DD} - V_{SS}  = 3.3\text{ V to } 3.6\text{ V}$	-1		+1.5	LSB
		$ V_{DD} - V_{SS}  = 2.7\text{ V to } 3.3\text{ V}$	-2.5		+2.5	LSB
Resistor Differential Nonlinearity <sup>2</sup>	R-DNL		-1		+1	LSB
Nominal Resistor Tolerance				±15		%
Resistance Temperature Coefficient <sup>4,5</sup>		Code = full scale		35		ppm/°C
Wiper Resistance		Code = zero scale		35	70	Ω
RESISTOR TERMINALS						
Terminal Voltage Range <sup>4,6</sup>	$V_{\text{TERM}}$		$V_{SS}$		$V_{DD}$	V
Capacitance A <sup>4</sup>		f = 1 MHz, measured to GND, code = half scale		90		pF
Capacitance W <sup>4</sup>		f = 1 MHz, measured to GND, code = half scale		40		pF
Common-Mode Leakage Current <sup>4</sup>		$V_A = V_W$			50	nA
DIGITAL INPUTS						
Input Logic <sup>4</sup>						
High	$V_{\text{INH}}$		2.0			V
Low	$V_{\text{INL}}$				0.8	V
Input Current	$I_{\text{IN}}$			±1		μA
Input Capacitance <sup>4</sup>	$C_{\text{IN}}$			5		pF
DIGITAL OUTPUT						
Output Voltage <sup>4</sup>						
High	$V_{\text{OH}}$	$R_{\text{PULL\_UP}} = 2.2\text{ k}\Omega$ to $V_{DD}$	$V_{DD} - 0.1$			V
Low	$V_{\text{OL}}$	$R_{\text{PULL\_UP}} = 2.2\text{ k}\Omega$ to $V_{DD}$ $V_{DD} = 2.7\text{ V to } 5.5\text{ V}$ , $V_{SS} = 0\text{ V}$ $V_{DD} = 2.5\text{ V to } 2.75\text{ V}$ , $V_{SS} = -2.5\text{ V to } -2.75\text{ V}$			0.4	V
					0.6	V
Tristate Leakage Current			-1		+1	μA
Output Capacitance <sup>4</sup>				5		pF
POWER SUPPLIES						
Single-Supply Power Range		$V_{SS} = 0\text{ V}$	2.7		5.5	V
Dual-Supply Power Range			±2.5		±2.75	V
Supply Current						
Positive	$I_{DD}$				1	μA
Negative	$I_{SS}$		-1			μA
50-TP Store Current <sup>4,7</sup>						
Positive	$I_{DD\_OTP\_STORE}$			4		mA
Negative	$I_{SS\_OTP\_STORE}$			-4		mA
50-TP Read Current <sup>4,8</sup>						
Positive	$I_{DD\_OTP\_READ}$				500	μA
Negative	$I_{SS\_OTP\_READ}$		-500			μA
Power Dissipation <sup>9</sup>	$P_{\text{DISS}}$	$V_{\text{IH}} = V_{DD}$ or $V_{\text{IL}} = \text{GND}$			5.5	μW
Power Supply Rejection Ratio <sup>4</sup>	PSRR	$\Delta V_{DD}/\Delta V_{SS} = \pm 5\text{ V} \pm 10\%$	-50	-55		dB

Parameter	Symbol	Test Conditions/Comments	Min	Typ <sup>1</sup>	Max	Unit
DYNAMIC CHARACTERISTICS <sup>4, 10</sup>						
Bandwidth		-3 dB, $R_{AW} = 5 \text{ k}\Omega$ , Terminal W, see Figure 23		700		kHz
Total Harmonic Distortion		$V_A = 1 \text{ V rms}$ , $f = 1 \text{ kHz}$ , $R_{AW} = 5 \text{ k}\Omega$		-90		dB
Resistor Noise Density		$R_{WB} = 5 \text{ k}\Omega$ , $T_A = 25^\circ\text{C}$ , $f = 10 \text{ kHz}$		13		$\text{nV}/\sqrt{\text{Hz}}$

<sup>1</sup> Typ 値は、 $25^\circ\text{C}$ 、 $V_{DD} = 5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ での平均測定値を表わします。

<sup>2</sup> 抵抗ポジション非直線性誤差 R-INL は、最大抵抗ワイパー・ポジションと最小抵抗ワイパー・ポジションとの間で測定された理論値からの差を表わします。R-DNL は、連続タップ・ポジション間での理論値からの相対的ステップ変化を表わします。

<sup>3</sup> 各コードでの最大電流は、 $I_{AW} = (V_{DD} - 1)/R_{AW}$ により決定されます。

<sup>4</sup> 設計上保証しますが、出荷テストは行いません。

<sup>5</sup> 詳細については、図 8 を参照してください。

<sup>6</sup> 抵抗ピン A と W の極性は相互間で制約されません。両電源動作では、グラウンドを基準としたバイポーラ信号の調整が可能です。

<sup>7</sup> 動作電流とは異なります。ヒューズ書込みの電源電流は約 55 ms 間継続。

<sup>8</sup> 動作電流とは異なります。ヒューズ読出しの電源電流は約 500 ns 間継続。

<sup>9</sup>  $P_{DISS}$  は  $(I_{DD} \times V_{DD}) + (I_{SS} \times V_{SS})$  で計算されます。

<sup>10</sup> すべての動特性では、 $V_{DD} = +2.5 \text{ V}$  かつ  $V_{SS} = -2.5 \text{ V}$  を使用。

## インターフェース・タイミング仕様

特に指定のない限り、 $V_{DD} = 2.7 \sim 5.5 \text{ V}$ ;すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。

表 2.

Parameter	Conditions <sup>1</sup>	Limit at $T_{MIN}$ , $T_{MAX}$		Unit	Description
		Min	Max		
$f_{SCL}$ <sup>2</sup>	Standard mode		100	kHz	Serial clock frequency
	Fast mode		400	kHz	Serial clock frequency
$t_1$	Standard mode	4		$\mu\text{s}$	$t_{HIGH}$ , SCL high time
	Fast mode	0.6		$\mu\text{s}$	$t_{HIGH}$ , SCL high time
$t_2$	Standard mode	4.7		$\mu\text{s}$	$t_{LOW}$ , SCL low time
	Fast mode	1.3		$\mu\text{s}$	$t_{LOW}$ , SCL low time
$t_3$	Standard mode	250		ns	$t_{SU,DAT}$ , data setup time
	Fast mode	100		ns	$t_{SU,DAT}$ , data setup time
$t_4$	Standard mode	0	3.45	$\mu\text{s}$	$t_{HD,DAT}$ , data hold time
	Fast mode	0	0.9	$\mu\text{s}$	$t_{HD,DAT}$ , data hold time
$t_5$	Standard mode	4.7		$\mu\text{s}$	$t_{SU,STA}$ , set-up time for a repeated start condition
	Fast mode	0.6		$\mu\text{s}$	$t_{SU,STA}$ , set-up time for a repeated start condition
$t_6$	Standard mode	4		$\mu\text{s}$	$t_{HD,STA}$ , hold time (repeated) start condition
	Fast mode	0.6		$\mu\text{s}$	$t_{HD,STA}$ , hold time (repeated) start condition
$t_7$	High speed mode	160		ns	$t_{HD,STA}$ , hold time (repeated) start condition
	Standard mode	4.7		$\mu\text{s}$	$t_{BUF}$ , bus free time between a stop and a start condition
$t_8$	Fast mode	1.3		$\mu\text{s}$	$t_{BUF}$ , bus free time between a stop and a start condition
	Standard mode	4		$\mu\text{s}$	$t_{SU,STO}$ , setup time for a stop condition
$t_9$	Fast mode	0.6		$\mu\text{s}$	$t_{SU,STO}$ , setup time for a stop condition
	Standard mode		1000	ns	$t_{RDA}$ , rise time of the SDA signal
$t_{10}$	Fast mode		300	ns	$t_{RDA}$ , rise time of the SDA signal
	Standard mode		300	ns	$t_{FDA}$ , fall time of the SDA signal
$t_{11}$	Fast mode		300	ns	$t_{FDA}$ , fall time of the SDA signal
	Standard mode		1000	ns	$t_{RCL}$ , rise time of the SCL signal
$t_{11A}$	Fast mode		300	ns	$t_{RCL}$ , rise time of the SCL signal
	Standard mode		1000	ns	$t_{RCL1}$ , rise time of the SCL signal after a repeated start condition and after an acknowledge bit
$t_{12}$	Fast mode		300	ns	$t_{RCL1}$ , rise time of the SCL signal after a repeated start condition and after an acknowledge bit
	Standard mode		300	ns	$t_{FCL}$ , fall time of the SCL signal
$t_{13}$	Fast mode		300	ns	$t_{FCL}$ , fall time of the SCL signal
	RESET pulse time	20		ns	Minimum RESET low time
$t_{SP}$ <sup>3</sup>	Fast mode	0	50	ns	Pulse width of the spike is suppressed
$t_{EXEC}$ <sup>4, 5</sup>		500		ns	Command execute time
$t_{RDAC\_R\_PERF}$			2	$\mu\text{s}$	RDAC register write command execute time (R-Perf mode)
$t_{RDAC\_NORMAL}$			600	ns	RDAC register write command execute time (normal mode)
$t_{MEMORY\_READ}$			6	$\mu\text{s}$	Memory readback execute time
$t_{MEMORY\_PROGRAM}$			350	ms	Memory program time

Parameter	Conditions <sup>1</sup>	Limit at T <sub>MIN</sub> , T <sub>MAX</sub>		Unit	Description
		Min	Max		
t <sub>RESET</sub>			600	μs	Reset 50-TP restore time
t <sub>POWER-UP</sub> <sup>6</sup>			2	ms	Power-on 50-TP restore time

<sup>1</sup> 最大バス容量は 400 pF に制限されます。

<sup>2</sup> SDA と SCL のタイミングは入力フィルタをイネーブルして測定。入力フィルタを切り離すと、転送レートが向上しますが、デバイスの EMC 動作に悪影響があります。

<sup>3</sup> SCL と SDA に入力フィルタを使うと、高速モードで 50 ns 以下にノイズ・スパイクが抑圧されます。

<sup>4</sup> RDAC レジスタ書き込み動作については t<sub>RDAC\_R-PERF</sub> と t<sub>RDAC\_NORMAL</sub> を参照してください。

<sup>5</sup> メモリ・コマンド動作については、t<sub>MEMORY\_READ</sub> と t<sub>MEMORY\_PROGRAM</sub> を参照してください。

<sup>6</sup> V<sub>DD</sub> - V<sub>SS</sub> = 2.5 V となった後の最大時間。

## シフトレジスタとタイミング図

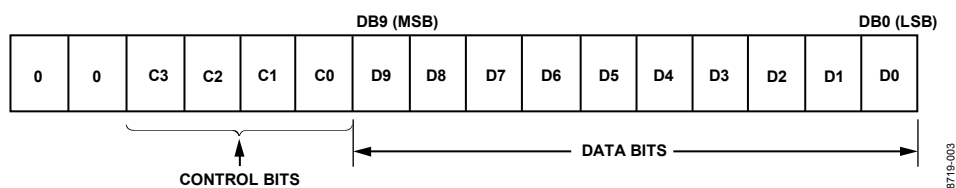


図 2. シフトレジスタの値

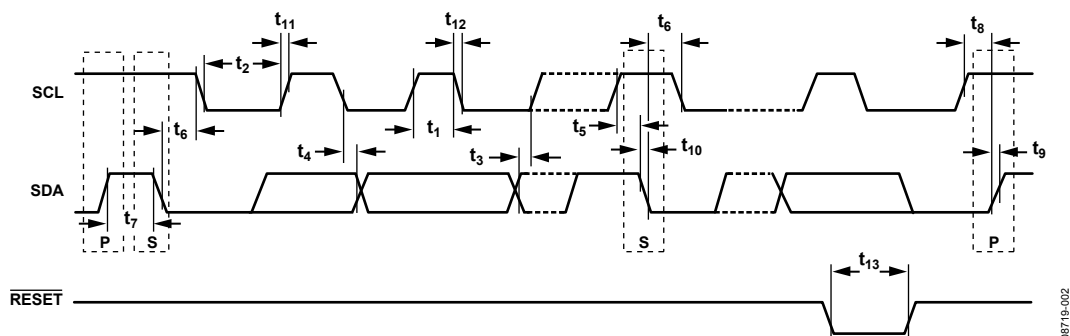


図 3. 2 線式 I<sup>2</sup>C のタイミング図

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
$V_{DD}$ to GND	-0.3 V to +7.0 V
$V_{SS}$ to GND	+0.3 V to -7.0 V
$V_{DD}$ to $V_{SS}$	7 V
$V_A, V_W$ to GND	$V_{SS} - 0.3 \text{ V}, V_{DD} + 0.3 \text{ V}$
Digital Input and Output Voltage to GND	-0.3 V to $V_{DD} + 0.3 \text{ V}$
EXT_CAP to $V_{SS}$	7 V
$I_A, I_W$	
Pulsed <sup>1</sup>	
Frequency > 10 kHz	$\pm 6 \text{ mA/d}^2$
Frequency $\leq 10 \text{ kHz}$	$\pm 6 \text{ mA}/\sqrt{\text{d}^2}$
Continuous	$\pm 6 \text{ mA}$
Operating Temperature Range <sup>3</sup>	-40°C to +125°C
Maximum Junction Temperature ( $T_J$ Maximum)	150°C
Storage Temperature Range	-65°C to +150°C
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	20 sec to 40 sec
Package Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$

<sup>1</sup> 最大ピン電流は、スイッチの最大処理電流、パッケージ最大消費電力、Aピン、Wピン内の任意の2ピン間の、設定された抵抗での最大入力電圧により制約されます。

<sup>2</sup> パルス・デューティ・ファクタ。

<sup>3</sup> 50-TPメモリの書き込みを含みます。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### 熱抵抗

$\theta_{JA}$  は JEDEC 仕様 JESD-51 により定義され、値はテスト・ボードとテスト環境に依存します。

表 4. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
10-Lead LFCSP	50	3	°C/W
10-Lead MSOP	135 <sup>1</sup>	N/A	°C/W

<sup>1</sup> JEDEC 2S2P テスト・ボード、自然空冷(0 m/sec の空気流)。

### ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

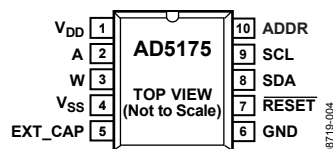


図 4.MSOP ピン配置

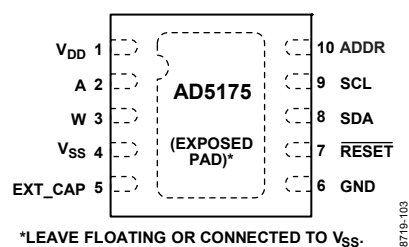


図 5.LFCSP ピン配置

表 5.ピン機能の説明

ピン番号	記号	説明
1	V <sub>DD</sub>	正の電源。このピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
2	A	RDAC の A ピン $V_{SS} \leq V_A \leq V_{DD}$ 。
3	W	RDAC のワイパー・ピン。 $V_{SS} \leq V_W \leq V_{DD}$ 。
4	V <sub>SS</sub>	負電源。単電源アプリケーションで 0 V へ接続してください。このピンは、0.1 μF のセラミック・コンデンサと 10 μF のコンデンサでデカップリングする必要があります。
5	EXT_CAP	外付けコンデンサ。1 μF のコンデンサを EXT_CAP と V <sub>SS</sub> の間に接続します。このコンデンサの定格電圧は 7 V 以上である必要があります。
6	GND	グラウンド・ピン、ロジック・グラウンド基準。
7	RESET	ハードウェア・リセット・ピン。RDAC レジスタを 50-TP メモリ・レジスタ値でリセットします。最初に 50-TP ワイパー・メモリ・ロケーションが書込まれるまで、出荷時デフォルト値のミッド・スケールがロードされます。RESET はアクティブ・ローです。使用しない場合は、RESET を V <sub>DD</sub> に接続してください。
8	SDA	シリアル・データライン。このピンは、16 ビット入力レジスタにデータを入出力する SCL ラインと組み合わせて使います。双方向のオープン・ドレイン・データ・ラインであるため、外付け抵抗で電源にプルアップする必要があります。
9	SCL	シリアル・クロック・ライン。このピンは、16 ビット入力レジスタにデータを入出力する SDA ラインと組み合わせて使います。
10	ADDR	スリーステートのアドレス入力。7 ビット・スレーブ・アドレスの下位 2 ビット(ビット A1、ビット A0)を設定します(表 6 参照)。
EPAD	エクスポーズド・パッド	フローティングのままにするか、V <sub>SS</sub> へ接続してください。

## 代表的な性能特性

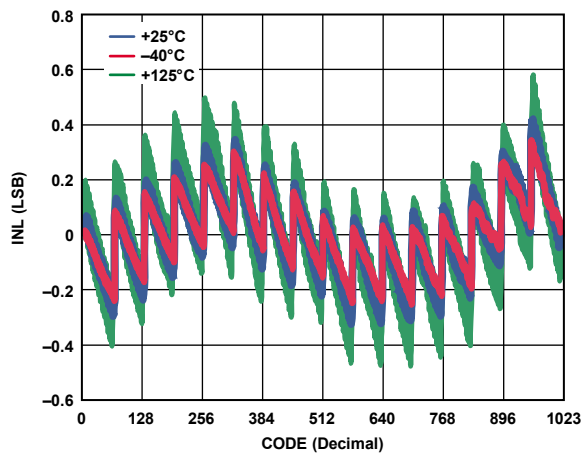


図 6. ノーマル・モードでの R-INL 対コード対温度

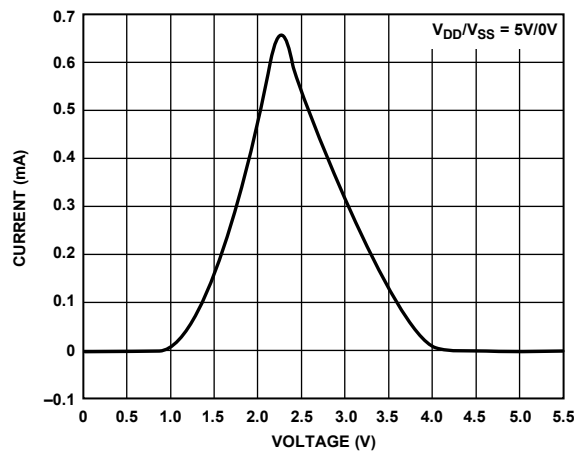


図 9. デジタル入力電圧対電源電流( $I_{DD}$ )

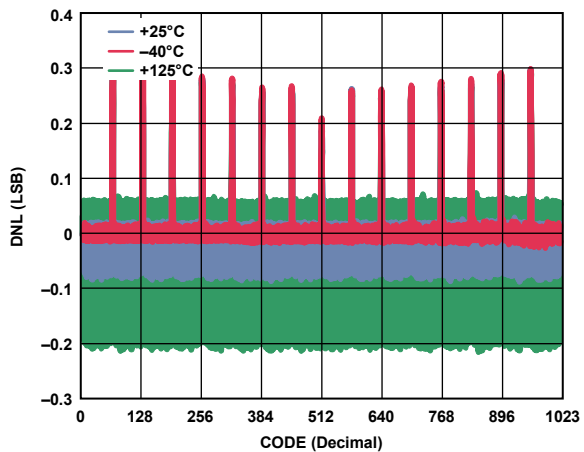


図 7. コード対ノーマル・モードでの R-DNL 対温度

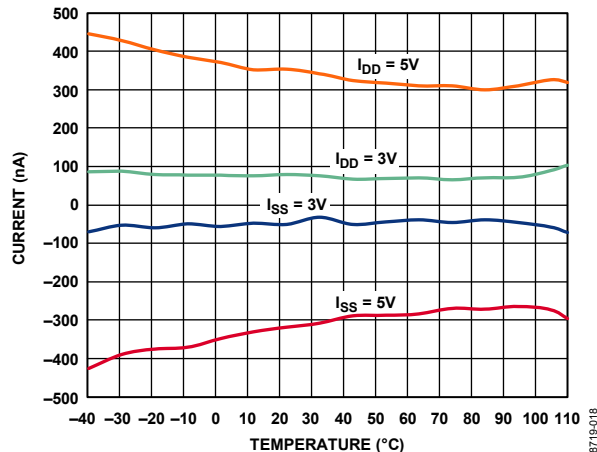


図 10. 電源電流( $I_{DD}$ 、 $I_{SS}$ )の温度特性

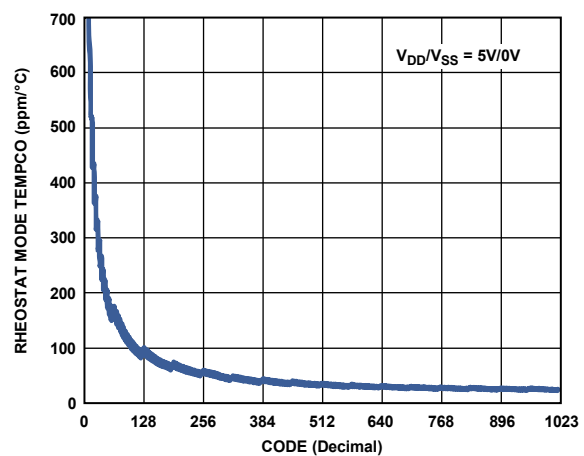


図 8. コード対温度係数  $\Delta R_{WA}/\Delta T$

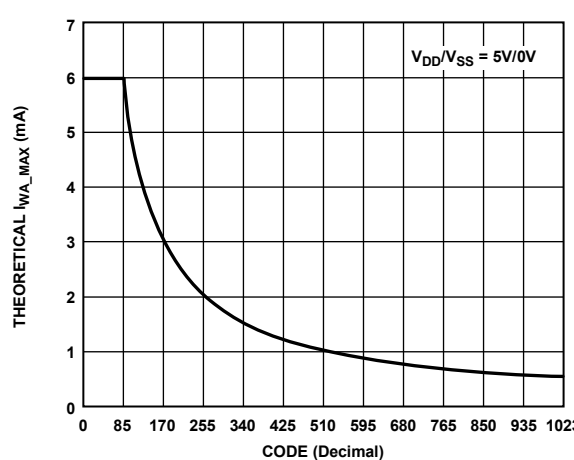


図 11. コード対理論最大電流



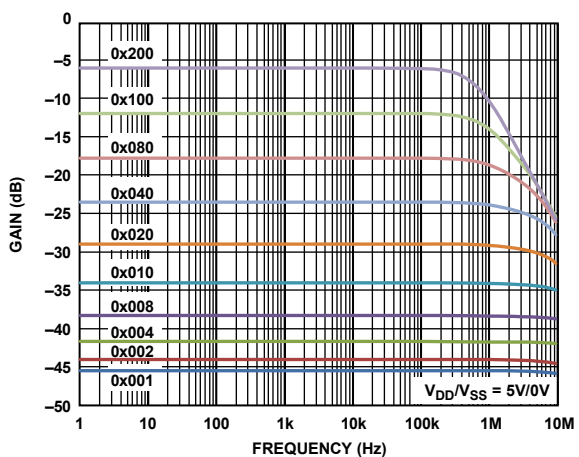


図 12.帯域幅対周波数対コード

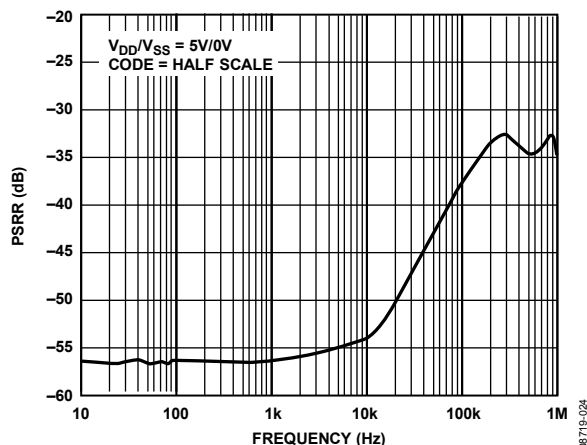


図 15.PSRR の周波数特性

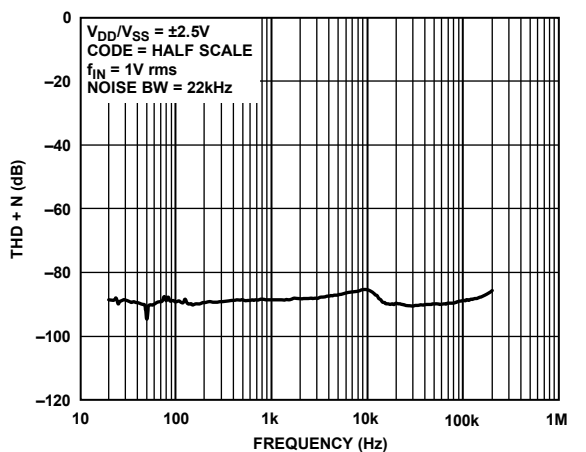


図 13.THD + N の周波数特性

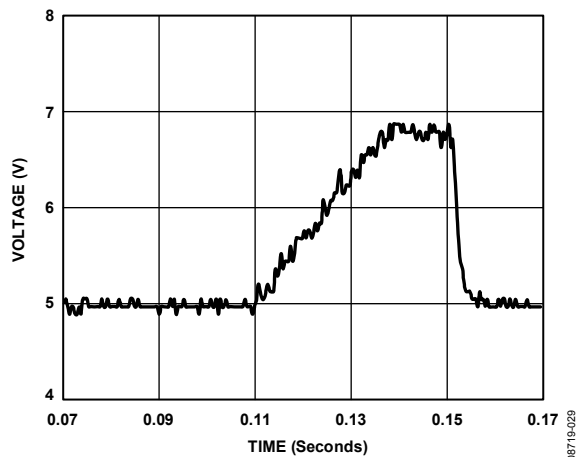


図 16.ヒューズ書き込み時の  $V_{EXT\_CAP}$  波形

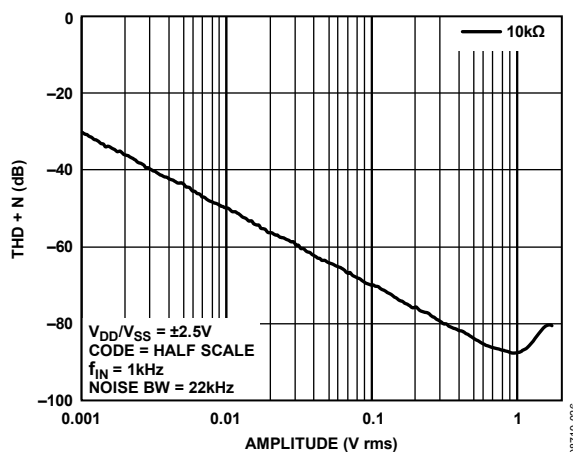


図 14.振幅対 THD + N

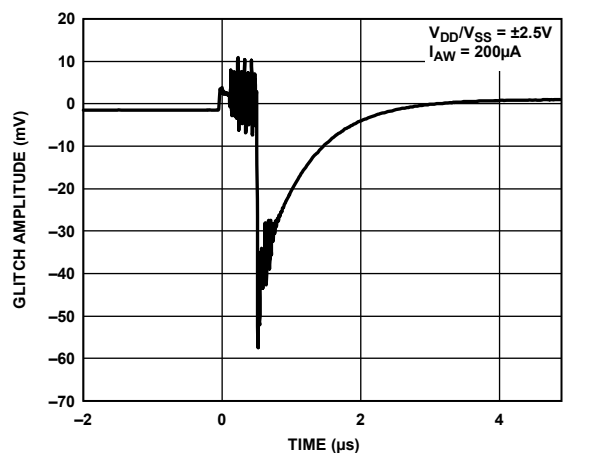
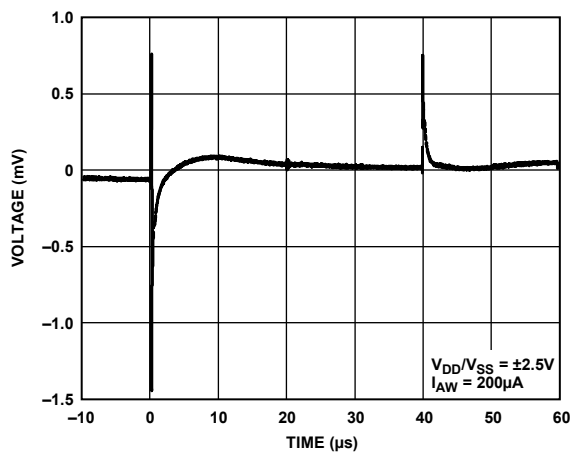
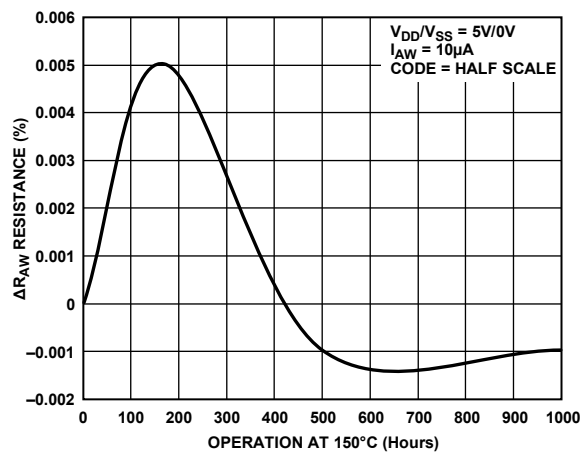


図 17.最大グリッチ・エネルギー



08719-100

図 18. デジタル・フィードスルー



08719-101

図 19. バーンインにより加速した長時間ドリフト

## テスト回路

図 20 ~ 図 24 に、仕様のセクションで使用したテスト条件を示します。

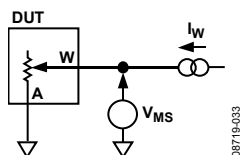


図 20. 抵抗ポジション非直線性誤差  
(可変抵抗器動作; R-INL、R-DNL)

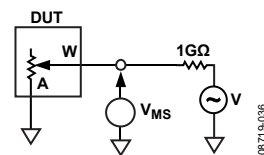


図 23. ゲインの周波数特性

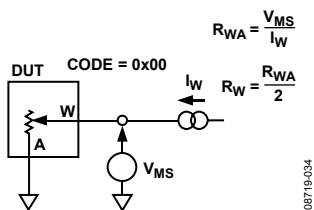


図 21. ワイパー抵抗

$$R_{WA} = \frac{V_{MS}}{I_W}$$

$$R_W = \frac{R_{WA}}{2}$$

CODE = 0x00

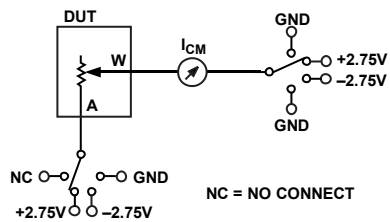


図 24. コモン・リーク電流

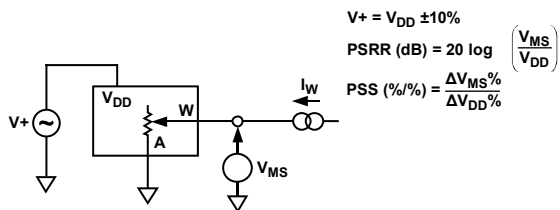


図 22. 電源除去比(PSS、PSRR)

$$V^+ = V_{DD} \pm 10\%$$

$$PSRR \text{ (dB)} = 20 \log \left( \frac{V_{MS}}{V_{DD}} \right)$$

$$PSS \text{ (%/%) } = \frac{\Delta V_{MS} \%}{\Delta V_{DD} \%}$$

## 動作原理

AD5175 は、 $V_{SS} < V_{TERM} < V_{DD}$  のピン電圧範囲内のアナログ信号に対して真の可変抵抗として動作するようにデザインされています。RDAC レジスタ値により抵抗ワイパー・ポジションが決定されます。RDAC レジスタはスクラッチパッド・レジスタのように動作するため、抵抗設定値の変更回数には制限がありません。RDAC レジスタには、 $I^2C$  インターフェースを使って任意のポジションを設定することができます。目的のワイパー・ポジションが見つかった後に、この値を 50-TP メモリ・レジスタに保存することができます。それ以後、ワイパー・ポジションは、後続パワーアップで常にそのポジションに回復されます。50-TP データの保存には約 350ms 要し、この間 AD5175 がロックされて、新しいコマンドをアクノリッジしないため、値の変更が防止されます。アクノリッジ・ビットをポーリングして、ヒューズ・プログラム・コマンドの完了を確認することができます。

### シリアル・データ・インターフェース

AD5175 は、2 線式  $I^2C$  互換シリアル・インターフェースを内蔵しています。このインターフェースは、マスター・デバイスから制御されるスレーブ・デバイスとして  $I^2C$  バスに接続することができます。書込みシーケンスのタイミング図については、図 3 を参照してください。

AD5175 は、標準(100 kHz)と高速(400 kHz)のデータ転送モードをサポートしています。10 ビット・アドレッシングとジェネラル・コール・アドレッシングはサポートされていません。

AD5175 は 7 ビットのスレーブ・アドレスを持っています。上位 5 ビットは 01011 で、下位 2 ビットは ADDR ピンの状態で指定されます。ADDR をハード・ワイヤー接続で変更する機能を使うと、表 6 に示すように、1 つのバスにこれらのデバイスを最大 3 個接続することができます。

表 6. デバイス・アドレスの指定

ADDR Pin	A1	A0	7-Bit $I^2C$ Device Address
GND	1	1	0101111
$V_{DD}$	0	0	0101100
NC (No Connection) <sup>1</sup>	1	0	0101110

<sup>1</sup> バイポーラ・モードでは使用できません。  $V_{SS} < 0V$ 。

2 線式シリアル・バス・プロトコルは、次のように動作します。すなわち、マスターがスタート条件を設定してデータ転送を開始させます。このスタート条件は、SCL がハイ・レベルの間に、SDA ライン上でハイ・レベルからロー・レベルへの変化が発生したときに発生します。次のバイトはアドレス・バイトであり、7 ビットのスレーブ・アドレスと R/W ビットから構成されています。送信されたアドレスに該当するスレーブ・デバイスは 9 番目のクロック・パルスで、SDA ラインをロー・レベルにして応答します(これはアクノリッジ・ビットと呼ばれます)。選択されたデバイスがシフトレジスタに読み書きするデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。

データは、9 個のクロック・パルスで 8 ビットのデータとそれに続くアクノリッジ・ビットの順にシリアル・バス上を伝送します。SDA ラインは SCL のロー・レベル区間で変化して、SCL のハイ・レベル区間で安定に維持されている必要があります。

全データビットの読みまたは書き込みが終了すると、ストップ条件が設定されます。書込みモードでは、マスターが 10 番目のクロック・パルスで SDA ラインをハイ・レベルにプルアップして、ストップ状態を設定します。読みモードでは、マスターは 9 番目のクロック・パルスでアクノリッジを発行しません(SDA ラインがハイ・レベルを維持)。この後、マスターは SDA ラインをロー・レベルにして、10 番目のクロック・パルスがハイ・レベルになるときストップ条件を設定します。

### シフトレジスタ

AD5175 のシフトレジスタは、図 2 に示すように 16 ビット幅です。16 ビット・ワードは、未使用の 2 ビット(0 に設定)、それに続く 4 ビットのコントロール・ビットと 10 ビットの RDAC データビットから構成されています。データは MSB(ビット D9)ファーストでロードされます。4 ビットのコントロール・ビットは、ソフトウェア・コマンドの機能を指定します(表 7 参照)。図 25 に、代表的な書込みシーケンスのタイミング図を示します。

コマンド・ビット(Cx)が、デジタル・ポテンシオメータと内部 50-TP メモリの動作を制御します。データビット(Dx)は、デコードされたレジスタにロードされる値です。

## 書き込み動作

RDAC レジスタまたはコントロール・レジスタに対してデータを書き込むことができます。AD5175 へ書き込みを行うときは、まずスタート・コマンドを送信し、続いてアドレス・バイト(R/W = 0)を送信します。その後 AD5175 は SDA をロー・レベルにして、データ受信の準備ができたことを通知します。

次に、2 バイトのデータ(上位バイトに続いて下位バイト)が RDAC に書込まれます。これらのデータバイトは AD5175 によりアックノリッジされます。この後に、ストップ条件が続きます。AD5175 に対する書き込み動作を図 25 に示します。

繰り返し書き込み機能は、デバイスに対するアドレッシング指定を 1 回行うだけで、デバイスを複数回更新する柔軟性を提供しません(図 26 参照)。

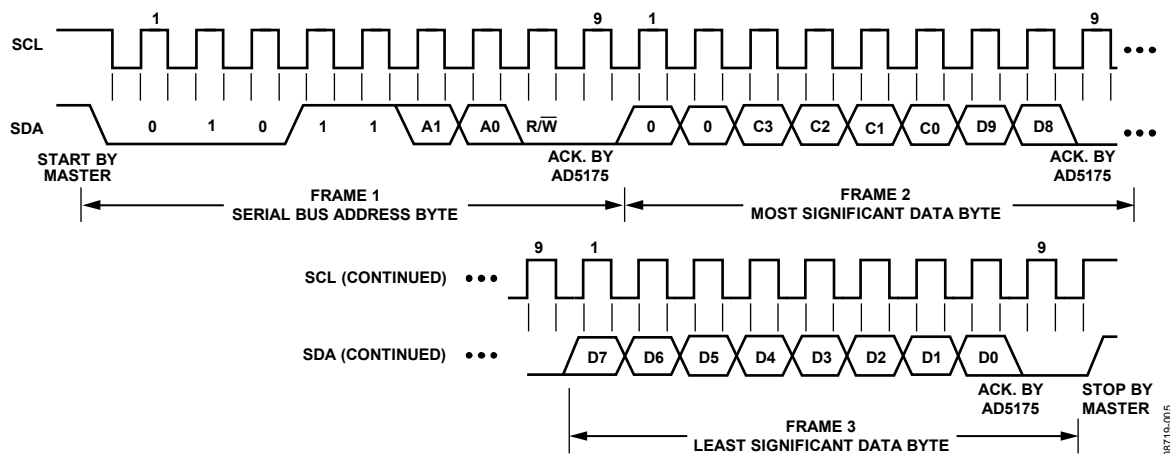


図 25.書き込みコマンド

08719-005

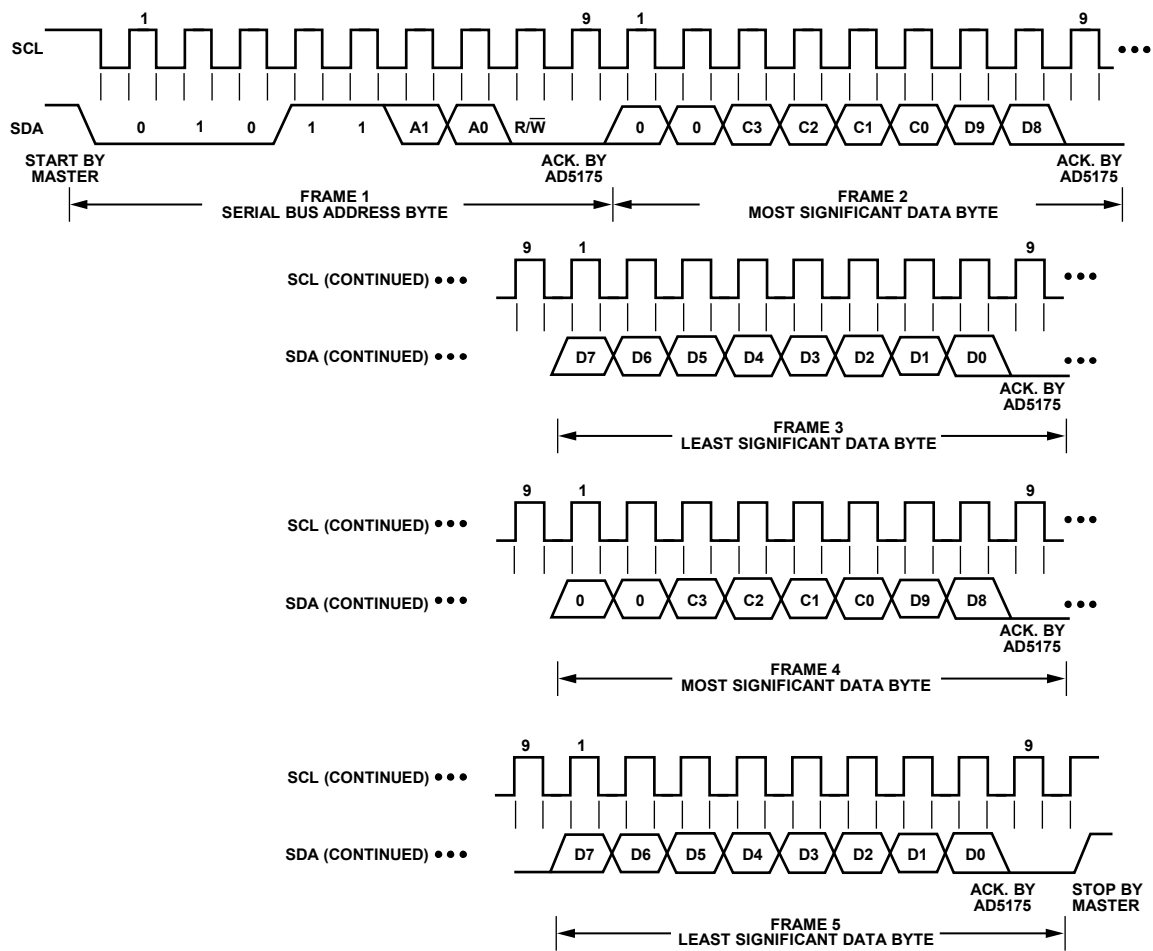


図 26.複数回書込み

08719-006

## 読出し動作

データを AD5175 から読出すときは、まずデバイスヘリドバック・コマンドを発行する必要があります。このコマンドは、スタート・コマンドで始まり、アドレス・バイト( $R/\bar{W} = 0$ )がその後ろに続きます。その後、AD5175 は SDA をロー・レベルにして、データ受信の準備ができたことを通知します。

次に、2 バイトのデータ(上位バイトに続いて下位バイト)が AD5175 に書込まれます。これらのデータバイトは AD5175 によりアクノリッジされます。この後に、ストップ条件が続きます。これらのバイトには、読出し命令が含まれます。この命令は、

RDACレジスタ、50-TPメモリ、またはコントロール・レジスタのリードバックをイネーブルします。ここで、データをリードバックすることができます。この動作はスタート・コマンドで開始され、その後ろにアドレス・バイト( $R/\bar{W} = 1$ )が続きます。その後、デバイスは SDA をロー・レベルにして、データ送信の準備ができたことを通知します。ここで、2 バイトのデータがデバイスから読出されます(図 27 参照)。この後に、ストップ条件が続きます。マスターが先頭バイトをアクノリッジしない場合、AD5175 から 2 番目のバイトは送信されません。

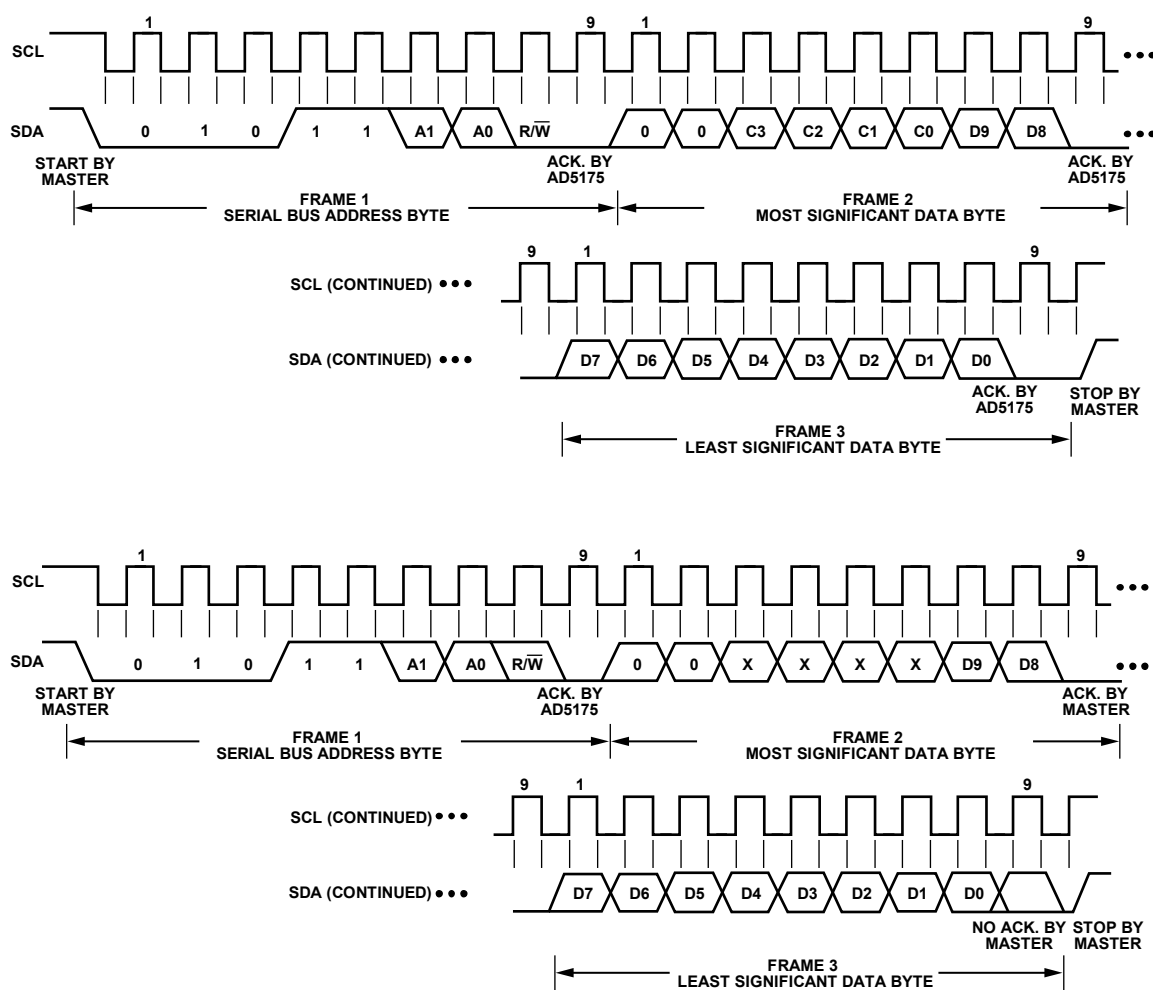


図 27. 読出しコマンド

08719-007

## RDACレジスタ

RDAC レジスタは、デジタル可変抵抗器のワイパー・ポジションを直接制御します。例えば、RDAC レジスタに全ビット 0 をロードすると、ワイパーは可変抵抗の A ピンに接続されます。I<sup>2</sup>C インターフェースを使って RDAC レジスタの書込みと読み出しを行うことができます。RDAC レジスタは標準のロジック・レジスタであるため、許容変更回数には制限がありません。

## 50-TPメモリ・ブロック

AD5175は、50-TPのプログラマブルなメモリ・レジスタの阵列を内蔵しています。このメモリ・レジスタを使うと、ワイパー・ポジションを最大50回分書込むことができます。表11にメモリ・マップを示します。表7に示すコマンド3は、RDACレジスタ値をメモリへ書込みます。書込む先頭アドレスは、ロケーション0x01に配置されています(表11参照)。後続の各書込みごとに、AD5175はメモリがフルになるまで50-TPメモリ・アドレスをインクリメントします。50-TPへのデータの書込みでは、55 ms間に約4 mAを消費し、完了までに約350 msを要します。この間、シフトレジスタがロックされて、変更されないように保護されます。表10に示すコントロール・レジスタのビットC2をポーリングして、ヒューズ・プログラム・コマンドが正常に完了したことを確認することができます。50-TPメモリの書込み時は、電源電圧の変化は許されませんが、EXT\_CAPピンに1 μFのコンデンサは必要です(図29参照)。

50-TPをアクティブにする前は、パワーアップ時にAD5175はミッドスケールに設定されます。コマンド5を使って、I<sup>2</sup>Cインターフェースから任意の50-TPメモリ・レジスタ値をリードバックすることができます(表7)。データバイトの下位6ビット(D0~D5)により、リードバック対象のメモリ・ロケーションが選択されます。コマンド6を使うと、直前に書込まれたワイパー・メモリ・ロケーションのバイナリ符号化されたアドレスをリードバックすることができます(表7)。この機能は、50-TPメモリ・ブロックのスペア・メモリ・ステータスをモニタするときに使うことができます。

## 書込み保護機能

パワーアップ時に、RDACレジスタと50-TPメモリ・レジスタに対するシリアル・データ入力レジスタ書込みコマンドがディスエーブルされます。コントロール・レジスタのRDAC書込み保護ビットC1(表9と表10参照)は、デフォルトで0に設定されます。これにより、ソフトウェア・コマンドに無関係にRDACレジスタ値の変更が禁止されます。ただし、ソフトウェア・リセット(コマンド4)またはハードウェアのRESETピンを使って、RDACレジスタを50-TPメモリからリフレッシュすることはできません。可変抵抗ワイパー・ポジションの書込み(RDACレジスタの書込み)をイネーブルときは、コントロール・レジスタの書込み保護ビットC1を先に設定する必要があります。これは、シリアル・データ入力レジスタにコマンド7をロードすることにより行われます(表7)。50-TPメモリ・ブロック・ビットの書込みをイネーブルするときは、コントロール・レジスタのC0(デフォルトで0に設定済み)を最初に1に設定する必要があります。

表 7. コマンド動作の真理値表

Command Number	Command[DB13:DB10]				Data[DB9:DB0] <sup>1</sup>										Operation
	C3	C2	C1	C0	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	NOP: do nothing.
1	0	0	0	1	D9	D8	D7	D6	D5	D4	D3	D2	D1	D	Write contents of serial register data to RDAC.
2	0	0	1	0	X	X	X	X	X	X	X	X	X	X	Read contents of RDAC wiper register.
3	0	0	1	1	X	X	X	X	X	X	X	X	X	X	Store wiper setting: store RDAC setting to 50-TP.
4	0	1	0	0	X	X	X	X	X	X	X	X	X	X	Software reset: refresh RDAC with the last 50-TP memory stored value.
5 <sup>2</sup>	0	1	0	1	X	X	X	X	D5	D4	D3	D2	D1	D0	Read contents of 50-TP from the SDO output in the next frame.
6	0	1	1	0	X	X	X	X	X	X	X	X	X	X	Read address of the last 50-TP programmed memory location.
7 <sup>3</sup>	0	1	1	1	X	X	X	X	X	X	X	X	D1	D0	Write contents of the serial register data to the control register.
8	1	0	0	0	X	X	X	X	X	X	X	X	X	X	Read contents of the control register.
9	1	0	0	1	X	X	X	X	X	X	X	X	X	D0	Software shutdown. D0 = 0; normal mode. D0 = 1; shutdown mode.

<sup>1</sup> X = don't care.

<sup>2</sup> 50-TPメモリ・マップについては表11を参照してください。

<sup>3</sup> 詳細については、表10を参照してください。



表 8.RDAC と 50-TP メモリの書込みと読み出し

DIN	SDO <sup>1</sup>	Action
0x1C03	0xXXX X	Enable update of wiper position and 50-TP memory contents through digital interface.
0x0500	0x1C03	Write 0x100 to the RDAC register, wiper moves to ¼ full-scale position.
0x0800	0x0500	Prepare data read from RDAC register.
0x0C00	0x100	Stores RDAC register content into 50-TP memory. 16-bit word appears out of SDO, where the last 10-bits contain the contents of the RDAC Register 0x100.
0x1800	0x0C00	Prepare data read of the last programmed 50-TP memory monitor location.
0x0000	0xXX19	NOP Instruction 0 sends a 16-bit word out of SDO, where the six LSBs (that is, the last 6 bits) contain the binary address of the last programmed 50-TP memory location, for example, 0x19 (see Table 11).
0x1419	0x0000	Prepares data read from Memory Location 0x19.
0x2000	0x0100	Prepare data read from the control register. Sends a 16-bit word out of SDO, where the last 10-bits contain the contents of Memory Location 0x19.
0x0000	0xXXX X	NOP Instruction 0 sends a 16-bit word out of SDO, where the last four bits contain the contents of the control register. If Bit C2 = 1, fuse program command successful.

<sup>1</sup> X = don't care.

表 9.コントロール・レジスタのビット・マップ

DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	C2	0	C1	C0

表 10.コントロール・レジスタの説明

Bit Name	Description
C0	50-TP program enable 0 = 50-TP program disabled (default) 1 = enable device for 50-TP program
C1	RDAC register write protect 0 = wiper position frozen to value in OTP memory (default) <sup>1</sup> 1 = allow update of wiper position through a digital interface
C2	50-TP memory program success bit 0 = fuse program command unsuccessful (default) 1 = fuse program command successful

<sup>1</sup> ワイパー・ポジションは 50-TP メモリに直前に書込んだ値に固定されます。50-TP メモリに書込みが行われない場合は、ワイパーはミッドスケールに固定されます。

表 11.メモリ・マップ

Command Number	Data Byte[DB9:DB0] <sup>1</sup>										Register Contents
	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
5	X	X	X	0	0	0	0	0	0	0	Reserved
	X	X	X	0	0	0	0	0	0	1	1 <sup>st</sup> programmed wiper location (0x01)
	X	X	X	0	0	0	0	0	1	0	2 <sup>nd</sup> programmed wiper location (0x02)
	X	X	X	0	0	0	0	0	1	1	3 <sup>rd</sup> programmed wiper location (0x03)
	X	X	X	0	0	0	0	1	0	0	4 <sup>th</sup> programmed wiper location (0x04)
	...	...	...	...	...	...	...	...	...	...	...
	X	X	X	0	0	0	1	0	1	0	10 <sup>th</sup> programmed wiper location (0xA)
	...	...	...	...	...	...	...	...	...	...	...
	X	X	X	0	0	1	0	1	0	0	20 <sup>th</sup> programmed wiper location (0x14)
	...	...	...	...	...	...	...	...	...	...	...
	X	X	X	0	0	1	1	1	1	0	30 <sup>th</sup> programmed wiper location (0x1E)
	...	...	...	...	...	...	...	...	...	...	...
	X	X	X	0	1	0	1	0	0	0	40 <sup>th</sup> programmed wiper location (0x28)
	...	...	...	...	...	...	...	...	...	...	...
	X	X	X	0	1	1	0	0	1	0	50 <sup>th</sup> programmed wiper location (0x32)
	...	...	...	...	...	...	...	...	...	...	...
X	X	X	0	1	1	1	0	0	1	MSB resistance tolerance (0x39)	
X	X	X	0	1	1	1	0	1	0	LSB resistance tolerance (0x3A)	

<sup>1</sup> X = don't care.

## 50-TPメモリ書込み—アクノリッジ・ポーリング

50-TP レジスタに対する各書込み動作の後に、内部書込みサイクルが開始されます。デバイスの I<sup>2</sup>C インターフェースはディスエーブルされます。内部書込みサイクルの終了と I<sup>2</sup>C インターフェースのイネーブルを確認するために、インターフェースのポーリングを行うことができます。I<sup>2</sup>C インターフェースのポーリングは、スタート条件を送信し、続いてスレーブ・アドレスと書込みビットを送信することにより実行することができます。I<sup>2</sup>C インターフェースがアクノリッジ(ACK)で応答してくる場合、書込みサイクルが完了し、インターフェースは次の動作が可能であることを意味します。その他の場合には、I<sup>2</sup>C インターフェースのポーリングが完了するまで繰り返すことができます。

## リセット

コマンド 4 を実行することによりソフトウェアから AD5175 をリセットすることもできます(表 7 参照)。あるいは、ハードウェアにより RESET ピンにロー・レベル・パルスを入力することによりリセットすることもできます。リセット・コマンドにより、直前に書込まれた 50-TPメモリ・ロケーションの値が RDAC レジスタにロードされます。直前に書込まれた 50-TPメモリ・ロケーションがない場合には、RDAC レジスタにミッドスケールがロードされます。使用しない場合は、RESET を V<sub>DD</sub> に接続してください。

## シャットダウン・モード

AD5175 は、ソフトウェア・シャットダウン・コマンド(コマンド 9)を実行して LSB に 1 を設定することにより、シャットダウンすることができます(表 7 参照)。この機能により RDAC はゼロ消費電力状態になり、ピン A はワイパー・ピンから切り離されます。AD5175 がシャットダウン・モードにあるとき、表 7 の全コマンドを実行することができます。コマンド 9 を実行して、LSB を 0 に設定するか、またはソフトウェア・リセットまたはハードウェア・リセットを発行することにより、デバイスをシャットダウン・モードから抜け出させることができます。

## RDACアーキテクチャ

最適性能を実現するため、アナログ・デバイスはすべてのデジタル・ポテンシオメータに対して RDAC セグメント化アーキテクチャの特許を取得しました。特に、AD5175 では 3 ステージ・セグメント化を採用しています(図 28 参照)。AD5175 ワイパー・スイッチは、トランスマッション・ゲート CMOS 回路を採用してデザインされています。

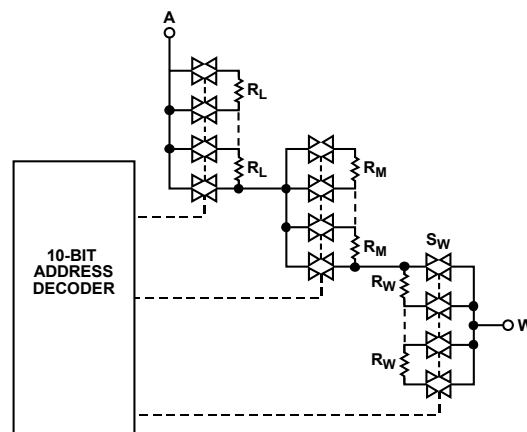


図 28.簡略化した RDAC 回路

## 可変抵抗のプログラミング

### 可変抵抗器動作

ピン W とピン A の間の公称抵抗( $R_{WA}$ )は 10 k $\Omega$  であり、ワイパー・ピンからアクセスされるタップ・ポイント数は 1024 です。RDAC ラッチ内の 10 ビット・データがデコードされて、1024 通りのワイパー設定の内の 1 つを選択します。このため、W ピンと A ピンとの間のデジタル的に設定する出力抵抗を決定する一般式は次のようになります。

$$R_{WA}(D) = \frac{D}{1024} \times R_{WA} \quad (1)$$

ここで、

$D$  は、10 ビット RDAC レジスタにロードされるバイナリ・コード・データの 10 進数表示。

$R_{WA}$  はピン間抵抗。

ゼロ・スケール状態では、有限な合計ワイパー抵抗が 120 $\Omega$  となります。デバイスが動作している設定に関らず、A ピン—W ピン間と、W ピン—B ピン間の電流を最大連続電流  $\pm 6$  mA または表 3 に規定するパルス電流に制限するように注意する必要があります。そうしないと、内部スイッチ・コンタクトの性能低下または破壊が生ずる恐れがあります。

## 実際のピン間抵抗の計算

抵抗偏差は工場出荷テスト時に内部メモリに保存されます。このため、実際のピン間抵抗を計算することができ、これはキャリブレーション、偏差の一致、高精度アプリケーションで役立ちます。

パーセント抵抗偏差は、固定小数点フォーマットにより 16 ビット符号付きバイナリで保存されています。符号ビット(0 = 負および 1 = 正)と整数部分はアドレス 0x39 に配置されています(表 11 参照)。アドレス 0x3A には非整数部分が配置されています(表 12 参照)。

すなわち、アドレス 0x39 からのデータ・リードバックが 0000001010 で、かつアドレス 0x3A からのデータが 0010110000 の場合、ピン間抵抗は次のように計算されます。

メモリ・ロケーション 0x39 の場合

DB[9:8]: XX = don't care

DB[7]: 0 = 負

DB[6:0]: 0001010 = 10

メモリ・ロケーション 0x3A の場合

DB[9:8]: XX = don't care

DB[7:0]: 10110000 =  $176 \times 2^{-8} = 0.6875$

したがって、偏差 = -10.6875% で、 $R_{WA}(1023) = 8.931 \text{ k}\Omega$ 。

## EXT\_CAPコンデンサ

パワーアップ時と AD5175 の動作中に、1  $\mu\text{F}$  のコンデンサを EXT\_CAP ピンと  $V_{SS}$  との間に接続する必要があります(図 29 参照)。

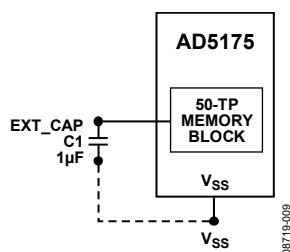


図 29. EXT\_CAP ハードウェアのセットアップ

表 12. ピン間抵抗偏差の各バイト

Memory Map Address	Data Byte <sup>1</sup>									
	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0x39	X	X	Sign	$2^6$	$2^5$	$2^4$	$2^3$	$2^2$	$2^1$	$2^0$
0x3A	X	X	$2^{-1}$	$2^{-2}$	$2^{-3}$	$2^{-4}$	$2^{-5}$	$2^{-6}$	$2^{-7}$	$2^{-8}$

<sup>1</sup>X は don't care

## ピン電圧の動作範囲

AD5175 の正側  $V_{DD}$  電源と負側  $V_{SS}$  電源により、2 端子デジタル抵抗動作の動作範囲が決定されます。 $V_{DD}$  または  $V_{SS}$  を超えてピン A とピン W に入力される電源信号は、内蔵の順方向バイアス・ダイオードによりクランプされます(図 30 参照)。

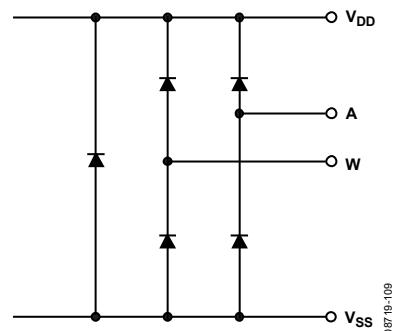


図 30.  $V_{DD}$  と  $V_{SS}$  により設定される最大ピン電圧

AD5175 のグラウンド・ピンは、主にデジタル・グラウンド基準として使われます。デジタル・グラウンド・バウンズを最小にするため、AD5175 のグラウンド・ピンはコモン・グラウンドから離れた所で接続する必要があります。AD5175 に対するデジタル入力コントロール信号はデバイス・グラウンド・ピン (GND) を基準として、仕様のセクションに規定するロジック・レベルを満たす必要があります。内蔵のレベル・シフト回路は、デジタル入力レベルに無関係に、3 本のピンの同相モード電圧範囲を  $V_{SS}$  から  $V_{DD}$  へ確実に拡張します。

## パワーアップ・シーケンス

ピン A とピン W での電圧コンプライアンスを制限するダイオードが内蔵されているため(図 30)、ピン A とピン W に電圧を加える前に先に  $V_{DD}/V_{SS}$  を加えることが重要です。そうしないと、ダイオードが順方向バイアスされて、意図せずに  $V_{DD}/V_{SS}$  に電源が接続されてしまいます。最適なパワーアップ・シーケンスは、 $V_{SS}$ 、GND、 $V_{DD}$  デジタル入力の順、続いて  $V_A$ 、 $V_W$  の順序です。電源投入シーケンス  $V_A$ 、 $V_W$ 、デジタル入力の順は、 $V_{DD}/V_{SS}$  投入後であれば、重要ではありません。

$V_{DD}$  が加わると直ちに、パワーオン・プリセットが起動されます。これによりまず RDAC がミッドスケールに設定され、次に最後に書込まれた 50-TP 値が RDAC レジスタに復元されます。

## 外形寸法

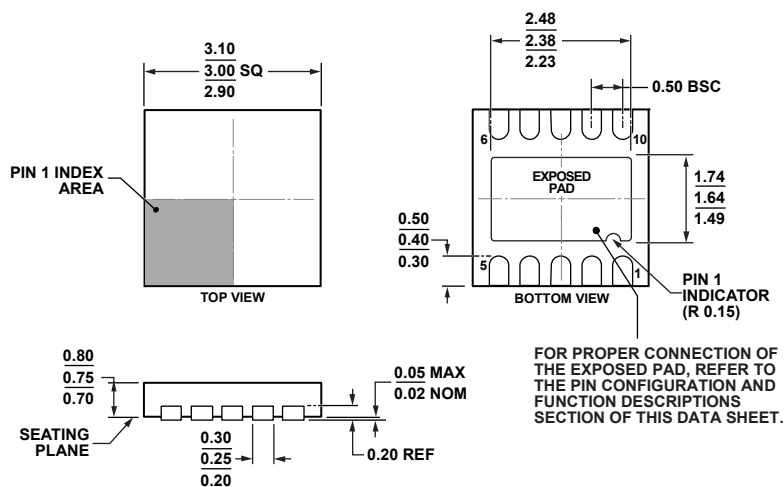


図 31.10 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_WD]  
3 mm × 3 mm ボディ、極薄、デュアル・リード(CP-10-9)  
寸法: mm

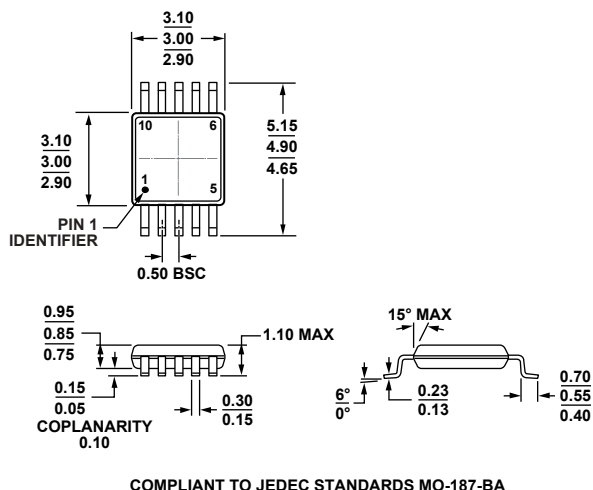


図 32.10 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]  
(RM-10)  
寸法: mm

## オーダー・ガイド

Model <sup>1</sup>	R <sub>AB</sub> (kΩ)	Resolution	Temperature Range	Package Description	Package Option	Branding
AD5175BRMZ-10	10	1,024	-40°C to +125°C	10-Lead MSOP	RM-10	DDR
AD5175BRMZ-10-RL7	10	1,024	-40°C to +125°C	10-Lead MSOP	RM-10	DDR
AD5175BCPZ-10-RL7	10	1,024	-40°C to +125°C	10-Lead LFCSP_WD	CP-10-9	DEG

<sup>1</sup> Z = RoHS 準拠製品。

<sup>2</sup> C は、Philips Semiconductors 社(現在の NXP Semiconductors 社)が開発した通信プロトコルです。