



# 4チャンネル、256ポジション SPI、不揮発性デジタル・ ポテンショメータ

## データシート

## AD5144-EP

### 特長

- 10kΩの抵抗オプション
- 抵抗許容誤差：最大8%
- 最大連続電流：±6mA (R<sub>AB</sub> = 10kΩ時)
- 低抵抗温度係数：35ppm/°C (代表値)
- 広帯域幅：3MHz (R<sub>AB</sub> = 10kΩ時)
- 短い起動時間：75μs
- リニア・ゲイン設定モード
- 単電源／両電源で動作
- 独立したV<sub>Logic</sub>：1.8V～5.5V

### EP (強化製品) の特長

- 防衛および航空宇宙アプリケーション (AQEC 規格) に対応
- ミリタリ温度範囲：-55°C～+125°C
- 品質管理された製造ベースライン
- アセンブリ／テストは同一工場
- 製造工場を1箇所に限定
- 製品変更通知
- 要求に応じて入手可能な品質評価データ

### アプリケーション

- ミサイルおよび軍用品
- アビオニクスおよび無人システム
- プログラマブルなフィルタ、遅延、時定数
- プログラマブルな電源

### 概要

AD5144-EP は、256 ポジションの調整を必要とするアプリケーションに不揮発性のソリューションを提供するポテンショメータで、Ax、Bx、Wx ピンに±8%の低い抵抗許容誤差と最大±6mAの電流密度を確保しています。

抵抗許容誤差と公称温度係数が小さいため、オープンループのアプリケーションや許容誤差のマッチングが必要なアプリケーションの簡略化が可能です。

リニア・ゲイン設定モードでは、端子 A～端子 W 間 (R<sub>AW</sub>) および端子 W～端子 B 間 (R<sub>WB</sub>) のストリング抵抗を使用してデジタル・ポテンショメータの端子間抵抗を独立に設定できるため、高精度な抵抗マッチングを実現できます。

広い帯域幅と小さい全高調波歪み (THD) により、AC 信号に対して最適な性能が得られるため、このデバイスはフィルタ設計に適しています。

### 機能ブロック図

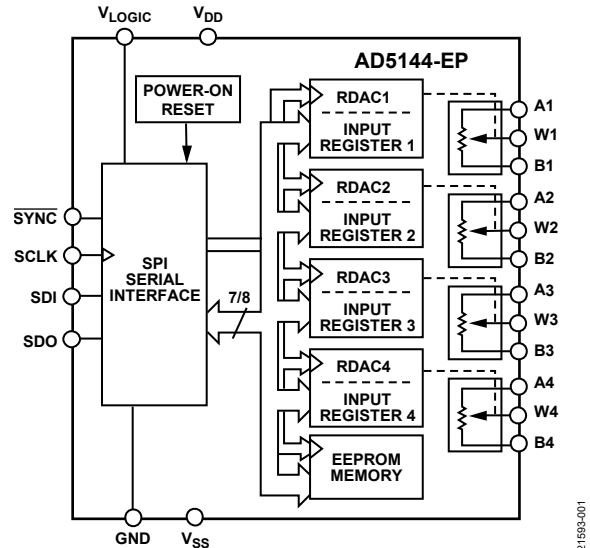


図 1.

抵抗アレイ両端でのワイパー抵抗は 40Ω と小さいため、ピン to ピンの接続が可能です。

ワイパーの値は、シリアル・ペリフェラル・インターフェース (SPI) デジタル・インターフェースを使って設定できます。このインターフェースは、ワイパー・レジスタと EEPROM (Electrically Erasable Programmable Read-Only Memory) の値のリードバックにも使えます。

AD5144-EP は 20 ピン TSSOP パッケージを採用しています。このデバイスは、-55°C～+125°C の動作温度範囲で仕様規定されています。

アプリケーションと技術情報の詳細については、AD5144 データシートを参照してください。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長 .....	1	シフト・レジスタとタイミング図 .....	5
強化製品の特長 .....	1	絶対最大定格 .....	7
アプリケーション .....	1	熱抵抗 .....	7
機能ブロック図 .....	1	ESD に関する注意 .....	7
概要 .....	1	ピン配置およびピン機能の説明 .....	8
改訂履歴 .....	2	代表的な性能特性 .....	9
仕様 .....	3	外形寸法 .....	11
電気的特性 .....	3	オーダー・ガイド .....	11
インターフェース・タイミング仕様 .....	5		

## 改訂履歴

9/2019—Revision 0: Initial Version

## 仕様

### 電気的特性

特に指定のない限り、 $V_{DD} = 2.3V \sim 5.5V$  および  $V_{SS} = 0V$  の単電源電圧範囲、 $V_{DD} = 2.25V \sim 2.75V$  および  $V_{SS} = -2.25V \sim -2.75V$  の両電源電圧範囲、 $V_{LOGIC} = 1.8V \sim 5.5V$ 、 $-55^{\circ}C < T_A < +125^{\circ}C$ 。仕様のセクションで使用したテスト条件を決定するためのテスト回路については、AD5144 のデータシートを参照してください。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ <sup>1</sup>	Max	Unit
<b>DC CHARACTERISTICS—RHEOSTAT MODE (ALL RESISTIVE DIGITAL-TO-ANALOG CONVERTERS (RDACS))</b>						
Resolution	N		8			Bits
Resistor Integral Nonlinearity <sup>2</sup>	R-INL	Terminal A and Terminal B resistor ( $R_{AB}$ ) = 10 k $\Omega$ $V_{DD} \geq 2.7 V$ $V_{DD} < 2.7 V$	-2 -5	$\pm 0.2$ $\pm 1.5$	+2 +5	LSB LSB
Resistor Differential Nonlinearity <sup>2</sup>	R-DNL		-0.5	$\pm 0.2$	+0.5	LSB
Nominal Resistor Tolerance	$\Delta R_{AB}/R_{AB}$		-8	$\pm 1$	+8	%
Resistance Temperature Coefficient <sup>3</sup>	$(\Delta R_{AB}/R_{AB})/\Delta T \times 10^6$	Code = full scale		35		ppm/ $^{\circ}C$
Wiper Resistance <sup>3</sup>	$R_W$	Code = zero scale, $R_{AB} = 10 k\Omega$		55	125	$\Omega$
Bottom Scale or Top Scale	$R_{BS}$ or $R_{TS}$	$R_{AB} = 10 k\Omega$		40	80	$\Omega$
Nominal Resistance Match	$R_{AB1}/R_{AB2}$	Code = 0xFF	-1	$\pm 0.2$	+1	%
<b>DC CHARACTERISTICS—POTENTIOMETER DIVIDER MODE (ALL RDACS)</b>						
Integral Nonlinearity <sup>4</sup>	INL	$R_{AB} = 10 k\Omega$	-1	$\pm 0.2$	+1	LSB
Differential Nonlinearity <sup>4</sup>	DNL		-0.5	$\pm 0.2$	+0.5	LSB
Full-Scale Error	$V_{WFSE}$	$R_{AB} = 10 k\Omega$	-2.5	-0.1		LSB
Zero-Scale Error	$V_{WZSE}$	$R_{AB} = 10 k\Omega$		1.2	3	LSB
Voltage Divider Temperature Coefficient <sup>3</sup>	$(\Delta V_W/V_W)/\Delta T \times 10^6$	Code = half scale		$\pm 5$		ppm/ $^{\circ}C$
<b>RESISTOR TERMINALS</b>						
Maximum Continuous Current	$I_A$ , $I_B$ , and $I_W$	$R_{AB} = 10 k\Omega$	-6		+6	mA
Terminal Voltage Range <sup>5</sup>			$V_{SS}$		$V_{DD}$	V
Capacitance A, Capacitance B <sup>3</sup>	$C_A$ , $C_B$	f = 1 MHz, measured to GND, code = half scale, $R_{AB} = 10 k\Omega$		25		pF
Capacitance W <sup>3</sup>	$C_W$	f = 1 MHz, measured to GND, code = half scale, $R_{AB} = 10 k\Omega$		12		pF
Common-Mode Leakage Current <sup>3</sup>		Terminal A voltage ( $V_A$ ) = wiper terminal voltage ( $V_W$ ) = Terminal B voltage ( $V_B$ )	-500	$\pm 15$	+500	nA
<b>DIGITAL INPUTS</b>						
Input Logic <sup>3</sup>						
High	$V_{INH}$	$V_{LOGIC} = 1.8 V$ to 2.3 V	$0.8 \times V_{LOGIC}$			V
		$V_{LOGIC} = 2.3 V$ to 5.5 V	$0.7 \times V_{LOGIC}$			V
Low	$V_{INL}$				$0.2 \times V_{LOGIC}$	V
Input Hysteresis <sup>3</sup>	$V_{HYST}$		$0.1 \times V_{LOGIC}$			V
Input Current <sup>3</sup>	$I_{IN}$				$\pm 1$	$\mu A$
Input Capacitance <sup>3</sup>	$C_{IN}$			5		pF

Parameter	Symbol	Test Conditions/Comments	Min	Typ <sup>1</sup>	Max	Unit
<b>DIGITAL OUTPUTS</b>						
Output High Voltage <sup>3</sup>	V <sub>OH</sub>	Pull-up resistor (R <sub>PULL-UP</sub> ) = 2.2 kΩ to V <sub>LOGIC</sub>		V <sub>LOGIC</sub>		V
Output Low Voltage <sup>3</sup>	V <sub>OL</sub>	Sink current (I <sub>SINK</sub> ) = 3 mA			0.4	V
		I <sub>SINK</sub> = 6 mA, V <sub>LOGIC</sub> > 2.3 V			0.6	V
Three-State Leakage Current			-1		+1	μA
Three-State Output Capacitance				2		pF
<b>POWER SUPPLIES</b>						
Single-Supply Range		V <sub>SS</sub> = GND	2.3		5.5	V
Dual-Supply Range			±2.25		±2.75	V
Logic Supply Range		Single supply, V <sub>SS</sub> = GND	1.8		V <sub>DD</sub>	V
		Dual supply, V <sub>SS</sub> < GND	2.25		V <sub>DD</sub>	V
Positive Supply Current	I <sub>DD</sub>	V <sub>INH</sub> = V <sub>LOGIC</sub> or V <sub>INL</sub> = GND		0.7	5.5	μA
		V <sub>DD</sub> = 5.5 V		400		nA
		V <sub>DD</sub> = 2.3 V				
Negative Supply Current	I <sub>SS</sub>	V <sub>INH</sub> = V <sub>LOGIC</sub> or V <sub>INL</sub> = GND	-5.5	-0.7		μA
EEPROM Store Current <sup>3, 6</sup>	I <sub>DD_EEPROM_STORE</sub>	V <sub>INH</sub> = V <sub>LOGIC</sub> or V <sub>INL</sub> = GND		2		mA
EEPROM Read Current <sup>3, 7</sup>	I <sub>DD_EEPROM_READ</sub>	V <sub>INH</sub> = V <sub>LOGIC</sub> or V <sub>INL</sub> = GND		320		μA
Logic Supply Current	I <sub>LOGIC</sub>	V <sub>INH</sub> = V <sub>LOGIC</sub> or V <sub>INL</sub> = GND		0.05	1.4	μA
Power Dissipation <sup>8</sup>	P <sub>DISS</sub>	V <sub>INH</sub> = V <sub>LOGIC</sub> or V <sub>INL</sub> = GND		3.5		μW
Power Supply Rejection Ratio	PSRR	ΔV <sub>DD</sub> /ΔV <sub>SS</sub> = V <sub>DD</sub> ± 10%, code = full scale		-66	-60	dB
<b>DYNAMIC CHARACTERISTICS<sup>9</sup></b>						
Bandwidth	BW	-3 dB, R <sub>AB</sub> = 10 kΩ		3		MHz
Total Harmonic Distortion	THD	V <sub>DD</sub> /V <sub>SS</sub> = ±2.5 V, V <sub>A</sub> = 1 V rms, V <sub>B</sub> = 0 V, f = 1 kHz		-80		dB
Resistor Noise Density	e <sub>N_WB</sub>	Code = half scale, T <sub>A</sub> = 25°C, f = 10 kHz, R <sub>AB</sub> = 10 kΩ		7		nV/√Hz
V <sub>W</sub> Settling Time	t <sub>S</sub>	V <sub>A</sub> = 5 V, V <sub>B</sub> = 0 V, from zero scale to full scale, ±0.5 LSB error band, R <sub>AB</sub> = 10 kΩ		2		μs
Crosstalk (C <sub>W1</sub> /C <sub>W2</sub> )	C <sub>T</sub>	R <sub>AB</sub> = 10 kΩ		10		nV-sec
Analog Crosstalk	C <sub>TA</sub>			-90		dB
Endurance <sup>10</sup>		T <sub>A</sub> = 25°C		1		Mcycles
Data Retention <sup>11, 12</sup>			100			kcycles
				50		Years

<sup>1</sup> 代表値は、25°C、V<sub>DD</sub> = 5V、V<sub>SS</sub> = 0V、V<sub>LOGIC</sub> = 5Vでの平均測定値です。

<sup>2</sup> 抵抗積分非直線性誤差 (R-INL) は、最大抵抗のワイパー・ポジションと最小抵抗のワイパー・ポジションとの間で測定された理想値からの差を表します。R-DNLは、連続タップ・ポジション間での理想値からの相対的なステップ変化を測定します。最大ワイパー電流は (0.7 × V<sub>DD</sub>) / R<sub>AB</sub> に制限されま

す。  
<sup>3</sup> 設計と特性評価により性能は確保していますが、出荷テストの対象外です。

<sup>4</sup> INLとDNLは、RDACを電圧出力DACと同様のポテンシオメータ・デバイダとして設定し、端子W〜端子B間の電圧 (V<sub>WB</sub>) で測定します。V<sub>A</sub> = V<sub>DD</sub> かつ V<sub>B</sub> = 0Vです。最大±1 LSBのDNL仕様規定値では、単調増加性の動作状態が確保されています。

<sup>5</sup> 抵抗端子A、抵抗端子B、抵抗端子Wには、各端子に対する極性の制約はありません。両電源動作では、グラウンドを基準としたバイポーラ信号の調整が可能です。

<sup>6</sup> I<sub>DD\_EEPROM\_STORE</sub> は動作電流とは異なります。EEPROM書込みに必要な電源電流で、約30msの間流れます。

<sup>7</sup> I<sub>DD\_EEPROM\_READ</sub> は動作電流とは異なります。EEPROM読出しに必要な電源電流で、約20μsの間流れます。

<sup>8</sup> P<sub>DISS</sub>は (I<sub>DD</sub> × V<sub>DD</sub>) + (I<sub>LOGIC</sub> × V<sub>LOGIC</sub>) で計算します。

<sup>9</sup> すべての動的特性は V<sub>DD</sub>/V<sub>SS</sub> = ±2.5V、V<sub>LOGIC</sub> = 2.5Vを使用しています。

<sup>10</sup> 書き換え回数は、JEDEC規格22 Method A117に基づき100,000回で評価し、-55°C〜+125°Cで測定しています。

<sup>11</sup> データ保持寿命は、JEDEC規格22 Method A117に準拠した125°Cのジャンクション温度 (T<sub>J</sub>) での値です。1eVの活性化エネルギーに基づくデータ保持寿命は、フラッシュ/EEメモリのジャンクション温度によって低下します。

<sup>12</sup> 50年は1000回の書き換え回数に該当します。100,000回の書き換え回数は、5年間のデータ保持寿命と等価です。

## インターフェース・タイミング仕様

特に指定のない限り、 $V_{\text{LOGIC}} = 1.8\text{V} \sim 5.5\text{V}$ 、すべての仕様で  $T_{\text{MIN}} \sim T_{\text{MAX}}$ 。

表 2. SPI インターフェース

パラメータ <sup>1</sup>	テスト条件/コメント	Min	Typ	Max	単位	説明
$t_1$	$V_{\text{LOGIC}} > 1.8\text{V}$	20			ns	SCLK サイクル時間
	$V_{\text{LOGIC}} = 1.8\text{V}$	30			ns	
$t_2$	$V_{\text{LOGIC}} > 1.8\text{V}$	10			ns	SCLK ハイ時間
	$V_{\text{LOGIC}} = 1.8\text{V}$	15			ns	
$t_3$	$V_{\text{LOGIC}} > 1.8\text{V}$	10			ns	SCLK ロー時間
	$V_{\text{LOGIC}} = 1.8\text{V}$	15			ns	
$t_4$		10			ns	SYNCから SCLK 立下がりエッジ・セットアップまでの時間
$t_5$		5			ns	データ・セットアップ時間
$t_6$		5			ns	データ・ホールド時間
$t_7$		10			ns	SYNC立上がりエッジからデータ無効期間での次の SCLK 立下がりエッジまでの時間
$t_8^2$		20			ns	最小 SYNCハイ時間
$t_9^3$			50		ns	SCLK 立上がりエッジから SDO が有効になるまでの時間
$t_{10}$				500	ns	SYNC立上がりエッジから SDO ピンが無効になるまでの時間
$t_{\text{POWER-UP}}$				75	$\mu\text{s}$	スタートアップ時間 (図 3 と図 4 には示されていません)

<sup>1</sup>すべての入力信号は、立上がり時間 ( $t_r$ ) = 立下がり時間 ( $t_f$ ) =  $1\text{ns}/V$  ( $V_{\text{DD}}$  の 10%~90%) で仕様規定し、 $(V_{\text{IL}} + V_{\text{IH}}) / 2$  の電圧レベルで時間を測定しています。

<sup>2</sup>メモリのコマンド動作については、 $t_{\text{EEPROM\_PROGRAM}}$  と  $t_{\text{EEPROM\_READBACK}}$  を参照してください (詳細については、AD5144 データシートに記載された制御ピンの表を参照してください)。

<sup>3</sup> $V_{\text{DD}}$  には  $2.2\text{k}\Omega$  のプルアップ抵抗 ( $R_{\text{PULL\_UP}}$ ) が接続され、容量性負荷は  $168\text{pF}$  です。

## シフト・レジスタとタイミング図

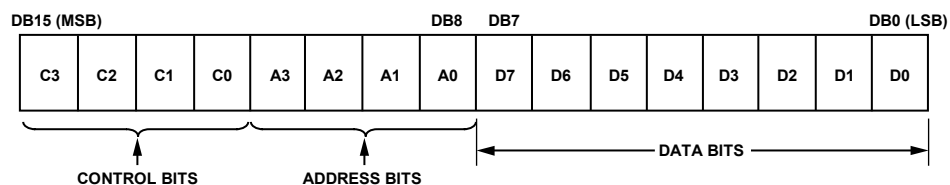


図 2. 入力シフト・レジスタ値

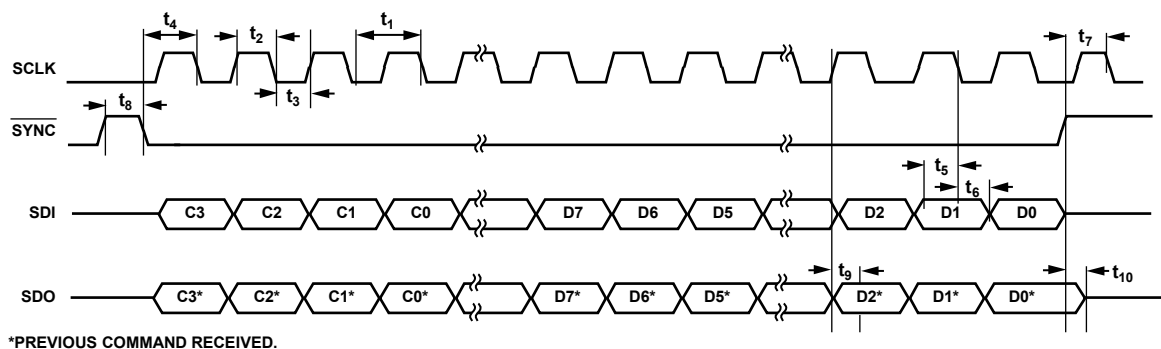


図 3. SPI シリアル・インターフェースのタイミング図、CPOL = 0、CPHA = 1

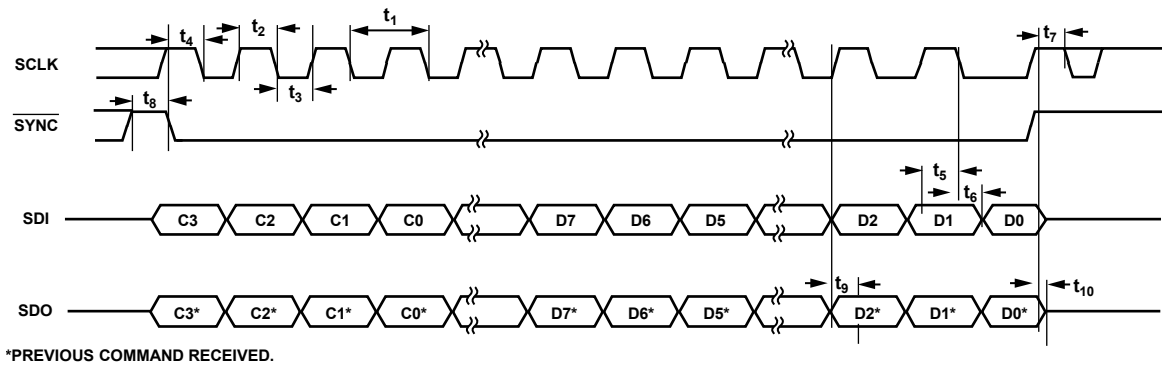


図 4. SPI シリアル・インターフェースのタイミング図、CPOL = 1、CPHA = 0

21693-004

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
$V_{DD}$ to GND	-0.3 V to +7.0 V
$V_{SS}$ to GND	+0.3 V to -7.0 V
$V_{DD}$ to $V_{SS}$	7 V
$V_{LOGIC}$ to GND	-0.3 V to $V_{DD} + 0.3$ V or +7.0 V (whichever is less)
$V_A, V_W, V_B$ to GND	$V_{SS} - 0.3$ V, $V_{DD} + 0.3$ V
$I_A, I_W, I_B$	
Pulsed <sup>1</sup> , $R_{AW} = 10$ k $\Omega$	
Frequency > 10 kHz	$\pm 6$ mA/d <sup>2</sup>
Frequency $\leq 10$ kHz	$\pm 6$ mA/ $\sqrt{d^2}$
Digital Inputs	-0.3 V to $V_{LOGIC} + 0.3$ V or +7 V (whichever is less)
Operating Temperature Range, $T_A$ <sup>3</sup>	-55°C to +125°C
Maximum Junction Temperature, $T_J$ Maximum	150°C
Storage Temperature Range	-65°C to +150°C
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	20 sec to 40 sec
Package Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$
Field Induced Charged Device Model (FICDM)	1.5 kV

<sup>1</sup> 最大端子電流は、スイッチング処理に使用される最大電流、パッケージの最大消費電力、および設定された抵抗での A、B、W 端子の中の任意の 2 端子間に印加された最大電圧によって制限されます。

<sup>2</sup> d = パルス・デューティ・ファクタ。

<sup>3</sup>  $T_A$  には EEPROM メモリの書込みが含まれます。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

$\theta_{JA}$  は、1 立方フィートの密閉容器内で測定された、自然対流下での周囲とジャンクションの間の熱抵抗です。 $\theta_{JC}$  は、パッケージ上面で測定された、ジャンクションとケースの間の熱抵抗です。

表 4. 熱抵抗

Package Type	$\theta_{JA}$ <sup>1</sup>	$\theta_{JC}$	Unit
RU-20	143	45	°C/W

<sup>1</sup> 熱抵抗のシミュレーション値は、自然空冷 (空気流 0m/sec) 時の JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

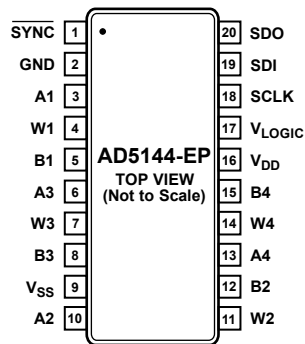


図 5. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	SYNC	同期データ入力、アクティブ・ロー。SYNCがハイに戻ると、データは入力シフト・レジスタにロードされます。
2	GND	グラウンド・ピン、ロジックのグラウンド・リファレンス。
3	A1	RDAC 1 の端子 A。 $V_{SS} \leq V_A \leq V_{DD}$ 。
4	W1	RDAC 1 のワイパー端子。 $V_{SS} \leq V_W \leq V_{DD}$ 。
5	B1	RDAC 1 の端子 B。 $V_{SS} \leq V_B \leq V_{DD}$ 。
6	A3	RDAC 3 の端子 A。 $V_{SS} \leq V_A \leq V_{DD}$ 。
7	W3	RDAC 3 のワイパー端子。 $V_{SS} \leq V_W \leq V_{DD}$ 。
8	B3	RDAC 3 の端子 B。 $V_{SS} \leq V_B \leq V_{DD}$ 。
9	V <sub>SS</sub>	負側電源。このピンは、0.1μF のセラミック・コンデンサと 10μF のコンデンサを接続してデカップリングします。
10	A2	RDAC 2 の端子 A。 $V_{SS} \leq V_A \leq V_{DD}$ 。
11	W2	RDAC 2 のワイパー端子。 $V_{SS} \leq V_W \leq V_{DD}$ 。
12	B2	RDAC 2 の端子 B。 $V_{SS} \leq V_B \leq V_{DD}$ 。
13	A4	RDAC 4 の端子 A。 $V_{SS} \leq V_A \leq V_{DD}$ 。
14	W4	RDAC 4 のワイパー端子。 $V_{SS} \leq V_W \leq V_{DD}$ 。
15	B4	RDAC 4 の端子 B。 $V_{SS} \leq V_B \leq V_{DD}$ 。
16	V <sub>DD</sub>	正側電源。このピンは、0.1μF のセラミック・コンデンサと 10μF のコンデンサを接続してデカップリングします。
17	V <sub>LOGIC</sub>	ロジック電源、1.8V~V <sub>DD</sub> 。このピンは、0.1μF のセラミック・コンデンサと 10μF のコンデンサを接続してデカップリングします。
18	SCLK	シリアル・クロック・ライン。データはロジック・ローへの遷移時にクロックされます。
19	SDI	シリアル・データ入力。
20	SDO	シリアル・データ出力。SDO はオープンドレイン出力で、外付けプルアップ抵抗が必要です。



代表的な性能特性

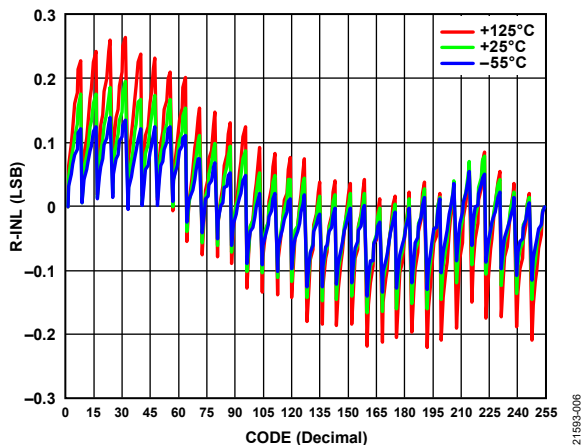


図 6. 様々な温度における R-INL とコードの関係

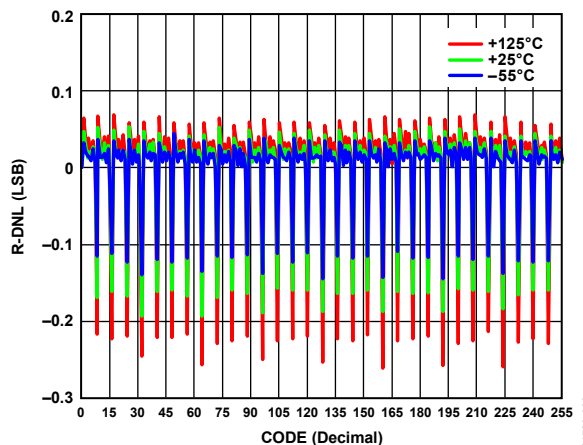


図 9. 様々な温度における R-DNL とコードの関係

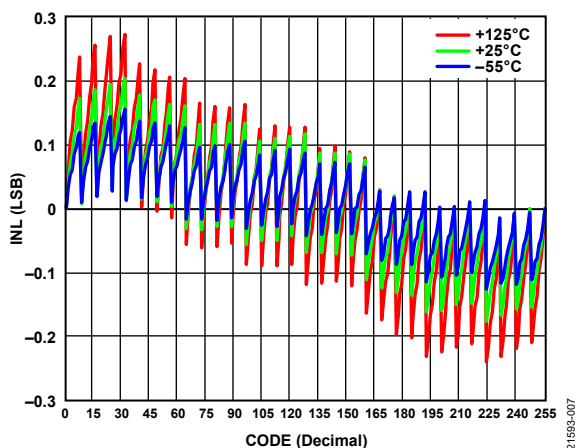


図 7. 様々な温度における INL とコードの関係

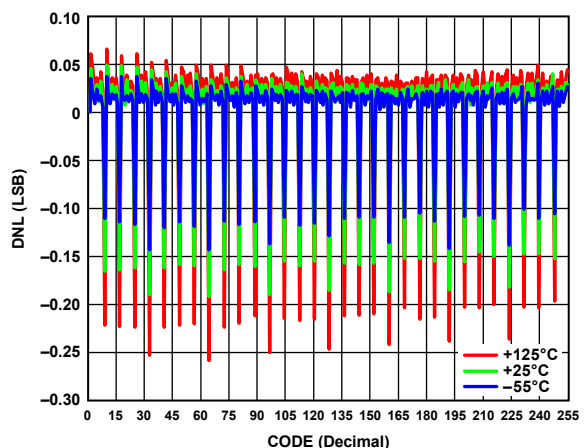


図 10. 様々な温度における DNL とコードの関係

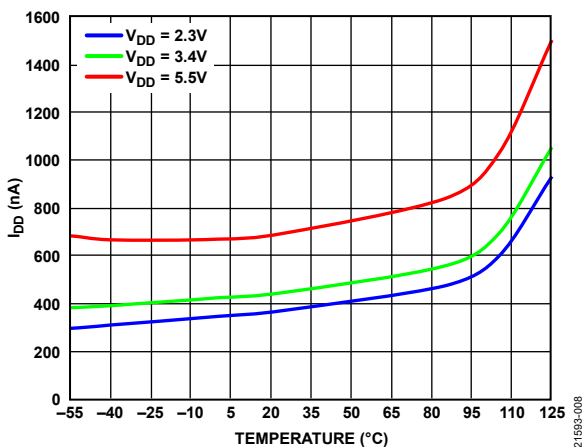


図 8. 様々な電源における電源電流 ( $I_{DD}$ ) の温度特性

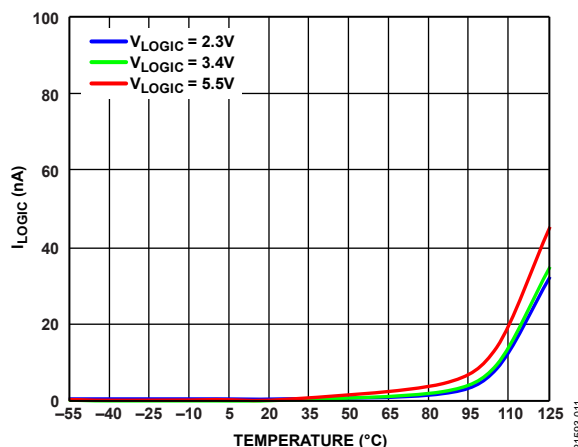
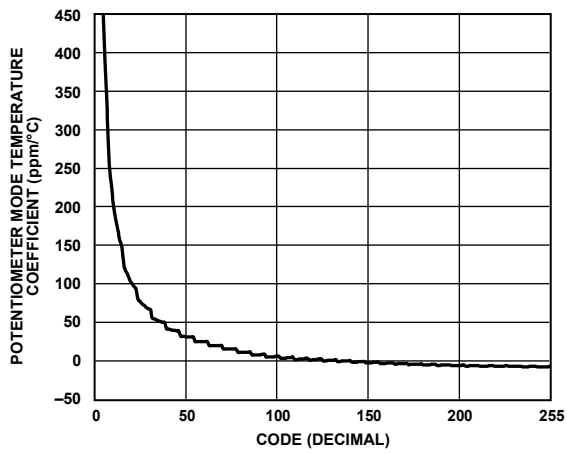
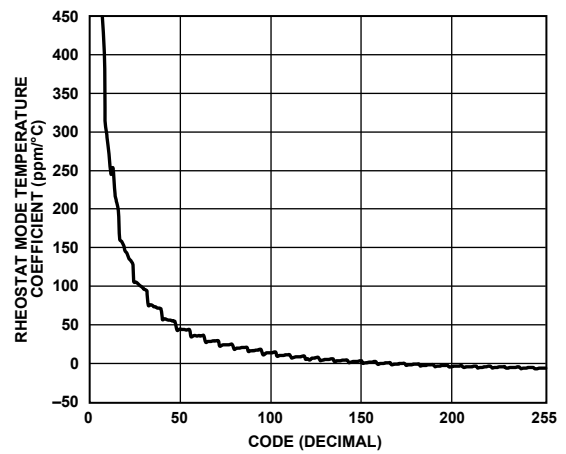


図 11. 様々なロジック電圧における  $I_{LOGIC}$  の温度特性



21893-012

図 12. ポテンショメータ・モードの温度係数  
 $(\Delta V_w/V_w) / \Delta T \times 106$  とコードの関係



21893-013

図 13. レオスタット・モードの温度係数  
 $(\Delta R_{WB}/R_{WB}) / \Delta T \times 106$  とコードの関係

外形寸法

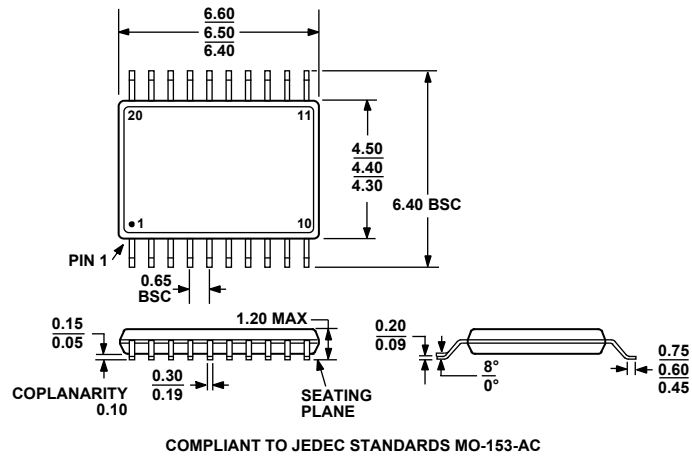


図 14.20 ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP] (RU-20)  
寸法：mm

オーダー・ガイド

Model <sup>1</sup>	R <sub>AB</sub> (kΩ)	Resolution	Interface	Temperature Range	Package Description	Package Option
AD5144TRUZ10-EP	10	256	SPI	-55°C to +125°C	20-Lead TSSOP	RU-20
AD5144TRUZ10-EP-R7	10	256	SPI	-55°C to +125°C	20-Lead TSSOP	RU-20

<sup>1</sup> Z = RoHS 準拠製品。